

行政院國家科學委員會專題研究計畫 期中進度報告

後次微米時代新興電子設計自動化技術之研究--子計畫
四：應用計算智慧推理處理後深次微米時代電路設計上的
可靠度挑戰(2/3)
期中進度報告(完整版)

計畫類別：整合型
計畫編號：NSC 98-2220-E-009-024-
執行期間：98年08月01日至99年07月31日
執行單位：國立交通大學電信工程學系(所)

計畫主持人：溫宏斌

報告附件：出席國際會議研究心得報告及發表論文

處理方式：本計畫可公開查詢

中華民國 99 年 05 月 25 日

行政院國家科學委員會補助專題研究計畫 ■期中進度報告

(計畫名稱)

後次微米時代新興電子設計自動化技術之研究—子計畫四:應用計算智慧

推理處理後深次微米時代電路設計上的可靠度挑戰(2/3)

計畫類別： 個別型計畫 整合型計畫

計畫編號：NSC 98-2220-E-009 -024

執行期間： 98年08月01日至 99年07月31日

計畫主持人：溫宏斌教授（國立交通大學電信工程學系）

共同主持人：

計畫參與人員：彭煥凱、郭雨欣、陳彥后、張家伶、吳欣恬

成果報告類型(依經費核定清單規定繳交)：精簡報告 完整報告

本成果報告包括以下應繳交之附件：

赴國外出差或研習心得報告一份

赴大陸地區出差或研習心得報告一份

出席國際學術會議心得報告及發表之論文各一份

國際合作研究計畫國外研究報告書一份

處理方式：除產學合作研究計畫、提升產業技術及人才培育研究計畫、列管計畫及下列情形者外，得立即公開查詢

涉及專利或其他智慧財產權，一年二年後可公開查詢

執行單位：國立交通大學電信工程學系

中 華 民 國 99 年 05 月 17 日

利用似(quiasi)蒙地卡羅分析高品質模型精確計算軟性錯誤率

計劃編號：

執行期間： 98 年 7 月 6 日起至 99 年 7 月 5 日

主持人：溫宏斌 教授 國立交通大學電信所

一. 中文摘要

在 90 奈米製程以下，電路因為宇宙射線而產生軟性錯誤的影響越來越大。尤其在製程變異下，更需要用統計的方法去估計電路的軟性錯誤率。然而，因為缺少高品質的統計模型，現今的軟性錯誤率統計分析研究無法達到良好的準確性。在這篇論文裡，我們考慮在 90 奈米製程下，由於宇宙輻射線索引引起的軟性錯誤。並且提出了一個高準確性查表法的統計模型，並利用蒙地卡羅去分析這些統計模型。我們更進一步探索如何使用似隨機的序列，已達到比較好的收斂並且增加速度。實驗結果顯示，我們可以在合理的時間內更準確的估計出軟性錯誤率。

關鍵字：軟性錯誤, 蒙地卡羅

英文摘要

Beyond 90 nm process, circuit designs are vulnerable to the soft errors which are caused by cosmic radiation. Especially under the increasing process variation, a statistical method for accurately estimating soft error rate (SER) is necessary. However, due to the lack of the high quality statistical models, current SER analysis cannot reach a satisfactory accuracy. In our research contribution, radiation-induced soft error rate under the 90 nm technology is considered. Meanwhile, statistical high-precision look-up tables for cell are proposed and integrated with the Monte Carlo method. Deterministic high-discrepancy quasi-random sequences are also used to achieve better convergence. Our experimental results finally show that we can more accurately but faster compute the soft error rate of the entire circuit designs within reasonable time.

Keyword: soft error, Monte Carlo

二. 計畫緣由及目地

軟性錯誤成為目前 CMOS 製程中影響電路可靠度的關鍵。軟性錯誤的發生是因為記憶元件感應外界輻射而造成的暫態錯誤，所以通常只有在記憶元件中才會被考慮。但是，在次微米製程中，軟性錯誤亦常見於邏輯元件當中。

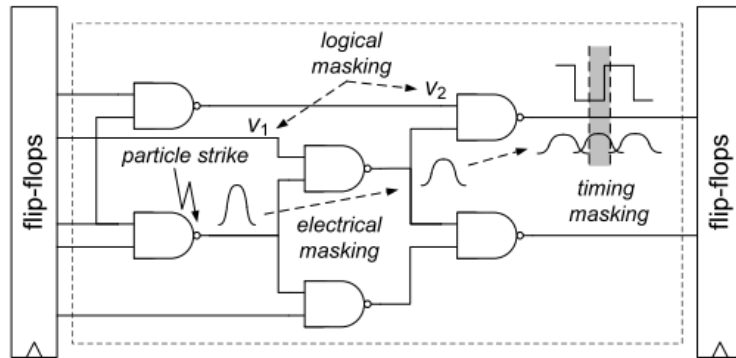


圖 1. 軟性錯誤的三種遮蔽機制

三種遮蔽機制(如圖一)在[1]中被提出，其決定了軟性錯誤的發生是否會被記憶元件所補捉，而成為研究軟性錯誤的關鍵。邏輯遮蔽發生在某種輸入組合的情況下，其中一個邏輯閘的其中一個輸入值會阻擋暫態錯誤的傳遞。電氣遮蔽則是指暫態錯誤會因為邏輯閘的電氣特性而衰減進而消失。時序遮蔽表示暫態錯誤在記憶元件的時序之外到達。

考量到這三種遮蔽機制，很多研究在估計邏輯電路的軟性錯誤。[3]根據邏輯函式在邏輯閘上傳遞暫態錯誤，同時利用可分析模型去估計暫態錯誤的改變。[4]提出另一個重新定義的模型，合併非線性電晶體電流，更進一步應用到不同的電量傳遞。靜態分析也在[10]中被提出要考慮時序遮蔽效應。

此外，近年來利用軟性錯誤機率做為電路可靠度的分析被廣泛地研究。SERA[5]使用波形考慮電氣的衰減效應與錯誤補捉的後向傳遞來計算 SER。其 SER 由電氣和時序遮蔽效應的平均值得到，忽略了邏輯遮蔽。然而，MARS-C[9]將符號技術應用在邏輯和電氣遮蔽上，並且根據特定的時序週期計算錯誤發生的機率。AnSER[10]使用特徵的可觀察性與閘鎖觀察窗計算邏輯與時序遮蔽，並應用於電路架構的實現。SEAT-LA[6]和[7]中的演算法模擬特徵元件、正反器，並且使用波形模型傳遞暫態錯誤。此方法與 SPICE 相比，可以得到較好的 SER 估計。然而，上述的這些方法都是決定性的分析，若是在製程變異度大的深次微米製程中，可能無法解釋更複雜的電路行為。

近來，製程變異在 90 奈米以下的製程已經對軟性錯誤率的估計造成很大的影響。[13]的作者第一個去研究不同的製程變異來源，並指出傳統的靜態分析在

製程變異下會低估電路的 SER[14]。

更精確的來說，根據[11]的圖 2，靜態方法對 SER 的估計在 $\sigma_{proc} = 5\%$ 時會有 50%的誤差，在 $\sigma_{proc} = 10\%$ 時甚至超過 100%的誤差。然而，雖然[14]和[11]提出了 symbolic 和統計學習方法的 SSER 分析，但是它們的 SSER 結果不夠精確，主要的困難在於對暫態分佈建立高品質的細胞模型。

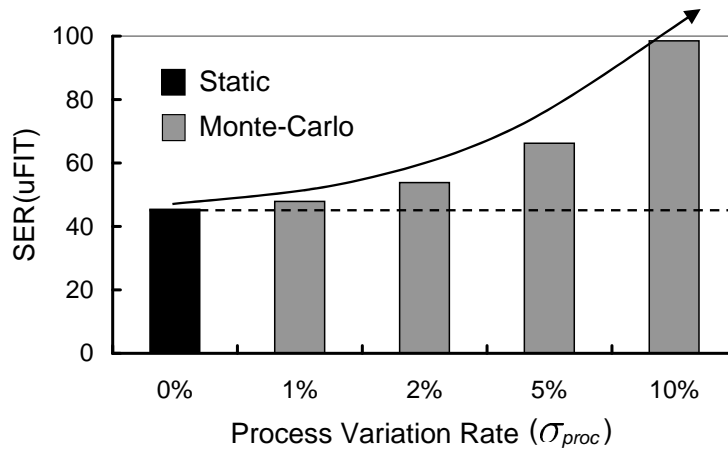


圖 2. 靜態和蒙地卡羅 SPICE 模擬隨製程變異的 SER 變化

三. 研究成果與方法

1. 用於SER分析的統計架構

在這一節中，我們描述一個用於 SER 分析的統計架構，此架構使用以元件為基礎的電路設計對於製程變異的影響。圖 5 顯示這個架構的流程圖，其中包含了四個主要的階段：(1)元件特徵化，(2)電氣機率的計算，(3)訊號機率的計算和(4)SER 的估計。下面的章節會依照這四個階段做說明。

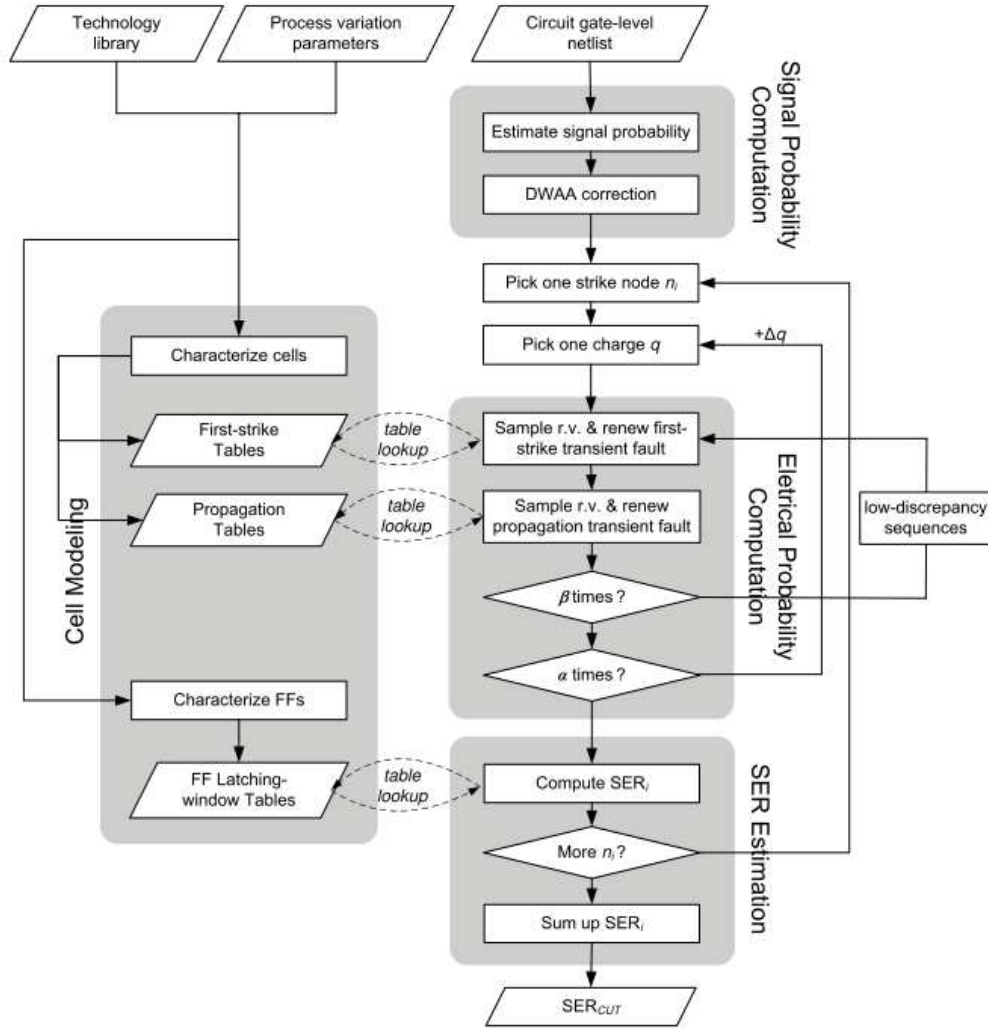


圖 5. 提出的統計 SER 架構

2. SER估測

首先，我們先介紹這個統計架構中對於整體 SER 估計的方法。一個可測試性電路的整體 SER 估計，可以由計算電路中的所有獨立節點 SER 的總合求得：

$$SER_{CUT} = \sum_{i=0}^{N_{node}} SER_i \quad (1)$$

其中 N_{node} 是電路中所有可能被輻射粒子擊中的節點個數。

每一個 SER_i 可以表示成一積分式，其由電荷 $q = 0$ 到 Q_{max} ，針對被粒子擊中的機率與軟性錯誤發生機率的乘積做積分。表示成：

$$SER_i = \int_{q=0}^{Q_{MAX}} (R(q) \times P_{soft-err}(i, q)) dq \quad (2)$$

這裡的 $P_{soft-err}(i, q)$ 表示由電荷 q 在節點 i 所產生的暫態錯誤會在任何一個正反器

上造成軟性錯誤。 $R(q)$ 表示單位時間內，電荷 q 所引起的有效頻率[24][31]。表示如下，

$$R(q) = F \times K \times A \times \frac{1}{Q_s} \times \exp\left(\frac{-q}{Q_s}\right) \quad (3)$$

其中 F ， K ， A 和 Q_s 各自表示中子流(>10MeV)，製程參數，易受影響的面積(以 cm^2 表示)，以及電荷累積。

訊號機率的計算

$P_{soft-err}(i, q)$ 由三個遮蔽效應所決定，其可分解成

$$P_{soft-err}(i, q) = \sum_{j=0}^{N_{ff}} P_{logic}(i, j) \times P_{elec}(i, j, q) \quad (4)$$

其中 N_{ff} 表示電路中正反器個數的總合。 $P_{logic}(i, j)$ 表示暫態錯誤經過節點 i 到正反器 j 上邏輯閘的機率。其可以由在這些邏輯閘上，訊號傳遞機率的乘積表示：

$$P_{logic}(i, j) = \prod_{k \in i \rightsquigarrow j} P_{sig}(k) \quad (5)$$

為了解決在匯聚扇出的問題，在這裡我們利用動態加權平均演算法，此為一種線性演算法。

電氣機率的計算

電氣機率 $P_{elec}(i, j, q)$ 由電氣遮蔽和時序遮蔽的效應所組成，可定義為：

$$P_{elec}(i, j, q) = P_{err-latch}(pw_j, w_j) = P_{err-latch}(\lambda_{elec-mask}(i, j, q), w_j) \quad (6)$$

定義($P_{err-latch}$ ，錯誤捕捉機率)

假設一個抵達暫態錯誤的脈衝寬度和正反器的門鎖觀察窗寬度($t_{setup} + t_{hold}$)都是隨機變數，分別以 pw 和 w 表示。令 $x = pw - w$ 是另一個隨機變數，而且 μ_x 和 σ_x 分別代表其平均值和變異量。這個捕捉的機率定義為：

$$P_{err-latch}(pw, w) = \frac{1}{t_{clk}} \int_0^{\mu_x + 3\sigma_x} x \times P(x > 0) \times dx \quad (7)$$

定義($\lambda_{elec-mask}$ ，電氣遮蔽函數)

給定因粒子撞擊而造成暫態錯誤的節點 i ，以及暫態錯誤最後發生的正反器 j 。假設暫態錯誤沿著路徑 $i \rightsquigarrow j$ 傳遞，其中經過 $v_0, v_1, \dots, v_m, v_{m+1}$ 。 v_0 和 v_{m+1} 各自表示節點 i 和正反器 j 。所以電氣遮蔽函數可寫作：

$$\lambda_{elec-mask}(i, j, q) = \underbrace{\delta_{prop}(\dots(\delta_{prop}(\delta_{prop}(pw_0, 1), 2), \dots), m)}_{m \text{ times}} \quad (8)$$

其中 $pw_0 = \delta_{strike}(q, i)$ 。

細胞模型建立

在上述的定義中，有二個未被定義的函數，分別是 δ_{strike} 和 δ_{prop} 。其分別表示第一次被擊中的函數，和暫態錯誤分布的電氣傳遞函數。他們同時也是此分

析 SER 的統計方法中最重要的元素，因為對製程變異的影響做積分是相當困難的。我們接下來會用 M_{strike} 和 M_{prop} 來做模型的估計。

3. 查表法的統計性模型

M_{strike} 和 M_{prop} 分別是隨機變數波寬的產生模型和傳遞模型。根據[11]，波寬可以用正態分佈表示：

$$pw \sim \mathcal{N}(\mu_{pw}, \sigma_{pw})$$

因此，我們把模型分解成 M_{strike}^μ 、 M_{strike}^σ 、 M_{prop}^μ 和 M_{prop}^σ 。可以被表示成

$$M: \vec{x} \rightarrow y$$

\vec{x} 為輸入變數向量， y 是目標值。對於 M_{strike}^μ 和 M_{strike}^σ 而言，輸入變數包括電量強度、驅動閘、輸入樣式以及輸出負載。對於 M_{prop}^μ 和 M_{prop}^σ ，輸入變數包含輸入樣式、腳位座標、驅動閘、輸入波型分佈、傳遞深度和輸出負載。

要建立這些模型，傳統上是手動選擇一些 corner case，然而此種方法存在兩個困難：第一，這些模型有著很多輸入變數，所以列舉出所有可能的輸入變數組合是很昂貴的。第二，一些輸入變數像是輸入波寬分佈是相依變數，無法直接具體指定到預先準備好的輸入變數組合。因此，我們用了一個不同的方法，如圖 6，分成三步驟：隨機變數的產生、表格填充以及查表。

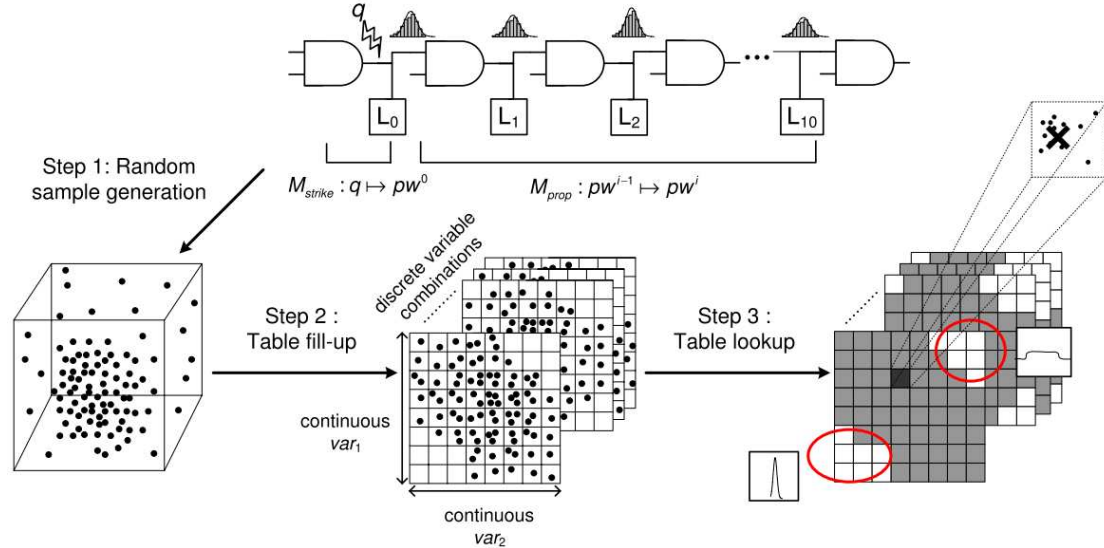


圖 6. 表格法模型的建立

隨機樣本

δ_{strike} 將 q 映射到 pw_0 ，而 δ_{prop} 將 pw_i 映射到 pw_{i+1} 。為了估計這二個映射空間的函數，我們使用蒙地卡羅的 SPICE 模擬方法。如圖 6，這個方法首先產生由隨機元件所組成的路徑，這些元件同時連接到額外的隨機元件做為負載。隨後，一個電荷被植入在此路徑的起始點，並以一個獨立電流源表示。這個獨立電流源以

一個指數函數表示[4]，

$$I(q, t) = \frac{q}{\tau_\alpha - \tau_\beta} \times (e^{-\frac{t}{\tau_\alpha}} - e^{-\frac{t}{\tau_\beta}}) \quad (9)$$

在每一次蒙地卡羅的模擬中，這個路徑上的暫態錯誤所引起的脈衝寬度分佈皆會被記錄下來，分別會由 δ_{strike} 和 δ_{prop} 二函數使用。

表格填充

在圖 的第二步驟，我們把樣本根據輸入的變數去填入表格內。對於離散的變數而言，像是電量強度、驅動的邏輯閘、輸入訊號的樣式、腳座標、傳遞深度、輸出端的負載(用等效的反相器)，我們可以直接填入表格，我們可以想像成很多片表格。

對於連續性的變數而言，像是波寬和波高，我們需要對它們最離散化的動作。我們透過上界下界來決定。

查表法

在對那些樣本分類填入表格內後，有兩種可能的細胞模型。一種是非空的細胞模型，另一種是空的細胞模型。對於非空的細胞模型，我們可以直接去做查表。對於空的細胞模型，傳統上習慣用外插法來完成。但是由於我們提供了大量而充足的隨機樣本，那些空細胞模型的出現很可能來自於一些不真實的情形，像是在圖 的步驟三，右上角和左下角的兩個邊界分別代表了極度平坦和極度尖銳的暫態錯誤分佈。在這些情況下，我們用最鄰近非空細胞的模型來代表。

4. 準隨機序列

偽隨機數的生成對於蒙特卡羅方法的成功與否起著關鍵作用。但是，使用 `rand()` 函數的採樣點經常受到在高維空間下的群聚問題 [16]。圖 7 說明了這個問題，利用 `rand()` 產生一個 (X, Y) 的分佈，可以觀察到此平面不是均勻地分散的，意味著這些由偽隨機生成的採樣點未必能代表整個空間。

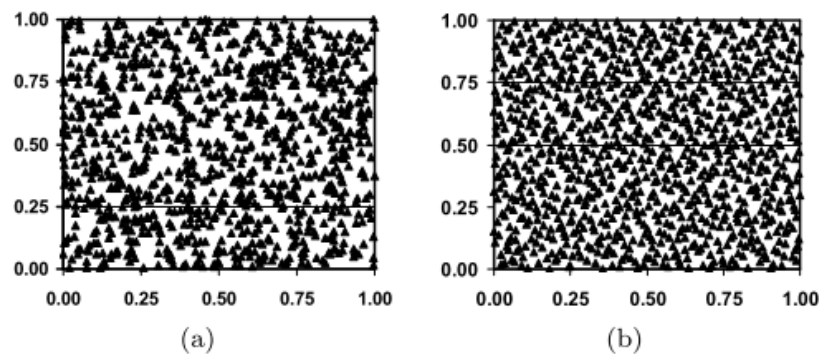


圖 7. 以隨機數和似隨機序列的蒙地卡羅產生的分佈

群聚的問題促使一些研究希望能得到決定性的數列。準隨機數列(也被稱做低差異性數列)，它有著讓新產生的種子離已經產生的種子越遠越好的特性。一

些產生低差異性數列有名的的演算法像是 Halton、Faure 和 Sobol 算法。我們選擇 Sobol 演算法因為它最能避免在高維空間下的數列高相關性問題。

在實驗當中，由於每個電路當中的邏輯閘都是一個自由的變數，所以總和的維度會非常高，在最糟糕的情形下當邏輯閘的個數很大時，似蒙地卡羅的收斂速度 $O((\ln N)^d/N)$ ，甚至比蒙地卡羅 $O(1/\sqrt{N})$ 的還要糟糕。

為了降低維度總和，我們試著尋找有效的維度數。由一些實驗當中我們發現，電路的邏輯深度和維度之間有關連。進一步跑實驗並發現，當我們使用的維度個數在邏輯深度值之前，我們就可以得到收斂的軟性錯誤率，如圖 8。這個現象暗示了在這個統計性軟性錯誤率系統我們可以用比較小的維度個數來實現。

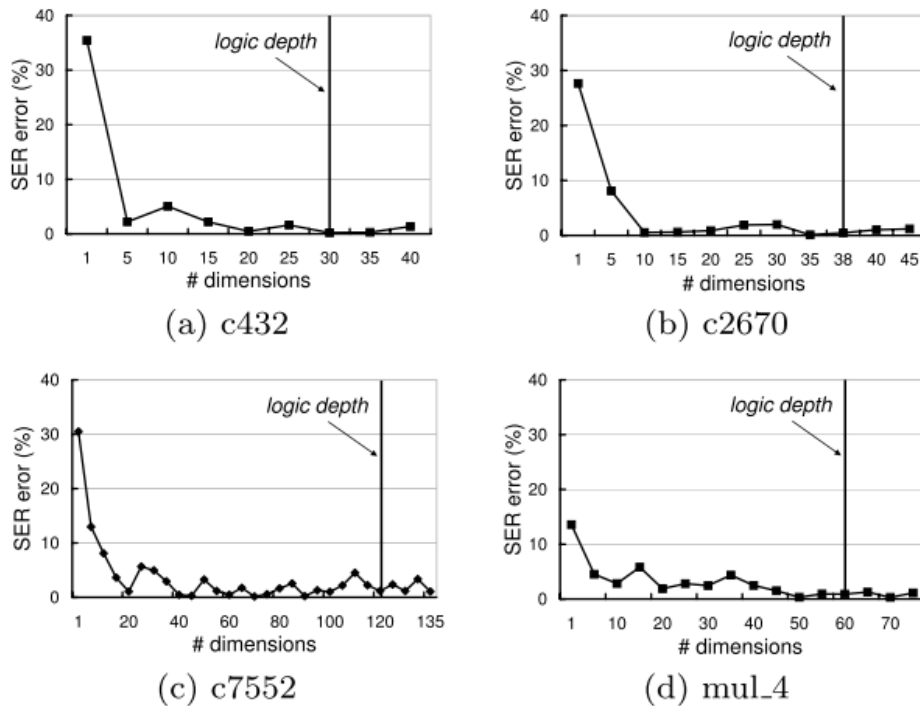


圖 8. 收斂速度，維度個數，以及電路的邏輯深度

5. 實驗結果

我們建立了一系列的表格法的模型，並評估這些模型的準確性。這些模型接著會被整合進我們的統計 SER 分析架構來評估 SER 的估計能力。

模型準確性

我們在 45nm 下，假設百分之五的變異，用 500K 個訓練樣本來建立模型。所建立出來的表格容量為 9.5MB。接著再使用另外 10k 的樣本來檢測這些模型的正確度。

下表為四種模型的平均錯誤率，由表一可觀察到兩個資訊：(1) M_{strike}^{μ} ， M_{strike}^{σ} 和 M_{prop}^{μ} 有著高度的準確性，平均錯誤率不超過 0.4%。 M_{prop}^{σ} 的平均錯誤率也在 2.1% 內。(2) 在 [11]， M_{strike}^{μ} 、 M_{prop}^{μ} 和 M_{prop}^{σ} 的平均錯誤率都高達 3.9%。對

M_{strike}^{σ} 模型而言，其平均錯誤率更是高達 12.9%。總結來說，我們的模型有著比較好的品質。

表一. 模型型別與模型品質

error rate (%)				
cell	M_{strike}^{μ}	M_{strike}^{σ}	M_{prop}^{μ}	M_{prop}^{σ}
INV	0.35	0.19	0.38	1.07
AND	0.30	0.23	0.36	1.35
OR	0.39	0.21	0.37	2.07
Average	0.35	0.21	0.37	1.50

SER 測量

我們所提出的統計 SER 分析架構由 PERL 所實現，並在具有 Pentium Core Duo (2.4GHz) 的微處理器和 4GB 的記憶體上的機器作運算，其作業系統為 Linux。我們使用 45 奈米的預製程模型 (Predictive Technology Model, PTM) [18]，並且和 [23] 相同使用電荷 Q_s 為 $10.84fC$ ，而神經元流量的比例為 $F = 56.5m^{-2}s^{-1}$ [9]。公式 (2) 的 μ_w 和 σ_w 則分別設定為 $100ps$ 和 $10ps$ [17]。對於所有的電路，在每一筆輸入向量組合中的每個節點皆分別設成四個不同的電荷大小： $Q_0 = 34fC$ ， $Q_1 = 66fC$ ， $Q_2 = 99fC$ ， $Q_3 = 132fC$ ，其中 $32fC$ 對於暫態錯誤所產生的正向脈衝寬度是最弱的電荷。

靜態和蒙地卡羅的 SPICE 模擬都被用來做 SER 精確度的估測。在靜態的設定中，我們使用靜態的 SPICE 模擬，以及根據公式 (1) 計算錯誤捕捉的機率。在統計的設定中，我們執行 100 次的蒙地卡羅 SPICE 模擬，並且根據公式 (2) 計算錯誤捕捉的機率。抵達暫態錯誤的脈衝寬度在每個輸入向量組合下的每一個主要的輸出端都會被測量。因為執行蒙地卡羅 SPICE 模擬所需要的時間很長，所以我們只能在較小的電路上測試，其最多包含 7 個邏輯閘，12 個可能使遭受輻射線撞擊的節點和 5 個輸入端點。蒙地卡羅 SPICE 模擬所需要的時間從 8 個小時到一天都有可能。在我們的方法中，執行時間為 0.02 到 0.08 秒，其加速的倍率為 10^6 。

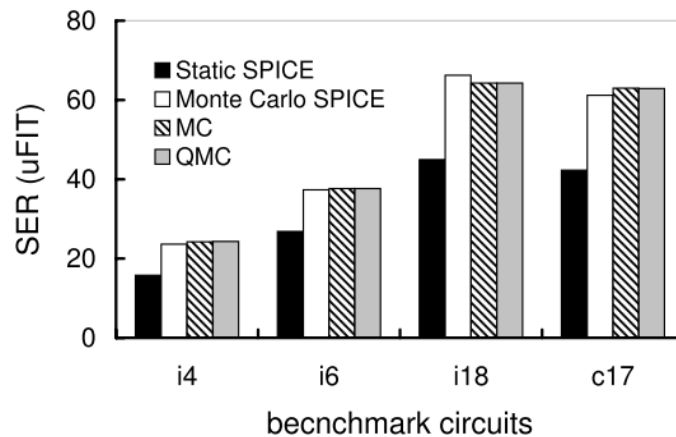


圖 9. 使用 SPICE 模擬與所提出方法的軟性錯誤比較

圖 9 比較四個電路的 SER 分析結果，其中有三個部分可以觀察：(1)考慮 5% 的製程變異，蒙地卡羅 SPICE 模擬所得到的 SER 是靜態模擬的 35%~52% 倍。因為製程變異在 90 奈米以下的製程會影響電路的穩定性，統計分析方法可以避免低估 SER 的電路。(2)我們提出的蒙地卡羅方法和似蒙地卡羅方法可以得到非常近似的 SSER 值，其差異只在 0.4% 內。這代表我們可以用比較快收斂的似蒙地卡羅法且不犧牲其精確度。(3)跟蒙地卡羅 SPICE 的結果比較起來，我們提出的似蒙地卡羅法的錯誤率分別是 2.5%、0.8%、2.9% 和 2.8%。跟 [14] 和 [11] 的 10% 誤差比較起來，我們的 SSER 分析架構有著高度的準確性，這是因為我們建立了高品質的模型。

為了更進一步研究使用靜態方法和統計分析所得的 SER 不同，我們將圖 9 的結果依據電荷強度分解，並顯示於圖 10。比較所有測試電路在靜態和蒙地卡羅的 SPICE 模擬的結果之後，可以看出我們所提出的架構這二種不同的模擬所得到的結果在 $Q_1 \sim Q_3$ 的部分非常相近(誤差 < 1%)。圖 10 的白色區塊是 Q_0 的部分，可以很明顯看出靜態的 SPICE 模擬低估了 SER，而我們所提出的方法和蒙地卡羅的 SPICE 模擬的結果非常接近。

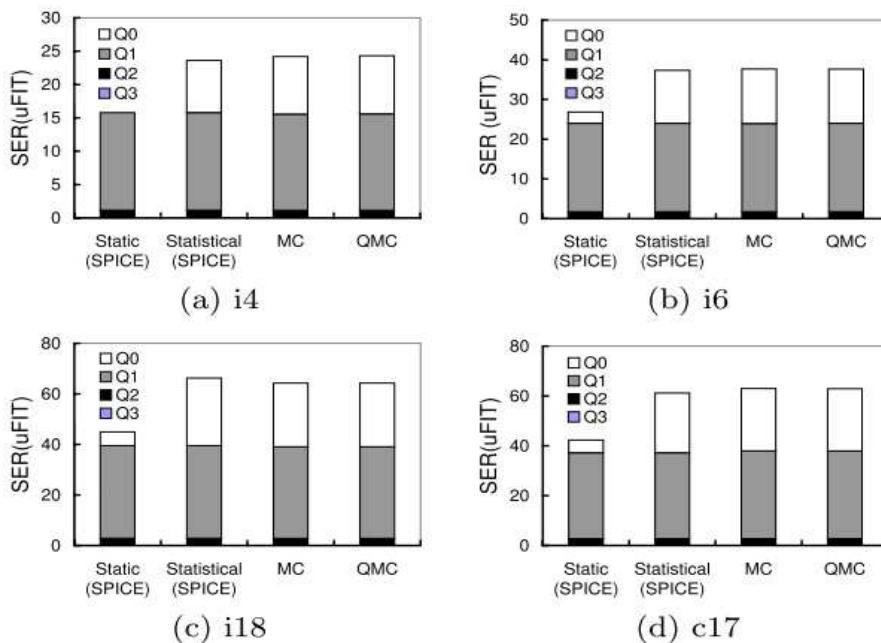


圖 10. 由電荷強度對 SER 做分解

這顯示出以弱電荷為主要的現象：在次 90 奈米的製程中，SER 的估測受限於弱電荷會決定整體 SER 估測的正確性。

在電路上的統計軟性錯誤率估計

我們根據 MC 和 QMC 兩種架構去估計一系列 ISCAS' 85 電路的 SSER，和一些乘法器。從此表，我們可以發現 SSER 跟電路的節點數以及輸出端個數有關，對應到電路被輻射粒子打到的機率和輸出端觀察到暫態錯誤的機率。對於運行時間而言，不只和被打到的節點數有關，也和節點之間的迴旋數有關。SER 的差異是由 $|SSER_{MC} - SSER_{QMC}| / SSER_{MC}$ 來計算，平均 0.88% 的差異表示了 QMC 和 MC 有著相當的品質。對於所有的電路，QMC 有平均 2.95 倍的加速且其運行時間和 [11] 是差不多的。

表二. 不同電路的 SER 值及其執行時間

circuit	N_{node}	N_{po}	MC		QMC		MC/QMC Comparison	
			SSER (FIT)	T_{MC} (sec)	SSER (FIT)	T_{QMC} (sec)	SSER diff. (%)	speedup (X)
i4	4	1	24.22E-05	< 1	24.31E-05	< 1	0.37	-
i6	6	2	37.66E-05	< 1	37.65E-05	< 1	0.03	-
i18	12	3	64.26E-05	< 1	64.24E-05	< 1	0.02	-
c17	12	3	63.00E-05	< 1	62.89E-05	< 1	0.17	-
c432	233	7	1047.12E-05	114.37	1045.23E-05	30.43	0.18	3.76
c499	638	32	1150.61E-05	870.61	1161.77E-05	269.71	0.97	3.23
c880	443	26	1519.24E-05	173.23	1516.46E-05	36.90	0.18	4.69
c1355	629	32	1188.16E-05	891.80	1169.25E-05	273.20	1.59	3.26
c1908	425	25	1124.75E-05	365.07	1148.27E-05	109.25	2.09	3.34
c2670	841	157	3479.23E-05	401.02	3463.73E-05	120.23	0.45	3.34
c3540	901	22	2411.57E-05	1070.61	2395.72E-05	309.53	0.66	3.46
c5315	1806	123	9764.66E-05	818.22	9983.29E-05	403.17	2.2	2.03
c6288	2788	32	3860.03E-05	15703.05	3769.48E-05	4710.04	2.35	3.33
c7552	2114	126	6074.19E-05	1406.70	6098.10E-05	658.37	0.4	2.14
mul_4	158	8	883.38E-05	98.82	890.33E-05	34.85	0.79	2.84
mul_8	728	16	2127.35E-05	710.21	2094.05E-05	271.03	1.57	2.62
mul_16	3156	32	4775.07E-05	9565.03	4845.29E-05	5010.40	1.47	1.91
mul_24	7234	48	7636.46E-05	39628.50	7478.02E-05	29930.01	2.07	1.35
Average							0.88	2.95

四. 結論

傳統的軟性錯誤率分析技術打算模仿靜態 SPICE 仿真。然而因為製程變異的影響，所有靜態的技術往往不可避免的低估軟性錯誤率，因此我們提出使用統計的方法去估計軟性錯誤率。在本文中，我們提出了一個建立高品質統計模型的方法，基於蒙特卡羅 SSER 框架建立。並提出一個 Heuristic 算法利用偽隨機數列去加快收斂速度和運行時間。

根據實驗結果，跟蒙地卡羅 SPICE 仿真比較，得到的 SSER 誤差在 3% 以內。跟之前的研究比起來更加準確。此外，相較於蒙地卡羅方法，使用偽隨機的序列實現的似蒙地卡羅法演示了平均 2.95X 的效能。

在 90nm 以下，SSER 分析是一個蓬勃發展的研究課題。未來的研究包括進一步減少所需維度，改善運行時間，一些減少方差的技巧，以及細胞的空間相關性的考慮。

五. 參考文獻

[1] P. Shivakumar, M. Kistler, S. W. Keckler, D. Burger, and L. Alvisi, "Modeling the

- Effect of Technology Trends on the Soft Error Rate of Combinational Logic,” Proc. Int’l Conf. Dependable Systems and Networks (DSN), pp. 389-398, 2002.
- [2] H. Cha and J. H. Patel, ”A logic-level model for α particle hits in CMOS circuits,” Proc. Int’l Conf. Circuit Design (ICCD), pp. 538-542, 1993.
- [3] M. Omana, G. Papasso, D. Rossi, and C. Metra, ”A model for transient fault propagation in combinational logic,” Proc. Int’l On-Line Testing Symp. (IOLTS), pp. 111-115, 2003.
- [4] R. Garg, C. Nagpal, and S. P. Khatri, ”A fast, analytical estimator for the SEU-induced pulse width in combinational designs,” Proc. Design Automation Conf. (DAC), pp. 918-923, 2008.
- [5] M. Zhang and N. Shanbhag, ”A soft error rate analysis (SERA) methodology,” Proc. Int’l Conf. Computer Aided Design (ICCAD), pp. 111-118, 2004.
- [6] R. Rajaraman, J. S. Kim, N. Vijaykrishnan, Y. Xie, and M. J. Irwin, ”SEAT-LA: a soft error analysis tool for combinational logic,” Proc. Int’l Conf. VLSI Design (VLSID), pp. 499-502, 2006.
- [7] R.R. Rao, K. Chopra, D. Blaauw, and D. Sylvester, ”An Efficient Static Algorithm for Computing the Soft Error Rates of Combinational Circuits,” Proc. Design Automation and Test in Europe Conf. (DATE), pp. 164-169, 2006.
- [8] M. Zhang, T.M. Mak, J. Tschanz, K.S. Kim, N. Seifert, and D. Lu, ”Design for resilience to soft errors and variations,” Proc. Int’l On-Line Test Symp. (IOLTS), pp. 23-28, 2007.
- [9] N. Miskov-Zivanov and D. Marculescu, ”MARS-C: modeling and reduction of soft errors in combinational circuits,” Proc. Design Automation Conf. (DAC), pp. 767-772, 2006.
- [10] S. Krishnaswamy, I. Markov, and J. P. Hayes, ”On the role of timing masking in reliable logic circuit design,” Proc. Design Automation Conf. (DAC), pp. 924-929, 2008.
- [11] Pumbaa H.-K. Peng, Charles H.-P. Wen and Jayanta Bhadra, "2D.1: On Soft Error Rate Analysis Beyond Deep Submicron - A Statistical Perspective, " Proc. Int'l Conf. Computer Aided Design, (ICCAD'09), November 2009.
- [12] S. Borkar, T. Karnik, S. Narendra, J. Tschanz, A. Keshavarzi, and V. De, ”Parameter variations and impact on circuits and microarchitecture,” Proc. Design Automation Conf. (DAC), pp. 338-342, Jul. 2003.
- [13] K. Ramakrishnan, R. Rajaraman, S. Suresh, N. Nijaykrishnan, Y. Xie, and M.J. Irwin, ”Variation impacts on SER of combinational circuits,” Proc. Int’l Smyp. Quality Electronic Design (ISQED), pp. 755-760, 2006.
- [14] N. Miskov-Zivanov, K.-C. Wu, and D. Marculescu, ”Process variability-aware transient fault modeling and analysis,” Proc. Int’l Conf. Computer Aided

Design (ICCAD), pp. 685-690, 2008.

[15] D. Franco, M. Vasconcelos, L. Naviner, and J.-F. Naviner, "Signal probability for reliability evaluation of logic circuits," Elsevier Microelectronics Reliability, vol. 48, pp.1586-1591, 2008

[16] W. J. Morokoff, and R. E. Caflisch, "Quasi-random sequences and their discrepancies," SIAM J. Sci. Computing (SISC), vol. 15, pp. 1251-1279, 1994.

[17] Predictive Technology Model, Nanoscale Integration and Modeling Group, <http://www.eas.asu.edu/ptm/>, 2008.

[18] Parameters of Low Power SoC Design, Semiconductor Roadmap Committee of Japan, http://strjjeita.elisasp.net/pdf-nenjihoukoku-0303-roadmap/3-13_setsukei_task_force.pdf, 2003.

六. 成果自評

第二年已完成項目

統計性軟性錯誤分析在物理現象上的複雜情形遠超越了過去幾年定性分析 (static analysis) 的結果：模擬結果中軟性錯誤率 (soft error rate) 的預估出現了高達 50% 的誤差。我們根據這些新的物理發現發展出兩個新的評估系統：(1) 蒙地卡羅查表法引擎與 (2) 支持向量回歸法引擎。根據第二年的研發成果，我們可以繼續調整與改善我們的兩個軟性錯誤率評估引擎。

第二年目標已完成如下：

- ✓ 蒙地卡羅查表法引擎的改善 (利用 Quasi-Monte-Carlo 方法改進速度)
- ✓ 蒙地卡羅查表法引擎的改善 (利用進階 Variance Estimation 演算法加強精準度)
- 已投稿期刊與已刊登研討會論文共計三篇
 - ✓ Yu-Hsin (Phoebe) Kuo, Huan-Kai (Pumbaa) Peng and Charles H.-P. Wen, "Accurate Statistical Soft Error Rate (SSER) Analysis Using A Quasi-Monte Carlo Framework With Quality Cell Models," IEEE International Symposium on Quality Electronic Design (ISQED'10), March 2010.
 - ✓ Yu-Hsin (Phoebe) Kuo, Huan-Kai (Pumbaa) Peng and Charles H.-P. Wen, "removed for the blind review process," IEEE International Symposium on Circuits and Systems (ISCAS'10), May 2010.
 - ✓ Yu-Hsin (Phoebe) Kuo, Huan-Kai (Pumbaa) Peng and Charles H.-P. Wen, "High Quality Table-based Statistical Soft Error Rate (SSER) Analysis Using A Quasi-Monte Carlo Framework," submitted to IEEE Transaction on Computer Aided Design (TCAD), 2010.

第三年預計調整方向

原計畫中第三年的預計完成項目如下：

- ✓ 電路設計弱點 (Weak Spot) 分析技術之開發
- ✓ 整合計算智慧技術核心引擎與弱點分析技術，主要應用於針對電路做統計最佳化 (Statistical Optimization)
- ✓ 考慮製成變異裡的空間關連 (spatial correlation) 因素
- ✓ 提昇電路設計弱點分析技術之開發
- ✓ 整合核心引擎與弱點分析到大型電路設計上證明成果
- ✓ 發表期刊與研討會論文共計三篇

行政院國家科學委員會補助國內專家學者出席國際學術會議報告

民國 98 年 11 月 12 日

附件三

報告人姓名	溫宏斌	服務機構 及職稱	交通大學電信工程學系 助理教授
會議時間 會議地點	November 2-7, 2009 Austin, TX, U.S.A.	本會核定 補助文號	計畫編號 NSC 96-2218-E-009 -019 -MY2
會議 名稱	(中文) 2007 國際測試會議 (英文) 2007 IEEE International Test Conference		
發表 論文 題目	(中文) 應用資料學習推導跨時限狀態對限制條件的有界時序電路等價驗證之加速方法設計 (英文) Speeding up Bounded Sequential Equivalence Checking with Cross-Timeframe State-Pair Constraints from Data Learning		
<p>報告內容應包括下列各項：</p> <p>一、參加會議經過</p> <p>International Test Conference (ITC) 一向都是半導體測試與驗證 (Verification/Testing) 領域最頂尖的國際會議之一。今年第四十屆 ITC 選定在美國德州的首府 Austin 市舉辦。總計有超過 300 篇國際投稿，最後劃分 18 個 regular sessions 約收錄 50 篇論文，論文被接受比率不及 20 %。我這次聆聽之 technical sessions 有 Test Quality and Diagnosis、Delay Test and Power-aware Test、Poster、Test Potpourri、Verification and Diagnostic ATPG 以及 Test for Yield，Embedded Tutorial Sessions 有 Testing 3D-Chips Containing Through Silicon Vias 以及 Reliability and Test over the Product Life Cycle。雖然許多的報告專題與我的研究領域都有啟發的意義，而且與會的過程中聆聽到許多目前在測試問題上深入的討論，受益匪淺。會議議程空檔過程與聆聽自己學生論文報告過程中，能與 Ken Bulter、Robert Dassch、T.M. Mak 與 Michael Hsiao 等資深 Test/Verification 業界學界人士直接進行討論，實屬難得。</p> <p>二、與會心得</p> <p>ITC 涵概研究領域創新，邀請的講者也頗具知名與專業度。今年本會參與人數與參展廠商較歷年下滑，technical session 中參與人數，約為一萬多人次，但議程討論一如往常地熱烈，每個子議程都有約三百人次參與。在我所參與的 paper 與 poster sessions，聽眾族群以研究 ATPG 的研究人員居多，提出問題比較停留在瞭解層次。但整體而言，仍從聆聽他人的演說中收穫不少。</p> <p>三、建議</p> <p>此次大會附帶舉辦的 Embedded Tutorial 中，Testing 3D-Chips Containing Through Silicon Vias 一主題為熱門的研究課題，與我個人國科會計畫息息相關。兩位講者 E. J Marinissen 與 Y. Zorian 深入淺出在 3D-IC/SiP 上的經驗讓我收穫不少。據聞今年 ATS 與工研院也邀請兩位學者來台講授相關課程，只要經費許可，應多國內鼓勵學生積極參與。一方面深植國內學生在此議題上的了解，另一方面在全英文的討論環境與產學界專業人士共同討論可以激勵其對研究工作的嚮往與動</p>			

力，並擴展國際之間交流。

四、攜回資料名稱及內容

會議論文集光碟片