



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I441454 B

(45) 公告日：中華民國 103 (2014) 年 06 月 11 日

(21) 申請案號：100136549

(22) 申請日：中華民國 100 (2011) 年 10 月 07 日

(51) Int. Cl. : H03K5/14 (2006.01)

H03L7/06 (2006.01)

(71) 申請人：國立交通大學 (中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)
新竹市大學路 1001 號

(72) 發明人：許騰尹 HSU, TERNGYIN (TW)；賴煒棋 LAI, WEICHI (TW)；廖原德 LIAO, YUANTE (TW)

(74) 代理人：蔡坤財；李世章

(56) 參考文獻：

TW 201023521A

US 5969553A

US 7609103B2

審查人員：蘇齊賢

申請專利範圍項數：10 項 圖式數：4 共 0 頁

(54) 名稱

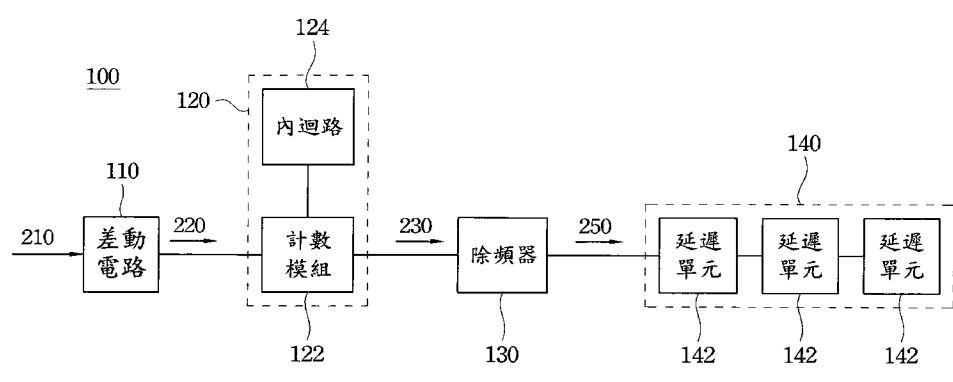
延遲線裝置與延遲訊號方法

DELAY LINE DEVICE AND METHOD OF DELAYING SIGNALS

(57) 摘要

一種延遲線裝置與延遲訊號方法在此揭露。延遲線裝置包含差動電路、延遲電路與除頻器。差動電路用以將輸入訊號的上升緣以及下降緣分別轉成脈衝而產生脈衝訊號。延遲電路包含內迴路與計數模組。脈衝訊號會驅動內迴路開始運作，當內迴路訊號繞內迴路一次時，代表內迴路延遲一預設時段並將內迴路中的內迴路訊號反相。計數模組用以控制內迴路訊號重複迴圈的次數，在脈衝訊號驅動內迴路時，計數模組開始計算，直到內迴路的重複迴圈次數至預設次數時，計數模組輸出一個延遲訊號並將所算之次數歸零且停止內迴路的運作。

A delay line device and a method of delaying signals are disclosed herein. A delay line device includes a differential circuit, a delay circuit, and a frequency divider. The differential circuit is used to create pulses on each edges of input signal and produce a pulse signal. The delay circuit includes an inner loop and a count module. When the pulse signal triggers the inner loop once, the inner loop starts to run for a preset period and inverts the inner-loop signal. The count module is used to control a number of times the inner loop runs, and starts to count after the pulse signal triggers the inner loop. The count module will produce a delay signal and returns the number of times to be zero until the number of times becomes to a preset time. The frequency divider is used to modulate the delay signal to the same frequency as the input signal and produce a frequency divided signal.



第 1 圖

- 100 . . . 延遲線裝置
- 110 . . . 差動電路
- 120 . . . 延遲電路
- 122 . . . 計數模組
- 124 . . . 內迴路
- 130 . . . 除頻器
- 140 . . . 延遲鍊電路
- 142 . . . 延遲元件
- 210 . . . 輸入訊號
- 220 . . . 脈衝訊號
- 230 . . . 延遲信號
- 250 . . . 除頻訊號

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：

100136549

※申請日：

100.10.07

※IPC 分類：

H03K 5/4 (2006.01)
H03L 7/06 (2006.01)

一、發明名稱：(中文/英文)

延遲線裝置與延遲訊號方法

DELAY LINE DEVICE AND METHOD OF DELAYING SIGNALS

二、中文發明摘要：

一種延遲線裝置與延遲訊號方法在此揭露。延遲線裝置包含差動電路、延遲電路與除頻器。差動電路用以將輸入訊號的上升緣以及下降緣分別轉成脈衝而產生脈衝訊號。延遲電路包含內迴路與計數模組。脈衝訊號會驅動內迴路開始運作，當內迴路訊號繞內迴路一次時，代表內迴路延遲一預設時段並將內迴路中的內迴路訊號反相。計數模組用以控制內迴路訊號重複迴圈的次數，在脈衝訊號驅動內迴路時，計數模組開始計算，直到內迴路的重複迴圈次數至預設次數時，計數模組輸出一個延遲訊號並將所算之次數歸零且停止內迴路的運作。

三、英文發明摘要：

A delay line device and a method of delaying signals are disclosed herein. A delay line device includes a differential circuit, a delay circuit, and a frequency divider. The differential circuit is used to create pulses on each edges of

input signal and produce a pulse signal. The delay circuit includes an inner loop and a count module. When the pulse signal triggers the inner loop once, the inner loop starts to run for a preset period and inverts the inner-loop signal. The count module is used to control a number of times the inner loop runs, and starts to count after the pulse signal triggers the inner loop. The count module will produce a delay signal and returns the number of times to be zero until the number of times becomes to a preset time. The frequency divider is used to modulate the delay signal to the same frequency as the input signal and produce a frequency divided signal.

四、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件符號簡單說明：

100：延遲線裝置

110：差動電路

120：延遲電路

122：計數模組

124：內迴路

130：除頻器

140：延遲鍊電路

142：延遲元件

210：輸入訊號

220：脈衝訊號

230：延遲信號

250：除頻訊號

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明是有關於一種延遲裝置，且特別是有關於一種延遲線裝置與一種延遲訊號方法。

【先前技術】

隨著科技的演進，積體電路技術不斷精進，透過這樣小體積電路的控制，便可應用在各式的電子產品上。

而積體電路中的延遲線是一種可將信號延遲一段時間的電路，在電子與光電產業受到廣泛應用，舉例來說，雷達較精密的示波器、彩色電視、電子計算機以及各種需要延遲的積體電路元件都是使用延遲電路的產品。

延遲線是由延遲單元來組成，每個延遲單元藉由不同的電路組成來達到不同的基本延遲量，例如：1 微微秒 (picosecond)，並且，根據所需延遲的延遲時間，控制延遲線之延遲單元的數目，以達到延遲信號的目的。

然而，像這樣利用一長串的延遲單元來達到延遲的目的，往往會造成延遲單元的數目變多，增加硬體的複雜度，增加成本，但若固定延遲單元的數目，又會使得延遲線只能應付窄頻的傳輸，因此，便需要一種機制來解決這樣的問題。

【發明內容】

因此，本發明之目的是在提供一種延遲線裝置，以解

決延遲單元的數目過多以及僅能在窄頻下傳輸的問題。

因此，本發明之一態樣是在提供一種延遲線裝置。此延遲線裝置包含差動電路、延遲電路與除頻器。差動電路用以將輸入訊號的上升緣以及下降緣分別轉成脈衝進而產生脈衝訊號。延遲電路包含內迴路與計數模組。脈衝訊號會驅動內迴路開始運作，當內迴路繞一圈時，代表內迴路內的訊號已經延遲一預設時段，並對已延遲之內迴路訊號反相。計數模組用以控制內迴路重複經過的次數，當脈衝訊號驅動內迴路開始運作時，計數模組開始計算，直到內迴路被重複經過的次數至一預設次數時，計數模組輸出延遲訊號並將所計算之次數歸零並停止內迴路的運作。除頻器用以將延遲訊號之頻率調整成與輸入訊號相同之頻率進而產生除頻訊號。

依據本發明一實施例，計數模組包含算數器、D 型正反器與至少一延遲單元。算數器用以計算內迴路被重複經過的次數，當已反相之內迴路訊號經過算數器時計為一次。D 型正反器用以接收脈衝信號以驅動內迴路以及接收延遲信號並產生重設信號。延遲單元用以延遲重設信號。其中，當算數器接收到已延遲之重設信號時，算數器將所計算之次數歸零，並將輸出的延遲訊號變為 0，使得延遲訊號成為一種脈衝的形式。

依據本發明另一實施例，延遲線裝置更包含延遲鍊 (delay chain) 電路。延遲鍊電路用以延遲除頻訊號一延遲期間。其中，延遲期間短於內迴路跑一次的預設時段。

依據本發明又一實施例，其中延遲鍊電路包含複數個

延遲元件，彼此串聯相接並分別延遲除頻訊號。

依據本發明再一實施例，其中內迴路包含複數個延遲單元與一個反相閘。延遲單元彼此串聯相接並分別延遲內迴路訊號，使內迴路訊號經過這些延遲單元一次而共被延遲一預設時段。反相閘連接於這些延遲單元，並用以將已延遲之內迴路訊號反相。

依據本發明另再一實施例，除頻器為二倍除頻器，用以將延遲訊號之頻率除以二倍

本發明之另一態樣是在提供一種延遲訊號方法。此方法包含將輸入訊號的上升緣以及下降緣分別轉成脈衝進而產生脈衝訊號，脈衝訊號會驅使內迴路開始運作，計數器並開始計算內迴路重複經過的次數，當內迴路被重複經過的次數至預設次數時，計數器會輸出延遲訊號，並將所計算之次數歸零，以及，將延遲訊號之頻率調整成與輸入訊號相同之頻率進而產生除頻訊號。

依據本發明一實施例，其中，當內迴路訊號經過內迴路一次，則代表內迴路訊號延遲一預設時段並將已延遲預設時段之內迴路訊號反相。

依據本發明另一實施例，此方法更包含延遲除頻訊號一延遲期間，且延遲期間短於預設時段。

依據本發明又一實施例，其中當內迴路訊號重複經過內迴路至預設次數時，將所計算之次數歸零之步驟包含接收延遲信號並產生重設信號，使得內迴路停止運作，並延遲重設信號，以及，在接收到已延遲之重設信號時，將所計算之次數歸零，並將延遲訊號歸零，使得延遲訊號成為

一種脈衝的形式。

綜合上述，本發明之特點為利用一個計數器，去計算重複經過一串延遲單元的次數，有效降低所需的延遲單元的數目，又可透過計數器，將延遲時間進行彈性的調整，因此，便可達到降低延遲線硬體的複雜度，並可應付寬頻傳輸的效果。

【實施方式】

● 為了使本發明之敘述更加詳盡與完備，可參照所附之圖式及以下所述各種實施例，圖式中相同之號碼代表相同或相似之元件。另一方面，眾所週知的元件與步驟並未描述於實施例中，以避免對本發明造成不必要的限制。

● 首先請同時參照第 1 圖與第 2 圖，第 1 圖為繪示依照本發明之一種延遲線裝置 100 示意圖，第 2 圖為繪示根據第 1 圖實施例之信號波形圖。延遲線裝置 100 可應用在鎖相迴路 (Phase Lock Loop)、數位通訊系統或各種需要延遲的 IC 產品。

延遲線裝置 100 包含差動電路 110、延遲電路 120 與除頻器 130。差動電路 110 連接於延遲電路 120，延遲電路 120 連接於除頻器 130。

差動電路 110 用以將輸入訊號 210 的上升緣以及下降緣分別轉成脈衝進而產生脈衝訊號 220，如此一來，脈衝訊號 220 才能夠驅動後面的電路。實作上，差動電路可為習知的差動電路。

延遲電路 120 包含計數模組 122 與內迴路 124，由圖

可知計數模組 122 連接於差動電路 110 與內迴路 124，實作上延遲電路可為單穩態延遲放大器 (Monostable Delay Amplifier)。脈衝訊號 220 可驅動內迴路 124 開始運作，當內迴路訊號 225 經過內迴路 124 一次時，內迴路 124 用以延遲內迴路訊號 225 一預設時段，預設時段例如可為 10 微微秒或其他時段，舉例來說，預設時段為 10 微微秒，想要將信號延遲 50 微微秒，則僅需要讓信號通過內迴路 5 次，即可達到延遲的效果，延遲線的長度也因此縮減為五分之一，因此達到延遲線長度減少的效果。

內迴路 124 並會對已延遲之內迴路訊號 225 反相，這樣做是為了讓之後的計數模組 122 控制內迴路訊號 225 重複經過內迴路 124 的次數，詳細的控制方法將在下面作介紹。

為了控制延遲內迴路訊號 225 的時間，計數模組 122 用以控制內迴路訊號 225 重複經過內迴路 124 的次數，當內迴路訊號 225 第一次經過計數模組 122 時開始計算，計數模組 122 每接收到與前一次相位相反之內迴路訊號 225 則計為一次，直到內迴路訊號 225 重複經過內迴路 124 至預設次數，預設次數可根據欲延遲的時間而先事先設定在計數模組中，例如：預設時段為 10 微微秒，欲延遲的時間為 100 微微秒，則設定預設次數為 10 次。在達到預設次數之後，計數模組 122 便輸出延遲訊號 230 並將所計算之次數歸零以及停止內迴路 124 的運作，然後再繼續等下一個脈衝訊號 220 來做下一次的計算。

由於原本輸入訊號 210 被差動電路 110 調整頻率，為

了要達到訊號不失真，必須將除頻訊號 250 調整成具有與輸入訊號 210 相同之頻率，因此在延遲電路 120 之後連接除頻器 130，除頻器 130 用以將延遲訊號 230 之頻率調整成與輸入訊號 210 相同之頻率進而產生除頻訊號 250，由第 2 圖即可看出除頻訊號 250 與輸入訊號 210 具有相同之頻率。

在一實施例中，除頻器 130 為二倍除頻器，用以將延遲訊號 230 之頻率除以二倍，例如原本頻率為 200MHz 之訊號會被調整成頻率為 100MHz 之訊號。

為了達到延遲時間的精準度，延遲線裝置 100 可更包含延遲鍊 (Delay Chain) 電路 140。延遲鍊電路 140 用以延遲除頻訊號 250 一延遲期間，而延遲期間短於預設時段。由於內迴路 124 對訊號是做較長時間的延遲，而短於預設時段的時間則藉由延遲鍊電路 140 來作延遲。舉例來說，內迴路之預設時段為 10 微微秒，而延遲鍊電路之延遲期間為 2 微微秒，而需要將一訊號總共延遲 42 微微秒，則此訊號可經過內迴路 4 次，剩下的 2 微微秒則藉由經過延遲鍊電路來作調整。如此一來，便可達到延遲時間作微幅調整的效果。

在一實施例中，延遲鍊電路 140 包含複數個延遲元件 142，彼此串聯相接並分別延遲除頻訊號 250 某一時間間隔，關於延遲元件的數量並沒有限定，第 1 圖中的延遲元件的數量僅為例示，習之技藝者應當視實際情況而調整之。然後，除頻訊號 250 會依據延遲期間而選擇經過延遲元件 142 的個數。舉例來說，延遲鍊電路包含 4 個延遲元

件，一個延遲元件所延遲的時間為 0.5 微微秒，欲延遲時間為 1 微微秒，則訊號在經過延遲鍊電路時，僅會經過其中的 2 個延遲元件，即可達到延遲的效果。如此便可使延遲時間具有彈性，又可達到延遲的精準度。

值得注意的是，雖然在實施例中將延遲鍊電路設計在除頻器之後，然實際上並無特定順序的限制，亦可將除頻器連接在延遲鍊電路，使得信號先微調延遲時間，再進行除頻的行為，亦可達到相同之效果。

接著請參照第 3 圖，第 3 圖是繪示延遲線裝置 100 之一實施例的電路圖。差動電路 110 可由串聯相接之數個延遲單元 310 與互斥或閘 320 所組成，延遲單元 310 連接於互斥或閘 320 之其中一個輸入端，延遲單元 310 主要的用意是讓訊號有延遲的效果，而使得互斥或閘 320 接收延遲過的輸入訊號 210 和沒有延遲過的輸入訊號 210，由於在相異的輸入信號時，會輸出高位準信號，因此可將輸入訊號 210 在電壓位準作轉換的上升緣以及下降緣分別轉成脈衝進而產生脈衝訊號 220。實作上，差動電路 110 亦可由各種類似的電路來達到相同之效果，而在此所繪示之延遲單元 310 的數量僅為例示，並非限制延遲單元 310 的實際數目。

然後，計數模組 122 可包含 D 型正反器 150、至少一個的延遲單元 152 與算數器 154。D 型正反器 150 在受到脈衝訊號 220 的觸發之後，並藉由控制 D 端的輸入，當 \bar{Q} 為 0 使得內迴路 124 開始運作，內迴路開始運作，會使得內迴路訊號 225 作 0 1 0 1 的變化，並輸出至算數器 154，算

數器 154 在接收到內迴路訊號 225 便開始會去數 0101 變化的次數。算數器 154 接著計算內迴路訊號 225 重複經過內迴路 124 的次數，當已反相之內迴路訊號 225 經過算數器 154 時計為一次，而預設次數可存於算數器 154。當內迴路訊號 225 重複經過內迴路 124 至預設次數時，算數器 154 會將延遲信號 230 設為高位準信號，而且 D 型正反器 150 用以接收延遲信號 230 並產生重設信號，此重設信號會停止內迴路 124 的運作，且此重設信號會傳至延遲單元 152，此已延遲之重設信號 240 到達算數器 154 時，會使得算數器 154 輸出的延遲訊號 230 歸零。

延遲單元 152 用以延遲重設信號而輸出已延遲之重設信號 240 至算數器 154，這樣作是為了要讓算數器 154 在輸出延遲信號 230 為高位準信號與將延遲訊號 230 歸零動作之間有緩衝時間，關於延遲單元的數量並沒有限定，在此所繪示之延遲單元的數量僅為例示，習之技藝者應當視實際情況而調整之。然後，當算數器 154 接收到已延遲之重設信號 240 時，算數器 154 便會將計算之次數歸零。

另外，內迴路 124 可包含複數個延遲單元 160 與反相閘 162。延遲單元 160 彼此串聯相接並可分別延遲內迴路訊號 225，也就是說內迴路訊號 225 經過一個延遲單元 160 則會被延遲某個時間，而內迴路訊號 225 經過全部的延遲單元 160 一次而共會被延遲一預設時段。關於延遲單元的數量並沒有限定，在此所繪示之延遲單元的數量僅為例示，習之技藝者應當視實際情況而調整之。反相閘 162 連接於這些延遲單元 160 之後，並用以將已延遲之內迴路訊

號 225 反相。

當重設信號 240 之邏輯值為 1 時，內迴路訊號 225 會停止運作並維持邏輯值為 1，當重設信號 240 之邏輯值為 0 時，內迴路訊號 225 才會運作。

在一實施例中，延遲單元 160 可由一個或閘連接於及閘之輸出端所組成，因為這樣便可以控制內迴路 124 是否要運作，當及閘接受 D 型正反器 150 產生的信號便可控制內迴路的開關，且延遲單元 160 還具有延遲的功能，實作上，延遲單元 160 亦可由各種類似的電路來達到相同之效果。而延遲單元 160 的數量無特別限制，在一實施例中，延遲單元 160 之數量可為 64 個，然習之技藝者可依據實際情形調整之。

而在延遲鍊電路 140 中，延遲單元 142 則是由一個或閘連接於及閘之輸出端來組成，這樣便可以控制除頻訊號 250 從任一的延遲單元 142 進入，實作上，延遲單元 142 之數量不受限，例如延遲單元 142 之數量可為 32 個，然習之技藝者可依據實際情形調整之。而延遲單元 142 的電路亦可由各種類似的電路來達到相同之效果。

在一實施例中，延遲線裝置 100 的運作流程為差動電路 110 產生脈衝訊號 220，脈衝訊號 220 會改變重設信號的值（例如：將其邏輯值從 1 變成 0），重設信號為 0 時會驅使內迴路 124 開始運作並產生內迴路訊號 225，當內迴路訊號 225 繞內迴路 124 到一定的圈數時，計數器 154 輸出邏輯值為 1 的延遲訊號 230，會使得 D 型正反器 150 輸出邏輯值為 1 的重設信號，計數器 154 輸出邏輯值為 1 的

訊號，而重設訊號邏輯值為 1 時，內迴路訊號 225 會停止運作並維持邏輯值為 1，重設訊號邏輯值為 1，會重設計數器 154 下次從 0 開始數，並會使得計數器輸出之延遲訊號 230 訊號之邏輯值為 0，而傳到接下來的除頻器 130。

接著，請參照第 4 圖，第 4 圖是繪示依照本發明之一種延遲訊號方法 400 之流程圖。延遲訊號方法 400 可應用於延遲線裝置 100 或其他相關的技術環節。

延遲訊號方法 400 包含步驟 410~步驟 440。在步驟 410 中，為了驅動後面的電路，將輸入訊號的上升緣以及下降緣分別轉成脈衝進而產生脈衝訊號。在步驟 420 中，為了確保內迴路訊號之延遲時間，會開始計算內迴路訊號重複經過內迴路 124 的次數。在步驟 430 中，當內迴路訊號重複經過內迴路 124 至預設次數時，輸出延遲訊號，並將所計算之內迴路 124 次數歸零且停止內迴路 124 的運作，如此當下一個脈衝訊號來時，便可再進行下一次的計算。在步驟 440 中，為了使訊號不失真，將延遲訊號之頻率調整成與輸入訊號相同之頻率進而產生除頻訊號。

在一實施例中，當內迴路訊號經過內迴路 124 一次，則內迴路訊號被延遲一預設時段並將已延遲預設時段之內迴路訊號反相。

在另一實施例中，延遲訊號方法 400 更包含延遲除頻訊號一延遲期間，且延遲期間短於預設時段，以達到延遲時間得以微調的效果。

步驟 430 可包含接收延遲信號並產生重設信號，延遲重設信號，以及，當產生重設訊號時，內迴路 124 會被停

止運作，且在接收到已延遲之重設信號時，將延遲訊號歸零，以及所計算之內迴路次數歸零。

延遲放大器利用計數器，減少延遲單元的數目，在後面接一個獨立延遲鏈電路來增加精確度，並利用差分電路將輸入訊號的上升沿與下降沿轉為脈衝來驅動延遲放大器，藉此而降低整體延遲線的硬體複雜度，並可兼顧延遲時間的彈性調整，適合在寬頻下傳輸的使用。

使用這樣的延遲線電路，便可使產品具有較低的成本與較好的效能展現，提升產品之競爭力，並提高產品的市場佔有率。

雖然本發明已以實施方式揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

為讓本發明之上述和其他目的、特徵、優點與實施例能更明顯易懂，所附圖式之說明如下：

第 1 圖為繪示依照本發明之一種延遲線裝置示意圖。

第 2 圖為繪示根據第 1 圖實施例之信號波形圖。

第 3 圖是繪示延遲線裝置之一實施例的電路圖。

第 4 圖是繪示依照本發明之一種延遲訊號方法之流程圖。

【主要元件符號說明】

100：延遲線裝置	110：差動電路
120：延遲電路	122：計數模組
124：內迴路	130：除頻器
140：延遲鍊電路	142：延遲元件
150：D型正反器	152：延遲單元
154：算數器	160：延遲單元
162：反相閘	210：輸入訊號
220：脈衝訊號	225：內迴路訊號
230：延遲訊號	240：已延遲之重設信號
250：除頻訊號	310：延遲單元
320：互斥或閘	400：方法
410~440：步驟	

七、申請專利範圍：

1. 一種延遲線裝置，包含：

一差動電路，用以將一輸入訊號的上升緣以及下降緣分別轉成脈衝進而產生一脈衝訊號；

一延遲電路，包含：

一內迴路，當一內迴路訊號經過該內迴路一次時，該內迴路用以將該內迴路訊號延遲一預設時段，並對已延遲之該內迴路訊號反相；以及

一計數模組，用以控制該內迴路訊號重複經過該內迴路的次數，在該內迴路訊號經過該計數模組時開始計算，直到該內迴路訊號重複經過該內迴路至一預設次數，而使得該計數模組輸出一延遲訊號並將所計算之次數歸零；以及

一除頻器，用以將該延遲訊號之頻率調整成與該輸入訊號相同之頻率進而產生一除頻訊號。

2. 如請求項 1 所述之延遲線裝置，其中該計數模組包含：

一算數器，用以計算該內迴路訊號重複經過該內迴路的次數，當已反相之該內迴路訊號經過該算數器時計為一次；

一 D 型正反器，用以接收該脈衝訊號和該延遲信號並產生一重設信號；以及

至少一延遲單元，用以延遲該重設信號；

其中，當該內迴路接收到該重設訊號時，該內迴路停止運作；該算數器接收到已延遲之該重設信號時，該算數器將所輸出的該延遲訊號歸零，以及將所計算之經過該內迴路次數歸零。

3. 如請求項 1 所述之延遲線裝置，更包含：

一延遲鍊 (Delay Chain) 電路，用以延遲該除頻訊號一延遲期間；

其中，該延遲期間短於該預設時段。

4. 如請求項 3 所述之延遲線裝置，其中該延遲鍊電路包含複數個延遲元件，彼此串聯相接並分別延遲該除頻訊號。

5. 如請求項 1 所述之延遲線裝置，其中該內迴路包含：

複數個延遲單元，彼此串聯相接並分別延遲該內迴路訊號，使該內迴路訊號經過該些延遲單元一次而共被延遲該預設時段；以及

一反相閘，連接於該些延遲單元，並用以將已延遲之該內迴路訊號反相。

6. 如請求項 1 所述之延遲線裝置，其中該除頻器為一二倍除頻器，用以將該延遲訊號之頻率除以二倍。

7. 一種延遲訊號方法，用於延遲線裝置，該方法包含：
將一輸入訊號的上升緣以及下降緣分別轉成脈衝進而產生一脈衝訊號來驅動一內迴路運作；

開始計算該內迴路訊號重複經過該內迴路的次數；

當該內迴路訊號重複經過該內迴路至一預設次數時，輸出一延遲訊號，並將所計算之經過該內迴路次數歸零；
以及

將該延遲訊號之頻率調整成與該輸入訊號相同之頻率進而產生一除頻訊號。

8. 如請求項 7 所述之方法，其中，當該內迴路訊號經過該內迴路一次，則延遲該內迴路訊號一預設時段並將已延遲該預設時段之該內迴路訊號反相。

9. 如請求項 8 所述之方法，更包含：

延遲該除頻訊號一延遲期間；

其中，該延遲期間短於該預設時段。

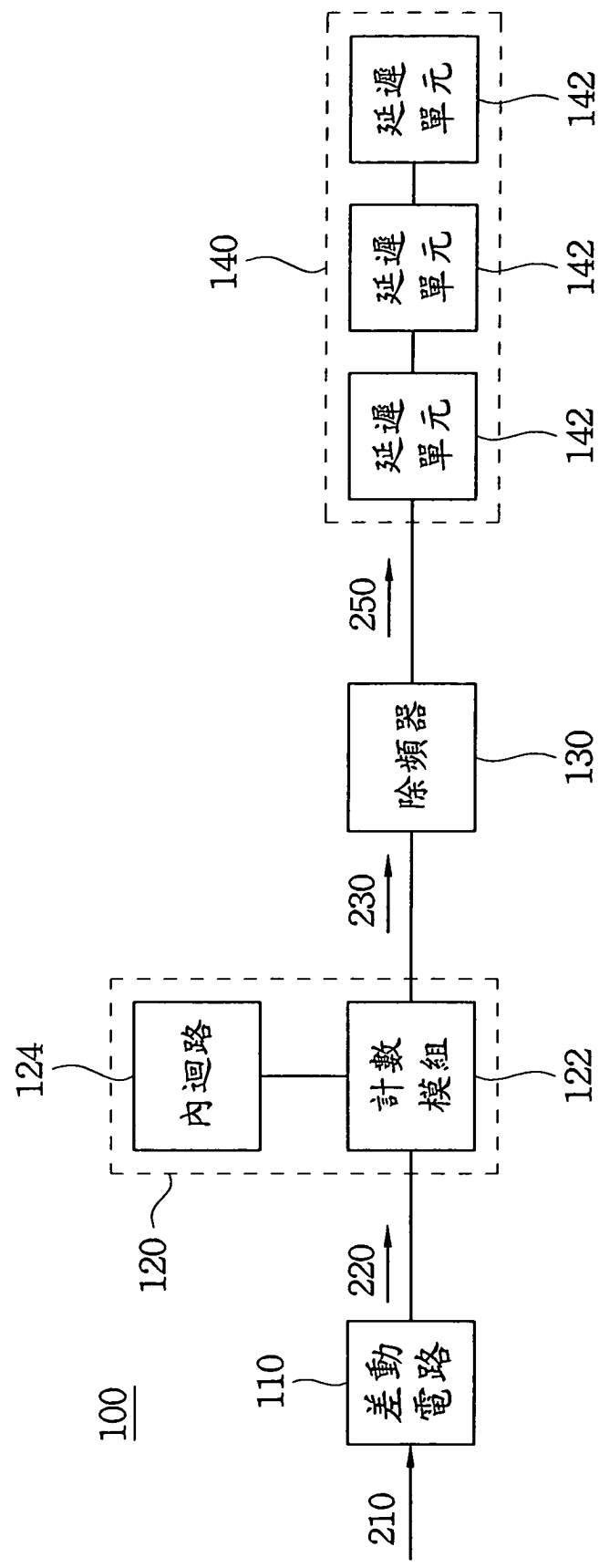
10. 如請求項 7 所述之方法，其中當該內迴路訊號重複經過該內迴路至該預設次數時，輸出該延遲訊號，並將所計算之經過該內迴路次數歸零之步驟包含：

接收該延遲信號並產生一重設信號；

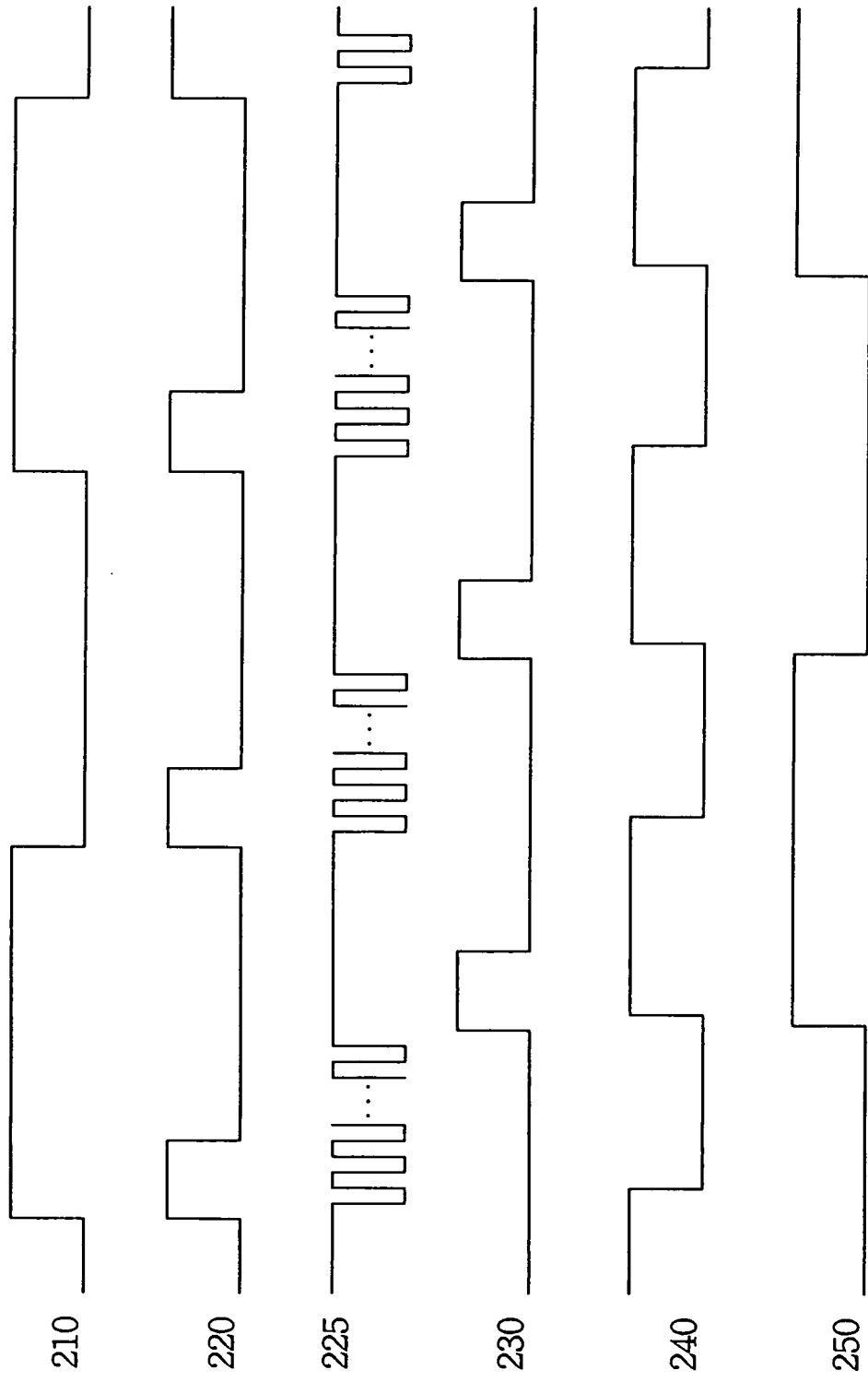
該重設信號會停止該內迴路運作；

延遲該重設信號；以及

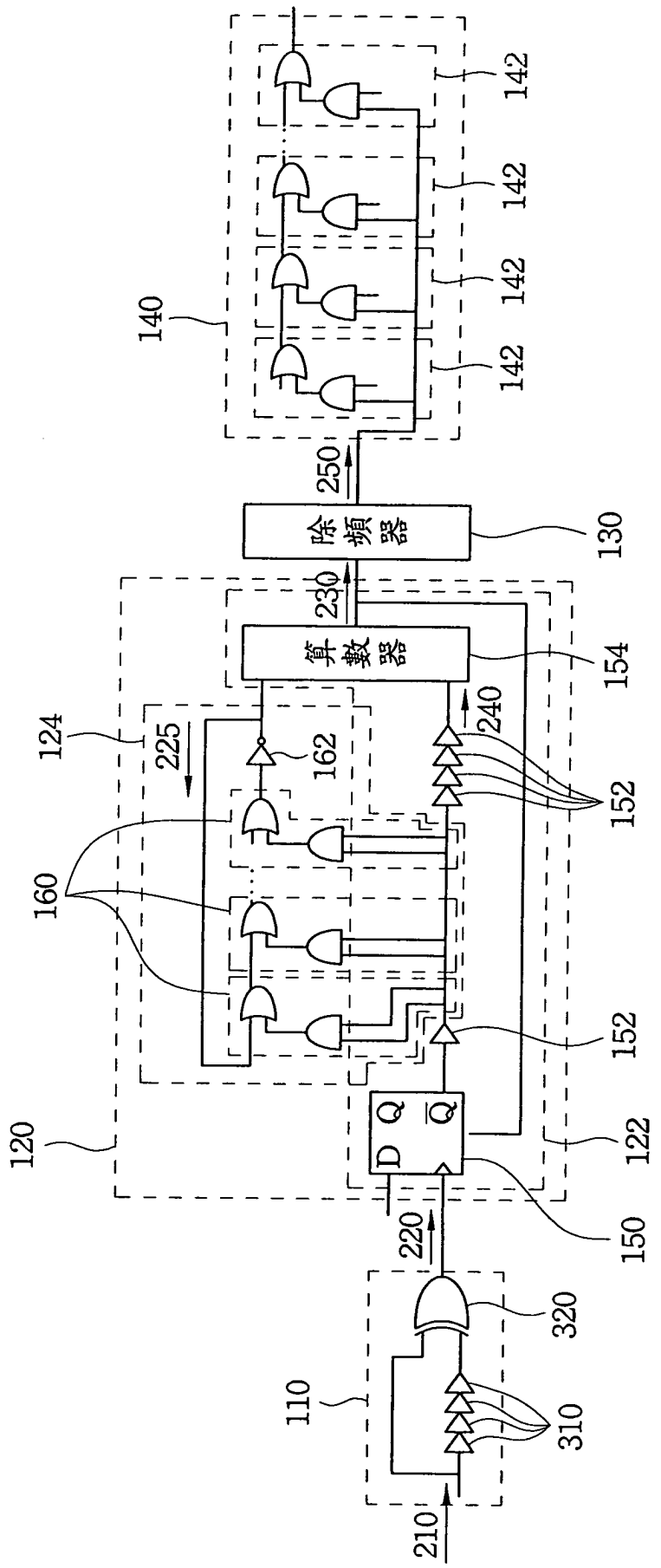
在接收到已延遲之該重設信號時，將所計算之次數歸零，並將所輸出之該延遲訊號歸零。



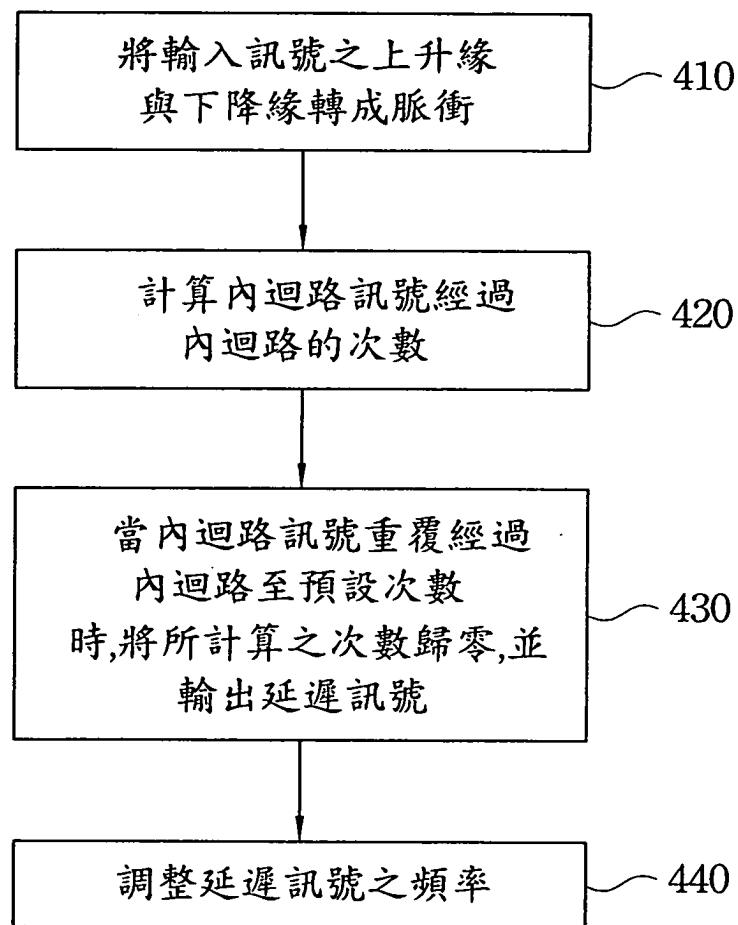
第 1 圖



第 2 圖



第 3 圖

400

第 4 圖