



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I440310 B

(45)公告日：中華民國 103 (2014) 年 06 月 01 日

(21)申請案號：100128433

(22)申請日：中華民國 100 (2011) 年 08 月 09 日

(51)Int. Cl. : H03K5/15 (2006.01)

H03K19/20 (2006.01)

(71)申請人：國立交通大學(中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

(72)發明人：許騰尹 HSU, TERNG YIN (TW)；廖原德 LIAO, YUAN TE (TW)；蘇楷書 SU, KAI SHU (TW)

(74)代理人：蔡清福

(56)參考文獻：

TW 200943734A1

US 6069508

US 7786913B2

US 2009/0175399A1

US 2010/0164573A1

Hsiang-Hui Chang; Wang, Ping-Ying; Zhan, J.-H.C.; Bing-Yu Hsieh, "A Fractional Spur-Free ADPLL with Loop-Gain Calibration and Phase-Noise Cancellation for GSM/GPRS/EDGE," Solid-State Circuits Conference, 2008. ISSCC 2008. Digest of Technical Papers. IEEE International , vol., no., pp.200,606, 3-7 Feb. 2008.

Straayer, M.Z.; Perrott, M.H., "A Multi-Path Gated Ring Oscillator TDC With First-Order Noise Shaping," Solid-State Circuits, IEEE Journal of , vol.44, no.4, pp.1089,1098, April 2009.

審查人員：鄭凱旭

申請專利範圍項數：10 項 圖式數：5 共 0 頁

(54)名稱

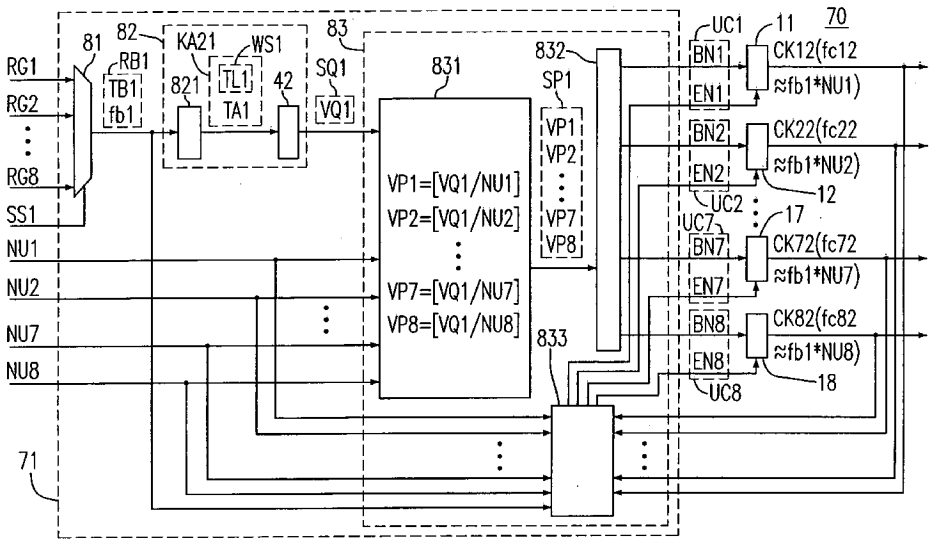
時間至數位轉換器及數位控制時脈產生器及全數位時脈產生器

TIME-TO-DIGITAL CONVERTER AND DIGITALLY-CONTROLLED CLOCK GENERATOR AND ALL-DIGITAL CLOCK GENERATOR

(57)摘要

一種全數位時脈產生器包括一數位控制時脈產生器和一處理單元。該數位控制時脈產生器響應一致能訊號和一數位訊號而產生一時脈訊號。該處理單元具有一頻率乘數和一參考訊號，該參考訊號具有一週期，該處理單元數位化該週期來產生一量化訊號，根據該量化訊號和該頻率乘數而產生該數位訊號，且根據該參考訊號、該時脈訊號和該頻率乘數而產生該致能訊號。

An all-digital clock generator includes a digitally-controlled clock generator and a processing unit. The digitally-controlled clock generator generates a clock signal in response to an enable signal and a digital signal. The processing unit has a frequency multiplier and a reference signal with a period, digitizes the period to generate a quantized signal, generates the digital signal according to the quantized signal and the frequency multiplier, and generates the enable signal according to the reference signal, the clock signal and the frequency multiplier.



第三圖

- 11、12、17、
- 18 . . . 數位控制時脈產生器
- 42 . . . 時間至數位轉換器
- 70 . . . 全數位時脈產生器
- 71 . . . 處理單元
- 81 . . . 多工器
- 82 . . . 時間至數位轉換模組
- 821 . . . 時脈再生器
- 83 . . . 控制單元
- 831 . . . 除法器
- 832 . . . 解碼器
- 833 . . . 計數器
- BN1、BN2、BN7、BN8 . . . 數位訊號
- CK12、CK22、CK72、CK82、
- KA21 . . . 時脈訊號
- EN1、EN2、EN7、EN8 . . . 致能訊號
- fb1、fc12、fc22、fc72、fc82 . . . 頻率
- NU1、NU2、NU7、NU8 . . . 頻率乘數
- RB1 . . . 參考訊號
- RG1、RG2、RG8 . . . 輸入訊號
- SP1 . . . 商數訊號
- SQ1 . . . 量化訊號
- SS1 . . . 選擇訊號
- TA1 . . . 特徵時段
- TB1 . . . 週期
- TL1 . . . 脈衝持續時間

UC1、UC2、UC7、
UC8 . . . 控制訊號
VP1、VP2、VP7、
VP8 . . . 商數
VQ1 . . . 量化值
WS1 . . . 脈衝



發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：(001)8433

※ 申請日：100. 8. 09

※IPC 分類：

H03K 5/15 2006.01

H03K 19/50 2006.01

一、發明名稱：(中文/英文)

時間至數位轉換器及數位控制時脈產生器及全數位時脈產生器/
TIME-TO-DIGITAL CONVERTER AND
DIGITALLY-CONTROLLED CLOCK GENERATOR AND
ALL-DIGITAL CLOCK GENERATOR

二、中文發明摘要：

一種全數位時脈產生器包括一數位控制時脈產生器和一處理單元。該數位控制時脈產生器響應一致能訊號和一數位訊號而產生一時脈訊號。該處理單元具有一頻率乘數和一參考訊號，該參考訊號具有一週期，該處理單元數位化該週期來產生一量化訊號，根據該量化訊號和該頻率乘數而產生該數位訊號，且根據該參考訊號、該時脈訊號和該頻率乘數而產生該致能訊號。

三、英文發明摘要：

An all-digital clock generator includes a digitally-controlled clock generator and a processing unit. The digitally-controlled clock generator generates a clock signal in response to an enable signal and a digital signal. The processing unit has a frequency multiplier and a reference signal with a period, digitizes the period to generate

a quantized signal, generates the digital signal according to the quantized signal and the frequency multiplier, and generates the enable signal according to the reference signal, the clock signal and the frequency multiplier.

四、指定代表圖：

(一)本案指定代表圖為：第(三)圖

(二)本代表圖之元件符號簡單說明

11、12、17、18：數位控制時脈產生器

42：時間至數位轉換器

70：全數位時脈產生器

71：處理單元

81：多工器

82：時間至數位轉換模組

821：時脈再生器

83：控制單元

831：除法器

832：解碼器

833：計數器

BN1、BN2、BN7、BN8：數位訊號

CK12、CK22、CK72、CK82、KA21：時脈訊號

EN1、EN2、EN7、EN8：致能訊號

fb1、fc12、fc22、fc72、fc82：頻率

NU1、NU2、NU7、NU8：頻率乘數

RB1：參考訊號

a quantized signal, generates the digital signal according to the quantized signal and the frequency multiplier, and generates the enable signal according to the reference signal, the clock signal and the frequency multiplier.

四、指定代表圖：

(一)本案指定代表圖為：第(三)圖

(二)本代表圖之元件符號簡單說明

11、12、17、18：數位控制時脈產生器

42：時間至數位轉換器

70：全數位時脈產生器

71：處理單元

81：多工器

82：時間至數位轉換模組

821：時脈再生器

83：控制單元

831：除法器

832：解碼器

833：計數器

BN1、BN2、BN7、BN8：數位訊號

CK12、CK22、CK72、CK82、KA21：時脈訊號

EN1、EN2、EN7、EN8：致能訊號

fb1、fc12、fc22、fc72、fc82：頻率

NU1、NU2、NU7、NU8：頻率乘數

RB1：參考訊號

RG1、RG2、RG8：輸入訊號

SP1：商數訊號

SQ1：量化訊號

SS1：選擇訊號

TA1：特徵時段

TB1：週期

TL1：脈衝持續時間

UC1、UC2、UC7、UC8：控制訊號

VP1、VP2、VP7、VP8：商數

VQ1：量化值

WS1：脈衝

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

六、發明說明：

【發明所屬之技術領域】

本發明是關於一種時脈產生器，特別是關於具有一時間至數位轉換器和一數位控制時脈產生器的全數位時脈產生器。

【先前技術】

在先前技術中，用於產生一第一時脈訊號的一第一鎖相迴路包括一第一相位與頻率檢測器、一電荷泵、一回路濾波器、一電壓控制振盪器和一第一除頻器。該第一相位與頻率檢測器接收一第一參考訊號和一第一回授訊號，比較該第一參考訊號和該第一回授訊號來產生一第一比較結果訊號。依序通過該電荷泵、該回路濾波器和該電壓控制振盪器，該第一比較結果訊號被轉換為該第一時脈訊號。該第一除頻器具有一第一頻率除數，且根據該第一頻率除數和該第一時脈訊號而產生該第一回授訊號。

在先前技術中，用於產生一第二時脈訊號的一第二鎖相迴路包括一第二相位與頻率檢測器、一控制單元、一數位控制振盪器和一第二除頻器。該第二相位與頻率檢測器接收一第二參考訊號和一第二回授訊號，比較該第二參考訊號和該第二回授訊號來產生一第二比較結果訊號。該控制單元根據該第二比較結果訊號而產生一數位調整訊號。該數位控制振盪器根據該數位調整訊號而產生該第二時脈訊號。該第二除頻器具有一第二頻率除數，且根據該第二頻率除數和該第二時脈訊號而產生該第二回授訊號。

一習知技術方案記載於台灣第 M241,888 號公告專利，其揭露一種以計數器為基礎的全數位時脈倍頻器。

在先前技術的時脈產生方案中，大多需要利用數位控制震盪器(DCO)或電壓控制振盪器(VCO)來作頻率的調整。一般來說，在一些應用上，由於頻率獲取和鎖定機制，數位控制震盪器或電壓控制振盪器在硬體構造上顯得過於複雜。另外，先前技術中的時脈產生方案大多使用具有單一數位控制震盪器或電壓控制振盪器的架構，因此，所述方案在多速率時脈域設計(multi-rate clock domain design)的應用上顯得較不具彈性。

【發明內容】

本發明的一目的在於提出一種全數位時脈產生器，該全數位時脈產生器是一個低成本並可快速調整頻率的時脈產生器。

本發明的第一實施例在於提出一種全數位時脈產生器。該全數位時脈產生器包括一數位控制時脈產生器和一處理單元。該數位控制時脈產生器響應一致能訊號和一數位訊號而產生一時脈訊號。該處理單元具有一頻率乘數和一參考訊號，該參考訊號具有一週期，該處理單元數位化該週期來產生一量化訊號，根據該量化訊號和該頻率乘數而產生該數位訊號，且根據該參考訊號、該時脈訊號和該頻率乘數而產生該致能訊號。

本發明的第二實施例在於提出一種時間至數位轉換器。該時間至數位轉換器包括一振盪單元和一量化單元。

振盪單元響應一時脈訊號而產生一振盪訊號，其中該時脈訊號具有一特徵時段。量化單元響應該振盪訊號而產生一循環計數訊號，響應該時脈訊號而取樣該振盪訊號來產生一資料訊號，且根據該循環計數訊號和該資料訊號而數位化該特徵時段。

本發明的第三實施例在於提出一種數位控制時脈產生器。該數位控制時脈產生器包括一訊號產生單元和複數延遲控制單元。該訊號產生單元響應一致能訊號和一第一訊號而產生一時脈訊號。該複數延遲控制單元響應該時脈訊號和複數二進制訊號而分別決定該時脈訊號是否通過各該複數延遲控制單元，以形成該第一訊號。

【實施方式】

請參閱第一圖，其為本發明一實施例所提數位控制時脈產生器 11 的示意圖。如圖所示，數位控制時脈產生器 11 包括一訊號產生單元 20 和耦接於訊號產生單元 20 的複數延遲控制單元 31、32、...、37、38。訊號產生單元 20 響應一致能訊號 EN1 和一訊號 SA1 而產生一時脈訊號 CK11。該複數延遲控制單元 31、32、...、37、38 響應時脈訊號 CK11 和複數二進制訊號 BN11、BN12、...、BN17、BN18 而分別決定時脈訊號 CK11 是否通過各該複數延遲控制單元 31、32、...、37、38，以形成訊號 SA1。例如，訊號 SA1 是一回授訊號，且包括複數子訊號 SA11、SA12、...、SA17、SA18；該複數子訊號 SA11、SA12、...、SA17、SA18 可以是相同或不同。例如，數位控制時脈產

生器 11 用於一全數位時脈產生器。

例如，數位控制時脈產生器 11 包括一環形振盪器 111 和耦接於環形振盪器 111 的一反閘 112。例如，數位控制時脈產生器 11 是一半同步(semi-synchronous)時脈產生器。環形振盪器 111 包括訊號產生單元 20 和該複數延遲控制單元 31、32、...、37、38；反閘 112 響應時脈訊號 CK11 而產生時脈訊號 CK12。致能訊號 EN1 決定一第一時段和相鄰於該第一時段並是選擇性的一第二時段，時脈訊號 CK11 在該第一時段中是準位振盪的，且時脈訊號 CK11 在該第二時段中是準位平穩的。例如，當致能訊號 EN1 具有一致能準位時，時脈訊號 CK11 是準位振盪的；且當致能訊號 EN1 具有一去能準位時，時脈訊號 CK11 是準位平穩的。

該複數延遲控制單元 31、32、...、37、38 均接收時脈訊號 CK11，更分別接收該複數二進制訊號 BN11、BN12、...、BN17、BN18，根據時脈訊號 CK11 和各該複數二進制訊號 BN11、BN12、...、BN17、BN18 而分別進行複數邏輯及運算，以分別產生該複數子訊號 SA11、SA12、...、SA17、SA18，其中該複數子訊號 SA11、SA12、...、SA17、SA18 可以包括一子訊號 SA11 和至少一子訊號(SA18 與可能的 SA12、...、SA17)。

例如，該複數延遲控制單元 31、32、...、37、38 分別包括複數及閘 311、321、...、371、381，以進行該複數邏輯及運算。例如，該複數延遲控制單元 31、32、...、37、38 分別是該複數及閘 311、321、...、371、381。該複數及

閘 311、321、...、371、381 分別具有複數第一輸入端 A1、A2、...、A7、A8，更分別具有複數第二輸入端 B1、B2、...、B7、B8，且更分別具有複數輸出端。該複數第一輸入端 A1、A2、...、A7、A8 均接收時脈訊號 CK11，該複數第二輸入端 B1、B2、...、B7、B8 分別接收該複數二進制訊號 BN11、BN12、...、BN17、BN18，且該複數及閘 311、321、...、371、381 的各該複數輸出端分別發送該複數子訊號 SA11、SA12、...、SA17、SA18。

訊號產生單元 20 包括一延遲模組 20A 和耦接於延遲模組 20A 的一延遲單元 29。延遲模組 20A 響應訊號 SA1 而產生一訊號 SB18。延遲單元 29 根據致能訊號 EN1 和訊號 SB18 而進行一邏輯反及運算，以產生時脈訊號 CK11。例如，致能訊號 EN1 是一窗訊號。例如，延遲模組 20A 包括一延遲單元 21 和耦接於延遲單元 21 的至少一延遲單元 (28 與可能的 22、...、27)。延遲單元 21 響應一訊號 SB10 和子訊號 SA11 而進行一邏輯或運算，以產生一訊號 SB11。該至少一延遲單元 (28 與可能的 22、...、27) 響應訊號 SB11 和該至少一子訊號 (SA18 與可能的 SA12、...、SA17) 而進行至少一邏輯或運算，以產生至少一訊號 (SB18 與可能的 SB12、...、SB17)，該至少一訊號 (SB18 與可能的 SB12、...、SB17) 包括訊號 SB18。

例如，訊號 SB10 是一低準位訊號；延遲單元 29、延遲單元 21 和該至少一延遲單元 (28 與可能的 22、...、27) 分別包括一反及閘 291、一或閘 211 和至少一或閘 (281 與可能的 221、...、271)，以分別進行該邏輯反及運算、該

邏輯或運算和該至少一邏輯或運算。例如，延遲單元 29、延遲單元 21 和該至少一延遲單元(28 與可能的 22、...、27)分別是反及閘 291、或閘 211 和該至少一或閘(281 與可能的 221、...、271)。例如，延遲單元 21、該至少一延遲單元(28 與可能的 22、...、27)和延遲單元 29 之間具有一路徑 PH2，且通過路徑 PH2 而串聯。

反及閘 291 具有一第一輸入端 C9、一第二輸入端 E9 和一輸出端。第一輸入端 C9 接收致能訊號 EN1，第二輸入端 E9 接收訊號 SB18，且反及閘 291 的輸出端發送時脈訊號 CK11。該複數或閘 211、221、...、271、281 分別具有複數第一輸入端 C1、C2、...、C7、C8，更分別具有複數第二輸入端 E1、E2、...、E7、E8，且更分別具有複數輸出端。該複數第一輸入端 C1、C2、...、C7、C8 分別接收該複數子訊號 SA11、SA12、...、SA17、SA18，該複數第二輸入端 E1、E2、...、E8 分別接收該複數訊號 SB10、SB11、...、SB17，且該複數或閘 211、221、...、271、281 的各該複數輸出端分別發送複數訊號 SB11、SB12、...、SB17、SB18。

請參閱第二圖，其為本發明一實施例所提時間至數位轉換器(time-to-digital converter) 42 的示意圖。如圖所示，時間至數位轉換器 42 包括一振盪單元 50 和耦接於振盪單元 50 的一量化單元 60。振盪單元 50 響應一時脈訊號 KA21 而產生一振盪訊號 VS1，其中時脈訊號 KA21 具有一特徵時段 TA1。量化單元 60 響應振盪訊號 VS1 而產生一循環計數訊號 CY1，響應時脈訊號 KA21 而取樣振盪訊號 VS1

來產生一資料訊號 SD1，且根據循環計數訊號 CY1 和資料訊號 SD1 而數位化特徵時段 TA1。例如，振盪單元 50 是一環形振盪器。例如，時間至數位轉換器 42 用於一全數位時脈產生器。

例如，時脈訊號 KA21 具有一頻率 f_{21} ，振盪訊號 VS1 具有一頻率 f_{s1} 。例如，頻率 f_{s1} 可以大於、等於或是小於頻率 f_{21} 。根據應用的需求及/或振盪單元 50 的電路構造，振盪訊號 VS1 的頻率 f_{s1} 可以被決定。振盪訊號 VS1 包括一時脈訊號 KA31 和一時脈訊號 KA4。振盪單元 50 包括一延遲模組 501 和耦接於延遲模組 501 的一門鎖單元 59。延遲模組 501 響應時脈訊號 KA21 和一回授訊號 KA32 而產生時脈訊號 KA4，其中時脈訊號 KA4 包括複數時脈子訊號 KA41、KA42、KA43、...、KA47、KA48，該複數時脈子訊號 KA41、KA42、KA43、...、KA47、KA48 包括一時脈子訊號 KA41 和至少一時脈子訊號(KA48 與可能的 KA42、KA43、...、KA47)，且該至少一時脈子訊號(KA48 與可能的 KA42、KA43、...、KA47)包括一時脈子訊號 KA48。例如，回授訊號 KA32 是一時脈訊號。

門鎖單元 59 響應一致能訊號 EM1 和時脈子訊號 KA48 而產生回授訊號 KA32 和時脈訊號 KA31。延遲模組 501 包括一延遲單元 51 和耦接於延遲單元 51 的至少一延遲單元(58 與可能的 52、53、...、57)。延遲單元 51 根據回授訊號 KA32 和時脈訊號 KA21 而進行一邏輯及運算，以產生時脈子訊號 KA41。該至少一延遲單元(58 與可能的 52、53、...、57)，響應時脈子訊號 KA41 和至少一預設準位訊

號(SE58 與可能的 SE52、SE53、...、SE57)而進行至少一邏輯或運算，以產生該至少一時脈子訊號(KA48 與可能的 KA42、KA43、...、KA47)。例如，該至少一預設準位訊號(SE58 與可能的 SE52、SE53、...、SE57)是至少一低準位訊號。

例如，閘鎖單元 59 包括一 D 型閘鎖器 591；延遲單元 51 和該至少一延遲單元(58 與可能的 52、53、...、57)分別包括一及閘 511 和至少一或閘(581 與可能的 521、531、...、571)，以分別進行該邏輯及運算和該至少一邏輯或運算。例如，閘鎖單元 59、延遲單元 51 和該至少一延遲單元(58 與可能的 52、53、...、57)分別是 D 型閘鎖器 591 及閘 511 和該至少一或閘(581 與可能的 521、531、...、571)。延遲單元 51、該至少一延遲單元(58 與可能的 52、53、...、57)和閘鎖單元 59 之間具有一路徑 PH5，且通過路徑 PH5 而串聯。

例如，時脈訊號 KA21 更具有相鄰的兩邊緣，且特徵時段 TA1 是該相鄰的兩邊緣之間的期間。例如，該相鄰的兩邊緣分別是一上升緣和一下降緣。例如，時脈訊號 KA31 和該複數時脈子訊號 KA41、KA42、KA43、...、KA47、KA48 具有一相同的頻率，且時脈訊號 KA31 和該複數時脈子訊號 KA41、KA42、KA43、...、KA47、KA48 的任意兩者之間具有一相位差。該 D 型閘鎖器 591 具有一致能控制端 L9、一資料輸入端 D9、一資料輸出端 Q9 和一反相資料輸出端 Qb9。致能控制端 L9 接收致能訊號 EM1，資料輸入端 D9 接收時脈子訊號 KA48，資料輸出端 Q9 發送時

脈訊號 KA31，且反相資料輸出端 Qb9 發送回授訊號 KA32。例如，致能訊號 EM1 具有一致能準位。

及閘 511 具有一第一輸入端 G1、一第二輸入端 H1 和一輸出端。第一輸入端 G1 接收時脈訊號 KA21，第二輸入端 H1 接收回授訊號 KA32，且及閘 511 的輸出端發送時脈子訊號 KA41。複數或閘 521、531、...、581 分別具有複數第一輸入端 G2、G3、...、G8，更分別具有複數第二輸入端 H2、H3、...、H8，且更分別具有複數輸出端。該複數第一輸入端 G2、G3、...、G8 分別接收複數預設準位訊號 SE52、SE53、...、SE58，該複數第二輸入端 H2、H3、...、H8 分別接收複數時脈子訊號 KA41、KA42、...、KA47，且該複數或閘 521、531、...、581 的各該複數輸出端分別發送複數時脈子訊號 KA42、KA43、...、KA47、KA48。例如，該複數預設準位訊號 SE52、SE53、...、SE58 均為一低準位訊號。

量化單元 60 包括一正反器單元 61、一級聯計數器 (cascaded counter) 62 和一編碼器 63，且編碼器 63 耦接於正反器單元 61 和級聯計數器 62。正反器單元 61 響應時脈訊號 KA21 而取樣時脈訊號 KA4 來產生資料訊號 SD1，其中資料訊號 SD1 包括複數二進制訊號 BM11、BM12、...、BM17、BM18。級聯計數器 62 響應時脈訊號 KA31 而產生循環計數訊號 CY1。編碼器 63 根據循環計數訊號 CY1 和資料訊號 SD1 而數位化特徵時段 TA1 來產生一量化訊號 SQ1。例如，時脈訊號 KA21 具有一脈衝 WS1，脈衝 WS1 具有該相鄰的兩邊緣和一脈衝持續時間 TL1，且特徵時段

TA1 是脈衝持續時間 TL1。

該正反器單元 61 包括複數 D 型正反器 611、612、...、617、618，該複數 D 型正反器 611、612、...、617、618 同時由時脈訊號 KA21 所觸發來分別取樣該複數時脈子訊號 KA41、KA42、...、KA47、KA48，以產生該複數二進制訊號 BM11、BM12、...、BM17、BM18。該複數 D 型正反器 611、612、...、617、618 分別具有複數時脈輸入端 L1、L2、...、L7、L8，更分別具有複數資料輸入端 D1、D2、...、D7、D8，且更分別具有複數資料輸出端 Q1、Q2、...、Q7、Q8。該複數時脈輸入端 L1、L2、...、L7、L8 均接收時脈訊號 KA21，該複數資料輸入端 D1、D2、...、D7、D8 分別接收該複數時脈子訊號 KA41、KA42、...、KA47、KA48，且該複數資料輸出端 Q1、Q2、...、Q7、Q8 分別發送該複數二進位訊號 BM11、BM12、...、BM17、BM18。

例如，時脈訊號 KA21 決定一第一時段和一第二時段，振盪訊號 VS1 在該第一時段中是準位振盪的，且振盪訊號 VS1 在該第二時段中是準位平穩的。例如，脈衝 WS1 決定該第一時段。例如，脈衝 WS1 的下降緣同時觸發該複數 D 型正反器 611、612、...、617、618 來分別取樣該複數時脈子訊號 KA41、KA42、...、KA47、KA48。

如第一圖所示，數位控制時脈產生器 11 中的該複數或閘 211、221、...、271、281 通過路徑 PH2 而串聯。如第二圖所示，時間至數位轉換器 42 中的該複數或閘 521、531、...、581 通過路徑 PH5 而串聯。由於該複數或閘 211、

221、...、271、281 和該複數或閘 521、531、...、581 使用相同的結構，因此，可以通過簡單的邏輯讓時間至數位轉換器 42 產生的數位資料與數位控制時脈產生器 11 的控制訊號互相對應，以減少運算延遲和硬體複雜度。

請參閱第三圖，其為本發明一實施例所提全數位時脈產生器 70 的示意圖。如圖所示，全數位時脈產生器 70 包括一數位控制時脈產生器 11 和耦接於數位控制時脈產生器 11 的一處理單元 71。數位控制時脈產生器 11 響應一致能訊號 EN1 和一數位訊號 BN1 而產生一時脈訊號 CK12。處理單元 71 具有一頻率乘數 NU1 和一參考訊號 RB1，其中參考訊號 RB1 具有一週期 TB1。處理單元 71 數位化週期 TB1 來產生一量化訊號 SQ1，根據量化訊號 SQ1 和頻率乘數 NU1 而產生數位訊號 BN1，且根據參考訊號 RB1、時脈訊號 CK12 和頻率乘數 NU1 而產生致能訊號 EN1。例如，數位訊號 BN1 包括複數二進制訊號 BN11、BN12、...、BN17、BN18。

例如，全數位時脈產生器 70 更包括至少一數位控制時脈產生器(18 與可能的 12、...、17)。該至少一數位控制時脈產生器(18 與可能的 12、...、17)響應至少一致能訊號(EN8 與可能的 EN2、...、EN7)和至少一數位訊號(BN8 與可能的 BN2、...、BN7)而產生至少一時脈訊號(CK82 與可能的 CK22、...、CK72)。例如，參考訊號 RB1 具有一頻率 fb1，頻率 fb1 是週期 TB1 的倒數。處理單元 71 具有參考訊號 RB1 和複數頻率乘數 NU1、NU2、...、NU7、NU8，且根據參考訊號 RB1 和該複數頻率乘數 NU1、NU2、...、

NU7、NU8 而產生複數控制訊號 UC1、UC2、...、UC7、UC8，其中該複數頻率乘數 NU1、NU2、...、NU7、NU8 是相同或不同的。

複數數位控制時脈產生器 11、12、...、17、18 分別響應該複數控制訊號 UC1、UC2、...、UC7、UC8 而產生複數時脈訊號 CK12、CK22、...、CK72、CK82。該複數控制訊號 UC1、UC2、...、UC7、UC8 分別與該複數頻率乘數 NU1、NU2、...、NU7、NU8 對應，分別包括複數致能訊號 EN1、EN2、...、EN7、EN8，且更分別包括複數數位訊號 BN1、BN2、...、BN7、BN8。該複數時脈訊號 CK12、CK22、...、CK72、CK82 分別具有複數頻率 fc_{12} 、 fc_{22} 、...、 fc_{72} 、 fc_{82} ，且該複數頻率 fc_{12} 、 fc_{22} 、...、 fc_{72} 、 fc_{82} 分別具有複數頻率關係($fc_{12} \approx fb_1 * NU_1$)、($fc_{22} \approx fb_1 * NU_2$)、...、($fc_{72} \approx fb_1 * NU_7$)、($fc_{82} \approx fb_1 * NU_8$)，其中符號 $\approx$ 表示具有一誤差範圍的等於。

例如，處理單元 71 包括一多工器 81、一時間至數位轉換模組 82 和一控制單元 83，其中時間至數位轉換模組 82 耦接於多工器 81，且控制單元 83 耦接於時間至數位轉換模組 82。多工器 81 接收複數輸入訊號 RG1、RG2、...、RG8 和一選擇訊號 SS1，且根據選擇訊號 SS1 而從該複數輸入訊號 RG1、RG2、...、RG8 所組成的一群組中選擇一個來形成參考訊號 RB1。例如，該複數輸入訊號 RG1、RG2、...、RG8 分別是複數時脈訊號，且該複數輸入訊號 RG1、RG2、...、RG8 的任意兩者之間具有不同的頻率。時間至數位轉換模組 82 響應參考訊號 RB1 而數位化週期

TB1 來產生量化訊號 SQ1。

控制單元 83，具有頻率乘數 NU1，且根據參考訊號 RB1、頻率乘數 NU1、量化訊號 SQ1 和時脈訊號 CK12 而產生致能訊號 EN1 和數位訊號 BN1，其中控制單元 83 更具有至少一頻率乘數(NU8 與可能的 NU2、...、NU7)，且根據參考訊號 RB1、該至少一頻率乘數(NU8 與可能的 NU2、...、NU7)、量化訊號 SQ1 和該至少一時脈訊號(CK82 與可能的 CK22、...、CK72)而產生該至少一致能訊號(EN8 與可能的 EN2、...、EN7)和該至少一數位訊號(BN8 與可能的 BN2、...、BN7)。

例如，控制單元 83 根據參考訊號 RB1、該複數頻率乘數 NU1、NU2、...、NU7、NU8、量化訊號 SQ1 和該複數時脈訊號 CK12、CK22、...、CK72、CK82 而產生該複數控制訊號 UC1、UC2、...、UC7、UC8，且該複數控制訊號 UC1、UC2、...、UC7、UC8 包括致能訊號 EN1、該至少一致能訊號(EN8 與可能的 EN2、...、EN7)、數位訊號 BN1 和該至少一數位訊號(BN8 與可能的 BN2、...、BN7)。

時間至數位轉換模組 82 包括一時脈再生器 821 和耦接於時脈再生器 821 的一時間至數位轉換器 42。時脈再生器 821 響應參考訊號 RB1 而產生一時脈訊號 KA21，其中該參考訊號 RB1 具有用於定義週期 TB1 的一第一特徵時間點和一第二特徵時間點。例如，該第一特徵時間點和該第二特徵時間點分別位於參考訊號 RB1 的兩相鄰上升緣。時脈訊號 KA21 具有一特徵時段 TA1 和一脈衝 WS1，脈衝 WS1 具有一脈衝持續時間 TL1，脈衝持續時間 TL1 在該第一特

徵時間點具有一起始時間點，且脈衝持續時間 TL1 在該第二特徵時間點具有一終止時間點。例如，特徵時段 TA1 是脈衝持續時間 TL1，且用於決定週期 TB1。例如，時脈訊號 KA21 的週期是週期 TB1 的兩倍。

時間至數位轉換器 42 響應時脈訊號 KA21 而數位化脈衝持續時間 TL1 來產生量化訊號 SQ1，其中量化訊號 SQ1 包括一量化值 VQ1。控制單元 83 包括一除法器 831、一解碼器 832 和一計數器 833，其中解碼器 832 耦接於除法器 831，且計數器 833 通過該複數數位控制時脈產生器 11、12、...、17、18 的至少其中之一而耦接於解碼器 832。

除法器 831 產生一商數訊號 SP1，商數訊號 SP1 包括分別與頻率乘數 NU1 和該至少一第二頻率乘數(NU8 與可能的 NU2、...、NU7)對應的一商數 VP1 和至少一商數(VP8 與可能的 VP2、...、VP7)，除法器 831 根據量化值 VQ1 和頻率乘數 NU1 而進行一第一除法運算來產生商數 VP1，且根據量化值 VQ1 和該至少一頻率乘數(NU8 與可能的 NU2、...、NU7)而進行至少一第二除法運算來產生該至少一商數(VP8 與可能的 VP2、...、VP7)，其中頻率乘數 NU1 和該至少一頻率乘數(NU8 與可能的 NU2、...、NU7)分別是一第一除數和至少一第二除數，且量化值 VQ1 作為用於該第一除數和該至少一第二除數的一被除數。例如，複數商數 VP1、VP2、...、VP7、VP8 分別是複數整數，且是相同或不同的。

解碼器 832 根據商數訊號 SP1 而產生數位訊號 BN1 和該至少一數位訊號(BN8 與可能的 BN2、...、BN7)，其

中商數 VP1 和該至少一商數(VP8 與可能的 VP2、...、VP7)分別與數位訊號 BN1 和該至少一數位訊號(BN8 與可能的 BN2、...、BN7)對應。計數器 833 根據參考訊號 RB1、頻率乘數 NU1 和時脈訊號 CK12 而產生致能訊號 EN1，且根據參考訊號 RB1、該至少一頻率乘數(NU8 與可能的 NU2、...、NU7)和該至少一時脈訊號(CK82 與可能的 CK22、...、CK72)而產生該至少一致能訊號(EN8 與可能的 EN2、...、EN7)。例如，除法器 831 包括複數移位暫存器。例如，頻率乘數 NU1 和該至少一頻率乘數(NU8 與可能的 NU2、...、NU7)分別是一第一 2 的冪次倍數和至少一第二 2 的冪次倍數。

該參考訊號 RB1 具有一第一參考邊緣和一第二參考邊緣，該第二參考邊緣以週期 TB1 而落後該第一參考邊緣。例如，該第一參考邊緣和該第二參考邊緣分別是該參考訊號 RB1 的兩相鄰上升緣。計數器 833 響應該第一參考邊緣而使致能訊號 EN1 具有一致能準位以使數位控制時脈產生器 11 進行一第一系列的準位振盪，且使計數器 833 開始對於時脈訊號 CK12 進行計數。計數器 833 從該第一參考邊緣起計算時脈訊號 CK12 來決定一週期數，且當該週期數與頻率乘數 NU1 之間具有一特定關係時，數位控制時脈產生器 11 停止該第一系列的準位振盪。例如，當該週期數達到頻率乘數 NU1 或該特定關係被滿足時，計數器 833 使致能訊號 EN1 具有一去能準位，該去能準位使數位控制時脈產生器 11 停止該第一系列的準位振盪。

當該第二參考邊緣在參考訊號 RB1 中出現時，計數器

833 使數位控制時脈產生器 11 重新進行一第二系列的準位振盪。計數器 833 響應該第二參考邊緣而使計數器 833 重新開始對於時脈訊號 CK12 進行計數。在計數器 833 和複數數位控制時脈產生器 12、...、17、18 的其中任何之一間的運作類似於在計數器 833 和數位控制時脈產生器 11 之間的運作。

如第三圖所示，時脈再生器 821 產生脈衝 WS1，脈衝 WS1 的脈衝持續時間 TL1 源於或等於參考訊號 RB1 的週期 TB1，以避免參考訊號 RB1 的佔空比(duty cycle)不平衡的問題。時間至數位轉換器 42 將週期 TB1 量化，此時，時間至數位轉換器 42 所量測到的量化值 VQ1 能夠不受佔空比影響。除法器 831 接收時間至數位轉換器 42 所產生的量化訊號 SQ1，且根據複數頻率乘數 NU1、NU2、...、NU7、NU8 而產生分別接近或等於 $VQ1/NU1$ 、 $VQ1/NU2$ 、...、 $VQ1/NU7$ 、 $VQ1/NU8$ 的商數。例如，除法器 831 以複數移位暫存器予以實作。例如，複數頻率乘數 NU1、NU2、...、NU7、NU8 分別是 2 的冪次方倍數。

解碼器 832 將複數商數 VP1、VP2、...、VP7、VP8 分別轉換為該複數數位訊號 BN1、BN2、...、BN7、BN8，該複數數位訊號 BN1、BN2、...、BN7、BN8 分別控制該複數數位控制時脈產生器 11、12、...、17、18 來產生該複數時脈訊號 CK12、CK22、...、CK72、CK82。當參考訊號 RB1 的一個正緣觸發該複數時脈訊號 CK12、CK22、...、CK72、CK82 來具有脈衝時，計數器 833 開始計數。例如，當數位控制時脈產生器 11 的時脈訊號 CK12 的計數週期數

達到頻率乘數 $NU1$ 時，數位控制時脈產生器 11 便停止產生時脈訊號 $CK12$ 的脈衝。而當參考訊號 $RB1$ 的下一個正緣觸發數位控制時脈產生器 11 時，數位控制時脈產生器 11 便會開始產生時脈訊號 $CK12$ 的脈衝，且計數器 833 亦重新開始計數。使用 m 個數位控制時脈產生器，可以產生 m 個不同頻率的時脈訊號，以供系統中不同時脈域(clock domain)使用。

如第三圖所示，採用全數位時脈產生器 70 的架構能夠以較低的硬體成本來產生高速的多重時脈訊號，且全數位時脈產生器 70 是一個可快速調整頻率的多輸入多輸出半同步時脈產生器(Fast-adjustable MIMO semi-synchronous clock generator, MIMO SSCG)。全數位時脈產生器 70 以全數位電路予以實作。當使用者給定參考訊號 $RB1$ ，透過改變頻率乘數，即可使全數位時脈產生器 70 產生一時脈訊號，該時脈訊號的頻率近似於一特定頻率，該特定頻率是改變的頻率乘數乘以參考訊號 $RB1$ 的頻率 $fb1$ 。

如第三圖所示，全數位時脈產生器 70 能夠快速調整數位控制時脈產生器 11 的振盪頻率，且利用處理單元 71 產生該複數控制訊號 $UC1$ 、 $UC2$ 、 $\dots$ 、 $UC7$ 、 $UC8$ 來分別控制該複數數位控制時脈產生器 11、12、 $\dots$ 、17、18，以輸出任意不同組合的時脈訊號。全數位時脈產生器 70 支援該複數輸入訊號 $RG1$ 、 $RG2$ 、 $\dots$ 、 $RG8$ 的輸入，可以同時控制多組任意倍頻的輸出，且可以在多速率時脈域設計(multi-rate clock domain design)上作彈性的應用。

請參閱第四圖(a)和第四圖(b)，其分別為本發明第三圖

所提全數位時脈產生器 70 的一第一組波形和一第二組波形的示意圖。在第四圖(a)中，該第一組波形包括參考訊號 RB1 和兩個時脈訊號 CK12、CK22 的波形。在第四圖(a)中，參考訊號 RB1 是輸入訊號 RG1；亦即，多工器 81 根據選擇訊號 SS1 而從該複數輸入訊號 RG1、RG2、...、RG8 所組成的一群組中選擇輸入訊號 RG1 來形成參考訊號 RB1，其中輸入訊號 RG1 具有一頻率 $fg1$ 。

在第四圖(b)中，該第二組波形包括參考訊號 RB1 和兩個時脈訊號 CK72、CK82 的波形。在第四圖(b)中，參考訊號 RB1 是輸入訊號 RG8；亦即，多工器 81 根據選擇訊號 SS1 而從該複數輸入訊號 RG1、RG2、...、RG8 所組成的一群組中選擇輸入訊號 RG8 來形成參考訊號 RB1，其中輸入訊號 RG8 具有一頻率 $fg8$ 。如第四圖(a)和第四圖(b)所示，頻率 $fg1$ 大於頻率 $fg8$ 。如第四圖(a)所示，參考訊號 RB1 具有兩個相鄰的週期 TB5、TB6。時脈訊號 CK12 在週期 TB5 中具有一頻率 $fv5$ ，時脈訊號 CK12 在週期 TB6 中具有一頻率 $fv6$ ，且通過頻率乘數 NU1 的改變，頻率 $fv5$ 和頻率 $fv6$ 可以不同。另外，全數位時脈產生器 70 對於參考訊號 RB1 的每個週期可以重新設定該複數數位控制時脈產生器 11、12、...、17、18 的各輸出頻率相對於參考頻率(頻率 $fb1$)的倍率。

實施例

1. 一種全數位時脈產生器，包括一第一數位控制時脈產生器和一處理單元。該第一數位控制時脈產生器響應一第一致能訊號和一第一數位訊號而產生一第一時脈訊號。

該處理單元具有一第一頻率乘數和一參考訊號，該參考訊號具有一週期，該處理單元數位化該週期來產生一量化訊號，根據該量化訊號和該第一頻率乘數而產生該第一數位訊號，且根據該參考訊號、該第一時脈訊號和該第一頻率乘數而產生該第一致能訊號。

2. 根據實施例 1 所述的全數位時脈產生器，更包括至少一第二數位控制時脈產生器。該第一數位訊號包括複數二進制訊號，且該至少一第二數位控制時脈產生器響應至少一第二致能訊號和至少一第二數位訊號而產生至少一第二時脈訊號。

3. 根據上述實施例中任意一個實施例所述的全數位時脈產生器，該處理單元包括一多工器、一時間至數位轉換模組和一控制單元。該多工器接收複數輸入訊號和一選擇訊號，且根據該選擇訊號而從該複數輸入訊號所組成的一群組中選擇一個來形成該參考訊號。該時間至數位轉換模組響應該參考訊號而數位化該週期來產生該量化訊號。該控制單元具有該第一頻率乘數，且根據該參考訊號、該第一頻率乘數、該量化訊號和該第一時脈訊號而產生該第一致能訊號和該第一數位訊號，其中該控制單元更具有至少一第二頻率乘數，且根據該參考訊號、該至少一第二頻率乘數、該量化訊號和該至少一第二時脈訊號而產生該至少一第二致能訊號和該至少一第二數位訊號。

4. 根據上述實施例中任意一個實施例所述的全數位時脈產生器，該時間至數位轉換模組包括一時脈再生器和一時間至數位轉換器。該時脈再生器響應該參考訊號而產

生一第三時脈訊號，其中該參考訊號具有用於定義該週期的一第一特徵時間點和一第二特徵時間點，該第三時脈訊號具有一脈衝，該脈衝具有一脈衝持續時間，該脈衝持續時間在該第一特徵時間點具有一起始時間點，且該脈衝持續時間在該第二特徵時間點具有一終止時間點。該時間至數位轉換器響應該第三時脈訊號而數位化該脈衝持續時間來產生該量化訊號，其中該量化訊號包括一量化值。該控制單元包括一除法器、一解碼器和一計數器。該除法器產生一商數訊號，該商數訊號包括分別與該第一頻率乘數和該至少一第二頻率乘數對應的一第一商數和至少一第二商數，該除法器根據該量化值和該第一頻率乘數而進行一第一除法運算來產生該第一商數，且根據該量化值和該至少一第二頻率乘數而進行至少一第二除法運算來產生該至少一第二商數，其中該第一頻率乘數和該至少一第二頻率乘數分別是一第一除數和至少一第二除數，且該量化值作為用於該第一除數和該至少一第二除數的一被除數。該解碼器根據該商數訊號而產生該第一數位訊號和該至少一第二數位訊號，其中該第一商數和該至少一第二商數分別與該第一數位訊號和該至少一第二數位訊號對應。該計數器根據該參考訊號、該第一頻率乘數和該第一時脈訊號而產生該第一致能訊號，且根據該參考訊號、該至少一第二頻率乘數和該至少一第二時脈訊號而產生該至少一第二致能訊號。該除法器包括複數移位暫存器。該第一頻率乘數和該至少一第二頻率乘數分別是一第一 2 的冪次倍數和至少一第二 2 的冪次倍數。該參考訊號具有一第一參考邊緣和一

第二參考邊緣，該第二參考邊緣以該週期而落後該第一參考邊緣。該計數器響應該第一參考邊緣而使該第一致能訊號具有一致能準位以便該第一數位控制時脈產生器進行一第一系列的準位振盪，且使該計數器開始對於該第一時脈訊號進行計數。該計數器從該第一參考邊緣起計算該第一時脈訊號來決定一週期數。當該週期數達到該第一頻率乘數時，該計數器使該第一致能訊號具有一去能準位，該去能準位使該第一數位控制時脈產生器停止該第一系列的準位振盪。當該第二參考邊緣在該參考訊號中出現時，該計數器使該第一數位控制時脈產生器重新進行一第二系列的準位振盪。該計數器響應該第二參考邊緣而使該計數器重新開始對於該第一時脈訊號進行計數。

5. 一種時間至數位轉換器包括一振盪單元和一量化單元。該振盪單元響應一第一時脈訊號而產生一振盪訊號，其中該第一時脈訊號具有一特徵時段。該量化單元響應該振盪訊號而產生一循環計數訊號，響應該第一時脈訊號而取樣該振盪訊號來產生一資料訊號，且根據該循環計數訊號和該資料訊號而數位化該特徵時段。

6. 根據實施例 5 所述的時間至數位轉換器，用於一全數位時脈產生器。該振盪訊號包括一第二時脈訊號和一第三時脈訊號。該振盪單元包括一延遲模組和一門鎖單元。該延遲模組響應該第一時脈訊號和一回授訊號而產生該第三時脈訊號，其中該第三時脈訊號包括複數時脈子訊號，該複數時脈子訊號包括一第一時脈子訊號和至少一第二時脈子訊號，且該至少一第二時脈子訊號包括一第三時脈子

訊號。該門鎖單元響應一致能訊號和該第三時脈子訊號而產生該回授訊號和該第二時脈訊號。該延遲模組包括一第一延遲單元和至少一第二延遲單元。該第一延遲單元根據該回授訊號和該第一時脈訊號而進行一邏輯及運算，以產生該第一時脈子訊號。該至少一第二延遲單元響應該第一時脈子訊號和至少一預設準位訊號而進行至少一邏輯或運算，以產生該至少一第二時脈子訊號。該至少一預設準位訊號是至少一低準位訊號。該門鎖單元包括一 D 型門鎖器，該 D 型門鎖器具有一致能控制端、一資料輸入端、一資料輸出端和一反相資料輸出端，該致能控制端接收該致能訊號，該資料輸入端接收該第三時脈子訊號，該資料輸出端發送該第二時脈訊號，且該反相資料輸出端發送該回授訊號。該第一時脈訊號更具有相鄰的兩邊緣，且該特徵時段是該相鄰的兩邊緣之間的期間。該第二時脈訊號和該複數時脈子訊號的任意兩者之間具有一相位差。該第一延遲單元、該至少一第二延遲單元和該門鎖單元之間具有一路徑，且通過該路徑而串聯。

7. 根據上述實施例中任意一個實施例所述的時間至數位轉換器該量化單元包括一正反器單元、一級聯計數器和一編碼器。該正反器單元響應該第一時脈訊號而取樣該第三時脈訊號來產生該資料訊號，該資料訊號包括複數二進制訊號。該級聯計數器響應該第二時脈訊號而產生該循環計數訊號。該編碼器根據該循環計數訊號和該資料訊號而數位化該特徵時段來產生一量化訊號。該第一時脈訊號更具有脈衝，該脈衝具有該相鄰的兩邊緣和一脈衝持續

時間，且該特徵時段是該脈衝持續時間。該正反器單元包括複數 D 型正反器，該複數 D 型正反器同時由該第一時脈訊號所觸發來分別取樣該複數時脈子訊號，以產生該複數二進制訊號。

8. 一種數位控制時脈產生器，包括一訊號產生單元和複數延遲控制單元。該訊號產生單元，響應一致能訊號和一第一訊號而產生一第一時脈訊號。該複數延遲控制單元，響應該第一時脈訊號和複數二進制訊號而分別決定該第一時脈訊號是否通過各該複數延遲控制單元，以形成該第一訊號。

9. 根據實施例 8 所述的數位控制時脈產生器，用於一全數位時脈產生器。該第一訊號包括複數子訊號，該複數子訊號是相同或不同。該致能訊號決定一第一時段和相鄰於該第一時段並是選擇性的一第二時段，該第一時脈訊號在該第一時段中是準位振盪的，且該第一時脈訊號在該第二時段中是準位平穩的。該複數延遲控制單元均接收該第一時脈訊號，分別接收該複數二進制訊號，根據該第一時脈訊號和各該複數二進制訊號而分別進行複數邏輯及運算，以分別產生該複數子訊號，其中該複數子訊號包括一第一子訊號和至少一第二子訊號。該訊號產生單元包括一延遲模組和一第一延遲單元。該延遲模組響應該第一訊號而產生一第二訊號。該第一延遲單元根據該致能訊號和該第二訊號而進行一邏輯反及運算，以產生該第一時脈訊號。該延遲模組包括一第二延遲單元和至少一第三延遲單元。該第二延遲單元響應一第二訊號和該第一子訊號而進

行一第一邏輯或運算，以產生一第三訊號。該至少一第三延遲單元，響應該第三訊號和該至少一第二子訊號而進行至少一第二邏輯或運算，以產生至少一第四訊號，該至少一第四訊號包括該第二訊號。該第二訊號是一低準位訊號。該第二延遲單元、該至少一第三延遲單元和該第一延遲單元之間具有一路徑，且通過該路徑而串聯。

10. 根據上述實施例中任意一個實施例所述的數位控制時脈產生器，更包括一反閘，該反閘響應該第一時脈訊號而產生一第二時脈訊號。

以上所述者僅為本案之較佳實施例，舉凡熟悉本案技藝之人士，在爰依本案精神所作之等效修飾或變化，皆應涵蓋於以下之申請專利範圍內。

【圖式簡單說明】

本案得藉由下列圖式之詳細說明，俾得更深入之瞭解：

第一圖：本發明一實施例所提數位控制時脈產生器的示意圖；

第二圖：本發明一實施例所提時間至數位轉換器的示意圖；

第三圖：本發明一實施例所提全數位時脈產生器的示意圖；以及

第四圖(a)和第四圖(b)：分別為本發明第三圖所提全數位時脈產生器的一第一組波形和一第二組波形的示意圖。

【主要元件符號說明】

11、12、17、18：數位控制時脈產生器

111：環形振盪器

112：反閘

20：訊號產生單元

20A、501：延遲模組

21、22、27、28、29、51、52、53、57、58：延遲單元

211、221、271、281、521、531、571、581：或閘

291：反及閘

31、32、37、38：延遲控制單元

311、321、371、381、511：及閘

42：時間至數位轉換器

50：振盪單元

59：門鎖單元

591：D 型門鎖器

60：量化單元

61：正反器單元

611、612、617、618：D 型正反器

62：級聯計數器

63：編碼器

70：全數位時脈產生器

71：處理單元

81：多工器

82：時間至數位轉換模組

821：時脈再生器

83：控制單元

831：除法器

832：解碼器

833：計數器

BN1、BN2、BN7、BN8：數位訊號

BN11、BN12、BN17、BN18、BM11、BM12、BM17、

BM18：二進制訊號

CK11、CK12、CK22、CK72、CK82、KA21、KA31、

KA4：時脈訊號

CY1：循環計數訊號

EM1、EN1、EN2、EN7、EN8：致能訊號

f21、fs1、fb1、fc12、fc22、fc72、fc82、fg1、fg8、

fv5、fv6：頻率

KA32：回授訊號

KA41、KA42、KA43、KA47、KA48：時脈子訊號

NU1、NU2、NU7、NU8：頻率乘數

PH2、PH5：路徑

RB1：參考訊號

RG1、RG2、RG8：輸入訊號

SA1、SB10、SB11、SB12、SB17、SB18：訊號

SA11、SA12、SA17、SA18：子訊號

SD1：資料訊號

SE52、SE53、SE57、SE58：預設準位訊號

SP1：商數訊號

SQ1：量化訊號

SS1：選擇訊號

TA1：特徵時段

TB1、TB5、TB6：週期

TL1：脈衝持續時間

UC1、UC2、UC7、UC8：控制訊號

VP1、VP2、VP7、VP8：商數

VQ1：量化值

VS1：振盪訊號

WS1：脈衝

七、申請專利範圍：

1. 一種全數位時脈產生器，包括：

一第一數位控制時脈產生器，響應一第一致能訊號和一第一數位訊號而產生一第一時脈訊號；以及

一處理單元，具有一第一頻率乘數和一參考訊號，該參考訊號具有一週期，該處理單元數位化該週期來產生一量化訊號，根據該量化訊號和該第一頻率乘數而產生該第一數位訊號，且根據該參考訊號、該第一時脈訊號和該第一頻率乘數而產生該第一致能訊號。

2. 如申請專利範圍第 1 項所述的全數位時脈產生器，更包括至少一第二數位控制時脈產生器，其中：

該第一數位訊號包括複數二進制訊號；以及

該至少一第二數位控制時脈產生器響應至少一第二致能訊號和至少一第二數位訊號而產生至少一第二時脈訊號。

3. 如申請專利範圍第 2 項所述的全數位時脈產生器，其中該處理單元包括：

一多工器，接收複數輸入訊號和一選擇訊號，且根據該選擇訊號而從該複數輸入訊號所組成的一群組中選擇一個來形成該參考訊號；

一時間至數位轉換模組，響應該參考訊號而數位化該週期來產生該量化訊號；以及

一控制單元，具有該第一頻率乘數，且根據該參考訊號、該第一頻率乘數、該量化訊號和該第一時脈訊號而產生該第一致能訊號和該第一數位訊號，其中該控制單元更

具有至少一第二頻率乘數，且根據該參考訊號、該至少一第二頻率乘數、該量化訊號和該至少一第二時脈訊號而產生該至少一第二致能訊號和該至少一第二數位訊號。

4. 如申請專利範圍第3項所述的全數位時脈產生器，其中：

該時間至數位轉換模組包括：

一時脈再生器，響應該參考訊號而產生一第三時脈訊號，其中該參考訊號具有用於定義該週期的一第一特徵時間點和一第二特徵時間點，該第三時脈訊號具有一脈衝，該脈衝具有一脈衝持續時間，該脈衝持續時間在該第一特徵時間點具有一起始時間點，且該脈衝持續時間在該第二特徵時間點具有一終止時間點；以及

一時間至數位轉換器，響應該第三時脈訊號而數位化該脈衝持續時間來產生該量化訊號，其中該量化訊號包括一量化值；

該控制單元包括：

一除法器，產生一商數訊號，該商數訊號包括分別與該第一頻率乘數和該至少一第二頻率乘數對應的一第一商數和至少一第二商數，該除法器根據該量化值和該第一頻率乘數而進行一第一除法運算來產生該第一商數，且根據該量化值和該至少一第二頻率乘數而進行至少一第二除法運算來產生該至少一第二商數，其中該第一頻率乘數和該至少一第二頻率乘數分別是一第一除數和至少一第二除數，且該量化值作為用於該第一除數和該至少一第二除數的一被除數；

一解碼器，根據該商數訊號而產生該第一數位訊

號和該至少一第二數位訊號，其中該第一商數和該至少一第二商數分別與該第一數位訊號和該至少一第二數位訊號對應；以及

一計數器，根據該參考訊號、該第一頻率乘數和該第一時脈訊號而產生該第一致能訊號，且根據該參考訊號、該至少一第二頻率乘數和該至少一第二時脈訊號而產生該至少一第二致能訊號，其中：

該除法器包括複數移位暫存器；

該第一頻率乘數和該至少一第二頻率乘數分別是一第一 2 的冪次倍數和至少一第二 2 的冪次倍數；

該參考訊號具有一第一參考邊緣和一第二參考邊緣，該第二參考邊緣以該週期而落後該第一參考邊緣；

該計數器響應該第一參考邊緣而使該第一致能訊號具有一致能準位以便該第一數位控制時脈產生器進行一第一系列的準位振盪，且使該計數器開始對於該第一時脈訊號進行計數；

該計數器從該第一參考邊緣起計算該第一時脈訊號來決定一週期數；

當該週期數達到該第一頻率乘數時，該計數器使該第一致能訊號具有一去能準位，該去能準位使該第一數位控制時脈產生器停止該第一系列的準位振盪；

當該第二參考邊緣在該參考訊號中出現時，該計數器使該第一數位控制時脈產生器重新進行一第二系列的準位振盪；以及

該計數器響應該第二參考邊緣而使該計數器重新開始

對於該第一時脈訊號進行計數。

5. 一種時間至數位轉換器，包括：

一振盪單元，響應一第一時脈訊號而產生一振盪訊號，其中該第一時脈訊號具有一特徵時段；以及

一量化單元，響應該振盪訊號而產生一循環計數訊號，響應該第一時脈訊號而取樣該振盪訊號來產生一資料訊號，且根據該循環計數訊號和該資料訊號而數位化該特徵時段。

6. 如申請專利範圍第 5 項所述的時間至數位轉換器，用於一全數位時脈產生器，其中該振盪訊號包括一第二時脈訊號和一第三時脈訊號，且該振盪單元包括：

一延遲模組，響應該第一時脈訊號和一回授訊號而產生該第三時脈訊號，其中該第三時脈訊號包括複數時脈子訊號，該複數時脈子訊號包括一第一時脈子訊號和至少一第二時脈子訊號，且該至少一第二時脈子訊號包括一第三時脈子訊號；以及

一門鎖單元，響應一致能訊號和該第三時脈子訊號而產生該回授訊號和該第二時脈訊號。

7. 如申請專利範圍第 6 項所述的時間至數位轉換器，其中該延遲模組包括：

一第一延遲單元，根據該回授訊號和該第一時脈訊號而進行一邏輯及運算，以產生該第一時脈子訊號；以及

至少一第二延遲單元，響應該第一時脈子訊號和至少一預設準位訊號而進行至少一邏輯或運算，以產生該至少一第二時脈子訊號，其中：

該至少一預設準位訊號是至少一低準位訊號；

該門鎖單元包括一 D 型門鎖器，該 D 型門鎖器具有一致能控制端、一資料輸入端、一資料輸出端和一反相資料輸出端，該致能控制端接收該致能訊號，該資料輸入端接收該第三時脈子訊號，該資料輸出端發送該第二時脈訊號，且該反相資料輸出端發送該回授訊號；

該第一時脈訊號更具有相鄰的兩邊緣，且該特徵時段是該相鄰的兩邊緣之間的期間；

該第二時脈訊號和該複數時脈子訊號的任意兩者之間具有一相位差；以及

該第一延遲單元、該至少一第二延遲單元和該門鎖單元之間具有一路徑，且通過該路徑而串聯。

8. 一種數位控制時脈產生器，包括：

一訊號產生單元，響應一致能訊號和一第一訊號而產生一第一時脈訊號；以及

複數延遲控制單元，響應該第一時脈訊號和複數二進制訊號而分別決定該第一時脈訊號是否通過各該複數延遲控制單元，以形成該第一訊號。

9. 如申請專利範圍第 8 項所述的數位控制時脈產生器，用於一全數位時脈產生器，其中：

該第一訊號包括複數子訊號；

該複數子訊號是相同或不同；

該致能訊號決定一第一時段和相鄰於該第一時段並是選擇性的一第二時段，該第一時脈訊號在該第一時段中是準位振盪的，且該第一時脈訊號在該第二時段中是準位平

穩的；

該複數延遲控制單元均接收該第一時脈訊號，分別接收該複數二進制訊號，根據該第一時脈訊號和各該複數二進制訊號而分別進行複數邏輯及運算，以分別產生該複數子訊號，其中該複數子訊號包括一第一子訊號和至少一第二子訊號；

該訊號產生單元包括：

一延遲模組，響應該第一訊號而產生一第二訊號；以及

一第一延遲單元，根據該致能訊號和該第二訊號而進行一邏輯反及運算，以產生該第一時脈訊號；

該延遲模組包括：

一第二延遲單元，響應一第二訊號和該第一子訊號而進行一第一邏輯或運算，以產生一第三訊號；以及

至少一第三延遲單元，響應該第三訊號和該至少一第二子訊號而進行至少一第二邏輯或運算，以產生至少一第四訊號，該至少一第四訊號包括該第二訊號；

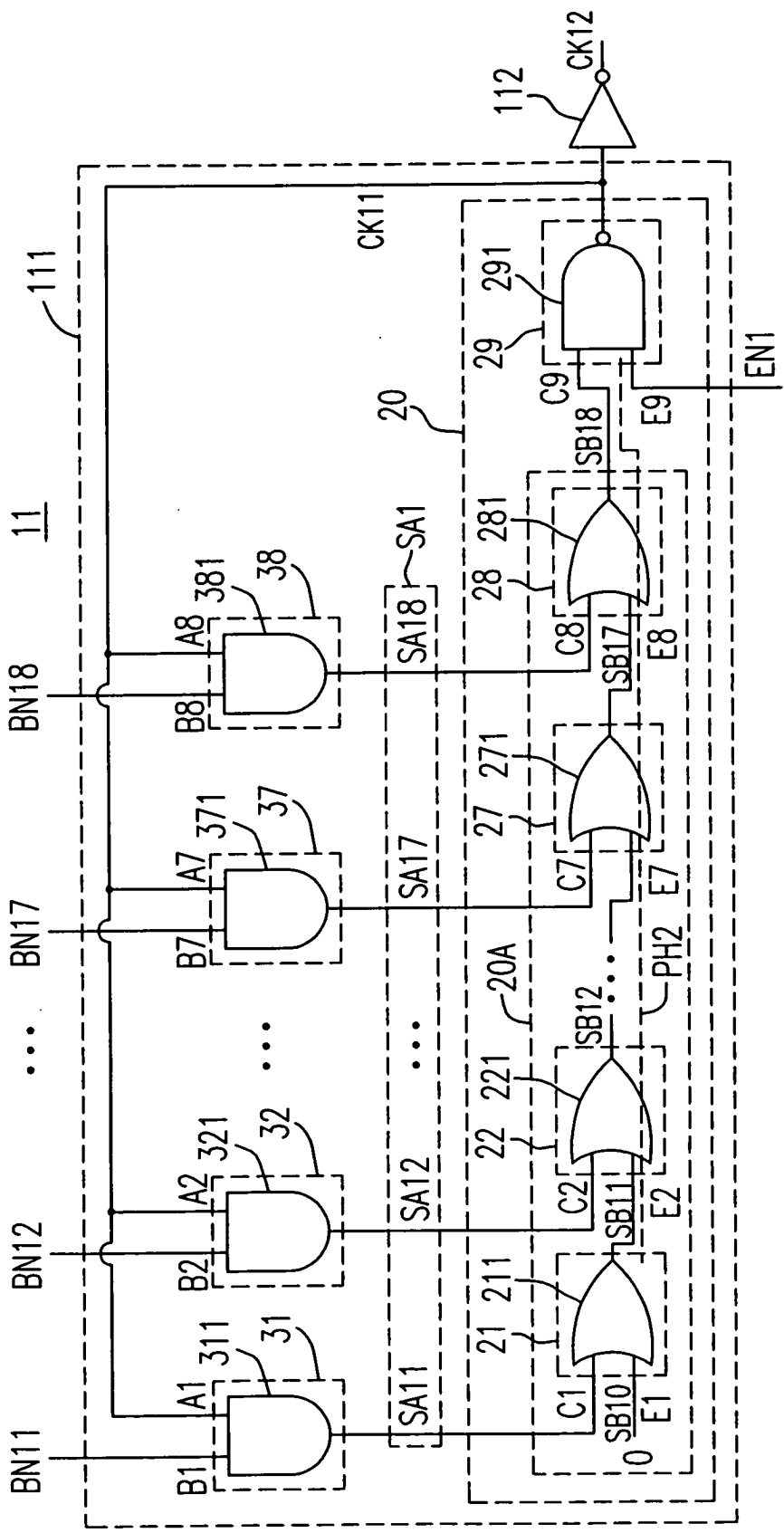
該第二訊號是一低準位訊號；以及

該第二延遲單元、該至少一第三延遲單元和該第一延遲單元之間具有一路徑，且通過該路徑而串聯。

10. 如申請專利範圍第 8 項所述的數位控制時脈產生器，更包括一反閘，該反閘響應該第一時脈訊號而產生一第二時脈訊號。

100年10月19日修正
劃線頁(本)

第1~2圖

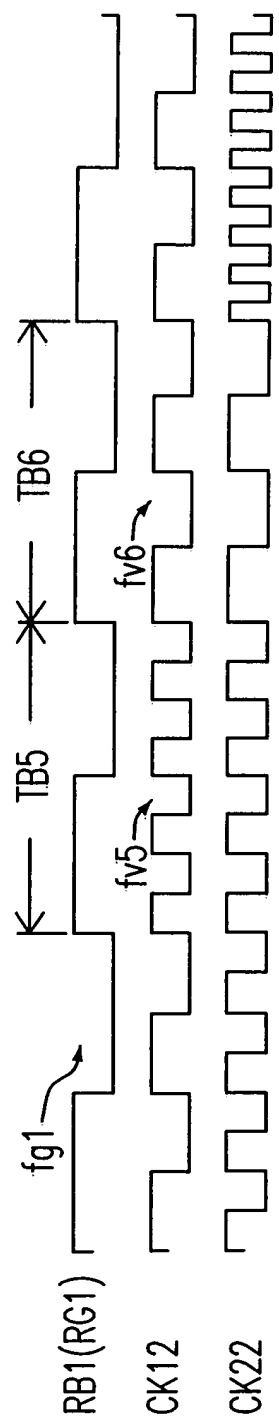


第一圖

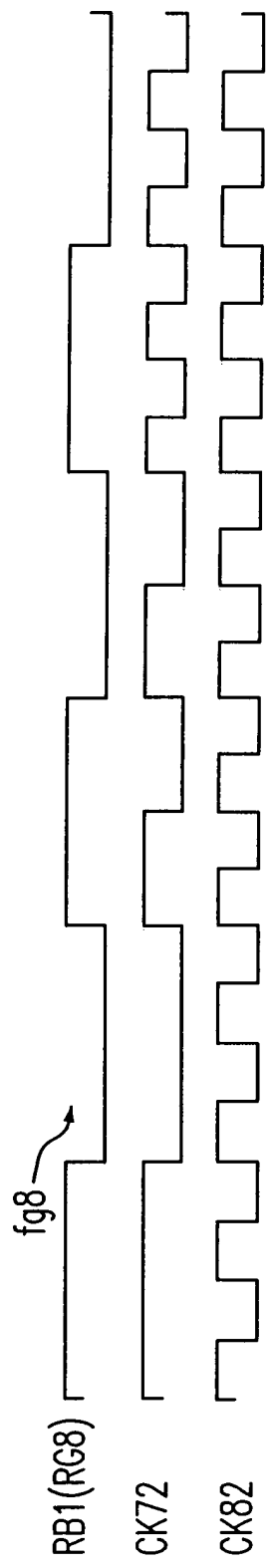


齊
回





第四圖(a)



第四圖(b)