



(21)申請案號：099127734

(22)申請日：中華民國 99 (2010) 年 08 月 19 日

(51)Int. Cl. : G06F9/345 (2006.01)

G06F9/355 (2006.01)

(71)申請人：財團法人工業技術研究院 (中華民國) INDUSTRIAL TECHNOLOGY RESEARCH INSTITUTE (TW)

新竹縣竹東鎮中興路 4 段 195 號

國立交通大學 (中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

(72)發明人：李順吉 LEE, SHUENN GI (TW)；王忠炫 WANG, CHUNG HSUAN (TW)；沈文和 SHEEN, WERN HO (TW)

(74)代理人：洪堯順

申請實體審查：有 申請專利範圍項數：16 項 圖式數：14 共 51 頁

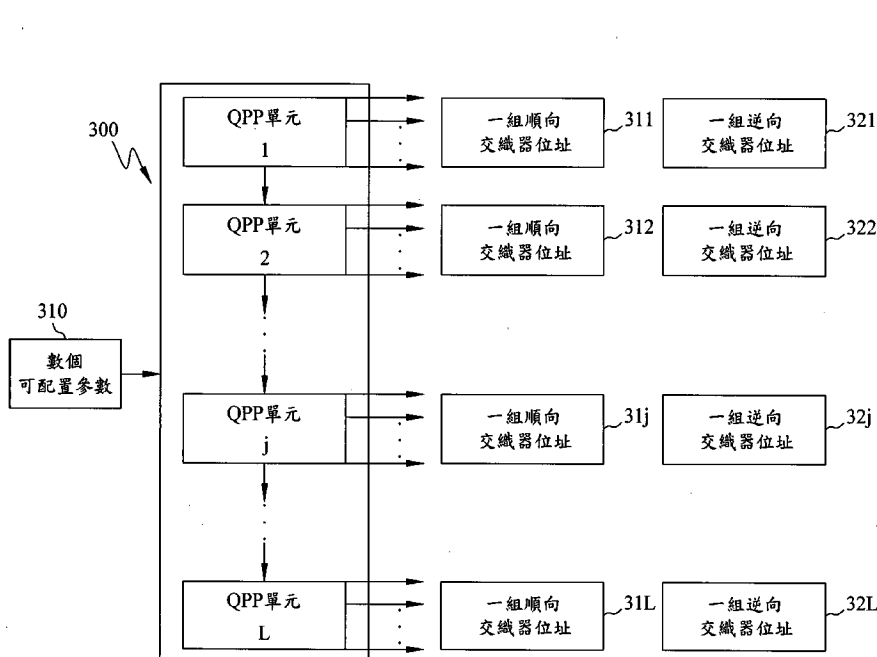
(54)名稱

二階重排多項式交織器位址產生裝置與方法

ADDRESS GENERATION APPARATUS AND METHOD FOR QUADRATIC PERMUTATION POLYNOMIAL INTERLEAVER

(57)摘要

一種二階重排多項式(QPP)交織器位址產生裝置根據一 QPP 函數 $\Pi(i)=(f_1i+f_2i^2) \bmod k$ ，接收數個可配置參數並利用多個 QPP 單元來計算並輸出多個交織器位址，而每一 QPP 單元皆為一平行計算單元且平行輸出相對應的一組交織器位址，其中 f_1 與 f_2 是 QPP 係數， $0 \leq i \leq k-1$ ， k 是一輸入序列的資訊區塊長度， \bmod 是一模數運算，而 $\Pi(i)$ 也是此位址產生裝置產生的一第 i 交織器位址。



31j：一組順向交織器位址

32j：一組逆向交織器位址

300：QPP 交織器位址產生裝置

310：數個可配置參數

$\Pi(i)$ ：第 i 交織器位址

j ：大於 1 的整數

L ：大於 1 的整數

r ：大於 1 的整數

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 9912 7134

※ 申請日： 2000.01.11

※IPC 分類：

G06F 9/345

(2006.01)

G06F 9/345

一、發明名稱：(中文/英文)

二階重排多項式交織器位址產生裝置與方法/

(2006.01)

ADDRESS GENERATION APPARATUS AND METHOD FOR
QUADRATIC PERMUTATION POLYNOMIAL INTERLEAVER

二、中文發明摘要：

一種二階重排多項式(QPP)交織器位址產生裝置根據一 QPP 函數 $\Pi(i)=(f_1i + f_2i^2) \bmod k$ ，接收數個可配置參數並利用多個 QPP 單元來計算並輸出多個交織器位址，而每一 QPP 單元皆為一平行計算單元且平行輸出相對應的一組交織器位址，其中 f_1 與 f_2 是 QPP 係數， $0 \leq i \leq k-1$ ， k 是一輸入序列的資訊區塊長度， \bmod 是一模數運算，而 $\Pi(i)$ 也是此位址產生裝置產生的一第 i 交織器位址。

三、英文發明摘要：

An address generation apparatus for quadratic permutation polynomial (QPP) interleaver receives several configurable parameters and uses a plurality of QPP units to compute and outputs a plurality of interleaving addresses according to a QPP function $\Pi(i)=(f_1i + f_2i^2) \bmod k$, f_1 and f_2 are QPP coefficients, k is information block length of an input sequence, $0 \leq i \leq k-1$, and \bmod is a module operation. Each of the plurality of QPP units is a parallel computation unit, and outputs in parallel a corresponding group of interleaver addresses, where $\Pi(i)$ is also a i^{th} interleaving address generated by the apparatus.

四、指定代表圖：

(一)本案指定代表圖為：第(三)圖。

(二)本代表圖之元件符號簡單說明：

300 QPP 交織器位址產生裝置	
31j 一組順向交織器位址	32j 一組逆向交織器位址
$\Pi(i)$ 第 i 交織器位址	L, j, r 大於 1 的整數
310 數個可配置參數	

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種二階重排多項式(quadratic permutation polynomial, QPP)交織器(interleaver)位址產生(address generation)裝置與方法，能產生順向(increasing)或逆向(decreasing)交織位址。

【先前技術】

常見的渦輪碼(Turbo code)交織器設計大多是以事先將計算出的交織器位址儲存於一記憶體或一位址查詢表格(address look-up table)的方式來達成。當需要產生交織器位址時，就由此記憶體或此位址查詢表格讀出。此將相當耗費電路面積及電力。以 LTE 渦輪碼為例，其解碼長度的範圍可由 40 至 6144 位元。對於 188 種解碼長度的規格，此記憶體需儲存 188 組長度是 40 至 6144 位元之間的交織器位址。儲存最大長度 6144 的交織器位址約需要花費 $6144 \times 13 = 79872$ 位元的記憶體容量。

美國專利公開號 US2008/0115034 中揭露了一種 QPP 交織器，可應用於渦輪碼的編解碼。此文獻中說明了串列(serially)產生交織器位址的演算法原理。其位址產生器之輸出序列的第 n 個值 $\Pi(n)$ 可以描述成下列形式：

$$\Pi(n) = (f_1 n + f_2 n^2) \bmod k, \quad n = 0, 1, \dots, k-1,$$

其中， $\Pi(n)$ 是第 n 個交織輸出位置(interleaved output

position), f_1 與 f_2 是 QPP 係數, k 是輸入序列的資訊區塊長度(information block length), mod 是模數運算。

如第一圖的範例所示, 控制單元 106 利用一模數計數器(modulo-counter)108 來提供一輸入指標(input index) n 給一位址產生器 104, 並且產生一控制訊號 108a, 分別輸入於位址產生器 104 與一交織器記憶體 102 中, 以指出是一讀出運算(read operation)或是一寫入(write)運算。位址產生器 104 計算出的 $\Pi(n)$ 值儲存於交織器記憶體 102 中。當需要交織器位址 $\Pi(n)$ 時, 再從交織器記憶體 102 串列讀出。計算出的交織輸出位置具有免競爭(contention free)的特徵。

美國專利公開號 US2002/0159423 揭露一種利用多個查詢表來產生渦輪碼交織器的記憶體位址。美國專利號 US6845482 揭露一種自行產生交織器位址的技術。其渦輪碼交織器是利用一個產生質數索引資訊(index information)的元件以及五種查表(look-up table)來產生渦輪碼交織器之記憶體位址。

前述技術中說明了串列產生交織器位址的演算法原理、架構與產生流程。大多數平行運算(parallel operation)的技術多著重在對數-對應(log-MAP)處理器(processor)上的平行運算效能的提升, 較少針對平行運算後的輸出做

平行交織並存放到記憶體的动作做出有效率的設計。然而，在實際硬體或電路設計上，若有基於平行運算的位址產生器的架構，則應用在解碼器架構時，例如使用多個 log-MAP 做平行運算的渦輪碼解碼器，此平行產生位址的位址產生器將可以提升解碼器的輸出速率。

台灣專利申請號 098130766(本申請人 2009 年 10 月 13 日提出申請)的文獻中，提供一種 QPP 交織器位址產生裝置。此裝置根據 QPP 函數 $\Pi(i)=(f_1i+f_2i^2) \bmod k$ ，輸入數個可配置參數，並藉由一基礎遞迴單元依序直接產出多個交織器位址，以及藉由多個遞迴單元平行直接產出多組相對應的交織器位址，根據此交織器位址的計算結果，透過一資料多工器，輸入序列的每一筆資訊可以被填入一相對應之記憶體位址內。此設計不需使用複雜的電路，也無需花費儲存交織器位址的記憶體容量。

【發明內容】

本揭露的實施範例可提供一種 QPP 交織器位址產生裝置與方法。

在一實施範例中，所揭露者是一種 QPP 交織器位址產生裝置。此裝置包含 L 個 QPP 單元，表示為 QPP 單元 1 至 QPP 單元 L， $L \geq 2$ 。此裝置根據 QPP 函數 $\Pi(i)=(f_1i+f_2i^2) \bmod k$ ， f_1 與 f_2 是 QPP 係數， $0 \leq i \leq k-1$ ，k 是一輸入序列的資訊區塊長度，並利用此 L 個 QPP 單元來計算

與輸出多個交織器位址，其中， $\Pi(i)$ 是此裝置產生的一第 i 交織器位址，而每一 QPP 單元 j ， $1 \leq j \leq L$ ，皆為一平行計算單元且平行輸出其相對應的一組交織器位址。

在另一實施範例中，所揭露者是關於一種 QPP 交織器位址產生方法，應用於一通訊系統上的編解碼器。此方法包含：根據一 QPP 函數 $\Pi(i) = (f_1 i + f_2 i^2) \bmod k$ ，輸入多個可配置參數；以及藉由 L 個 QPP 單元來計算與輸出多個交織器位址，此 L 個 QPP 單元的每一 QPP 單元 j ， $1 \leq j \leq L$ ，皆為一平行計算單元且平行輸出其相對應的一組交織器位址，其中 $\Pi(i)$ 是此方法產生的第 i 個交織位址， f_1 與 f_2 是 QPP 係數， k 是一輸入序列的資訊區塊長度，如此，讓此輸入序列之資訊填入多個相對應之記憶體的位址。

茲配合下列圖示、實施範例之詳細說明及申請專利範圍，將上述及本發明之其他目的與優點詳述於後。

【實施方式】

本揭露的實施範例中可提供一種 QPP 交織器位址產生裝置與方法。此 QPP 位址產生技術採用數個平行計算電路之設計，來計算順向或逆向交織器位址，並可平行輸出位址的計算結果。此 QPP 交織器位址產生裝置也可當成交織器或反交織器(de-interleaver)位址產生器來使用，以反交織器位址產生器來使用時，只需將輸出的

交織器位址當成讀取一記憶體的位址即可。

如第二圖的範例所示，一 QPP 交織器 200 以數個平行計算電路，例如平行計算電路 1~平行計算電路 L，來平行輸出位址的計算結果，與所揭露的某些實施範例一致。當用於不同根-R(radix-R)架構的 MAP 處理器的平行解碼器架構時，平行計算電路 1~平行計算電路 L 所輸出的位址的計算結果即可對應到 L 個 MAP 處理器，例如 MAP 處理器 1~MAP 處理器 L，之各個 MAP 處理器所使用的根- $R(=2^r)$ 架構。此對於渦輪碼的設計者來說，有很大的吸引力，因為針對 MAP 處理器之不同的根，QPP 交織器 200 平行直接計算並產生相對應的 QPP 交織器位址可包括順向交織器位址或逆向交織器位址，以對應 MAP 處理器之順向或逆向路徑值(metrics)的計算。

第三圖是 QPP 交織器位址產生裝置的一個範例示意圖，與所揭露的某些實施範例一致。第三圖的範例中，QPP 交織器位址產生裝置 300 包含 L 個 QPP 單元，表示為 QPP 單元 1 至 QPP 單元 L， $L \geq 2$ 。QPP 交織器位址產生裝置 300 根據 QPP 函數 $\Pi(i) = (f_1 i + f_2 i^2) \bmod k$ ， f_1 與 f_2 是 QPP 係數， $0 \leq i \leq k-1$ ， k 是一輸入序列的資訊區塊長度，接收數個可配置參數 (configurable parameter) 310 並利用此 L 個 QPP 單元來計算與輸出多個交織器位址，其中， $\Pi(i)$ 是 QPP 交織器位址產生裝置 300 產生的一第 i 交織器位址，而每一 QPP 單元 j， $1 \leq j$

$\leq L$ ，皆為一平行計算單元且平行輸出相對應的一組交織器位址。

每一 QPP 單元 j 平行輸出的一組交織器位址可以是一組順向交織器位址 $31j$ 或是一組逆向交織器位址 $32j$ 。此組順向交織器位址 $31j$ 或此組逆向交織器位址 $32j$ 可用於不同根架構的 MAP 處理器的平行解碼器架構來對應 MAP 處理器之順向或逆向路徑值的計算。

對於 $2 \leq j \leq L$ ，QPP 單元 j 分別接收其前一個 QPP 單元 $j-1$ 的計算結果，且同時平行計算相對應的一組順向交織器位址 $31j$ 或一組逆向交織器位址 $32j$ 。此組順向交織器位址 $31j$ 與此組逆向交織器位址 $32j$ 可分別表示如下：

$$\Pi(i+(j-1)M), \Pi(i+(j-1)M+1), \dots, \Pi(i+(j-1)M+(r-1)), \text{ 以及} \\ \Pi(jM-i-1), \Pi(jM-i-2), \dots; \Pi(jM-i-r),$$

其中， M 是此輸入序列的資訊輸出之滑動視窗(sliding window)的寬度(width)。

針對根為 2^r 的 MAP(Radix- 2^r MAP)處理器 j ， $1 \leq j \leq L$ ，相對應的 QPP 單元 j 所產生之相對應的 QPP 交織器位址說明如下。因為 QPP 函數 $\Pi(i) = (f_1i + f_2i^2) \bmod k$ ， $i=0, 1, \dots, k-1$ ，所以，對於 $j=1$ ，將 QPP 單元 1 之相對應的一組順向交織器位址 311 整理為 $\Pi(i+1) = (f_1(i+1) + f_2(i+1)^2) \bmod k$

$$=(\Pi(i)+f_2+f_1+2f_2i) \bmod k, i=0,1,\dots,k-1 \quad (1),$$

而將 QPP 單元 1 之相對應的一組逆向交織器位址 321 整理為

$$\begin{aligned} \Pi(i-1) &= (f_1(i-1)+f_2(i-1)^2) \bmod k \\ &= (\Pi(i)+f_2-f_1-2f_2i) \bmod k, i=0,1,\dots,k-1 \quad (2), \end{aligned}$$

依此，QPP 單元 1 可根據公式(1)，平行算出順向交織器位址 $\Pi(i), \Pi(i+1), \dots, \Pi(i+(r-1))$;

而根據公式(2)，平行算出逆向交織器位址 $\Pi(M-i-1), \Pi(M-i-2), \dots, \Pi(M-r-1)$ 。

因為 $\Pi(i+M) = (\Pi(i)+f_1M+f_2M^2+2f_2Mi) \bmod k, i=0,1,\dots,k-1$ ，所以，對於 $2 \leq j \leq L$ ，將 QPP 單元 j 之第一組位址 $31j$ 整理為

$$\begin{aligned} &\Pi(i+(j-1)M) \\ &= (\Pi(i+(j-2)M)+f_1M+(2j-3)f_2M^2+2f_2Mi) \bmod k \quad (3), \end{aligned}$$

$$\begin{aligned} &\Pi(i+(j-1)M+1) \\ &= (\Pi(i+(j-2)M+1)+f_1M+(2j-3)f_2M^2+2f_2M(i+1)) \bmod k \quad (4), \end{aligned}$$

$$\begin{aligned} &\Pi(i+(j-1)M+(r-1)) \\ &= (\Pi(i+(j-2)M+(r-1))+f_1M+(2j-3)f_2M^2+2f_2M(i+(r-1))) \bmod k \quad (5) \end{aligned}$$

依公式(3)、(4)、(5)，對於 $2 \leq j \leq L$ ，QPP 單元 j 可平行算出順向交織器位址 $\Pi(i+(j-1)M), \Pi(i+(j-1)M+1), \dots, \Pi(i+(j-1)M+(r-1))$ ；同理，對於 $2 \leq j \leq L$ ，QPP 單元 j 可平行算出逆向交織器位址 $\Pi(jM-i-1), \Pi(jM-i-2), \dots, \Pi(jM-i-r)$ 。針對根為 2^r 的 MAP

處理器，M 可以是各個 MAP 處理器寫入或讀出的記憶體長度。所以，可將原始交織長度 k 配置成為 k/M 個長度皆為 M 的交織長度，也不必更改原始解碼器或處理器的電路或結構。

承上述，針對根為 2^r 的 MAP(Radix- 2^r MAP) 處理器，第四圖是 QPP 交織器位址產生裝置之每一 QPP 單元所產生之相對應的一組順向交織器位址或一組逆向交織器位址的一個範例示意圖，與所揭露的某些實施範例一致。第四圖的範例中，QPP 交織器位址產生裝置 300 可輸入數個可配置參數，例如標號 410 所示， k 、 $(f_1+f_2) \bmod k$ 或是 $f_2-f_1-2(M-1)f_2 \bmod k$ 、 $2f_2 \bmod k$ 、 $f_1M \bmod k$ 、 $\Pi(0)$ 或是 $\Pi(M-1)$ ，並利用此 L 個 QPP 單元來平行計算並輸出交織器位址，而每一 QPP 單元 j ， $1 \leq j \leq L$ ，可利用如上所述及的公式來平行輸出相對應的一組(r 個)順向交織器位址或一組(r 個)逆向交織器位址。

第五 A 圖與第五 B 圖分別是第四圖中，QPP 單元 1 之硬體結構與控制訊號之時序控制的範例示意圖，與所揭露的某些實施範例一致。假設 MAP 處理器所使用的根等於 2^r ，則在第五 A 圖的範例中，可用 $r+1$ 個多工器 510-51 r 、 r 個暫存器 521-52 r 、以及 $2r$ 個 2-輸入-相加後取餘數電路，標號為 531~53 r 與 541~54 r ，並搭配一控制訊號 $init1$ 來實現 QPP 單元 1。2-輸入-相加後取餘數電路是一般取餘數的電路，例如兩加法運算元 A 和 B，

經加法運算後，取除數 K 之後的餘數，即 $(A+B) \bmod K$ ，可用兩個加法器和一多工器來實現。第五 B 圖的範例中，說明控制訊號 $init1$ 的時序控制。以下請一併參考第五 A 圖與第五 B 圖，以說明 QPP 單元 1 之內部元件之間的運作。

根據第五 B 圖的時序控制，首先，藉由觸發控制訊號 $init1$ (即 $init1$ 的邏輯值為高(high))，多工器 510 將順向參數 $\Pi(0)$ 或逆向參數 $\Pi(M-1)$ 輸出至暫存器 521; 此時多工器 511 也會將順向參數 $f_2+f_1+2f_2 \times 2$ 或逆向參數 $f_2-f_1-2(M-3)f_2$ 輸出至 2-輸入-相加後取餘數電路 541; 多工器 512 也會將順向參數 0 或逆向參數 $-2(M-1)f_2$ 輸出至 2-輸入-相加後取餘數電路 542; 多工器 51r 也會將順向參數 $(2r-4)f_2$ 或逆向參數 $-2(M-r+1)f_2$ 輸出至 2-輸入-相加後取餘數電路 54r。當順向參數 $\Pi(0)$ 或逆向參數 $\Pi(M-1)$ 輸出時，也會輸出至 2-輸入-相加後取餘數電路 532。

2-輸入-相加後取餘數電路 511 的另一輸入端則輸入順向參數 $2(r-1)f_2$ 或逆向參數 $-2(M-r)f_2$ 。2-輸入-相加後取餘數電路 511 運算後，產生的模數運算結果 $R1$ 會分別輸出至多工器 511 以及 2-輸入-相加後取餘數電路 531 與 542~54r。2-輸入-相加後取餘數電路 542 運算後，產生的模數運算結果會分別輸出至多工器 513 與 2-輸入-相加後取餘數電路 532。2-輸入-相加後取餘數電路 532 運算後，產生的模數運算結果會分別輸出至暫存器 522 與

2-輸入-相加後取餘數電路 533(未示於圖式)。2-輸入-相加後取餘數電路 54r 運算後，產生的模數運算結果會輸出至暫存器 52r。

依此，當 $init1$ 的邏輯值為高時，此 QPP 單元 1 的範例平行算出的 r 個順向交織器位址 $\Pi(0)\sim\Pi(r-1)$ 、或 r 個逆向交織器位址 $\Pi(M-1)\sim\Pi(M-r)$ 會分別存入至 r 個暫存器 521~52r。當暫存器 52r 裡的值，即 $\Pi(r-1)$ 或 $\Pi(M-r)$ ，輸出時，也會一併輸出至 2-輸入-相加後取餘數電路 531。

然後，控制訊號 $init1$ 的觸發邊緣降為低值，QPP 單元 1 範例 500 將暫存器 521~52r 裡 r 個交織器位址，即 $\Pi(0)\sim\Pi(r-1)$ 或 $\Pi(M-1)\sim\Pi(M-r)$ ，輸出。由於控制訊號 $init1$ 為低值，所以，多工器 510 將 2-輸入-相加後取餘數電路 531 運算後的結果，即 $\Pi(r)$ 或 $\Pi(M-r-1)$ ，輸出至暫存器 521，此運算後的結果也會輸出至 2-輸入-相加後取餘數電路 532。

控制訊號 $init1$ 的觸發邊緣降為低值後，2-輸入-相加後取餘數電路 511 產生的模數運算結果是由上一個模數運算結果 $R1$ 與順向參數 $2(r-1)f_2$ 或逆向參數 $-2(M-r)f_2$ 經模數運算後得到的結果，此新的 $R1$ 結果會分別輸出至多工器 511 以及 2-輸入-相加後取餘數電路 531 與 542~54r。多工器 512 會將參數 $2f_2$ 輸出至 2-輸入-相加後取餘數電路 542; 2-輸入-相加後取餘數電路 542 運算

後，產生的模數運算結果會分別輸出至多工器 513 與 2-輸入-相加後取餘數電路 532。2-輸入-相加後取餘數電路 532 運算後，產生的模數運算結果，即 $\Pi(r+1)$ 或 $\Pi(M-r-2)$ ，會分別輸出至暫存器 522 與 2-輸入-相加後取餘數電路 533。多工器 51r 會將參數 $(2r-2)f_2$ 輸出至 2-輸入-相加後取餘數電路 54r; 2-輸入-相加後取餘數電路 54r 運算後，產生的模數運算結果會輸出至 2-輸入-相加後取餘數電路 53r。2-輸入-相加後取餘數電路 532 運算後，產生的模數運算結果，即 $\Pi(2r-1)$ 或 $\Pi(M-2r)$ ，會輸出至暫存器 52r。QPP 單元 1 範例 500 將暫存器 521~52r 裡 r 個交織器位址，即 $\Pi(r)\sim\Pi(2r-1)$ 或 $\Pi(M-r-1)\sim\Pi(M-2r)$ ，輸出。當暫存器 52r 裡的值，即 $\Pi(2r-1)$ 或 $\Pi(M-2r)$ ，輸出時，也會一併輸出至 2-輸入-相加後取餘數電路 531。

依此，如第五 B 圖的範例所示，暫存器 521~52r 藉由控制訊號 $init1$ 的時序控制，在控制訊號 $init1$ 的觸發邊緣降為低值後， $i=0$ 時，QPP 單元 1 範例 500 輸出暫存器 521~52r 裡的交織器位址為順向交織器位址 $\Pi(0)\sim\Pi(r-1)$ ，或是逆向交織器位址 $\Pi(M-1)\sim\Pi(M-r)$; $i=r$ 時，QPP 單元 1 範例 500 輸出暫存器 521~52r 裡的交織器位址為順向交織器位址 $\Pi(r)\sim\Pi(2r-1)$ ，或是逆向交織器位址 $\Pi(2M-1)\sim\Pi(2M-r)$; 以此類推。所以，QPP 單元 1 範例 500 隨著時序，第一次可平行輸出順向交織器位址 $\Pi(0)\sim\Pi(r-1)$ ，或是逆向交織器位址 $\Pi(M-1)\sim\Pi(M-r)$; 第二次可平行輸出順向交織器位址 $\Pi(r)\sim\Pi(2r-1)$ ，或是逆向

交織器位址 $\Pi(M-r-1)\sim\Pi(M-2r)$;以此類推。

在第五 A 圖的範例中，所有負數須先經過對 K 取餘數的動作，將原本的值轉換成介於 $0\sim K-1$ 之間的正整數，亦即輸入訊號皆須為正整數。

第六圖是第四圖中，QPP 單元 j 之硬體結構的一範例示意圖， $j\geq 2$ ，與所揭露的某些實施範例一致。第六圖的範例中，假設 MAP 處理器所使用的根等於 2^r ，此 QPP 單元 j 的硬體結構可由 r 個暫存器 $621\sim 62r$ 、以及 r 個 2-輸入-相加後取餘數電路 $631\sim 63r$ 來組成，其輸入參數為 f_1M ，QPP 單元 j 接收前一個 QPP 單元 $j-1$ 的計算結果，並且平行算出及輸出的 r 個順向交織器位址為 $\Pi(x+(j-1)M), \Pi(x+(j-1)M+1), \dots, \Pi(x+(j-1)M+(r-1))$; 其平行算出及輸出的 r 個逆向交織器位址為 $\Pi(jM-x-1), \Pi(jM-x-2), \dots, \Pi(jM-x-r)$ ，其中 $x=0, r, 2r, \dots, M-r$ 。同樣地，這些順向或逆向交織器位址也會輸出至下一個 QPP 單元 $j+1$ 。

根據上述計算交織器位址的公式，QPP 單元 1 之硬體結構可隨著輸入不同的順向參數或逆向參數，以及搭配不同的控制訊號來設計，並且平行輸出其相對應的一組順向交織器位址 311 或一組逆向交織器位址 321。以下舉兩個工作範例來說明。

第七 A 圖是 QPP 單元 1 之硬體結構的一個工作範例，其中 MAP 處理器所使用的根等於 2^3 ，與所揭露的某些實施範例一致。第七 A 圖的 QPP 單元 1 範例 700 可用 6 個多工器 711~716、3 個暫存器 721~723、以及 6 個 2-輸入-相加後取餘數電路 701~706，並搭配一控制訊號 $init1$ 來實現。首先，藉由觸發控制訊號 $init1$ (即 $init1$ 的邏輯值為高(high))，多工器 711 將順向參數 $\Pi(0)$ 或逆向參數 $\Pi(M-1)$ 輸出至暫存器 721; 此時多工器 712 也會將順向參數 $f_2+f_1+2f_2 \times 2$ 或逆向參數 $f_2-f_1-2(M-3)f_2$ 輸出至 2-輸入-相加後取餘數電路 702; 多工器 713 也會將順向參數 f_2+f_1 或逆向參數 $f_2-f_1-2(M-1)f_2$ 輸出至 2-輸入-相加後取餘數電路 703; 多工器 714 也會將順向參數 $f_2+f_1+2f_2$ 或逆向參數 $f_2-f_1-2(M-2)f_2$ 輸出至 2-輸入-相加後取餘數電路 704。當順向參數 $\Pi(0)$ 或逆向參數 $\Pi(M-1)$ 輸出時，也會輸出至 2-輸入-相加後取餘數電路 705。

2-輸入-相加後取餘數電路 702~704 各自的另一輸入端皆輸入參數 $2f_2 \times 3$ 。2-輸入-相加後取餘數電路 702 運算後，產生的模數運算結果 $R1$ 會分別輸出至多工器 712 與 2-輸入-相加後取餘數電路 701。2-輸入-相加後取餘數電路 703 運算後，產生的模數運算結果 $R2$ 會分別輸出至多工器 713 與多工器 715。2-輸入-相加後取餘數電路 704 運算後，產生的模數運算結果 $R2$ 會分別輸出至多工器 713 與多工器 715。2-輸入-相加後取餘數電路 704 運算後，產生的模數運算結果 $R3$ 會分別輸出至多工器 714

與多工器 716。

當 $init1$ 的邏輯值為高時，多工器 715 將輸入參數 $2f_2 \times 3$ 輸出至 2-輸入-相加後取餘數電路 705，多工器 716 將輸入參數 $2f_2 \times 3$ 輸出至 2-輸入-相加後取餘數電路 706。2-輸入-相加後取餘數電路 705 運算後，產生的模數運算結果，即 $\Pi(1)$ 或逆向參數 $\Pi(M-2)$ ，會分別輸出至暫存器 722 與 2-輸入-相加後取餘數電路 706。2-輸入-相加後取餘數電路 706 運算後，產生的模數運算結果，即 $\Pi(2)$ 或逆向參數 $\Pi(M-3)$ ，會分別輸出至暫存器 723 與 2-輸入-相加後取餘數電路 701。

依此，當 $init1$ 的邏輯值為高時，QPP 單元 1 的範例 700 平行算出的 3 個順向交織器位址 $\Pi(0) \sim \Pi(2)$ 、或 3 個逆向交織器位址 $\Pi(M-1) \sim \Pi(M-3)$ 會分別存入至 3 個暫存器 721~723。

然後，控制訊號 $init1$ 的觸發邊緣降為低值，多工器 711 將 2-輸入-相加後取餘數電路 701 產生的模數運算結果輸出至暫存器 721，其中 2-輸入-相加後取餘數電路 701 的一個輸入端是順向參數 $\Pi(2)$ 或逆向參數 $\Pi(M-3)$ ，另一個輸入端是 2-輸入-相加後取餘數電路 702 產生的模數運算結果。而 2-輸入-相加後取餘數電路 702 產生的模數運算結果是由上一個模數運算結果 $R1$ 與輸入參數 $2f_2 \times 3$ 經模數運算後得到的結果。2-輸入-相加後取餘數

電路 701 運算後，產生的模數運算結果，即 $\Pi(3)$ 或逆向參數 $\Pi(M-4)$ ，除了會輸出至暫存器 721，也會輸出至 2-輸入-相加後取餘數電路 705。

類似地，2-輸入-相加後取餘數電路 703 產生的模數運算結果是由上一個模數運算結果 R_2 與輸入參數 $2f_2 \times 3$ 經模數運算後得到的結果，並由多工器 715 輸出至 2-輸入-相加後取餘數電路 705; 2-輸入-相加後取餘數電路 704 產生的模數運算結果是由上一個模數運算結果 R_3 與輸入參數 $2f_2 \times 3$ 經模數運算後得到的結果，並由多工器 716 輸出至 2-輸入-相加後取餘數電路 706。

2-輸入-相加後取餘數電路 705 運算後，產生的模數運算結果，即 $\Pi(4)$ 或逆向參數 $\Pi(M-5)$ ，會分別輸出至暫存器 722 與 2-輸入-相加後取餘數電路 706。2-輸入-相加後取餘數電路 706 運算後，產生的模數運算結果，即 $\Pi(5)$ 或逆向參數 $\Pi(M-6)$ ，會分別輸出至暫存器 723 與 2-輸入-相加後取餘數電路 701。

依此，如第七 B 圖的範例所示，暫存器 721~723 藉由控制訊號 $init1$ 的時序控制，在控制訊號 $init1$ 的觸發邊緣降為低值後，第一次暫存的交織器位址分別為順向交織器位址 $\Pi(0)$ 、 $\Pi(1)$ 、 $\Pi(2)$ ，或是逆向交織器位址 $\Pi(M-1)$ 、 $\Pi(M-2)$ 、 $\Pi(M-3)$; 第二次暫存的交織器位址分別為順向交織器位址 $\Pi(3)$ 、 $\Pi(4)$ 、 $\Pi(5)$ ，或是逆向交織

器位址 $\Pi(M-4)$ 、 $\Pi(M-5)$ 、 $\Pi(M-6)$ ；以此類推。所以，QPP 單元 1 範例 700 隨著時序，第一次可平行輸出順向交織器位址 $\Pi(0)$ 、 $\Pi(1)$ 、 $\Pi(2)$ ，或是逆向交織器位址 $\Pi(M-1)$ 、 $\Pi(M-2)$ 、 $\Pi(M-3)$ ；第二次可平行輸出順向交織器位址 $\Pi(3)$ 、 $\Pi(4)$ 、 $\Pi(5)$ ，或是逆向交織器位址 $\Pi(M-4)$ 、 $\Pi(M-5)$ 、 $\Pi(M-6)$ ；以此類推。

第八圖是 QPP 單元 1 之硬體結構的另一個工作範例，其中 MAP 處理器所使用的根等於 2^2 ，與所揭露的某些實施範例一致。第八圖的範例中，QPP 單元 1 範例 800 可用 6 個多工器 811~816、兩個暫存器 821~822、3 個 2-輸入-相加後取餘數電路 801~803、以及一個 2-輸入-相減後取餘數電路 804，並搭配兩控制訊號，即 $init1$ 與 $init2$ ，來實現硬體結構。其中，暫存器 821~822 藉由控制訊號 $init1$ 與 $init2$ 的時序控制，在控制訊號 $init1$ 的觸發邊緣降為低值並且觸發控制訊號 $init2$ 後，第一次暫存的交織器位址分別為順向交織器位址 $\Pi(0)$ 、 $\Pi(1)$ ，或是逆向交織器位址 $\Pi(M-1)$ 、 $\Pi(M-2)$ ；第二次暫存的交織器位址分別為順向交織器位址 $\Pi(2)$ 、 $\Pi(3)$ ，或是逆向交織器位址 $\Pi(M-3)$ 、 $\Pi(M-4)$ ；以此類推。

與第七 A 圖的範例相較，QPP 單元 1 範例 800 較為不同的設計是順向參數或逆向參數的輸入有些許不同，並搭配兩控制訊號，以及同時採用 2-輸入-相加後取餘數電路與 2-輸入-相減後取餘數電路來實現 QPP 單元

1 的硬體結構。其中，先觸發控制訊號 $init1$ ，來設定多工器 811~815 的輸出，當控制訊號 $init1$ 的觸發邊緣降為低值後，藉由觸發控制訊號 $init2$ ，來設定多工器 816 將 2-輸入-相減後取餘數電路 804 的模數運算結果輸出至多工器 815。

上述第五 A 圖、第七 A 圖、以及第八圖之 QPP 單元 1 之硬體結構的設計中，針對使用相同根(2^n)的 MAP 處理器，第五 A 圖之 QPP 單元 1 的硬體結構設計最為精簡。其中，第五 A 圖的硬體結構設計只搭配一個控制訊號，並且使用較少的多工器。

若每一 MAP 處理器所處理的資料長度為 M ，即滑動視窗的寬度，並且 M 為 2 的次冪(power)，例如 $M=2^n$ ，則可利用計算出的交織器位址的 n 個最低有效位元 (Least Significant Bit, LSB) 來當成將 MAP 處理器所處理的資料寫入之記憶體位址。第九圖是一範例架構示意圖，說明 QPP 交織器位址產生裝置如何使多個 MAP 處理器平行輸出多筆資料至記憶體，與所揭露的某些實施範例一致。

參考第九圖，QPP 交織器位址產生裝置 300 產生交織器位址 $\Pi(i)$ 、 $\Pi(i+M)$ 、 $\Pi(i+2M)$ 、...、 $\Pi(i+(L-1)M)$ ，並輸出記憶體選擇(memory selection)資訊 920 至一資料多工器 910，此記憶體選擇資訊 920 是 $\Pi(i)$ 、 $\Pi(i+M)$ 、

$\Pi(i+2M)$ 、...、 $\Pi(i+(L-1)M)$ 之部分位元的資訊，例如是交織器位址 $\Pi(i)$ 、 $\Pi(i+M)$ 、 $\Pi(i+2M)$ 、...、 $\Pi(i+(L-1)M)$ 之最高有效 n 位元(MSB n bits)的資訊。資料多工器 910 接收多個 MAP 處理器，例如 MAP 處理器 1~MAP 處理器 L ，平行輸出的 L 筆資料， $M=2^n$ ，以及來自 QPP 交織器位址產生裝置 300 的記憶體選擇資訊 920 後，就會將 L 筆資料的每一筆資料輸出至所選擇之記憶體的一相對應的記憶體位址 950，這些相對應的記憶體位址可從 QPP 交織器位址產生裝置 300 算出之交織器位址 $\Pi(i)$ 直接得到，例如由這些交織器位址 $\Pi(i)$ 的最低有效 n 位元(LSB n bits)的資訊。

以 $k=40$ ， $M=8=2^3$ 為例，第十圖是一範例架構示意圖，說明 QPP 交織器位址產生裝置 300 如何使 5 個 MAP 處理器，例如 MAP 處理器 1~MAP 處理器 5，將 40 筆資料皆填入 QPP 交織器位址產生裝置 300 所產生的記憶體位址。第十圖的範例中，每一 MAP 處理器所處理的資料長度 $M=40/5=8=2^3$ ，例如 MAP 處理器 1 處理資料 0~資料 7、MAP 處理器 2 處理資料 8~資料 15、MAP 處理器 3 處理資料 16~資料 23、MAP 處理器 4 處理資料 24~資料 31、MAP 處理器 5 處理資料 32~資料 39。

當 QPP 交織器位址產生裝置 300 平行算出交織器位址 $\Pi(i)$ 、 $\Pi(i+8)$ 、 $\Pi(i+16)$ 、 $\Pi(i+24)$ 、 $\Pi(i+32)$ 時，同時輸出 $\Pi(i)$ 、 $\Pi(i+8)$ 、 $\Pi(i+16)$ 、 $\Pi(i+24)$ 、 $\Pi(i+32)$ 之最高

有效 3 個位元的資訊 1020 至資料多工器 1010。資料多工器 1010 同時接收使用根-8(等於 2^3)之 MAP 處理器 1~MAP 處理器 5 平行輸出的 5 筆資料，以及 $\Pi(i)$ 、 $\Pi(i+8)$ 、 $\Pi(i+16)$ 、 $\Pi(i+24)$ 、 $\Pi(i+40)$ 之最高有效 3 位元的資訊 1020 後，將此 5 筆資料平行輸出至五塊不同記憶體，例如記憶體 0~記憶體 4，之記憶體位址內，此五塊記憶體是由 $\Pi(i)$ 、 $\Pi(i+8)$ 、 $\Pi(i+16)$ 、 $\Pi(i+24)$ 、 $\Pi(i+32)$ 之最高有效 3 位元的資訊 1020 來決定，其被寫入的記憶體位址是由 $\Pi(i)$ 之最低有效 3 位元(LSB 3 bits)的資訊 1050 來決定。也就是說，此五筆資料平行輸出至五塊不同記憶體，而此五塊不同記憶體皆分別以相同記憶體位址來儲存此五筆資料。依此，從 $i=0$ 至 $i=7$ ，MAP 處理器 1~MAP 處理器 5 共平行輸出 40 筆資料，並填入此五塊不同記憶體的記憶體位址。

換句話說，當 $M=2^r$ 時，如第十一圖之 QPP 交織器位址產生裝置的範例所示，QPP 迴單元 1 算出的交織器位址 $\Pi(i)$ 中，其最低有效 n 位元是提供給所有記憶體的位址用；而每一 QPP 單元 j ， $j=1, \dots, L$ ，算出的交織器位址 $\Pi(i+jM)$ 中，其最高有效 n 位元是提供給一資料多工器，例如一 MAP 處理器之資料多工器，來選取一記憶體。 n 可視為記憶體之位址匯流排(address buses)的位元數，也就是說，每一記憶體有 2^n 個記憶體位址。此 L 個 QPP 單元算出的交織器位址，即 $\Pi(i), \Pi(i+M), \dots, \Pi(i+(L-1)M)$ ，的最高有效 n 位元的資訊可對應到 L 個

MAP 處理器，來選取其處理資料所要寫入的記憶體。

第十二圖的範例圖表中，以 $k=40$ 、 $M=2^3$ 、 $f_1=3$ 、 $f_2=10$ 為例，說明透過 QPP 交織器位址產生裝置算出的交織器位址，如何決定出記憶體位址，與所揭露的某些實施範例一致。假設 $\Pi(0)=0$ ， $L=K/M=5$ ，QPP 交織器位址產生裝置 300 中，當 $i=0$ 時，QPP 單元 1~QPP 單元 5 分別算出交織器位址：

$$\Pi(0)=0=(000000)_2, \Pi(8)=24=(011000)_2,$$

$$\Pi(16)=8=(001000)_2, \Pi(24)=32=(100000)_2,$$

$$\Pi(32)=16=(010000)_2。$$

因為 $\Pi(0)$ 、 $\Pi(8)$ 、 $\Pi(16)$ 、 $\Pi(24)$ 、 $\Pi(32)$ 之最高有效 3 位元分別為 000、011、001、100、010，並且 $\Pi(0)$ 之最低有效 3 位元為 000，所以 5 個 MAP 處理器，MAP 處理器 1~MAP 處理器 5，第一次平行輸出的五筆資料，即資料 0、資料 8、資料 16、資料 24、資料 32，分別被寫入記憶體 0 的位址 0、記憶體 3 的位址 0、記憶體 1 的位址 0、記憶體 4 的位址 0、記憶體 2 的位址 0。

當 $i=1$ 時，QPP 單元 1~QPP 單元 5 分別算出交織器位址：

$$\Pi(1)=13=(001101)_2, \Pi(9)=37=(100101)_2,$$

$$\Pi(17)=21=(010101)_2, \Pi(25)=5=(000101)_2,$$

$$\Pi(33)=29=(011101)_2。$$

因為 $\Pi(1)$ 、 $\Pi(9)$ 、 $\Pi(17)$ 、 $\Pi(25)$ 、 $\Pi(33)$ 之最高有效 3 位元分別為 001、100、010、000、011，並且 $\Pi(1)$ 之最低有效 3 位元為 101，所以 MAP 處理器 1~MAP 處理器 5 第二次平行輸出的五筆資料，即資料 1、資料 9、資料 17、資料 25、資料 33，分別被寫入記憶體 1 的位址 5、記憶體 4 的位址 5、記憶體 2 的位址 5、記憶體 0 的位址 5、記憶體 3 的位址 5。

依此類推。所以，當 $i=7$ 時， $\Pi(7)=31=(011111)_2$ ，MAP 處理器 1~MAP 處理器 5 最後一次平行輸出的五筆資料根據 QPP 單元 1~QPP 單元 5 算出交織器位址之最高有效 3 位元的資訊，分別被寫入五個記憶體的位址 7。此範例中，每一記憶體有 8 個位址，即位址 0~位址 7，可被寫入 8 筆由 MAP 處理器輸出的資料。

從第十二圖範例圖表中可以看出，針對每一 MAP 處理器特定的處理資料的筆數 M (此例為 8，即輸入序列的資訊輸出之滑動視窗的寬度)，在計算上不需使用複雜的電路，如乘法器，並且 MAP 處理器 1~MAP 處理器 5 同一次平行輸出的 5 筆資料被寫入記憶體 0~記憶體 4 的同一位址。

從上述範例還可窺知，若 MAP 處理器所使用的根 $-R(=2^r)$ ，則每一 QPP 單元 j 平行計算出的 r 個交織器位

址即對應到各個 MAP 處理器所使用的根- $R(=2^n)$ 架構。此外，設定每一 MAP 處理器所處理的資料長度為 $M=2^n$ ，則恰好可利用 QPP 單元 1 所計算出的交織器位址的最低有效 n 位元的資訊來當成寫入記憶體的位址。

再者，如前所述，針對 MAP 處理器不同的根，QPP 交織器位址產生裝置 300 也可以產生相對應的順向或逆向交織器位址，來對應 MAP 處理器之順向或逆向路徑值的計算，如第十三圖的範例說明。當軟式輸入及軟式輸出(Soft-input Soft-output, SISO)單元 1310 裡某一個 MAP 讀取 $L_c(Z_{k,1})$, $I_a(x_k)$ 及 $L_c(x_k)$ 的順向輸入訊號或逆向輸入訊號時，QPP 交織器位址產生裝置 300 會產生順向或逆向交織器位址 $\Pi(i)$ 給不同的記憶體以讀出相對應的 $L_c(Z_{k,1})$, $I_a(x_k)$ 及 $L_c(x_k)$ ，做為此 MAP 的輸入訊號。當 MAP 開始輸出 $I_c(x_k)$ 時，QPP 交織器位址產生裝置 300 也可以產生相對應的交織器位址，供此一 MAP 的計算結果寫入某一塊記憶體 1320 中，其中， M 表示每一塊記憶體的位址大小。

承上述，第十四圖是 QPP 交織器位址產生方法的一範例流程圖，與所揭露的某些實施範例一致。參考第十四圖，根據 QPP 函數 $\Pi(i)=(f_1i + f_2i^2) \bmod k$ ，輸入多個可配置參數，如步驟 1410 所示。步驟 1420 中，藉由 L 個 QPP 單元來計算與輸出多個交織器位址，此 L 個 QPP 單元的每一 QPP 單元 j ，皆為一平行計算單元且平行輸

出其相對應的一組交織器位址，其中 $\Pi(i)$ 是此方法產生的第 i 個交織位址， f_1 與 f_2 是 QPP 係數， k 是一輸入序列的資訊區塊長度，如此，讓此輸入序列之資訊填入多個相對應之記憶體之位址， $0 \leq i \leq k-1$ ， $1 \leq j \leq L$ 。此輸入序列之資訊可透過 L 個滑動視窗平行輸出的，而 M 是此 L 個滑動視窗之每一滑動視窗的寬度。每一 QPP 單元 j 平行輸出的一組交織器位址可以是一組順向交織器位址或是一組逆向交織器位址。

步驟 1420 中，每一 QPP 單元 j 可根據前述公式 (1)~(5)，平行算出其相對應的一組順向交織器位址或一組逆向交織器位址，不再說明。

當 $M=2^n$ 時，如前述第十一圖、第十二圖的範例所示，QPP 單元 1 算出的交織器位址 $\Pi(i)$ 中，可利用其最低有效 n 位元是作為所有記憶體之位址用，而每一 QPP 單元 j ， $1 \leq j \leq L$ ，算出的交織器位址 $\Pi(i+(j-1)M)$ 之最高有效 n 位元則可提供給一資料多工器，來從多個記憶體中選擇一記憶體。藉由最高有效 n 位元所選出的記憶體，以及最低有效 n 位元所指定的位址，輸入序列的每一筆資訊就可以被寫入一相對應之記憶體位址內。

綜上所述，本揭露之實施範例可提供一種 QPP 交織器位址產生裝置與方法，藉由數個 QPP 單元可直接計算順向交織器位址或逆向交織器位址，每一 QPP 單元可平

行計算與輸出相對應的一組順向交織器位址或一組逆向交織器位址的計算結果。對於根- $R(=2^r)$ 的 MAP 處理器，也可將原本平行交織位址的每個輸出再擴展成為平行的 r 個交織器位址輸出。針對 MAP 處理器不同的根- R ，也可產生相對應的順向交織器位址或逆向交織器位址，來對應 MAP 處理器之順向或逆向路徑值的計算。此 QPP 交織器位址產生裝置不必更改原始電路，可將原始交織長度 K ，組態成為 K/M 個長度皆為 M 的交織長度。本揭露之實施範例的設計使用低複雜度的電路，也無需記憶體容量來儲存交織器位址，可大幅減低硬體面積與提昇交織器位址的計算速度，可應用在行動通訊(如 3GPP LTE、LTE-A)系統上。

惟，以上所述者僅為本揭露之實施範例，當不能依此限定本發明實施之範圍。即大凡本發明申請專利範圍所作之均等變化與修飾，皆應仍屬本發明專利涵蓋之範圍。

【圖式簡單說明】

第一圖是一種 QPP 交織器的一個範例示意圖。

第二圖是一種 QPP 交織器的一個範例示意圖，與所揭露的某些實施範例一致。

第三圖是 QPP 交織器位址產生裝置的一個範例示意圖，與所揭露的某些實施範例一致。

第四圖是針對根為 2^r 的 MAP 處理器，說明 QPP 交織器位址產生裝置之每一 QPP 單元所產生之相對應的一組順向交織器位址或一組逆向交織器位址的一個範例示意圖，與所揭露的某些實施範例一致。

第五 A 圖與第五 B 圖分別是第四圖中，QPP 單元 1 之硬體結構與控制訊號之時序控制的範例示意圖，與所揭露的某些實施範例一致。

第六圖是第四圖中，QPP 單元 j 之硬體結構的一範例示意圖， $j \geq 2$ ，與所揭露的某些實施範例一致。

第七 A 圖是 QPP 單元 1 之硬體結構的一個工作範例，其中 MAP 處理器所使用的根等於 2^3 ，與所揭露的某些實施範例一致。

第七 B 圖是第七 A 圖之 QPP 單元 1 範例中，控制訊號之時序控制的一個範例示意圖，與所揭露的某些實施範例一致。

第八圖是 QPP 單元 1 之硬體結構的另一個工作範例，其中 MAP 處理器所使用的根等於 2^2 ，與所揭露的某些實施範例一致。

第九圖是一範例架構示意圖，說明 QPP 交織器位址產生

裝置如何使多個 MAP 處理器平行輸出多筆資料至記憶體，與所揭露的某些實施範例一致。

第十圖是一工作範例示意圖，說明 QPP 交織器位址產生裝置如何使五個 MAP 處理器平行輸出的 40 資料被填入記憶體，與所揭露的某些實施範例一致。

第十一圖說明 QPP 交織器位址產生裝置中，每一 QPP 單元算出的交織器位址之位元的用途，與所揭露的某些實施範例一致。

第十二圖以 $k=40$ 、 $M=2^3$ 、 $f_1=3$ 、 $f_2=10$ 為例，說明透過 QPP 交織器位址產生裝置算出的交織器位址，如何決定出記憶體的位址，與所揭露的某些實施範例一致。

第十三圖是一範例示意圖，說明 QPP 交織器位址產生裝置如何產生相對應的順向或逆向交織器位址，來對應 MAP 處理器之順向或逆向路徑值的計算，與所揭露的某些實施範例一致。

第十四圖是 QPP 交織器位址產生方法的一範例流程圖，與所揭露的某些實施範例一致。

【主要元件符號說明】

102 交織器記憶體	104 位址產生器
106 控制單元	108 模數計數器
n 輸入指標	108a 控制訊號
200 QPP 交織器	

300 QPP 交織器位址產生裝置	
31j 一組順向交織器位址	32j 一組逆向交織器位址
$\Pi(i)$ 第 i 交織器位址	L, j, r 大於 1 的整數
310 數個可配置參數	
r MAP 處理器之根的 2 次冪	
410 $k, (f_1+f_2) \bmod k$ 或是 $f_2-f_1-2(M-1)f_2 \bmod k, 2f_2 \bmod k, f_1M \bmod k, \Pi(0)$ 或是 $\Pi(M-1)$	
500 QPP 單元 1 範例	510-51r 多工器
init1 控制訊號	521-52r 暫存器
531~53r 與 541~54r $2r$ 個 2-輸入-相加後取餘數電路，標號為	
621~62r 暫存器	
631~63r 2-輸入-相加後取餘數電路	
700 QPP 單元 1 範例	711~716 多工器
721~723 暫存器	R1~R3 模數運算結果
701~706 2-輸入-相加後取餘數電路	
811~816 多工器	821~822 暫存器
801~803 2-輸入-相加後取餘數電路	
804 2-輸入-相減後取餘數電路	
910 資料多工器	920 記憶體選擇資訊
950 記憶體位址	
1010 資料多工器	

1020	$\Pi(i)$ 、 $\Pi(i+8)$ 、 $\Pi(i+16)$ 、 $\Pi(i+24)$ 、 $\Pi(i+32)$ 之最高有效 3 位元的資訊
1050	$\Pi(i)$ 之最低有效 3 位元的資訊
1410	根據 QPP 函數 $\Pi(i)=(f_1i + f_2i^2) \bmod k$ ，輸入多個可配置參數
1420	藉由 L 個 QPP 單元來計算與輸出多個交織器位址，此 L 個 QPP 單元的每一 QPP 單元 j， $1 \leq j \leq L$ ，皆為一平行計算單元且平行輸出其相對應的一組交織器位址，其中 $\Pi(i)$ 是此方法產生的第 i 個交織位址， f_1 與 f_2 是 QPP 係數，k 是一輸入序列的資訊區塊長度，如此，讓此輸入序列之資訊填入多個相對應之記憶體之位址， $0 \leq i \leq k-1$

七、申請專利範圍：

1. 一種二階重排多項式(QPP)交織器位址產生裝置，該裝置包含：

L 個 QPP 單元，表示為 QPP 單元 1 至 QPP 單元 L， $L \geq 2$ ；該裝置根據一 QPP 函數 $\Pi(i) = (f_1 i + f_2 i^2) \bmod k$ ， f_1 與 f_2 是 QPP 係數， $0 \leq i \leq k-1$ ， k 是一輸入序列的資訊區塊長度，接收數個可配置參數並利用該 L 個 QPP 單元來計算與輸出多個交織器位址，其中， $\Pi(i)$ 也是該裝置產生的一第 i 交織器位址，而每一 QPP 單元 j， $1 \leq j \leq L$ ，皆為一平行計算單元且平行輸出其相對應的一組交織器位址。

2. 如申請專利範圍第 1 項所述之位址產生裝置，其中該組交織器位址是一組順向交織器位址或一組逆向交織器位址，當該組交織器位址是順向交織器位址時，該 QPP 單元 j 平行輸出的該組交織器位址為 $\Pi(i+(j-1)M), \Pi(i+(j-1)M+1), \dots, \Pi(i+(j-1)M+(r-1))$ ，當該組交織器位址是逆向交織器位址時，該 QPP 單元 j 平行輸出的該組交織器位址為 $\Pi(jM-i-1), \Pi(jM-i-2), \dots, \Pi(jM-i-r)$ ， $M=k/L$ ，M 為一正整數， $1 \leq r \leq k$ 。
3. 如申請專利範圍第 2 項所述之位址產生裝置，其中 M 等於 2^n ，n 為一正整數。
4. 如申請專利範圍第 2 項所述之位址產生裝置，其中該 QPP 單元 1 的硬體結構係由 r+1 個多工器、r 個暫存器、以及 2r 個 2-輸入-相加後取餘數電路，並搭配至少一控

制訊號來組成。

5. 如申請專利範圍第 2 項所述之位址產生裝置，其中對於 $2 \leq j \leq L$ ，每一該 QPP 單元 j 的硬體結構係由 r 個暫存器、以及 r 個 2-輸入-相加後取餘數電路來組成。
6. 如申請專利範圍第 3 項所述之位址產生裝置，該裝置針對對數-對應(MAP)處理器不同根的平行解碼器架構，輸出相對應的交織器位址，來對應該不同根之 MAP 處理器的每一 MAP 處理器之順向或逆向路徑值的計算。
7. 如申請專利範圍第 1 項所述之位址產生裝置，該裝置是一種交織器或反交織器的位址產生裝置。
8. 如申請專利範圍第 1 項所述之位址產生裝置，其中對於 $j \geq 2$ ，每一 QPP 單元 j 分別接收 QPP 單元 $j-1$ 的計算結果。
9. 如申請專利範圍第 1 項所述之位址產生裝置，其中該數個可配置參數是 $\{k, (f_1+f_2) \bmod k, 2f_2 \bmod k, f_1M \bmod k, \Pi(0)\}$ 與 $\{k, f_2-f_1-2(M-1)f_2 \bmod k, 2f_2 \bmod k, f_1M \bmod k, \Pi(M-1)\}$ 之其中一組可配置參數。
10. 一種二階重排多項式(QPP)交織器位址產生方法，應用於一通訊系統上的編解碼器，該方法包含：

根據一 QPP 函數 $\Pi(i)=(f_1i + f_2i^2) \bmod k$ ，輸入多個可配置參數；以及

藉由 L 個 QPP 單元來計算與輸出多個交織器位址，該 L 個 QPP 單元的每一 QPP 單元 j ， $1 \leq j \leq L$ ，皆為一平行計算單元且平行輸出其相對應的一組交織器位址；

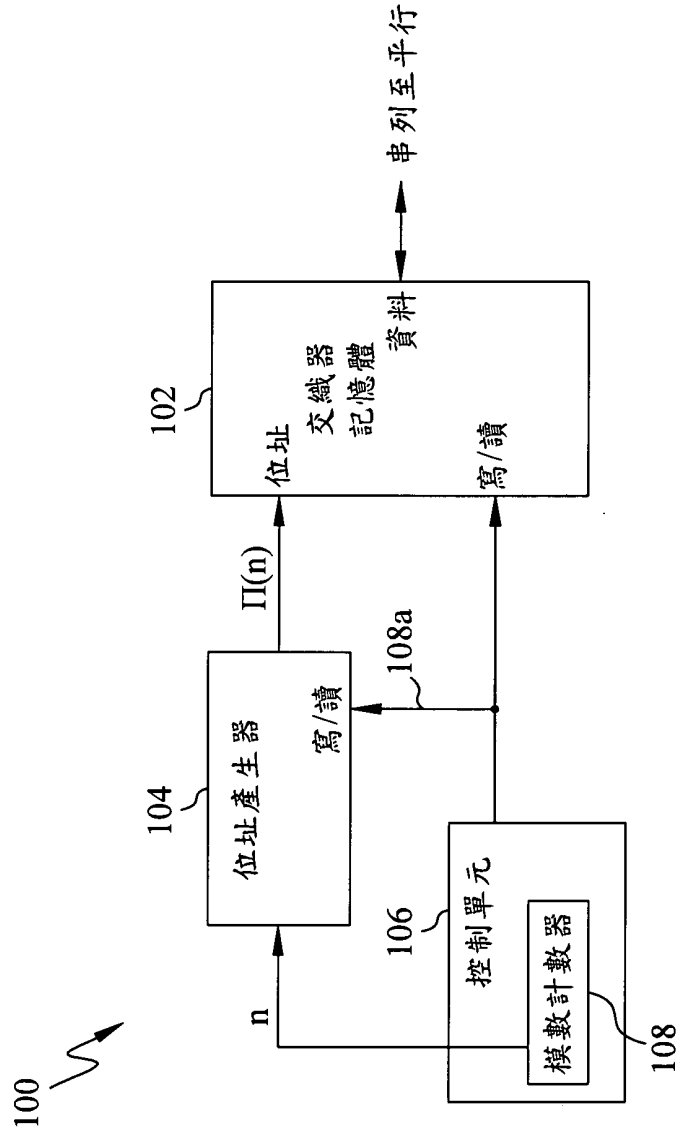
其中 $\Pi(i)$ 是該方法產生的一第 i 交織位址， f_1 與 f_2 是 QPP

係數， k 是一輸入序列的資訊區塊長度， $0 \leq i \leq k-1$ ， mod 是一模數運算，如此，讓該輸入序列之資訊填入多個相對應之記憶體之位址。

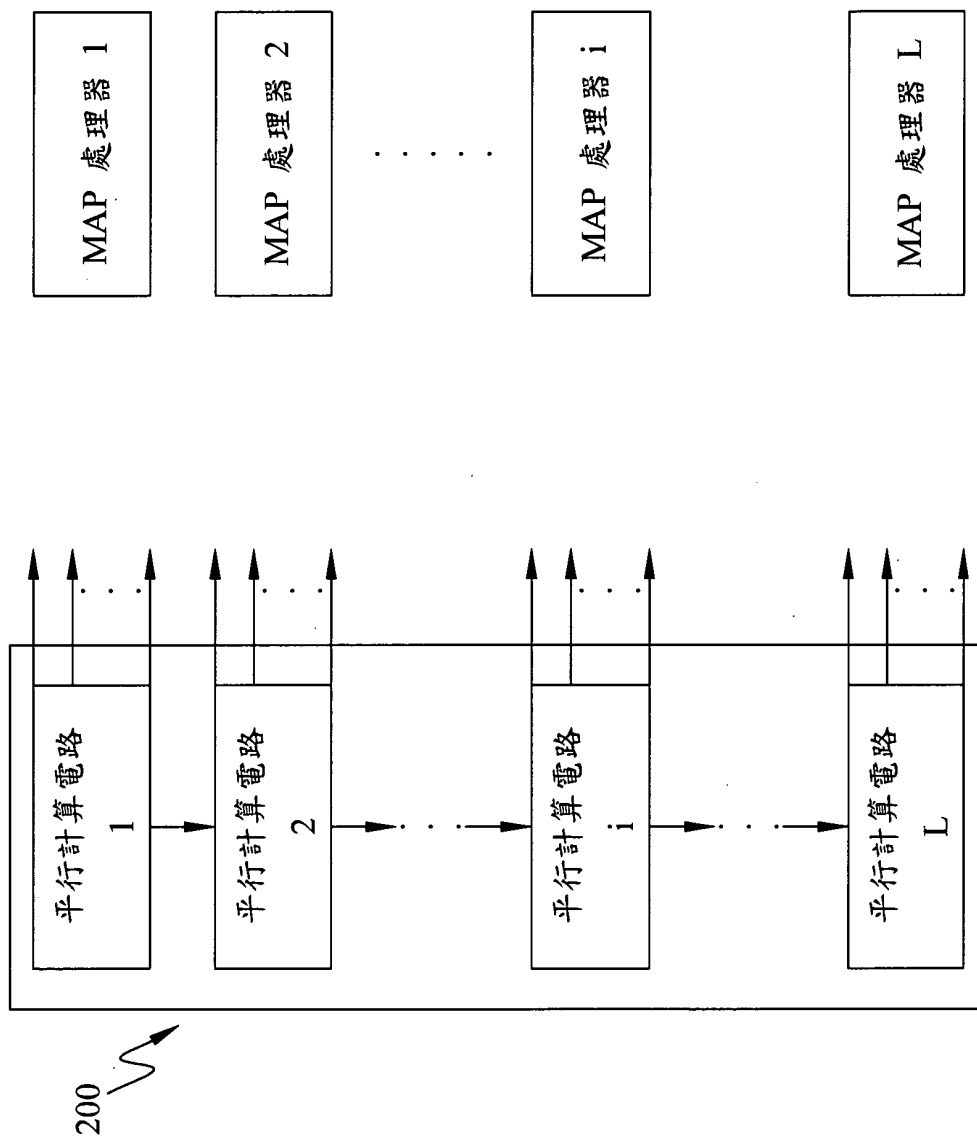
11. 如申請專利範圍第 10 項所述之位址產生方法，其中該組交織器位址是一組順向交織器位址或一組逆向交織器位址，當該組交織器位址是順向交織器位址時，該 QPP 單元 j 平行輸出的該組交織器位址為 $\Pi(i+(j-1)M), \Pi(i+(j-1)M+1), \dots, \Pi(i+(j-1)M+(r-1))$ ，當該組交織器位址是逆向交織器位址時，該 QPP 單元 j 平行輸出的該組交織器位址為 $\Pi(jM-i-1), \Pi(jM-i-2), \dots, \Pi(jM-i-r)$ ， $M=k/L$ ， M 為一正整數， $1 \leq r \leq k$ 。
12. 如申請專利範圍第 11 項所述之位址產生方法，其中 M 等於 2^n ， n 為一正整數。
13. 如申請專利範圍第 11 項所述之位址產生方法，其中該第 i 交織器位址 $\Pi(i)$ 之最低有效 n 位元是作為該輸入序列之多筆資料填入 L 個記憶體之位址。
14. 如申請專利範圍第 12 項所述之位址產生方法，其中該第 i 交織器位址 $\Pi(i)$ 之最高有效 n 位元是提供給一資料矩陣多工器，來選取 L 個相對應的記憶體。
15. 如申請專利範圍第 11 項所述之位址產生方法，其中該多個可配置參數是 $\{k, (f_1+f_2) \bmod k, 2f_2 \bmod k, f_1M \bmod k, \Pi(0)\}$ 與 $\{k, f_2-f_1-2(M-1)f_2 \bmod k, 2f_2 \bmod k, f_1M \bmod k, \Pi(M-1)\}$ 之其中一組可配置參數。
16. 如申請專利範圍第 11 項所述之位址產生方法，其中該輸

入序列之資訊是透過 L 個滑動視窗平行輸出的，而 M 是該 L 個滑動視窗之每一滑動視窗的寬度。

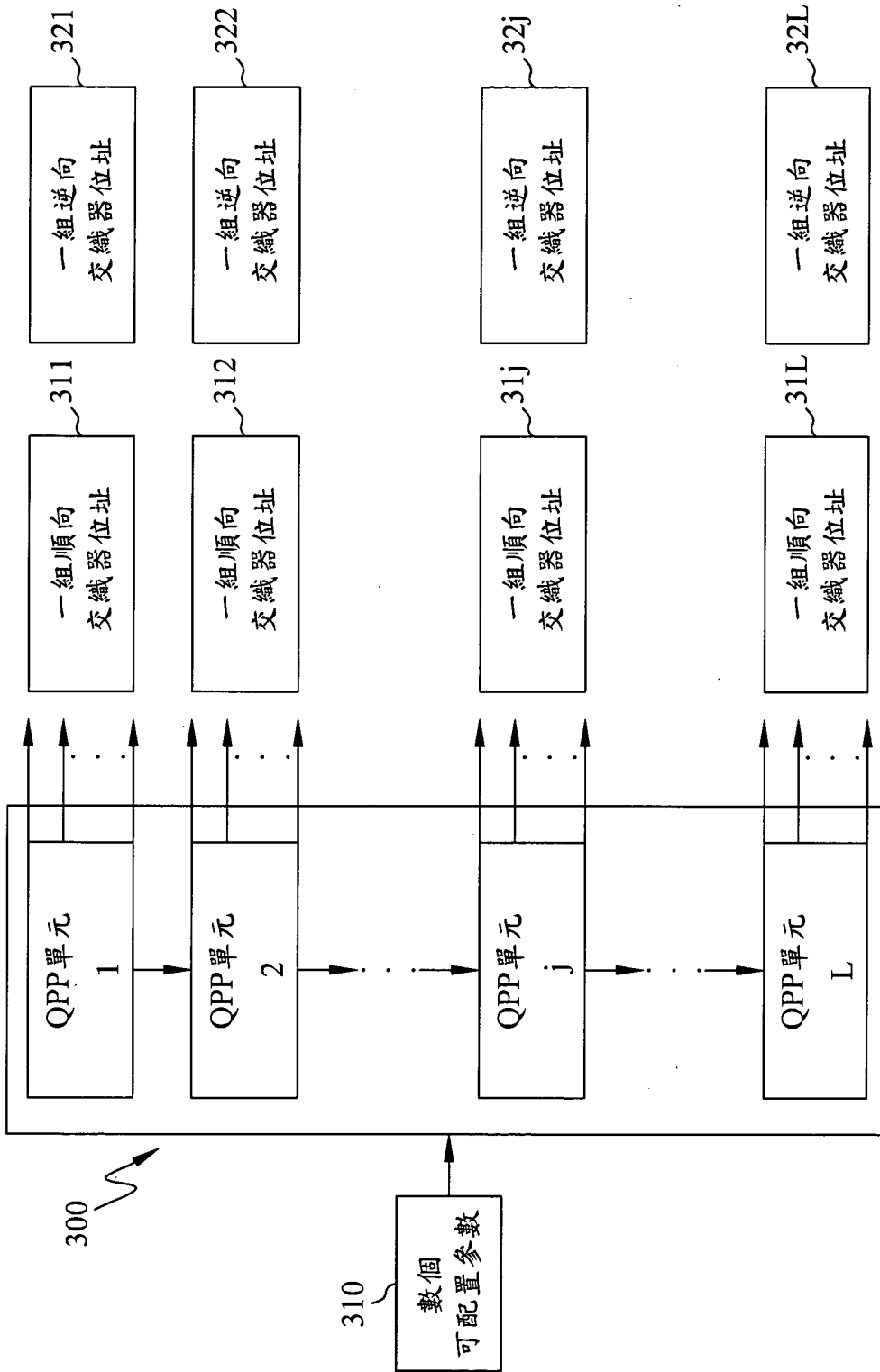
八、圖式



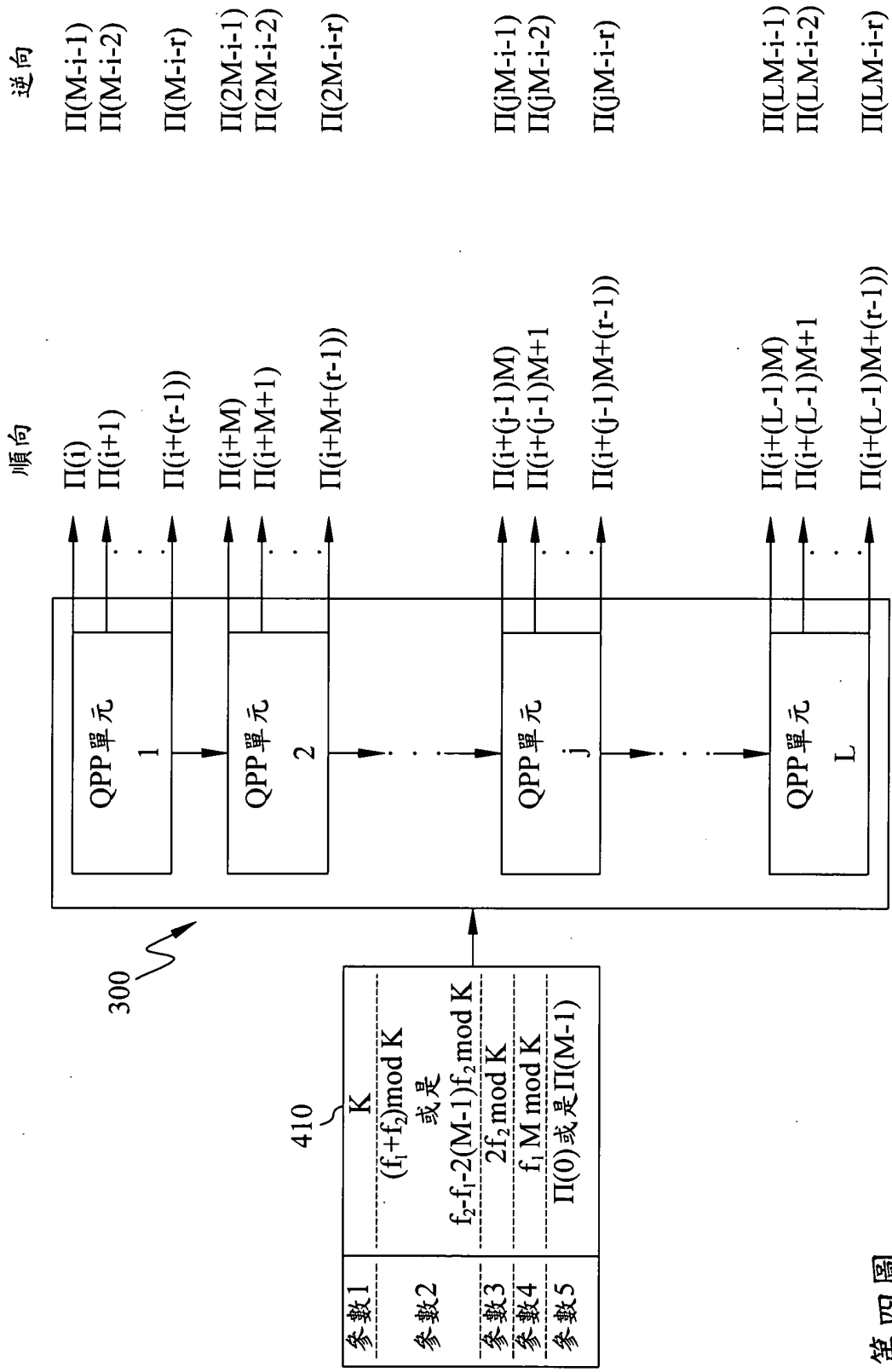
第一圖



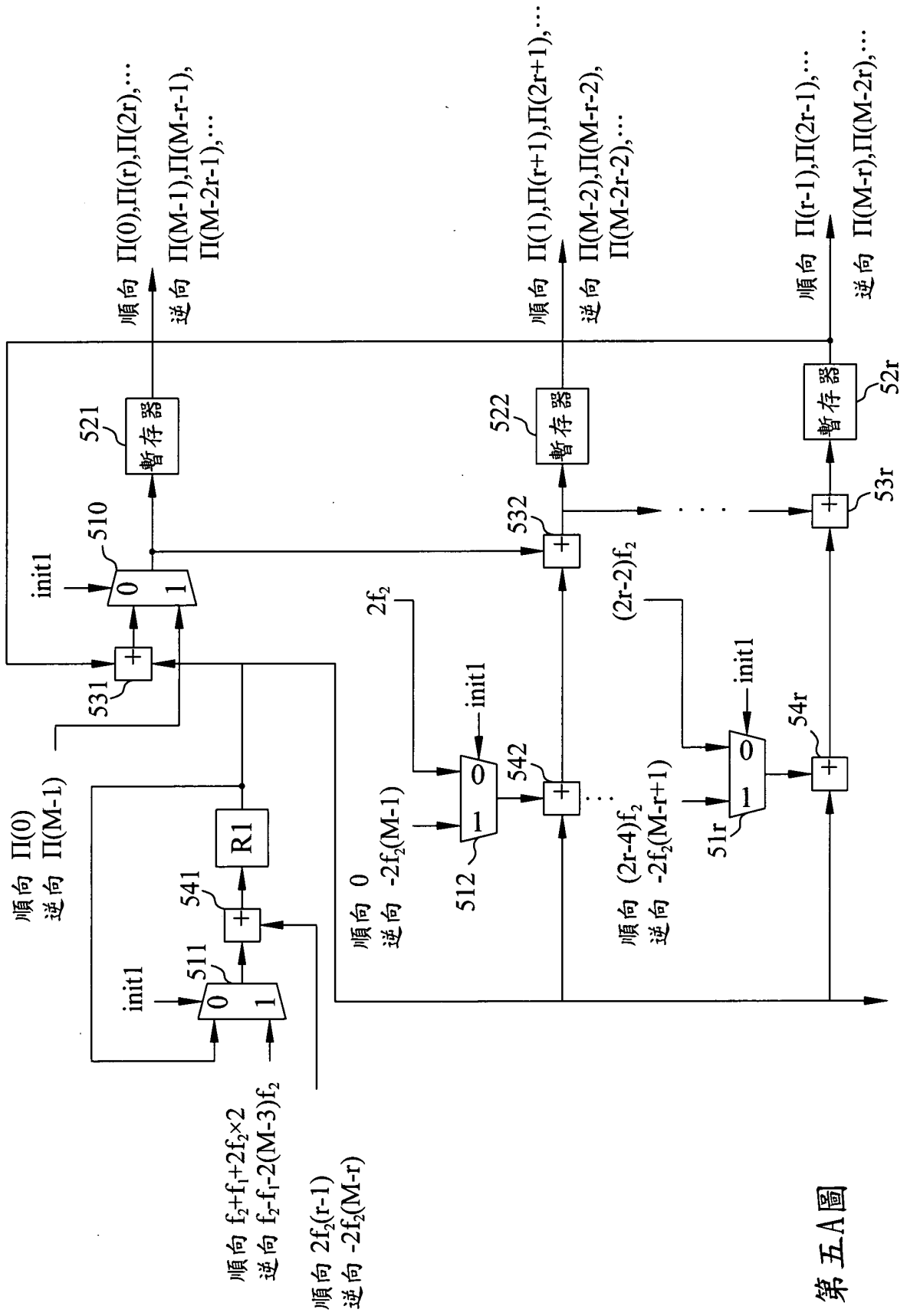
第二圖



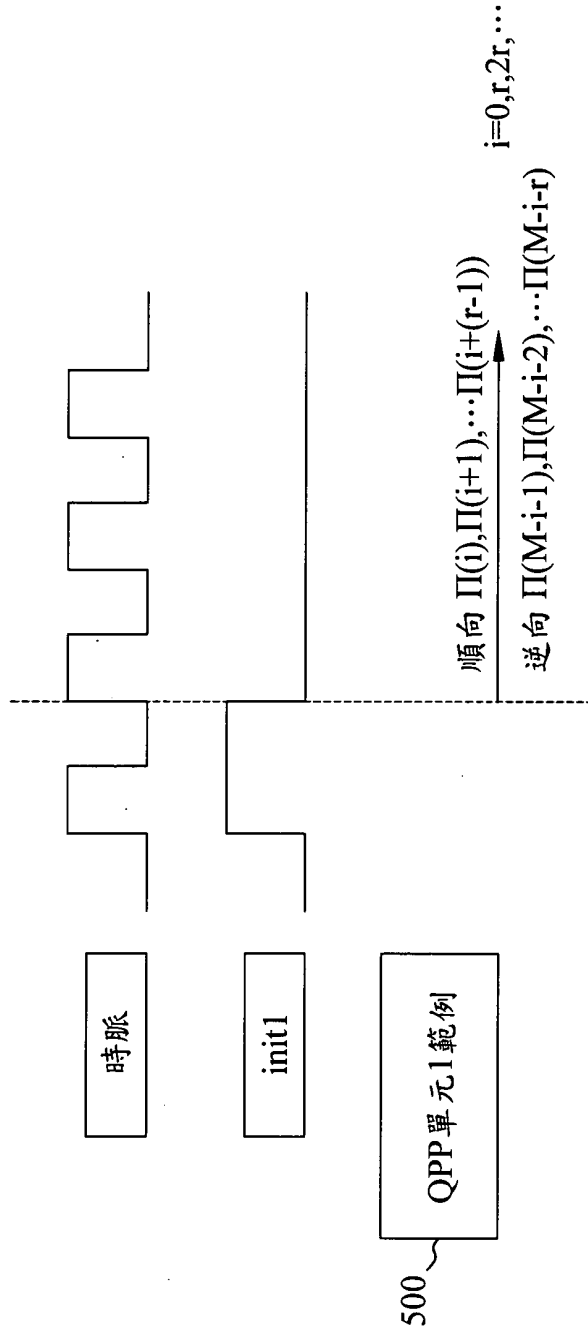
第三圖



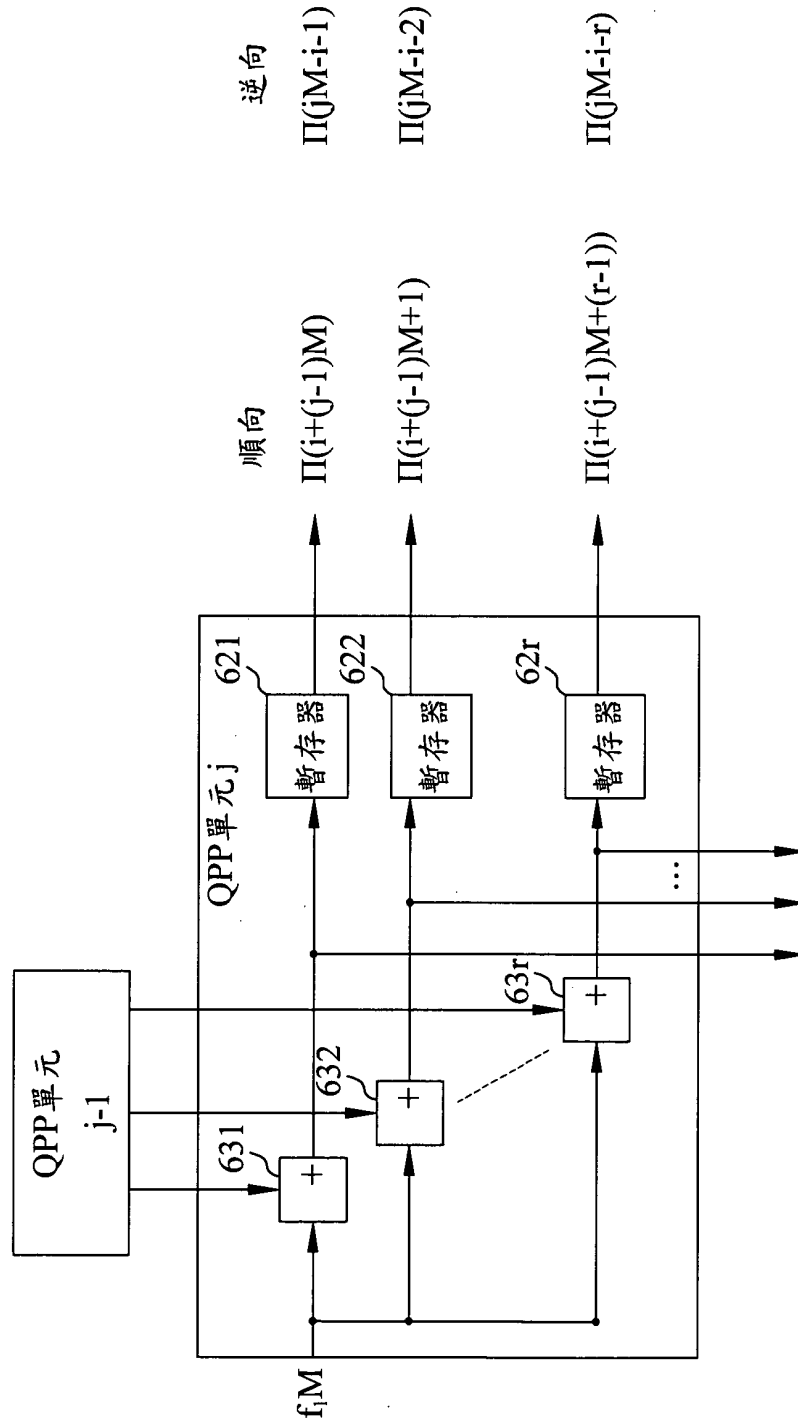
第四圖



第五A圖

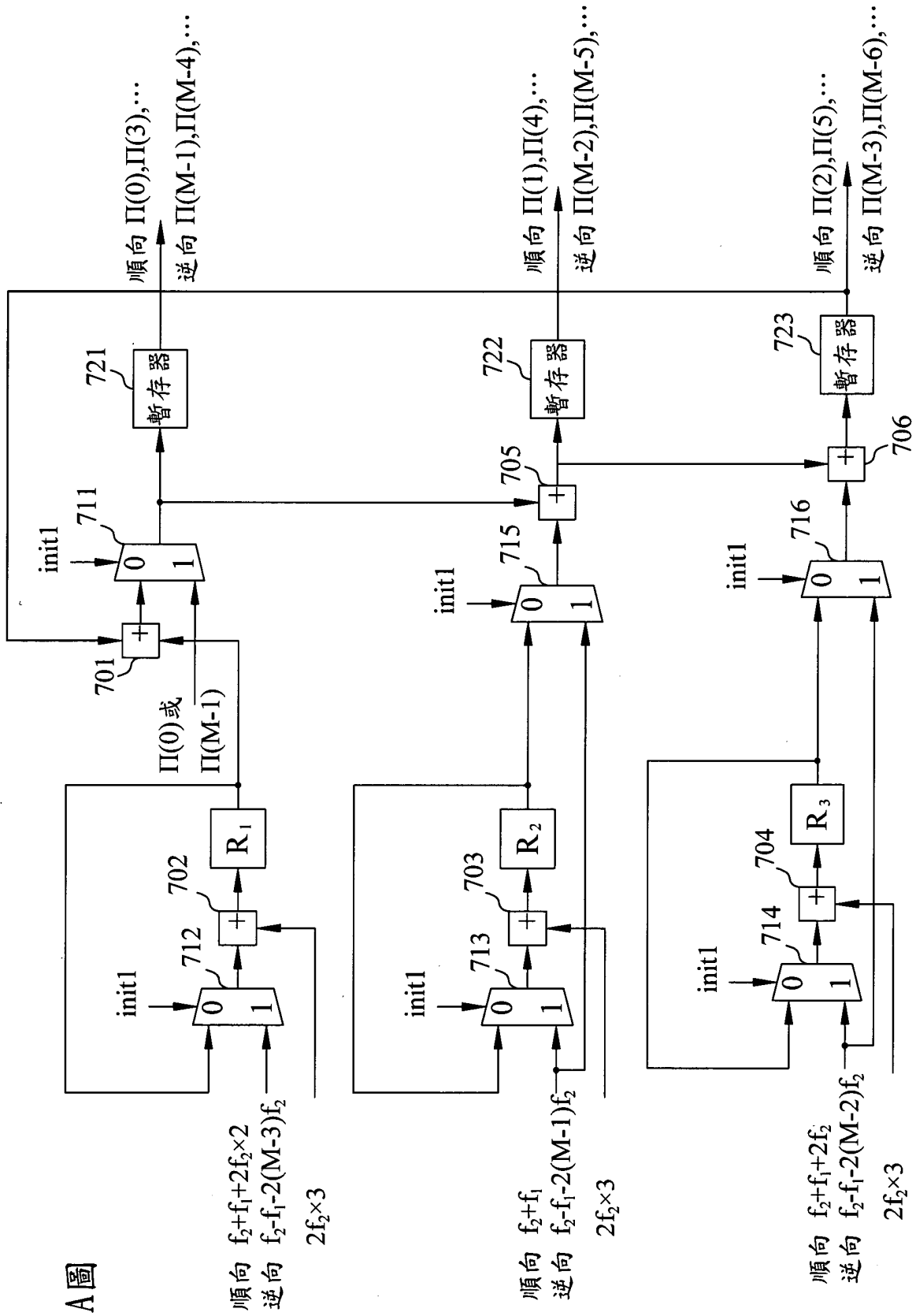


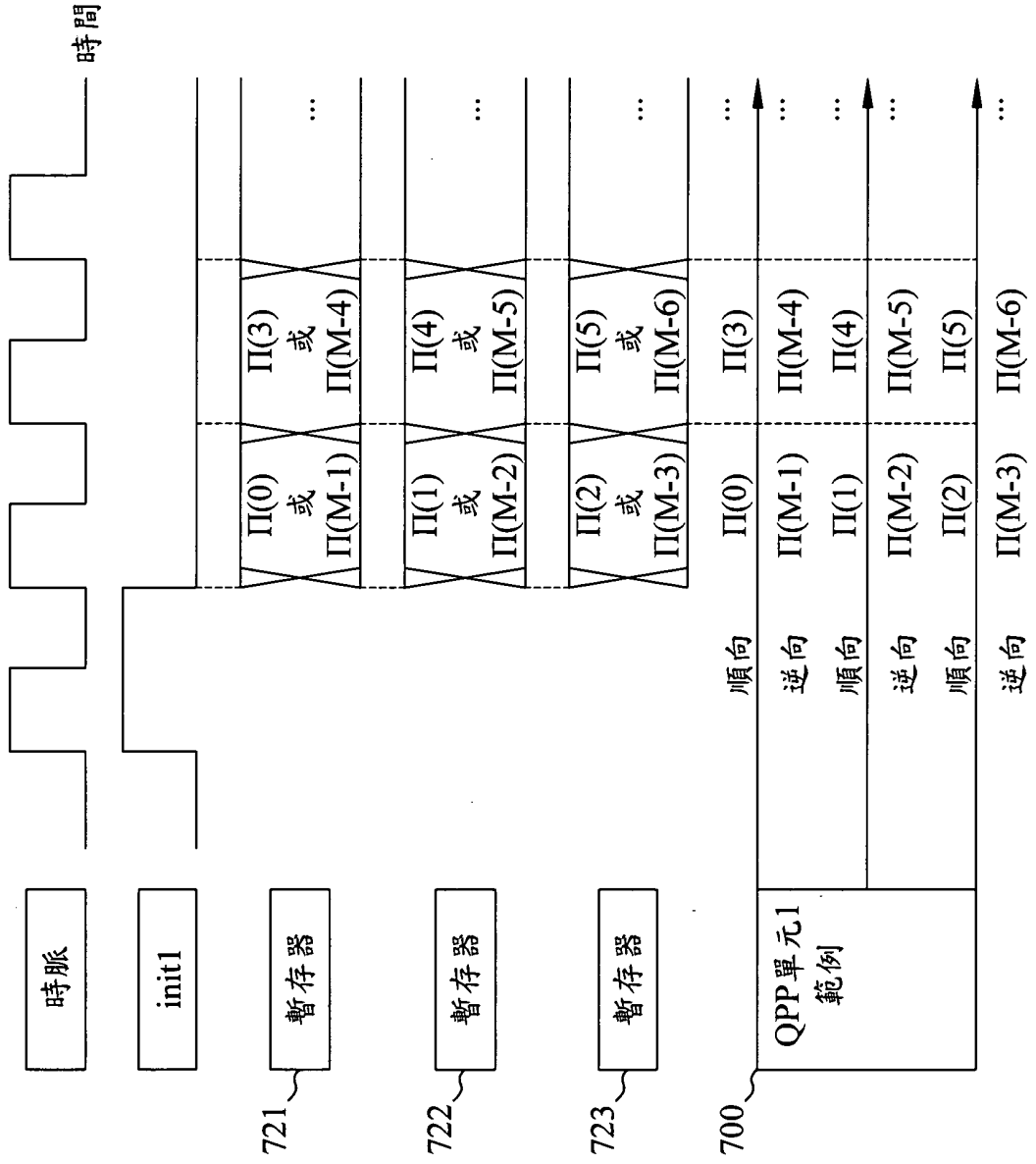
第五B圖



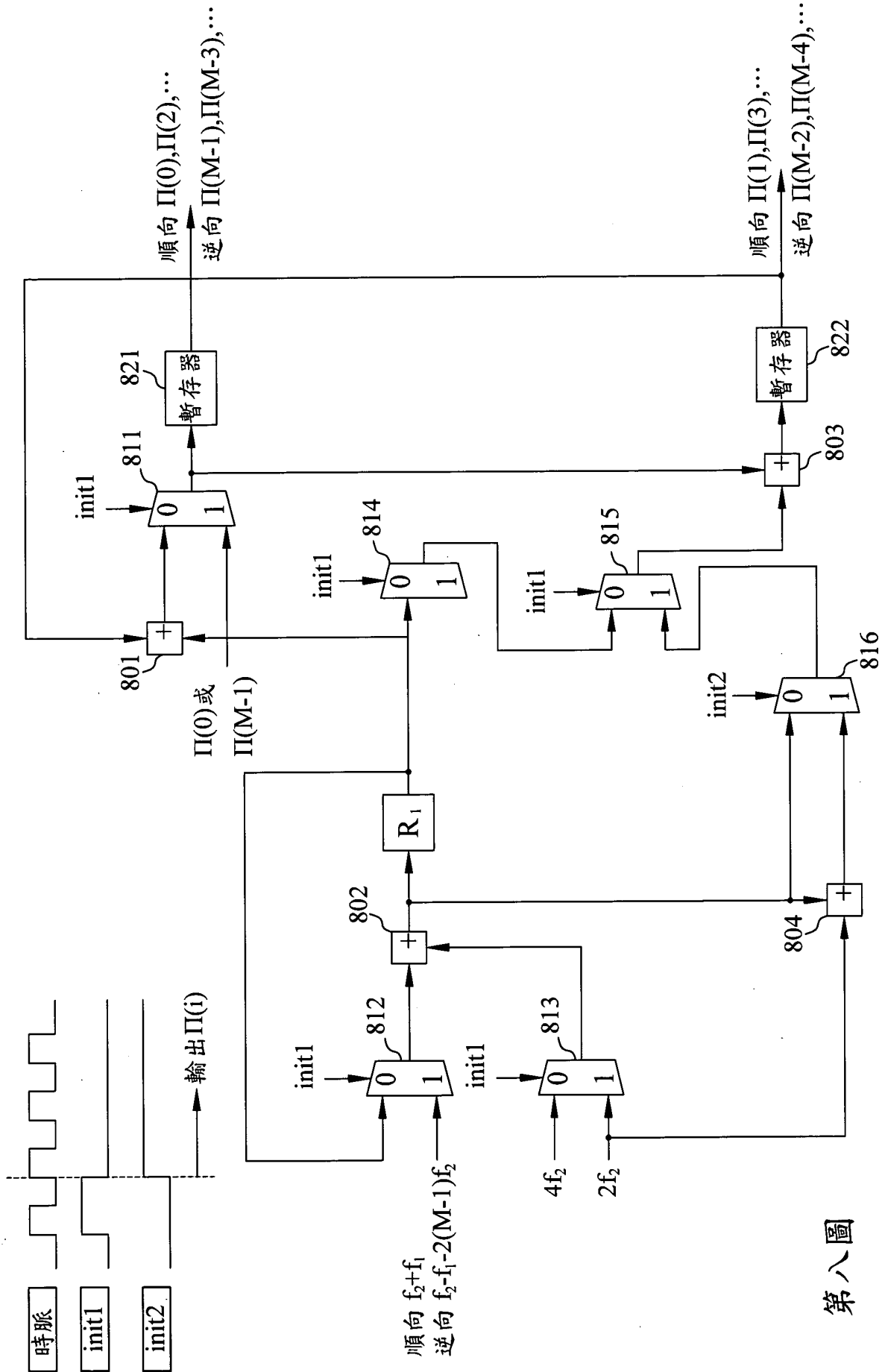
第六圖

第七A圖

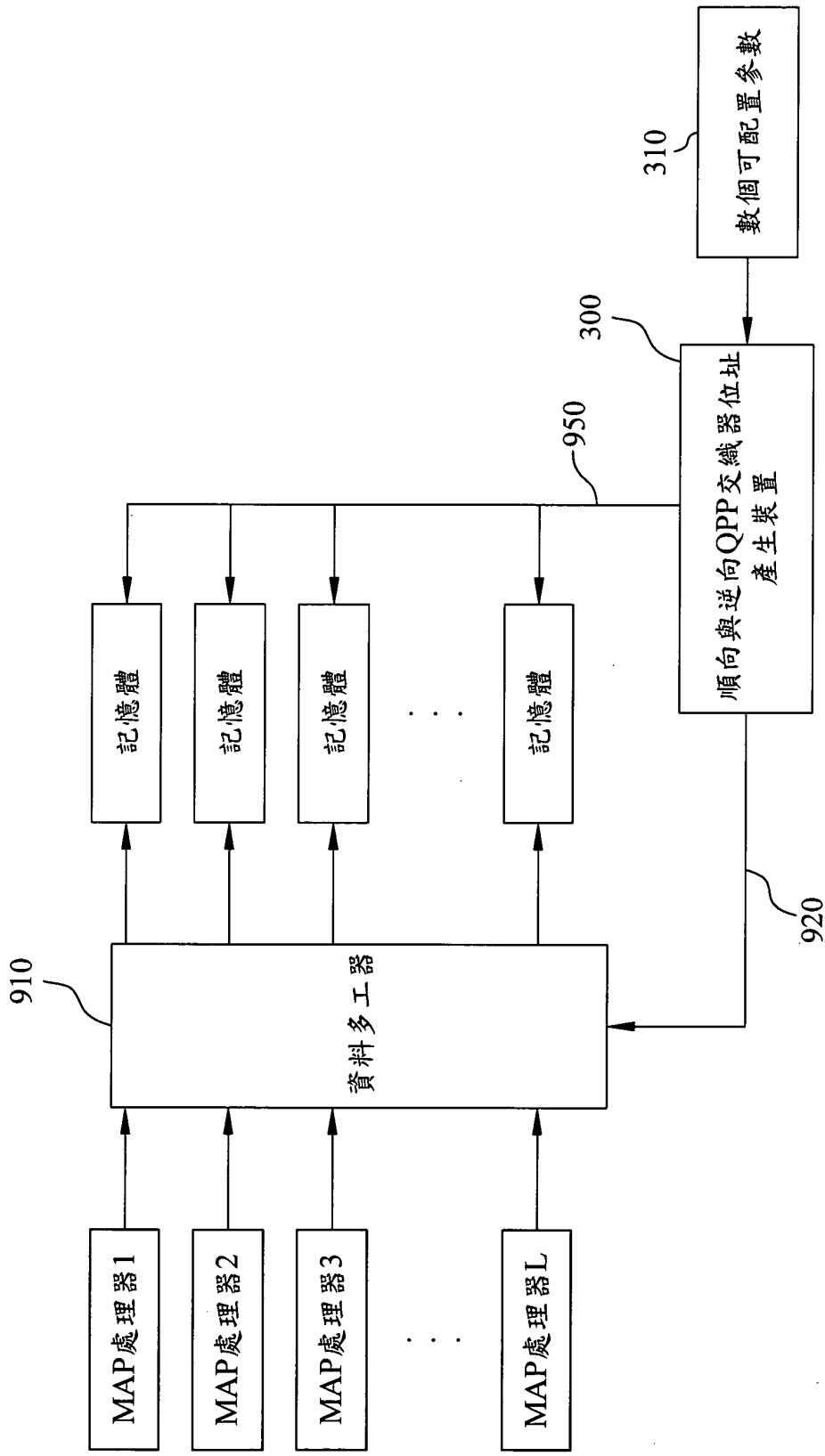




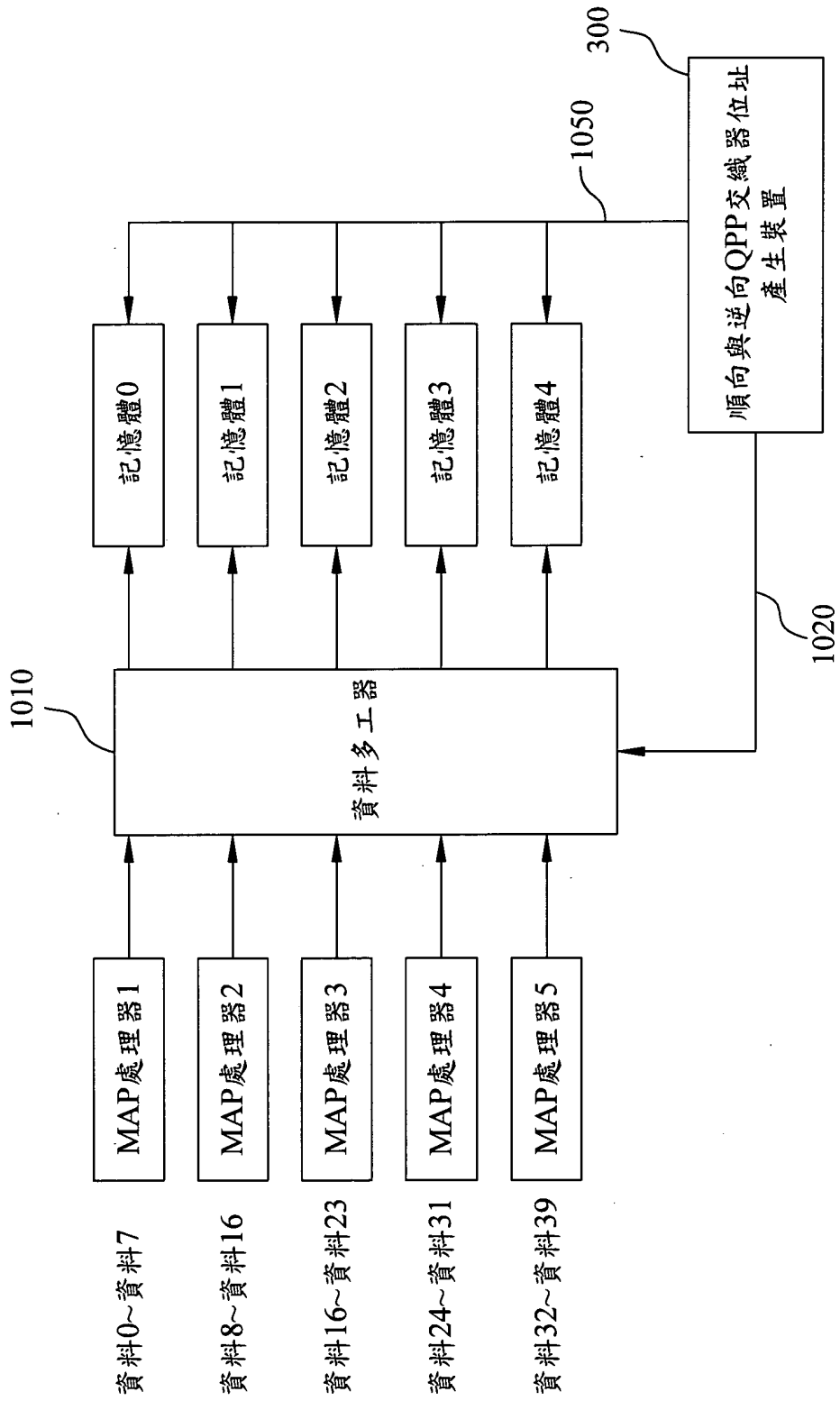
第七B圖



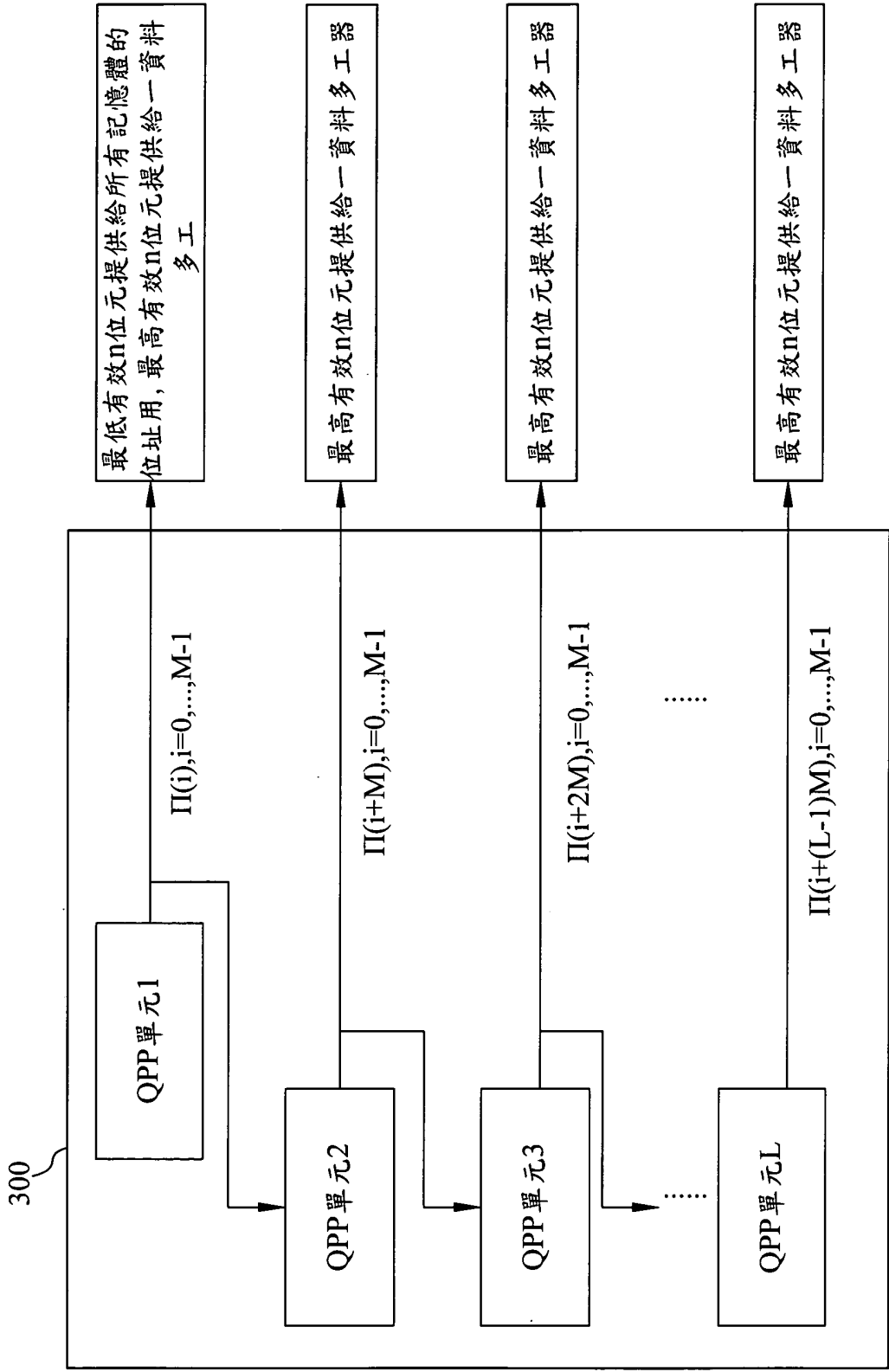
第八圖



第九圖



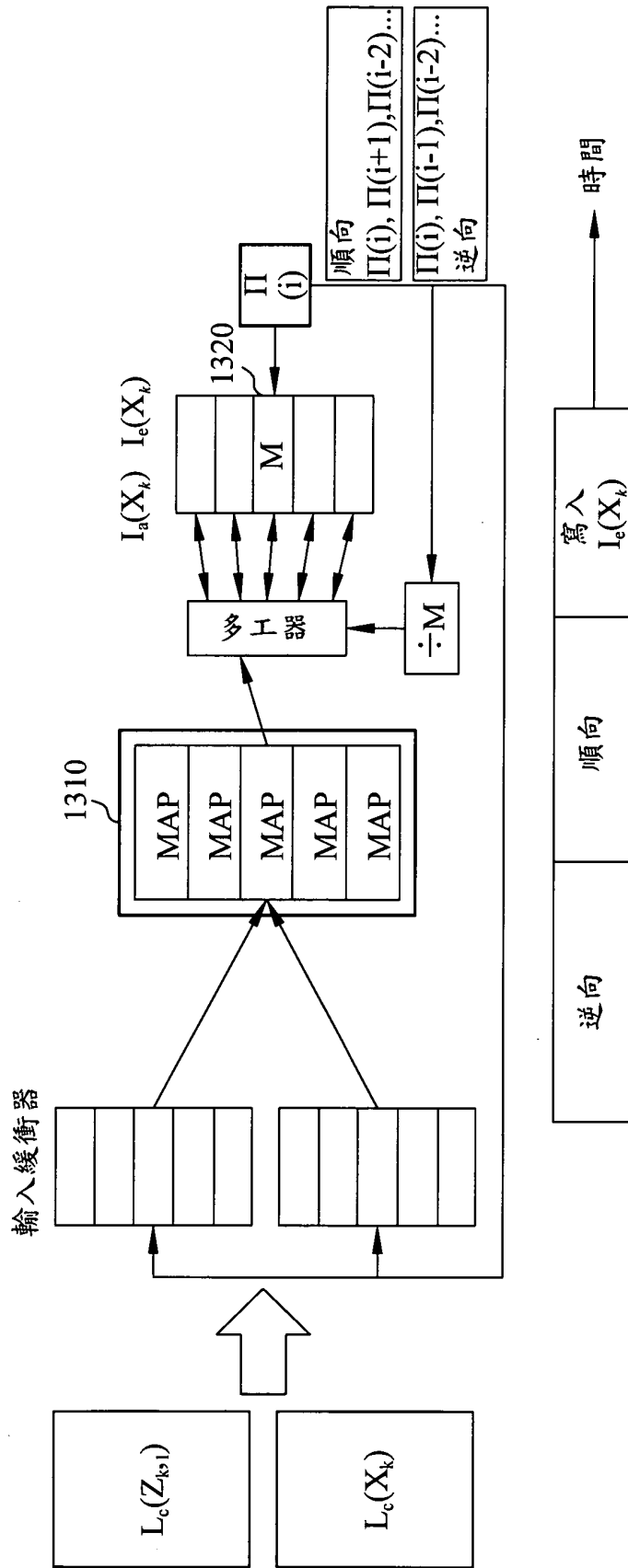
第十圖



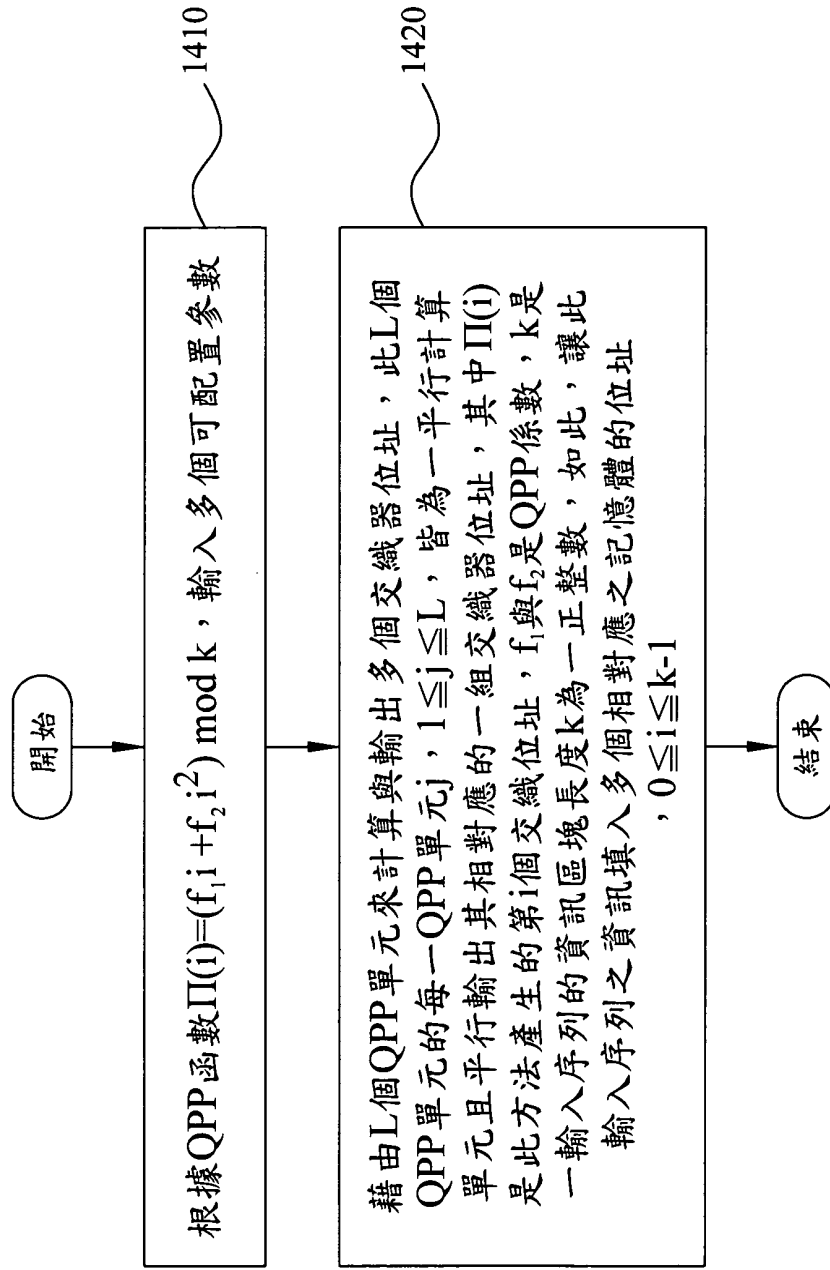
第十一圖

資料指標		交織器位址	MAP處理器	二位元	最低有效3位元 (記憶體位址)	最高有效3位元	記憶體
0	0	$\Pi(0)=0$	1	000000	000	000	0
8		$\Pi(0+8)=24$	2	011000	000	011	3
16		$\Pi(0+16)=8$	3	001000	000	001	1
24		$\Pi(0+24)=32$	4	100000	000	100	4
32		$\Pi(0+32)=16$	5	010000	000	010	2
1	1	$\Pi(1)=3$	1	001101	101	001	1
9		$\Pi(9)=37$	2	100101	101	100	4
17		$\Pi(17)=21$	3	010101	101	010	2
25		$\Pi(25)=5$	4	000101	101	000	0
33		$\Pi(33)=29$	5	011101	101	011	3
∴	∴	∴	∴	∴	∴	∴	∴

第十二圖



第十三圖



第十四圖