

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號： 96103403

※申請日期： 96.1.30

※IPC 分類：

H03M1/18

一、發明名稱：(中文/英文)

自我校正之低功率高速類比數位轉換器

A PRECISELY SELF-CALIBRATING, LOW POWER AND HIGH
SPEED ANALOG TO DIGITAL CONVERTER

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

國立交通大學/NATIONAL CHIAO TUNG UNIVERSITY

代表人：(中文/英文)(簽章)張俊彥/CHANG CHUN-YEN

住居所或營業所地址：(中文/英文)

新竹市大學路 1001 號/No. 1001 Dasyue Road, Hsinchu, Taiwan, R.O.C.

國籍：(中文/英文) 中華民國/TW

三、發明人：(共 3 人)

姓名：(中文/英文)

蘇朝琴/SU CHAU CHIN

呂鴻文/LU HUNG WEN

紀順閔/CHI SHUN MIN

國籍：(中文/英文)

中華民國/TW

中華民國/TW

中華民國/TW

四、聲明事項：

主張專利法第二十二條第二項第一款或第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

一種自我校正之低功率高速類比數位轉換器，利用三態反相器改變長寬比 (aspect ratio) 可以微調臨界電壓 (V_{th}) 的特性，當作比較器，其開關可經由適當的控制，選擇最適當的臨界電壓當比較器，而且減少不必要的功率消耗。由三態反相器所組成的多工器，將比較器輸出的訊號放大，並將不必要的通道關閉，減少功率消耗。

六、英文發明摘要：

In this invention, the aspect ratios of tri-state inverters are adjusted to fine tune threshold voltage as comparators. And the multiplexers composed of tri-state inverters amplify the signal from the output of comparators. Their switches of tri-state inverters may be properly controlled to select the optimal channels and reduce unnecessary power consumption. The calibration circuitry utilizes under-sampling to calculate the duty cycles of comparators, selecting the optimal comparators and channels. By the way, the invention may avoid process variation.

七、指定代表圖：

(一)、本案代表圖為：第 1 圖

(二)、本案代表圖之元件代表符號簡單說明：

10	類比轉數位電路
111、112、...、11n	比較器陣列電路
121、122、...、12n	通道選取多工器電路
20	校正單元
21	任務週期計算電路
22	通道選取電路
23	位準選取電路
24	校正流程控制電路

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

九、發明說明：

【發明所屬之技術領域】

本發明係有關一種高速傳輸介面，特別是一種高精準度自我校正之低功率高速類比數位轉換器，可以使用在各種高速有線/無線接收器系統或電路測試和量測系統。

【先前技術】

目前類比數位轉換器使用在各種的消費性產品中，尤其是那些需要將類比訊號轉換成數位訊號，以便於後續由中央處理器作快速運算，這些產品包括無線通訊裝置、手機、手持式電子設備等等。然而類比數位轉換器在正常運作下，常常會消耗掉相當之電力，因此，若是使用在由本身供電之手持式電子設備時，各個電子元件的功率消耗因素就必須考慮進去。

習知一種傳統型高速類比數位轉換器，利用電阻串分壓的原理，個別連接到每個比較器的其中一個固定輸入端當成不同的參考電壓，另一個輸入端則為類比訊號輸入，在比較器的輸出端會出現比較參考電壓和類比輸入訊號而產生的數位訊號。其一般眾所周知的缺點是電阻和比較器面積比較大，而且容易受半導體製程的影響，產生不對稱的電阻而影響到電性，例如線性度 (linearity)，偏差電壓 (offset voltage) 等；加上每增加一個位元數的解析度 (即 2 倍)，電阻和比較器的數量則以等比級數迅速增加，其面積和所消耗的功率極為可觀；以功率而言，一個 6 位元的類比數位轉換器操作在 1GSPS，一般都在數百個毫瓦特(mW)以上。

美國專利 US5,237,326 揭露一種利用 MOS 長寬比 (aspect ratio) 來微調當作比較器，比較器輸出端連接兩個串接的反相器，作

為逐級放大的效果。這樣的缺點是容易受製程變異和溫度的影響，而且在高頻操作下，會產生很大的動態電流。

另外，由 Jincheol Yoo 所發表之「A 1-GSPS CMOS Flash A/D Converter for System-on-Chip Application」，其應用原理和美國專利 US5,237,326 相似，係利用反相器的電壓轉換特性曲線的原理，藉由微調 P 型金屬氧化半導體 (PMOS) 和 N 型金屬氧化半導體 (NMOS) 的面積比例，以產生不同門檻電壓或稱臨界電壓 (threshold voltage / V_{th}) 的反相器來當作比較器，可以大量減少面積和功率消耗，並達到高速的效能。但是其主要缺點是：(A) 很容易受製程變異和溫度的影響，導致電性上的誤差；(B) 由於訊號操作在臨界電壓附近，所以反相器會有很大的動態電流，這種現象尤其在高頻操作的狀況下更為嚴重。

【發明內容】

為了解決上述之問題，本發明之一實施例提供一種用於高速介面之類比數位轉換器及脈衝振幅調變接收器 (Pulse Amplitude Modulation receiver) 的方法，主要精神在於利用三態反相器改變長寬比可以微調臨界電壓的特性，在接收端前端電路放置多個不同臨界電壓的三態反相器，並經由適當的控制，選擇一合適臨界電壓的三態反相器當做比較器，如此可減少不必要的功率消耗。

本發明之一實施例提供一種低功率高速類比數位轉換器，其係在不同臨界電壓的三態反相器之後，連接著一多工器，為了是產生一信號路徑使特定臨界電壓的比較器的訊號能輸出到類比數位轉換器的輸出，同時也將比較器輸出的訊號予以放大，整合信號放大與路徑選擇的功能可使電路架構較為緊密，避免未使用通道的功率消耗。

本發明之一實施例提供一種高速介面之類比數位轉換器，其使用之多工器是由多個 2 對 1 的多工器 (MUX) 以樹狀疊加而成，每一 2 對 1 的多工器是由兩個三態反相器所組成，其輸出端各連接一組由電阻和三態反相器所構成的電感性增益元件 (Inductive peaking components)，可增加反相器傳輸頻寬。

本發明之一實施例提供一種高精準度自我校正之類比數位轉換器，其係針對此類比數位轉換電路設計一校正電路裝置，主要精神在於輸入信號經由不同臨界電壓的比較器的輸出信號任務週期 (Duty cycle) 會改變，我們可以由任務週期的值去反推出比較器的臨界電壓值，更進一步地，我們可以選取最適當的通道與比較器電路，輸出值的任務週期透過非同步次取樣 (Asynchronous sampling) 的方式得到，透過校正電路，可避免半導體製程變異的影響選取合適的臨界電壓準位。

為達到上述目的，本發明之一實施例提供一種類比數位轉換器，包括：數個比較器陣列電路接收一輸入訊號資料，每一比較器陣列電路輸出複數個類比訊號；及數個通道選取多工器電路分別對應及連接比較器陣列電路並接收類比訊號，最後每一通道選取多工器電路輸出一數位訊號。

另外，本發明之另一實施例提供一種自我校正之低功率高速類比數位轉換器，包括：一類比數位轉換單元包括：複數個比較器陣列電路接收一輸入訊號，每一比較器陣列電路包括複數個比較器，且每一比較器對應一臨界電壓並可輸出一數位訊號；及複數個通道選取多工器電路分別對應及連接比較器陣列電路，每一通道選取多工器電路連接每一比較器陣列電路，並接收每一比較器輸出之數位訊號，最後每一通道選取多工器電路輸出一全幅之數位訊號；以及一校正單元連接類比數位轉換單元包括：一任務週期計算電路連接通道選取多工器電路之輸出端並對數位訊號取樣得到數位訊號的任務週期值；一通道

選取電路連接任務週期計算電路及通道選取多工器電路，控制其中一通道選取多工器電路，將比較器陣列電路之臨界電壓對應到任務週期值，直到所有通道都被切換過，此時比較器陣列電路產生一最佳比較器，以完成比較器陣列電路之臨界電壓的校正；一位準選取電路連接不同通道選取多工器電路、任務週期計算電路及通道選取電路，並逐一完成比較器陣列電路的校正，使每一比較器陣列產生一最佳比較器；及一校正流程控制電路連接任務週期計算電路、通道選取電路及位準選取電路以控制校正單元之校正流程。

又，本發明之另一實施例提供一種自我校正之低功率高速類比數位轉換器，包括：一類比數位轉換單元包括：數個比較器陣列電路接收一輸入訊號資料，每一比較器陣列電路包括數個比較器，且每一比較器對應一臨界電壓並可輸出一數位訊號；及數個通道選取多工器電路具有數個通道分別對應及連接比較器陣列電路，每一通道選取多工器電路連接每一比較器陣列電路，並接收每一比較器輸出之數位訊號，最後每一通道選取多工器電路輸出一全幅式之數位訊號；以及一校正單元連接類比數位轉換單元，校正單元包括：一任務週期計算電路連接通道選取多工器電路並對數位訊號取樣得到數位訊號的任務週期值；一最小值暫存器儲存一任務週期與理想週期之最小週期差值；一絕對差值比較器連接任務週期計算電路與數位比較器，將任務週期計算電路得到的任務週期與參考任務週期相減並做絕對值運算；一數位比較器連接絕對差值比較器及最小值暫存器，並判斷新的任務週期值與一任務週期理想值的差值是否比目前的最小週期差值接近，最後將最接近的值存入最小值暫存器成為新的最小週期差值，最小週期差值代表一最合適比較器之任務週期值；一通道選取暫存器連接通道選取多工器電路並控制每一比較器之數位訊號通過，其亦連接通道選取計數器與數位比較器以儲存每一通道選取多工器電路之最合適比較器；一通道選取計數器連接通道選取暫存器和通道選取多工器的控制輸入端以控制每一通道選取多工器電路之通道選取，同時

在最小值暫存器的值更新時，通道選取計數器的值也會存入通道選取暫存器內；一位準選取計數器連接通道選取暫存器內的多工器及通道選取計數器，可使校正單元選取每一通道選取多工器電路；及一校正流程控制電路連接任務週期計算電路、通道選取計數器及位準選取計數器以控制校正單元之校正流程。

再者，本發明之另一實施例提供一種類比數位轉換器之自我校正方法，包括：接收一類比數位轉換器輸出之數位訊號，其中類比數位轉換器具有數個比較器陣列電路，且每一比較器陣列電路包括數個比較器；對數位訊號取樣得到數位訊號的任務週期值；對一比較器陣列電路中之每一比較器重複取得任務週期值，並比較出一與理想週期值最近之最佳比較器；對數個比較器陣列電路選出其最佳比較器；最後輸出校正後之數位訊號。

【實施方式】

本發明提出一種低功率高速類比數位轉換器（Analog to Digital Converter, ADC）與其對應的自我校正電路（ADC calibration circuit）。

第 1 圖為根據本發明一實施例之低功率高速類比數位轉換器之架構示意圖。一類比轉數位電路 10 包括數個以並聯的方式排列之比較器陣列（comparator array）電路 111、112、...、11n 及數個相對應之通道選取多工器（channel select MUX）電路 121、122、...、12n 連接比較器陣列電路 111、112、...、11n 之輸出端並接收訊號，類比轉數位電路 10 作用在於將高速類比訊號轉換成數位訊號，最後通道選取多工器電路 121、122、...、12n 輸出端 D1、D2、...、DN 之數位訊號傳送至一校正單元 20。

每一比較器陣列電路 111、112、...、11n 是由許多不同臨界電壓的比較器電路以並聯的方式組成，且每一比較器電路由三態反相器

(tri-state inverter) 與電感性負載元件 (Inductive load) 組成 (圖中未示), 如第 2 圖所示為本發明一實施例之單一比較器陣列以及其相對應之電壓轉換特性圖。比較器陣列電路 111 是由數個比較器電路 1111、1112、1113、1114、...、111(N-1)、111N 以並聯的方式組成, 且相對應之臨界電壓分別為 V_{th0} 、 V_{th1} 、 V_{th2} 、 V_{th3} 、...、 $V_{th(N-1)}$ 、 V_{thN} , 所以比較器電路 1111、1112、1113、1114、...、111(N-1)、111N 輸出之數位訊號為一直流偏壓準位。

在一實施例中, 三態反相器架構示意圖如第 3A 圖所示, 三態反相器具有一臨界電壓, 包括: 一 P 型半導體元件 M2 之閘極連接訊號輸入端 In; 一 N 型半導體元件 M3 之閘極連接輸入端 In; 一 P 型半導體元件 M1 之閘極連接一反向器 M5 輸出端; 一 N 型半導體元件 M4 之閘極連接一致能輸入端; 及一反向器 M5, 其位於致能輸入端 (enable) 及第二 P 型半導體元件之間; 其中, 各半導體元件串接在一起, 最後連接一訊號輸出端 Out。調整 M2/M3 的長寬比例 (aspect ratio) 可改變臨界電壓 (threshold voltage / V_{th}), 其 M2 及 M3 的電壓轉換圖形如第 3B 圖所示, 可依不同長寬比而調成 4 個不同之臨界電壓 V_{th1} 、 V_{th2} 、 V_{th3} 及 V_{th4} , 所以在其他之實施例中, 比較器的臨界電壓也會隨著製程改變, 以適合不同的應用。

根據上述, 三態反相器改變長寬比可以微調臨界電壓 (V_{th}) 的特性, 作為比較器使用, 其開關可經由適當的控制, 選擇最適當的臨界電壓之比較器, 可減少不必要的功率消耗。

第 4A 圖所示為根據本發明之一實施例之比較器電路之各元件示意圖, 比較器電路包括一具有一臨界電壓之三態反相器 31, 及一電感性負載元件 32, 電感性負載元件是由一個反相器 321 與一個傳輸閘 322 組成。電感性負載元件 32 連接三態反相器 31, 其作用在於: 第一, 降低增益以換取頻寬的延展; 第二, 輸出點產生電感性負載效果, 增加操作頻寬; 第三, 提供合適的輸出直流偏壓準位。第 4B 圖

為第 4A 圖之比較器詳細電路示意圖，其頻寬延展之增益變化如第 5 圖所示，本發明之增益變化曲線 C2 比傳統技術產生之曲線 C1 明顯增益降低，且操作頻寬亦從 Ft1 增加至 Ft2，如此可提供合適的輸出直流偏壓準位。

根據上述，比較器陣列電路的輸出端連接到通道選取多工器電路輸入端，在一實施例中，第 6A 圖所示是一個 8 對 1 多工器的實施例，例如通道選取多工器電路 121 的架構由數個二對一多工器 A1、A2、A3、A4、A5、A6 及 A7，所堆疊組成，通道選取多工器電路的作用有二：第一，可以選取不同的比較器，得到不同的臨界電壓；第二，透過多級式的多工器將信號增益振幅逐級放大 (Gain boosting)，使得信號在經過多工器後能變成全幅式信號 (full swing)。請同時參閱第 6B 圖所示為訊號電壓曲線圖，當訊號經過 A 界線時其電壓變化曲線為 A'，訊號經過 B 界線時其電壓變化曲線為 B'，訊號經過 C 界線時其電壓變化曲線為 C'，訊號經過 D 界線時其電壓變化曲線為 D'。二對一多工器亦是由三態反相器組成，如第 6C 圖所示。二對一多工器操作頻寬需與比較器相同以避免內部信號干擾 (Inter symbol interference, ISI) 的效果，因此也採用與比較器相同的架構。另外，本發明將電感性增益 (Inductive peaking) 三態反相器的致能開關 (Enable switch) 和多工器內的下一級三態反相器的致能開關相連接，以適當的開關來節省功率消耗。

再參閱第 1 圖之校正電路 20，其連接類比數位轉換單元，包括：任務週期計算電路 21 連接通道選取多工器電路 121、122、...、12n 輸出端 D1、D2、...、DN，並對數位訊號取樣得到其任務週期值；一通道選取電路 22 連接任務週期計算電路 21 及通道選取多工器電路 121、122、...、12n，控制其中一通道選取多工器電路，將所對應之比較器陣列電路之臨界電壓對應到任務週期值，直到所有通道都被切換過，此時比較器陣列電路產生一最佳比較器，以完成比較器陣列電路之臨界電壓的校正；一位準選取電路 23 連接任務週期計算電路 21

及通道選取電路 22，並逐一完成全部比較器陣列電路 111、112、...、11n 的校正，使每一比較器陣列電路產生一最佳比較器；以及一校正流程控制電路 24 連接任務週期計算電路 21、通道選取電路 22 及位準選取電路 23 以控制校正單元 20 之校正流程。

第 7 圖所示為本發明一自我校正之低功率高速類比數位轉換器之另一實施例電路架構示意圖。自我校正之低功率高速類比數位轉換器包括：一類比數位轉換單元 50，其包括：數個比較器陣列電路 511、512、...、51n，其接收一輸入訊號資料，每一比較器陣列電路包括數個比較器，且每一比較器對應一臨界電壓並可輸出一數位訊號；另有複數個通道選取多工器電路 521、522、...、52n，其分別對應及連接比較器陣列電路 511、512、...、51n，每一通道選取多工器電路連接一比較器陣列電路，並接收比較器輸出之數位訊號，最後每一通道選取多工器電路輸出一全幅式之數位訊號；其中，每一比較器陣列電路 511、512、...、51n 是由許多不同臨界電壓的比較器電路以並聯的方式組成，且每一比較器電路由三態反相器與電感性負載元件組成。

校正單元 60 連接類比數位轉換單元，包括：任務週期計算電路 (Duty cycle estimation circuit) 611、數位比較器 (Digital comparator) 612、最小值暫存器 (Minimum register) 613、絕對差值比較器 (Absolute offset comparator) 614、通道選取暫存器 (Channel selector register) 621、通道選取計數器 (Channel select counter) 622、位準選取計數器 (Level select counter) 630 及校正流程控制電路 (Calibration controller) 640。

任務週期計算電路 611 連接通道選取多工器電路 521、522、...、52n 並對數位訊號 D1、D2、...、DN 取樣得到數位訊號的任務週期值；最小值暫存器 613 儲存一任務週期與理想週期之最小週期差值；一絕對差值比較器 614 連接任務週期計算電路 611 與數位比較器 612，將任務週期計算電路 611 得到的任務週期與參考任務週期相減並做絕對

值運算；數位比較器 612 連接絕對差值比較器 614 及最小值暫存器 613，並將任務週期值與理想任務週期值的絕對差值及最小週期差值比較，最後將較小的值存入最小值暫存器 613 成為暫時之最小週期值，此最小週期值代表一最合適比較器之任務週期值；通道選取暫存器 621 連接通道選取多工器電路 521、522、...、52n 並控制每一比較器之數位訊號通過，其亦連接最小值暫存器 613 以儲存每一通道選取多工器電路之最佳比較器；通道選取計數器 622 連接通道選取暫存器 613 和通道選取多工器的控制輸入端以控制每一通道選取多工器電路 521、522、...、52n 之通道選取，同時在最小值暫存器的值更新時，通道選取計數器 622 的值也會存入通道選取暫存器內；位準選取計數器 630 連接通道選取計數器 622 及通道選取暫存器內的多工器 6211、6212、...、621n 和多工器電路 651、652，可使校正單元 60 選取每一通道選取多工器電路；以及校正流程控制電路 640 連接任務週期計算電路 611、通道選取計數器 622 及位準選取計數器 630 以控制校正單元 60 之校正流程。

上述校正單元 60 採用臨界電壓調變的概念，也就是相同輸入信號經過不同的臨界電壓後的輸出資料有不同的任務週期 (duty cycle) 的特性。如第 8 圖所示為根據本發明之一實施例之輸入三角波，臨界電壓與輸出信號任務周期之關係，AA 區中之輸入三角波以不同之位準 V_{th1} 、 V_{th2} 、 V_{th3} 、 V_{th4} 、 V_{th5} 、 V_{th6} 進入一比較器陣列電路 711 的數個比較器中，其輸出如 BB 區中之波形，輸出資料之表示則如 CC 區的資料形式，其所計算而得之任務週期如 DD 區之表示，最後每一比較器之取樣輸出之意義表示為 0%~100%，即取樣為 1 的次數與取樣為 0 的次數之比例，由此得知輸出信號任務週期的比例可以對應到未知臨界電壓在輸入訊號中所佔比例。在一實施例中，一輸入信號為四準位調變信號 (4-level Pulse Amplitude Modulation / 4-PAM)，如第 9 圖所示為輸入 4PAM 信號，臨界電壓與輸出信號任務周期之處理過程示意圖，四個準位兩兩的中間信號是最佳臨界準

位，而三個臨界準位所對應的理想任務週期分別設為 75%、50%、25%。因此本發明所提出校正電路的主要精神是找出不同比較器的任務週期，從不同任務週期中，判斷最合適的比較器。

根據上述，依比較器的輸出特性，會得到不同任務週期之數位輸出，其任務週期的比例即為臨界電壓在其輸入訊號中所佔比例。經過多次的隨機取樣，就可以得出通道或者比較器精確的任務週期。

請參閱第 10 圖所示為本發明一實施例之臨界準位校正之流程步驟示意圖。請同時參閱第 7 圖之電路架構示意圖，一個類比轉數位電路裡面有許多比較器陣列電路 511、512、...、51n，對應到不同臨界電壓的校正，要完成一個類比轉數位電路的校正，有下列步驟：步驟 S11 開始類比轉數位電路校正，一個參考臨界電壓的校正工作開始，步驟 S12 重置位準選取計數器，將位準選取計數器 630 做重置 (reset) 的動作；步驟 S13 開始參考臨界電壓校正，校正流程控制電路 640 透過位準選取計數器 630 依序選取通道選取多工器 521、522、...、52n 與比較器陣列電路 511、512、...、51n，得到一個比較器陣列的任務週期值並進行判斷；步驟 S14 結束參考臨界電壓校正；步驟 S15，將位準選取計數器 630 累進計數；步驟 S16，校正流程控制電路 640 檢視位準選取計數器 630 有無發生溢位；步驟 S17，位準選取計數器 630 若發生溢位，代表一個類比轉數位電路裡面所有比較器陣列內都完成臨界電壓的校正工作，也就是完成了一個類比轉數位電路的校正工作，結束類比轉數位電路校正，若沒有發生溢位，代表仍有比較器陣列尚未完成校正工作，跳至步驟 S13 繼續參考臨界電壓校正。要得到 N 位元的類比轉數位電路時，需要做 $2^N - 1$ 次臨界準位校正，例如一個 2 位元的實施例，有三個比較器陣列需要校正到三個不同的臨界電壓準位。

請參閱第 11 圖所示為本發明參考臨界電壓校正之流程步驟示意圖。請同時參閱第 7 圖之電路架構示意圖，一個比較器陣列電路，

例如 511，裡面有許多不同臨界電壓，對應到不同的任務週期值，要完成一個參考臨界電壓的校正，在第 10 圖步驟 S13 與 S14 之間，包括：步驟 S131 暫存器重置 (reset)，一個參考臨界電壓的校正工作開始，校正流程控制電路 640 需要先將最小值暫存器 613 與通道選取暫存器 (圖中未示) 做重置的動作；步驟 S132 計算任務週期值，透過通道選取計數器 622 依序選取比較器，得到一個比較器的任務週期值並進行判斷；步驟 S133 結束任務週期值計算；步驟 S134 將通道選取計數器 622 累進計數；步驟 S135 校正流程控制電路 640 檢視通道選取計數器 622 有無發生溢位，若發生溢位，執行步驟 S14 結束參考臨界電壓校正，代表一個比較器陣列電路 511 內所有比較器都完成計算與判斷，也就完成了一個參考臨界電壓的校正工作，若沒有發生溢位，代表校正工作尚未完成，跳至步驟 S132 繼續計算任務週期值。一個通道計數數目為 8 的比較器陣列之實施例如第 11A 圖所示，通道選取多工器 521 由數個多工器疊加而形成 8 個通道 ch1、ch2、ch3、ch4、ch5、ch6、ch7 及 ch8，每個通道皆由通道選取計數器 622 控制，以計算比較器陣列電路 511 中各個比較器的任務週期值。

第 12 圖所示為本發明計算比較器的任務週期值之流程步驟示意圖，請同時參閱第 7 圖之電路架構示意圖。步驟 S132 開始計算任務週期，步驟 S321 計算訊號之任務週期，任務週期計算電路 611 利用非同步次取樣 (asynchronous under sampling)，經過固定取樣週期後，根據取樣出來 1 與 0 的比例得到訊號的任務週期；步驟 S322 差值計算，絕對差值比較器 614 把得到的任務週期值減去任務週其理想值 (Reference Duty cycle / Ref. Duty) 再取絕對值，目的是得到兩數值的距離，數值越小代表越接近理想，也就是越合適的比較器；步驟 S323 比較最小值，將之前最合適的值儲存在“最小值暫存器 613”裡，本次得到的任務週期值會與之前得到最合適值做比較，判斷何者較小；步驟 S324 若是最小值暫存器 613 中的值較大，則本次所得的值會覆寫到最小值暫存器 613 與通道選取暫存器；步驟 S133，若是先

前的值較小，則不做動作，結束任務週期之計算。上述的過程是針對於比較器的任務週期的計算與判斷是否為較佳比較器的標準。

根據上述，校正裝置經由比較各通道計數所得之次數，取其與理想任務週期次數之絕對差值最小者，作為校正後之最適通道，可以避免比較器因製程或溫度所造成的影響，並將其他沒有選到的通道關閉，以節省功率消耗。另外校正電路不需要額外輸入校正的訊號源，只需要接收一般的訊號源校正即可，且任務週期計算器以非同步次取樣的方式來計算任務週期的比例，可以大幅降低功率消耗。

本校正發明可以看作三層迴圈，第一層迴圈是單一比較器取樣週期的累計，第二層迴圈是單一“比較器陣列電路”內所有比較器的依序判斷，第三層迴圈是 2^N 個臨界電壓的依序校正，即類比轉數位電路內全部“比較器陣列電路”的依序判斷。

請參閱第 13 圖所示為本發明之類比數位轉換器之自我校正方法，包括：步驟 S1 接收數位訊號，接收一類比數位轉換器輸出之數位訊號，類比數位轉換器具有數個比較器陣列電路，且每一比較器陣列電路具有數個比較器；步驟 S2 計算任務週期值，對數位訊號取樣得到數位訊號的任務週期值；步驟 S3 產生一最佳比較器，對一比較器陣列電路中之每一比較器重複取得任務週期值，並比較出一與理想週期值最近之最佳比較器；步驟 S4 產生全部之最佳比較器，對每一個比較器陣列電路選出其最佳比較器；步驟 S5 最後輸出校正後之數位訊號。

本發明為高速介面之類比數位轉換器和校正裝置，可自動選取最佳的比較器，以及用非同步次取樣（under-sampling）的方式來實現精確的校正功能，並大幅降低高速傳輸的功率消耗。主要解決傳統型類比數位轉換器的功率消耗，製程變異所影響的電性誤差。

綜合上述，本發明利用簡單的架構，達到高速的效能，大幅降低高速傳輸的功率消耗，不受製程變異所影響。

以上所述之實施例僅係為說明本發明之技術思想及特點，其目的在使熟習此項技藝之人士能夠瞭解本發明之內容並據以實施，當不能以之限定本發明之專利範圍，即大凡依本發明所揭示之精神所作之均等變化或修飾，仍應涵蓋在本發明之專利範圍內。

【圖式簡單說明】

第 1 圖為根據本發明之一實施例之低功率高速類比數位轉換器之架構示意圖。

第 2 圖為根據本發明之一實施例之比較器陣列電路以及其相對應之電壓轉換特性圖。

第 3A 圖為根據本發明之一實施例之三態反相器架構示意圖。

第 3B 圖為根據本發明之一實施例之三態反相器電壓轉換圖形。

第 4A 圖為根據本發明之一實施例之比較器電路之各元件示意圖。

第 4B 圖為第 4A 圖之比較器詳細電路示意圖。

第 5 圖為第 4A 圖之比較器之頻寬延展之增益變化圖。

第 6A 圖為根據本發明之一實施例之 8 對 1 多工器的架構示意圖。

第 6B 圖為第 6A 圖之 8 對 1 多工器的訊號電壓曲線圖。

第 6C 圖為第 6A 圖之比較器詳細電路對照示意圖。

第 7 圖為根據本發明之另一實施例之自我校正之低功率高速類比數位轉換器的電路架構示意圖。

第 8 圖為根據本發明之一實施例之輸入三角波，臨界電壓與輸出

信號任務周期之關係。

第 9 圖為根據本發明之一實施例之輸入 4PAM 信號，臨界電壓與輸出信號任務周期之處理過程示意圖。

第 10 圖為本發明之一實施例之臨界準位校正之流程步驟示意圖。

第 11 圖為本發明之一實施例之參考臨界電壓校證之流程步驟示意圖。

第 11A 圖為本發明之一實施例之通道計數數目為 8 的比較器陣列示意圖。

第 12 圖為本發明之一實施例之計算比較器的任務週期值之流程步驟示意圖。

第 13 圖為本發明之一實施例之類比數位轉換器之自我校正方法。

【主要元件符號說明】

10	類比轉數位電路
111、112、...、11n	比較器陣列電路
1111、1112、1113、1114、...、111(N-1)、111N	比較器電路
121、122、...、12n	通道選取多工器電路
20	校正單元
21	任務週期計算電路
22	通道選取電路
23	位準選取電路
24	校正流程控制電路
31	三態反相器

32	電感性負載元件
321	反相器
322	傳輸閘
50	類比數位轉換單元
511、512、...、51n	比較器陣列電路
521、522、...、52n	通道選取多工器電路
60	校正單元
611	任務週期計算電路
612	數位比較器
613	最小值暫存器
614	絕對差值比較器
621	通道選取暫存器
6121、6122、...、612n	多工器
622	通道選取計數器
630	位準選取計數器
640	校正流程控制電路
651、652	多工器
711	比較器陣列電路
S11-S17	步驟
S131-S135	步驟
S321-S324	步驟
S1-S5	步驟
A1、A2、A3、A4、A5、	多工器
A6、A7	
D1、D2、...、DN	輸出端

十、申請專利範圍：

1. 一種類比數位轉換器，包括：

複數個比較器陣列電路，其接收一輸入訊號資料，每一該比較器陣列電路輸出複數個類比訊號；及

複數個通道選取多工器電路，其分別對應及連接該些比較器陣列電路並接收該些類比訊號，最後每一該通道選取多工器電路輸出一數位訊號。

2. 如請求項 1 所述之類比數位轉換器，其中該些比較器陣列電路是以並聯的方式排列。

3. 如請求項 1 所述之類比數位轉換器，其中該輸入訊號為一類比訊號。

4. 如請求項 1 所述之類比數位轉換器，其中該些數位訊號為一直流偏壓準位。

5. 如請求項 1 所述之類比數位轉換器，其中每一該比較器陣列電路包括複數個比較器電路，並以並聯的方式排列。

6. 如請求項 5 所述之類比數位轉換器，其中每一該比較器電路包括：

一三態反相器，其具有一臨界電壓；及

一電感性負載元件，其連接該三態反相器以產生電感性負載效果，該電感性負載元件包括一反相器與一傳輸閘。

7. 如請求項 6 所述之類比數位轉換器，其中該三態反相器包括：

一第一 P 型半導體元件，其閘極連接一輸入端；

一第一 N 型半導體元件，其閘極連接該輸入端；

一第二 P 型半導體元件，其閘極連接一反向器輸出端；

一第二 N 型半導體元件，其閘極連接一致能輸入端；及

一反向器，其位於該致能輸入端及該第二 P 型半導體元件之間，

其中該第一 P 型半導體元件、該第一 N 型半導體元件、該第二 P 型半導體元件及該第二 N 型半導體元件系串接在一起，並連接一輸出端。

8.如請求項 1 所述之類比數位轉換器，其中每一該通道選取多工器電路係由數個 2 對 1 多工器疊加而成，可使每一該比較器陣列電路之該些比較器電路都具有一獨立之訊號傳輸通道，且每一該訊號傳輸通道之輸入訊號位準與相鄰之訊號傳輸通道部分重疊，且經數個邏輯閘分別共同連接該些比較器陣列電路之輸出端。

9.一種自我校正之低功率高速類比數位轉換器，包括：

一類比數位轉換單元，其接收一輸入訊號並將其分割成複數個通道，該類比數位轉換單元包括：

複數個比較器陣列電路，其接收一輸入訊號，每一該比較器陣列電路包含複數個比較器，且每一該比較器對應一臨界電壓並可輸出一數位訊號；及

複數個通道選取多工器電路，其分別對應及連接該些比較器陣列電路，每一該通道選取多工器電路連接每一比較器陣列電路，並接收每一該比較器輸出之數位訊號，最後每一該通道選取多工器電路輸出一全幅之數位訊號；以及

一校正單元，其係連接該類比數位轉換單元，該校正單元包括：

一任務週期計算電路，連接該些通道選取多工器電路之輸出端並對該數位訊號取樣得到該數位訊號的任務週期值；

一通道選取電路，其連接該任務週期計算電路及該些通道選取多工器電路，控制其中一通道選取多工器電路，將該比較器陣列電路之臨界電壓對應到該任務週期值，直到每一該通道都被切換過，此時該比較器陣列電路產生一最佳比較器，以完成該比較器陣列電路之臨界電壓的校正；

一位準選取電路，其連接該任務週期計算電路及該通道選取電路，並逐一完成該些比較器陣列電路的校正，使每一該比較器陣列產生一最佳比較器；及

一校正流程控制電路，其係連接該任務週期計算電路、該通道選取電路及該位準選取電路以控制該校正單元之校正流程。

10.如請求項 9 所述之自我校正之低功率高速類比數位轉換器，其中該些比較器陣列電路係以並聯的方式排列。

11.如請求項 9 所述之自我校正之低功率高速類比數位轉換器，其中該輸入訊號為一類比訊號。

12.如請求項 9 所述之自我校正之低功率高速類比數位轉換器，其中該些數位訊號為一直流偏壓準位。

13.如請求項 9 所述之自我校正之低功率高速類比數位轉換器，其中每一該比較器陣列電路包括複數個比較器電路，並以並聯的方式排列。

14.如請求項 13 所述之自我校正之低功率高速類比數位轉換器，其中每一該比較器電路包括：

一三態反相器，其具有一臨界電壓；及

一電感性負載元件，其連接該三態反相器以產生電感性負載效果，該電感性負載元件包括一反相器與一傳輸閘。

15.如請求項 9 所述之自我校正之低功率高速類比數位轉換器，其中每一該通道選取多工器電路係由數個 2 對 1 多工器疊加而成，可使每一該比較器陣列電路之該些比較器電路都具有一獨立之訊號傳輸通道，且每一該訊號傳輸通道之輸入訊號位準與相鄰之訊號傳輸通道部分重疊，且經數個邏輯閘分別共同連接該些比較器陣列電路的輸出端。

16.如請求項 9 所述之自我校正之低功率高速類比數位轉換器，其中對該數位訊號取樣得到該數位訊號的任務週期值是以非同步次取樣的方式來計算任務週期的比例。

17.如請求項 9 所述之自我校正之低功率高速類比數位轉換器，其中該校正單元更包括一驗證輸出介面，具有系統狀態顯示元件，可驗證工作狀態，且該驗證輸出介面可接收通道選取輸出，可得知所選擇之通道。

18.一種自我校正之低功率高速類比數位轉換器，包括：

一類比數位轉換單元，包括：

複數個比較器陣列電路，其接收一輸入訊號資料，每一該比較器陣列電路包含複數個比較器，且每一該比較器對應一臨界電壓並可輸出一數位訊號；及

複數個通道選取多工器電路，其具有數個通道分別對應及連接該些比較器陣列電路，每一該通道選取多工器電路連接每一比較器陣列電路，並接收每一該比較器輸出之數位訊號，最後每一該通道選取多工器電路輸出一全幅式之數位訊號；以及

一校正單元，其係連接該類比數位轉換單元，該校正單元包括：

一任務週期計算電路，其連接該些通道選取多工器電路並對該數位訊號取樣得到該數位訊號的任務週期值；

一最小值暫存器，其儲存一任務週期與理想週期之最小週期差值；

一絕對差值比較器，其連接該任務週期計算電路，將該任務週期計算電路得到的任務週期與參考任務週期相減並做絕對值運算；

一數位比較器，其連接該絕對差值比較器及該最小值暫存器，並判斷該任務週期值與一任務週期理想值的差值是否比該最小週期差值接近，最後將最接近的值存入該最小值暫存器成為該最小週期差值，該最小週期差值代表一最合適比較器之任務週期值；

一通道選取暫存器，其連接該些通道選取多工器電路並控制每一該比較器之數位訊號通過，其亦連接該通道選取計數器與該數位比較器以儲存每一該通道選取多工器電路之最合適比較器；

一通道選取計數器，其連接該通道選取暫存器和該通道選取多工器的控制輸入端以控制每一該通道選取多工器電路之通道選取，同時在該最小值暫存器的值更新時，該通道選取計數器的值也會存入該通道選取暫存器內；

一位準選取計數器，其連接該通道選取暫存器及該通道選取計數器，可使該校正單元選取每一該通道選取多工器電路；及

一校正流程控制電路，其係連接該任務週期計算電路、該通道選取計數器及該位準選取計數器以控制該校正單元之校正流程。

19.如請求項 18 所述之自我校正之低功率高速類比數位轉換器，其中該些比較器陣列電路係以並聯的方式排列。

20.如請求項 18 所述之自我校正之低功率高速類比數位轉換器，其中該輸入訊號為一類比訊號。

21.如請求項 18 所述之自我校正之低功率高速類比數位轉換器，其中該些數位訊號為一直流偏壓準位。

22.如請求項 18 所述之自我校正之低功率高速類比數位轉換器，其中每一該比較器陣列電路包括複數個比較器電路，並以並聯的方式排列。

23.如請求項 22 所述之自我校正之低功率高速類比數位轉換器，其中每一該比較器電路包括：

一三態反相器，其具有一臨界電壓；及

一電感性負載元件，其連接該三態反相器以產生電感性負載效果，該電感性負載元件包括一反相器與一傳輸閘。

24.如請求項 23 所述自我校正之低功率高速類比數位轉換器，其中該三態反相器包括：

一第一 P 型半導體元件，其閘極連接一輸入端；

一第一 N 型半導體元件，其閘極連接該輸入端；

- 一第二 P 型半導體元件，其閘極連接一反向器輸出端；
- 一第二 N 型半導體元件，其閘極連接一致能輸入端；及
- 一反向器，其位於該致能輸入端及該第二 P 型半導體元件之間，

其中，該第一 P 型半導體元件、該第一 N 型半導體元件、該第二 P 型半導體元件及該第二 N 型半導體元件系串接在一起，最後連接一輸出端

25. 如請求項 18 所述之自我校正之低功率高速類比數位轉換器，其中對該數位訊號取樣得到該數位訊號的任務週期值是以非同步次取樣的方式來計算任務週期的比例。

26. 如請求項 18 所述之自我校正之低功率高速類比數位轉換器，其中該校正單元更包括一驗證輸出介面，具有系統狀態顯示元件，可驗證工作狀態，且該驗證輸出介面可接收通道選取輸出，可得知所選擇之通道。

27. 一種類比數位轉換器之自我校正方法，包括：

接收一類比數位轉換器輸出之數位訊號，其中該類比數位轉換器具有複數個比較器陣列電路，且每一該比較器陣列電路包括複數個比較器；

對該數位訊號取樣得到該數位訊號的任務週期值；

對一比較器陣列電路中之每一比較器重複取得任務週期值，並比較出一與理想週期值最近之最佳比較器；

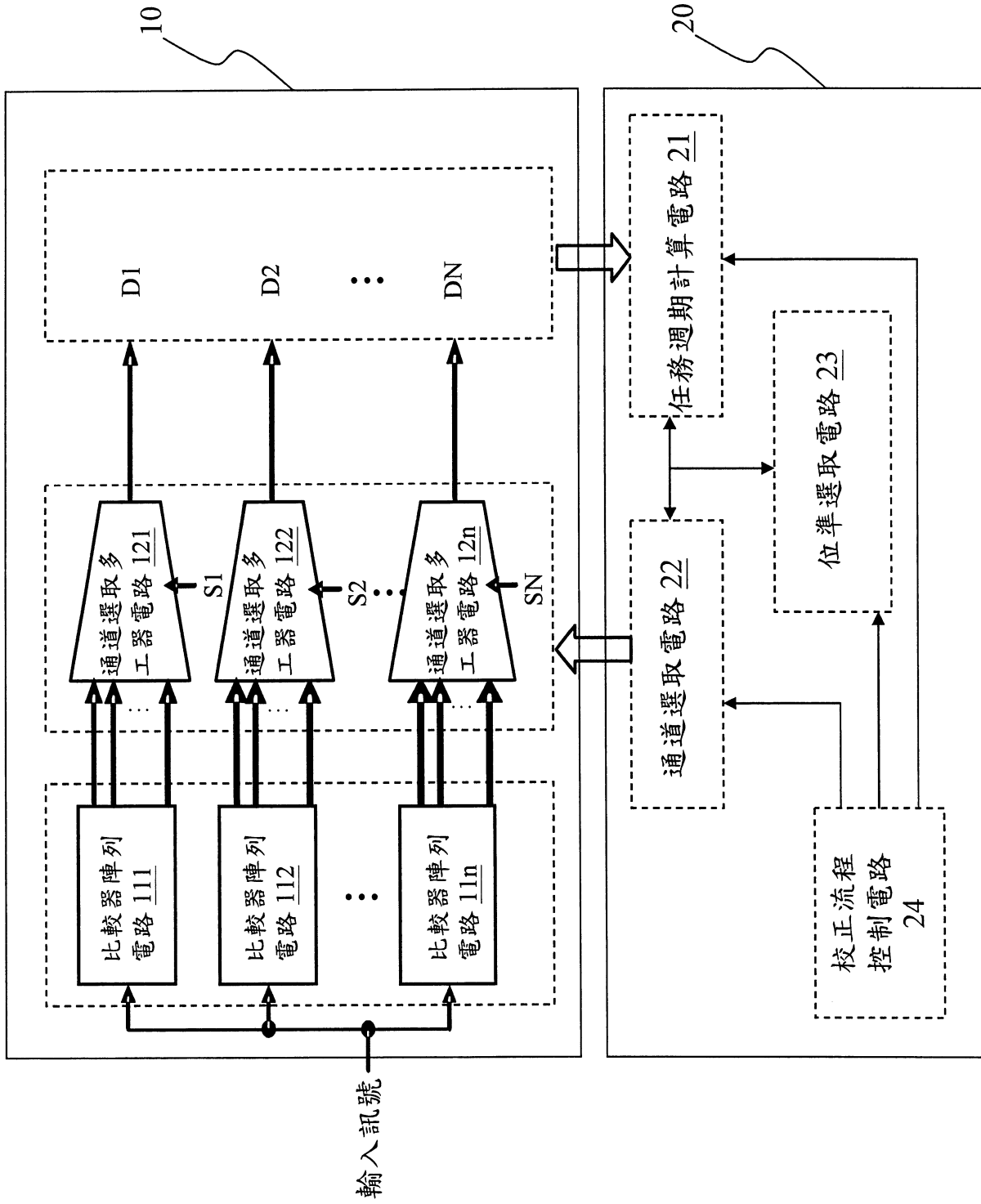
對數個比較器陣列電路選出其最佳比較器；及

輸出校正後之數位訊號。

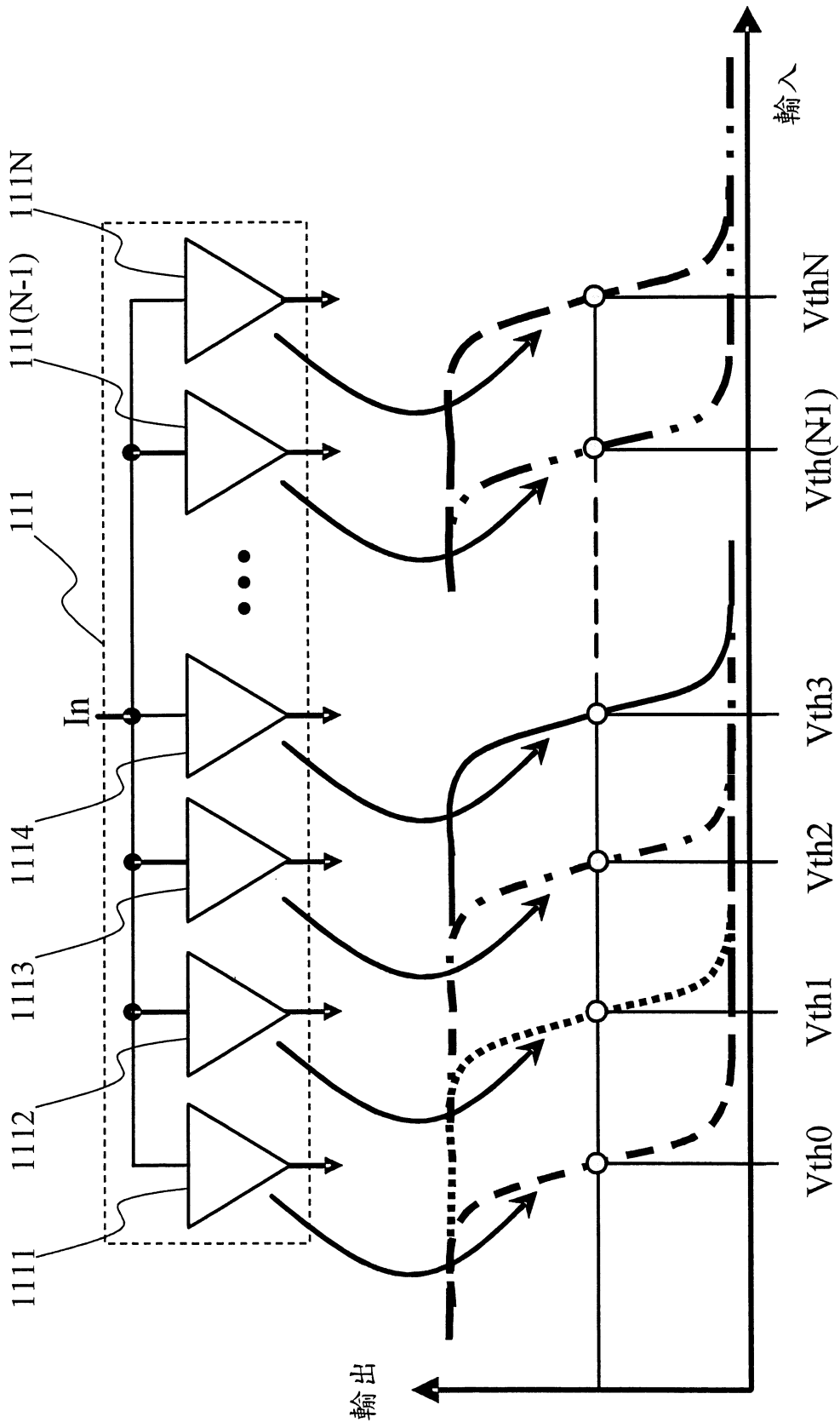
28. 如請求項 27 所述之類比數位轉換器之自我校正方法，其中該類比數位轉換器更包括複數個通道選取多工器電路，其分別對應及連接該些比較器陣列電路並接收該些數位訊號，最後每一該通道選取多工器電路輸出一數位訊號。

29.如請求項 27 所述之類比數位轉換器之自我校正方法，其中每一該通道選取多工器電路係由數個 2 對 1 多工器疊加而成，可使每一該比較器陣列電路知該些比較器電路都具有獨立之訊號傳輸通道，且每一該訊號傳輸通道之輸入訊號位準與相鄰之訊號傳輸通道部分重疊，且經數個邏輯閘分別共同連接該些比較器陣列電路的輸出端。

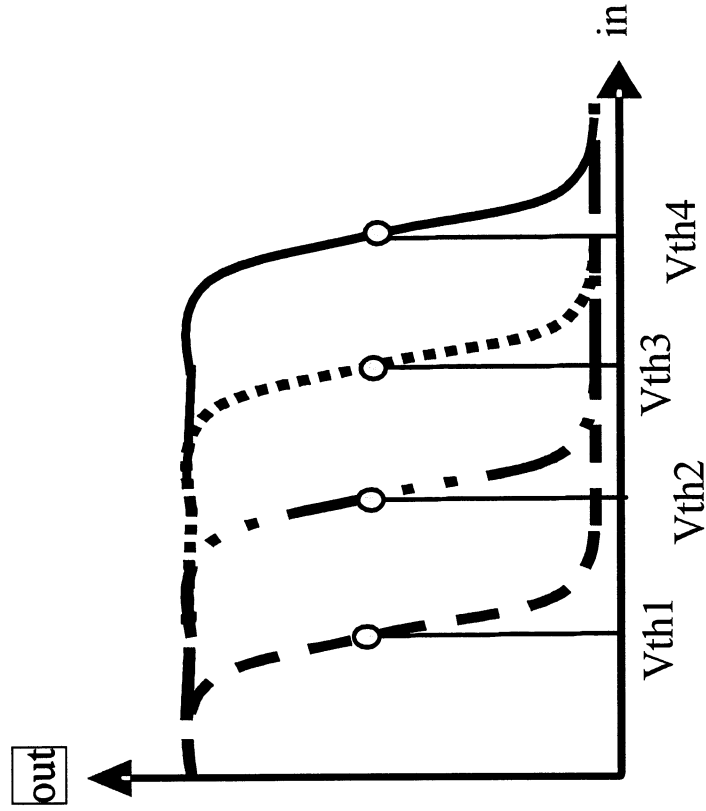
30.如請求項 27 所述之類比數位轉換器之自我校正方法，其中對該數位訊號取樣得到該數位訊號的任務週期值是以非同步次取樣的方式來計算任務週期的比例。



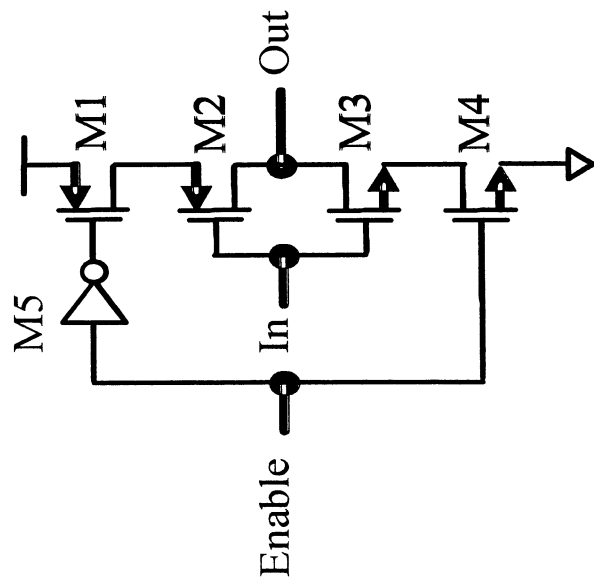
第1圖



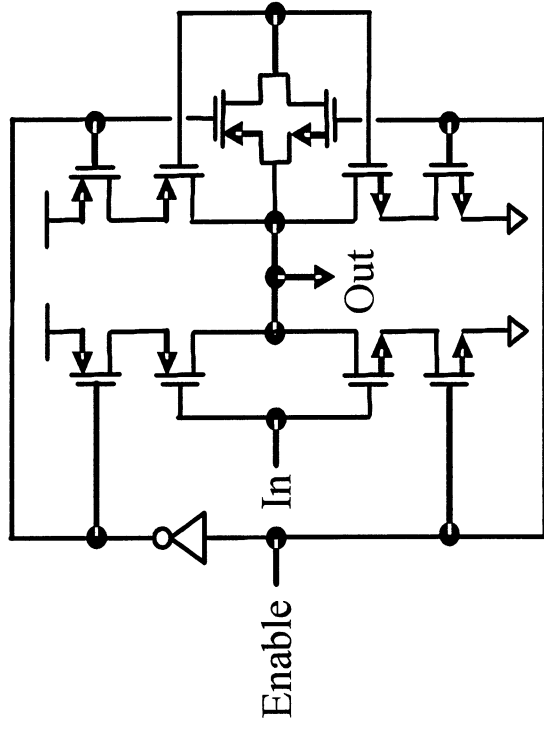
第2圖



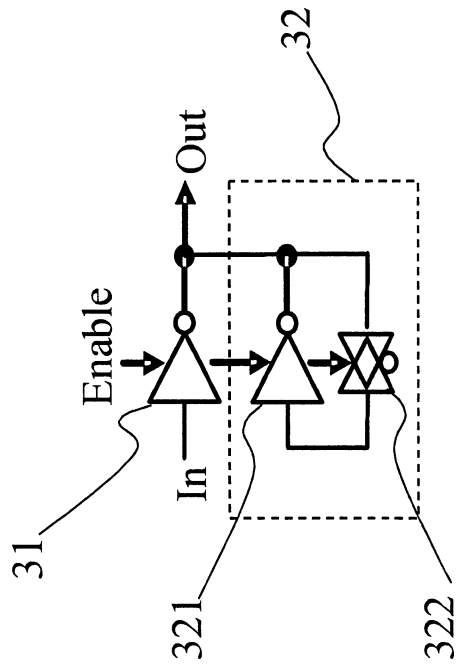
第3B圖



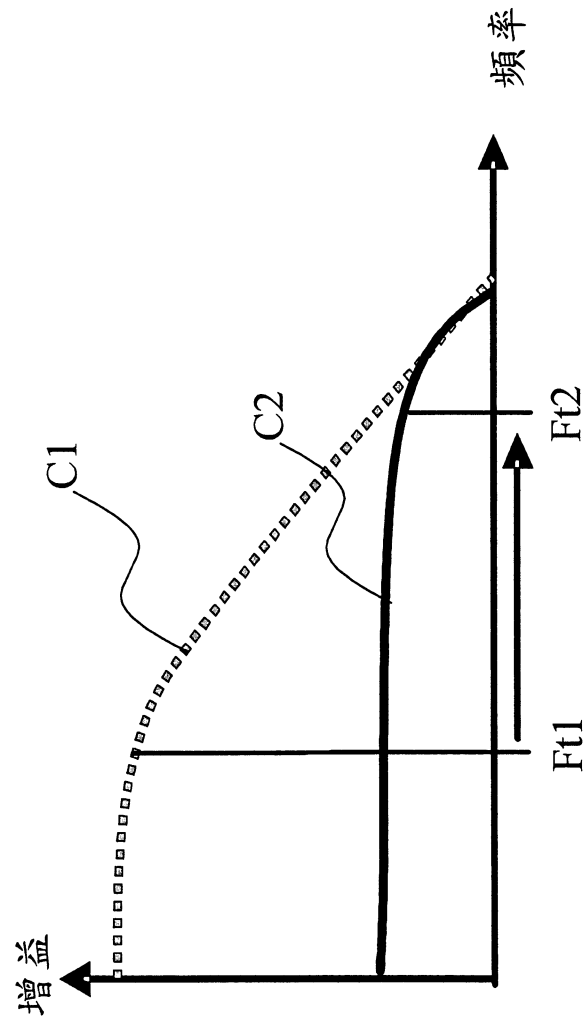
第3A圖



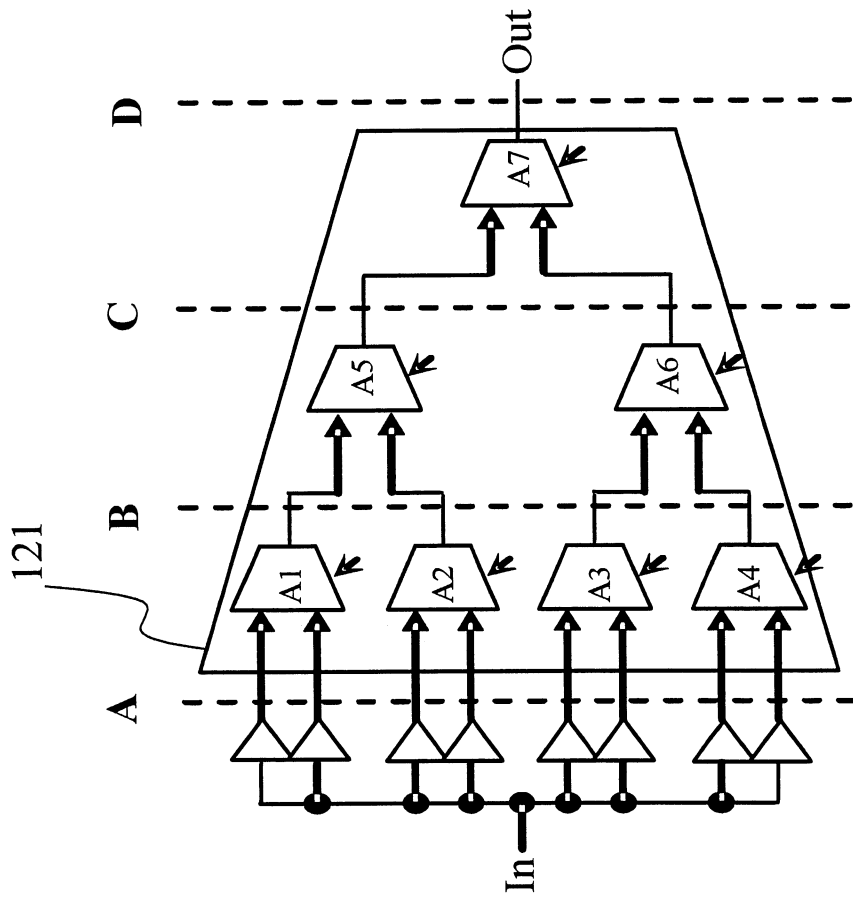
第4B圖



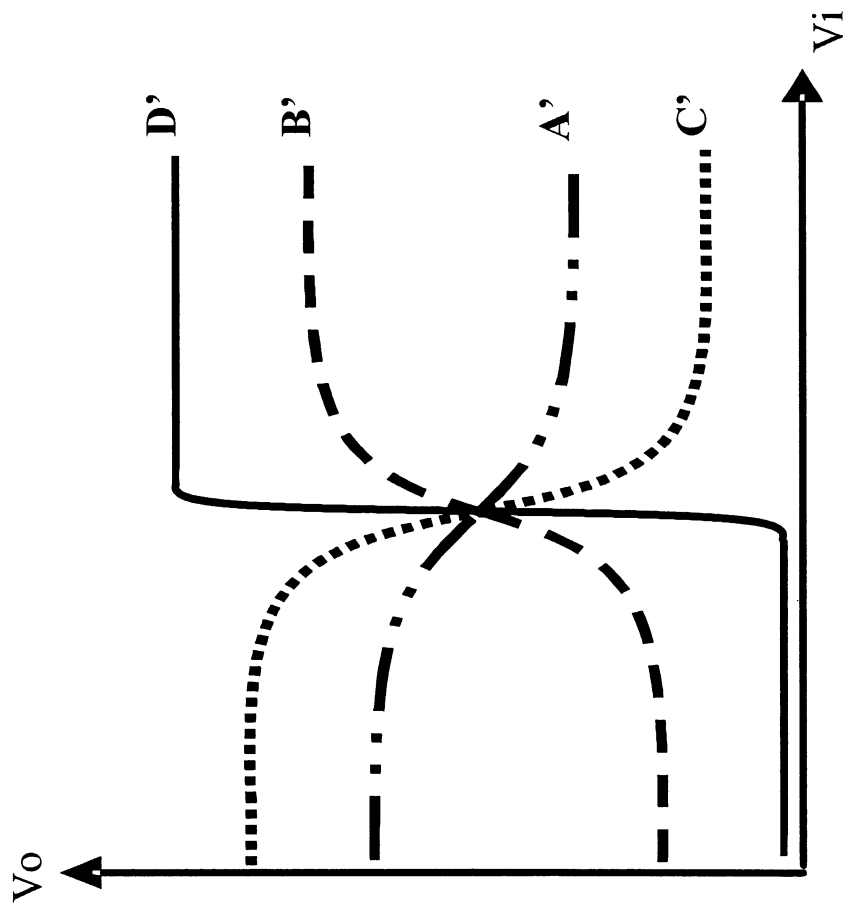
第4A圖



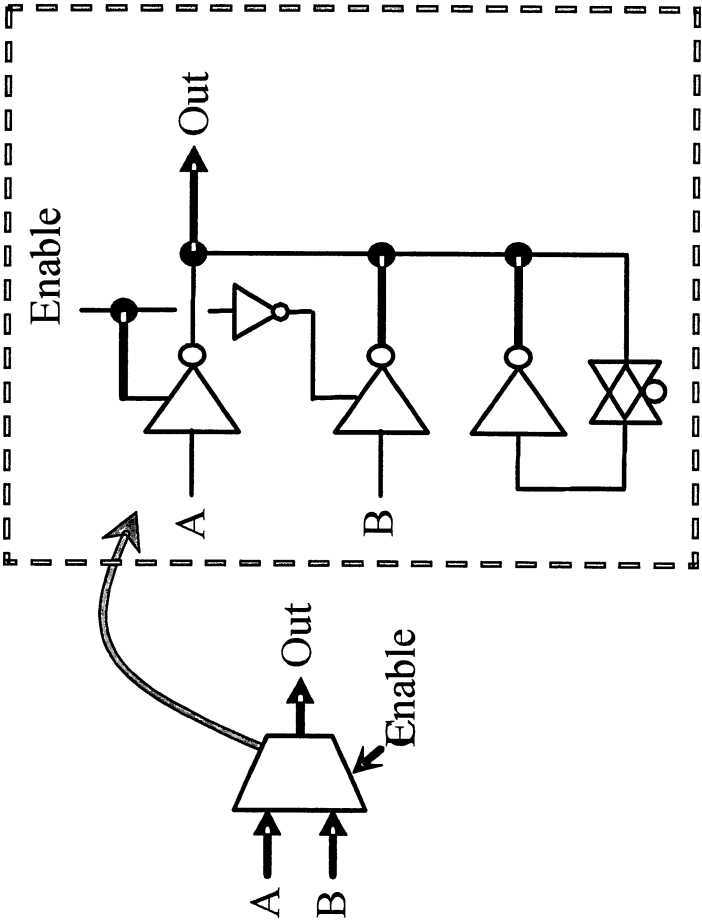
第5圖



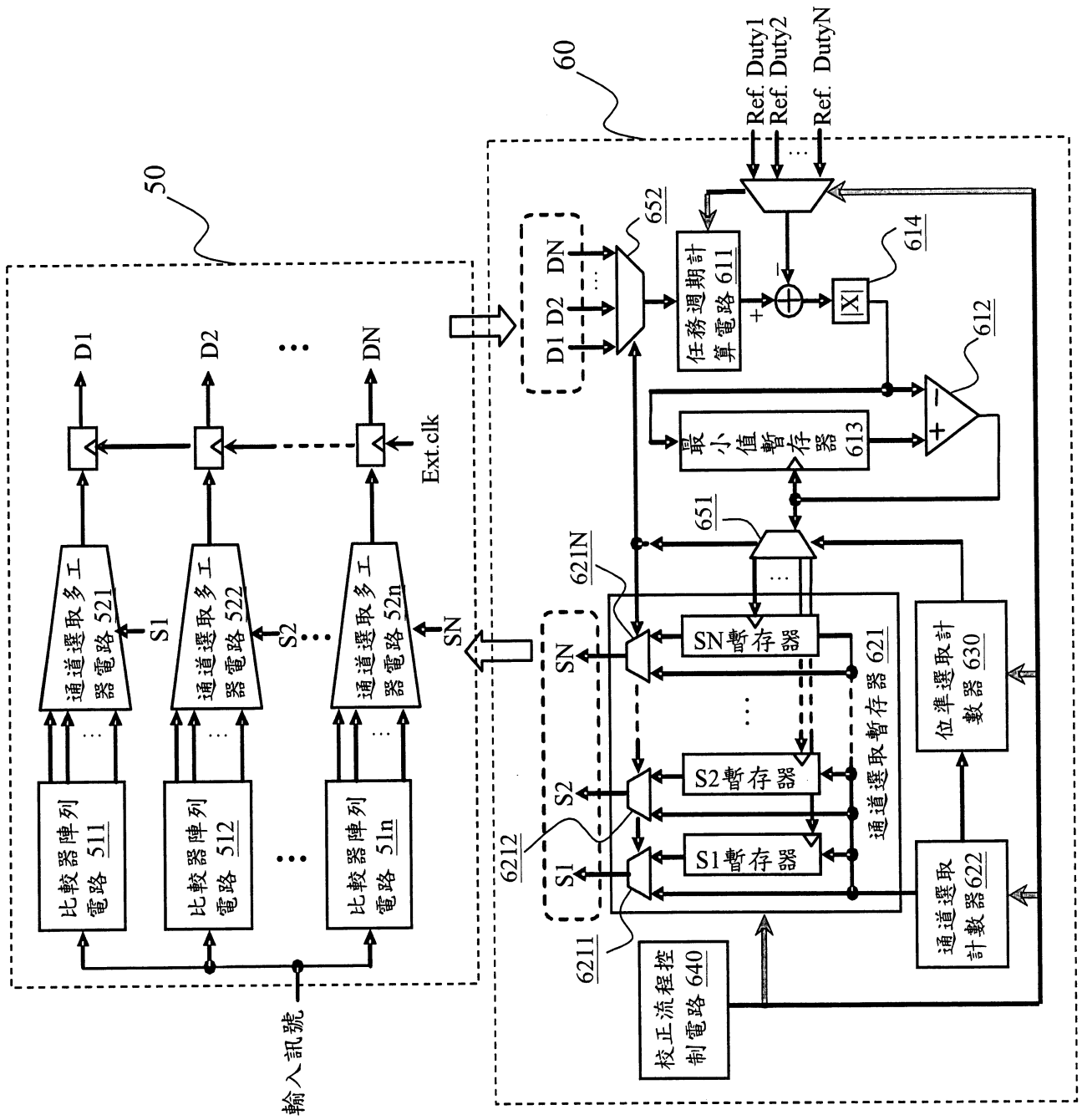
第6A圖



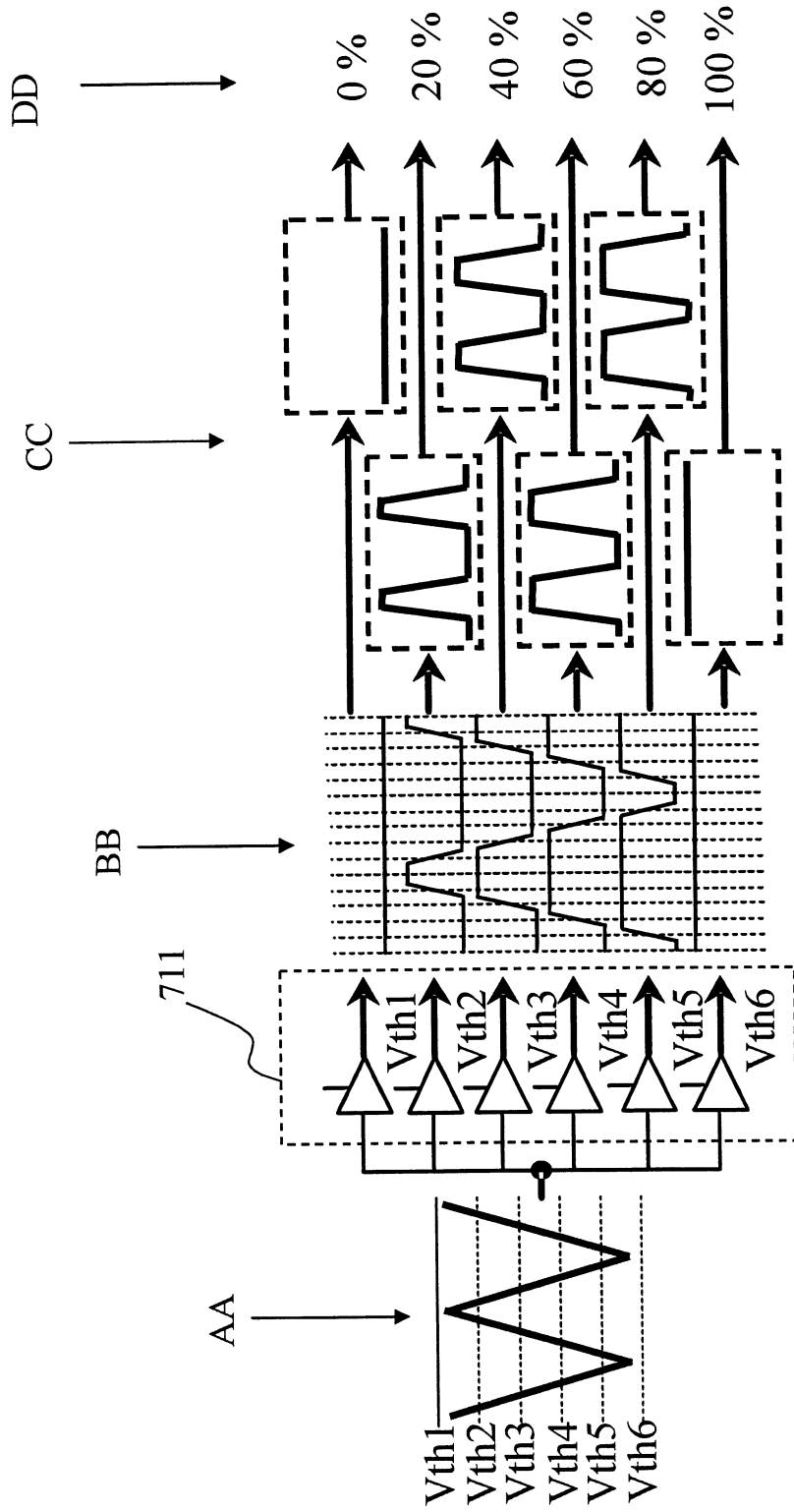
第6B圖



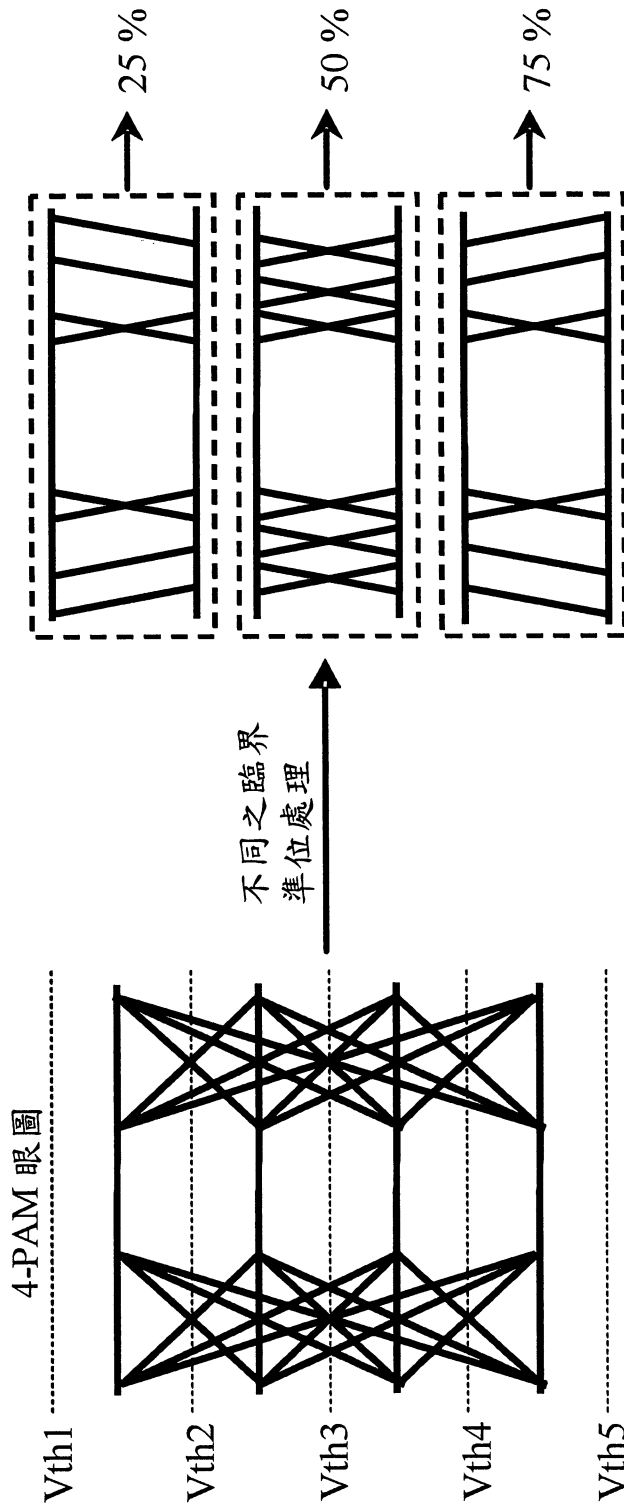
第6C圖



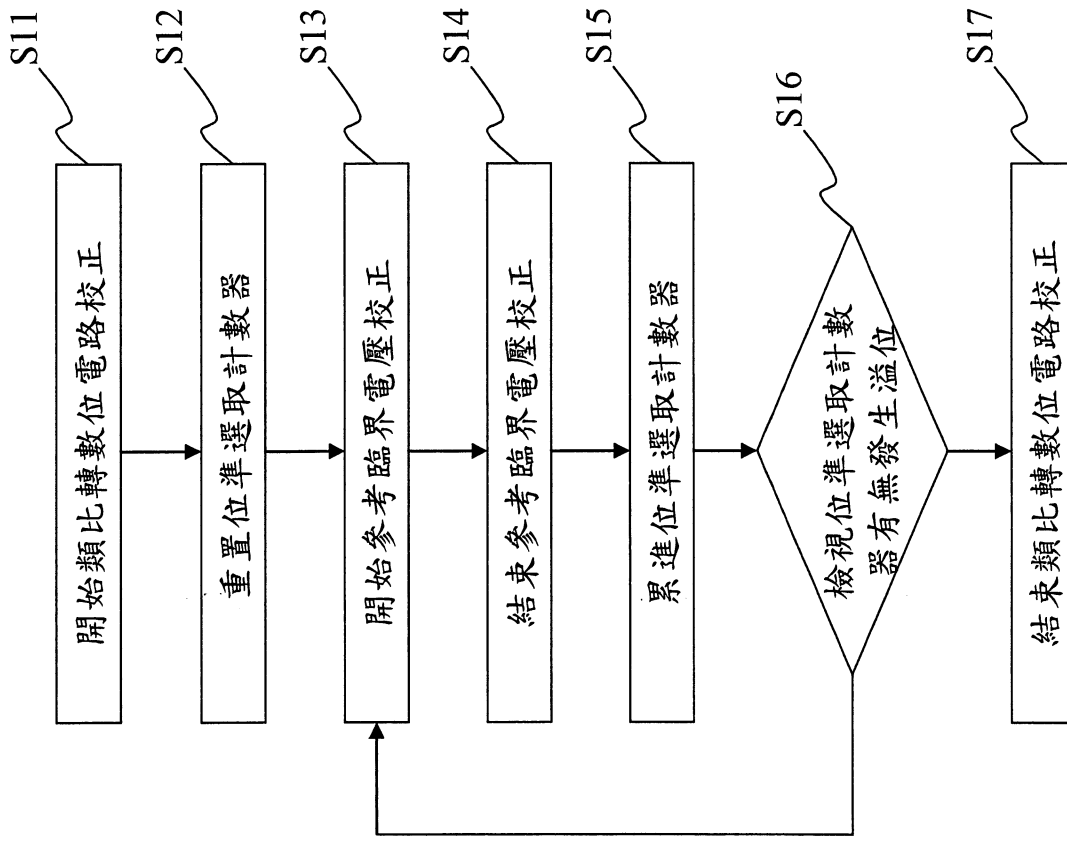
第7圖



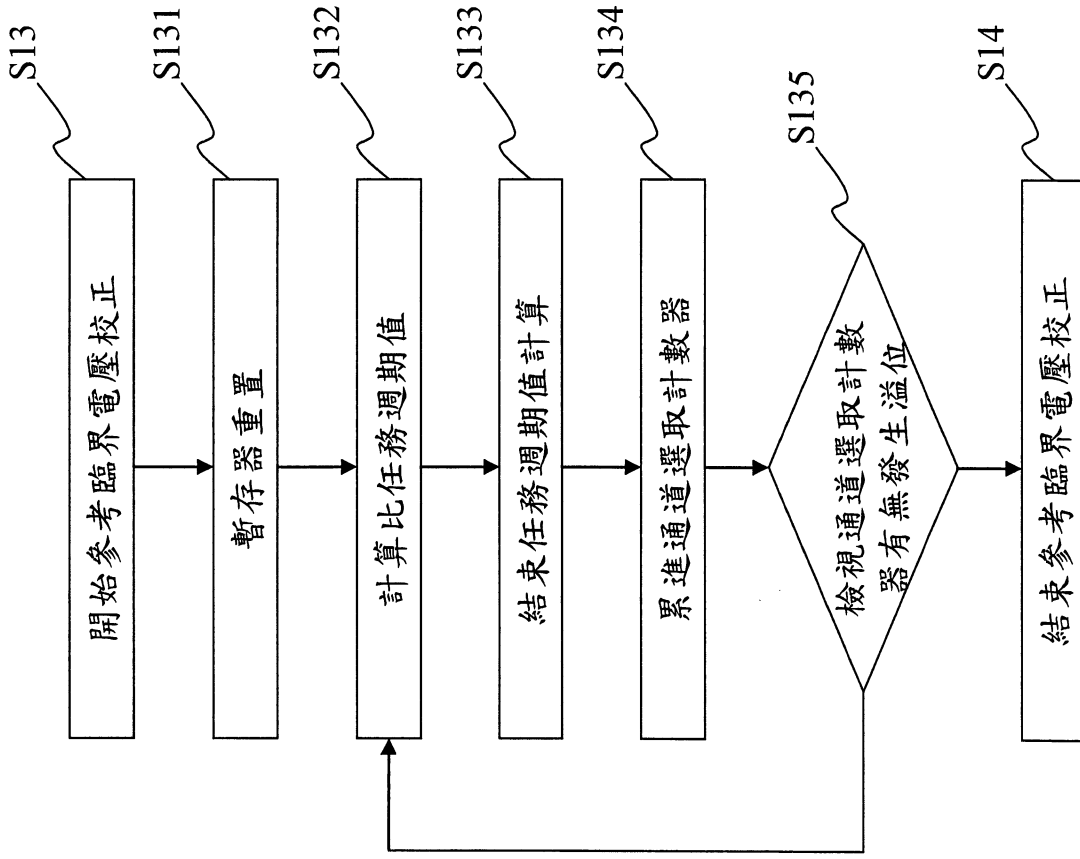
第8圖



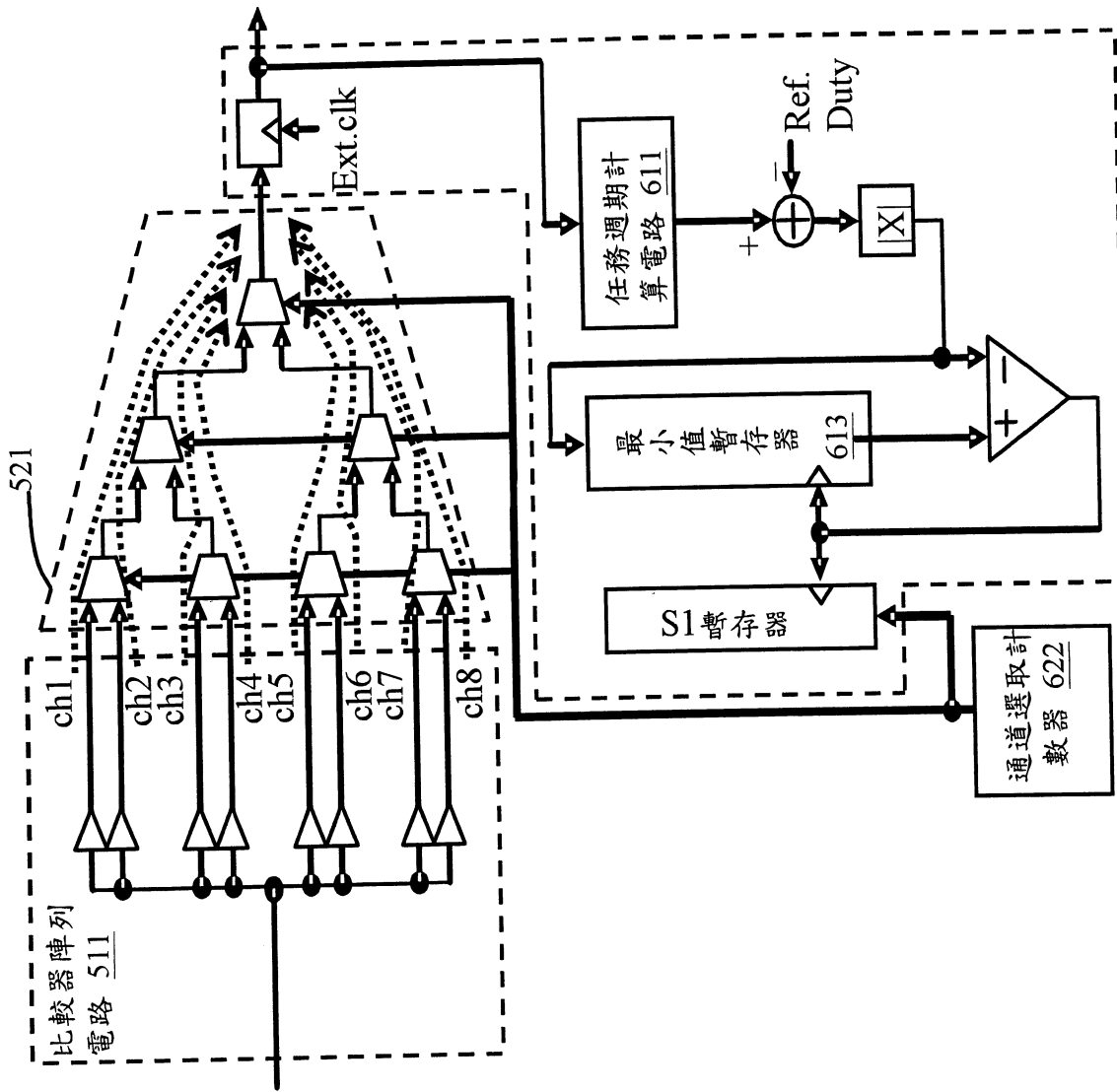
第9圖



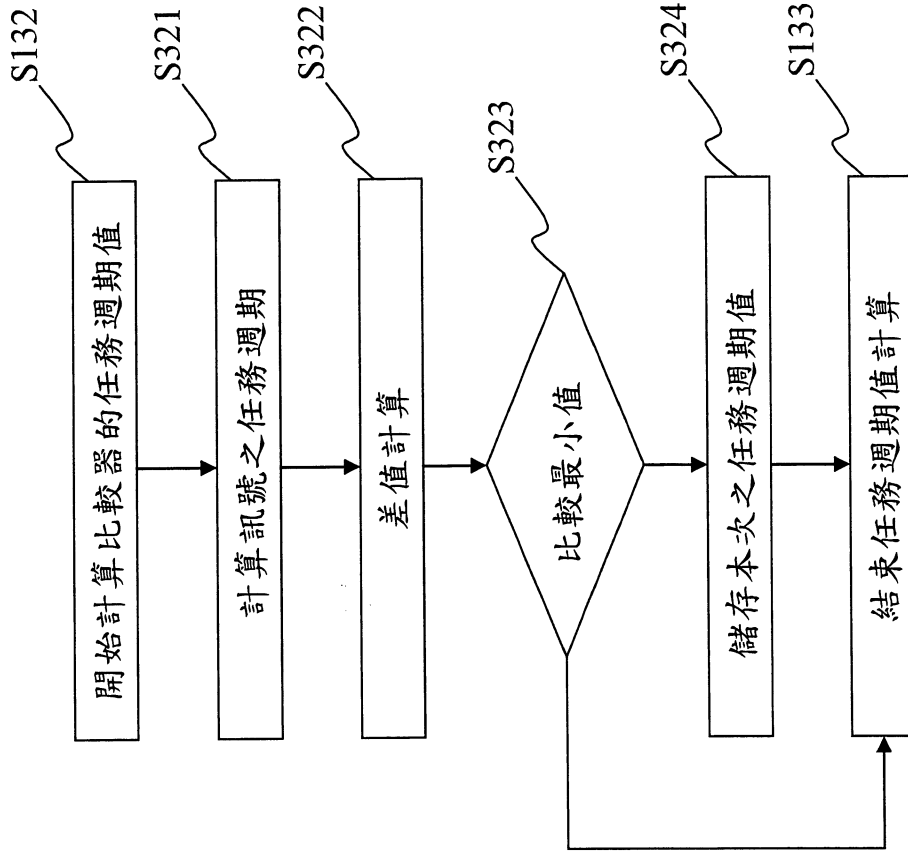
第10圖



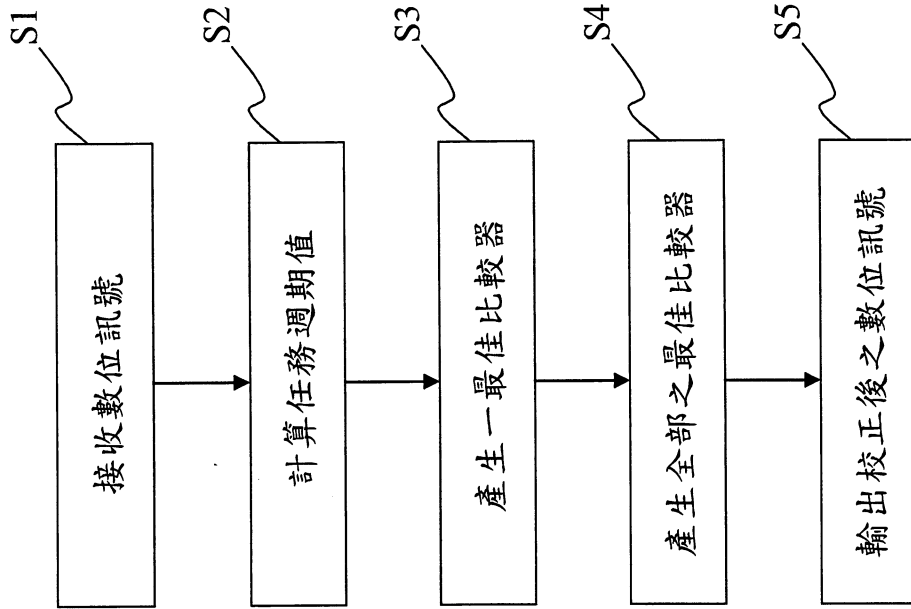
第11圖



第11A圖



第12圖



第13圖