

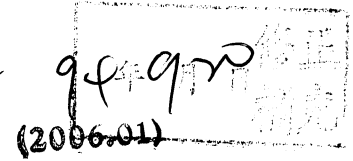
發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：

※ 申請日期：

※IPC 分類：G09G 3/2



一、發明名稱：(中文/英文)

主動式可調變電流之薄膜電晶體結構

Active TFT Circuit Structure With Current Scaling Function

二、申請人：(共 2 人)

姓名或名稱：(中文/英文)

1. 廣輝電子股份有限公司 / QUANTA DISPLAY INC.
2. 國立交通大學 / NATIONAL CHIAO TUNG UNIVERSITY

代表人：(中文/英文)

1. 林百里 / LAM, PAK-LEE
2. 張俊彥 / CHANG, CHUN-YEN

住居所或營業所地址：(中文/英文)

1. 桃園縣龜山鄉華亞二路 189 號
No. 189, Hwa Ya 2nd Rd., Kuei Shan Hsiang, Tao Yuan Shien
2. 新竹市大學路 1001 號
1001 Ta Hsueh Road, Hsinchu

國 籍：(中文/英文) 1.2. 中華民國 / R.O.C.

三、發明人：(共 8 人)

姓 名：(中文/英文)

1. 林彥仲 / LIN, YEN-CHUNG
2. 黃建智 / HUANG, JIAN-ZHI
3. 楊佳峰 / YANG, CHIA-FENG
4. 王俊雄 / WANG, JIUN-SHIAU
5. 謝漢萍 / SHIEH, HAN-PING DAVID
6. 陳培銘 / CHEN, PEI-MING
7. 魏燕伶 / WEI, YEN-LIN
8. 王安志 / WANG, AN-CHIH

國 籍：(中文/英文) 1.2.3.4.5.6.7.8. 中華民國 / R.O.C.

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：94131193

※ 申請日期：94 9 9 ※IPC 分類：G09G3/32

一、發明名稱：(中文/英文)

主動式可調變電流之薄膜電晶體結構

Active TFT Circuit Structure With Current Scaling Function

二、申請人：(共2人)

姓名或名稱：(中文/英文)

1. 廣輝電子股份有限公司 / QUANTA DISPLAY INC.
2. 國立交通大學 / NATIONAL CHIAO TUNG UNIVERSITY

代表人：(中文/英文)

1. 林百里 / LAM, PAK-LEE
2. 張俊彥 / CHANG, CHUN-YEN

住居所或營業所地址：(中文/英文)

1. 桃園縣龜山鄉華亞二路 189 號
No. 189, Hwa Ya 2nd Rd., Kuei Shan Hsiang, Tao Yuan Shien
2. 新竹市大學路 1001 號
1001 Ta Hsueh Road, Hsinchu

國 籍：(中文/英文) 1.2. 中華民國 / R.O.C.

三、發明人：(共8人)

姓 名：(中文/英文)

1. 陳培銘 / CHEN, PEI-MING
2. 魏燕伶 / WEI, YEN-LING
3. 王安志 / WANG, AN-CHIH
4. 林彥仲 / LIN, YEN-CHUNG
5. 黃建智 / HUANG, JIAN-ZHI
6. 楊佳峰 / YANG, CHIA-FENG
7. 王俊雄 / WANG, JIUN-SHIAU
8. 謝漢萍 / SHIEH, HAN-PING DAVID

國 籍：(中文/英文) 1.2.3.4.5.6.7.8. 中華民國 / R.O.C.

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為：2005 年 5 月 25~27 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

本發明係為一主動式可調變電流之薄膜電晶體電路結構，特別是應用在主動式發光元件與其顯示陣列面板的畫素電路。本發明結構包括電流源、資料線、掃描線、直流電壓訊號線、複數儲存電容、複數開關電晶體與一驅動電晶體。其中複數儲存電容形成串聯結構，其功能為畫素電路由開啟期間轉為關閉期間時，其中一儲存電容因負回授效應而使得該等儲存電容間的節點的電位下降，進而使得流經發光元件之電流下降，以實現電流調變功能。複數開關電晶體功能為開關功能，以作為控制該電流源之電流方向。

六、英文發明摘要：

An active TFT circuit structure with current scaling function is disclosed, which includes a current source, a data line, a scan line, a direct current voltage source, capacitors and four transistors, wherein the capacitors form a cascade structure. During the ON-state, the two of the transistors are turn-on based on the voltage provided by the scan line, so that the data current provided by the current source flows the data line and the transistor which is one of the opened transistors, thereby arriving an emitting light element and the transistor connected to the emitting light element. When the pixel circuit changes from ON- to OFF-state, the potential of the node between the storage capacitors reduces due to the feed-through effect of one of storage capacitor, thereby reducing the driving current of the emitting light element. Therefore, it can be achieved the current scaling function.

七、指定代表圖：

(一)本案指定代表圖為：第 3 圖 a。

(二)本代表圖之元件符號簡單說明：

接地端	310a,301b	發光元件	302
儲存電容	303,305		
電晶體	304,306,307,308		
掃瞄線	309	資料線	310
控制線	311	直流電壓訊號線	312

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

「無」

九、發明說明：

【發明所屬之技術領域】

本發明係為一主動式可調變電流之薄膜電晶體電路結構，特別是應用在主動式發光元件與其顯示陣列面板的畫素電路。

【先前技術】

有機發光二極體(Organic Light Emitting Diode, OLED)具有自發光的特性，不需要背光系統即可顯示影像，在近年來已成為顯示元件上受矚目的焦點。此外，有機發光二極體具有許多優越的光學特性，例如：高對比度、高亮度、廣視角、色彩飽和度、反應時間快。另外，有機發光二極體兼具輕薄、低功率消耗的優勢，使得有機發光二極體被廣泛應用到顯示領域中。

顯示器驅動模式的習知技藝一為電晶體電壓驅動之電路結構，電壓信號控制兩個薄膜電晶體，。該電壓驅動方式無法補償電晶體因時間而衰減的特性變化，以及截止電壓(Threshold Voltage)和場效遷移率(Field Effect Mobility)之改變，而導致顯示畫面亮度不均勻之現象。

習知技藝二為電晶體電流驅動之電路結構，如「第1圖」。其畫素電路元件如『第一表』所示，該電流驅動方式為外部積體電路(Integrated Circuit, IC)直接提供電流至驅動電路，以補償電晶體截止電壓變化和遷移率改變，進而讓發光元件達到亮度均勻的影像。該習知技藝中資料

訊號線109與掃描線108交錯時會產生寄生電容。在發光元件102顯示低灰階畫面時，驅動電流必須先將寄生電容與儲存電容103充電，充電的時間將導致發光元件102的反應時間嚴重延遲。

5

第一表 習知技藝之電流源驅動畫素電路		
必要元件	元件功能	特點
電晶體104	開關	1. 可補償電晶體105特性變化 2. 不具電流縮小功能 3. 在低灰階運作，反應時間嚴重延遲
電晶體106	開關	
電晶體107	開關	
儲存電容103	儲存電晶體105開啟與通過電流之所需電壓	
輔助元件	元件功能	
電晶體105	驅動	
發光元件102	顯示畫面	

習知技藝三為「第2圖」係利用電流鏡型式搭配電流源驅動之發光元件205，其畫素元件如『第二表』說明。由『第二表』特點欄之第三點可得知，要改善反應延遲時間，需較大電流調變比例(current scaling ratio)，此比例正比於電晶體202/電晶體203的幾何尺寸大小。若以顯示器的畫素面積為 $125 \times 125 \mu\text{m}^2$ ，當電晶體203的寬度為 $50 \mu\text{m}$ 時，電晶體202/電晶體203幾何尺寸比例被限制在2.5/1。另，開口率

10

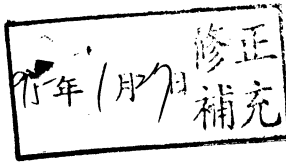
定義為畫素總面積減去畫素電路的面積的差值再除以畫素總面積，故開口率受到電晶體202幾何尺寸增大而變小。

第二表 習知技藝之電流鏡形式搭配電流源驅動畫素電路		
必要元件	元件功能	特點
電晶體202	驅動	1. 可補償電晶體105特性變化 2. 具電流調變功能 3. 電流調變比例固定。正比於電晶體202和203之寬度/長度的比值
電晶體204	開關	
電晶體207	開關	
儲存電容206	儲存電晶體203開啟與通過電流之所需電壓	
輔助元件	元件功能	
電晶體203	驅動	
發光元件205	顯示畫面	

由以上三項習知技藝得知，在提供顯示低灰階畫面時，需要一主動式可調變電流源電路結構以有效改善時間延遲，已成為一亟需解決之課題。

【發明內容】

本發明之第一目的係在提供一種可調變電流之薄膜電晶體電路及其應用之顯示裝置，俾能縮短上述習知技藝中發光元件的反應時間延遲。



定義為畫素總面積減去畫素電路的面積的差值再除以畫素總面積，故開口率受到電晶體 202 幾何尺寸增大而變小。

第二表 習知技藝之電流鏡形式搭配電流源驅動畫素電路

必要元件	元件功能	特點
電晶體 202	驅動	1. 可補償電晶體 203 特性變化 2. 具電流調變功能 3. 電流調變比例固定。正比於電晶體 202 和 203 之寬度/長度的比值
電晶體 204	開關	
電晶體 207	開關	
儲存電容 206	儲存電晶體 203 開啟與通過電流之所需電壓	
輔助元件	元件功能	
電晶體 203	驅動	
發光元件 205	顯示畫面	

由以上三項習知技藝得知，在提供顯示低灰階畫面時，需要一主動式可調變電流源電路結構以有效改善時間延遲，已成為一亟需解決之課題。

【發明內容】

本發明之第一目的係在提供一種可調變電流之薄膜電晶體電路及其應用之顯示裝置，俾能縮短上述習知技藝中發光元件的反應時間延遲。

本發明之第二目的係在提供一種可調變電流之薄膜電晶體電路及其應用之顯示裝置，俾能補償驅動電晶體因時間衰退的特性變化。

5 本發明之第三目的係在提供一種可調變電流之薄膜電晶體電路及其應用之顯示裝置，俾能維持畫素開口率不變。

如「第3圖a」所示，本發明係為主動式可調變電流之薄膜電晶體電路結構，特別是應用在主動式發光元件與其顯示陣列面板的畫素電路。本發明結構包括畫素電路複數開關電晶體304、307、308；一驅動電晶體306、複數儲存電容303、305以及一發光元件302。

10 結構連接方式為第一開關電晶體307之閘極與第二開關電晶體304之閘極電性連接，且第一開關電晶體307與第二開關電晶體304之閘極並與一掃描線309電性連接，第一開關電晶體307之第一端與第二開關電晶體304之第一端係與一資料線310電性連接。第三開關電晶體308分別與一直流電壓訊號線312及第四驅動電晶體306之第一端電性連接，其中第四驅動電晶體306之第二端與一發光元件302電性連接。第一儲存電容303之一端係接地，且其另一端與該第四驅動電晶體306之閘極電性連接。第二儲存電容305之一端係與該第一開關電晶體307及第二開關電晶體304之閘極電性連接，且其另一端分別與該第一儲存電容303之一端及該第四驅動電晶體306之閘極電性連接。

20 依據本發明之特色，係為顯示器之畫素電路於啟動期間，該二個開關電晶體304、307依據掃描線309所提供之電

壓而被啟動，以使得資料電流流經第四驅動電晶體306與發光元件302，當畫素電路由啟動期間轉為關閉期間時，第二儲存電容305產生一負回授效應，以使得第一儲存電容303與第二儲存電容305之間的電位下降，進而使得流經發光元件302之電流下降。故可在啟動期間，以大驅動電流充滿儲存電容303、305，以縮短發光元件302的反應時間，在關閉期間以較小的驅動電流來顯示灰階影像，以達成本發明的第一目的。

依據本發明之又一特色，係為提供一種主動式可調變電流之薄膜電晶體結構。本發明可補償驅動電晶體306因時間衰退的特性變化，其原理為公式 (1)並說明如下：

$$\text{經過發光元件 302 電流 } I = (\mu C_{ox}W/2L)(V_{GS}-V_{TH})^2 \quad (1)$$

公式(1)中，驅動電晶體306之 μ 為場效遷移率， C_{OX} 為驅動電晶體306之單位面積電容值， W 和 L 為驅動電晶體306之寬度與長度， V_{GS} 為驅動電晶體306之閘極與發光元件302之陽極電位差值， V_{TH} 為驅動電晶體306之截止電位。當驅動電晶體306截止電位改變時，資料訊號線310將調變第一儲存電容303和第二儲存電容305的電荷數，使驅動電晶體306之閘極電位提高，保持 $(V_{GS}-V_{TH})$ 與經過發光元件302電流不變，則可穩定驅動電流，達成本發明的第二目的。

依據本發明之又一特色，係提供一種主動式可調變電流之薄膜電晶體結構。在開關電晶體304、307、308和驅動電晶體306幾何尺寸不變，且儲存電容值固定，藉由調變第一儲存電容303和第二儲存電容305之電容值大小，可得一適當的電流調變比例，使整體開口率維持不變，以達成本發明的第三目的。

【實施方式】

「第3圖a」顯示本發明第一較佳實施例之可調式電晶體電流驅動畫素電路，其元件說明如『第三表』。

第三表 本發明第一實施例之電流源驅動畫素電路

必要元件	元件功能	特點
電晶體304	開關	1.可補償電晶體306特性變化 2.具電流調變功能 3.具可變的電流調變比例
電晶體307	開關	
電晶體308	開關	
儲存電容305	儲存電流調變所需電壓	
輔助元件	元件功能	
電晶體306	驅動	
發光元件302	顯示畫面	
儲存電容303	儲存電晶體306開啟與通過電流之所需電壓	
控制訊號	傳送位置	

V_{SCAN}	掃描訊號線 309	
I_{DATA}	資料訊號線 310	
V_{CTRL}	控制訊號線 311	
V_{DD}	直流電壓訊號線 312	

於本實施例中，該等電晶體 304, 306, 307, 308 為 N 型薄膜電晶體 (TFT)，且每一電晶體 304, 306, 307, 308 所具有之汲極、閘極以及源極之連接關係，係如圖所示。此外，上述發光元件 302 可為一發光二極體 (LED) 元件；例如有機發光二極體 (OLED)、高分子發光二極體 (PLED) 等。

另外，請注意本實施例之電路結構與習知之電路結構是不同的，如『第 3 圖 a』中虛線部份，係利用電晶體 304, 307 之閘極端彼此連接，且電晶體 304 之源極係與電晶體 307 之源極相連接。此外，在電晶體 304, 307 之閘極至電晶體 306 之閘級間增設一儲存電容 305。藉此，本實施例所提供之電路結構可達成具可變的電流調變比例。

本實施例之畫素電路操作模式分為兩時段操作，一為 ON state，另一為 OFF state。

ON state 的操作如『第四表』所示：

步驟	動作	結果	影響
一	V_{SCAN} 為高電壓	電晶體 304 和 307 打開	電晶體 306 操作在 飽和區

二	V_{CTRL} 為零電壓	電晶體308關閉	避免電流從直流電壓訊號線312通過電晶體308
三	I_{DATA} 為適當電流	電流流經電晶體307、306至發光元件302	通過發光元件302之電流， I_{OLED_ON} ，近似於 I_{DATA}

在步驟三，當電晶體306之截止電位改變，則電晶體306之閘極端電位將會被控制訊號 I_{DATA} 之積體電路自動調整至適當電壓值以允許控制訊號 I_{DATA} 電流流過。

5 電晶體306截止電位改變時，其閘極端電位跟隨截止電位調變；以保持控制訊號 I_{DATA} 通過電晶體306至發光元件302。此時通過發光元件302之電流為 I_{OLED_ON} 。

10 另外，電晶體306之閘極端電位 V_{B_ON} 儲存於儲存電容303和305。此ON state操作之等效電路如『第4圖a』所示，其中304a為電晶體304開啟之等效電阻；307a為電晶體307開啟之等效電阻。

OFF state 的操作如『第五表』所示：

步驟	動作	結果	影響
一	V_{SCAN} 為零電壓	電晶體304和307關閉	儲存電容之負回授效應使電晶體306之閘極端電位減少
二	V_{CTRL} 為高電壓	電晶體308打開	電流從直流電壓訊號312通過電晶體

在步驟一中，當控制訊號 V_{SCAN} 從高電位轉換到零電位時，受到儲存電容 303 與 305 之負回授效應 (Feed-through effect)；促使電晶體 306 之閘極端電位由 V_{B_ON} 降至 V_{B_OFF} ， V_{B_OFF} 的電位可由公式 (2) 得知：

$$V_{B_OFF} = V_{B_ON} - \Delta V_{SCAN} \cdot \frac{C_{ST2} \parallel C_{OV-T2}}{C_{ST1} + C_{ST2} \parallel C_{OV-T2}} \quad (2)$$

，其中 C_{OV-T2} 為電晶體 304 之閘極與汲極/源極之寄生電容值。 V_{B_OFF} 儲存在儲存電容 303 和 305 中，使電晶體 306 在整個畫面期間保持開啟的狀態。

在第二步驟中，電晶體 308 之汲極端連接於直流電壓訊號線 312，使電晶體 306 工作狀態在飽和區，電流 I_{OLED_OFF} 則從直流電壓訊號線 312 經過等效電阻 308a、電晶體 306 至發光元件 302，其等效電路如『第 4 圖 b』所示，其中 308a 為電晶體 308 開啟之等效電阻。

在切換時態 ON state 與 OFF state 時，因電晶體 306 之閘極電位下降，發光元件 302 之驅動電流由 I_{OLED_ON} 降至 I_{OLED_OFF} ，則可達成電流調變之功效。其電流調變比例，即為 R_{SCALE} ，定義如公式 (3)：

$$R_{SCALE} = I_{OLED_ON} / I_{OLED_OFF} \quad (3)$$

根據 (2) 和 (3) 式，較大的儲存電容 305 之電容值可產生較大的 R_{SCALE} 值，以縮短在 ON state 畫素驅動時間。另外在 OFF state 時，可精確的產生低驅動電流 I_{OLED_OFF} 來達到顯示低灰階畫面。

此外，本實施例之各元件與控制訊號之參數如『第六表』，畫素電路操作之時脈圖如「第5圖」。由『第七表』結果知其 R_{SCALE} 為14.2。

第六表 第一實施例畫素電路之元件與控制訊號參數	
電路元件	
電晶體307 W/L (um)	50/4
電晶體304 W/L (um)	30/4
電晶體308 W/L (um)	40/4
電晶體306 W/L (um)	50/4
電晶體截止電壓 V_{TH} (V)	1.65
電晶體遷移率 μ_{FE} ($cm^2/V\text{-sec}$)	0.54
儲存電容303之電容值 C_1 (pF)	2.5
儲存電容305之電容值 C_2 (fF)	625
控制訊號	
V_{SCAN} (V)	0~30
V_{CTRL} (V)	0~30
V_{DD} (V)	30
I_{DATA} (μA)	1
操作時態時間(u sec)	
t_{ON}	350
t_{OFF}	375

5

第七表 第一實施例之畫素操作結果

操作時態	控制訊號	電晶體元件狀態	結果
On state	$V_{SCAN} = 30\text{ V}$	電晶體304 開啟	$V_{B_ON} =$
	$V_{CTRL} = 0\text{ V}$	電晶體307 開啟	10.1 V
	$I_{DATA} = 1\text{ uA}$	電晶體306 開啟	$I_{OLED_ON} \doteq$
	$V_{DD} = 30\text{ V}$	電晶體308 關閉	1 uA
Off state	$V_{SCAN} = 0\text{ V}$	電晶體304 關閉	$V_{B_ON} =$
	$V_{CTRL} = 30\text{ V}$	電晶體306 開啟	4.2 V
	$I_{DATA} = 1\text{ uA}$	電晶體307 關閉	$I_{OLED_ON} \doteq$
	$V_{DD} = 30\text{ V}$	電晶體308 開啟	0.07 uA

另外，「第6圖」為本實施例輸入電流與電流調變比例之關係圖，在此固定儲存電容303之電容值(C_1)，改變儲存電容305電容值(C_2)大小，其控制訊號 I_{DATA} 由10 uA降低到0.2 uA時，則 R_{SCALE} 逐漸增大。另一方面，調變儲存電容303與305之電容值比例大小， R_{SCALE} 會隨儲存電容值比例 C_2/C_1 愈大而變大。

比較在單一顯示畫面時間內電流控制訊號 I_{DATA} 與發光元件之平均驅動電流關係如『第7圖』所示，其中A1為習知不具有電流調變功效之電流驅動畫素電路所呈現之模擬結果，A2為具有固定電流調變之電流鏡畫素電路所呈現之模擬結果，A3為本發明所提供之畫素電路所呈現之模擬結果。故，可得知習知技藝與本發明之畫素電路的不同，電流控制訊號 I_{DATA} 與發光元件之平均驅動電流關係如公式(4)定義，此定義為二者平均驅動電流：

$$I_{AVG} = \frac{I_{OLED-ON} \cdot t_{ON} + I_{OLED-OFF} \cdot t_{OFF}}{t_{ON} + t_{OFF}} \quad (4)$$

，其中 t_{ON} 與 t_{OFF} 分別表 ON state 時間 0.33 ms 和 OFF state 時間 33 ms。

比較結果如『第八表』：

第八表 畫素電路特性比較		
驅動電路結構	電流調變功能	有機發光二極體驅動電流範圍
習知技藝如第 1 圖	無	0.2 u ~ 10 uA
習知技藝如第 2 圖	有；固定比例	0.01 u ~ 2 uA
本實施例如第 3a 圖	有；可調變比例	7 n ~ 7 uA

5

本發明具有可調變之電流調變比例，在較低灰階運作時，可得到較大的電流調變比例，即顯示低灰階畫面，可用最大之控制訊號 I_{DATA} 電流充電，以縮短反應時間延遲；另外，在固定電流控制訊號 I_{DATA} 範圍內，具最大平均驅動電流的範圍。

10

本發明第二較佳實施例，係為「第 3 圖 a」中的開關電晶體 308 改做 P 型 TFT，其他電路之各個元件及其動作係與第一實施例相類似，其各元件與控制訊號之參數如『第九表』：

第九表 第二實施例畫素電路之元件與控制訊號參數

電路元件	
電晶體 304, 306, 307, 308 W/L (um)	6/4
電晶體截止電壓 V_{TH} (V)	1
電晶體遷移率 N-type TFT ($\text{cm}^2/\text{V}\cdot\text{sec}$)	77
電晶體遷移率 P-type TFT ($\text{cm}^2/\text{V}\cdot\text{sec}$)	85
儲存電容 303 之電容值 C_1 (pF)	1.5
儲存電容 305 之電容值 C_2 (fF)	250
控制訊號	
V_{SCAN} (V)	-10 ~10
V_{CTRL} (V)	-10 ~10
V_{DD} (V)	10
I_{DATA} (μA)	1
操作時態時間 (u sec)	
t_{ON}	350
t_{OFF}	375

於本實施例中，畫素電路操作之時脈圖如「第8圖」所示。由「第8圖」結果知其 RSCALE 為 10。另外，輸入電流與電流調變比例之關係於「第9圖」，亦可達電流調變之效。

5 「第3圖 b」顯示本發明第三較佳實施例之畫素電路圖，元件結構與「第3圖 a」相同，惟控制訊號線 311 連至掃描線 309，畫素電路操作之時脈圖如「第10圖」，輸入電流與電流調變比例之關係與「第9圖」相同。

由以上之說明可知，本發明利用串聯結構之儲存電容來達成電流調變之功效，俾供利用掃描線所提供之電壓的轉變而使得其中一個儲存電容產生負回授效應，以降低電晶體閘極端之電壓，藉此降低發光元件之驅動電流，因此可透過調整掃描線所提供之電位差或改變該產生負回授效應之儲存電容值來彈性改變電流調變比例，以實現具有電流調變功能的電流畫素驅動電路，並縮短顯示低灰階畫面時的時間延遲問題、且能補償電晶體元件特性變化。

上述實施例僅係為了方便說明而舉例而已，本發明所主張之權利範圍自應以申請專利範圍所述為準，而非僅限於上述實施例。

【圖式簡單說明】

第1圖係習知電流源驅動畫素電路之電路示意圖。

第2圖係習知電流鏡搭配電流源驅動畫素電路之電路示意圖。

第3圖a係本發明第一與第二較佳實施例之畫素電路的電路示意圖。

第3圖b係本發明第三較佳實施例之畫素電路的電路示意圖。

第4圖a係本發明第一較佳實施例於畫素電路開啟期間操作之等效電路之電路示意圖。

第4圖b係本發明第一較佳實施例於畫素電路關閉期間操作之等效電路之電路示意圖。

第5圖係本發明第一較佳實施例之畫素電路的時脈圖。

第6圖係本發明第一較佳實施例之輸入電流與電流調變比例之關係圖。

第7圖係本發明平均驅動電流與資料電流之關係圖。

5 第8圖係本發明第二較佳實施例之畫素電路的時脈圖。

第9圖係本發明第二較佳實施例輸入電流與電流調變比例之關係圖。

第10圖係本發明第三較佳實施例之畫素電路的時脈圖。

10 【主要元件符號說明】

資料線	109,209,310
掃描線	108,208,309
電晶體	104,105,106,107,202,203,204,207,304,306,307,308
儲存電容	103,206,303,305
發光元件	102,205,302
控制線	311
直流電壓訊號線	110,210,312
電阻	304a,307a,308a
接地端	101,201a,201b,301a,301b

十、申請專利範圍：

1. 一種主動式可調變電流之薄膜電晶體結構，包括：
 - 一資料線，係提供一資料電流；
 - 一掃描線；
 - 5 一直流電壓源；
 - 一第一儲存電容；
 - 一第二儲存電容，係與該第一儲存電容串聯；以及
 - 複數電晶體，包括一第一電晶體、一第二電晶體、一
 - 10 第三電晶體、及一第四電晶體，該第三電晶體之一端係與該直流電壓源電性連接，且第三電晶體之閘極端與第二儲存電容之一端相連接，且與該掃描線電性連接，
 - 其中該第四電晶體之一端係與一發光元件電性連接，該第一電晶體與該第二電晶體之閘極相連接，且與該掃描線電性連接。
- 15 2. 如申請專利範圍第1項所述之主動式可調變電流之薄膜電晶體結構，其中該畫素電路於該開啟期間，該第一電晶體、該第二電晶體及該第四電晶體係開啟。
- 20 3. 如申請專利範圍第1項所述之主動式可調變電流之薄膜電晶體結構，其中該畫素電路於該關閉期間，該第三電晶體與該第四電晶體係開啟。
4. 如申請專利範圍第1項所述之主動式可調變電流之薄膜電晶體結構，其中該第一儲存電容與該第二儲存電容之間具有一節點，且該節點與該第四電晶體

949.16

十、申請專利範圍：

1. 一種主動式可調變電流之薄膜電晶體結構，包括：

一資料線，係提供一資料電流；

一掃描線；

一直流電壓源；

一第一儲存電容；

一第二儲存電容，係與該第一儲存電容串聯；以及

複數電晶體，包括一第一電晶體、一第二電晶體、一第三電晶體、及一第四電晶體，該第三電晶體之一端係與該直流電壓源電性連接，且第三電晶體之閘極端與第二儲存電容之一端相連接，且與該掃描線電性連接，

其中該第四電晶體之一端係與一發光元件電性連接，該第一電晶體與該第二電晶體之閘極相連接，且與該掃描線電性連接。

2. 如申請專利範圍第1項所述之主動式可調變電流之薄膜電晶體結構，其中該薄膜電晶體結構於該開啟期間，該第一電晶體、該第二電晶體及該第四電晶體係開啟。

3. 如申請專利範圍第1項所述之主動式可調變電流之薄膜電晶體結構，其中該薄膜電晶體結構於該關閉期間，該第三電晶體與該第四電晶體係開啟。

4. 如申請專利範圍第1項所述之主動式可調變電流之薄膜電晶體結構，其中該第一儲存電容與該第二儲存電容之間具有一節點，且該節點與該第四電晶體

之閘極電性連接，俾供該畫素電路由該開啟期間轉為該關閉期間時，該第四電晶體因該節點之電位下降，以使得流經該第四電晶體與該發光元件之電流降低。

- 5
5. 如申請專利範圍第1項所述之主動式可調變電流之薄膜電晶體結構，其中該第一儲存電容與該第二儲存電容之間具有一節點，且該節點與該第三電晶體之閘極電性連接，俾供該畫素電路由該開啟期間轉為該關閉期間時，該第三電晶體因該節點之電位下降，以使得流經該第三電晶體與該發光元件之電流降低。
- 10
6. 如申請專利範圍第1項所述之主動式可調變電流之薄膜電晶體結構，其中流經該發光元件於該畫素電路之開啟期間的電流與流經該發光元件於該畫素電路之關閉期間的電流具有一電流調變比例。
- 15
7. 如申請專利範圍第6項所述之主動式可調變電流之薄膜電晶體結構，其中該電流調變比例係隨著該掃描線所提供之電位差增加而變大。
8. 如申請專利範圍第6項所述之主動式可調變電流之薄膜電晶體結構，其中該電流調變比例係隨著該第二儲存電容之電容量增加而變大。
- 20
9. 一種主動式可調變電流之薄膜電晶體結構，包括：
一第一電晶體，具有一第一端、一第二端、及一閘極；
一第二電晶體，具有一第一端、一第二端、及一閘極；

之閘極電性連接，俾供該薄膜電晶體結構由該開啟期間轉為該關閉期間時，該第四電晶體因該節點之電位下降，以使得流經該第四電晶體與該發光元件之電流降低。

5 5. 如申請專利範圍第1項所述之主動式可調變電流之薄膜電晶體結構，其中該第一儲存電容與該第二儲存電容之間具有一節點，且該節點與該第三電晶體之閘極電性連接，俾供該薄膜電晶體結構由該開啟期間轉為該關閉期間時，該第三電晶體因該節點之電位下降，以使得流經該第三電晶體與該發光元件之電流降低。

10

6. 如申請專利範圍第1項所述之主動式可調變電流之薄膜電晶體結構，其中流經該發光元件於該薄膜電晶體結構之開啟期間的電流與流經該發光元件於該薄膜電晶體結構之關閉期間的電流具有一電流調變比例。

15

7. 如申請專利範圍第6項所述之主動式可調變電流之薄膜電晶體結構，其中該電流調變比例係隨著該掃描線所提供之電位差增加而變大。

20

8. 如申請專利範圍第6項所述之主動式可調變電流之薄膜電晶體結構，其中該電流調變比例係隨著該第二儲存電容之電容量增加而變大。

9. 一種主動式可調變電流之薄膜電晶體結構，包括：
一第一電晶體，具有一第一端、一第二端、及一閘極；

一第一儲存電容，具有一第一端與一第二端，該第一儲存電容之第一端係接地；

一第二儲存電容，具有一第一端與一第二端；

5 一資料線，係分別與該第一電晶體之第一端、及該第二電晶體之第一端電性連接；

一掃瞄線，係分別與該第一電晶體之閘極、該第二電晶體之閘極、及該第二儲存電容之第二端電性連接；

10 一第三電晶體，具有一第一端、一第二端、及一閘極，該第三電晶體之第一端與一直流電壓訊號線電性連接；以及

15 一第四電晶體，具有一第一端、一第二端、及一閘極，該第四電晶體之第一端分別與該第一電晶體之第二端、及該第三電晶體之第二端電性連接，該第四電晶體之閘極分別與該第二電晶體之第二端、該第一儲存電容之第二端、及該第二儲存電容之第一端電性連接，且該第四電晶體之第二端與一發光元件之一端電性連接。

10.如申請專利範圍第9項所述之主動式可調變電流之薄膜電晶體結構，其中該發光元件之另一端係接地。

20 11.如申請專利範圍第9項所述之主動式可調變電流之薄膜電晶體結構，其中該第三電晶體之閘極與一控制線電性連接。

12.如申請專利範圍第9項所述之主動式可調變電流之薄膜電晶體結構，其中該第三電晶體之閘極分別與該掃描線、及該第二儲存電容之第二端電性連接。

5 13.如申請專利範圍第9項所述之主動式可調變電流之薄膜電晶體結構，其中該第一電晶體、該第二電晶體、該第三電晶體、及該第四電晶體為一N型電晶體時，該等電晶體之第一端為汲極，且該等電晶體之第二端為源極。

10 14.如申請專利範圍第9項所述之主動式可調變電流之薄膜電晶體結構，其中該第三電晶體為一P型電晶體時，該第三電晶體之第一端為源極，且其第二端為汲極。

15 15.一種主動式可調變電流之薄膜電晶體結構，包括：
一第一開關電晶體，其閘極係與一第二開關電晶體之閘極電性連接，且該第一開關電晶體與該第二開關電晶體之閘極並與一掃描線電性連接，該第一開關電晶體之第一端與該第二開關電晶體之第一端係與一資料線電性連接；

一第三開關電晶體，係分別與一直流電壓訊號線及一第四驅動電晶體之第一端電性連接；

20 一第一儲存電容，其一端係接地，且其另一端與該第四驅動電晶體之閘極電性連接；以及

一第二儲存電容，其一端係與該第一、及第二開關電晶體之閘極電性連接，且其另一端分別與該第一儲存電容之一端及該第四驅動電晶體之閘極電性連接。

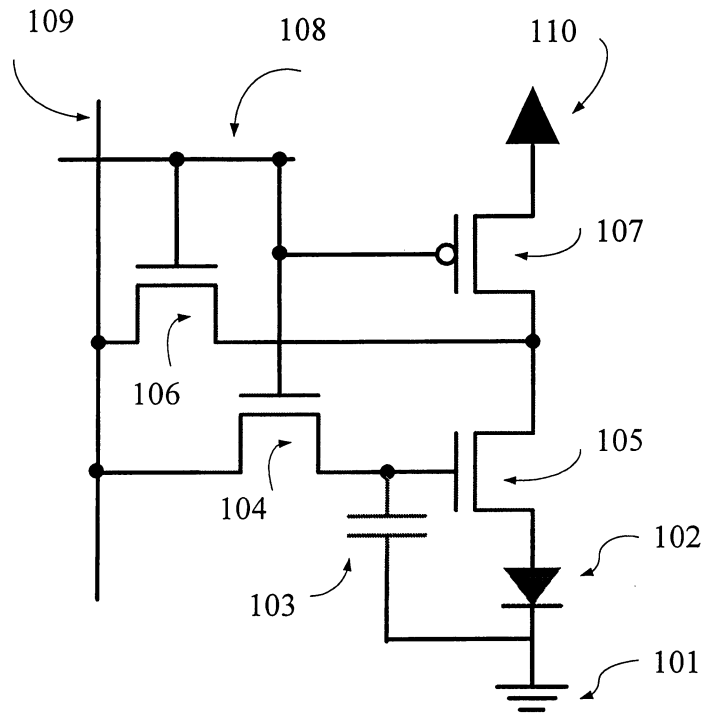
16.如申請專利範圍第15項所述之主動式可調變電流之薄膜電晶體結構，其中該第三開關電晶體之閘極與一控制線電性連接。

5 17.如申請專利範圍第15項所述之主動式可調變電流之薄膜電晶體結構，其中該第四驅動電晶體之閘極分別與該第二儲存電容之一端、該第一開關電晶體之閘極、及該第二開關電晶體之閘極電性連接。

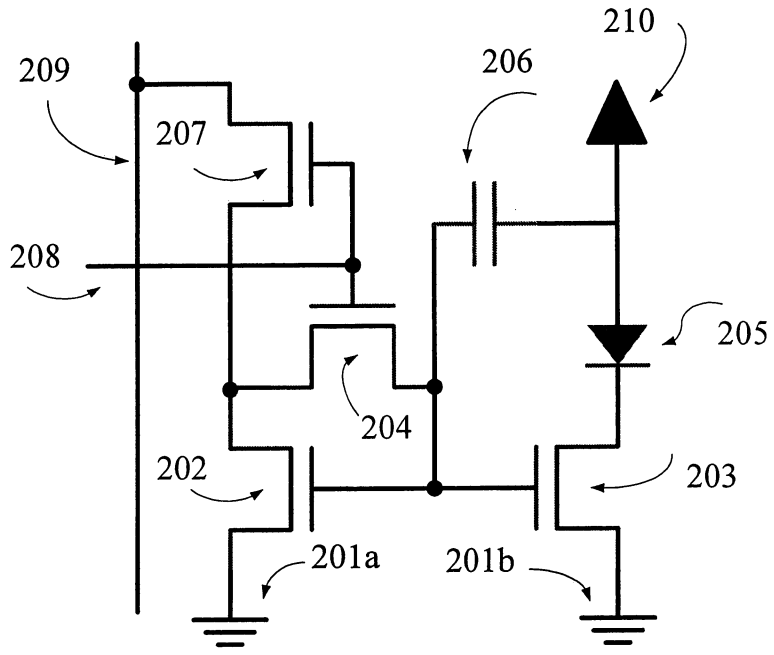
10 18.如申請專利範圍第15項所述之主動式可調變電流之薄膜電晶體結構，其中該第四驅動電晶體之第二端與一發光元件電性連接

19.如申請專利範圍第15項所述之主動式可調變電流之薄膜電晶體結構，其中該第三開關電晶體為P型電晶體。

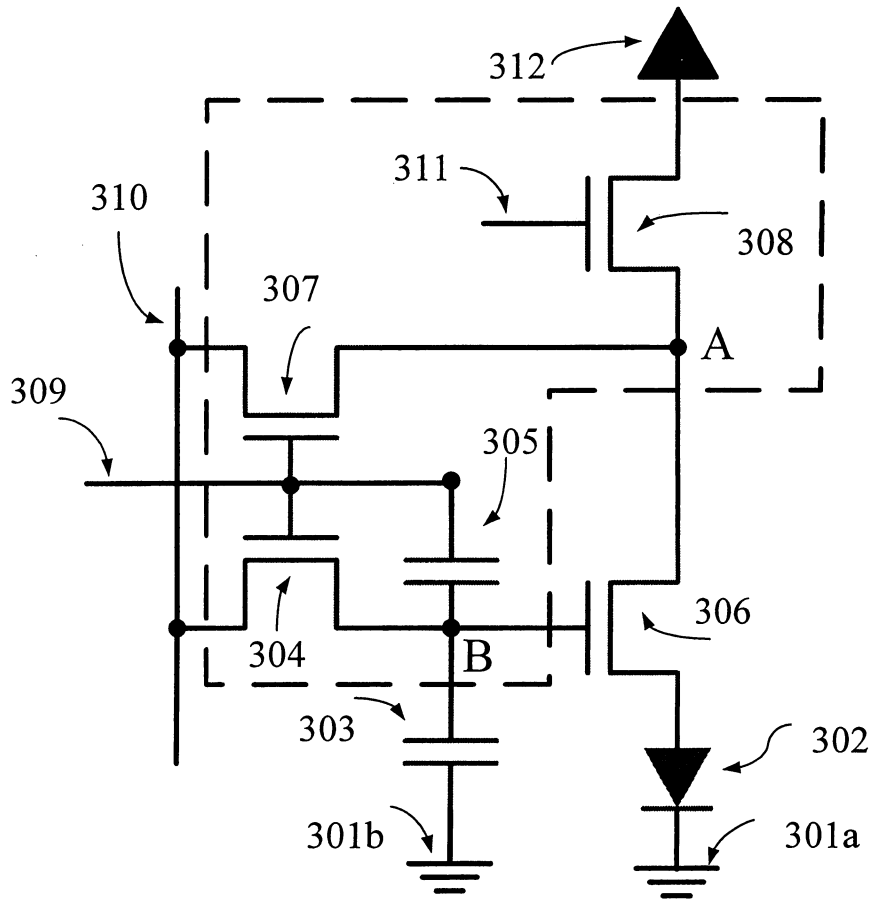
15 20.如申請專利範圍第15項所述之主動式可調變電流之薄膜電晶體結構，其中該第三開關電晶體為N型電晶體。



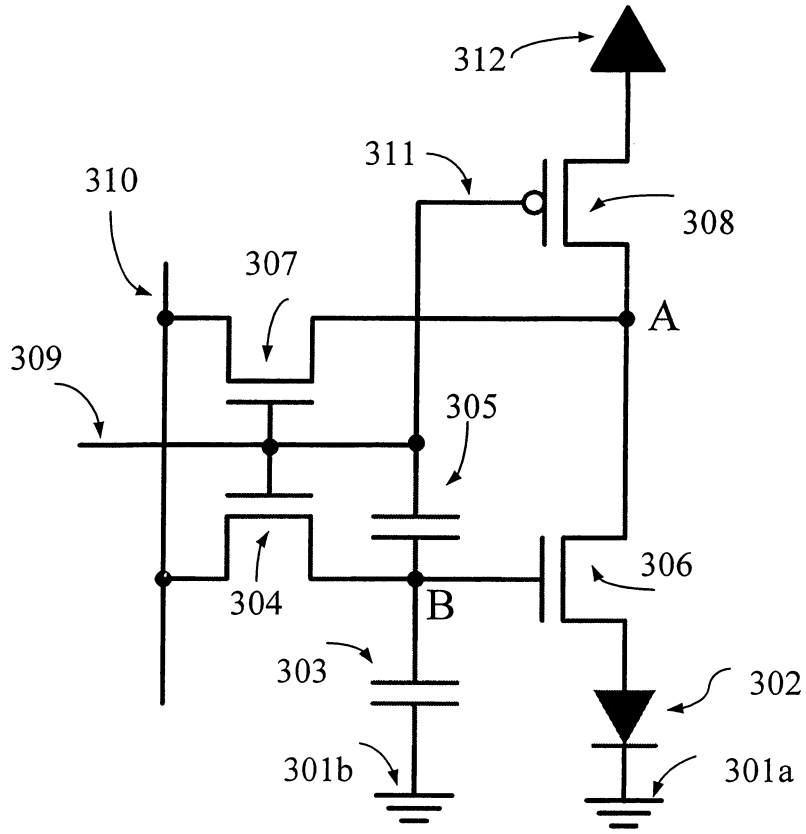
第 1 圖



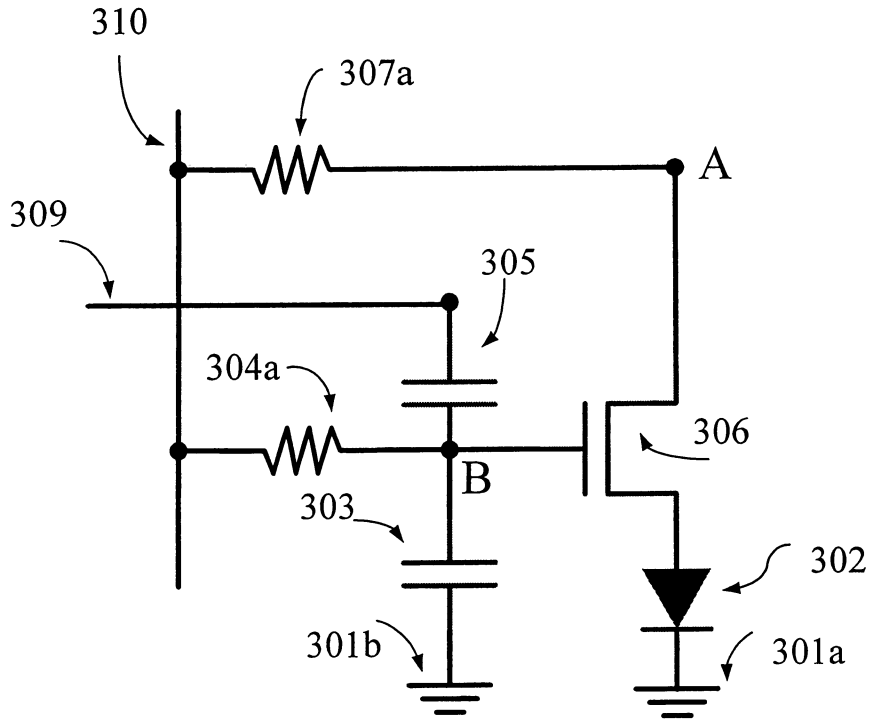
第 2 圖



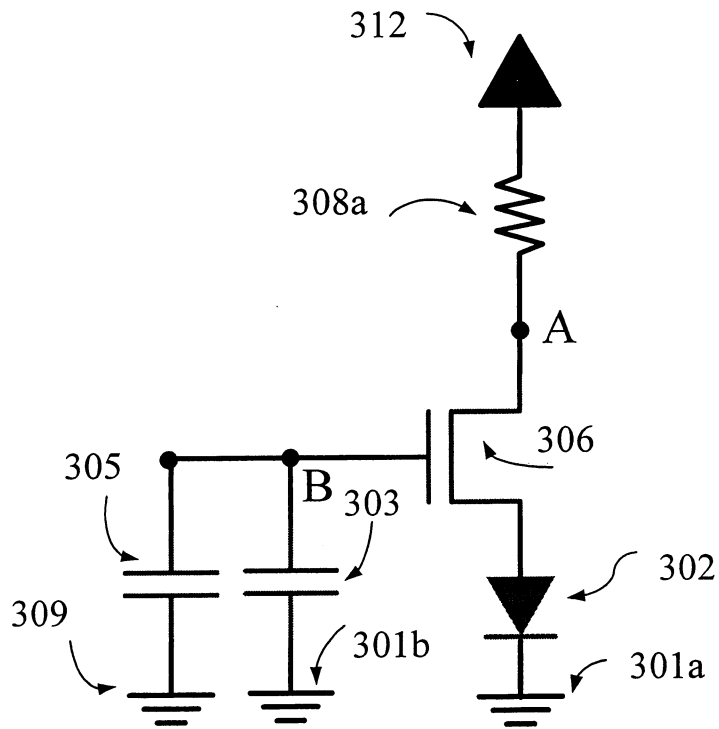
第 3 圖 a



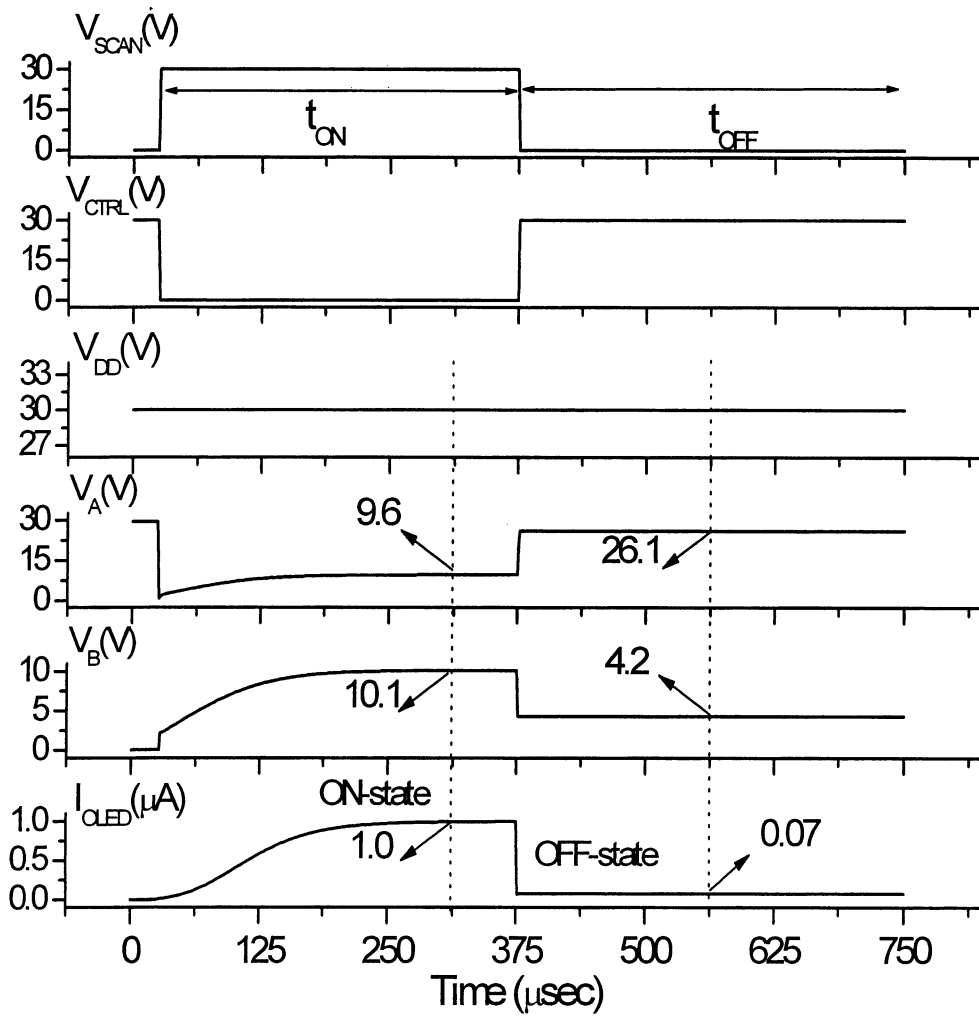
第 3 圖 b



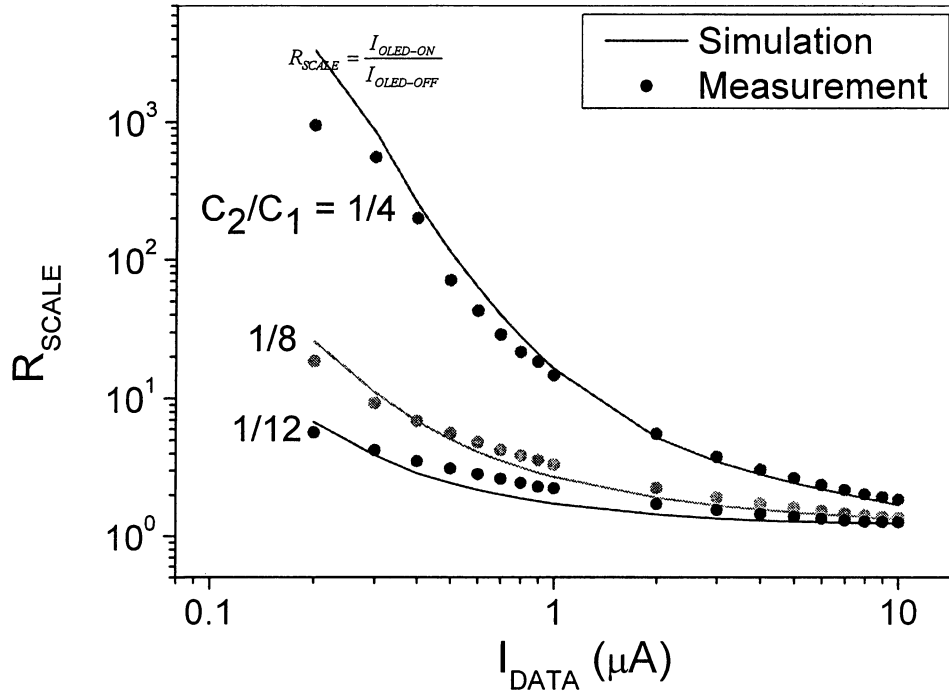
第 4 圖 a



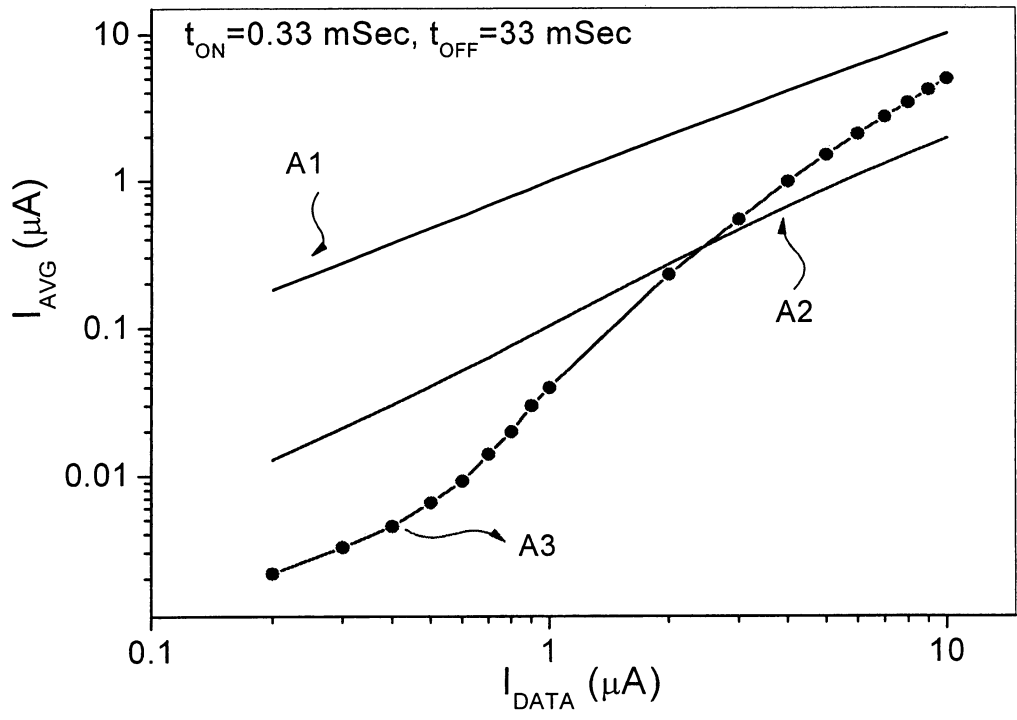
第 4 圖 b



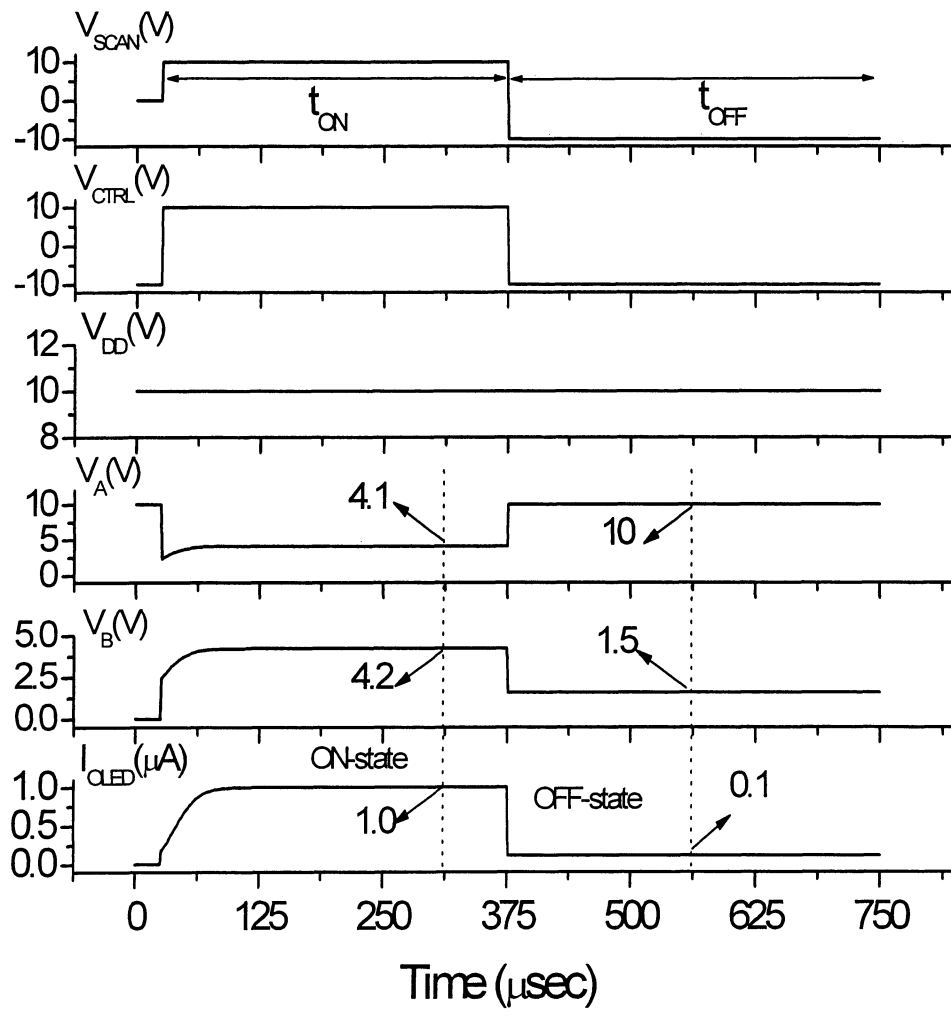
第 5 圖



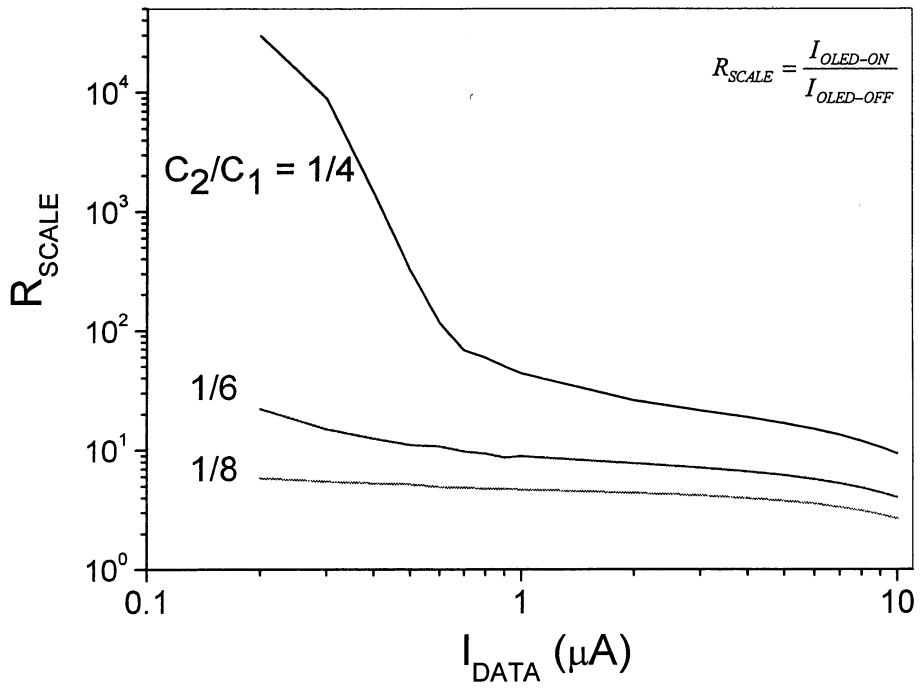
第 6 圖



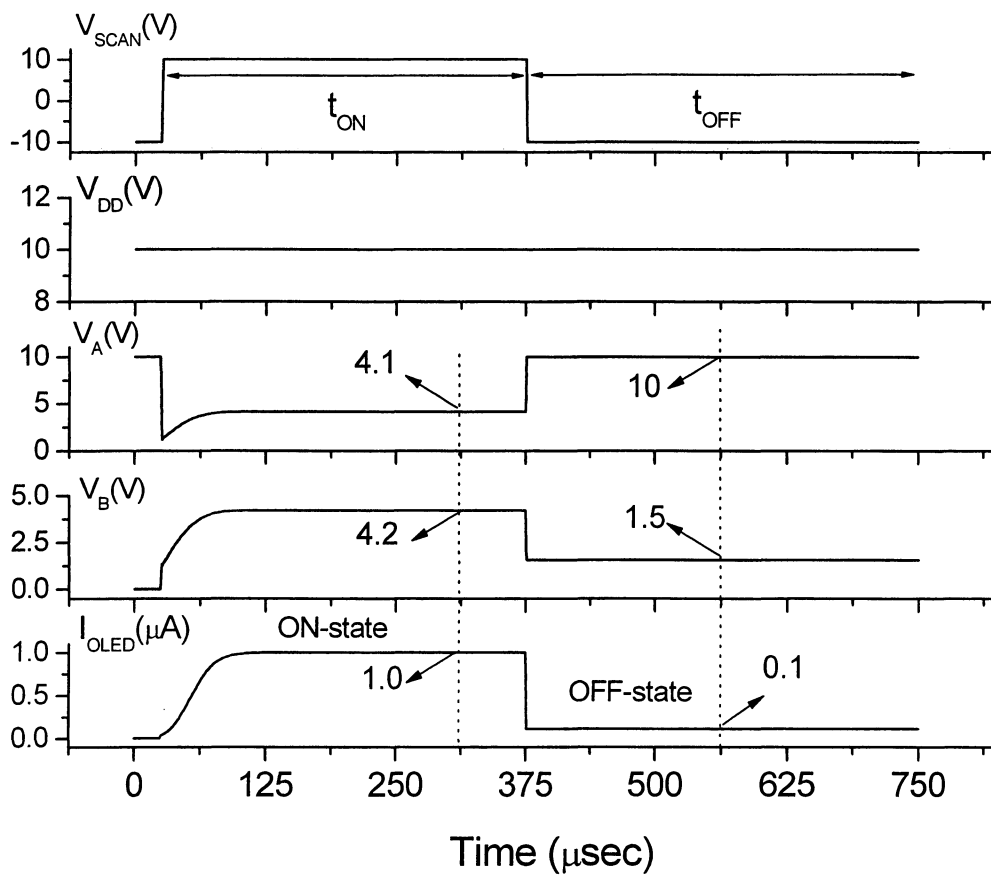
第 7 圖



第 8 圖



第 9 圖



第 10 圖