

發明專利說明書 200607030

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：93123344

※申請日期：93.8.4

※IPC 分類：

H01L 21/60

一、發明名稱：(中文/英文)

保護錫銲接點之方法及可降低錫銲接點中電遷移及焦耳熱效應之構造
PROCESS FOR PROTECTING SOLDER JOINTS AND STRUCTURE FOR
ALLEVIATING ELECTROMIGRATION AND JOULE HEATING IN SOLDER JOINTS

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

國立交通大學

National Chiao Tung University

代表人：(中文/英文)

張俊彥/Chun-Yen Chang

住居所或營業所地址：(中文/英文)

新竹市大學路 1001 號

國籍：(中文/英文)

中華民國/R.O.C

三、發明人：(共 3 人)

姓名：(中文/英文)

1. 陳智

2. 葉長青

3. 杜經寧

國籍：(中文/英文)

1. ~ 2. 中華民國

3. 美國

四、聲明事項：

主張專利法第二十二條第二項第一款或第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：
本案未在國外申請專利

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

本發明提供一種保護錫接點之方法，包括於基板與晶片之錫接點上，製作金屬墊，然後再製作連接基板與晶片之凸塊，其中該金屬墊層（UBM 或 Pad metallurgy）與晶片或基板連接之端點位置上，被加入一高電阻率之材料以均化凸塊之電子流分布，而可降低電遷移、焦耳熱效應升溫現象。

六、英文發明摘要：

This invention provides a process for protecting solder joints, comprising forming an UBM or pad metallurgy in solder joints and then further forming a small solder bump on UBM or pad metallurgy between substrate and chip. Wherein a material of high electric resistance is coated at the ends of UBM or pad metallurgy where substrate is connected to chip, as to equalize the current distribution of solder bump, therefore the electromigration resistance of solder joints is improved by suppressing the current crowding and joule heating phenomenon.

七、指定代表圖：

(一)本案指定代表圖為：第 (3) 圖。

(二)本代表圖之元件代表符號簡單說明：

- 2 矽晶片
- 3 鍍錫凸塊
- 4 基板
- 7 被動層

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

九、發明說明：

(一)發明所屬之技術領域

本發明提供電子封裝作業中，一種保護接點包括：覆晶銲錫接點、異方性導電膠（ACF）或捲帶自動接合（Tape Automatic Bond, TAB）接點等之設計方法，其可減少銲錫凸塊（Solder Bump）之電流集中及所造成之電遷移破壞、焦耳熱效應之升溫破壞，而使上述接點之使用壽命增長。

本發明發法可廣泛地應用於各類電子產品中，包括電腦、通訊設備、汽車、消費性電子及液晶顯示器等。

(二)先前技術

在新一代積體電路中，透過半導體封裝技術與晶片微小化、系統化技術的進步，整個系統功能將可達成更大的突破；其中，覆晶（flip-chip）技術無疑地被認為是主導封裝技術發展的關鍵。覆晶技術相較於打線方式（wire bonding），其接點所具優點包括：（1）縮短導線距離，而可提供更佳性能與更小尺寸，故可以降低能耗與訊號傳輸延遲問題；（2）塊狀接合，而可提供更大輸出，故可以降低成本；（3）區域陣列佈設，可以解決打線技術之埠端墊（I/O pad）瓶頸問題。

作為封裝之覆晶接合技術主要是在晶片埠端（I/O）上製作金屬凸塊（或稱為銲錫球），作為與基板接合之媒介；為了晶片微小化及容納更多的 I/O 接點，前述之金屬凸塊就被要求儘可能縮小尺寸，然而相對地，因縮小尺寸所造成電學上的電遷移現象（electromigration），其將劇烈地影響銲

錫接點的可靠度。

所謂「電遷移現象」係指材料內部之原子因受到電場與電荷載子之影響而產生移動的現象。以鋁原子(FCC結構)為例，其示意圖如第 1 圖所示，當金屬原子受電荷載子之撞擊所產生動量轉移之作用下，將在晶格中由原來位置被移至鞍點(saddle point)，然後再移動至空位(vacancy)；其中，純金屬的電遷移可依下列數學式表示：

$$F = Z^*eE = (Z^*e_l + Z^*w_d)eE$$

即，在電場 E 的作用下，電子所受之力為 eE ，而作用於離子之力為 Z^*eE ；其中， Z^*e_l 為擴散原子之標稱原子價(金屬離子在電場作用下之庫倫作用力)， Z^*w_d 為電子有效電荷係數(其來源為電子與金屬離子動量之轉移)；當 $Z^*w_d > Z^*e_l$ 原子時，將朝電子移動之方向移動；對金屬而言 Z^*w_d 遠大於 Z^*e_l 。

另外，此外加之電流(I)在通過金屬(電阻 R)時，也會加熱此金屬(即，焦耳熱效應，Joule heating effect)而造成金屬之溫度升高，同時擴散係數也隨之變大，致使電遷移效應更加嚴重，因此，電遷移現象即為結合著電與熱效應，致使原子移動之現象；更嚴重的是，對於覆晶接點(flip-chip joint)而言，由於其具有特殊之幾何形狀(如第 2 圖所示)，因而發生電流擁擠效應(current crowding effect)，其發生於錒錫與導線之接點處，由於此效應將在錒錫與導線接點處產生破壞力，而造成可靠度問題。

由於無鉛化之趨勢下，錫將成為錒錫之主要材料，加上

引腳架常因錫層產生之錫晶鬚成長造成短路，故純錫之電遷移也將會是無鉛錫的可靠度問題之一。

有關接點壽命之延長，習知技術與被覆晶接點可靠度研究中之重要議題卻被侷限在如何減少一些性能參數，例如因電學而產生與溫度有關之 IC 晶片與基板材料的熱擴散或膨脹係數差異所形成之應力問題上，該議題包括錫錫凸塊幾何形狀之最佳化、錫錫化學組成之改變，或者錫錫接點之間填充有機樹脂材料等方式，但效果不彰，且無法克服高階電子產品中微小化後之接點所造成之電遷移破壞、焦耳熱破壞及熱膨脹材料應力之問題；其中例如已公告之專利案 US 6,593,649 中提出以改變埠端墊 (I/O pad) 佈設方式，縮短導線連接距離來控制許多電學性能參數，但仍然無法克服為了容納更多的 I/O 接點所產生的接點壽命明顯下降的缺點。因此關於本發明此種保護覆晶錫錫接點之方法，目前已知技術與相關研究均報導闕如，本發明人經苦心研究而在此所討論的，係為一種較以往習知技術而言是全新之觀念與解決手段。

(三)發明內容

覆晶技術 (Flip-Chip Technology) 目前已廣泛應用於高階電子產品之封裝作業，現今之電路設計，每一個錫錫凸塊接點所承受之電流為 0.2 安培 (不久未來所承受之電流將高達至 0.4 安培以上)，而錫錫凸塊之尺寸也將由現今直徑 100 μm 縮小至 50 μm ，屆時電流密度將高達 $10^4\text{A}/\text{cm}^2$ ，其在 100°C 之元件操作溫度下，該錫錫藉由晶格擴散 (lattice

diffusion)將會產生前述之電遷移現象。

本發明目的關於一種保護錒錫接點之方法，該方法將可大幅改善前述電遷移現象所產生之問題；由於無鉛化趨勢下，錫將成爲錒錫之主要材料，加上引腳架常因錫層產生之錫晶鬚成長而造成短路，故克服純錫之電遷移問題，即無鉛錒錫的可靠度問題也是本發明之目的之一。

本發明之另一目的係提供一種新穎的覆晶錒錫構造，藉由前述保護覆晶錒錫接點之方法所得到之觀念，將其應用於改良其他各類電子產品，包括電腦、通訊設備、汽車、消費性電子及液晶顯示器等之類似結構，以克服電遷移現象所產生之問題，而非僅限於本發明實施例所表示之型態。

有關一般錒錫凸塊受到電遷移破壞，可分爲下列三種模式：

- 一、由於錒錫凸塊之特殊幾何形狀（例如第 2 圖所示）及鋁導線與凸塊間電阻值之差異，當它被通入 0.5 安培的電流時，其鋁導線與凸塊的電流密度分別爲 1×10^7 及 $1 \times 10^4 \text{ A/cm}^2$ ，而鋁導線與凸塊之間電阻值，鋁導線爲 $180 \text{ m}\Omega$ 、凸塊爲 $8 \text{ m}\Omega$ ，上述兩個因素將造成大部分之電子流係集中朝凸塊之左側之方向移動並轉而向下流動，即電流擁擠效應。此效應將加速破壞鋁導線與錒錫凸塊之接點。
- 二、除此之外，鋁導線之焦耳熱效應較大，因此將使錒錫凸塊在產生溫度梯度，進而促進熱遷移現象之發生，並產生第二錒錫凸塊破壞模式。在作電遷移加速測試時，需

施加一大電流(密度)，此電流又會因焦耳熱效應而加熱錫，造成錫的實際溫度比預定的測試溫度高出許多，使錫凸塊的破壞時間(或平均破壞時間，Mean-time-to-failure)縮短，因此需要校正通電時的溫度。

三、造成錫凸塊失效之另一個原因為，基板的金屬墊層中之銅與鎳原子因受電子流的影響而遷移至錫凸塊中，在 UBM 與錫凸塊之間反應，並形成介金屬化合物 Cu_6Sn_5 或 Ni_3Sn_4 之堆積，致產生應力而破壞。

本發明所提供保護錫接點之方法，即為避免產生前述電遷移現象，係在電子封裝之覆晶錫接點、異方性導電膠(ACF)或捲帶自動接合(Tape Automatic Bond, TAB)接點之中，在其金屬墊層(UBM, under bump metallurgy 或 Pad metallurgy)與晶片或基板連接之端點位置上，加入一高電阻率之材料，以紓解電流集中效果，進而降低電遷移破壞、焦耳熱效應之升溫破壞而延長接點之使用壽命。

對於封裝接點而言，接點材料(錫)主要有錫鉛(Solder)、金(Gold)、金柱(Gold stud)、聚合物(polymer)、銦(Indium)、金錫(Gold Tin)之類，考慮到接點之接著性與導電性，包括金屬墊層(UBM 或 Pad metallurgy)通常是選擇能與錫或製程相容之材質，例如鉻、銅、鎳、金之類，然而此時做為前述晶片端或基板端之高電阻率材料，可為一層很薄之純物質(如鉬)，氧化層(如 SiO_2 及 Si_3N_4)或是金屬氧化物(如 Al_2O_3)、金屬氮化物(如 TiN 及 TaN)之

類的高電阻率材料。

金屬墊層介於晶片埠端金屬墊與金屬凸塊之間，提供連結與防止金屬墊與金屬凸塊相互擴散之功能。金屬墊層之製程技術主要有蒸鍍、濺鍍及無電鍍鎳/金等；而凸塊之製程技術則有蒸鍍、電鍍、鋼板（或光阻乾膜）印刷及植球等，金凸塊則以電鍍方式製作；製作本發明之金屬墊層（UBM）或墊層金屬，及一層很薄之高電阻率材料之方法可以用電鍍，物理氣相沉積（Physical Vapor Deposition），化學氣相沉積（Chemical Vapor Deposition）或原子層化學氣相沉積（Atomic Layer Chemical Vapor Deposition）。

本發明所提供之一種新穎的覆晶鉍錫構造，藉由前述保護覆晶鉍錫接點之方法所得到之構造與觀念，在凸塊所連接晶片與基板間之金屬墊層（UBM）端點位置，含有一層很薄之氧化層或是 TiN 之類的高電阻率材料。

（四）實施方式

本發明實施方式包括透過以下之有限元素分析法、紅外線溫度偵測分析以及實際鉍錫凸塊所進行之電遷移研究，然而本發明之觀念與申請專利範圍，應不受相關實施例之侷限。

一、一般鉍錫製作及可靠度

如第 2 圖所示之特殊幾何形狀之鉍錫凸塊，使被通入 0.5 安培的電流，其鉛導線與凸塊的電流密度分別為 1×10^7 及 $1 \times 10^4 \text{ A/cm}^2$ ，再加上其鉛導線與凸塊之間電阻值分別為 $180 \text{ m}\Omega$ 與 $8 \text{ m}\Omega$ ，此電阻值之差異及其特殊幾何形狀將造成大部分之電子流朝凸塊之左側之方向移動向下流動，而加

速破壞鋁導線與錒錫凸塊之接點；除外，鋁導線焦耳熱效應較大，因此將使錒錫凸塊在產生溫度梯度進而造成熱遷移現象發生而產生另一個錒錫凸塊破壞模式；再者，基板之金屬墊層中之銅與鎳原子因受電子流的影響下遷移至錒錫凸塊中，在 UBM 與錒錫凸塊間反應形成過渡金屬化合物 Cu_6Sn_5 或 Ni_3Sn_4 堆積產生應力而破壞。

第 3 圖為本發明所使用覆晶錒錫接點之橫截面示意圖，晶片端使用之金屬墊層 (UBM) 組成為：Ti：0.1 μm ，phase-in Cr-Cu：0.3 μm ，和 Cu：0.7 μm ，而基板端使用之 UBM 組成為：Au：0.025 μm ，Ni：5 μm ；和 Cu：20 μm 。錒錫凸塊直徑通常約為 100 μm ，而晶片端錒錫凸塊與 UBM 之接觸面積直徑約為 85 μm (本發明之電流密度，根據錒錫凸塊與 UBM 之接觸面積估算而來)，其中，基板端錒錫凸塊與 UBM 之接觸面積直徑為約 100 μm 。電子流由晶片端之左前方進入，經過錒錫凸塊再由基板端之左方流出，如第 2 圖之三度空間示意圖所示者。

第 4 圖為實際錒錫凸塊在 20,000 A/cm² 電流密度、100℃ 溫度下，隨不同時間 0 小時、20 小時、264 小時、408 小時之掃描式電子顯微鏡影像圖。由該圖可發現破壞發生於晶片端導線進入錒錫凸塊之處，在錒錫凸塊表面處，可發現小錒球散佈於表面，此證明晶片端導線進入錒錫凸塊之處當被破壞時，溫度已高至凸塊本身之熔點。配合著電流分析法與溫度偵測分析，可得知晶片端導線進入錒錫凸塊之處，因電流擁擠效應發生，而加速電子遷移破壞及焦耳熱效應產生

之熱遷移破壞，其雙重影響下，更加速對於鉚錫凸塊可靠度的危害。

第 5 圖為鉚錫凸塊在電流密度 $10,000\text{A}/\text{cm}^2$ 、 150°C 溫度下，由電子顯微鏡影像圖可發現陽極晶片端遭破壞之失效情形。

第 6 圖為失效鉚錫凸塊陽極晶片端，經選擇性蝕刻液蝕刻後之電子顯微鏡影像圖，可發現大量過渡金屬 (Cu , Ni) $_6\text{Sn}_5$ 堆積在金屬墊層與鉚錫介面之處，由此推測此現象將造成應力，而使鉚錫凸塊在該界面處產生裂縫而受到破壞。

第 7 圖為利用有限元素分析法，分析電流在鉚錫凸塊之三维空間分佈情形；由分析結果發現，電流密度在晶片端鋁導線處最高，而在鉚錫凸塊內的電流密度，以晶片端鉚錫凸塊與鋁導線處接觸最高。

第 8 圖為進一步之橫截面電流密度分析，如所示在晶片端導線與 UBM 接觸處電流密度高至 $20,000\text{A}/\text{cm}^2$ ，而鉚錫凸塊內平均電流密度約為 $5,000\text{A}/\text{cm}^2$ ，兩者相差將近 40 倍，由於電流擁擠效應，其造成大部分之電子流於經鋁導線進入凸塊時，會集中在最靠近接點處而流進鉚錫凸塊中。由上述發現晶片端因電流擁擠效應之產生使該處電流密度極高，造成鉚錫凸塊最易發生破壞之處。

第 9 圖為使用之紅外線偵測裝置示意圖。首先將鉚錫凸塊稍微研磨並加以拋光(其所剩質量為原先之 97%)，將鉚錫凸塊施加 0.586 安培之電流並置於加熱板上，維持 70°C 之恆

溫，觀查橫截面之溫度分佈情形。

第 10 圖所示發現整體鉚錫凸塊因焦耳熱效應之影響下溫度升高 54.5°C 。

第 11 圖所示當進一步計算鉚錫凸塊之溫度梯度，發現凸塊內之溫度梯度高達 $365^{\circ}\text{C}/\text{cm}$ (溫度梯度的計算方式為晶片端之溫度-基板端之溫度/鉚錫凸塊之高度)，此溫度梯度下鉚錫原子將受到熱遷移之影響，由上往下擴散，進而使在晶片端的鉚錫凸塊接點處產生孔洞之破壞。

二、無鉛鉚錫之製作及可靠度

由於無鉛化趨勢下，錫將成為鉚錫之主要材料，加上引腳架常因錫層產生之錫晶鬚成長造成短路，故純錫之電遷移也將會是無鉛鉚錫的可靠度問題之一。為了觀察純錫之電遷移現象，我們利用微影蝕刻技術，將 $5,000\text{\AA}$ 的錫薄膜蒸鍍於 700\AA 的鈦膜之上的試片，來研究純錫的電遷移效應。

第 12 圖為本實驗純錫試片之俯視與側視圖，使用的電流密度為 $1.5 \times 10^5 \text{A}/\text{cm}^2$ 。

第 13 圖為經過通電後，可觀察到在隨不同時間 0 小時、50 小時、160 小時、和 260 小時，陽極部分產生錫晶鬚及突出物之電子顯微鏡影像圖，我們發現錫晶鬚之長度與數量隨時間之增加而增加。

第 14 圖為錫晶鬚體積對時間作圖，我們發現在室溫下，電流密度 $1.5 \times 10^5 \text{A}/\text{cm}^2$ 時錫晶鬚的成長速率大約為 $3 \text{\AA}/\text{sec}$ 。

(五) 圖式簡單說明

第 1 圖 為材料內部之原子因受到電場與電荷載子之影響而產生移動現象之示意圖。

第 2 圖 為銲錫接點幾何形狀示意圖。

第 3 圖 為依據本發明所使用覆晶銲錫接點之橫截面示意圖。

第 4 圖 為實際銲錫凸塊在 $20,000 \text{ A/cm}^2$ 電流密度、 100°C 溫度下，隨不同時間（0 小時、20 小時、264 小時、408 小時）之掃描式電子顯微鏡影像圖。

第 5 圖 為銲錫凸塊在電流密度 $10,000 \text{ A/cm}^2$ 、 150°C 溫度下，失效之電子顯微鏡影像圖。

第 6 圖 為失效銲錫凸塊陽極晶片端經選擇性蝕刻液蝕刻後之電子顯微鏡影像圖。

第 7 圖 為利用有限元素分析法分析電流在銲錫凸塊之三度空間分佈情形。

第 8 圖 為銲錫凸塊橫截面電流密度分析。

第 9 圖 為本發明使用之紅外線偵測裝置示意圖。

第 10 圖 為溫度偵測分析示意圖。

第 11 圖 為銲錫凸塊之溫度梯度， $+365^\circ\text{C/cm}$ 。

第 12 圖 本發明實施所用之純錫試片之俯視與側視圖。

第 13 圖 為經過通電不同時間下，陽極部分產生錫晶鬚及突出物之電子顯微鏡影像圖。

第 14 圖 為錫晶鬚體積對時間作圖，錫晶鬚的成長速率大約為 3 \AA/sec 。

主要部份之代表符號

- | | |
|----|--------|
| 1 | 鋁原子 |
| 2 | 矽晶片 |
| 3 | 鍍錫凸塊 |
| 4 | 基板 |
| 5 | 鋁連接片 |
| 6 | 銅線 |
| 7 | 被動層 |
| 8 | 加熱平板 |
| 9 | 裝填狀態 |
| 10 | 晶片 |
| 11 | 載板 |
| 12 | 凸塊 |
| 13 | IR 檢測器 |
| 14 | 探針 |

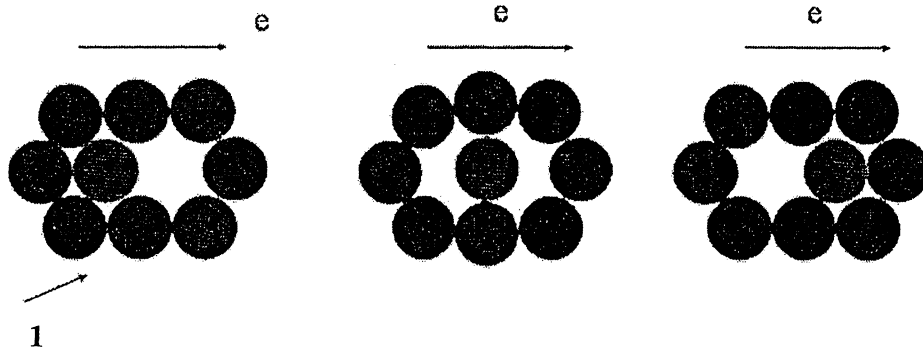
十、申請專利範圍：

1. 一種保護錐錫接點之方法，包括：於基板與晶片之錐錫接點上，製作金屬墊層，然後再製作連接基板與晶片之凸塊，其特徵在於，其金屬墊層（UBM，under bump metallurgy 或 Pad metallurgy）與晶片或基板連接之端點位置上，加入一高電阻率之材料以均化凸塊之電子流分布而紓解端點之電流集中，而可降低電遷移破壞、焦耳熱效應之升溫破壞現象。
2. 如申請專利範圍第 1 項之方法，其中錐錫為無鉛成分之凸塊材料。
3. 如申請專利範圍第 1 項之方法，其中之接點包括覆晶錐錫接點、異方性導電膠或捲帶自動接合接點。
4. 如申請專利範圍第 1 項之方法，其中高電阻率之材料針對金屬墊層（UBM 或 Pad metallurgy）而言係選擇能與錐錫或製程相容之材質。
5. 如申請專利範圍第 1 或 4 項之方法，其中高電阻率之材料可為一層很薄之純鉬、 SiO_2 及 Si_3N_4 之氧化層或是 Al_2O_3 之金屬氧化物、TiN 及 TaN 之金屬氮化物材料其中之一。
6. 一種用於降低電遷移破壞和焦耳熱效應升溫破壞之錐錫接點構造，係於基板與晶片之間含有金屬墊層，及錐錫凸塊，其特徵在於金屬墊層或墊層金屬與晶片或基板連接之端點位置上，含有一高電阻率之材料。
7. 如申請專利範圍第 6 項之錐錫接點構造，其中錐錫為無

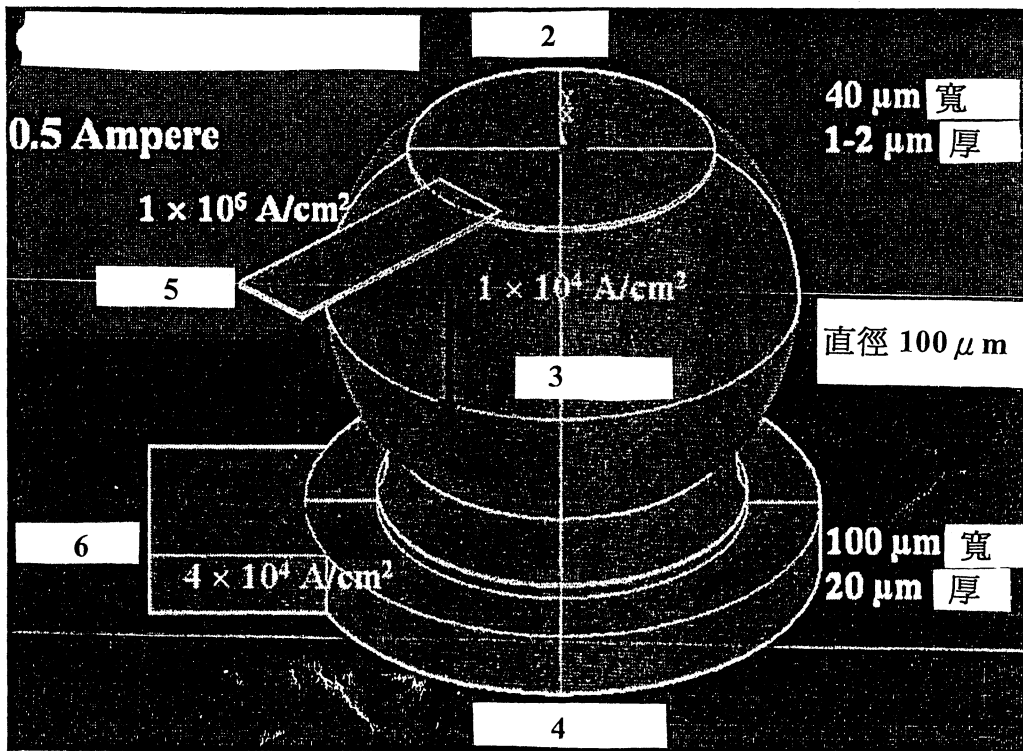
鉛為成分之凸塊材料。

8. 如申請專利範圍第 6 項之構造，其中之接點包括覆晶銲錫接點、異方性導電膠或捲帶自動接合接點。
9. 如申請專利範圍第 6 項之構造，其中高電阻率之材料針對金屬墊層而言係選擇能與銲錫或製程相容之材質。
10. 如申請專利範圍第 6 或 9 項之構造，其中高電阻率之材料可為一層很薄之純鉬、 SiO_2 及 Si_3N_4 之氧化層或是 Al_2O_3 之金屬氧化物、 TiN 及 TaN 之金屬氮化物材料其中之一。

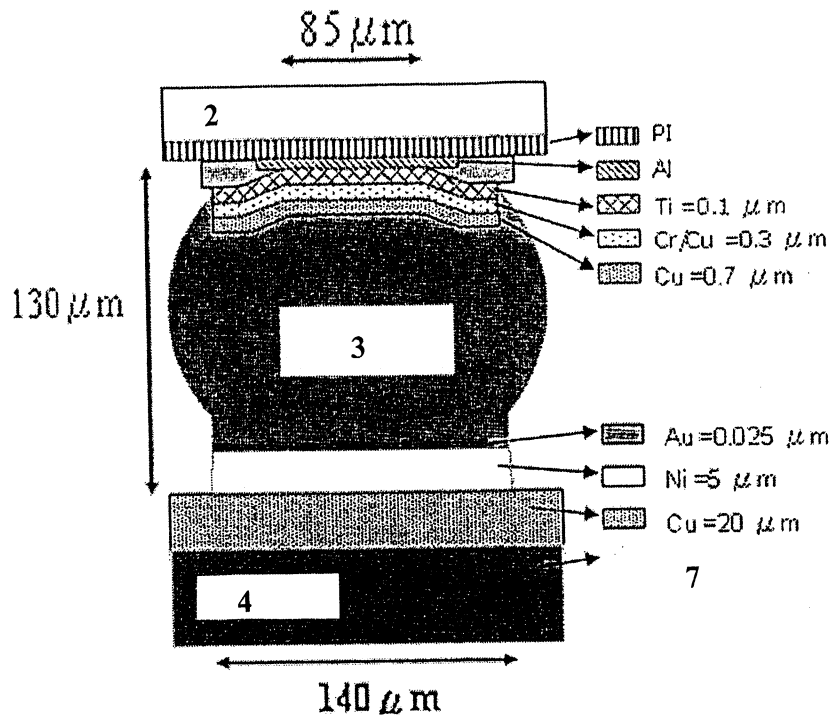
拾壹、圖式：



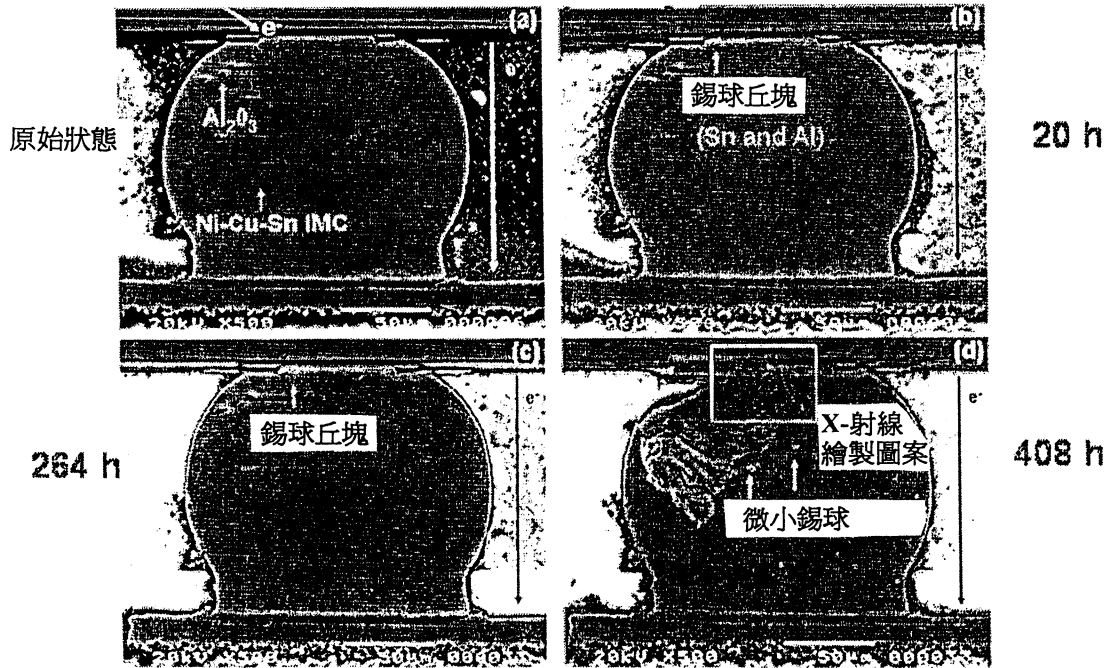
第1圖



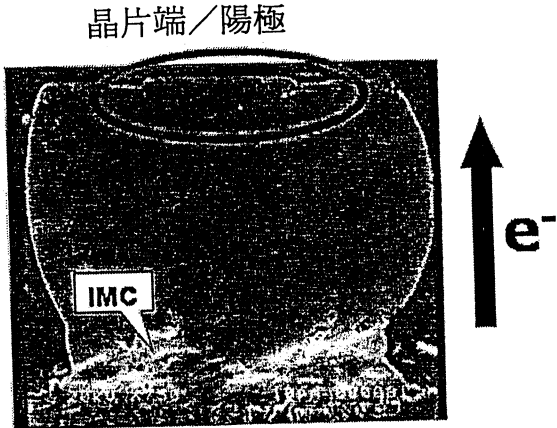
第2圖



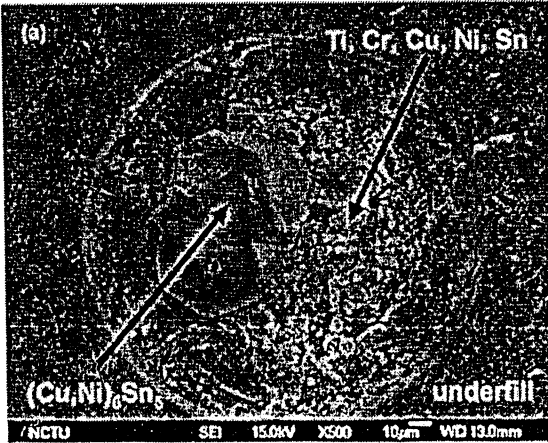
第 3 圖



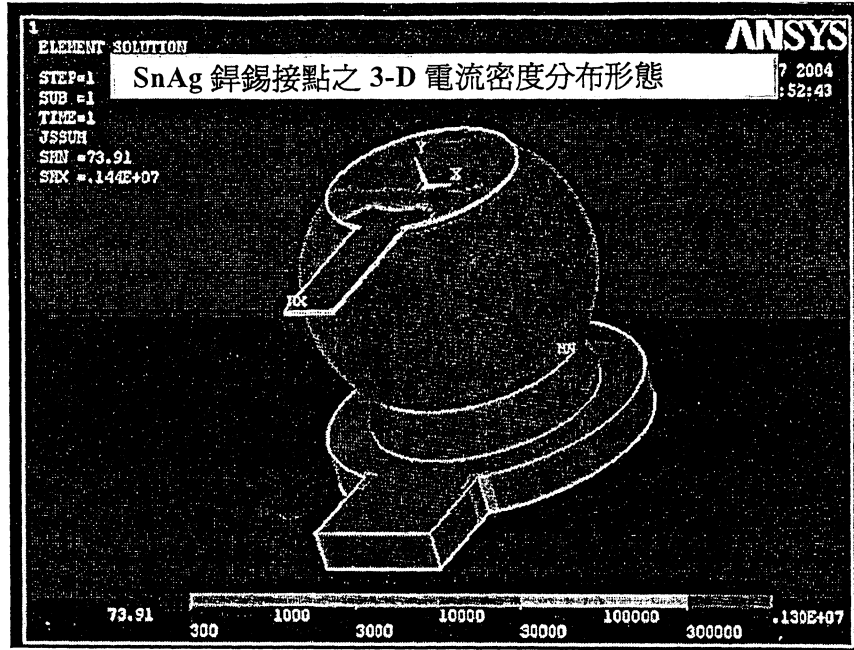
第 4 圖



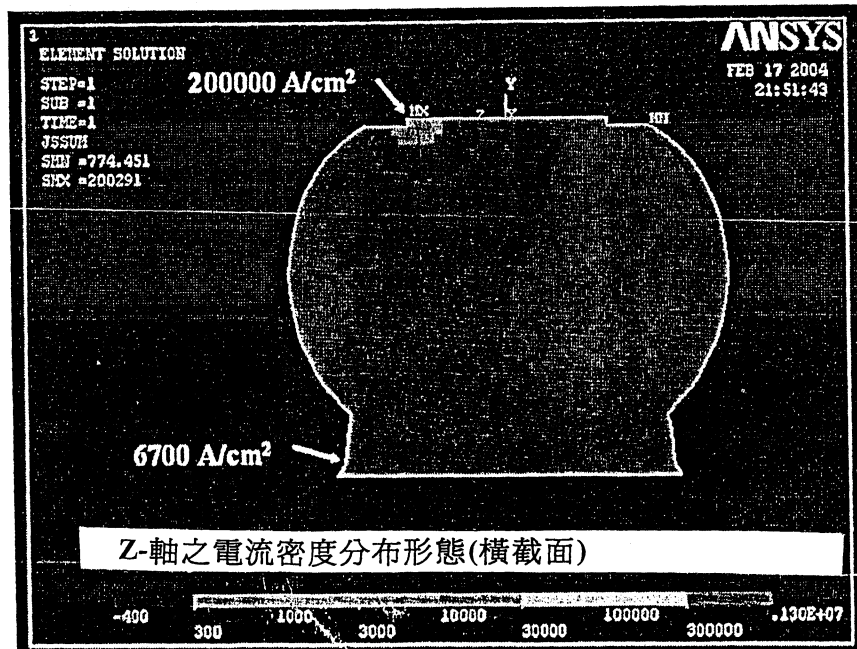
第 5 圖



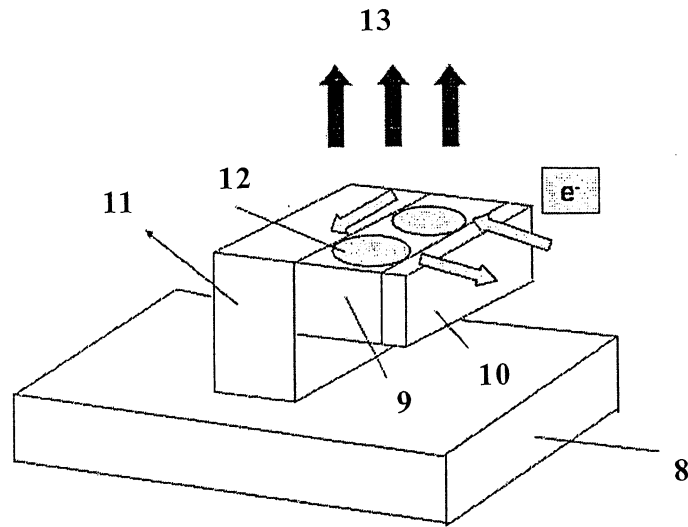
第 6 圖



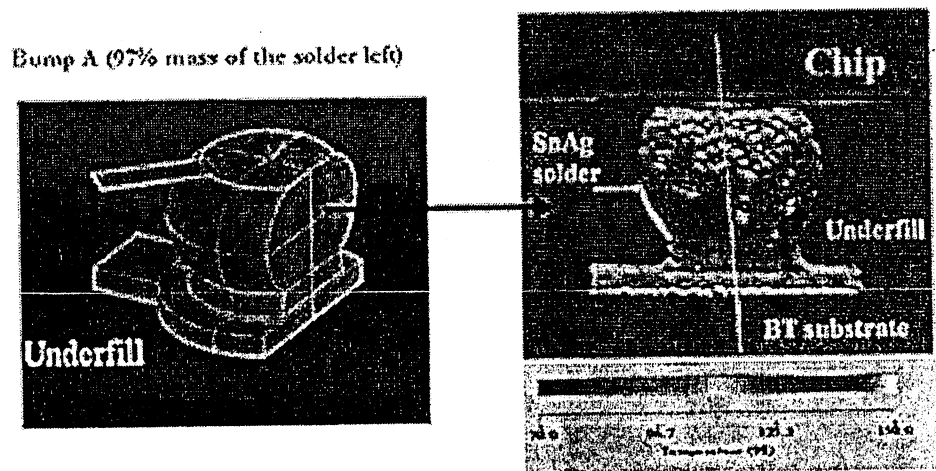
第 7 圖



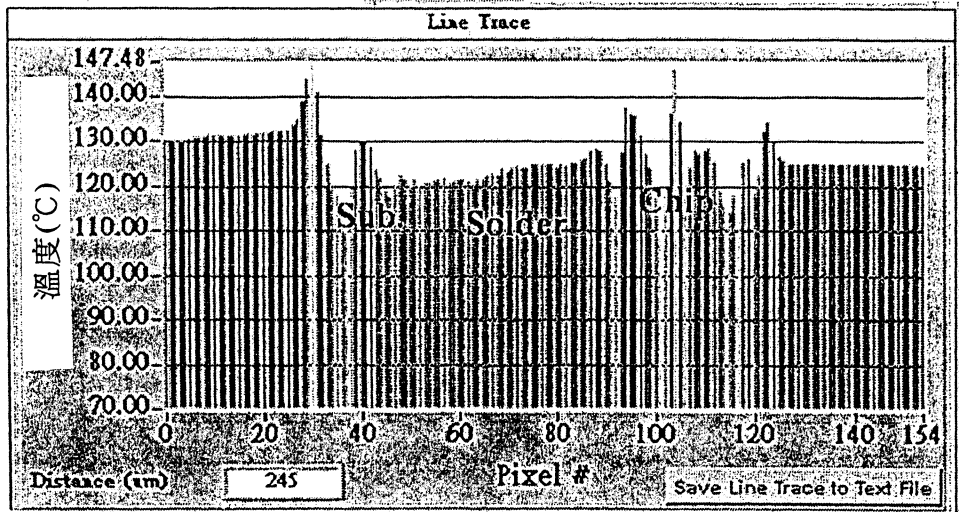
第 8 圖



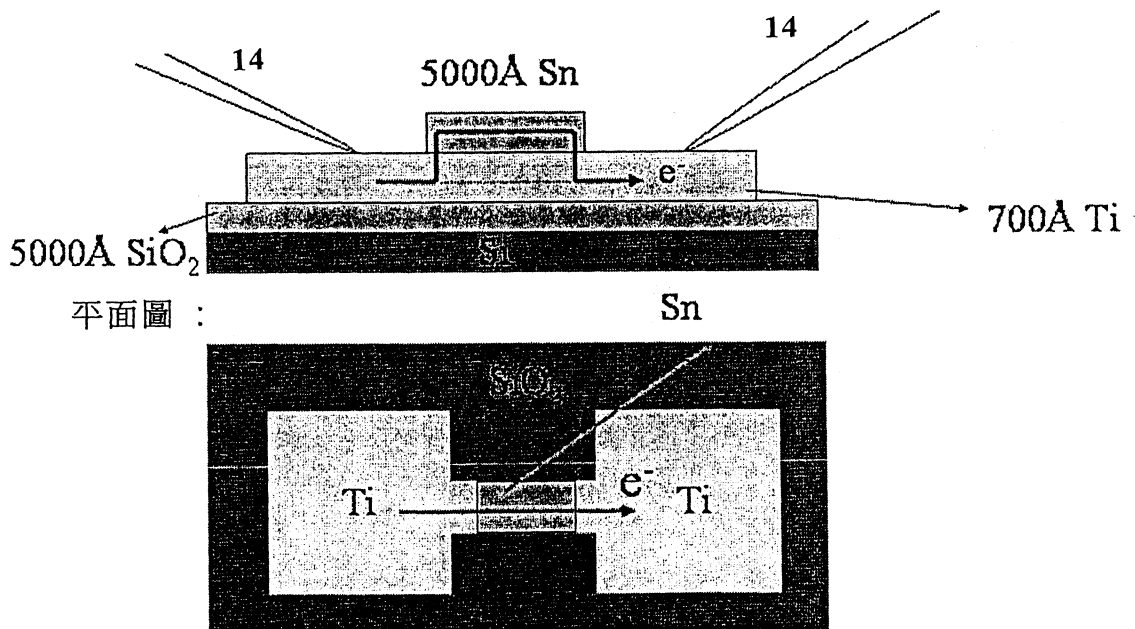
第9圖



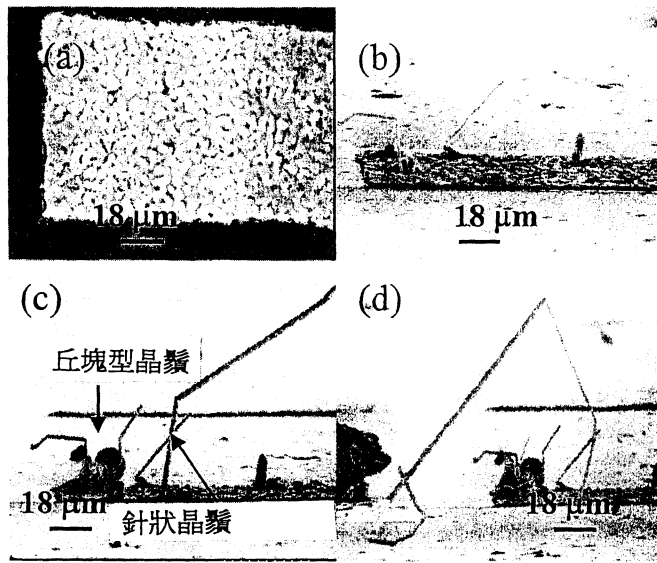
第10圖



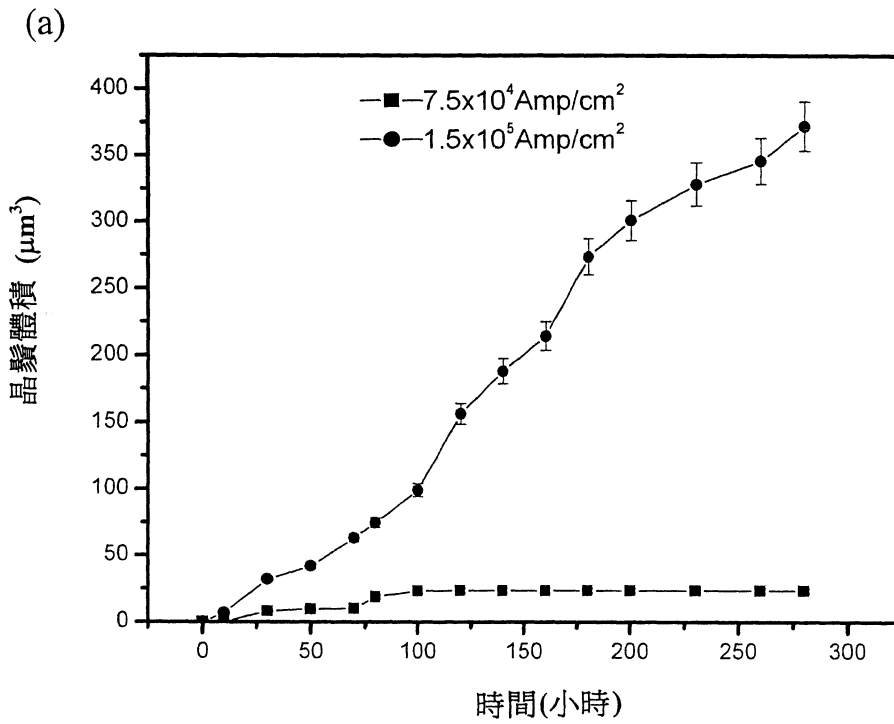
第 11 圖



第 12 圖



第 13 圖



第 14 圖