



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I421852 B

(45) 公告日：中華民國 103 (2014) 年 01 月 01 日

(21) 申請案號：100120492

(22) 申請日：中華民國 100 (2011) 年 06 月 13 日

(51) Int. Cl. : G09G3/36 (2006.01)

G09G3/20 (2006.01)

(71) 申請人：國立交通大學 (中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

(72) 發明人：劉柏村 LIU, PO TSUN (TW)；竹立煒 CHU, LI WEI (TW)；鄭光廷 ZHENG, GUANG TING (TW)

(74) 代理人：黃孝惇

(56) 參考文獻：

US 2004/0070560A1

US 2006/0232535A1

US 2009/0002582A1

US 2010/0238154A1

審查人員：陳恩笙

申請專利範圍項數：13 項 圖式數：10 共 0 頁

(54) 名稱

類比型畫素儲存電路

THE ANALOG MEMORY CELL CIRCUIT FOR THE LTPS TFT-LCD

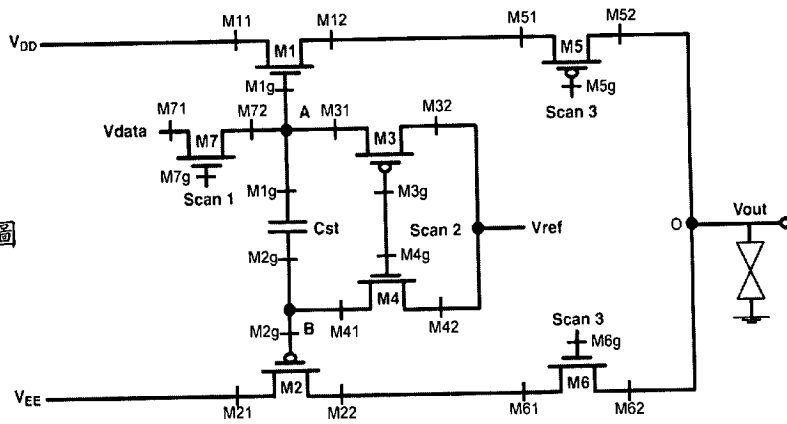
(57) 摘要

本發明係提供一種類比型畫素儲存電路，係適用於一低溫多晶矽液晶顯示器，該類比型畫素儲存電路包含第一電晶體、第二電晶體、第三電晶體、第四電晶體、第五電晶體、第六電晶體、第七電晶體、以及第一電容。類比型畫素儲存電路係具有複數個操作週期，於操作週期中第一電晶體、第二電晶體、第三電晶體、第四電晶體、第五電晶體、第六電晶體以及第七電晶體係根據第一掃描信號、第二掃描信號、以及第三掃描信號之控制，以相對於輸出端輸出輸出信號。

The present invention provides an analog memory cell circuit for the LTPS TFT-LCD. The circuit comprises the first transistor, second transistor, the third transistor, the fourth transistor, the fifth transistor, the sixth transistor, the seventh transistor, and the capacitor. It includes a plurality of operation period, wherein the transistors are controlled in accordance with the first scan signal, the second scan signal, and the third scan signal. The output signal is controlled according to the first scan signal, the second scan signal, and the third scan signal.

230

第3A圖



- 230 . . . 類比型畫素
儲存電路
- M11 . . . 第一電晶
體第一端
- M12 . . . 第一電晶
體第二端
- M1g . . . 第一電晶
體控制端
- M21 . . . 第二電晶
體第一端
- M22 . . . 第二電晶
體第二端
- M2g . . . 第二電晶
體控制端
- M31 . . . 第三電晶
體第一端
- M32 . . . 第三電晶
體第二端
- M3g . . . 第三電晶
體控制端
- M41 . . . 第四電晶
體第一端
- M42 . . . 第四電晶
體第二端
- M4g . . . 第四電晶
體控制端
- M11 . . . 第一電晶
體第一端
- M12 . . . 第一電晶
體第二端
- M1g . . . 第一電晶
體控制端
- M21 . . . 第二電晶
體第一端
- M22 . . . 第二電晶
體第二端
- M2g . . . 第二電晶
體控制端
- M31 . . . 第三電晶
體第一端

M32 . . . 第三電晶
體第二端

M3g . . . 第三電晶
體控制端

M41 . . . 第四電晶
體第一端

M42 . . . 第四電晶
體第二端

M4g . . . 第四電晶
體控制端

M51 . . . 第五電晶
體第一端

M52 . . . 第五電晶
體第二端

M5g . . . 第五電晶
體控制端

M61 . . . 第六電晶
體第一端

M62 . . . 第六電晶
體第二端

M6g . . . 第六電晶
體控制端

M71 . . . 第七電晶
體第一端

M72 . . . 第七電晶
體第二端

M7g . . . 第七電晶
體控制端

A . . . 節點

B . . . 節點

O . . . 輸出端

VDD . . . 第一電壓
電源

VEE . . . 第二電壓
電源

Vref . . . 參考電壓
電源

Vout . . . 輸出信號

Vdata . . . 影像資料

V_A . . . A 節點電壓

V_B . . . B 節點電壓

Scan 1 . . . 第一掃描
信號

Scan 2 . . . 第二掃描
信號

Scan 3 . . . 第三掃描
信號

Cst . . . 儲存電容

Cst1 . . . 儲存電容
第一端

Cst2 . . . 儲存電容
第二端

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號： 100120492

※申請日： 100. 6. 13

※IPC分類： G09G 3/36 (2006.01)
G09G 3/20 (2006.01)

一、發明名稱：(中文/英文)

類比型畫素儲存電路/The analog memory cell circuit for the LTPS TFT-LCD

二、中文發明摘要：

本發明係提供一種類比型畫素儲存電路，係適用於一低溫多晶矽液晶顯示器，該類比型畫素儲存電路包含第一電晶體、第二電晶體、第三電晶體、第四電晶體、第五電晶體、第六電晶體、第七電晶體、以及第一電容。類比型畫素儲存電路係具有複數個操作週期，於操作週期中第一電晶體、第二電晶體、第三電晶體、第四電晶體、第五電晶體、第六電晶體以及第七電晶體係根據第一掃描信號、第二掃描信號、以及第三掃描信號之控制，以相對於輸出端輸出輸出信號。

三、英文發明摘要：

The present invention provides an analog memory cell circuit for the LTPS TFT-LCD. The circuit comprises the first transistor, second transistor, the third transistor, the fourth transistor, the fifth transistor, the sixth transistor, the seventh transistor, and the capacitor. It includes a plurality of operation period, wherein the transistors are controlled in accordance with the first scan signal, the second scan signal, and the third scan signal. The

output signal is controlled according to the first scan signal, the second scan signal, and the third scan signal.

四、指定代表圖：

(一)本案指定代表圖為：第(3A)圖。

(二)本代表圖之元件符號簡單說明：

230~類比型畫素儲存電路

M11~第一電晶體第一端

M12~第一電晶體第二端

M1g~第一電晶體控制端

M21~第二電晶體第一端

M22~第二電晶體第二端

M2g~第二電晶體控制端

M31~第三電晶體第一端

M32~第三電晶體第二端

M3g~第三電晶體控制端

M41~第四電晶體第一端

M42~第四電晶體第二端

M4g~第四電晶體控制端

M11~第一電晶體第一端

M12~第一電晶體第二端

M1g~第一電晶體控制端

M21~第二電晶體第一端

M22~第二電晶體第二端

M2g~第二電晶體控制端

output signal is controlled according to the first scan signal, the second scan signal, and the third scan signal.

四、指定代表圖：

(一)本案指定代表圖為：第(3A)圖。

(二)本代表圖之元件符號簡單說明：

230~類比型畫素儲存電路

M11~第一電晶體第一端

M12~第一電晶體第二端

M1g~第一電晶體控制端

M21~第二電晶體第一端

M22~第二電晶體第二端

M2g~第二電晶體控制端

M31~第三電晶體第一端

M32~第三電晶體第二端

M3g~第三電晶體控制端

M41~第四電晶體第一端

M42~第四電晶體第二端

M4g~第四電晶體控制端

M11~第一電晶體第一端

M12~第一電晶體第二端

M1g~第一電晶體控制端

M21~第二電晶體第一端

M22~第二電晶體第二端

M2g~第二電晶體控制端

M31~第三電晶體第一端
M32~第三電晶體第二端
M3g~第三電晶體控制端
M41~第四電晶體第一端
M42~第四電晶體第二端
M4g~第四電晶體控制端
M51~第五電晶體第一端
M52~第五電晶體第二端
M5g~第五電晶體控制端
M61~第六電晶體第一端
M62~第六電晶體第二端
M6g~第六電晶體控制端
M71~第七電晶體第一端
M72~第七電晶體第二端
M7g~第七電晶體控制端
A~節點
B~節點
O~輸出端
VDD~第一電壓電源
VEE~第二電壓電源
Vref~參考電壓電源
Vout~輸出信號
Vdata~影像資料
V_A~A 節點電壓
V_B~B 節點電壓

Scan 1~第一掃描信號

Scan 2~第二掃描信號

Scan 3~第三掃描信號

Cst~儲存電容

Cst1~儲存電容第一端

Cst2~儲存電容第二端

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：
無。

六、發明說明：

【發明所屬之技術領域】

本發明係有關一種類比型畫素儲存電路，特別是有關於一種適用於一低溫多晶矽液晶顯示器之類比型畫素儲存電路。

【先前技術】

薄膜電晶體液晶顯示器由於輕薄、高對比等優點，因而成為目前平板顯示器之主流，然而，對於可攜式行動裝置來說，耗電問題亦為液晶顯示器之一嚴重問題。研究指出液晶顯示器主要耗電來自於背光系統，以及供應給源極驅動器的液晶之交流電源。為減少耗電，因此提出畫素內記憶體(memory-in-pixel, MIP)之概念以符合低耗電之目的，其作法係於等待模式靜態影像連續顯示時，減少源極驅動器之耗電。藉由更新掃瞄線之電壓位準，即使資料不在提供，極性反轉可簡單達成。

目前，畫素內記憶體(MIP)電路分兩種方法，靜態形式以及動態形式，通常當畫素於極性反轉期間，畫素被充電時，由於僅消耗動態功率，因而靜態數位畫素內記憶體(MIP)電路消耗最低的功率。然而其最大之缺點在於電路面積大，其每個位元約需用 7 至 8 個電晶體以及六條列線(row line)。相反的，動態數位畫素內記憶體(MIP)電路更具有吸引力，其具有較小的電晶體與列線。

請參考第 1 圖所示，其係為習知動態數位畫素內記憶

體(MIP)電路示意圖。如第 1 圖所示，該動態數位畫素內記憶體(MIP)電路 100 係為 1 個位元之操作，且其係以三個負(N)型薄膜電晶體(NTFT)實現，分別為第一電晶體(M1)、第二電晶體(M2)以及第三電晶體(M3)。於初始狀態係對資料線(Data Line)預先充電。在讀取(Read)期間，資料線電壓係藉由第三電晶體 M3 之閘極偏壓(V_p)所定義，其中閘極偏壓係為一較高電壓，而資料線之電壓則相對為較低之電壓。接著，於寫入(Write)期間，反相資料隨後透過第一電晶體 M1 寫回至閘極偏壓。最終，該閘極偏壓係經由儲存電容(C_s)掃描線(Scan)之掃描信號耦合，並持續保持至下一操作期間。如圖所示，習知技術之更新係以行至行(row by row)方式，所以，最大功率係消耗於資料線之預先充電上。對於多位元(multi-bits)之操作，靜態與動態數位畫素內記憶體(MIP)電路，為達極性反轉，其電路需要更多的掃描線以及電容。

因此為以較少之元件，而達到較高的影像品質，係需要採用類比畫素內記憶體(MIP)電路概念。然而，類比記憶電路之輸出電壓可能會產生相對應資料信號不正確之問題，即靜態影像可能因部不對稱反相電壓而產生衰減。

因此，目前需要一種類比型畫素儲存電路，以達到降低靜態影像內容更新頻率，並減少非對稱反轉電壓以輸出一對稱輸出波形，最終，提供一補償技術以改進輸出之臨界電壓下降。

【發明內容】

本發明之一目的再提供一種類比型畫素儲存電路，以類比電路方式減少靜態畫素內容更新之消耗功率，使液晶顯示裝置達到省電之目的。

本發明之一實施例係提供一種類比型畫素儲存電路，係適用於一低溫多晶矽液晶顯示器，該類比型畫素儲存電路包含第一電晶體、第二電晶體、第三電晶體、第四電晶體、第五電晶體、第六電晶體、第七電晶體、以及第一電容。第一電晶體具有第一電晶體第一端、第一電晶體第二端以及第一電晶體控制端，第一電晶體第一端係連接第一電壓電源。第二電晶體具有第二電晶體第一端、第二電晶體第二端以及第二電晶體控制端，第二電晶體第一端係連接第二電壓電源。第三電晶體具有第三電晶體第一端、第三電晶體第二端以及第三電晶體控制端，第三電晶體第二端係連接於參考電壓電源，第三電晶體第一端係連接第一電晶體控制端，第三電晶體控制端係連接第二掃描信號。第四電晶體具有第四電晶體第一端、第四電晶體第二端以及第四電晶體控制端。第四電晶體第一端係連接第二電晶體控制端。第四電晶體第二端係連接參考電壓電源，第四電晶體控制端係連接第三電晶體控制端，且第四電晶體控制端係連接該第二掃描信號。第五電晶體具有第五電晶體第一端、第五電晶體第二端以及第五電晶體控制端，第五電晶體第一端係連接於第一電晶體第二端，且第五電晶體第二端係連接於輸出端。第五電晶體控制端係接收一第三掃描信號。第六電晶體具有第六電晶體第一端、第六電晶體第二端以及第六電晶體控制端，第六電晶體第一端係連

接於第二電晶體第二端，且第六電晶體第二端係連接於輸出端，第六電晶體控制端係接收第三掃描信號。

第七電晶體具有第七電晶體第一端、第七電晶體第二端以及第七電晶體控制端，第七電晶體控制端係接收第一掃描信號，第七電晶體第一端係接收一影像資料。第一電容係具有第一電容第一端以及第一電容第二端，第一電容第一端係連接第一電晶體控制端、第三電晶體第一端、以及該第七電晶體第二端，該第一電容第二端係連接該第四電晶體第一端以及該第二電晶體控制端。其中，類比型畫素儲存電路係具有複數個操作週期，於操作週期中第一電晶體、第二電晶體、第三電晶體、第四電晶體、第五電晶體、第六電晶體以及第七電晶體係根據第一掃描信號、第二掃描信號、以及第三掃描信號之控制，以相對於輸出端輸出輸出信號。

本發明之第一電晶體、第四電晶體、第六電晶體、以及第七電晶體係為一負(N)型薄膜電晶體(NTFT)。

本發明之第二電晶體、第三電晶體、以及第五電晶體係為正(P)型薄膜電晶體(PTFT)。

本發明之類比型畫素儲存電路係具有第一操作週期、第二操作週期、以及第三操作週期，於第一操作週期中，第二掃描信號以及第三掃描信號係控制第三電晶體以及第六電晶體關閉。

本發明之第二操作週期中，該第一掃描信號係控制該第七電晶體關閉。

本發明之第三週期中，該第二掃描信號以及該第三掃

描信號係控制該第四電晶體以及該第五電晶體關閉。

本發明之又一實施例係提供一種類比型畫素儲存電路，係適用於一低溫多晶矽液晶顯示器，該類比型畫素儲存電路包含：第一電晶體具有一第一電晶體第一端、一第一電晶體第二端以及一第一電晶體控制端。第二電晶體具有第二電晶體第一端、第二電晶體第二端以及第二電晶體控制端，第二電晶體第一端係連接第二電壓電源。第三電晶體具有第三電晶體第一端、第三電晶體第二端以及第三電晶體控制端，第三電晶體第二端係連接於參考電壓電源，第三電晶體第一端係連接第一電晶體控制端，第三電晶體控制端係連接第三掃描信號。第四電晶體具有第四電晶體第一端、第四電晶體第二端以及第四電晶體控制端，第四電晶體第一端係連接第二電晶體控制端，第四電晶體第二端係連接該參考電壓電源，第四電晶體控制端係連接第三電晶體控制端，第四電晶體控制端係連接第三掃描信號。第五電晶體具有第五電晶體第一端、第五電晶體第二端以及第五電晶體控制端，第五電晶體第一端係連接於第一電晶體第二端，且第五電晶體第二端係連接於輸出端，第五電晶體控制端係接收第三掃描信號。

第六電晶體具有一第六電晶體第一端、一第六電晶體第二端以及一第六電晶體控制端，該第六電晶體第一端係連接於該第二電晶體第二端，且該第六電晶體第二端係連接於該輸出端，該第六電晶體控制端係接收該第三掃描信號。第七電晶體具有第七電晶體第一端、第七電晶體第二端以及第七電晶體控制端，第七電晶體控制端係接收第一

掃描信號，第七電晶體第一端係連接該第一電晶體第一端。第八電晶體具有第八電晶體第一端、第八電晶體第二端以及第八電晶體控制端，第八電晶體第二端係連接第一電晶體第一端，第八電晶體第一端係連接一第一電壓電源，第八電晶體控制端係連接第二掃描信號。第九電晶體具有第九電晶體第一端、第九電晶體第二端以及第九電晶體控制端，第九電晶體第一端係連接影像資料，第九電晶體第二端係連接第一電晶體第二端與該第五電晶體第一端，第九電晶體控制端係接收該第一掃描信號。第一電容具有一第一電容第一端以及第一電容第二端，第一電容第一端係連接第一電晶體控制端、第三電晶體第一端、以及第七電晶體第二端，第一電容第二端係連接第四電晶體第一端以及第二電晶體控制端。

其中，類比型畫素儲存電路係具有複數個操作週期，於操作週期中該第一電晶體、第二電晶體、第三電晶體、第四電晶體、該第五電晶體、第六電晶體、第七電晶體、第八電晶體以及第九電晶體係根據第一掃描信號、第二掃描信號、以及第三掃描信號之控制，以相對於輸出端輸出一輸出信號。

本實施例之第一電晶體、第四電晶體、第六電晶體、第七電晶體以及第九電晶體係為一負（N）型薄膜電晶體（NTFT）。

為讓本發明的上述和其他目的、特徵和優點能更明顯易懂，下文特舉較佳實施例，並配合附圖，作詳細說明如下。

【實施方式】

第 2 圖係繪示本發明類比型畫素儲存電路 230 設置於一畫素 200 內之顯示電路方塊圖，其中畫素 200 係連接於掃描驅動器 210 與源極驅動器 220。

而如第 2 圖所示，畫素 200 包含：類比型畫素儲存電路 230、電晶體(M_D)、以及液晶電容(C_{LC})。通常液晶顯示器之影像包含有動態影像與靜態影像，在一般模式下，動態影像可藉由電晶體之一般畫素動作。而在靜態影像之等待模式時，掃描驅動器 210 係藉由列信號($Row[N]$)控制輸入切換。類比型畫素儲存電路 230 係自源極驅動器 220 取樣影像資料 V_{data} ，接著，結合影像資料與控制信號 (Sc) 以產生自我反相電壓於輸出信號 (V_{out})。

於第一實施例中，請參考第 2 圖、第 3A 圖、第 3B 圖所示。其中，第 3A 圖係根據本發明一實施例所繪示之類比型畫素儲存電路圖。以及，第 3B 圖係根據第 3A 圖類比型畫素儲存電路相對應之掃描信號圖。源極驅動器 220 係提供影像資料 (V_{data})，其中影像資料等於原畫素資料 (V_{p1}) 加上多晶矽 (Poly-Si) 薄膜電晶體之臨界電壓 (V_t)。當類比型畫素儲存電路 230 接收影像資料，直到特定時間之前源極驅動器 220 皆為關閉。舉例來說，此特定時間為 315.4 毫秒 (ms) (即 19 倍典型薄膜電晶體液晶顯示器訊框 (frame) 的時間)，源極驅動器 220 之更新靜態影像頻率係操作自 60 到 3.16 赫茲 (Hz)，以節省電能。

如第 3A 圖所示，類比型畫素儲存電路 230 係包含兩個驅動電晶體 (第一電晶體 $M1$ 與第二電晶體 $M2$)，以及五個

申請修正日期：2013年11月15日

切換電晶體(第三電晶體 M3、第四電晶體 M4、第五電晶體 M5、與第六電晶體 M6 以及第七電晶體 M7)。類比型畫素儲存電路 230 係適用於一低溫多晶矽(low temperature polycrystalline silicon, LTPS)薄膜電晶體液晶顯示器(thin film transistor liquid crystal display)，第一電晶體(M1)具有第一電晶體第一端(M11)、第一電晶體第二端(M12)以及第一電晶體控制端(M1g)。第一電晶體第一端(M11)係與第一電壓電源(V_{DD})連接。第二電晶體(M2)具有第二電晶體第一端(M21)、第二電晶體第二端(M22)以及第二電晶體控制端(M2g)，第二電晶體第一端(M21)係連接第二電壓電源(V_{EE})。第三電晶體具有第三電晶體第一端(M31)、第三電晶體第二端(M32)以及第三電晶體控制端(M3g)。第三電晶體第二端(M32)係連接於參考電壓電源(V_{ref})。第三電晶體第一端(M31)係連接第一電晶體控制端(M3g)，第三電晶體控制端(M3g)係連接第二掃描信號(Scan 2)。第四電晶體(M4)具有第四電晶體第一端(M41)、第四電晶體第二端(M42)以及第四電晶體控制端(M4g)。第四電晶體第一端(M41)係連接第二電晶體控制端(M2g)。第四電晶體第二端(M42)係連接參考電壓電源(V_{ref})，第四電晶體控制端(M4g)係連接第三電晶體控制端(M3g)，且第四電晶體控制端(M4g)係連接第二掃描信號(Scan 2)。第五電晶體具有第五電晶體第一端(M51)、第五電晶體第二端(M52)以及第五電晶體控制端(M5g)。第五電晶體第一端(M51)係連接於第一電晶體第二端(M22)，且第五電晶體第二端(M52)係連接於輸

出端 (0)。第五電晶體 (M5) 控制端係接收第三掃描信號 Scan 3。第六電晶體 (M6) 具有第六電晶體第一端 (M61)、第六電晶體第二端 (M62) 以及第六電晶體控制端 (M6g)。第六電晶體第一端 (M61) 係連接於第二電晶體第二端 (M22)，且第六電晶體第二端 (M62) 係連接於輸出端 (0)，第六電晶體控制端 M6g 係接收第三掃描信號 (Scan 3)。第七電晶體 (M7) 具有第七電晶體第一端 (M71)、第七電晶體第二端 (M72) 以及第七電晶體控制端 (M7g)。第七電晶體控制端 (M7g) 係接收第一掃描信號 (Scan 1)，第七電晶體第一端 (M71) 係用以接收影像資料 (Vdata)。

需說明的是，於該實施例中，第一電晶體、第四電晶體、第六電晶體、以及第七電晶體係為一負 (N) 型薄膜電晶體 (NTFT)。第二電晶體、第三電晶體、以及第五電晶體係為正 (P) 型薄膜電晶體 (PTFT)。然熟之此技藝者亦可知，本發明之電晶體並不以此實施例為限，亦可以不同之負型薄膜電晶體 (NTFT) 或正型薄膜電晶體 (PTFT) 所組成。

如第 3A 圖所示，類比型畫素儲存電路 230 更包含儲存電容 (Cst)，其係具有儲存電容第一端 (Cst1) 以及儲存電容第二端 (Cst2)。儲存電容第一端 (Cst1) 係連接第一電晶體控制端 (M1g)、第三電晶體第一端 (M31)、以及第七電晶體第二端 (M72)。第一電容第二端 (Cst2) 係連接第四電晶體第一端 (M41) 以及第二電晶體控制端 (M2g)。

本實施例之類比型畫素儲存電路 230 係具有三個操作週期，分別為第一操作週期 (T1)、第二操作週期 (T2)、第三操作週期 (T3)。其中第一操作週期 (T1) 係為預充週

期(pre-charging period)、第二操作週期(T2)係為正電壓維持週期、以及第三操作週期(T3)係為負電壓維持週期。於第一操作週期(T1)中，第二掃描信號(Scan 2)以及第三掃描信號(Scan 3)係控制第三電晶體(M3)以及第六電晶體(M6)關閉。第一電晶體(M1)係作為一源極隨耦器(source follower)。於第一操作週期(T1)之最終，輸出信號係等於影像資料加上第一電晶體之臨界電壓(V_{tn})。同時，儲存電容(C_{st})之節點電壓分別為A節點(V_A)等於影像資料，以及B節點(V_B)等於參考電壓(V_{ref})。

於第二操作週期(T2)，第一掃描信號(Scan 1)係變為低電位，進而關閉第七電晶體(M7)，其他電晶體係保持第一操作週期之狀態。第一電晶體(M1)之電壓係等於影像資料。輸出端(0)之輸出信號(V_{out})係等於影像資料減第一電晶體之臨界電壓(V_{tn})。

於第三操作週期(T3)，第二掃描信號(Scan 2)以及第三掃描信號(Scan 3)係控制第四電晶體(M4)、以及第五電晶體(M5)關閉。由於第三電晶體(M3)為開啟，因此，參考電壓(V_{ref})係最用於A節點。又因為A節點電壓(V_A)推升儲存電容(C_{st})，使B節點電壓 V_B 等於兩倍參考電壓(V_{ref})減去影像資料(V_{data})。於第三操作週期(T3)初期，第二電晶體(M2)作為一源極隨耦器(source follower)。輸出端(0)之輸出電壓(V_{out})係為兩倍參考電壓(V_{ref})減影像資料(V_{data})加上第二電晶體(M2)臨界電壓(V_{tp})之絕對值。

前述實施例中，類比型畫素儲存電路 230 係以 3 微米

之低溫多晶矽 (low temperature polycrystalline silicon, LTPS)製程，其中，第一電晶體 (M1)以及第二電晶體(M2)之通道寬長比係為 30 微米/5 微米。第三電晶體 (M3)及第四電晶體 (M4)之通道寬長比係為 3 微米/5 微米。第五電晶體 (M5)、第六電晶體 (M6)、以及第七電晶體 (M7)之通道寬長比係為 5 微米/5 微米。儲存電容 (Cst)係為 5pF。直流電壓第一電壓電源 (VDD)係為 5 伏特、第二電壓電源 (VEE)係為 -5 伏特。

請參考第 4A、4B 圖，其中第 4A 圖係根據本發明之第 3A 圖、第 3B 圖之類比型畫素儲存電路實施例模擬輸出信號圖。第 4B 圖係為第 4A 圖之影像資料等於 4 伏特之局部放大圖。如第 4A 圖所示，在影像資料 (Vdata)分別為 1 伏特、2 伏特、3 伏特、4 伏特時之輸出信號 (Vout)波形。每一第一掃描 Scan 1 脈衝之時間為 20 個訊框 (frame)時間 (即 $20 \times 16.6 \text{ ms} = 332 \text{ ms}$)。當類比型畫素儲存電路 230 取樣影像資料時，其功率消耗係僅來自於源極驅動器 220。本實施例中，不論輸入影像資料是否改變，其所模擬之輸出信號係為對稱波形。此外，由於源極隨耦器 (source follower)電壓位準操作較高，故低電壓係減少約一個臨界電壓。

如第 4B 圖所示，在九個訊框後，其輸出訊號衰減 (ΔV)僅 0.05 伏特，其係代表本發明實施例所提出之電路可有效地於訊框速率 (frame rate)3.16 赫茲，以操作於高於 5bit (資料範圍/一個半色調 (Gray Scale) = $3/0.05 = 60$) 數位記憶體。

請參考第 5A、5B 圖，其中，第 5A 圖係根據本發明之另一(第二)實施例所繪示之類比型畫素儲存電路圖。第 5B 圖係根據第 5A 圖類比型畫素儲存電路相對應之掃描信號圖。本發明於第二實施例中，係提供另一類比型畫素儲存電路 530，其係適用於一低溫多晶矽液晶顯示器。類比型畫素儲存電路 530 包含：第一電晶體(M1)具有第一電晶體第一端(M11)、第一電晶體第二端(M12)以及第一電晶體控制端(M1g)。第二電晶體(M2)具有第二電晶體第一端(M21)、第二電晶體第二端(M22)以及第二電晶體控制端(M2g)，第二電晶體第一端(M21)係連接第二電壓電源(V_{EE})。第三電晶體(M3)具有第三電晶體第一端(M31)、第三電晶體第二端(M32)以及第三電晶體控制端(M3g)。第三電晶體第二端(M32)係連接於參考電壓電源(V_{ref})，第三電晶體第一端(M31)係連接第一電晶體控制端(M1g)，第三電晶體控制端(M3g)係連接第三掃描信號(Scan 3)。第四電晶體(M4)具有第四電晶體第一端(M41)第四電晶體第二端(M42)以及第四電晶體控制端(M4g)，第四電晶體第一端(M41)係連接第二電晶體控制端(M2g)，第四電晶體第二端(M42)係連接參考電壓電源(V_{ref})，第四電晶體控制端(M4g)係連接第三電晶體控制端(M3g)。第四電晶體控制端(M4g)係連接第三掃描信號(Scan 3)。第五電晶體 M5 具有第五電晶體第一端(M51)、第五電晶體第二端(M52)以及第五電晶體控制端(M5g)，第五電晶體第一端(M51)係連接於第一電晶體第二端(M12)，且第五電晶體第二端(M52)係連接於輸出端(0)，第五電晶體控制端(M5g)係接收第三掃描信號

(Scan 3)。

第六電晶體(M6)具有第六電晶體第一端(M61)、第六電晶體第二端(M62)以及第六電晶體控制端(M6g)。第六電晶體第一端(M61)係連接於第六電晶體第二端(M22)，且第六電晶體第二端(M62)係連接於輸出端(0)，第六電晶體控制端(M6g)係接收第三掃描信號(Scan 3)。第七電晶體(M7)具有第七電晶體第一端(M71)、第七電晶體第二端(M72)以及第七電晶體控制端(M7g)，第七電晶體控制端(M7g)係接收第一掃描信號(Scan 1)，第七電晶體第一端(M71)係連接第一電晶體第一端(M11)。第八電晶體(M8)具有第八電晶體第一端(M81)、第八電晶體第二端(M82)以及第八電晶體控制端(M8g)。第八電晶體第二端(M82)係連接第一電晶體第一端(M11)。第八電晶體第一端(M81)係連接第一電壓電源(VDD)。第八電晶體控制端(M8g)係連接第二掃描信號(Scan 2)。第九電晶體(M9)具有第九電晶體第一端(M91)、第九電晶體第二端(M92)以及第九電晶體控制端(M9g)。第九電晶體第一端(M91)係連接影像資料(Vdata)，第九電晶體第二端(M92)係連接第一電晶體第二端(M12)與第五電晶體第一端(M51)。第九電晶體控制端(M9g)係接收第一掃描信號(Scan 1)。儲存電容 Cst 具有第一電容第一端(Cst1)以及第一電容第二端(Cst2)。第一電容第一端(Cst1)係連接第一電晶體控制端(M1g)、第三電晶體第一端(M31)、以及第七電晶體第二端(M72)。第一電容第二端(Cst2)係連接第四電晶體第一端(M41)以及第二電晶體控制端(M2g)。

需說明的是，第一電晶體(M1)、第四電晶體(M4)、第

六電晶體 M6、第七電晶體 M7 以及第九電晶體 M9 係為一 N 型薄膜電晶體 (NTFT)。第二電晶體 (M2)、第三電晶體 (M3)、第五電晶體 (M5) 以及第八電晶體 (M8) 係為一正 (P) 型薄膜電晶體 (PTFT)。

上述實施例中，類比型畫素儲存電路 230 係以 3 微米之低溫多晶矽 (low temperature polycrystalline silicon, LTPS) 製程，其中，第一電晶體 (M1) 以及第二電晶體 (M2) 之通道寬長比係為 30 微米/5 微米。第三電晶體 (M3) 及第四電晶體 (M4) 之通道寬長比係為 3 微米/5 微米。第五電晶體 (M5)、第六電晶體 (M6)、第七電晶體 (M7)、第八電晶體 (M8)、以及第九電晶體 (M9) 之通道寬長比係為 5 微米/5 微米。儲存電容 (Cst) 係為 5pF。直流電壓第一電壓電源 (VDD) 係為 5 伏特，而第二電壓電源 (VEE) 係為 -5 伏特。

本實施例之類比型畫素儲存電路 530 係具有四個操作週期，分別為第一操作週期 (T1)、第二操作週期 (T2)、第三操作週期 (T3) 以及第四操作週期 (T4)。操作週期 (T1) 係為預充週期 (pre-charging period)、第二操作週期 (T2) 係為補償週期、第三操作週期 (T3) 係為正電壓維持週期、以及第四操作週期 (T4) 係為負電壓維持週期。於第一操作週期 (T1) 中，第一掃描信號 (Scan 1)、第二掃描信號 (Scan 2) 以及第三掃描信號 (Scan 3) 係控制第四電晶體 (M4)、第五電晶體 (M5)、第七電晶體 (M7)、第八電晶體 (M8)、第九電晶體 (M9) 開啟，並控制第三電晶體 (M3) 以及第六電晶體 (M6) 關閉。

於第二操作週期 (T2) 時，第二掃描信號 (Scan 2) 係控

制第七電晶體(M7)關閉。第一電晶體(M1)係開始自 A 節點透過第八電晶體(M8)釋放電荷，使得 A 節點電壓(VA)等於影像資料(Vdata)加上第一電晶體之臨界電壓(Vtn)。同時，儲存電容(Cst)兩端 A 節點電壓(VA)等於影像資料加上第一電晶體之臨界電壓(Vtn)，B 節點電壓 VB 等於參考電壓(Vref)。

於第三操作週期(T3)時，第一掃描信號(Scan 1)係控制第八電晶體(M8)以及第九電晶體(M9)關閉，且第二掃描信號(Scan 2)係控制第七電晶體(M7)關閉，其他電晶體係保持第一操作周期之狀態。第一電晶體(M1)之閘極電壓係為影像資料加上第一電晶體之臨界電壓(Vtn)。第二電晶體(M2)閘極電壓係等於參考電壓(Vref)。

於第四週期(T4)中，第三掃描信號(Scan 3)係控制第四電晶體(M4)以及第五電晶體(M5)關閉，以及第三電晶體(M3)開啟。由於第三電晶體(M3)開啟，參考電壓(Vref)係加至 A 節點。因為 A 節點電壓電壓(VA)推升儲存電容(Cst)，而使 B 節點電壓則為兩倍參考電壓(Vref)減去影像資料加上第一電晶體之臨界電壓(Vtn)之值。而於第四操作週期(T4)初期，第二電晶體(M2)作為一源極隨耦器(source follower)。輸出端(O)之輸出電壓(Vout)係為兩倍參考電壓(Vref)-(影像資料+第二電晶體臨界電壓(|Vtp|))，即 $(2Vref-(Vdata+Vtn)+|Vtp|)$ 。

由於臨界電壓(Vtn)以及(Vtp)不相同，因而導致非對稱輸出波形，使得液晶不能產生相同的透明度。為解決問題，因而產生第四操作週期(T4)(負電壓維持週期)，以產

生相反於第三操作週期之電壓(-Vout)，其中，輸出信號(Vout)係為：

$$-V_{data} = V_{B+} + |V_{tp}| = 2V_{ref} - (V_{data} + V_{tn}) + |V_{tp}|$$

由上式可知，參考電壓可被最佳化，以消除第一電晶體(M1)與第二電晶體(M2)之臨界電壓 V_{tn} 、 V_{tp} 不同之問題，如此即可修正類比型畫素儲存電路之非對稱反相電壓。

請參考第 6A、6B 圖，其中，第 6A 圖係根據本發明之第 5A、5B 圖之類比型畫素儲存電路實施例模擬輸出信號圖。第 6B 圖係為第 5A 圖之影像資料等於 4 伏特之局部放大圖。如第 4A 圖所示，在影像資料(Vdata)分別為 1 伏特、2 伏特、3 伏特、4 伏特時之輸出信號(Vout)波形。當類比型畫素儲存電路 530 取樣影像資料(Vdata)時，其功率消耗係僅來自於源極驅動器 20。

如第 6B 圖所示，在十九個訊框後，其輸出訊號衰減 $\Delta V = 0.06$ 伏特，其係代表本發明實施例所提出之電路可有效地於訊框速率(frame rate)3.16 赫茲，以操作於高於 6bit(資料範圍 / 一個半色調(Gray Scale) = $4/0.06 = 66.67$)數位記憶體。

由上述之實施例，可使薄膜電晶體液晶顯示器顯示靜態影像時更省電，且輸出電壓僅衰減小於 0.1 伏特。此外，本案系提出補償之技術，用以改進輸出電壓因臨界電壓下降而產生之衰減問題。

以上所述僅為本發明之較佳實施例而已，並非用以限定本發明之申請專利範圍；凡其它未脫離本發明所揭示之精神下所完成之等效改變或修飾，均應包含在下述之申請

專利範圍內。

【圖式簡單說明】

第 1 圖其係為習知動態數位畫素內記憶體(MIP)電路示意圖；

第 2 圖係繪示類比記憶電路設置於一畫素內之顯示電路方塊圖；

第 3A 圖係根據本發明一實施例所繪示之類比型畫素儲存電路圖；

第 3B 圖係根據第 3A 圖類比型畫素儲存電路相對應之掃描信號圖；

第 4A 圖係根據本發明之第 3A、3B 圖之類比型畫素儲存電路實施例模擬輸出信號圖；

第 4B 圖係為第 4A 圖之影像資料 Vdata 等於 4 伏特之局部放大圖；

第 5A 圖係根據本發明另一實施例所繪示之類比型畫素儲存電路圖；

第 5B 圖係係根據第 5A 圖類比型畫素儲存電路相對應之掃描信號圖；

第 6A 圖係根據本發明之第 5A、5B 圖之類比型畫素儲存電路實施例模擬輸出信號圖；以及

第 6B 圖係為第 5A 圖之影像資料等於 4 伏特之局部放大圖。

【主要元件符號說明】

100~動態數位畫素內記憶體(MIP)電路

M1~第一電晶體

M2~第二電晶體

M3~第三電晶體

Vp~閘極偏壓

Data line~資料線

Scan~掃描線

Write~寫入線

Read~讀取線

C_{LC}~液晶電容

C_s~儲存電容

200~畫素

210~掃描驅動器

220~源極驅動器

230~類比型畫素儲存電路

M_b~電晶體

V_{data}~影像資料

Sc~控制信號

V_{p1}~原畫素資料

M11~第一電晶體第一端

M12~第一電晶體第二端

M1g~第一電晶體控制端

M21~第二電晶體第一端

M22~第二電晶體第二端

M2g~第二電晶體控制端

M31~第三電晶體第一端
M32~第三電晶體第二端
M3g~第三電晶體控制端
M41~第四電晶體第一端
M42~第四電晶體第二端
M4g~第四電晶體控制端
M11~第一電晶體第一端
M12~第一電晶體第二端
M1g~第一電晶體控制端
M21~第二電晶體第一端
M22~第二電晶體第二端
M2g~第二電晶體控制端
M31~第三電晶體第一端
M32~第三電晶體第二端
M3g~第三電晶體控制端
M41~第四電晶體第一端
M42~第四電晶體第二端
M4g~第四電晶體控制端
M51~第五電晶體第一端
M52~第五電晶體第二端
M5g~第五電晶體控制端
M61~第六電晶體第一端
M62~第六電晶體第二端
M6g~第六電晶體控制端
M71~第七電晶體第一端

M72~第七電晶體第二端
M7g~第七電晶體控制端
M81~第八電晶體第一端
M82~第八電晶體第二端
M8g~第八電晶體控制端
VDD~第一電壓電源
VEE~第二電壓電源
Vref~參考電壓電源

● A~節點
B~節點
O~輸出端
V_A~A節點電壓
V_B~B節點電壓

Scan 1~第一掃描信號
Scan 2~第二掃描信號
Scan 3~第三掃描信號

● Cst~儲存電容
Cst1~儲存電容第一端
Cst2~儲存電容第二端
T1~第一操作週期
T2~第二操作週期
T3~第三操作週期
T4~第四操作週期
V_{tn}、V_{tp}~臨界電壓

七、申請專利範圍：

1. 一種類比型畫素儲存電路，係適用於一低溫多晶矽液晶顯示器，該類比型畫素儲存電路至少包含：

一第一電晶體，該第一電晶體具有一第一電晶體第一端、一第一電晶體第二端以及一第一電晶體控制端，該第一電晶體第一端係連接一第一電壓電源；

一第二電晶體，該第二電晶體具有一第二電晶體第一端、一第二電晶體第二端以及一第二電晶體控制端，該第二電晶體第一端係連接一第二電壓電源；

一第三電晶體，該第三電晶體具有一第三電晶體第一端、一第三電晶體第二端以及一第三電晶體控制端，該第三電晶體第二端係連接於一參考電壓電源，該第三電晶體第一端係連接該第一電晶體控制端，第三電晶體控制端係連接一第二掃描信號；

一第四電晶體，該第四電晶體具有一第四電晶體第一端、一第四電晶體第二端以及一第四電晶體控制端，該第四電晶體第一端係連接該第二電晶體控制端，該第四電晶體第二端係連接該參考電壓電源，該第四電晶體控制端係連接該第三電晶體控制端，且第四電晶體控制端係連接該第二掃描信號；

一第五電晶體，該第五電晶體具有一第五電晶體第一端、一第五電晶體第二端以及一第五電晶體控制端，該第五電晶體第一端係連接於該第一電晶體第二端，且該第五電晶體第二端係連接於一輸出端，該第五電晶體控制端係接收一第三掃描信號；

一 第六電晶體，該第六電晶體具有一第六電晶體第一端、一第六電晶體第二端以及一第六電晶體控制端，該第六電晶體第一端係連接於該第二電晶體第二端，且該第六電晶體第二端係連接於該輸出端，該第六電晶體控制端係接收該第三掃描信號；

一 第七電晶體，該第七電晶體具有一第七電晶體第一端、一第七電晶體第二端以及一第七電晶體控制端，該第七電晶體控制端係接收一第一掃描信號，該第七電晶體第一端係接收一影像資料；以及

一 第一電容，具有一第一電容第一端以及一第一電容第二端，該第一電容第一端係連接該第一電晶體控制端、該第三電晶體第一端、以及該第七電晶體第二端，該第一電容第二端係連接該第四電晶體第一端以及該第二電晶體控制端；

其中，該類比型畫素儲存電路係具有複數個操作週期，於該操作週期中該第一電晶體、該第二電晶體、該第三電晶體、該第四電晶體、該第五電晶體、該第六電晶體以及該第七電晶體係根據該第一掃描信號、該第二掃描信號、以及該第三掃描信號之控制，以相對於輸出端輸出一輸出信號。

2. 如申請專利範圍第 1 項所述之類比型畫素儲存電路，其中該第一電晶體、該第四電晶體、該第六電晶體、以及該第七電晶體係為一負型薄膜電晶體 (NTFT)。
3. 如申請專利範圍第 1 項所述之類比型畫素儲存電路，其中該第二電晶體、第三電晶體、以及第五電晶體係為一

正型薄膜電晶體(PTFT)。

4. 如申請專利範圍第 1 項所述之類比型畫素儲存電路，其中該類比型畫素儲存電路係具有一第一操作週期、一第二操作週期、以及一第三操作週期，於該第一操作週期中，該第二掃描信號以及該第三掃描信號係控制該第三電晶體以及該第六電晶體關閉。
5. 如申請專利範圍第 4 項所述之類比型畫素儲存電路，其中於該第二操作週期中，該第一掃描信號係控制該第七電晶體關閉。
6. 如申請專利範圍第 4 項所述之類比型畫素儲存電路，其中於該第三週期中，該第二掃描信號以及該第三掃描信號係控制該第四電晶體以及該第五電晶體關閉。
7. 一種類比型畫素儲存電路，係適用於一低溫多晶矽液晶顯示器，該類比型畫素儲存電路包含：
 - 一第一電晶體，該第一電晶體具有一第一電晶體第一端、一第一電晶體第二端以及一第一電晶體控制端；
 - 一第二電晶體，該第二電晶體具有一第二電晶體第一端、一第二電晶體第二端以及一第二電晶體控制端，該第二電晶體第一端係連接一第二電壓電源；
 - 一第三電晶體，該第三電晶體具有一第三電晶體第一端、一第三電晶體第二端以及一第三電晶體控制端，該第三電晶體第二端係連接於一參考電壓電源，該第三電晶體第一端係連接該第一電晶體控制端，該第三電晶體控制端係連接一第三掃描信號；
 - 一第四電晶體，該第四電晶體具有一第四電晶體第

一端、一第四電晶體第二端以及一第四電晶體控制端，該第四電晶體第一端係連接該第二電晶體控制端，該第四電晶體第二端係連接該參考電壓電源，該第四電晶體控制端係連接該第三電晶體控制端，第四電晶體控制端係連接該第三掃描信號；

一第五電晶體，該第五電晶體具有一第五電晶體第一端、一第五電晶體第二端以及一第五電晶體控制端，該第五電晶體第一端係連接於該第一電晶體第二端，且該第五電晶體第二端係連接於一輸出端，該第五電晶體控制端係接收該第三掃描信號；

一第六電晶體，該第六電晶體具有一第六電晶體第一端、一第六電晶體第二端以及一第六電晶體控制端，該第六電晶體第一端係連接於該第二電晶體第二端，且該第六電晶體第二端係連接於該輸出端，該第六電晶體控制端係接收該第三掃描信號；

一第七電晶體，該第七電晶體具有一第七電晶體第一端、一第七電晶體第二端以及一第七電晶體控制端，該第七電晶體控制端係接收一第一掃描信號，該第七電晶體第一端係連接該第一電晶體第一端；以及

一第八電晶體，該第八電晶體具有一第八電晶體第一端、一第八電晶體第二端以及一第八電晶體控制端，該第八電晶體第二端係連接該第一電晶體第一端，該第八電晶體第一端係連接一第一電壓電源，該第八電晶體控制端係連接一第二掃描信號；

一第九電晶體，該第九電晶體具有一第九電晶體第一

端、一第九電晶體第二端以及一第九電晶體控制端，該第九電晶體第一端係連接一影像資料，該第九電晶體第二端係連接該第一電晶體第二端與該第五電晶體第一端，該第九電晶體控制端係接收該第一掃描信號；

一第一電容，具有一第一電容第一端以及一第一電容第二端，該第一電容第一端係連接該第一電晶體控制端、該第三電晶體第一端、以及該第七電晶體第二端，該第一電容第二端係連接該第四電晶體第一端以及該第二電晶體控制端；

其中，該類比型畫素儲存電路係具有複數個操作週期，於該操作週期中該第一電晶體、該第二電晶體、該第三電晶體、該第四電晶體、該第五電晶體、該第六電晶體、該第七電晶體、該第八電晶體以及該第九電晶體係根據該第一掃描信號、該第二掃描信號、以及該第三掃描信號之控制，以相對於輸出端輸出一輸出信號。

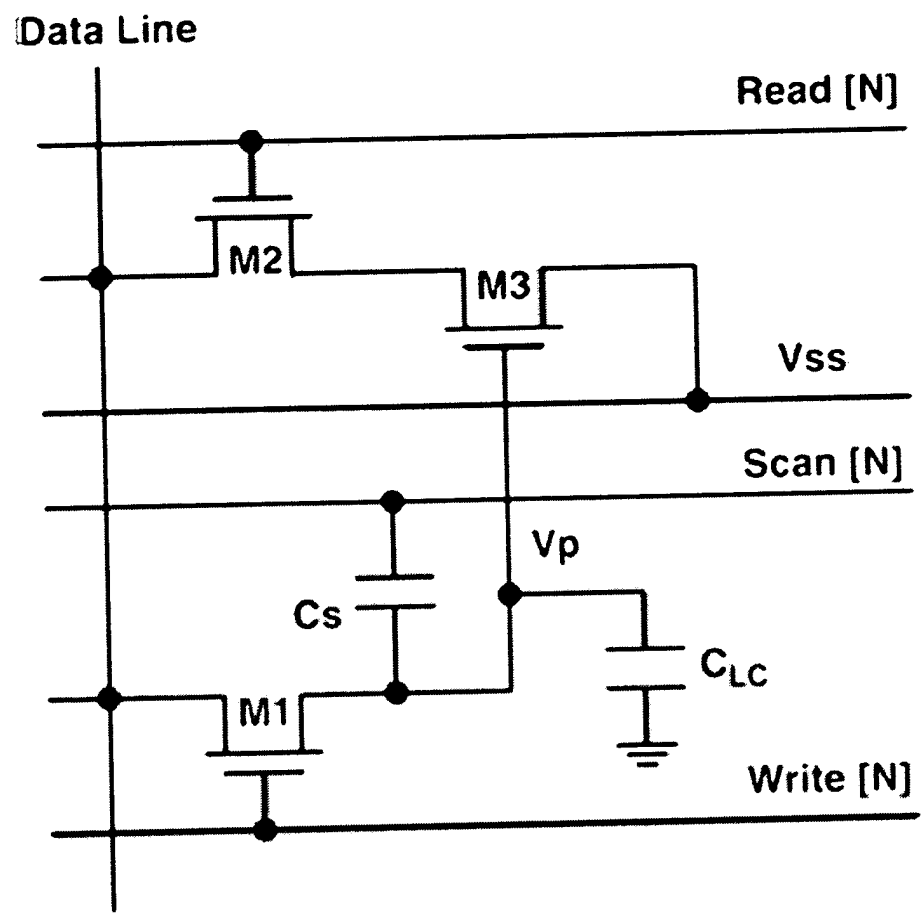
8. 如申請專利範圍第 7 項所述之類比型畫素儲存電路，其中該第一電晶體、該第四電晶體、該第六電晶體、該第七電晶體以及該第九電晶體係為一負型薄膜電晶體。
9. 如申請專利範圍第 7 項所述之類比型畫素儲存電路，其中該第二電晶體、該第三電晶體、該第五電晶體以及該第八電晶體係為一正型薄膜電晶體。
10. 如申請專利範圍第 7 項所述之類比型畫素儲存電路，其中該類比型畫素儲存電路係具有一第一操作週期、一第二操作週期、一第三操作週期以及一第四操作週期，於該第一操作週期中，該第一掃描信號、該第二掃描信號

以及該第三掃描信號係控制該第四電晶體、該第五電晶體、該第七電晶體、該第八電晶體、該第九電晶體開啟，並控制該第三電晶體以及該第六電晶體關閉。

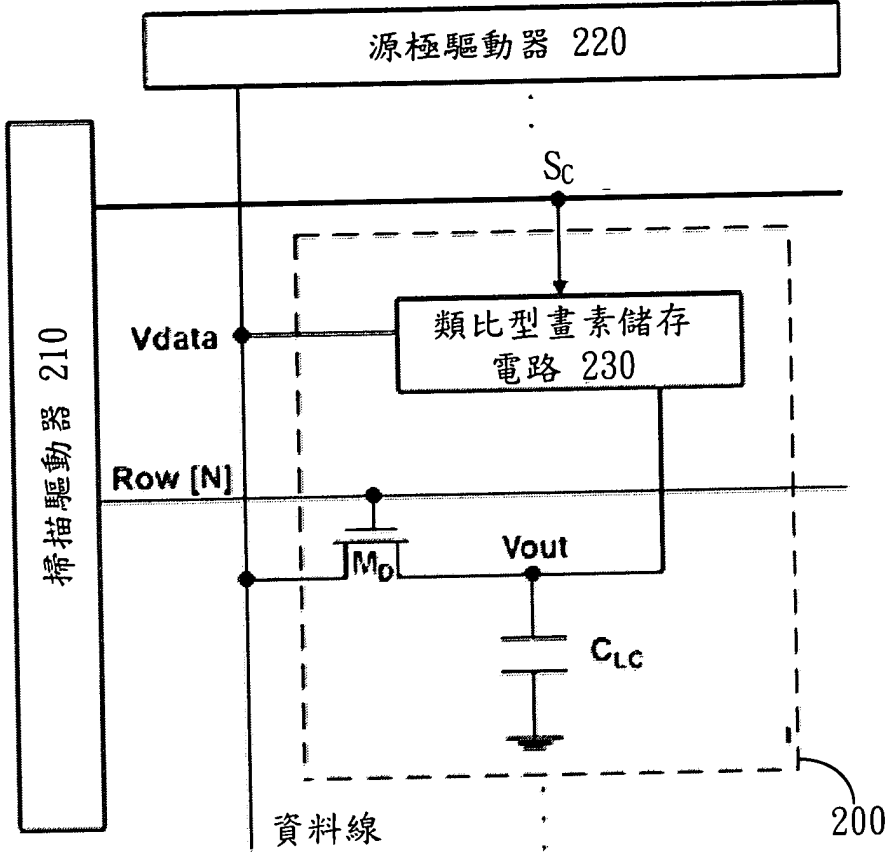
11. 如申請專利範圍第 10 項所述之類比型畫素儲存電路，其中於該第二操作週期，該第二掃描信號係控制該第七電晶體關閉。
12. 如申請專利範圍第 10 項所述之類比型畫素儲存電路，其中於該第三操作週期，該第一掃描信號係控制該第八電晶體以及該第九電晶體關閉，且第二掃描信號係控制該第七電晶體關閉。
13. 如申請專利範圍第 10 項所述之類比型畫素儲存電路，於該第四週期中，該第三掃描信號係控制該第四電晶體以及該第五電晶體關閉，以及第三電晶體開啟。

八、圖式：

100

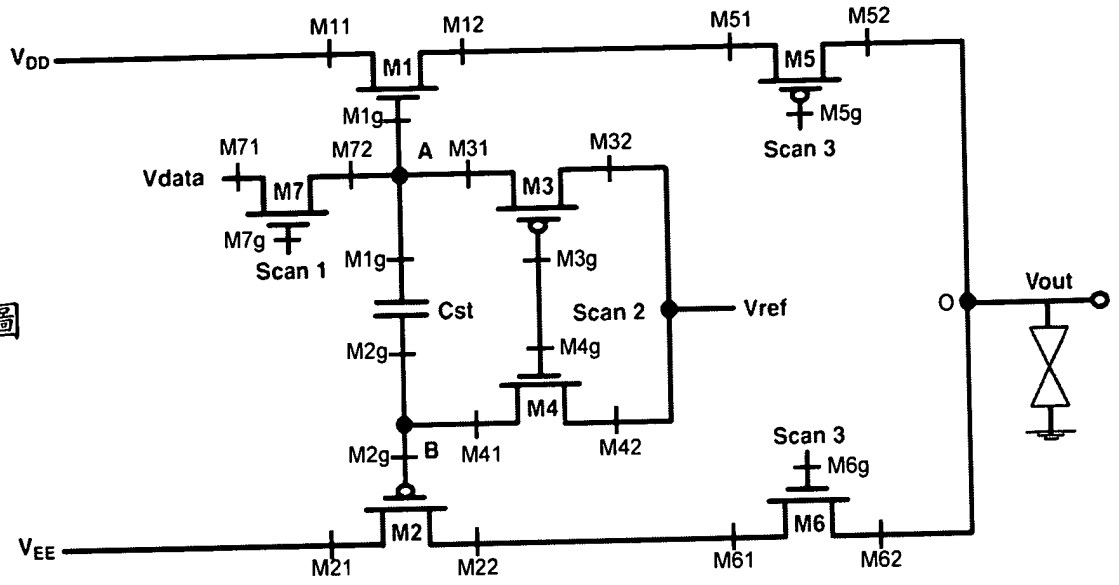


第 1 圖

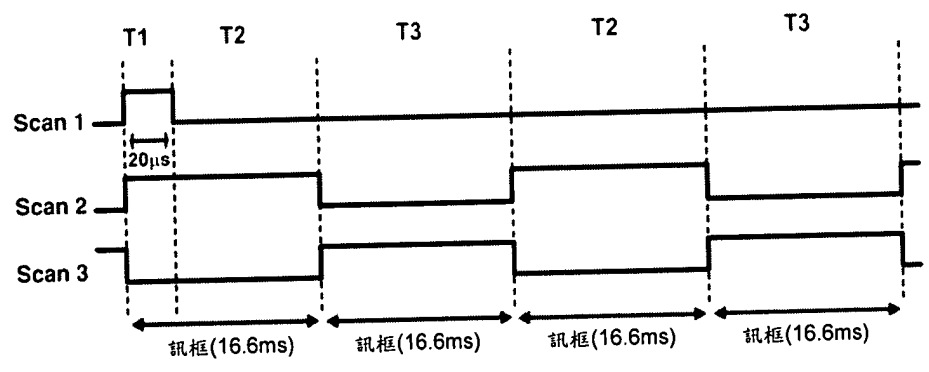


第 2 圖

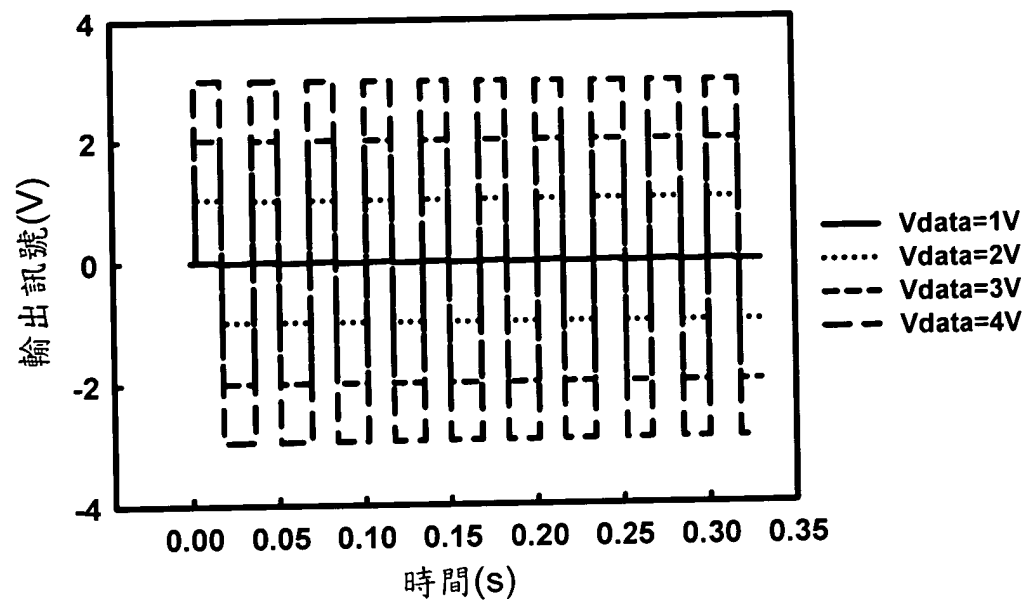
第3A圖



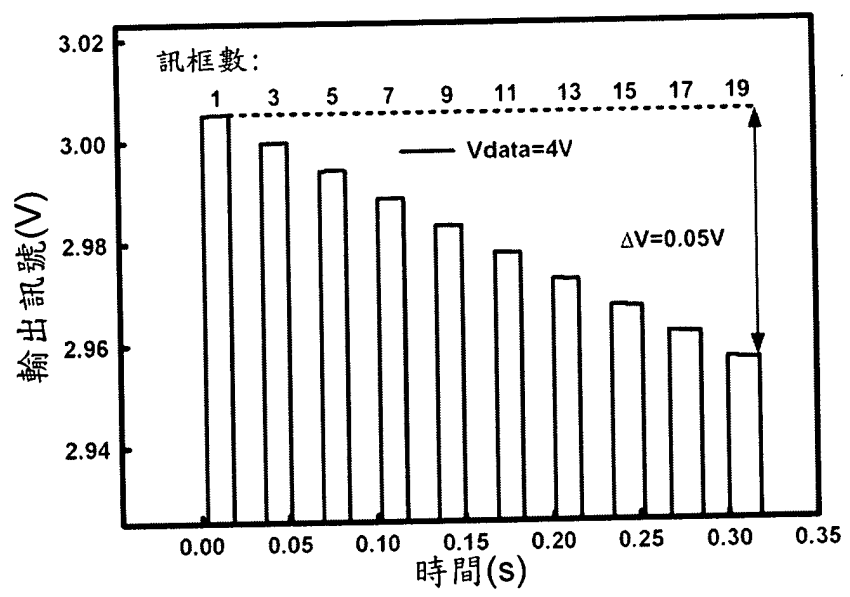
第3B圖



第4A圖

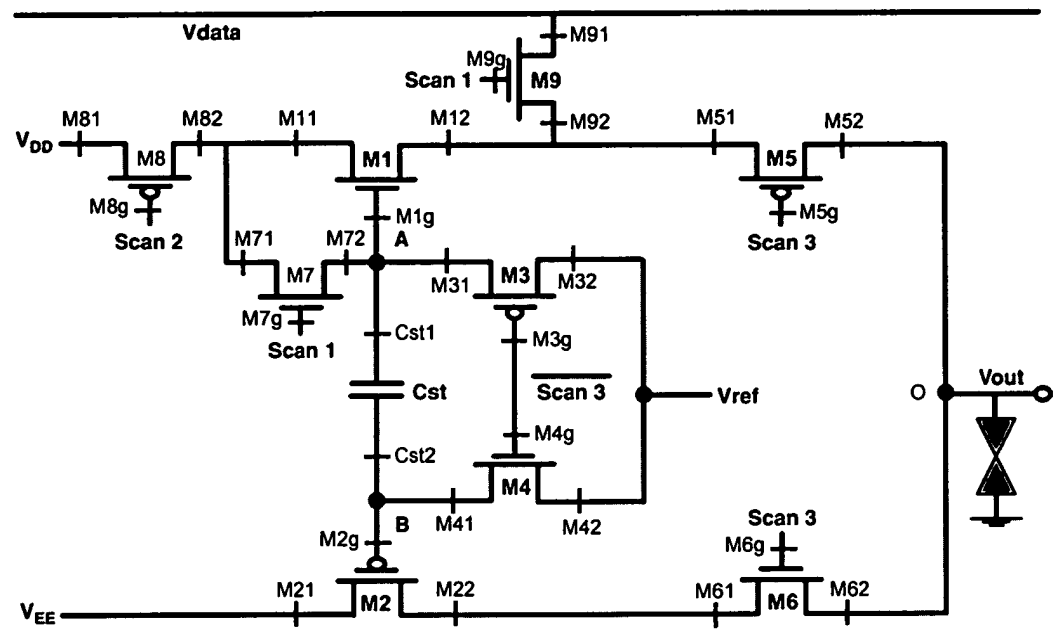


第4B圖

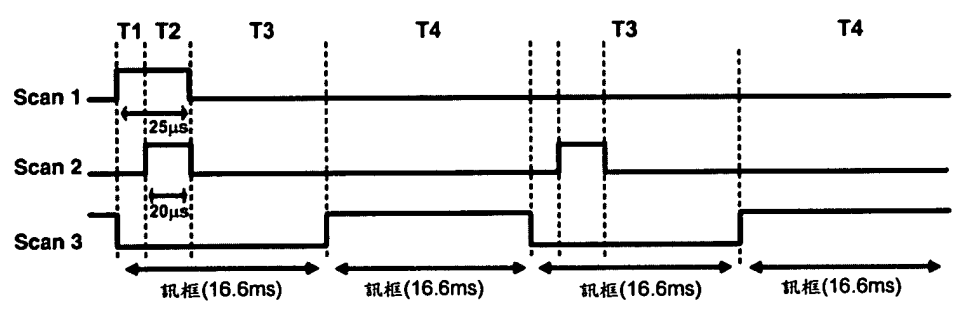


530

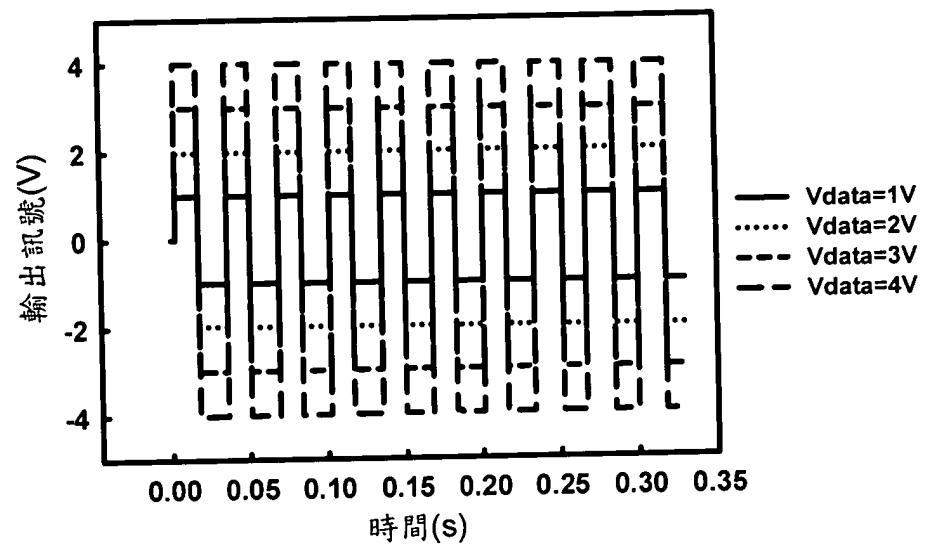
第5A圖



第5B圖



第6A圖



第6B圖

