



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I416706 B

(45)公告日：中華民國 102 (2013) 年 11 月 21 日

(21)申請案號：099144817

(22)申請日：中華民國 99 (2010) 年 12 月 20 日

(51)Int. Cl. : H01L27/04 (2006.01)

H02H9/00 (2006.01)

(71)申請人：國立交通大學(中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

(72)發明人：陳冠能 CHEN, KUAN NENG (TW) ; 賴明芳 LAI, MING FANG (TW) ; 陳宏明
CHEN, HUNG MING (TW)

(74)代理人：詹銘文；葉璟宗

(56)參考文獻：

TW 200901343A

TW 201036137A1

JP 特開 2010-182368A

WO 2010/028355A1

WO 2010/030532A1

Grzegorz Deptuch, David Christian, James Hoff, Ronald Lipton, Alpna Shenai, Marcel Trimpl, Raymond Yarema, Tom Zimmerman, "A Vertically Integrated Pixel Readout Device for the Vertex Detector at the International Linear Collider", IEEE TRANSACTIONS ON NUCLEAR SCIENCE, VOL. 57, NO. 2, APRIL 2010.

Chiang, C. ,Sinha, S." The road to 3D EDA tool readiness", Design Automation Conference, 2009. ASP-DAC 2009. Asia and South Pacific, 19-22 Jan. 2009 ,

James A. Burns, Brian F. Aull, Chenson K. Chen, Chang-Lee Chen, Craig L. Keast, Jeffrey M. Knecht, Vyshnavi Suntharalingam, Keith Warner, Peter W. Wyatt, Donna-Ruth W. Yost, "A Wafer-Scale 3-D Circuit Integration Technology", IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. 53, NO. 10, OCTOBER 2006

Po-Yuan Chen, Cheng-Wen Wu, Ding-Ming Kwai, "On-Chip TSV Testing for 3D IC before Bonding Using Sense Amplification", 2009 Asian Test Symposium

Robert S. Patti, "Three-Dimensional Integrated Circuits and the Future of System-on-Chip Designs", Proceedings of the IEEE (Volume: 94 , Issue: 6) , June 2006

審查人員：黃鼎富

申請專利範圍項數：10 項 圖式數：5 共 0 頁

(54)名稱

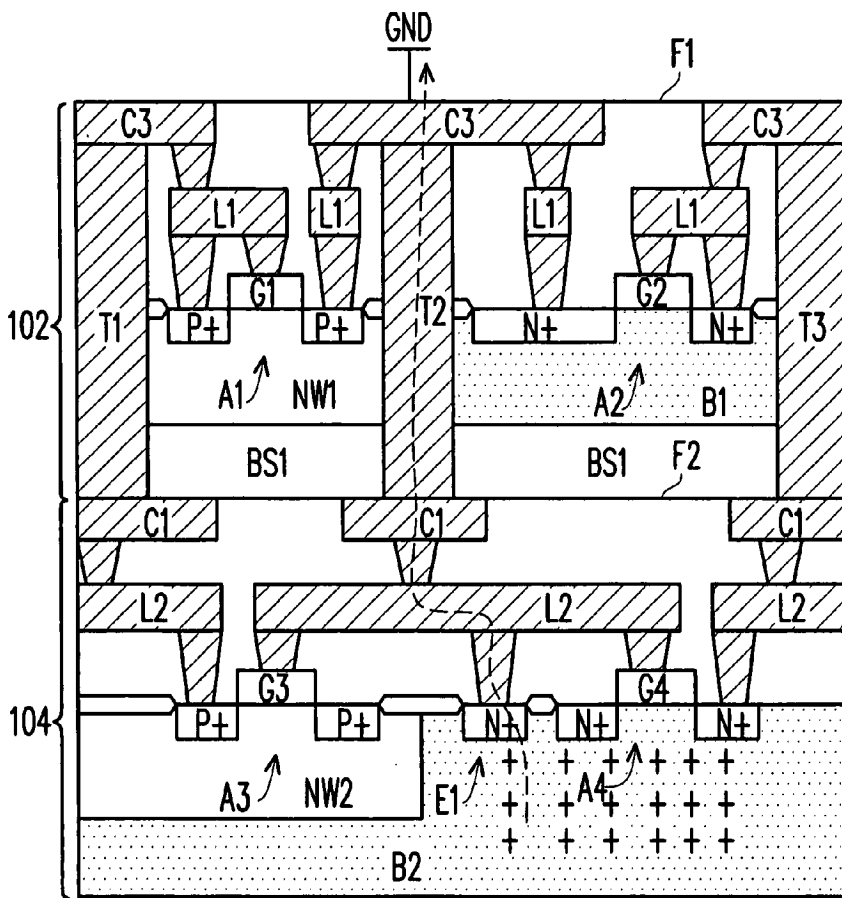
三維積體電路的靜電放電防護結構

ESD STRUCTURE FOR 3D IC

(57)摘要

一種三維積體電路的靜電放電防護結構，包括一第一主動層、一矽晶穿孔元件以及一第二主動層。其中矽晶穿孔元件配置於第一主動層中，第二主動層則與第一主動層相互堆疊。第二主動層包括一基板以及一靜電放電保護元件，靜電放電保護元件具有一摻雜區埋於基板內，且靜電放電保護元件電性連接該矽晶穿孔元件。

A ESD (electrostatic discharge) structure for 3D IC is provided. The ESD structure includes a first active layer, a TSV (through-silicon via) device and a second active layer. The TSV is disposed in the first active layer, and the second active layer stacks with the first active layer. The second active layer includes a substrate and an ESD protection device, wherein the ESD protection device having a doping area buried in the substrate, and the ESD protection device electrically connects the TSV device.



- 100 . . . 三維積體電路
- 102、104 . . . 主動層
- F1 . . . 第一表面
- F2 . . . 第二表面
- A1~A4 . . . 主動元件
- BS1 . . . 基底
- T1、T2、T3 . . . 矽晶穿孔元件
- GND . . . 接地
- C1、C3 . . . 金屬接觸層
- NW1、NW2 . . . N型井區
- P+ . . . P型摻雜區
- N+ . . . N型摻雜區
- B1、B2 . . . P型基板
- E1 . . . 靜電放電保護元件
- L1、L2 . . . 導線層

100

圖 1

公告本**發明專利說明書**

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號： 99144817

※申請日： 99. 12. 20

※IPC 分類： H01L 27/04 (2006.01)
H02M 7/00 (2006.01)**一、發明名稱：**三維積體電路的靜電放電防護結構 / ESD
STRUCTURE FOR 3D IC**二、中文發明摘要：**

一種三維積體電路的靜電放電防護結構，包括一第一主動層、一矽晶穿孔元件以及一第二主動層。其中矽晶穿孔元件配置於第一主動層中，第二主動層則與第一主動層相互堆疊。第二主動層包括一基板以及一靜電放電保護元件，靜電放電保護元件具有一摻雜區埋於基板內，且靜電放電保護元件電性連接該矽晶穿孔元件。

三、英文發明摘要：

A ESD (electrostatic discharge) structure for 3D IC is provided. The ESD structure includes a first active layer, a TSV(through-silicon via) device and a second active layer. The TSV is disposed in the first active layer, and the second active layer stacks with the first active layer. The second active layer includes a substrate and an ESD protection device, wherein the ESD protection device having a doping

area buried in the substrate, and the ESD protection device electrically connects the TSV device.

四、指定代表圖：

(一) 本案之指定代表圖：圖 1

(二) 本代表圖之元件符號簡單說明：

100：三維積體電路

102、104：主動層

F1：第一表面

F2：第二表面

A1~A4：主動元件

BS1：基底

T1、T2、T3：矽晶穿孔元件

GND：接地

C1、C3：金屬接觸層

NW1、NW2：N 型井區

P+：P 型摻雜區

N+：N 型摻雜區

B1、B2：P 型基板

E1：靜電放電保護元件

L1、L2：導線層

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

area buried in the substrate, and the ESD protection device electrically connects the TSV device.

四、指定代表圖：

(一) 本案之指定代表圖：圖 1

(二) 本代表圖之元件符號簡單說明：

100：三維積體電路

102、104：主動層

F1：第一表面

F2：第二表面

A1~A4：主動元件

BS1：基底

T1、T2、T3：矽晶穿孔元件

GND：接地

C1、C3：金屬接觸層

NW1、NW2：N 型井區

P+：P 型摻雜區

N+：N 型摻雜區

B1、B2：P 型基板

E1：靜電放電保護元件

L1、L2：導線層

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明是有關於一種靜電放電防護結構，且特別是有關於一種三維積體電路的之靜電放電防護結構。

【先前技術】

跟隨著電路設計複雜度及半導體製程的快速發展，以及電路效能的需求，近來積體電路已發展至三維(3D)電路的連接方式，以使得電路效能增加，且三維電路各層可使用不同之製程技術，可依電路需求而使用不同之製程後再作一堆疊結合，如此便可降低製作之成本。

連接各晶片(chip)間之連線主要為矽晶穿孔(Through-Silicon Via, TSV)，其通過在晶片和晶片之間、晶圓和晶圓之間製作垂直導通，是目前三維積體電路(3D IC)製程整合技術中，能實現晶片之間互連的嶄新技術。與以往的 IC 封裝鍵合和使用凸點的疊加技術不同，TSV 能夠使晶片在三維方向堆疊的密度最大，外形尺寸最小，並且提升元件速度、減少信號延遲和功率消耗，而成為 3D IC 中非常重要的關鍵技術之一。

然而，由於 3D IC 為許多層晶片所堆疊而成，各晶片間所使用之製程技術及供應電壓均有可能不同，而連接各晶片的便是 TSV 元件，TSV 元件有可能受到各種高壓靜電或雜訊通過，如人體放電模式 (Human-Body Model, HBM)、機器放電模式 (Machine Model, MM)、元件充電

模式 (Charged-Device Model, CDM) 或電場感應模式 (Field-Induced Model, FIM) 產生之靜電，將透過 TSV 流至各個堆疊晶片之間，易造成 3D IC 電路或 TSV 元件受損。

習知的三維積體電路透過在矽晶穿孔同一層的基板中，於矽晶穿孔旁設置與矽晶穿孔連接的靜電放電防護元件，以使矽晶穿孔中的靜電可透過靜電放電防護元件被排除至積體電路外。此種作法雖可達到保護三維積體電路的目的，但卻會增加三維積體電路的製程步驟，使得三維積體電路的製作更為繁複，進而提高三維積體電路的生產成本。

【發明內容】

本發明提供一種三維積體電路的靜電放電防護結構，可有效地達到靜電放電防護的目的，同時並降低積體電路的製作成本。

本發明提出一種三維積體電路的靜電放電防護結構，包括一第一主動層、一矽晶穿孔元件以及一第二主動層。其中矽晶穿孔元件配置於第一主動層中。另外第二主動層則與第一主動層相互堆疊，其中第二主動層包括一第一基板以及一靜電放電保護元件。靜電放電保護元件具有一摻雜區埋於基板內，且靜電放電保護元件電性連接該矽晶穿孔元件。

在本發明之一實施例中，上述之基板為一 P 型基板，且上述摻雜區為一 N 型摻雜區。

在本發明之一實施例中，上述之第二主動層更包括一井區，其埋於基板與靜電放電保護元件之間。

在本發明之一實施例中，上述之基板為一 P 型基板，而上述井區為一 N 型井區，且上述摻雜區為一 P 型摻雜區。

在本發明之一實施例中，上述之第二主動層更包括一導線層以及一第一金屬接觸層。其中第一金屬接觸層位於第二主動層的一上表面，靜電放電保護元件透過導線層與第一金屬接觸層電性連接至矽晶穿孔元件的第一端。

在本發明之一實施例中，上述之第一主動層更包括一第二金屬接觸層，其位於第一主動層的一第一表面，矽晶穿孔元件的第一端透過第二金屬接觸層電性連接至第一金屬接觸層。

在本發明之一實施例中，上述之第一主動層更包括一第三金屬接觸層，其位於第一主動層的一第二表面，矽晶穿孔元件的第二端透過第一金屬接觸層電性連接至一接地。

在本發明之一實施例中，上述之第一主動層為一第一晶圓或一第一晶片。

在本發明之一實施例中，上述之第二主動層為一第二晶圓或一第二晶片。

基於上述，本發明利用在主動元件旁設置一導通電壓小於主動元件的崩潰電壓的靜電放電保護元件，以達到靜電放電保護的目的，並藉由將靜電放電保護元件設置於與矽晶穿孔元件不同層的主動層，以避免額外的製程步驟，

進而節省三維積體電路的生產成本。

為讓本發明之上述特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

【實施方式】

本發明之概念是結合三維積體電路矽晶穿孔(TSV)元件與靜電放電(ESD)元件，以保護 3D IC 電路及 TSV 元件。

以下列舉幾個實施例來詳細說明本發明之應用，但本發明可用多種不同形式來實踐，且不應將其解釋為限於本文所述之實施例。實際上提供這些實施例，只是為了使本發明能揭露地更詳盡，且將本發明之範疇完全傳達至所屬技術領域中具有通常知識者。而在附圖中，為明確起見可能將各層以及區域的尺寸以及相對尺寸作誇張的描繪。為了簡化說明，圖式中僅顯示本發明之結構，而未完全繪出基板上的其他電路元件，但所屬技術領域中具有通常知識者應知悉，凡是可應用於 3D IC 之元件，均可依所需設置於基板上。

至於文中之用語僅是為描述特定實施例之目的，且並非意欲限制本發明。如本文中所使用的，除非本文另外有明確指示，否則單數形式「一」以及「所述」也代表包括複數的形式。而文中使用「第一」、「第二」等來描述各種元件、區、層等，但是這樣的用語僅用以將一元件、區或層區別於另一元件、區或層。因此，在不脫離本發明所揭露的情況下，下文所述之第一區可稱為第二區，依此類推。

此外，本文中可使用諸如“於...下”、“於...上”、“下”、“上”及其類似之空間相對用語，來描述附圖中之一元件或特徵與另一元件或特徵的關係。應瞭解，空間相對用語可涵蓋使用中之元件除了附圖所描繪之方位以外的不同方位。舉例而言，若將圖中的元件翻轉，則被描述為位於其他元件或特徵“下方”或“之下”的元件接著將定向成位於其他元件或特徵“上方”。因此，空間相對用語“於.....下”可包括上方以及下方的兩方位。

圖 1 繪示為本發明一實施例之三維積體電路之靜電放電(ESD)結構的示意圖。請參照圖 1，本實施例之三維積體電路 100 包括第一主動層 (active layer) 102 與第二主動層 104。其中，第一主動層 102 與第二主動層 104 可以各別為晶圓 (wafer) 及/或晶片 (die) (亦即第一主動層 102 與第二主動層 104 可以同時為晶圓或晶片，或者第一主動層 102 與第二主動層 104 之其一可以為晶圓，而第一主動層 102 與第二主動層 104 之另一可以為晶片，反之亦然)。

第一主動層 102 具有一第一表面 F1 與一第二表面 F2，且包括主動元件 A1、A2、基底 BS1 以及多個矽晶穿孔元件 (through silicon via, TSV) T1、T2、T3，其中基底 BS1 可例如為氧化層或是絕緣層上覆晶 (Semiconductor On Insulator, SOI)，其位於第一主動層 102 的第一表面 F1，各個矽晶穿孔元件的第二端透過位於第一主動層 102 第二表面 F2 的第三金屬接觸層 C3 電性連接至接地 GND，而各個矽晶穿孔元件的第一端則貫穿第一主動層 102 的第一表

面 F1。

另外主動元件 A1、A2 則位於基底 BS1 上並分別介於矽晶穿孔元件 T1、T2 之間以及矽晶穿孔元件 T2、T3 之間，主動元件 A1、A2 透過導線層 L1 電性連接至第三金屬接觸層 C3。在本實施例中，主動元件 A1 為一 P 型金氧半導體電晶體，其由一 N 型井區 NW1 以及位於 N 型井區 NW1 中的閘極 G1、源極與汲極(亦即閘極 G1 兩側的 P 型摻雜區(P+))所構成，其中主動元件 A1 的閘極 G1、源極與汲極藉由導線層 L1 電性連接至第三金屬接觸層 C3。

另外，在本實施例中主動元件 A2 則為一 N 型金氧半導體電晶體，其由一 P 型基板 B1 以及位於 P 型基板 B1 中的閘極 G2、源極與汲極(亦即閘極 G2 兩側的 N 型摻雜區(N+))所構成。其中主動元件 A2 的閘極 G2、源極與汲極亦藉由導線層 L1 電性連接至第三金屬接觸層 C3。上述之導線層 L1 可例如為鋁或銅的材料所構成。

第二主動層 104 包含 P 型基板 (substrate) B2、至少一個靜電放電保護元件 (ESD protection cell) E1 以及位於 P 型基板 (substrate) B1 上的主動元件 A3、A4。在本實施例中主動元件 A3 為一 P 型金氧半導體電晶體，其由一 N 型井區 NW2，以及位於 N 型井區 NW2 中的閘極 G3、源極與汲極(亦即閘極 G3 兩側的 P 型摻雜區(P+))所構成。主動元件 A4 則為一 N 型金氧半導體電晶體，其由一 P 型基板 B2 以及位於 P 型基板 B2 中的閘極 G4、源極與汲極(亦即閘極 G4 兩側的 N 型摻雜區(N+))所構成。另外，上述之

靜電放電保護元件 E1 在本實施例中為一 N 型摻雜區 (N+)，其位於主動元件 A3 與主動元件 A4 之間。

其中主動元件 A3 的閘極 G3、主動元件 A4 的閘極 G4 與靜電放電保護元件 E1(在本實施例中為一 N 型摻雜區 (N+))藉由一導線層 L2 相互連接，且導線層 L2 透過位於第二主動層 104 上表面的第一金屬接觸層 C1 電性連接矽晶穿孔元件 T2 的第一端，導線層 L2 可例如為鋁或銅的材料所構成。主動元件 A3 的兩個 P 型摻雜區 (P+)之其一透過導線層 L2 與第一金屬接觸層 C1 與矽晶穿孔元件 T1 電性連接，而主動元件 A4 的兩個 N 型摻雜區 (N+)之其一則透過導線層 L2 與第一金屬接觸層 C1 與矽晶穿孔元件 T1 電性連接。

由於靜電放電保護元件 E1 與 P 型基板 B1 所形成之二極體的導通電壓將小於主動元件 A3 的閘極 G3 或主動元件 A4 的閘極 G4 的崩潰電壓，因此當晶圓 (或晶片) 因摩擦或其它因素而帶有靜電電荷時(例如在本實施例中 P 型基板 B1 所帶的靜電正電荷)，靜電電荷便可藉由靜電放電保護元件 E1、導線層 L2、第一接觸金屬層 C1、矽晶穿孔元件 T2 以及第三接觸金屬層 C3 所形成的靜電放電路徑將靜電電荷排出至接地 GND，以避免 P 型基板 B1 中的靜電電荷擊穿主動元件 A3 的閘極 G3 或主動元件 A4 的閘極 G4，進而造成主動元件 A3 或 A4 的損壞。

值得注意的是，在較高階的半導體製程中，主動元件 A3 或主動元件 A4 的閘極崩潰電壓將可能小於靜電放電保

護元件 E1 與 P 型基板 B1 所形成之二極體的導通電壓，因此需要增加靜電放電保護元件 E1 的摻雜濃度，以使靜電放電保護元件 E1 的導通電壓小於主動元件 A3 或主動元件 A4 的閘極崩潰電壓，進而達到靜電放電防護的效果。另外上述 P 型基板 B1 所帶之電荷亦有可能為負的靜電電荷，在此情形下，靜電負電荷亦可以相同的方式，透過上述之靜電放電路徑將其排出，以避免主動元件 A3 或 A4 的損壞。

如上所述，透過在主動元件 A3、A4 旁設置一導通電壓小於主動元件的崩潰電壓的靜電放電保護元件 E1，可將三維積體電路 100 中的靜電電荷導向臨界電壓較低的靜電放電路徑，以避免主動元件 A3、A4 的毀損。且藉由將靜電放電保護元件設置於與矽晶穿孔元件不同層的主動層，還具有不須增加以避免增加額外的製程步驟的好處。也就是說，在主動元件 A3、A4 旁設置靜電放電保護元件 E1 僅須修改製程中所使用的光罩圖案，而不須如習知技術般增加光罩數目，以在矽晶穿孔元件旁製作靜電放電保護元件，因此本實施例所揭露之三維積體電路之靜電放電結構可大幅地節省三維積體電路的生產成本。

值得注意的是，上述實施例所列舉的主動元件 A1~A4 的態樣僅為一示範性的實施例，實際上並不以此為限。另外，當晶圓（或晶片）上產生靜電時，靜電電荷的存在並不侷限於上述的 P 型基板 B1 中，在主動元件 A3 的 N 型井區 NW2 中亦可能會有靜電電荷的存在。為了防止主動元件 A3 的 N 型井區 NW2 中的靜電電荷損壞元件，亦可

在 N 型井區 NW2 中設置另一靜電放電保護元件以排除 N 型井區 NW2 中的靜電電荷。如圖 2 所示之本發明之另一實施例之三維積體電路之靜電放電結構的示意圖，請參照圖 2，本實施例之三維積體電路 200 與圖 1 實施例之三維積體電路 100 的不同之處在於，三維積體電路 200 的 N 型井區 NW2 中更包括一位於主動元件 A3 旁的靜電放電防護元件 E2。

在本實施例中，靜電放電防護元件 E2 為一 P 型摻雜區(P+)，其透過導線層 L2 與第一金屬接觸層 C1 電性連接至第一主動層 102 中的矽晶穿孔元件 T1。其中靜電放電防護元件 E2 與 N 型井區 NW2 形成的二極體的導通電壓小於主動元件 A3 的崩潰電壓，因此當 N 型井區 NW2 中出現靜電電荷(例如靜電負電荷)時，靜電電荷便可藉由靜電放電保護元件 E2、導線層 L2、第一接觸金屬層 C1、矽晶穿孔元件 T2 以及第三接觸金屬層 C3 所形成的靜電放電路徑將靜電電荷排出至接地 GND，以避免 N 型井區 NW2 中的靜電電荷擊穿主動元件 A3 的閘極 G3 或主動元件 A4 的閘極 G4，進而造成主動元件 A3 或 A4 的損壞。值得注意的是，N 型井區 NW2 所帶之電荷亦有可能為正的靜電電荷，在此情形下，靜電正電荷亦可以相同的方式，透過上述之靜電放電路徑將其排出，以避免主動元件 A3 或 A4 的損壞。

圖 3 繪示為本發明之另一實施例之三維積體電路之靜電放電結構的示意圖。請參照圖 3，本實施例之三維積體電路 300 與圖 1 實施例之三維積體電路 100 的不同之處在

於，三維積體電路 300 中原本同時耦接靜電放電保護元件 E1、第一金屬接觸層 C1、主動元件 A3 的閘極 G3 與主動元件 A4 的閘極 G4 的導線層 L2，在本實施例中被分隔為導線層 L2A 與 L2B。亦即主動元件 A4 的閘極 G4 無法如圖 2 實施例般直接透過導線層 L2 與第一金屬接觸層 C1 電性連接至矽晶穿孔元件 T2，而必須經由導線層 L2B、靜電放電保護元件 E1、導線層 L2A 以及第一金屬接觸層 C1 才能電性連接至矽晶穿孔元件 T2。

因此，在 P 型基板 B1 中的靜電電荷將選擇阻抗較小的電流路徑流向接地 GND 而被排除(亦即經由靜電放電保護元件 E1 的 N 型摻雜區(N+)、導線層 L2A、第一金屬接觸層 C1、矽晶穿孔元件 T2 以及第三金屬接觸層 C3 流向接地 GND)，而不會選擇流經主動元件 A4 的閘極 G4 的電流路徑，主動元件 A4 的閘極 G4 因而受到保護而免於損壞。

在上述的實施例中，第一主動層 102 中的矽晶穿孔元件 T1、T2、T3 的第一端為貫穿第一主動層 102 的第一表面 F1，並直接電性連接至第一金屬接觸層 C1。然在部分實施例中，矽晶穿孔元件 T1、T2、T3 的第一端可先連接至另一金屬接觸層再電性連接至第一金屬接觸層 C1。如圖 4 所示之另一三維積體電路 400 之靜電放電結構的示意圖，第一主動層 102 的第二表面 F2 更包括一第二金屬接觸層 C2，其與矽晶穿孔元件 T1、T2、T3 的第一端連接，同時並與第二主動層 104 的第一金屬接觸層 C1 電性連

接。類似地，本實施例之三維積體電路 400 亦可以與圖 1 之三維積體電路 100 相同的方式來排除第二主動 104 層中的靜電電荷，差別僅在本實施例之三維積體電路 400 的靜電放電電流路徑中相較於三維積體電路 100 的靜電放電電流路徑多了第二金屬接觸層 C2，本領域具通常知識者應可藉由上述實施例推得三維積體電路 400 的作動原理，因此在此不再贅述。

另外，於圖 1 所示的實施例係以第一主動層 102 與第二主動層 104 透過面對背堆疊製程 (face-to-back stacking process) 而構成三維積體電路的例子來進行說明/解說，但本發明並不限於此。換言之，本實施例亦可以兩個主動層透過面對面堆疊製程 (face-to-face stacking process) 以構成三維積體電路。

更清楚來說，圖 5 繪示為本發明另一實施例之三維積體電路的示意圖。請合併參照圖 4 與圖 5，與三維積體電路 400 相似的元件在圖 5 中給予相似的元件編號，故而不再加以贅述之。本實施例之三維積體電路 500 與圖 4 之三維積體電路 400 的不同之處在於，三維積體電路 400 中第一主動層 102 與第二主動層 104 為以面對背堆疊製程的方式構成，而本實施例之三維積體電路 500 中第一主動層 102 與第二主動層 104 為以面對面堆疊製程的方式構成。因此本實施例之三維積體電路 500 的靜電放電電流路徑將相同於三維積體電路 400 的靜電放電電流路徑相同，本領域具通常之事者應可藉由上述實施例推得三維積體電路 400 的

作動原理，在此不再贅述。

另外，上述之靜電放電保護元件 E1 與 E2 並不分別限制必須實施在 P 型基板 B1 與 N 型井區 NW2 中，靜電放電保護元件 E1 亦可實施在 N 型基板上，只要將 N 型摻雜的靜電放電保護元件 E1 改為 P 型摻雜即可。另外，靜電放電保護元件 E2 亦可實施在 P 型井區中，只要將 P 型摻雜的靜電放電保護元件 E2 改為 N 型摻雜即可。

綜上所述，本發明利用在主動元件旁設置一導通電壓小於主動元件的崩潰電壓的靜電放電保護元件，以達到靜電放電保護的目的，並藉由將靜電放電保護元件設置於與矽晶穿孔元件不同層的主動層，使靜電放電保護元件與主動元件在同一主動層上，僅須修改製程中所使用的光罩圖案便可在原本的製程步驟中順便製作靜電放電保護元件，而不須增加額外的製程步驟，進而節省三維積體電路的生產成本。

雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，故本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

圖 1 繪示為本發明一實施例之三維積體電路之靜電放電結構的示意圖。

圖 2 繪示為本發明另一實施例之三維積體電路之靜電

放電結構的示意圖。

圖 3 繪示為本發明之另一實施例之三維積體電路之靜電放電結構的示意圖。

圖 4 繪示為本發明之另一實施例之三維積體電路之靜電放電結構的示意圖。

圖 5 繪示為本發明之另一實施例之三維積體電路之靜電放電結構的示意圖。

【主要元件符號說明】

100~500：三維積體電路

102、104：主動層

F1：第一表面

F2：第二表面

A1~A4：主動元件

BS1：基底

T1、T2、T3：矽晶穿孔元件

GND：接地

C1~C3：金屬接觸層

NW1、NW2：N 型井區

P+：P 型摻雜區

N+：N 型摻雜區

B1、B2：P 型基板

E1、E2：靜電放電保護元件

L1、L2、L2A、L2B：導線層

七、申請專利範圍：

1. 一種三維積體電路的靜電放電防護結構，包括：
 - 一第一主動層；
 - 一矽晶穿孔元件，配置於該第一主動層中；以及
 - 一第二主動層，與該第一主動層相互堆疊，該第二主動層包括：
 - 一基板；
 - 一靜電放電保護元件，具有一摻雜區埋於該基板內，該靜電放電保護元件電性連接該矽晶穿孔元件；
 - 一導線層；以及
 - 一第一金屬接觸層，位於該第二主動層的一上表面，該靜電放電保護元件透過該導線層與該第一金屬接觸層電性連接至該矽晶穿孔元件的一第一端。
2. 如申請專利範圍第 1 項所述之靜電放電防護結構，其中該基板為一 P 型基板，且該摻雜區為一 N 型摻雜區。
3. 如申請專利範圍第 1 項所述之靜電放電防護結構，其中該第二主動層更包括：
 - 一井區，埋於該基板與該靜電放電保護元件之間。
4. 如申請專利範圍第 3 項所述之靜電放電防護結構，其中該基板為一 P 型基板，而該井為一 N 型井區，且該摻雜區為一 P 型摻雜區。
5. 如申請專利範圍第 1 項所述之靜電放電防護結構，其中該第一主動層具有一第一表面與一第二表面，該

第一主動層更包括：

一第二金屬接觸層，位於該第一主動層的該第二表面，該矽晶穿孔元件的該第一端透過該第二金屬接觸層電性連接至該第一金屬接觸層。

6. 如申請專利範圍第 5 項所述之靜電放電防護結構，其中該第一主動層更包括：

一第三金屬接觸層，位於該第一主動層的該第一表面，該矽晶穿孔元件的一第二端透過該第一金屬接觸層電性連接至一接地。

7. 如申請專利範圍第 1 項所述之靜電放電防護結構，其中該第一主動層為一第一晶圓或一第一晶片。

8. 如申請專利範圍第 7 項所述之靜電放電防護結構，其中該第二主動層為一第二晶圓或一第二晶片。

9. 一種三維積體電路的靜電放電防護結構，包括：

一第一主動層；

一矽晶穿孔元件，配置於該第一主動層中；以及

一第二主動層，與該第一主動層相互堆疊，該第二主動層包括：

一基板；

一靜電放電保護元件，具有一摻雜區埋於該基板內，該靜電放電保護元件電性連接該矽晶穿孔元件；

一導線層；

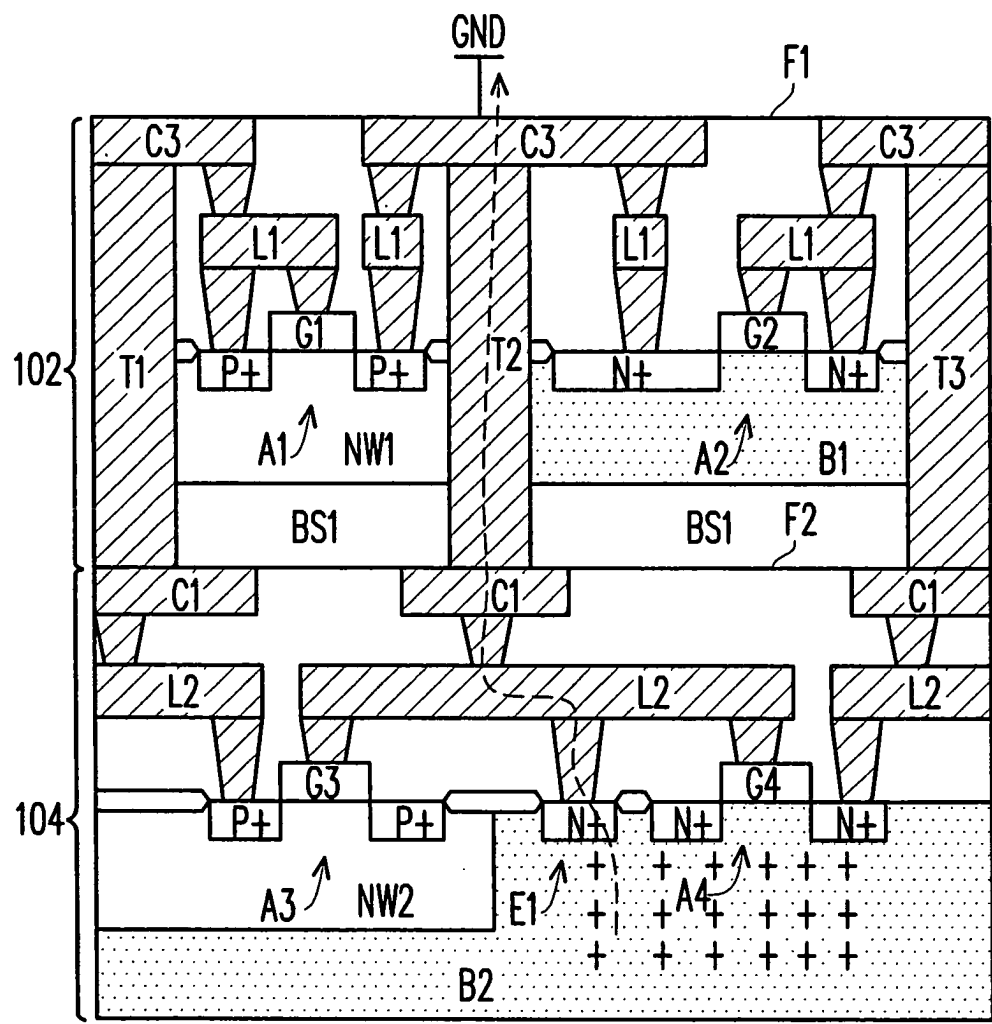
一第一金屬接觸層，位於該第二主動層的一上表面，該靜電放電保護元件透過該導線層與該第一金屬接觸層電

性連接至該矽晶穿孔元件的一第一端；

一第一主動元件，設置於該靜電放電保護元件旁，具有一第一閘極；以及

一第二主動元件，具有一第二閘極，設置於該靜電放電保護元件旁，其中該靜電放電保護元件的導通電壓小於該第一閘極與該第二閘極的導通電壓。

10. 如申請專利範圍第 9 項所述之靜電放電防護結構，其中該靜電放電保護元件與該基板形成之一二極體，該第一主動元件與該第二主動元件為金氧半導體電晶體。



100

圖 1

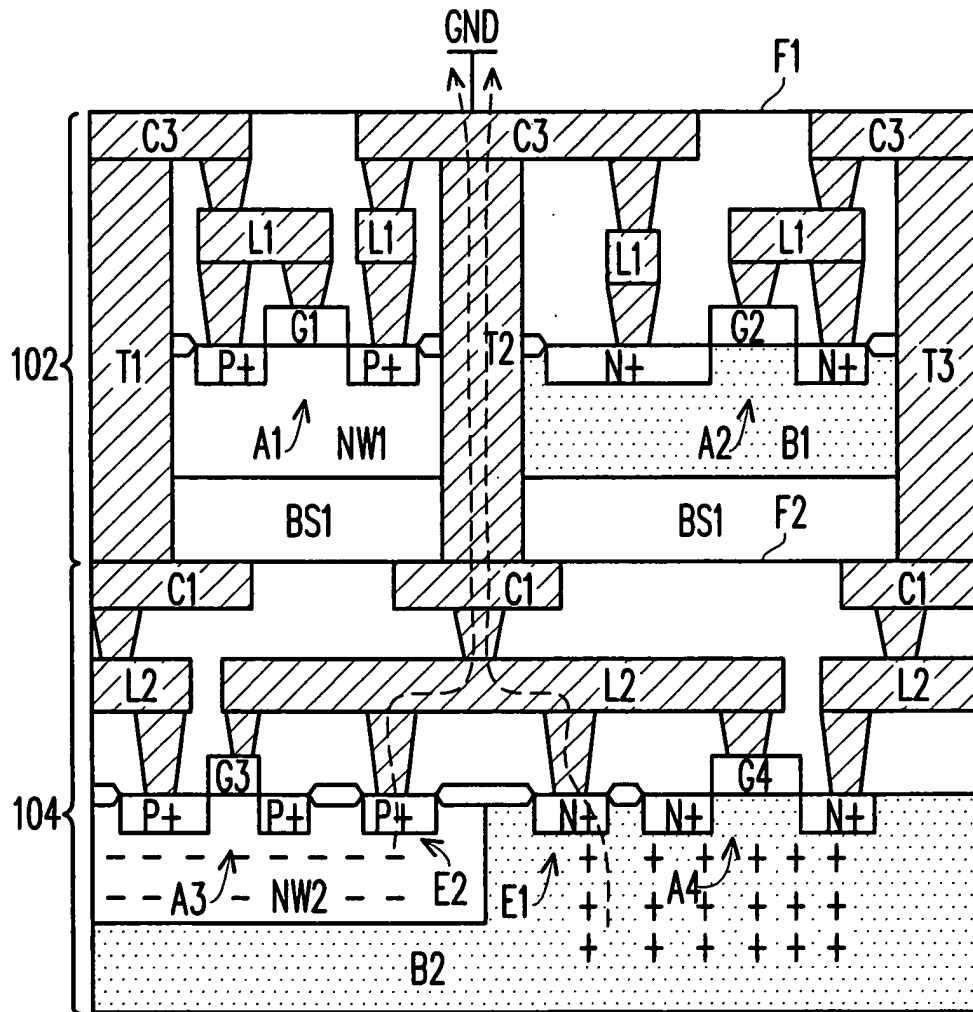


圖 2

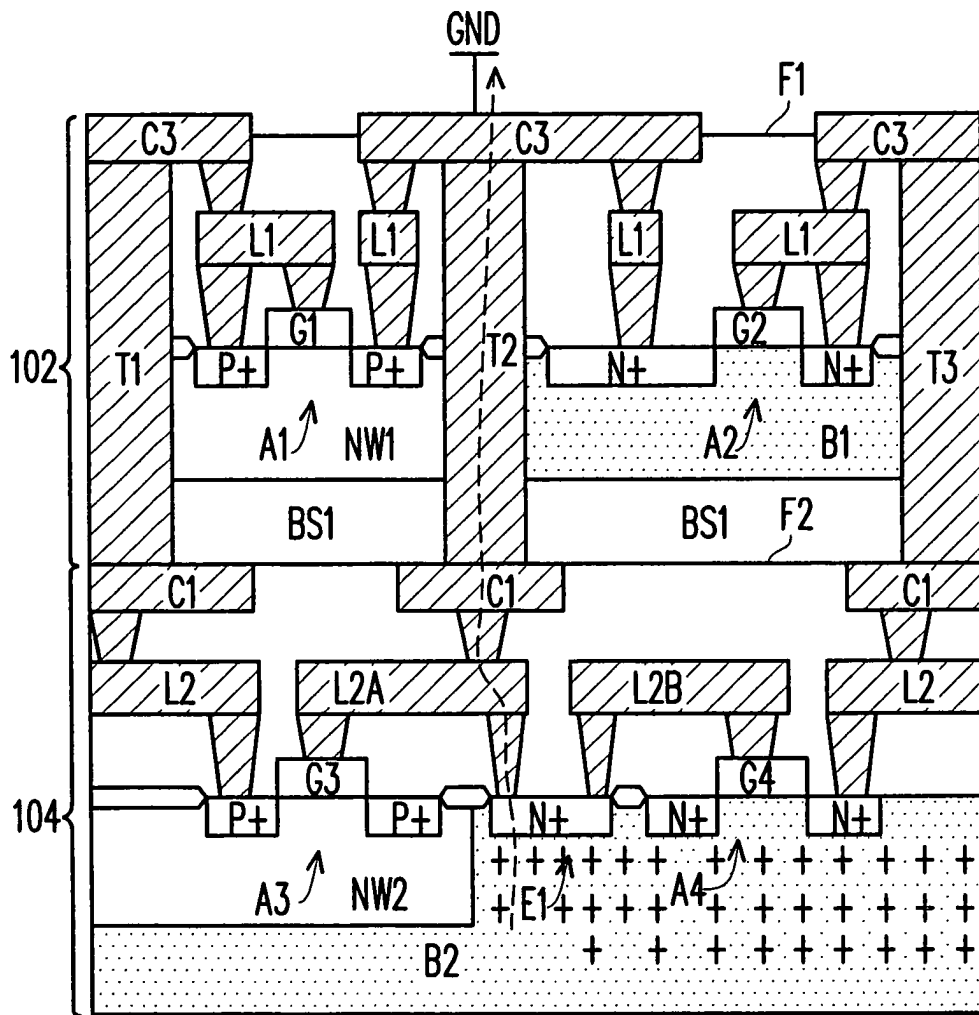
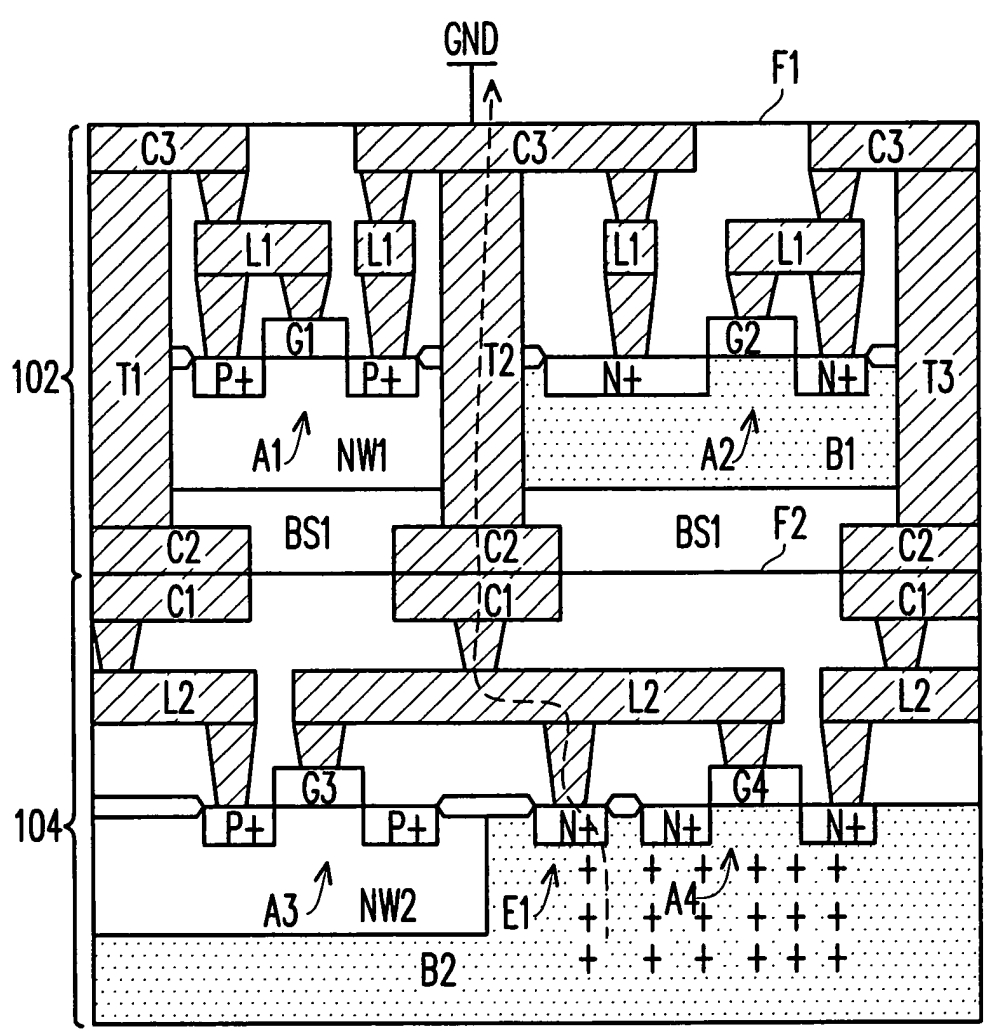
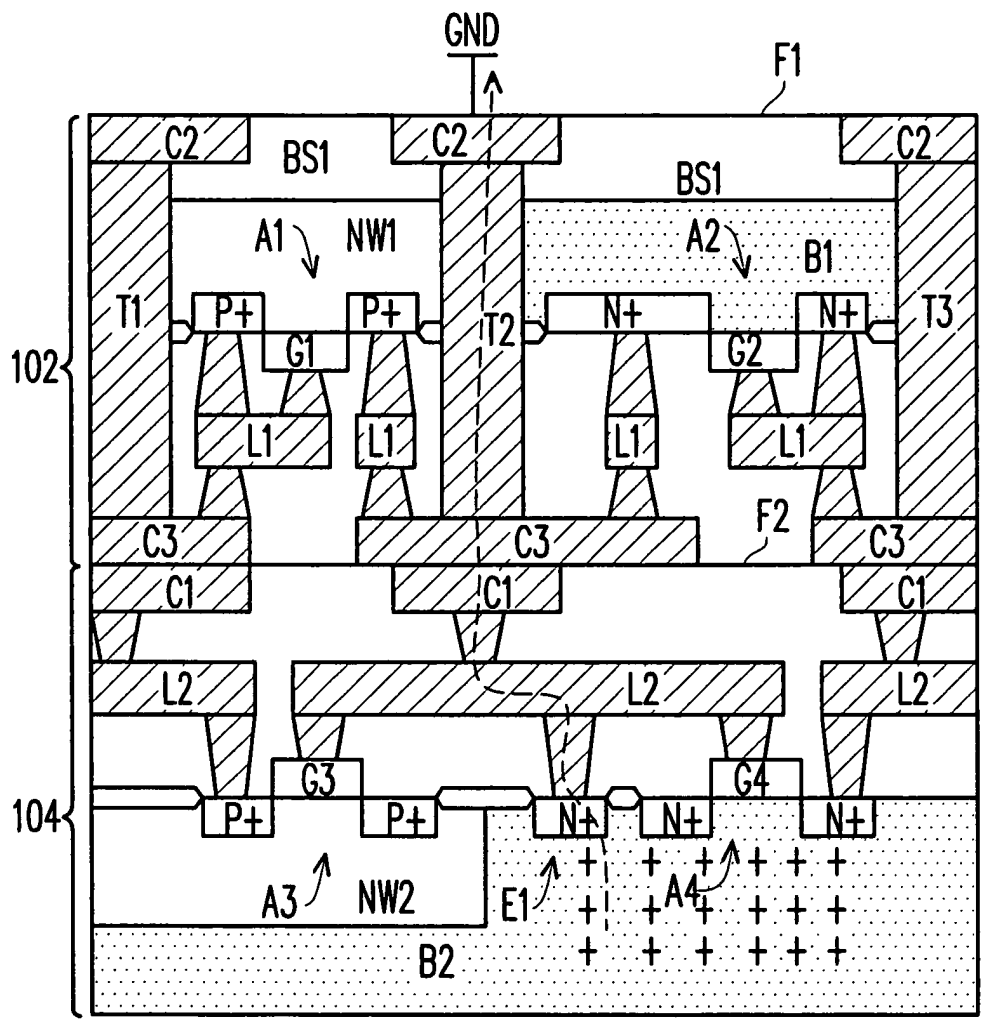


圖 3



400

圖 4



500

圖 5