



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I414151 B

(45)公告日：中華民國 102 (2013) 年 11 月 01 日

(21)申請案號：099140599

(22)申請日：中華民國 99 (2010) 年 11 月 24 日

(51)Int. Cl. : H03K19/0185(2006.01)

H03K19/20 (2006.01)

(71)申請人：國立交通大學(中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

(72)發明人：張家齊 CHANG, CHIA CHI (TW)；何盈杰 HO, YING CHIEH (TW)；蘇朝琴 SU, CHAU CHIN (TW)

(74)代理人：蘇建太；陳聰浩；蘇清澤

(56)參考文獻：

TW 200731669

TW 200915290A

US 4633106

US 4725746

US 6335888B2

審查人員：蘇齊賢

申請專利範圍項數：9 項 圖式數：6 共 0 頁

(54)名稱

低功率軌帶式反相器電路

(57)摘要

本發明係關於能有效降低操作時所產生之靜態漏電流的低功率軌帶式反相器電路。本電路係用於推動一負載並包括：一前端升降壓電路，係包含一前端輸入端、一反相器、一第一 PMOS 電晶體、一第二 PMOS 電晶體、一第一電容、一第一 NMOS 電晶體、一第二 NMOS 電晶體、一第二電容及一前端輸出端；以及一包含一後端輸入端及一後端輸出端的後端 CMOS 反相器驅動電路，後端輸入端係連接至前端輸出端，後端輸出端則連接至負載。其中，當一由前端輸出端傳送至後端輸入端之電壓訊號的電壓小於 0 伏特時，後端 CMOS 反相器驅動電路之一 NMOS 電晶體便被關閉，以降低一靜態漏電流。

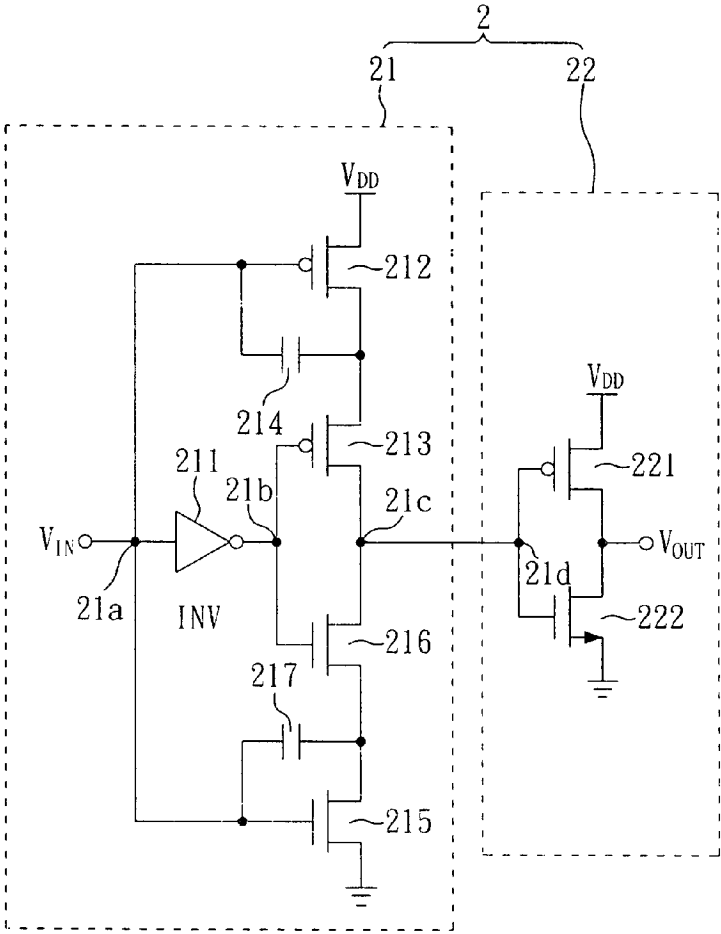


圖2

- 2 . . . 低功率軌帶式反相器電路
- 21 . . . 前端升降壓電路
- 22 . . . 後端 CMOS 反相器驅動電路
- 211 . . . 反相器
- 212 . . . 第一 PMOS 電晶體
- 213 . . . 第二 PMOS 電晶體
- 214 . . . 第一電容
- 215 . . . 第一 NMOS 電晶體
- 216 . . . 第二 NMOS 電晶體
- 217 . . . 第二電容
- 21a . . . 輸入節點
- 21b . . . 輸出節點
- 21c . . . 前端輸出端
- 21d . . . 後端輸入端
- V_{DD} . . . 偏壓電源
- V_{IN} . . . 前端輸入端
- V_{OUT} . . . 後端輸出端
- 221 . . . 第三 PMOS 電晶體
- 222 . . . 第三 NMOS 電晶體

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號： 99140599

※申請日： 99.11.24

※IPC 分類：

H03K 19/0186

(2006.01)

H03K 19/20

(2006.01)

一、發明名稱：(中文/英文)

低功率靴帶式反相器電路

二、中文發明摘要：

本發明係關於能有效降低操作時所產生之靜態漏電流的低功率靴帶式反相器電路。本電路係用於推動一負載並包括：一前端升降壓電路，係包含一前端輸入端、一反相器、一第一 PMOS 電晶體、一第二 PMOS 電晶體、一第一電容、一第一 NMOS 電晶體、一第二 NMOS 電晶體、一第二電容及一前端輸出端；以及一包含一後端輸入端及一後端輸出端的後端 CMOS 反相器驅動電路，後端輸入端係連接至前端輸出端，後端輸出端則連接至負載。其中，當一由前端輸出端傳送至後端輸入端之電壓訊號的電壓小於 0 伏特時，後端 CMOS 反相器驅動電路之一 NMOS 電晶體便被關閉，以降低一靜態漏電流。

三、英文發明摘要：

四、指定代表圖：

(一)本案指定代表圖為：圖 (2)。

(二)本代表圖之元件符號簡單說明：

2 低功率靴帶式反相器電路	21 前端升降壓電路
22 後端CMOS反相器驅動電路	211 反相器
212 第一PMOS電晶體	213 第二PMOS電晶體
214 第一電容	215 第一NMOS電晶體
216 第二NMOS電晶體	217 第二電容
21a 輸入節點	21b 輸出節點
21c 前端輸出端	21d 後端輸入端
V_{DD} 偏壓電源	V_{IN} 前端輸入端
V_{OUT} 後端輸出端	221 第三PMOS電晶體
222 第三NMOS電晶體	

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

「無」

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種低功率靴帶式反相器電路，尤指一種能採用奈米等級製程製造，且具有一低於一門檻電壓之操作電壓，更能在維持一定驅動能力的前提下，有效降低操作時所產生之靜態漏電流的低功率靴帶式反相器電路。

【先前技術】

文獻上，靴帶式反相器電路常被應用在一有限電壓源環境下，卻需驅動一大負載的電路設計中，如用來驅動大負載的輸出級。所以，靴帶式反相器電路已被廣泛地應用在超大型積體電路上。

而且，在現今全球一片提倡環保、綠能科技之際，低功率電路設計已成為現今半導體產學的主要研究發展方向之一，以降低電子產品(如筆記型電腦)運作時所消耗的能源。一般而言，降低電路之操作電壓係為達到低功率消耗最直接且有效的方法。但是，一但電路運作在一低於一臨界電壓的超低操作電壓時，此電路所具有的各電晶體的電流驅動能力將顯著下降，使得電路無法操作在一合理的速度之下。為此，業界動輒需要設計一佔據更大的面積的電路來克服此一缺陷。但不幸的是，在一採用奈米等級製程製造的電路中，靜態漏電流的問題日漸嚴重，甚至會影像到電路的正常運作，更讓原本要降低功率消耗之低功率設計的初衷大打折扣。

請參照圖 1a 與圖 1b，圖 1a 係習知之靴帶式反相器電路之第一操作原理示意圖，圖 1b 則為習知之靴帶式反相器電路之第二操作原理示意圖。如圖 1a 所示，習知之靴帶式反相器電路 1 用以驅動一負載電路 12，且當輸入電壓訊號由一低電位狀態(0)轉換至一高電位狀態(V_{DD})時，第一電晶體 111、第三電晶體 113、第五電晶體 115 係呈關閉狀態，第二電晶體 112、第四電晶體 114、第六電晶體 116 則呈導通狀態。此外，第八電晶體 118 係因第六電晶體 116 呈導通狀態而呈關閉狀態。而由於第一電容 13 已儲存一電壓差 V_{DD} 於其中，故第一節點 1a 之電壓由 0 降至 $-V_{DD}$ ，而使第七電晶體 117 源極閘極電壓差為 2 倍 V_{DD} 呈強導通狀態。此時，因電晶體本身都有漏電現象，尤以在奈米先進製程製作而成之電晶體，靜態漏電流更為嚴重。故產生電晶體 118 即便因為閘極電壓為 0，仍有一靜態漏電流 15。

如圖 1b 所示，當輸入電壓訊號由一高電位狀態(V_{DD})轉換至一低電位狀態(0)時，第一電晶體 111、第三電晶體 113、第五電晶體 115 係呈導通狀態，第二電晶體 112、第四電晶體 114、第六電晶體 116 則呈關閉狀態。此外，第七電晶體 117 係因第一電晶體 111 呈導通狀態而呈關閉狀態。而由於第二電容 14 已儲存一電壓差 V_{DD} 其中，故第二節點 1b 之電壓由 V_{DD} 提昇至 $2V_{DD}$ ，而使第八電晶體閘極源極電壓差為 2 倍 V_{DD} 118 呈強導通狀態。此時，同樣因電晶體並非由一絕對理想之製程製作而成，故同樣會產生前述之第七電晶體 117 靜態漏電流 15。

而且，於現今奈米等級製程技術下，前述之靜態漏電流的數量級已大幅增加，尤以在低壓操作下，靜態漏電流的數量級相當接近電路之操作電流的數量級，更突顯出靜態漏電流問題對於一由奈米等級製程製作而成之電路的嚴重性。

習知之靴帶式反相器電路僅顧及以增加驅動力驅動大負載電路，並針對漏電元件加以設計。在今日，奈米等級製程製作已非常普及，前述之靜態漏電流對於電路正常運作的影響將更趨明顯。為此，習知之靴帶式反相器電路確有需進一步改進的必要。

因此，業界需要一種能採用奈米等級製程製造，且具有大範圍操作電壓能力(甚至可以低於一門檻電壓之操作電壓)，更能在維持一定驅動能力的前提下，有效降低操作時所產生之靜態漏電流的低功率靴帶式反相器電路。

【發明內容】

本發明之主要目的係提出一種低功率靴帶式反相器電路，俾能採用奈米等級製程製造，且具有一低於一門檻電壓之操作電壓。

本發明之次要目的係提出一種低功率靴帶式反相器電路，俾能在維持一定驅動能力的前提下，有效降低操作時所產生之靜態漏電流。

為達成上述目的，本發明一種低功率靴帶式反相器電路，係配合一偏壓電源以推動一負載，包括：一前端升降

壓電路，係包含一前端輸入端、一反相器、一第一PMOS電晶體、一第二PMOS電晶體、一第一電容、一第一NMOS電晶體、一第二NMOS電晶體、一第二電容及一前端輸出端；以及一後端CMOS反相器驅動電路，係包含一後端輸入端及一後端輸出端，此後端輸入端係與前端輸出端連接，此後端輸出端則連接至此負載，以推動此負載。其中，在此前端升降壓電路中，此前端輸入端係用於將一輸入電壓訊號輸入至此前端升降壓電路，此反相器具有一輸入節點及一輸出節點，且此輸入節點係連接至此前端輸入端；此第一PMOS電晶體之源極係連接至此偏壓電源，此第二PMOS電晶體之閘極及源極則分別連接至此反相器之輸出節點及此第一PMOS電晶體之汲極，此第一電容之兩端並分別連接至此前端輸入端及此第一PMOS電晶體之汲極；此第一NMOS電晶體之源極係接地，此第二NMOS電晶體之閘極及源極則分別連接至此反相器之輸出節點及此第一NMOS電晶體之汲極，此第二電容之兩端並分別連接至此前端輸入端及此第一NMOS電晶體之汲極；此前端輸出端則與此第二PMOS電晶體之汲極及此第二NMOS電晶體之汲極連接。

因此，由於在本發明之低功率軌帶式反相器電路中，其前端升降壓電路與其後端CMOS反相器驅動電路之間係僅以單一路徑連接(即一介於前端輸出端及後端輸入端之間的導線)，故當一由前端輸出端傳送至後端輸入端之電壓訊號的電壓被升壓至小於0伏特時(如 $-V_{DD}$ 時)，後端CMOS反相器驅動電路所具的一PMOS電晶體之源極閘極電壓差

(V_{SG})為2倍 V_{DD} ，使得此PMOS電晶體呈強導通狀態。同時，後端CMOS反相器驅動電路所具的另一NMOS電晶體閘極源極電壓差(V_{GS})則為 $-V_{DD}$ ，使得此PMOS電晶體便即被強力關閉。反之，若一由前端輸出端傳送至後端輸入端之電壓訊號的電壓被升壓至2倍 V_{DD} 時，CMOS反相器驅動電路所具的NMOS電晶體閘極源極電壓差(V_{GS})為2倍 V_{DD} ，使得此NMOS電晶體呈強導通狀態。同時，CMOS反相器驅動電路所具的另一PMOS電晶體之源極閘極電壓差(V_{SG})則為 $-V_{DD}$ ，使得此PMOS電晶體便即被強力關閉。所以，本發明之低功率靴帶式反相器電路能在維持一定驅動能力(推動負載之能力)的前提下，有效降低其操作時所產生之靜態漏電流至一非常低的數值(例如pA等級)。而且，也由於本發明之低功率靴帶式反相器電路能有效降低操作時所產生之靜態漏電流，故本發明之低功率靴帶式反相器電路可採用90奈米等級製程(或更高階製程)製造，且無需將其操作電壓提昇至一門檻電壓以上，使得本發明之低功率靴帶式反相器電路所具之各電晶體均可操作在一次臨界領域內。如此，本發明之低功率靴帶式反相器電路操作時所需的功率便能有效降低，且可免除因額外靜態漏電流所造成之功率消耗，符合近來業界致力於降低電子產品之能源消耗的趨勢。

在本發明之低功率靴帶式反相器電路中，前端升降壓電路中之反相器的組成電路並無限制，任何可達到反相功能之電路均可適用於本發明前端升降壓電路中之反相器

中。然而，本發明之低功率軌帶式反相器電路的反相器較佳為一CMOS反相器。此外，一輸入至本發明之低功率軌帶式反相器電路之輸入電壓訊號的電壓視所需要之元件而訂並無限制。在本實施例中，因使用1 伏特的元件，門檻電壓約為0.25伏特，故其可以操作介於0.15 伏特至1 伏特之間。

【實施方式】

請參照圖2，其係本發明一實施例之低功率軌帶式反相器電路2之電路結構示意圖。如圖2所示，本發明之低功率軌帶式反相器電路2係配合一偏壓電源 V_{DD} 以推動一負載(圖中未示)，其包括：一前端升降壓電路21及一後端CMOS反相器驅動電路22。其中，此前端升降壓電路21包括：一前端輸入端 V_{IN} 、一反相器211、一第一PMOS電晶體212、一第二PMOS電晶體213、一第一電容214、一第一NMOS電晶體215、一第二NMOS電晶體216、一第二電容217及一前端輸出端21c。

此外，後端CMOS反相器驅動電路22包含一後端輸入端21d及一後端輸出端 V_{OUT} ，且後端輸入端21d係與前端輸出端21c連接，而後端輸出端 V_{OUT} 則連接至一負載(圖中未示)，以推動此負載。另一方面，在本實施例中，後端CMOS反相器驅動電路22係為一傳統CMOS反相器驅動電路，且更包含一第三PMOS電晶體221及一第三NMOS電晶體222。前述之後端輸入端21d係與第三PMOS電晶體221之閘極及第

三NMOS電晶體222之閘極連接，後端輸出端 V_{OUT} 則與第三PMOS電晶體221之汲極及第三NMOS電晶體222之汲極連接。

請再參閱圖2，在本發明一實施例之低功率靴帶式反相器電路2之前端升降壓電路21中，前端輸入端 V_{IN} 係用於將一輸入電壓訊號輸入至前端升降壓電路21，且在本實施例中，輸入電壓訊號之電壓係介於0.15 伏特至1 伏特之間。反相器211具有一輸入節點21a及一輸出節點21b，且輸入節點21a係連接至前端輸入端 V_{IN} 。此外，第一PMOS電晶體212之源極係連接至一偏壓電源 V_{DD} ，第二PMOS電晶體213之閘極及源極則分別連接至反相器211之輸出節點21b及第一PMOS電晶體212之汲極，且第一電容214之兩端並分別連接至前端輸入端 V_{IN} 及第一PMOS電晶體212之汲極。

另一方面，第一NMOS電晶體215之源極係接地，此第二NMOS電晶體216之閘極及源極則分別連接至反相器211之輸出節點21b及第一NMOS電晶體215之汲極，且第二電容217之兩端並分別連接至前端輸入端 V_{IN} 及第一NMOS電晶體215之汲極。最後，前端輸出端21c則與第二PMOS電晶體213之汲極及第二NMOS電晶體216之汲極連接。

而從圖2可看出，在本發明一實施例之低功率靴帶式反相器電路2中，前端升降壓電路21與後端CMOS反相器驅動電路22之間係僅以單一路徑連接(即一介於前端輸出端21c及後端輸入端21d之間的導線)。所以，當一由前端輸出端21c傳送至後端輸入端21d之電壓訊號(圖中未示)的電壓被

升壓至小於0 伏特時(如 $-V_{DD}$ 時),本發明一實施例之低功率靴帶式反相器電路之後端CMOS反相器驅動電路所具的第三PMOS電晶體221之源極閘極電壓差(V_{SG})為2倍 V_{DD} ,故第三PMOS電晶體221呈強導通狀態。同時,第三NMOS電晶體222閘極源極電壓差(V_{GS})則為 $-V_{DD}$,故第三NMOS電晶體222便即被強力關閉。

反之,若一由前端輸出端21c傳送至後端輸入端21d之電壓訊號的電壓被升壓至2倍 V_{DD} 時,CMOS反相器驅動電路22所具的第三NMOS電晶體222閘極源極電壓差(V_{GS})為2倍 V_{DD} ,故第三NMOS電晶體222呈強導通狀態。同時,第三PMOS電晶體221之源極閘極電壓差(V_{SG})則為 $-V_{DD}$,故第三PMOS電晶體221便即被強力關閉。

如此,本發明之低功率靴帶式反相器電路能在維持一定驅動能力(推動負載之能力)的前提下,有效降低其操作時所產生之靜態漏電流至一非常低的數值(例如pA等級),或一小於1 奈米安培(nA)的數值。

以下,將配合圖式,詳細說明本發明一實施例之低功率靴帶式反相器電路2在不同運作狀態下,各組成元件的作動,其所能達到之功效。

請再參閱圖3,其係本發明一實施例之低功率靴帶式反相器電路於一第一運作狀態下的作動示意圖。其中,在此第一運作狀態下,輸入電壓訊號由一高電位狀態(V_{DD})轉換至一低電位狀態(0)。

首先，當輸入電壓訊號由一高電位狀態(V_{DD})轉換至一低電位狀態(0)後，第一PMOS電晶體212便導通，第一NMOS電晶體215便關閉。而由於第一PMOS電晶體212係為導通，偏壓電源(V_{DD})便透過第一PMOS電晶體212，而對第一電容214充電，使得第一電容214儲存一 V_{DD} 電壓差於其中，且使第二NMOS電晶體216的源極的電位降低至 $-V_{DD}$ 。

其次，由於反相器211將輸入電壓訊號由一低電位狀態(0)轉換為一高電位狀態(V_{DD})，所以第二PMOS電晶體213便關閉，第二NMOS電晶體216便導通。如此，第二NMOS電晶體216的汲極的電位便傳遞至前端升降壓電路21之前端輸出端21c，使得其電壓亦為 $-V_{DD}$ 。也就是說，前端輸出端21c之電壓訊號的電壓($-V_{DD}$)係為一等於負一倍高電位狀態之電壓(V_{DD})的電壓。

接著，前端輸出端21c便將此電壓($-V_{DD}$)傳送至後端CMOS反相器驅動電路22之後端輸入端21d，使得第三PMOS電晶體221之源極閘極電壓差(V_{SG})為2倍 V_{DD} ，故第三PMOS電晶體221呈強導通狀態。同時，第三NMOS電晶體222閘極源極電壓差(V_{GS})則為 $-V_{DD}$ ，故第三NMOS電晶體222便即被強力關閉。如此，本發明一實施例之低功率軌帶式反相器電路能在維持一定驅動能力(推動負載之能力)的前提下，有效降低其操作時所產生之靜態漏電流至一非常低的數值(例如pA等級)，或一小於1 奈米安培(nA)的數值。

請再參閱圖4，其係本發明一實施例之低功率軌帶式反相器電路於一第二運作狀態下的作動示意圖。其中，在此

第二運作狀態下，輸入電壓訊號由一低電位狀態(0)轉換至一高電位狀態(V_{DD})。

首先，當輸入電壓訊號由一低電位狀態(0)轉換至一高電位狀態(V_{DD})後，第一PMOS電晶體212便關閉，第一NMOS電晶體215便導通。而儲存於第一電容214之 V_{DD} 電壓差使得第二PMOS電晶體213的汲極的電位提昇至 $2V_{DD}$ 。

其次，由於反相器211將輸入電壓訊號由一高電位狀態(V_{DD})轉換為一低電位狀態(0)，所以第二PMOS電晶體213便導通，第二NMOS電晶體216便關閉。如此，第二PMOS電晶體213的汲極的電位便傳遞至前端升降壓電路21之前端輸出端21c，使得其電壓亦為 $2V_{DD}$ 。也就是說，前端輸出端21c之電壓訊號的電壓($2V_{DD}$)係為一等於二倍高電位狀態之電壓(V_{DD})的電壓。

接著，前端輸出端21c便將此電壓($2V_{DD}$)傳送至後端CMOS反相器驅動電路22之後端輸入端21d，第三NMOS電晶體222閘極源極電壓差(V_{GS})為2倍 V_{DD} ，故第三NMOS電晶體222呈強導通狀態。同時，第三PMOS電晶體221之源極閘極電壓差(V_{SG})則為 $-V_{DD}$ ，故第三PMOS電晶體221便即被強力關閉。如此，本發明一實施例之低功率靴帶式反相器電路能在維持一定驅動能力(推動負載之能力)的前提下，有效降低其操作時所產生之靜態漏電流至一非常低的數值(例如pA等級)，或一小於1 奈米安培(nA)的數值。

除此之外，由於第一NMOS電晶體215係為導通，且第一NMOS電晶體215之源極係接地，故第一NMOS電晶體215對第二電容217放電，使其儲存一 V_{DD} 電壓差於其中。

而如前所述，在第一運作狀態(輸入電壓訊號由一高電位狀態轉換至一低電位狀態)下，第一PMOS電晶體212係對第一電容214充電，而在第二運作狀態(輸入電壓訊號由一低電位狀態轉換至一高電位狀態)下，第一NMOS電晶體215係對第二電容217放電，所以在本發明一實施例之低功率靴帶式反相器電路中，第一PMOS電晶體212及第一NMOS電晶體215係為充放電電晶體。此外，在前述之第一運作狀態或第二運作狀態下，本發明一實施例之低功率靴帶式反相器電路之後端CMOS反相器驅動電路22所接受電壓訊號之電壓(藉由其後端輸入端)係依據第二PMOS電晶體213及第二NMOS電晶體216的狀態(導通或關閉)而決定($2V_{DD}$ 或 $-V_{DD}$)，故第二PMOS電晶體213及第二NMOS電晶體216係為開關電晶體。

請參閱圖5，其係顯示習知之靴帶式反相器電路之PMOS電晶體及NMOS電晶體及本發明一實施例之低功率靴帶式反相器電路之PMOS電晶體及NMOS電晶體各自之靜態漏電流，隨著推動之負載大小增加而變化的示意圖。其中，●係表示本發明一實施例之低功率靴帶式反相器電路之NMOS電晶體的靜態漏電流，■係表示本發明一實施例之低功率靴帶式反相器電路之PMOS電晶體的靜態漏電流，○係表示習知之靴帶式反相器電路之NMOS電晶體的靜

態漏電流，□則表示習知之靴帶式反相器電路之PMOS電晶體的靜態漏電流。

從圖5中可看出，不論被用於推動何種大小之負載(小於1 pF 或大於6 pF)，本發明一實施例之低功率靴帶式反相器電路之PMOS電晶體及NMOS電晶體所分別具有之靜態漏電流的數值均在pA 的等級(低於1 nA)，即一小於1 奈米安培(nA)的數值，顯著低於習知之靴帶式反相器電路之PMOS電晶體及NMOS電晶體所分別具有之靜態漏電流的數值(均在nA的等級)。

因此，在推動同一大小之負載的情況下，本發明一實施例之低功率靴帶式反相器電路降低靜態漏電流的能力顯著優於習知之靴帶式反相器電路，且是一跨越數個數量級(order)的改善。

綜上所述，由於在本發明之低功率靴帶式反相器電路中，其前端升降壓電路與其後端CMOS反相器驅動電路之間係僅以單一路徑連接(即一介於前端輸出端及後端輸入端之間的導線)，故當一由前端輸出端傳送至後端輸入端之電壓訊號的電壓被升壓至小於0伏特時(如 $-V_{DD}$ 時)，後端CMOS反相器驅動電路所具的一PMOS電晶體之源極閘極電壓差(V_{SG})為2倍 V_{DD} ，使得此PMOS電晶體呈強導通狀態。同時，後端CMOS反相器驅動電路所具的另一NMOS電晶體閘極源極電壓差(V_{GS})則為 $-V_{DD}$ ，使得此PMOS電晶體便即被強力關閉。反之，若一由前端輸出端傳送至後端輸入端之電壓訊號的電壓被升壓至2倍 V_{DD} 時，CMOS反相器驅動

電路所具的NMOS電晶體閘極源極電壓差(V_{GS})為2倍 V_{DD} ，使得此NMOS電晶體呈強導通狀態。同時，CMOS反相器驅動電路所具的另一PMOS電晶體之源極閘極電壓差(V_{SG})則為 $-V_{DD}$ ，使得此PMOS電晶體便即被強力關閉。所以，本發明之低功率軌帶式反相器電路能在維持一定驅動能力(推動負載之能力)的前提下，有效降低其操作時所產生之靜態漏電流至一非常低的數值(例如pA等級)。而且，也由於本發明之低功率軌帶式反相器電路能有效降低操作時所產生之靜態漏電流，故本發明之低功率軌帶式反相器電路可採用90奈米等級製程(或更高階製程)製造，且無需將其操作電壓提昇至一門檻電壓以上，使得本發明之低功率軌帶式反相器電路所具之各電晶體均可操作在一次臨界領域內。如此，本發明之低功率軌帶式反相器電路操作時所需的功率便能有效降低，且可免除因額外靜態漏電流所造成之功率消耗，符合近來業界致力於降低電子產品之能源消耗的趨勢。

上述實施例僅係為了方便說明而舉例而已，本發明所主張之權利範圍自應以申請專利範圍所述為準，而非僅限於上述實施例。

【圖式簡單說明】

圖1a係習知之軌帶式反相器電路之第一操作原理示意圖。

圖1b係習知之軌帶式反相器電路之第二操作原理示意圖。

圖2係本發明一實施例之低功率靴帶式反相器電路之電路結構示意圖。

圖3係本發明一實施例之低功率靴帶式反相器電路於一第一運作狀態下的作動示意圖。

圖4係本發明一實施例之低功率靴帶式反相器電路於一第一運作狀態下的作動示意圖。

圖5係顯示習知之靴帶式反相器電路之PMOS電晶體及NMOS電晶體及本發明一實施例之低功率靴帶式反相器電路之PMOS電晶體及NMOS電晶體各自之靜態漏電流，隨著推動之負載大小增加而變化的示意圖。

【主要元件符號說明】

1	習知之靴帶式反相器電路	111	第一電晶體
112	第二電晶體	113	第三電晶體
114	第四電晶體	115	第五電晶體
116	第六電晶體	117	第七電晶體
118	第八電晶體	12	負載電路
13	第一電容	14	第二電容
15	靜態漏電流	16	反轉電流
1a	第一節點	1b	第二節點
2	低功率靴帶式反相器電路	21	前端升降壓電路
22	後端CMOS反相器驅動電路	211	反相器
212	第一PMOS電晶體	213	第二PMOS電晶體
214	第一電容	215	第一NMOS電晶體

216 第二NMOS電晶體

21a 輸入節點

21c 前端輸出端

V_{DD} 偏壓電源

V_{OUT} 後端輸出端

222 第三NMOS電晶體

217 第二電容

21b 輸出節點

21d 後端輸入端

V_{IN} 前端輸入端

221 第三PMOS電晶體

七、申請專利範圍：

1. 一種低功率靴帶式反相器電路，係配合一偏壓電源以推動一負載，包括：

一前端升降壓電路，係包含一前端輸入端、一反相器、一第一PMOS電晶體、一第二PMOS電晶體、一第一電容、一第一NMOS電晶體、一第二NMOS電晶體、一第二電容及一前端輸出端；以及

一後端CMOS反相器驅動電路，係包含一後端輸入端及一後端輸出端，該後端輸入端係與前端輸出端連接，該後端輸出端則連接至該負載，以推動該負載；

其中，在該前端升降壓電路中，該前端輸入端係用於將一輸入電壓訊號輸入至該前端升降壓電路，該反相器具有一輸入節點及一輸出節點，且該輸入節點係連接至該前端輸入端；該第一PMOS電晶體之源極係連接至該偏壓電源，該第二PMOS電晶體之閘極及源極則分別連接至該反相器之輸出節點及該第一PMOS電晶體之汲極，該第一電容之兩端並分別連接至該前端輸入端及該第一PMOS電晶體之汲極；該第一NMOS電晶體之源極係接地，該第二NMOS電晶體之閘極及源極則分別連接至該反相器之輸出節點及該第一NMOS電晶體之汲極，該第二電容之兩端並分別連接至該前端輸入端及該第一NMOS電晶體之汲極；該前端輸出端則與該第二PMOS電晶體之汲極及該第二NMOS電晶體之汲極連接。

2. 如申請專利範圍第1項所述之低功率靴帶式反相器電路，其中，該後端CMOS反相器驅動電路更包括一第三PMOS電晶體及一第三NMOS電晶體，且該後端輸入端係與該第三PMOS電晶體之閘極及該第三NMOS電晶體之閘極連接，該後端輸出端則與該第三PMOS電晶體之汲極及該第三NMOS電晶體之汲極連接。

3. 如申請專利範圍第2項所述之低功率靴帶式反相器電路，其中，當一由該前端輸出端傳送至該後端輸入端之電壓訊號的電壓小於0 伏特時，該第三NMOS電晶體便被關閉，以降低一靜態漏電流。

4. 如申請專利範圍第3項所述之低功率靴帶式反相器電路，其中，該靜態漏電流係小於1 奈米安培。

5. 如申請專利範圍第1項所述之低功率靴帶式反相器電路，其中，當該輸入電壓訊號由一高電位狀態轉換至一低電位狀態後，該前端輸出端之電壓訊號的電壓則為一等於負一倍該高電位狀態之電壓的電壓。

6. 如申請專利範圍第5項所述之低功率靴帶式反相器電路，其中，當該輸入電壓訊號由一高電位狀態轉換至一低電位狀態後，該第一PMOS電晶體係對該第一電容充電。

7. 如申請專利範圍第1項所述之低功率靴帶式反相器電路，其中，當該輸入電壓訊號由一低電位狀態轉換至一高電位狀態後，該前端輸出端之電壓訊號的電壓則為一等於二倍該高電位狀態之電壓的電壓。

8. 如申請專利範圍第7項所述之低功率靴帶式反相器電路，其中，當該輸入電壓訊號由一低電位狀態轉換至一高電位狀態後，該第一NMOS電晶體係對該第二電容放電。

9. 如申請專利範圍第1項所述之低功率靴帶式反相器電路，其中，該第一PMOS電晶體與該第一NMOS電晶體係為充放電電晶體，該第二PMOS電晶體與該第二NMOS電晶體則為開關電晶體。

八、圖式 (請見下頁)：

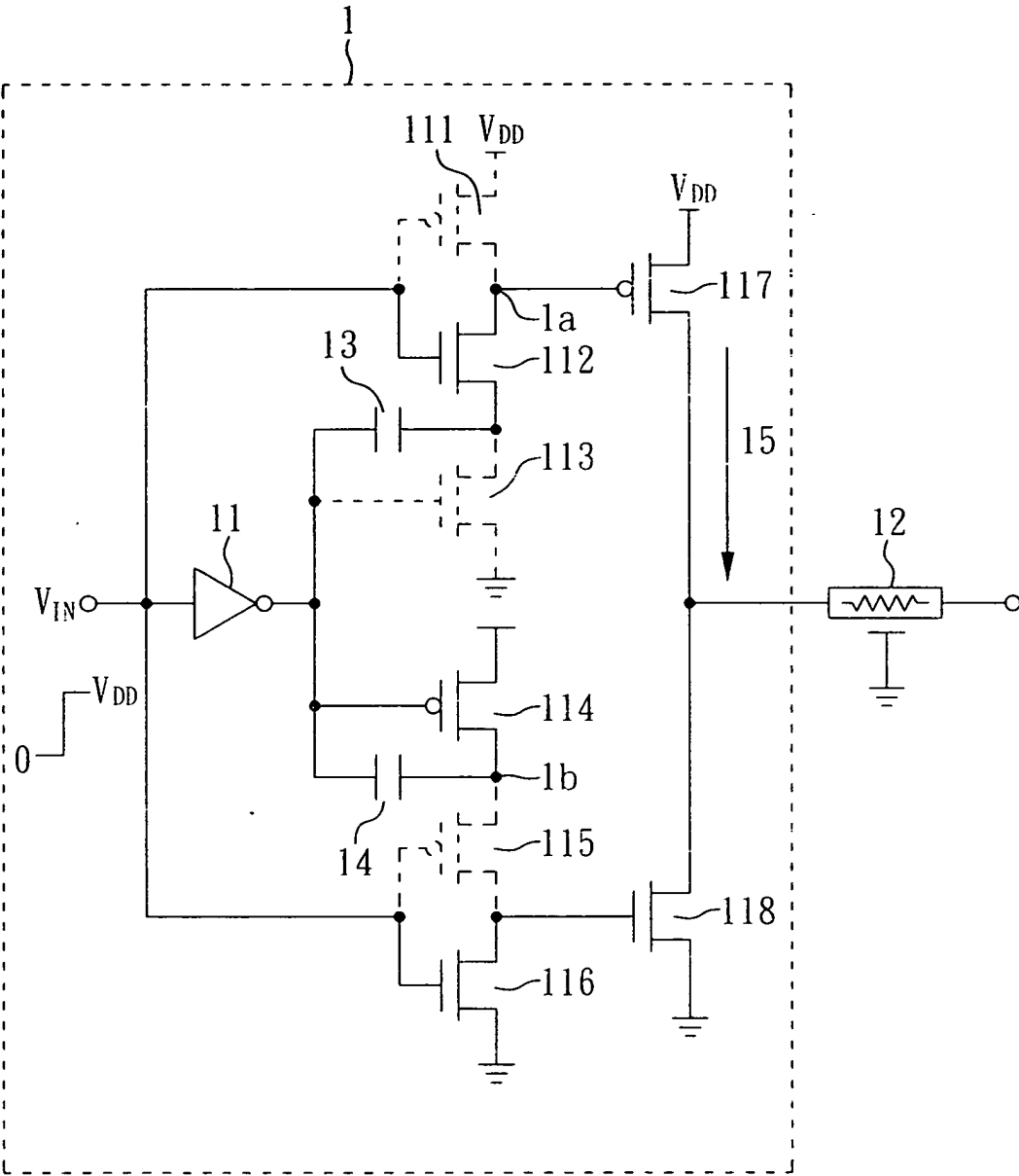


圖 1a



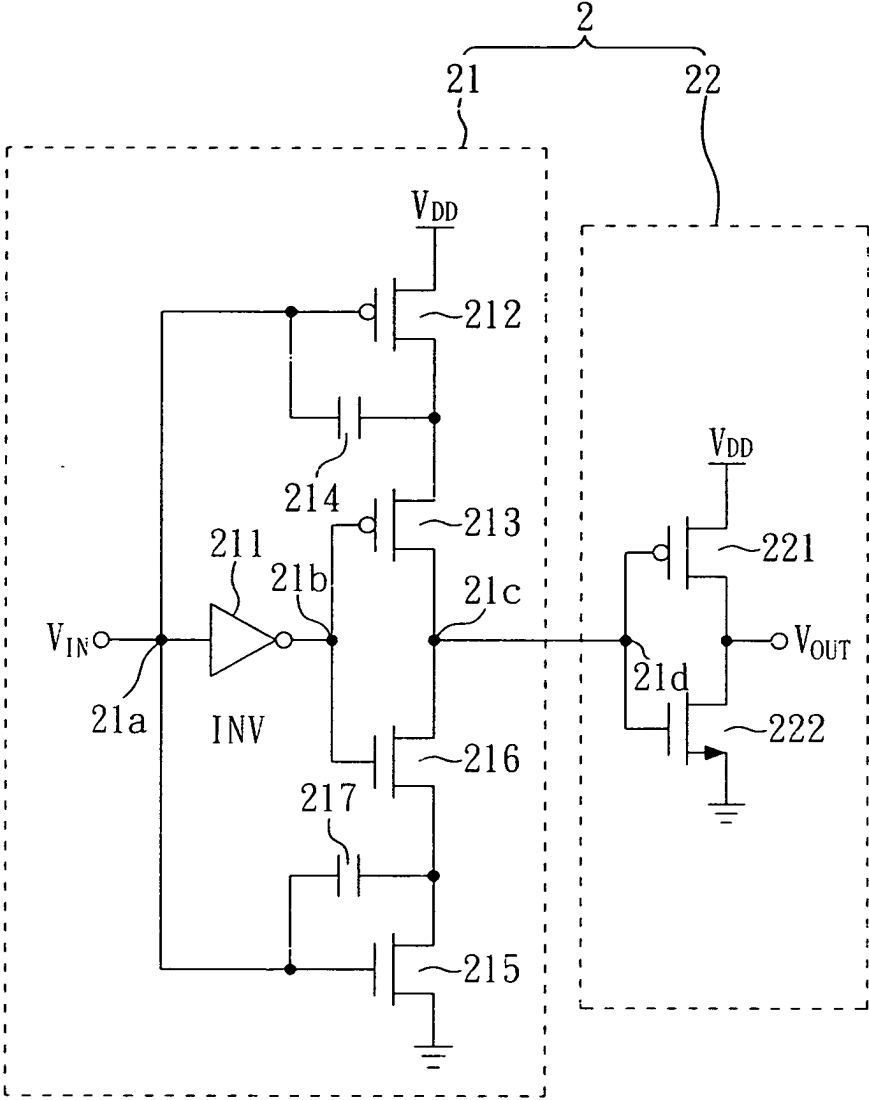


圖2

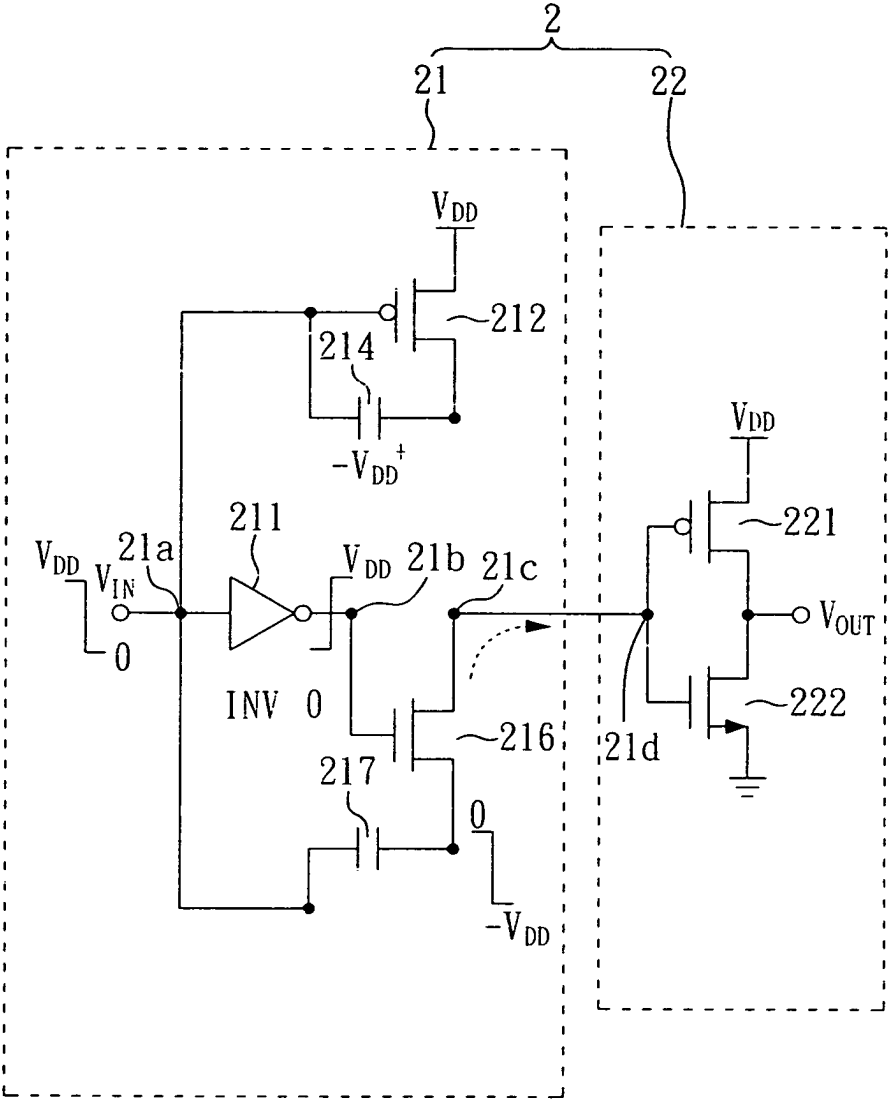


圖3

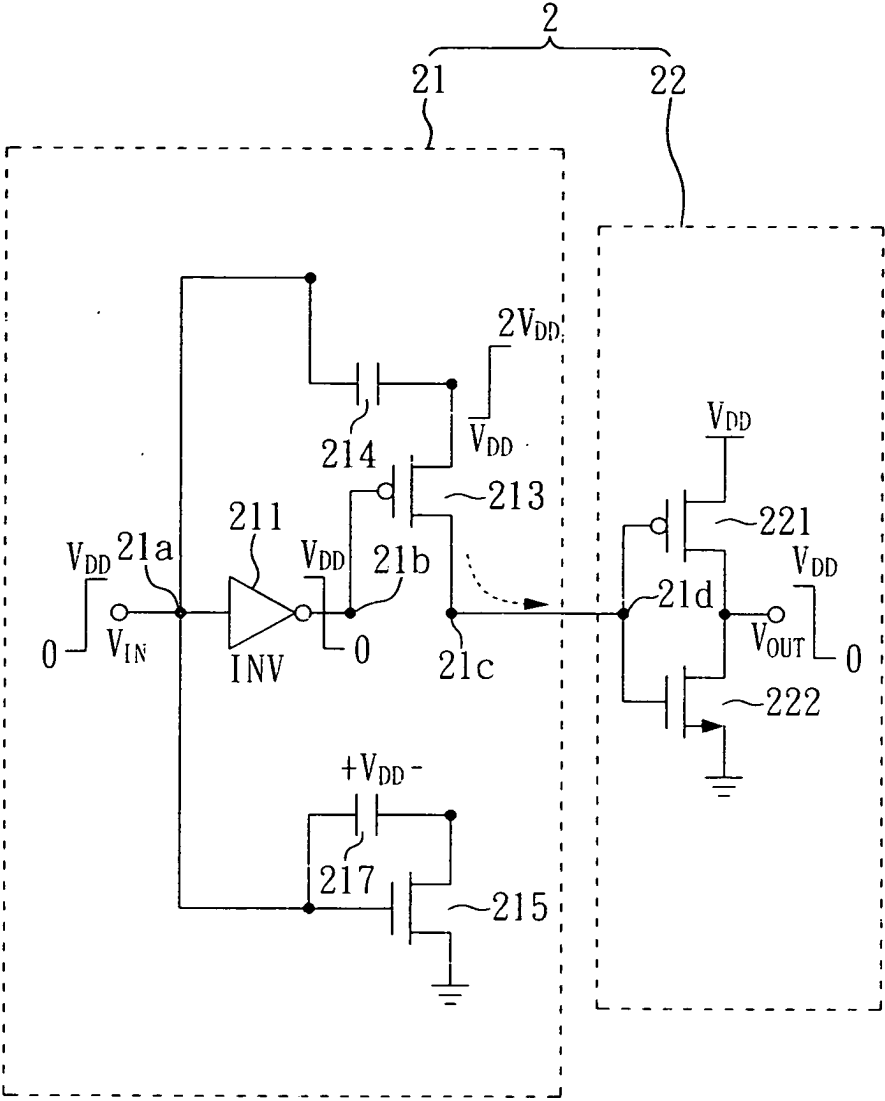


圖4

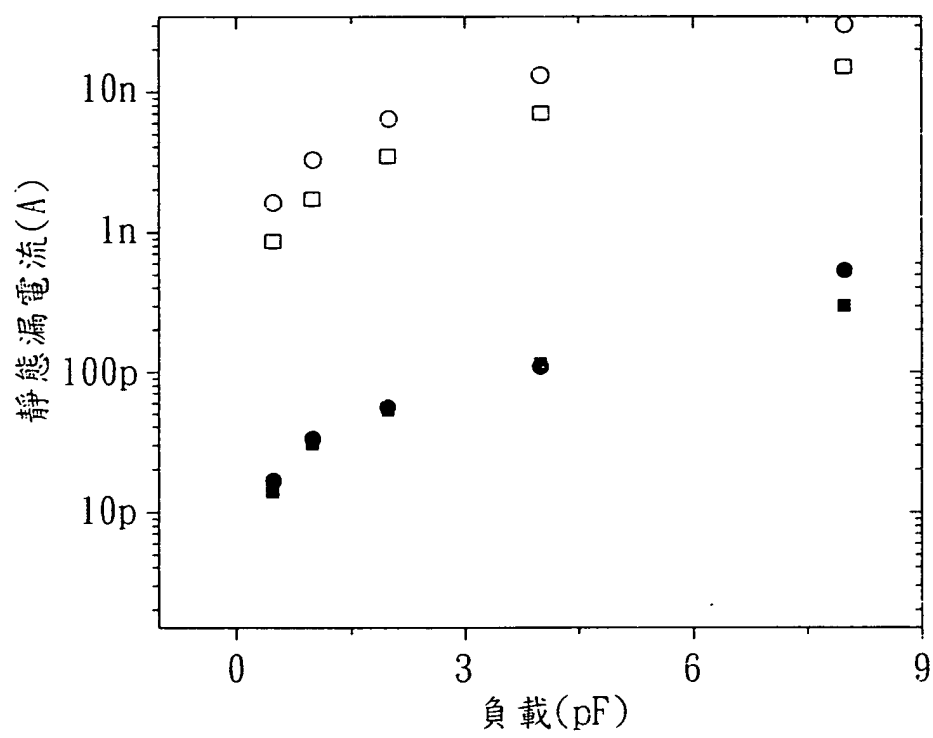


圖5