



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I376879B1

(45) 公告日：中華民國 101 (2012) 年 11 月 11 日

(21) 申請案號：097136541

(22) 申請日：中華民國 97 (2008) 年 09 月 23 日

(51) Int. Cl. : **H03L7/08 (2006.01)****H03L7/16 (2006.01)**(71) 申請人：國立交通大學 (中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)
新竹市大學路 1001 號(72) 發明人：莊立溥 CHUANG, LI PU (TW)；張銘宏 CHANG, MING HUNG (TW)；黃威
HWANG, WEI (TW)

(74) 代理人：江國慶

(56) 參考文獻：

US 6680634

US 2001/0009385A1

US 2005/0077937A1

審查人員：賴文能

申請專利範圍項數：14 項 圖式數：8 共 0 頁

(54) 名稱

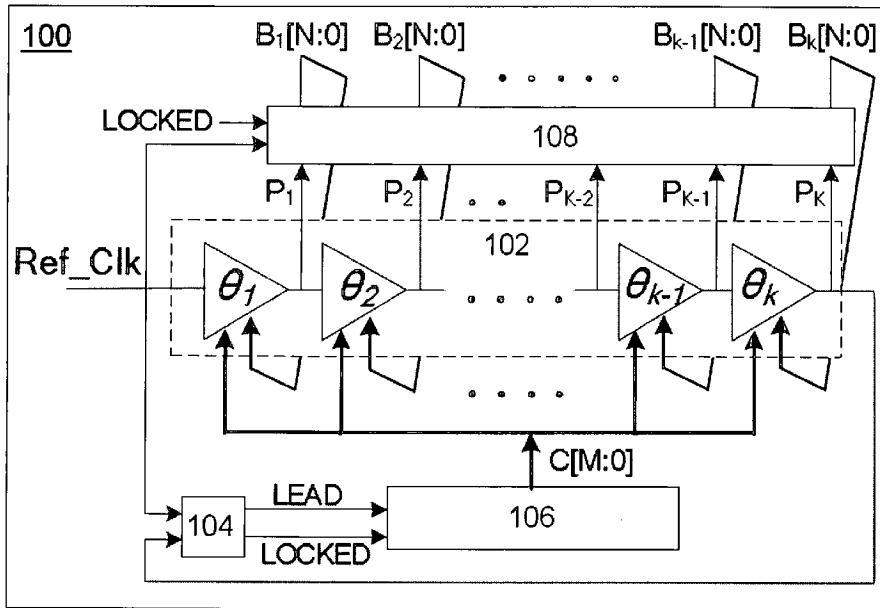
全數位快速鎖定自我校正多相位延遲鎖定迴路

ALL DIGITAL FAST-LOCK SELF-CALIBRATED MULTIPHASE DELAY-LOCKED LOOP

(57) 摘要

本發明揭露了一種全數位自我校正多相位延遲鎖定迴路，其包含四個主要的區塊，分別為：一組數位式控制延遲線，一相位偵測器，一鎖定單元，及一自我校正單元。數位式控制延遲線係由 K 個相同之延遲級(delay stage)串連所形成，而所有的延遲級皆係由兩組控制訊號 C[M:0]與 Bi[N:0]所控制。C[M:0]係由採用非平衡式二元搜尋演算法之鎖定單元所產生。當延遲鎖定迴路鎖定時，自我校正單元將產生 Bi[N:0]訊號以調整各級輸出訊號之間的相位差。

The present invention disclosed an all digital self-calibrated multiphase DLL (delay-locked loop) (ADSCM-DLL), comprising four major blocks: a digitally controlled delay line (DCDL), a phase detector (PD), a lock-in unit (LU), and a calibration unit (CU). There are K identical delay stages in the DCDL. All the delay stages are controlled by C[M:0] and Bi[N:0]. C[M:0] is generated by the lock-in unit utilizing the unbalance binary search algorithm. The calibration unit generates Bi[N:0] signal and carefully adjusts the phase difference between every output signal after the DLL is locked.



第一圖

- 100 . . . 全數位自我校正多相位延遲鎖定迴路
- 102 . . . 數位式控制延遲線
- 104 . . . 相位偵測器
- 106 . . . 鎖定單元
- 108 . . . 自我校正單元

發明專利說明書

公告本

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：97136541

※申請日：97.9.23

※IPC 分類：H03L 7/08 (2006.01)

H03L 7/16 (2006.01)

一、發明名稱：(中文/英文)

全數位快速鎖定自我校正多相位延遲鎖定迴路/All Digital
Fast-Lock Self-Calibrated Multiphase Delay-Locked Loop

二、中文發明摘要：

本發明揭露了一種全數位自我校正多相位延遲鎖定迴路，其包含四個主要的區塊，分別為：一組數位式控制延遲線，一相位偵測器，一鎖定單元，及一自我校正單元。數位式控制延遲線係由 K 個相同之延遲級(delay stage)串連所形成，而所有的延遲級皆係由兩組控制訊號 $C[M:0]$ 與 $B_i[N:0]$ 所控制。 $C[M:0]$ 係由採用非平衡式二元搜尋演算法之鎖定單元所產生。當延遲鎖定迴路鎖定時，自我校正單元將產生 $B_i[N:0]$ 訊號以調整各級輸出訊號之間的相位差。

三、英文發明摘要：

The present invention disclosed an all digital self-calibrated multiphase DLL (delay-locked loop) (ADSCM-DLL), comprising four major blocks: a digitally controlled delay line (DCDL), a phase detector (PD), a lock-in unit (LU), and a calibration unit (CU). There are K identical delay stages in the DCDL. All the delay stages are

controlled by $C[M:0]$ and $Bi[N:0]$. $C[M:0]$ is generated by the lock-in unit utilizing the unbalance binary search algorithm. The calibration unit generates $Bi[N:0]$ signal and carefully adjusts the phase difference between every output signal after the DLL is locked.

四、指定代表圖：

(一)本案指定代表圖為：第(一)圖。

(二)本代表圖之元件符號簡單說明：

100 全數位自我校正多相位延遲鎖定迴路

102 數位式控制延遲線

104 相位偵測器

106 鎖定單元

108 自我校正單元

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明係關於延遲鎖定迴路，特別是關於一種全數位快速鎖定自我校正多相位延遲鎖定迴路。

【先前技術】

隨著積體電路(IC)的進步與發展，積體電路之執行效能已經過大幅改善而電路之複雜度亦隨之提昇，各方面之應用，包括資訊，通訊，消費性電子產品及微處理器均朝向單晶片系統(system on a chip, SoC)發展。然而，上述系統通常包含許多不同元件，而各元件對於同一參考時脈將產生不同的延遲，因而需要在系統中加入鎖相迴路(phase locked loop, PLL)或延遲鎖定迴路(delay-locked loop, DLL)以進行時脈之校正並維持系統的同步。

一般而言，鎖相迴路內包含一電壓控制振盪器(voltage controlled oscillator)，而此電壓控制振盪器常會無法避免的累積抖動(jitter)，進而使得鎖相迴路之雜訊抗擾性(noise immunity)低於延遲鎖定迴路。除了低成本與較良好之抖動表現之外，延遲鎖定迴路之穩定性與快速鎖定之特性亦使其較常被採用。另一方面，鎖相迴路通常係採用類比電路或與數位電路混合的設計，其可鎖定之範圍雖較大(與全數位之延遲鎖定迴路相比)，但其功率之損耗卻比全數位式的設計高出許多。

美國專利第 6,501,336 號揭露了一種自我校正裝置與方法，用於校正環狀振盪器的輸出波形(output waveform)之間的相位偏移(phase offset)。此方法係於多相位鎖相迴路之架構下，補償各級輸出訊號之間由於製程上的變動或訊號傳遞路徑的不同所造成之延遲誤差(delay mismatch)。假設其具有 8 個多相位之輸出，其補償原理係利用鎖相迴路之鎖定機制而將原本之鎖定參考時脈與除 M 頻訊號改為鎖定參考時脈與除 $(M+1/8)$ 頻訊號。藉由上述改變，補償機制可漸進改變多相位之間的相位差，使其最終變為相等的。新式之除 $(M+1/8)$ 頻訊號之除頻器係依序利用輸出訊號所產生，其控制訊號則係由有限狀態機(finite state machine, FSM)實施。上述專利所揭露之裝置與方法係混合訊號的設計，其中鎖相迴路與自我校正之機制皆係以類比方式實施，而除頻電路與其控制訊號則係以數位方式實施。由於上述專利之裝置與方法係以混合訊號之多相位鎖相迴路架構所建立，因而具有不易隨著製程移植，較不適用於先進製程及擁有較低抗雜訊能力等缺點。

另外，2006 年 H. H. Chang 等人發表於 IEEE J. Solid-State Circuits 第 41 卷第 5 期第 1051-1061 頁之文獻 (A 0.7-2GHz Self-Calibration Multiphase Delay-Locked Loop)，提出了一種利用數位校正電路降低多相位時脈之間因不匹配所引起之時序誤差(mismatch-induced timing error)的方法。此方法係於多相位延遲鎖定迴路之架構下，根據所應用之自我校正演算法以數位式調整輸出緩衝器

(output buffer)的方式調整各級輸出訊號間之相位差，使用時序控制電路(timing control circuit)於一參考時脈週期(reference cycle)內選擇需調整之輸出訊號，藉由一次調整一級的輸出補償延遲誤差，最終使多相位輸出訊號之間的相位差均能相同。由於此方法需要額外的時序控制電路，因此在設計上較為複雜，且其一次只能調整一級的輸出訊號，故將延長鎖定之速度。

另一方面，2000年G. K. Dehng等人發表於IEEE J. Solid-State Circuits第35卷第8期第1128-1136頁之文獻(Clock-Deskew Buffer Using a SAR-Controlled Delay-Locked Loop)，提出了一種全數位延遲鎖定迴路，其鎖定機制係以二元搜尋(binary search)之方式進行。此方法之缺點在於其鎖定範圍較大(wide range)時，可能會有諧波鎖定(harmonic lock)的問題。

有鑑於上述，本發明提出一種以全數位方式實施之自我校正多相位延遲鎖定迴路，其具有易於隨著製程移植，適合應用於先進製程，擁有較佳的抗雜訊能力與良好鎖定速度，電路設計簡單並能有效增加鎖定範圍等特徵，以達到維持系統中各元件之同步的效果。

【發明內容】

本發明之一目的係在於提供一種快速自我校正(rapid self-calibration, RSC)之演算法，以於多相位延遲鎖定迴路之各個相位差不相同時，判斷應當如何自我校正。

本發明之一目的係在於提供一種非平衡式二元搜尋演

算法，適用於全數位式延遲鎖定迴路，以增加可鎖定之範圍(lock range)。

本發明之又一目的係在於根據上述快速自我校正演算法及非平衡式二元搜尋演算法提供一種具自我校正之多相位延遲鎖定迴路架構，此架構可讓所設計的延遲鎖定迴路之多項延遲鎖定的輸出補償因延遲誤差所造成之相位誤差(phase error)，並有效增加鎖定範圍。

本發明提出一種自我校正機制及鎖定機制，其適用於各種多相位輸出之數位延遲鎖定電路。上述自我校正機制之目的在於調整各級輸出相位之間的相位差，以消除因延遲誤差所造成之相位誤差，使得在各種頻率下，多相位輸出均能有相同的相位差輸出。而上述鎖定機制則可增加能鎖定之範圍。

本發明揭露了一種全數位自我校正多相位延遲鎖定迴路，其包含四個主要的區塊，分別為：一組數位式控制延遲線，一相位偵測器，一鎖定單元，及一自我校正單元。數位式控制延遲線係由 K 個相同之延遲級串連所形成，而所有的延遲級均係透過兩組控制訊號 $C[M:0]$ 與 $Bi[N:0]$ 所控制。 $C[M:0]$ 係由採用非平衡式二元搜尋演算法之鎖定單元所產生。當延遲鎖定迴路鎖定時，自我校正單元將產生 $Bi[N:0]$ 以調整各級輸出訊號之間的相位差。

本發明之鎖定機制係由比對參考時脈(reference clock) 與第 K 級的輸出訊號之間的相位差啟動，此時自我校正單元為無作用狀態(disabled)，鎖定單元將根據非平衡式二元

搜尋演算法調整控制字組 $C[M:0]$ ，當完成鎖定之後數位式控制延遲線所提供之延遲時間將會等同於一參考時脈週期，訊號 LOCKED 將拉起，進而啟動自我校正單元。自我校正單元將藉由改變控制字組 $Bi[N:0]$ 實施輸出訊號相位之自我校正功能，而控制字組 $C[M:0]$ 係固定的，以讓延遲鎖定迴路維持鎖定的狀態。

【實施方式】

本發明將配合其較佳實施例與隨附之圖示詳述於下。應可理解者為本發明中所有之較佳實施例僅為例示之用，並非用以限制。因此除文中之較佳實施例外，本發明亦可廣泛地應用在其他實施例中。且本發明並不受限於任何實施例，應以隨附之申請專利範圍及其同等領域而定。

參照第一圖，其係本發明之全數位自我校正多相位延遲鎖定迴路之較佳實施例的示意圖。如圖所示，全數位自我校正多相位延遲鎖定迴路 100 包含四個主要區塊，分別為：一組數位式控制延遲線 (digitally controlled delay line, DCDL) 102，一第一相位偵測器 (phase detector, PD) 104，一鎖定單元 106，及一自我校正單元 108。在數位式控制延遲線 102 中為 K 個相同之延遲級。所有延遲級皆係經由控制字組 $C[M:0]$ 及 $Bi[N:0]$ 控制。控制字組 $C[M:0]$ 係藉由採用非平衡式二元搜尋演算法之鎖定單元 106 所取得。而控制字組 $Bi[N:0]$ 則係由自我校正單元 108 所提供，且其將於延遲鎖定迴路 100 鎖定後謹慎調整各個輸出訊號之間的相位差。 P_i 代表第 i 個延遲級之多相位延遲鎖定迴路的輸出訊

號。而 θ_i 則代表第 i 個延遲級及第 $(i-1)$ 個延遲級之間的相位差。

鎖定機制係由比對參考時脈(reference clock)與 P_k 之間的相位差啟動。此時自我校正單元 108 為無作用狀態，鎖定單元 106 將根據非平衡式二元搜尋演算法調整控制字組 $C[M:0]$ 。當完成二元搜尋演算法之後，數位式控制延遲線 102 所提供之延遲時間將會等同於一參考時脈週期。當符合 (1) 時，

$$\theta_1 + \theta_2 + \dots + \theta_{K-1} + \theta_K = 360^\circ \quad (1)$$

則插入訊號 LOCKED，進而啟動自我校正單元 108。自我校正單元 108 將藉由改變控制字組 $B_i[N:0]$ 執行輸出訊號之相位的自我校正功能，而控制字組 $C[M:0]$ 係固定的以讓延遲鎖定迴路維持鎖定的狀態。

本發明提出了一種快速自我校正演算法，其可在不需額外電路之情況下縮短校正週期。第二圖顯示出本發明之快速自我校正演算法之一較佳實施例($K=5$ 時)。此快速自我校正演算法首先將考慮三個訊號；即參考時脈， P_1 ，及 P_2 。一數位相對式相位偵測器(digitally relative phase detector, DRPD)將藉由改變控制字組 $B_1[N:0]$ 而將 θ_1 調整為 $(\theta_1 + \theta_2)/2$ 。同樣的，其將考慮後續之三個訊號；即 P_1 ， P_2 ，及 P_3 ，並藉由改變控制字組 $B_2[N:0]$ 而將 θ_2 調整為 $(\theta_2 + \theta_3)/2$ 。由於經過修改之 θ_1 將不會影響 θ_2 ，故可在同一參考時脈週期內連續進行調整。最後，將根據 P_5 及參考時脈而對 θ_5 進行調整使其符合 (1)，以保證整個延遲鎖

定迴路將可維持鎖定之狀態。在校正過程中，控制字組 C[M:0]將保持不變以確保快速自我校正之方法可成功運作。因此，各個延遲級之最終輸出相位差將為參考時脈週期的五分之一。

由於上述校正電路係於數位領域(digital domain)中執行，其目標將根據單位步階(unit step) ΔT 而處理。然而，量化誤差(quantization error) q_e 係無法避免的。第三圖為傳統校正演算法與本發明之快速自我校正演算法兩者間校正週期－隨機延遲誤差之結果的比較圖。其環境設定為 $K=5$ ，而單位步階及量化誤差均為 5ps (皮秒)。如圖所示，本發明所提出之快速自我校正演算法較之傳統校正演算法所需之速度縮短了 4.17 倍。

為了使有效取樣率達到最大，多相位延遲鎖定迴路在較佳的情況下將鎖定其延遲，使其等同於一個時脈週期。為了避免錯誤鎖定(false lock)的情況發生，多相位延遲鎖定迴路應維持在下列延遲範圍中操作：

$$0.5 \times T_{REF} < T_{DCDL} < 1.5 \times T_{REF} \quad (2)$$

其中 T_{REF} 代表參考時脈週期，而 T_{DCDL} 則代表數位式控制延遲線之延遲時間。另外，應符合(3)所示之關係，其中 $T_{INITIAL}$ 為延遲鎖定電路之起始延遲時間。傳統二元搜尋機制之鎖定範圍係受(3)所限制。

$$\text{Max}(T_{DCDL_MIN}, 2/3 \times T_{INITIAL})$$

$$< T_{REF} < \text{MIN}(T_{DCDL_MAX}, 2 \times T_{INITIAL}) \quad (3)$$

本發明所提供之非平衡式二元搜尋演算法將選擇一合

適之 TINITIAL 而非選擇數位式控制延遲線路之中間點。第四圖係本發明之 3 位元非平衡式二元搜尋法之流程圖。根據此流程圖將可找出一適當的 TINITIAL 數值。

在一較佳實施例中，一多相位延遲鎖定迴路包含一組多相位輸出之延遲線，一相位偵測器，一組階段控制器 (step controller) 及一組二元控制器 (binary controller)。在此實施例中，多相位輸出延遲線係由多個延遲級所串連而成。上述每一個延遲級均係由兩個延遲單元 (delay cell) 所組成，其中一延遲單元係由二元控制器所控制，而另一延遲單元則係由可上下數計時器 (up/down counter) 控制。

在一較佳實施例中，鎖定單元包含一階段控制器 500 及一二元控制器 600，分別顯示於第五圖及第六圖中。階段控制器將顯示出目前進入鎖定單元之階段，而二元控制器將執行傳統二元搜尋之運作，其中各個控制位元係由單位元產生器 (single-bit generator) 所提供。

如第五圖所示，其係一用來產生控制二元控制器之控制訊號的階段控制器 500，其包含一組平移暫存器 (shift register)，用以產生二元控制器之控制訊號；一 D 型觸發器 (flip flop)，用以判斷參考時脈與輸出訊號之間的關係，其輸入為參考時脈，而其觸發訊號係延遲線最後一級之輸出訊號；及二組多工器，其選擇訊號係根據 D 型觸發器之結果產生平移暫存器之控制訊號。

參照第六圖，其係由數個單位元產生器串連而成之二元控制器 600，其包含一 D 型觸發器，兩組多工器，一組

邏輯或閘(OR gate)及一組邏輯及閘(AND gate)。此二元控制器將根據階段控制器及相位偵測器之控制訊號而產生多相位輸出延遲線之控制訊號。

在一較佳實施例中，其係於初始之際將 P5 重設為最短之延遲時間。D 型觸發器將可判斷 TDCDL_MIN 是否大於 TREF 之兩倍以決定所欲之階段以及該輸入哪一階段來決定 TINITIAL。而後續階段之操作則係根據二元搜尋演算法執行。透過鎖定單元可避免錯誤鎖定之發生並將鎖定範圍延長至(4)。

$$\text{TDCDL_MIN} < \text{TREF} < \text{TDCDL_MAX} \quad (4)$$

另一方面，由於 TDCDL 將符合(2)，因此可將除頻器比率(divider ratio)設為 2 以達到最快的鎖定時間。根據非平衡式二元搜尋演算法完成一延遲鎖定電路之鎖定所需的整體週期將不會多於 14 個(7x2)參考時脈週期。

在一較佳實施例中，當訊號 LOCKED 被插入後將啟動自我校正單元，其將補償因製程變動所引起之相位差(不匹配)。第七圖係本發明之較佳實施例的自我校正單元 700 之示意圖。如圖所示，自我校正單元 700 包含一第二相位偵測器 702，用以判斷最後一級輸出訊號與參考時脈之間的相位差；四個數位相對式相位偵測器(704、706、708、710)，用以判斷輸出訊號與前一級輸出訊號之相位差和輸出訊號與後一級輸出訊號之相位差，兩者相位差之間的關係(大小)；及五個可上下數計時器(712、714、716、718、720)，分別用以控制多相位輸出延遲線各級輸出訊號之延遲時

間，以在第 i 個延遲級控制每個單一控制字組 $B_i[2:0]$ 。

自我校正單元 700 內數位相對式相位偵測器的輸入為多相位輸出延遲線之第 $\text{mod}5(i-1)$ 級、第 $\text{mod}5(i)$ 級、第 $\text{mod}5(i+1)$ 級輸出訊號，而可上下數計時器之上數訊號係由數位相對式相位偵測器之輸出訊號產生，其觸發訊號為第 $\text{mod}5(i+3)$ 級輸出訊號 (i 為整數)。舉例來說，數位相對式相位偵測器 708 (第二級) 的輸入為多相位輸出延遲線之第一級 (P1)、第二級 (P2)、第三級 (P3) 輸出訊號，而可上下數計時器 714 之上數訊號係由數位相對式相位偵測器 708 之輸出訊號產生，其觸發訊號為第五級 (P5) 輸出訊號。

另外，相位偵測器 702 之輸入為多相位輸出延遲線之第五級 (P5) 輸出訊號與參考時脈，而可上下數計時器 720 之上數訊號係由該第二相位偵測器 702 之輸出訊號產生，其觸發訊號為第三級 (P3) 輸出訊號。

自我校正單元 700 將持續校正相位之不匹配直到相對相位誤差小於數位相對式相位偵測器之量化誤差為止。當上述情形發生時，訊號 $LOCK_i$ 將被拉起，且將決定第 i 個控制字組 $B_i[2:0]$ 之數值。

在一較佳實施例中，上述自我校正可在同一參考時脈週期內連續校正所有的 (五個) 控制字組 $B_i[2:0]$ 。於第一參考訊號之下一個正緣 (positive edge) 之前，校正後之運作應為穩定的。上述需求係透過將遠遠相隔的多相位輸出作為觸發時脈 (trigger clock) 達成，而不需額外的時序控制電路。當所有的訊號 $LOCK_i$ 皆為低訊號 (low signal) 時，即代

表每個延遲級內之相對相位誤差係小於量化誤差。其將插入訊號 FINISH 以停止上下計時器的使用，而控制字組 $Bi[2:0]$ 將為固定的。當某個階段之相對相位誤差大於數位相對式相位偵測器之量化誤差時，自我校正單元將重新啟動。上述相位維持之運作係即時且持續的。

在一較佳實施例中，其模擬環境係採用台灣積體電路公司(TSMC)之 1.2V 130nm CMOS 技術模型所建立。其操作頻率範圍為 333MHz – 1GHz。高於 500MHz 及低於 500MHz 之鎖定程序分別需要 12 及 14 個參考時脈週期。本發明所提出之延遲鎖定訊號將提供 8 位元的解析度，而其最低有效位元(lowest significant bit, LSB)之解析度為 8 ps。其整體功率消耗在 333MHz 時為 2.7mW，而在 1GHz 時則為 5.2mW。其製程不匹配(process mismatch)的問題可由延遲元件內之電容應付。第八圖顯示出當操作頻率為 500MHz 時，各個延遲級之相位誤差。如圖所示，採用本發明之快速自我校正演算法後可有效縮減各個延遲級之相位誤差。舉例來說，原本在 P2-P3 之延遲級所發生之最大相位誤差為 27ps (24.3°)，而在採用快速自我校正演算法後，可將上述最大相位誤差縮減至 9ps (8.1°)。

綜上所述，本發明之快速自我校正演算法可於同一參考週期內同時調整所有輸出訊號之相位，以使任意前後兩級輸出訊號之間的相位差均相同，進而達到快速自我校正之功用。而本發明之非平衡式二元搜尋演算法係藉由選擇適當的數位式控制延遲線之初始延遲時間，以避免錯誤鎖

定，進而增加可鎖定之範圍。

上述敘述係本發明之較佳實施例。此領域之技藝者應得以領會其係用以說明本發明而非用以限定本發明所主張之專利權利範圍。其專利保護範圍當視後附之申請專利範圍及其等同領域而定。凡熟悉此領域之技藝者，在不脫離本專利精神或範圍內，所作之更動或潤飾，均屬於本發明所揭示精神下所完成之等效改變或設計，且應包含在下述之申請專利範圍內。

【圖式簡單說明】

本發明可藉由說明書中若干較佳實施例及詳細敘述以及後附圖式得以瞭解。然而，此領域之技藝者應得以領會所有本發明之較佳實施例係用以說明而非用以限制本發明之申請專利範圍，其中：

第一圖係本發明之全數位自我校正多相位延遲鎖定迴路之較佳實施例的示意圖；

第二圖顯示出本發明之快速自我校正演算法之一較佳實施例($K=5$ 時)；

第三圖為傳統校正演算法與本發明之快速自我校正演算法兩者間校正週期一隨機延遲誤差之結果的比較圖；

第四圖係本發明之 3 位元非平衡式二元搜尋之流程圖；

第五圖係本發明之較佳實施例的階段控制器之示意圖；

第六圖係本發明之較佳實施例的二元控制器之示意

圖；

第七圖係本發明之較佳實施例的自我校正單元之示意

圖；

第八圖係本發明之較佳實施例(當操作頻率為 500MHz 時)的各個延遲級之相位誤差的示意圖。

【主要元件符號說明】

100 全數位自我校正多相位延遲鎖定迴路

102 數位式控制延遲線

104 第一相位偵測器

106 鎖定單元

108 自我校正單元

500 階段控制器

600 二元控制器

700 自我校正單元

702 第二相位偵測器

704 數位相對式相位偵測器

706 數位相對式相位偵測器

708 數位相對式相位偵測器

710 數位相對式相位偵測器

712 可上下數計時器

714 可上下數計時器

716 可上下數計時器

718 可上下數計時器

720 可上下數計時器

七、申請專利範圍：

1. 一種全數位自我校正多相位延遲鎖定迴路，包含：

一多相位延遲鎖定迴路，包含：

一組多相位輸出延遲線，其係由多個延遲級串連而成；

一第一相位偵測器；及

一鎖定單元，包含：

一組階段控制器；

一組二元控制器；及

一自我校正單元，包含：

一第二相位偵測器，用以判斷最後一級輸出訊號與參考時脈間之相位差；

複數個數位相對式相位偵測器，用以判斷該多相位輸出延遲線各級輸出訊號間之相位差；及

複數個計時器，分別用以控制該多相位輸出延遲線各級輸出訊號之延遲時間。

2. 如請求項 1 所述之全數位自我校正多相位延遲鎖定迴路，其中該多相位延遲鎖定迴路係用以執行一非平衡式二元搜尋演算法。

3. 如請求項 2 所述之全數位自我校正多相位延遲鎖定迴路，其中該非平衡式二元搜尋演算法係選擇適當之數位式控制延遲線之初始延遲時間，以避免錯誤鎖定，進

而增加可鎖定範圍。

4. 如請求項 1 所述之全數位自我校正多相位延遲鎖定迴路，其中該自我校正迴路係用以執行一快速自我校正演算法。
5. 如請求項 4 所述之全數位自我校正多相位延遲鎖定迴路，其中該快速自我校正演算法係指在同一參考週期內同時調整該多相位輸出延遲線各級輸出訊號間之相位，最終使任意前後兩級之該輸出訊號間之相位差均相同。
6. 如請求項 1 所述之全數位自我校正多相位延遲鎖定迴路，其中該多相位延遲鎖定迴路之該多相位輸出延遲線係由多個延遲級串連而成，該各個延遲級皆係由二個延遲單元組成。
7. 如請求項 6 所述之全數位自我校正多相位延遲鎖定迴路，其中該二個延遲單元之一係由該多相位延遲鎖定迴路之該鎖定單元之該二元控制器控制，另一延遲單元係由該自我校正單元之計時器控制。
8. 如請求項 1 所述之全數位自我校正多相位延遲鎖定迴路，其中該多相位延遲鎖定迴路之該階段控制器包含：

一組平移暫存器，用以產生該二元控制器之控制訊號；
一觸發器，其輸入為參考時脈，觸發訊號為該多相位輸出延遲線之最後一級輸出訊號，用以判斷該參考時脈與該最後一級輸出訊號間之關係；及
二組多工器，其選擇訊號係根據該觸發器之結果產生該平移暫存器之該控制訊號。

9. 如請求項 1 所述之全數位自我校正多相位延遲鎖定迴路，其中該多相位延遲鎖定迴路之該二元控制器係由複數單位元產生器串連而成。

10. 如請求項 9 所述之全數位自我校正多相位延遲鎖定迴路，其中該單位元產生器係根據該階段控制器與該相位偵測器所產生之該控制訊號而產生該多相位輸出延遲線之控制訊號。

11. 如請求項 9 所述之全數位自我校正多相位延遲鎖定迴路，其中該單位元產生器包含：
一觸發器；
兩組多工器；
一組邏輯或閘；及
一組邏輯及閘。

12. 如請求項 1 所述之全數位自我校正多相位延遲鎖定迴

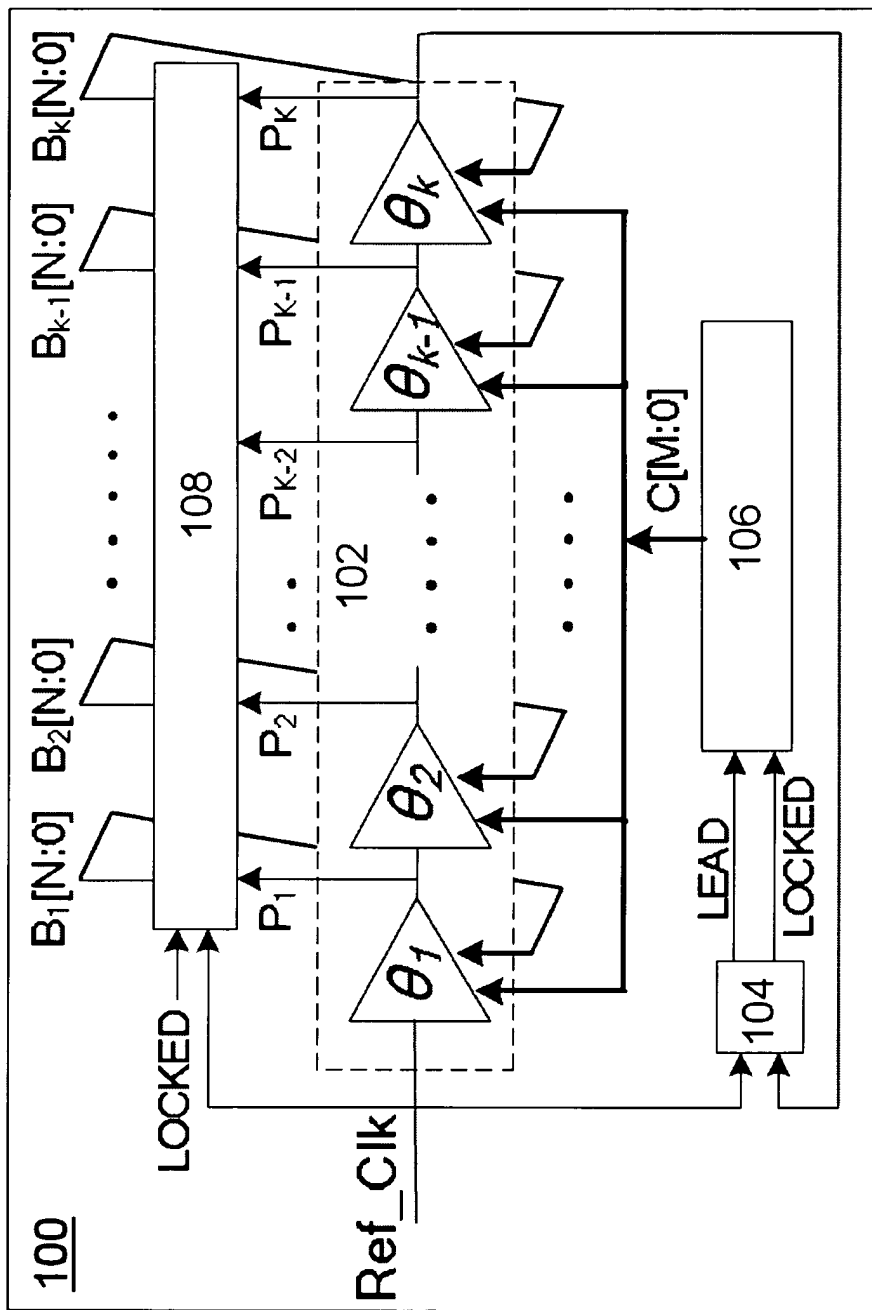
路，其中該自我校正迴路係將該多相位輸出延遲線之第 $\text{mod}5(i-1)$ 級、第 $\text{mod}5(i)$ 級、第 $\text{mod}5(i+1)$ 級輸出訊號輸入該複數數位相對式相位偵測器中相對應之偵測器；及

該複數計時器之上數訊號係由該複數數位相對式相位偵測器中相對應偵測器之輸出訊號產生，觸發訊號為第 $\text{mod}5(i+3)$ 級之輸出訊號。

13. 如請求項 12 所述之全數位自我校正多相位延遲鎖定迴路，其中該 i 為整數。

14. 如請求項 1 所述之全數位自我校正多相位延遲鎖定迴路，其中該自我校正迴路係將該多相位輸出延遲線之第五級輸出訊號與參考時脈輸入該相位偵測器，該計時器之上數訊號係由該相位偵測器之輸出訊號產生，觸發訊號為第三級輸出訊號。

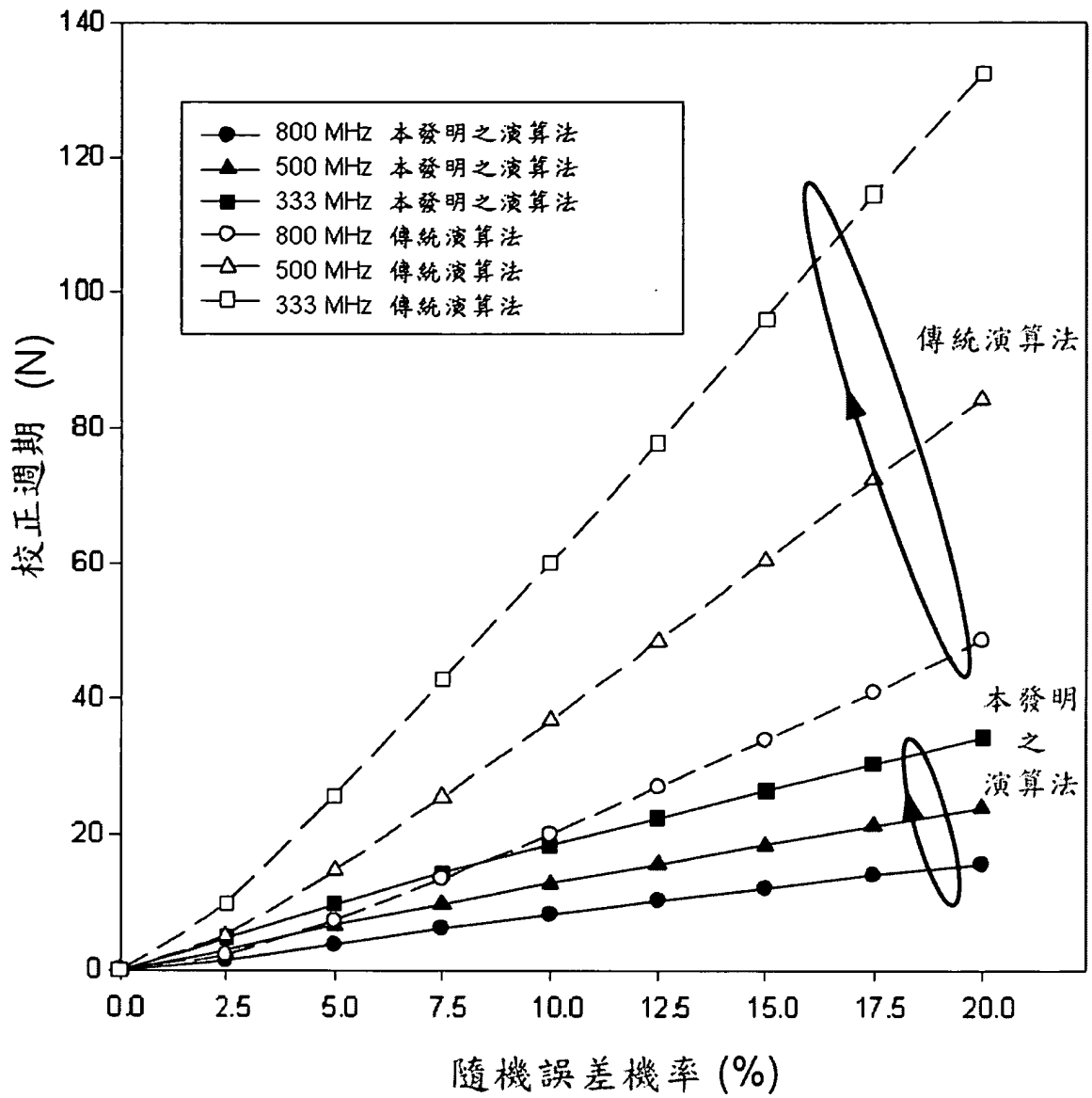
八、圖式：



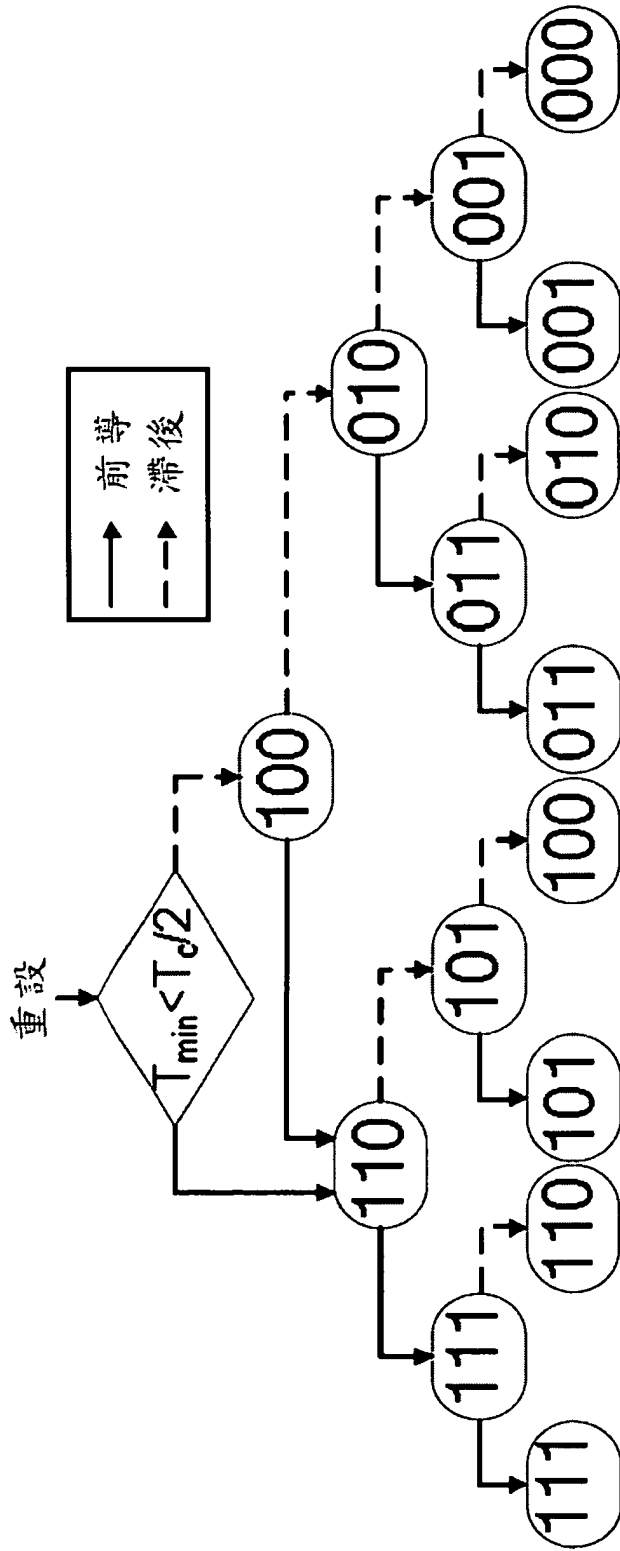
第一圖

$n=0$	θ_1	θ_2	θ_3	θ_4	θ_5
$n=1$	$\frac{\theta_1 + \theta_2}{2}$	$\frac{\theta_2 + \theta_3}{2}$	$\frac{\theta_3 + \theta_4}{2}$	$\frac{\theta_4 + \theta_5}{2}$	θ_5
$n=2$	$\frac{\theta_1 + 2\theta_2 + \theta_3}{4}$	$\frac{\theta_2 + 2\theta_3 + \theta_4}{4}$	$\frac{\theta_3 + 2\theta_4 + \theta_5}{4}$	$\frac{\theta_4 + 3\theta_5}{4}$	$\frac{\theta_5 + \theta_1}{2}$
$n=3$	$\frac{\theta_1 + 3\theta_2 + 3\theta_3 + \theta_4}{8}$	$\frac{\theta_2 + 3\theta_3 + 3\theta_4 + \theta_5}{8}$	$\frac{\theta_3 + 3\theta_4 + 4\theta_5}{8}$	$\frac{\theta_4 + 5\theta_5 + 2\theta_1}{8}$	$\frac{3\theta_1 + \theta_2}{4}$
$n=4$	$\frac{\theta_1 + 4\theta_2 + 6\theta_3 + 4\theta_4 + \theta_5}{16}$	$\frac{\theta_2 + 4\theta_3 + 6\theta_4 + 5\theta_5}{16}$	$\frac{\theta_3 + 4\theta_4 + 9\theta_5 + 2\theta_1}{16}$	$\frac{\theta_4 + 5\theta_5 + 8\theta_1 + 2\theta_2}{16}$	$\frac{5\theta_1 + 4\theta_2 + \theta_3 - 2\theta_5}{8}$
	\vdots	\vdots	\vdots	\vdots	\vdots
$n=N$	$\frac{A\theta_1 + B\theta_2 + C\theta_3 + D\theta_4 + E\theta_5}{2^N}$	$\frac{A'\theta_1 + B'\theta_2 + C'\theta_3 + D'\theta_4 + E'\theta_5}{2^N}$	$\frac{A''\theta_1 + B''\theta_2 + C''\theta_3 + D''\theta_4 + E''\theta_5}{2^N}$	$\frac{A'''\theta_1 + B'''\theta_2 + C'''\theta_3 + D'''\theta_4 + E'''\theta_5}{2^N}$	$\frac{\bar{A}\theta_1 + \bar{B}\theta_2 + \bar{C}\theta_3 + \bar{D}\theta_4 + \bar{E}\theta_5}{2^{N-1}}$
	\vdots	\vdots	\vdots	\vdots	\vdots
$n=\infty$	$\frac{\theta_1 + \theta_2 + \theta_3 + \theta_4 + \theta_5}{5}$	$\frac{\theta_1 + \theta_2 + \theta_3 + \theta_4 + \theta_5}{5}$	$\frac{\theta_1 + \theta_2 + \theta_3 + \theta_4 + \theta_5}{5}$	$\frac{\theta_1 + \theta_2 + \theta_3 + \theta_4 + \theta_5}{5}$	$\frac{\theta_1 + \theta_2 + \theta_3 + \theta_4 + \theta_5}{5}$

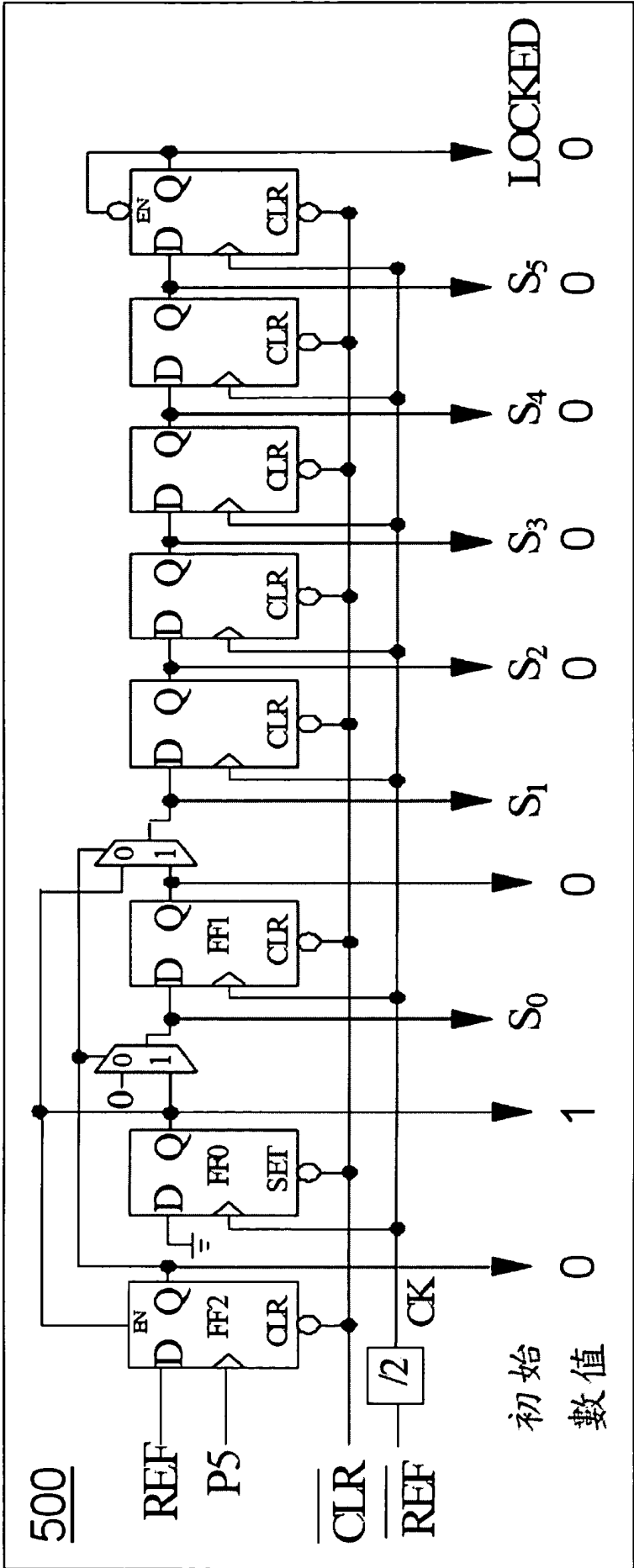
第二圖



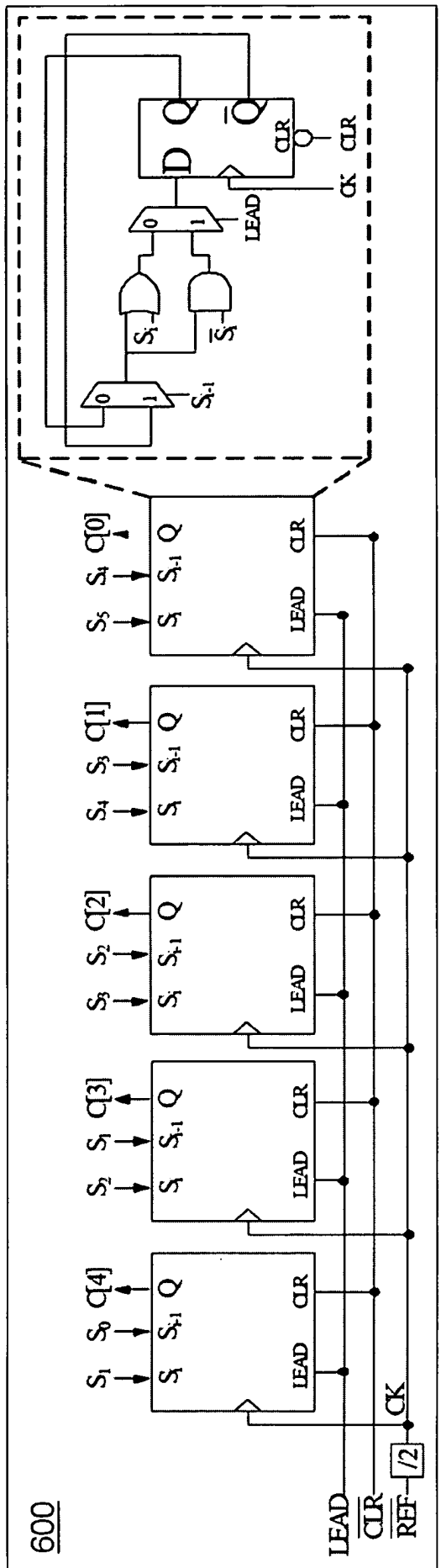
第三圖



第四圖

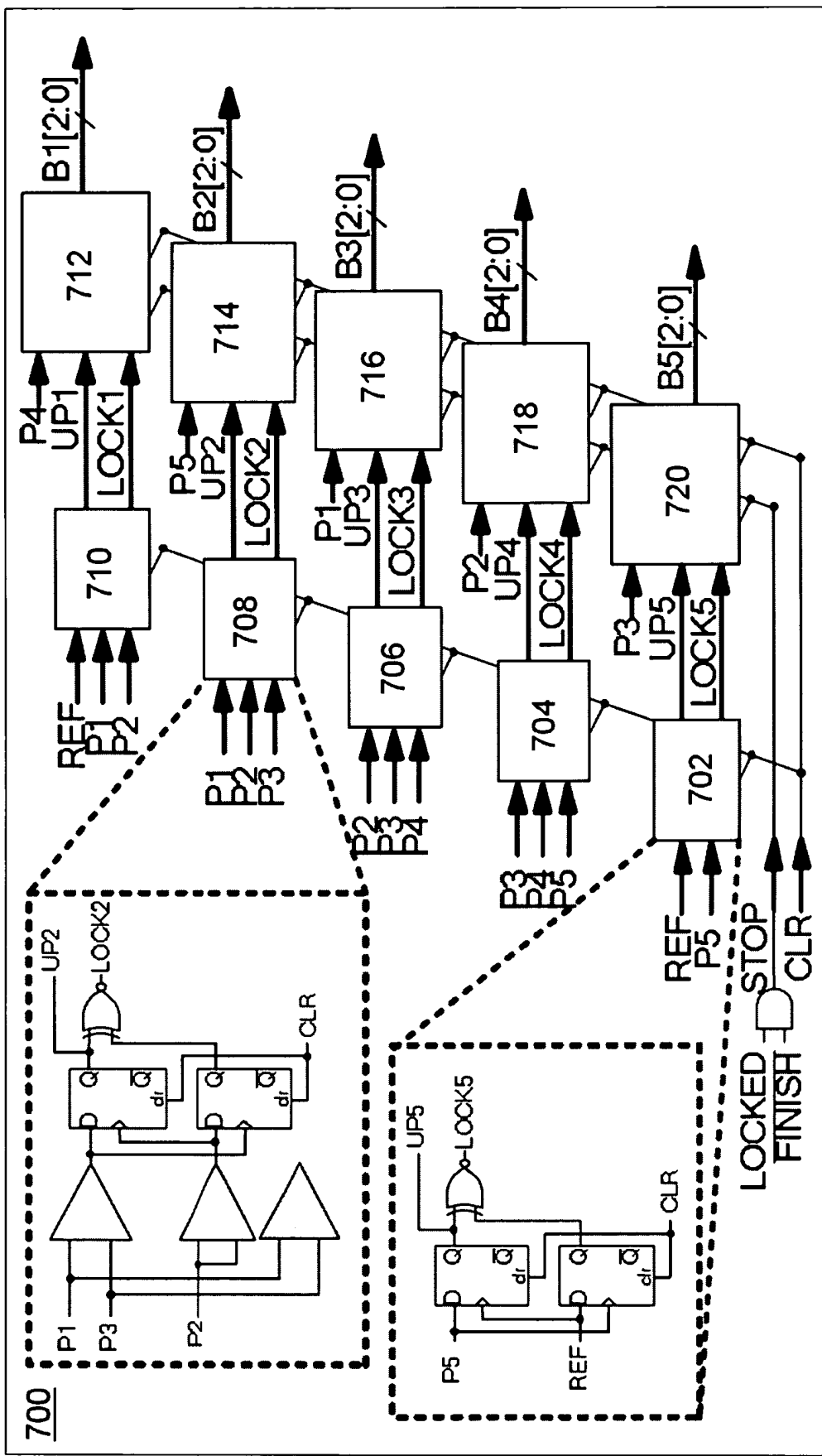


第五圖

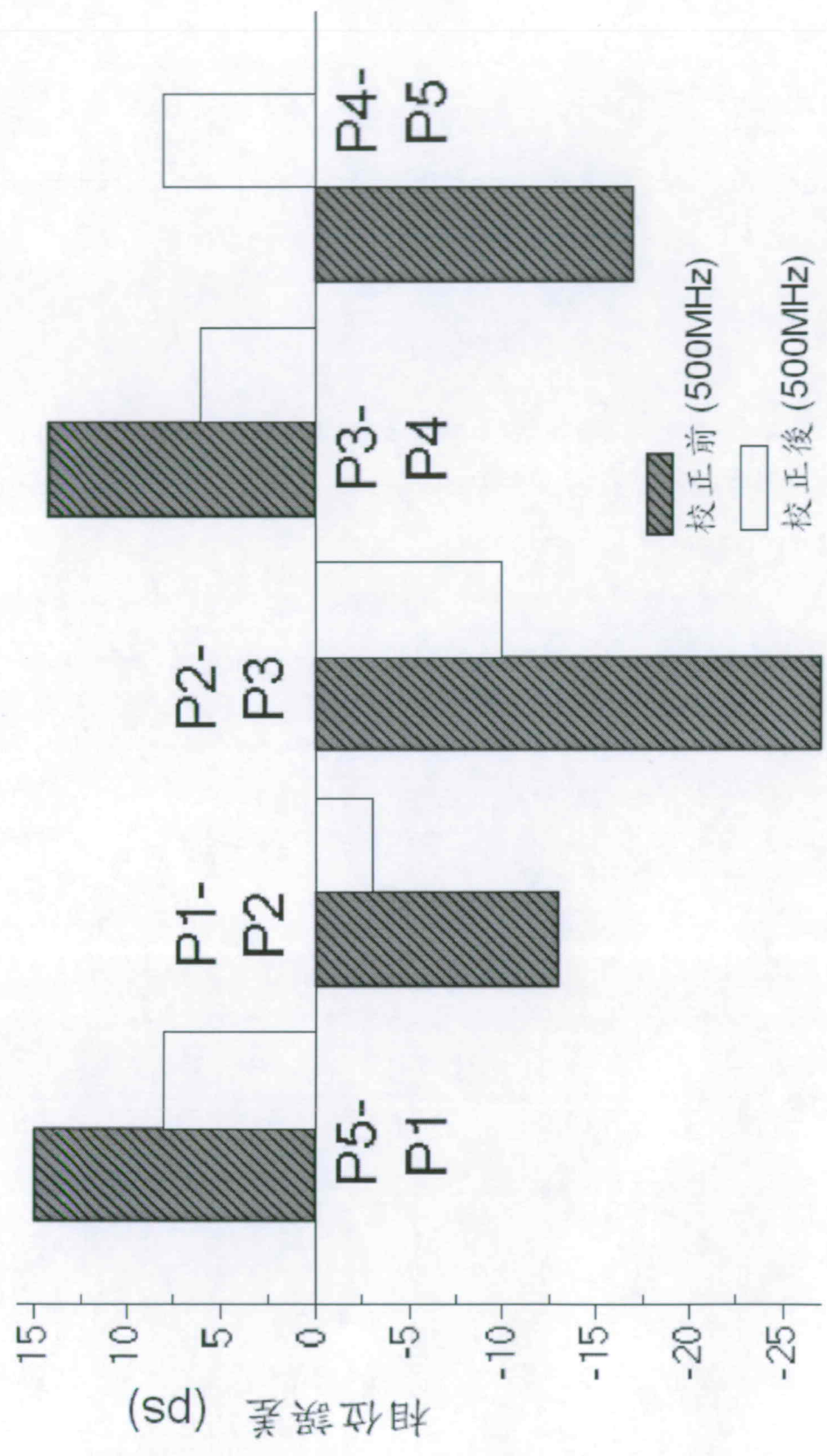


600

第六圖



第七圖



第八圖