

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：96126350

※ 申請日期：96.7.19

※IPC 分類：H01L 33/00 (2006.01)

一、發明名稱：(中文/英文)

半導體發光元件及其製作方法/ Semiconductor Light-Emitting Element and
Process for Making the Same

二、申請人：(共 2 人)

姓名或名稱：(中文/英文)

1. 光寶科技股份有限公司/LITE-ON
TECHNOLOGY CORP.
2. 國立交通大學/NATIONAL CHIAO TUNG
UNIVERSITY

代表人：(中文/英文)

1. 宋恭源/SOONG KUNG-YUAN
2. 吳重雨/WU Chung-Yu(Peter)

住居所或營業所地址：(中文/英文)

1. (11492)台北市內湖區瑞光路 392 號 22 樓/22F, 392, Ruey Kuang
Road, Neihu, Taipei 11492, Taiwan, R. O. C.
2. (30010)新竹市大學路 1001 號/1001 Ta-Hsueh Road, Hsinchu,
Taiwan 300, R. O. C.

國籍：(中文/英文)

1. 中華民國/R. O. C
2. 中華民國/R. O. C

三、發明人：(共 6 人)

姓名：(中文/英文)

1. 邱清華/CHIU Ching-Hua

2. 黃泓文/HUANG Hung-Wen
3. 郭浩中/KUO Hao-Chung
4. 盧廷昌/LU Tien-Chang
5. 王興宗/WANG Shing-Chung
6. 賴志銘/LAI Chih-Ming

國 籍：(中文/英文)

1. 中華民國/R. O. C
2. 中華民國/R. O. C
3. 中華民國/R. O. C
4. 中華民國/R. O. C
5. 中華民國/R. O. C
6. 中華民國/R. O. C

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

一種半導體發光元件，包含一基板、一形成於該基板上的 p 型半導體層、一形成於該 p 型半導體層上的發光層，及一形成於該發光層上的 n 型半導體層；在該 n 型半導體層表面形成有多數個垂直於該基板方向且深度不小於 0.2 微米的奈米柱體。藉由加深該等奈米柱體的深度，可以改變該半導體發光元件的發光場型，而提昇該半導體發光元件的正向出光強度及發光效率。

六、英文發明摘要：

A semiconductor light-emitting element includes a substrate, a p-type semiconductor layer formed on the substrate, a light-emitting layer formed on the p-type semiconductor layer, and an n-type semiconductor layer formed on the light-emitting layer. A surface of the n-type semiconductor layer is formed with a plurality of nanorods, which are perpendicular to the direction of the substrate, and which have a depth not less than 0.2 micron. By increasing the depth of the nanorods, the light-emitting field type of the semiconductor light-emitting element can be changed, so as to enhance the top intensity and light-emitting efficiency of the semiconductor light-emitting element.

七、指定代表圖：

(一)本案指定代表圖為：第(7)圖。

(二)本代表圖之元件符號簡單說明：

12	………n 型半導體層	22	………金錫合金層
13	………發光層	4	………奈米柱體
14	………p 型半導體層	60	………n 型電極預留區
15	………電流擴散層	61	………n 型電極
16	………反射層	62	………p 型電極
17	………金錫合金層		
21	………矽基板		

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

九、發明說明：

【發明所屬之技術領域】

本發明是有關於一種半導體發光元件，特別是指一種可提昇正向出光強度的半導體發光元件及其製作方法。

【先前技術】

半導體發光元件的發光效率需同時考量內部量子效率及光取出效率 (extraction efficiency)。隨著半導體磊晶技術不斷的進步，使得半導體發光元件的內部量子效率可達接近 80% 的水準。然而，由於半導體發光元件的材料或結構影響，使得其發光層發出的光產生全反射，而使光取出效率大為受限，同時也降低半導體發光元件的整體發光效率。

目前常用的改善光取出效率的技術為表面粗化。一般表面粗化的方式是利用活性離子蝕刻 (RIE, Reactive Ion Etching) 或電感耦合電漿 (Inductively Coupled Plasma) 蝕刻將發光元件的表面破壞而粗糙化，以降低全反射效應，但是提昇光取出效率的效果有限。或者，利用磊晶過程中調變各項參數以形成具有凹洞的表面，而使表面粗糙化。但是此方式同時也容易使主要發光層內的量子井形成缺陷，而降低元件壽命。

近來已有研究提出利用奈米柱體結構可增加表面面積 (sidewall-surface) 應可大幅提昇光取出效率。目前形成奈米柱體的方式大致有兩種，一為以蝕刻方式在 p 型半導體層上形成奈米柱體，例如，美國專利 US 6,825,056 提出一

種發光元件的製造方法，其係利用可形成微相分離結構（microphase separated structure）之樹脂組成物在該發光元件表面成膜，並選擇性移除微相分離結構中的至少一個相（phase）以形成奈米級的圖案（nanometer pattern），再以未移除的相作為蝕刻遮罩（etching mask）對該發光元件表面進行蝕刻，而形成奈米柱體。由於一般 p 型半導體層的厚度較薄，例如藍光發光二極體的 p 型半導體層厚度僅約 0.2 微米，若以蝕刻方式在 p 型半導體層形成奈米柱體，當 p 型半導體層的厚度太薄時，即不適合形成奈米柱體，此外奈米柱體的深度受限於 p 型半導體層的厚度，無法形成較大深度的奈米柱體，而未能充分利用奈米柱體的優勢，使得提昇發光效率的效果不明顯。

另一形成奈米柱體結構的方式是利用磊晶的方式直接生成，例如，美國專利 US 7,132,677 揭露一種發光二極體，該發光二極體包含一由複數具有量子井結構的氮化鎵奈米柱體（GaN nanorod）組成之奈米柱體陣列（nanorod array），藉由具有量子井結構的奈米柱體可提高發光二極體的發光亮度及發光效率。然而，以磊晶方式形成奈米柱體仍需高昂的製造成本，其實用性仍然有限。

【發明內容】

發明人等經由研究與實驗發現，利用金屬接合與雷射剝離基板的技術，反轉半導體層結構，由於 n 型半導體層具有較大厚度，以蝕刻方式在 n 型半導體層的表面形成深度大於 0.2 微米的奈米柱體再鍍上金屬電極後，不會造成電

極短路，而能解決目前在 p 型半導體層形成較大深度之奈米柱體再鍍上電極後，即會造成電極短路，無法形成實際可發光之元件的問題。另外，發明人等並發現，藉由調控奈米柱體的深度，可以控制發光元件的遠場發光場型，而能提昇正向出光強度。進一步地，在奈米柱體周圍及/或其上層形成一封裝保護層，藉由該封裝保護層的折射係數介於 n 型半導體層與空氣之間，可降低發光層發射之光線通過 n 型半導體層後直接進入空氣之界面的折率差，而能增加出光效率，並且利用該封裝保護層可抗濕氣，提昇元件的可靠度 (reliability)。

因此，本發明之一目的，即在提供一種具有較大深度的奈米柱體，以提高正向出光強度的半導體發光元件。

本發明之另一目的，在提供一種可降低出光界面之折射率差以增加出光效率，且能提昇元件可靠度的半導體發光元件。

本發明之又一目的，在提供一可形成較大深度的奈米柱體，以提高正向出光強度的半導體發光元件的製作方法。

於是，本發明半導體發光元件，包含一基板、一形成於該基板上的第一合金層、一與該第一合金層接合的第二合金層及一磊晶結構層，該磊晶結構層包括一形成於該第二合金層上的 p 型半導體層、一形成於該 p 型半導體層上的發光層，及一形成於該發光層上的 n 型半導體層；在該 n 型半導體層表面形成有多數個垂直於該基板方向且深度不

小於 0.2 微米的奈米柱體。

該等奈米柱體的最大深度可依據該 n 型半導體層的膜層厚度與該等奈米柱體的截面直徑大小調整。另外，若該等奈米柱體的截面直徑太細，則該等奈米柱體容易斷裂，因此該等奈米柱體的深度與截面直徑需相配合調整，但以深度不小於 0.2 微米，截面直徑不大於 0.8 微米為較佳。

較佳地，本發明半導體發光元件更包含一形成於該 n 型半導體層上的封裝保護層，該封裝保護層具有可透光性，且折射係數介於空氣與該 n 型半導體層之間。

本發明半導體發光元件的製作方法，步驟包含：

- A) 於一第一基板上磊晶形成一磊晶結構層，該磊晶結構層包括一 n 型半導體層、一發光層及一 p 型半導體層；
- B) 提供一導電性基板，在該導電性基板上形成一第一合金層及在該磊晶結構層上形成一第二合金層，利用金屬接合技術 (Metal bonding) 接合該第一合金層與該第二合金層，以及利用雷射剝離 (Laser Lift-off) 技術剝離該第一基板，反轉該第一基板上的該磊晶結構層於該導電基板上，並使該 n 型半導體層表面完全裸露；
- C) 將多數個球狀顆粒散佈於該 n 型半導體層的表面做為蝕刻遮罩；及
- D) 以垂直於該導電性基板的的方向蝕刻該 n 型半導體層，形成多數個深度不小於 0.2 微米的奈米柱體。

較佳地，該步驟 D)之後更包含一步驟 E)，係於該 n 型半導體層上形成一封裝保護層，該封裝保護層具有可透光性，且折射係數介於空氣與該 n 型半導體層之間。

【實施方式】

以下將藉實施例更詳細地說明本發明之內容。

<實施例 1>

形成半導體層狀結構

如圖 1 所示，利用有機金屬氣相磊晶系統 (MOVPE, Metal Organic Vapor Phase Epitaxy) 在一直徑為兩英吋、厚度為 $500\mu\text{m}$ 的氧化鋁基板 11 (sapphire substrate) 上依序形成 n-type GaN 之 n 型半導體層 12、發光層 13 (十對 InGaN/GaN 的多層量子井結構) 及 p-type GaN 之 p 型半導體層 14。再以電子束蒸鍍系統沉積厚度約 200 nm 的氧化銦錫 (ITO) 透明電極材料於 p 型半導體層 14 上以作為電流擴散層 15，再於電流擴散層 15 沉積厚度約 500 nm 之鋁金屬層作為反射層 16，用以提高光的粹取量。

反轉半導體層狀結構

在反射層 16 上以蒸鍍方式形成厚度約 $2\mu\text{m}$ 的金錫合金層 17。另外，如圖 2 所示，取一直徑為兩英吋、厚度為 $500\mu\text{m}$ 的矽基板 21，並於其表面鍍上厚度約 $2\mu\text{m}$ 的金錫合金層 22。如圖 3 所示，將二金錫合金層 17、22 對接並以 350°C 進行共晶接合 (eutectic bonding)。在接合完成後，利用波長 248 奈米之准分子雷射 (雷射脈衝 25×10^{-9} 秒，雷射光點大小為 $1.2\text{mm}\times 1.2\text{mm}$) 照射氧化鋁基板 11，使氧化鋁

基板 11 與 n 型半導體層 12 之交界處因高能量的雷射照射而分離。參閱圖 4，接著以鹽酸溶液去除氧化鋁基板 11 脫離後的剩餘物，再利用電感耦合電漿式反應性離子蝕刻技術（ICPRIE，Inductively Coupled Plasma Reactive Ion Etching）蝕刻 n 型半導體層 12 表面，使 n 型半導體層 12 完全曝露出來。

形成奈米柱體

將直徑約數十至數百奈米（不大於 800nm）不等的氧化鈦球狀顆粒分散於酒精溶劑中形成混合溶液，並以旋鍍機在轉速每秒 6000 轉下塗佈於 n 型半導體層 12 表面，如圖 5 所示，待溶劑揮發後，多數個球狀顆粒 3 散佈於 n 型半導體 12 表面作為蝕刻遮罩，其中球狀顆粒 3 分佈密度約 3×10^9 個/平方公分。如圖 6 所示，利用電感耦合電漿式反應性離子蝕刻技術蝕刻 n 型半導體層 12，蝕刻時間約兩分鐘，使蝕刻深度約 200 nm，而形成在垂直基板 21 方向上的長度約 200 nm 之奈米柱體 4，且奈米柱體 4 之截面直徑不大於 800 nm。蝕刻完成後，再以氫氟酸將球狀顆粒移除。

形成電極

再參閱圖 5 及圖 6，旋鍍球狀顆粒 3 之前先沉積厚度約 3000Å 的二氧化矽層 5，以作為 n 型電極預留區 60。如圖 7 所示，完成奈米柱體 4 蝕刻後，以氫氟酸將二氧化矽層 5 移除後，再於 n 型半導體層 12 表面的 n 型電極預留區 60 鍍上鈦、鋁、鉑、金合金（Ti-Al-Pt-Au）形成 n 型電極 61，並於矽基板 21 表面鍍上鈦、金合金（Ti-Au）形成 p 型電極

62。如圖 8 所示為以掃描式電子顯微鏡 (SEM) 所拍攝的奈米柱體之顯微影像照片，放大倍率為兩萬倍。

在本實施例中，雖以 MOVPE 系統形成磊晶層狀結構，但亦可以分子束磊晶 (MBE, Molecular Beam Epitaxy) 或氫化物氣相磊晶法 (HVPE, Hydride Vapor Phase Epitaxy) 等磊晶技術製作，且半導體材料可依據使用需求選用，其他常用的 III-V 族半導體化合物亦可，例如 AlN、InN 等，使半導體發光元件之發光波長可介於 300~1500nm 之間，並不以本實施例為限。本實施例所形成之發光元件的發光波長約為 450nm。此外，矽基板亦可用其他導電性基板取代，例如 SiC、GaAs、GaP、MgO、ZnO、GaN、AlN、InN、Cu、Mo、W、Al、Au、Zn、Sn 等，而球狀顆粒之材質可選用其他能抗蝕刻且能形成奈米顆粒的材料，例如 SiO₂、Al₂O₃ 等。此外，在本實施例中，形成 n 型電極的位置是在形成奈米柱體 4 前已預留，但是也可以在形成奈米柱體 4 後，再移除部分奈米柱體 4 所形成。

< 實施例 2 >

實施例 2 之實施步驟與實施例 1 大致相同，但是在形成奈米柱體的蝕刻製程中延長蝕刻時間為五分鐘，使蝕刻深度約為 1000 nm，以形成在垂直基板方向之長度約為 1000 nm 的奈米柱體。

< 比較例 >

比較例為沒有奈米柱體之半導體發光元件，亦即，在實施例 1 的實施步驟中省略形成奈米柱體之製程所製得。

發光效率測試

以探針點測系統與 LIV (光、電流、電壓) 光電特性量測儀器 (Keithley Instruments Inc., 型號 238) 測量實施例 1、2 及比較例製得之半導體發光元件之發光效率, 其結果如圖 9 所示。由圖 9 中可明顯看出, 實施例 1、2 的發光效率均優於比較例, 且實施例 2 之發光效率更佳, 例如在輸入電流 20 mA 時, 實施例 2 的輸出功率為 22.3mW, 而實施例 1 的輸出功率為 17.5mW。顯示奈米柱體有助於提昇半導體發光元件的發光效率, 且奈米柱體的長度越長效果越佳。

發光場型測試

以發光二極體發散角量測系統測量實施例 1、2 及比較例製得之半導體發光元件之發光場型, 其結果如圖 10 所示。由圖 10 可知, 相較於比較例, 實施例 1、2 的遠場的發光場型在正向出光較強, 且以實施例 2 更佳, 顯示增加奈米柱體的長度除了可提高發光效率之外, 亦能提昇正向出光強度。

封裝保護層

如圖 11~13 所示, 在 n 型半導體層 71 上形成奈米柱體 711 後, 可利用電漿輔助化學氣相沉積法 (PECVD) 或旋轉塗佈玻璃法 (SOG) 在 n 型半導體層 71 上形成封裝保護層 81、82、83。如圖 11 所示, 封裝保護層 81 可填充於奈米柱體 711 之間並向上延伸而覆蓋於奈米柱體 711 上。或者, 如

圖 12 所示，封裝保護層 82 僅填充於奈米柱體 711 之間，並與奈米柱體 711 等高。如圖 13 所示，封裝保護層 83 也可以僅覆蓋於奈米柱體 711 上，即位於奈米柱體 711 上層。要使封裝保護層 83 未填充於奈米柱體 711 之間，可利用旋轉塗佈玻璃法並以較濃稠的旋塗溶液塗佈，以降低旋塗溶液的流動性，而且奈米柱體 711 之間的空隙狹小，旋塗溶液即難以流入奈米柱體 711 之間的空隙中。

形成封裝保護層 81、82、83 的材料可選用絕緣、具有可透光性且折射係數 (n) 介於空氣 ($n=1$) 與 n 型半導體層 71 (一般 n 約為 2.4~2.5) 之間的材質，例如二氧化矽 (SiO_2)、氮矽化合物 (Si_xN_y) 等。形成奈米柱體 711 的方法可參照實施例 1 的實施步驟，在此不再詳述，且圖式僅簡單示意半導體發光元件的主要結構層，還包含 p 型半導體層 72 及發光層 73。

模擬分析半導體發光元件之出光效率

以商用模擬軟體 ASAP® (Breault Research Organization Inc.) 模擬分析具有奈米柱體結構及封裝保護層的半導體發光元件的出光效率，以及僅具有奈米柱體結構，並未形成封裝保護層的半導體發光元件之出光效率。另外，以未形成奈米柱體結構及封裝保護層的一般半導體發光元件結構為模擬比較例，以對比形成奈米柱體結構及封裝保護層對於半導體發光元件之出光效率的影響。

模擬例 1

模擬如圖 11 所示的半導體發光元件結構，設定半導體

材質為氮化鎵 (GaN)，封裝保護層材質為二氧化矽 ($n=1.5$)，p 型半導體層 72 厚度為 200nm，發光層 73 厚度為 200nm，n 型半導體層 71 厚度為 2 μm (含奈米柱體 711 高度為 200nm)，封裝保護層 81 於奈米柱體 711 之上的部分之厚度為 2 μm ，亦即，不含填充於奈米柱體 711 之間的封裝保護層 81 之厚度為 2 μm ，填充於奈米柱體 711 之間的封裝保護層 81 之厚度為 200 nm。

模擬例 2

模擬例 2 是模擬如圖 12 所示的半導體發光元件結構，其設定參數與模擬例 1 大致相同，惟其封裝保護層 82 僅填充於奈米柱體 711 之間，而與奈米柱體 711 等高。

模擬例 3

模擬例 3 是模擬如圖 13 所示的半導體發光元件結構，其設定參數與模擬例 1 大致相同，惟其封裝保護層 83 僅形成於奈米柱體 711 上，並未填充於奈米柱體 711 之間，封裝保護層 83 的厚度為 2 μm 。

模擬例 4

模擬例 4 是模擬如圖 14 所示的半導體發光元件結構，其設定參數與模擬例 1 大致相同，但是模擬例 4 並沒有封裝保護層結構的設定。

模擬比較例

模擬比較例所模擬之結構如圖 15 所示，為沒有奈米柱體的結構，僅具有 p 型半導體層 72、發光層 73 及 n 型半導體層 71，其各層設定參數與模擬例 4 大致相同，惟 n 型半

導體層 71 上未設定奈米柱體結構，厚度為 $2\mu\text{m}$ 。

模擬結果

將模擬上述模擬例 1~4 及模擬比較例之結構所得的正向出光率 (Top intensity)、側向出光率 (Sidewall intensity) 及整體出光率 (Total intensity) 列示於表 1。並計算模擬例 1~4 相對於模擬比較例，在正向、側向及整體出光率方面的增進效果，並將其結果同樣示於表 1。

表 1

	出光率			增進效果		
	Top (a.u.)	Sidewall (a.u.)	Total (a.u.)	Top (%)	Sidewall (%)	Total (%)
模擬例 1	0.486435	0.177715	0.66415	195.2026	1740.46	280.74
模擬例 2	0.444151	0.086726	0.530877	169.5415	798.156	204.3375
模擬例 3	0.338945	0.141123	0.480068	105.6954	1361.51	175.2103
模擬例 4	0.292899	0.021928	0.317564	77.7514	127.092	80.4823
模擬比較例	0.164780	0.009656	0.174437	-	-	-

由表 1 的模擬結果可知，與模擬比較例相較，模擬例 1~4 的出光效率均較佳，且整體出光效率的增進效果，具有奈米柱體結構的模擬例 4 可達約 80%，而更增加有封裝保護層的模擬例 1~3 可達 175% 以上，尤其是模擬例 1 更高達 280%。顯示形成奈米柱體可有效提昇半導體發光元件的出光效率，再利用折射係數介於空氣與 n 型半導體層之間的封裝保護層，以降低發光元件與空氣之界面的折射率差，減少光線由發光元件進入空氣時產生全反射現象，更能大幅提昇出光效率，且封裝保護層亦具有保護奈米柱體結構及抗濕氣的功用，以避免濕氣影響發光元件性能，而能增

加發光元件的可靠度。

歸納上述，本發明之半導體發光元件，利用蝕刻方式在 n 型半導體層形成奈米柱體，具有製程簡便的優點，而且能形成深度不小於 0.2 微米的奈米柱體，可調整半導體發光元件的遠場發光場型，以提高正向出光強度，進一步利用封裝保護層，更能大幅提昇發光效率及元件的可靠度，故確實能達成本發明之目的。

惟以上所述者，僅為本發明之較佳實施例而已，當不能以此限定本發明實施之範圍，即大凡依本發明申請專利範圍及發明說明內容所作之簡單的等效變化與修飾，皆仍屬本發明專利涵蓋之範圍內。

【圖式簡單說明】

圖 1~7 是說明本發明半導體發光元件之實施例 1 的製作流程示意圖，且圖 7 說明本發明半導體發光元件之實施例 1；

圖 8 是一 SEM 影像照片，說明該實施例 1 之奈米柱體；

圖 9 是一電流對輸出功率之關係圖，顯示本發明之實施例 1、2 與比較例之發光效率測試結果；

圖 10 是一遠場發光場型測試圖，顯示本發明之實施例 1、2 與比較例之遠場發光場型測試結果；

圖 11 是說明本發明半導體發光元件之模擬例 1 結構的示意圖；

圖 12 是說明本發明半導體發光元件之模擬例 2 結構的

示意圖；

圖 13 是說明本發明半導體發光元件之模擬例 3 結構的示意圖；

圖 14 是說明本發明半導體發光元件之模擬例 4 結構的示意圖；及

圖 15 是說明本發明半導體發光元件之模擬比較例結構的示意圖。

【主要元件符號說明】

11	……	氧化鋁基板	60	……	n 型電極預留區
12	……	n 型半導體層	61	……	n 型電極
13	……	發光層	62	……	p 型電極
14	……	p 型半導體層	71	……	n 型半導體層
15	……	電流擴散層	711	……	奈米柱體
16	……	反射層	72	……	p 型半導體層
17	……	金錫合金層	73	……	發光層
21	……	矽基板	81	……	封裝保護層
22	……	金錫合金層	82	……	封裝保護層
3	……	球狀顆粒	83	……	封裝保護層
4	……	奈米柱體			
5	……	二氧化矽層			

年 月 日修正替換頁
100. 8. 17

十、申請專利範圍：

1. 一種半導體發光元件，包含：

- 一基板；
- 一第一合金層，形成於該基板上；
- 一第二合金層，與該第一合金層接合；及
- 一磊晶結構層，包括：

- 一形成於該第二合金層上的 p 型半導體層；
- 一形成於該 p 型半導體層上的發光層；及
- 一形成於該發光層上的 n 型半導體層；

在該 n 型半導體層表面形成有多數個垂直於該基板方向且深度不小於 0.2 微米的奈米柱體。

2. 依據申請專利範圍第 1 項所述之半導體發光元件，其中，各該奈米柱體的截面直徑不大於 0.8 微米。
3. 依據申請專利範圍第 1 項所述之半導體發光元件，更包含一形成於該 n 型半導體層上的封裝保護層，該封裝保護層具有可透光性，且折射係數介於空氣與該 n 型半導體層之間。
4. 依據申請專利範圍第 3 項所述之半導體發光元件，其中，該封裝保護層係由絕緣材料所製成，該絕緣材料係選自於二氧化矽或氮矽化合物。
5. 依據申請專利範圍第 1 項所述之半導體發光元件，其中，該基板具有導電性。
6. 依據申請專利範圍第 5 項所述之半導體發光元件，其中，該基板係由選自於碳化矽、矽、砷化鎵、磷化鎵、氧

化鎂、氧化鋅、氮化鎵、氮化鋁、氮化銦、銅、鉬、鎢、鋁、金、鋅或錫等導電性材料所製成。

7. 依據申請專利範圍第 5 項所述之半導體發光元件，更包含一形成於該基板上的 p 型電極，及一形成於該 n 型半導體層上的 n 型電極。
8. 依據申請專利範圍第 1 項所述之半導體發光元件，其中該磊晶結構層更包含一形成於該第二合金層與該 p 型半導體層之間的反射層，及一形成於該反射層與該 p 型半導體層之間的電流擴散層，且該電流擴散層具有可透光性。
9. 依據申請專利範圍第 8 項所述之半導體發光元件，其中，該反射層係由金屬材質所製成。
10. 一種半導體發光元件的製作方法，步驟包含：
 - A) 於一第一基板上磊晶形成一磊晶結構層，該磊晶結構層包括一 n 型半導體層、一發光層及一 p 型半導體層；
 - B) 提供一導電性基板，在該導電性基板上形成一第一合金層及在該磊晶結構層上形成一第二合金層，利用金屬接合技術接合該第一合金層與該第二合金層，以及利用雷射剝離技術剝離該第一基板，反轉該第一基板上的該磊晶結構層於該導電基板上，並使該 n 型半導體層表面完全裸露；
 - C) 將多數個球狀顆粒散佈於該 n 型半導體層的表

面做為蝕刻遮罩；及

D) 以垂直於該導電性基板的方向蝕刻該 n 型半導體層，形成多數個深度不小於 0.2 微米的奈米柱體。

11. 依據申請專利範圍第 10 項所述之半導體發光元件的製作方法，其中，該步驟 D) 之後更包含一步驟 E)，係於該 n 型半導體層上形成一封裝保護層，該封裝保護層具有可透光性，且折射係數介於空氣與該 n 型半導體層之間。
12. 依據申請專利範圍第 10 項所述之半導體發光元件的製作方法，其中，各該球狀顆粒的截面直徑不大於 0.8 微米。
13. 依據申請專利範圍第 12 項所述之半導體發光元件的製作方法，其中，各該奈米柱體的截面直徑不大於 0.8 微米。
14. 依據申請專利範圍第 10 項所述之半導體發光元件的製作方法，其中，該步驟 A) 之後更包含一步驟 A') 於該 p 型半導體層上形成一電流擴散層，及在該電流擴散層上形成一反射層。
15. 依據申請專利範圍第 10 項所述之半導體發光元件的製作方法，其中，該等球狀顆粒係由氧化物所製成。
16. 依據申請專利範圍第 15 項所述之半導體發光元件的製作方法，其中，該氧化物係選自於氧化鈦、二氧化矽或氧化鋁。

十一、圖式：

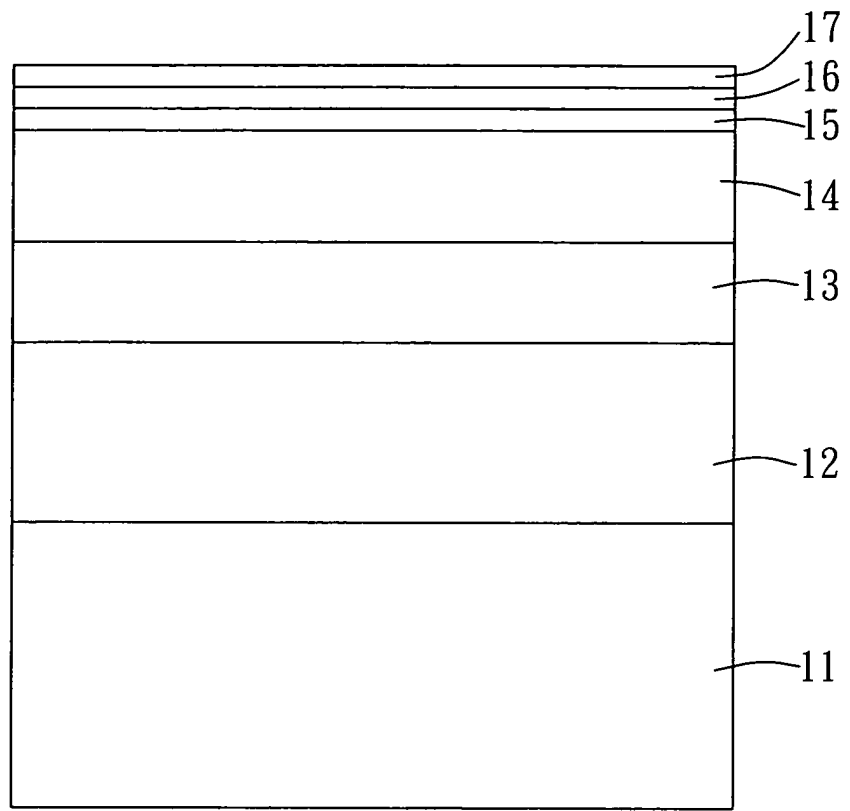


圖 1

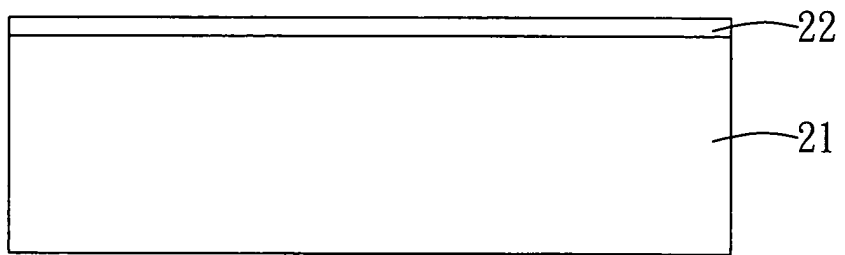


圖 2

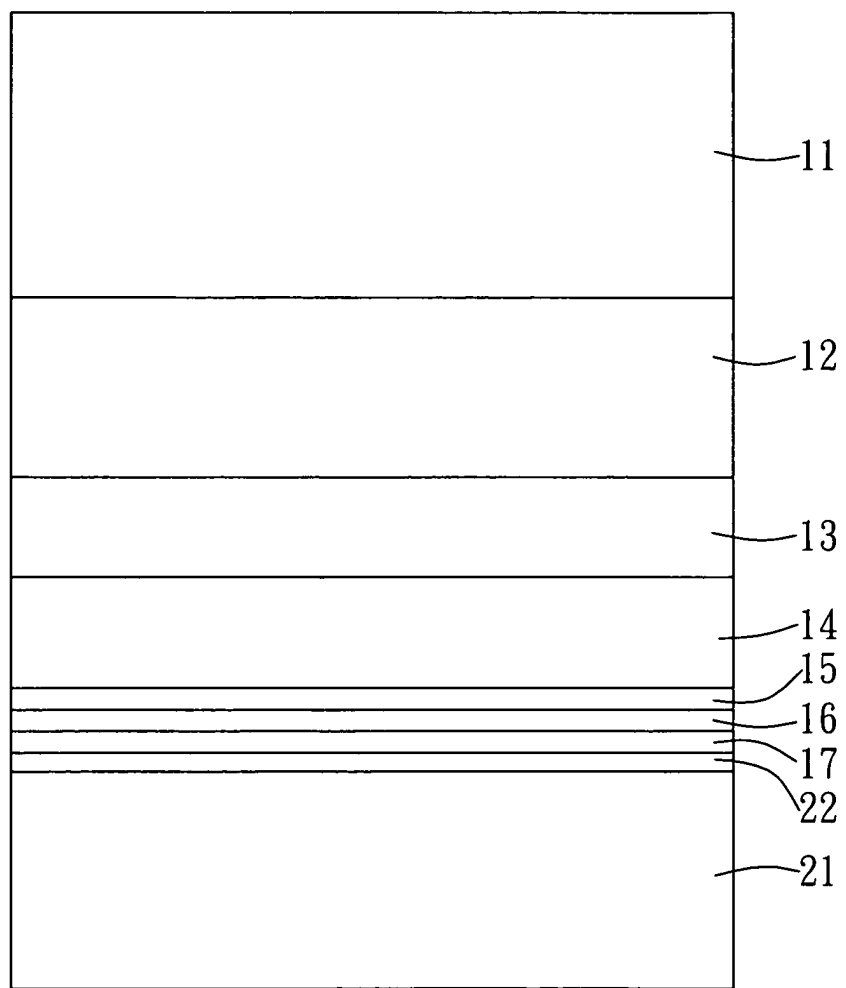


圖 3

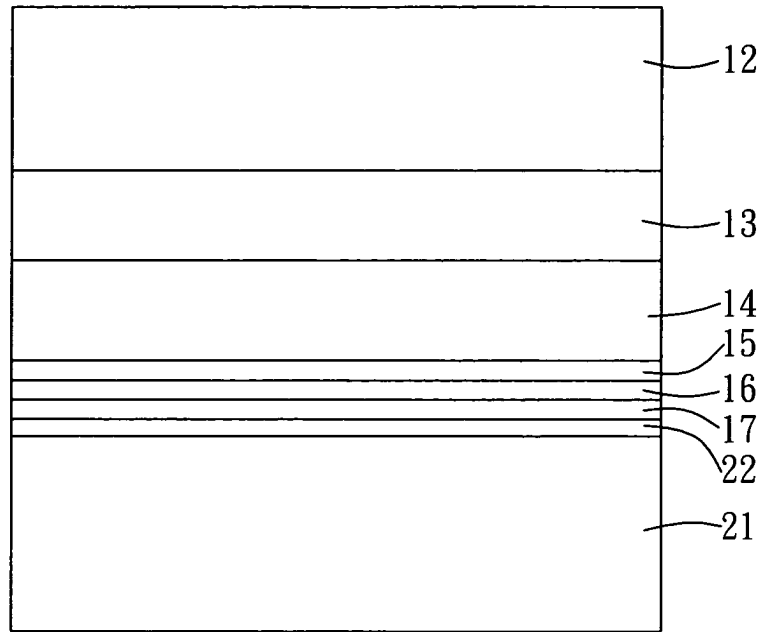


圖 4

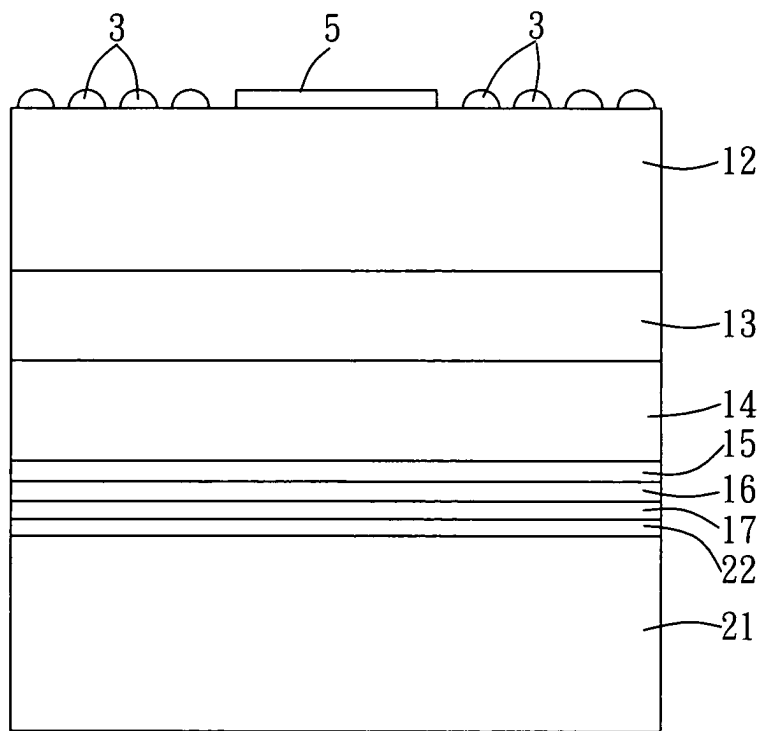


圖 5

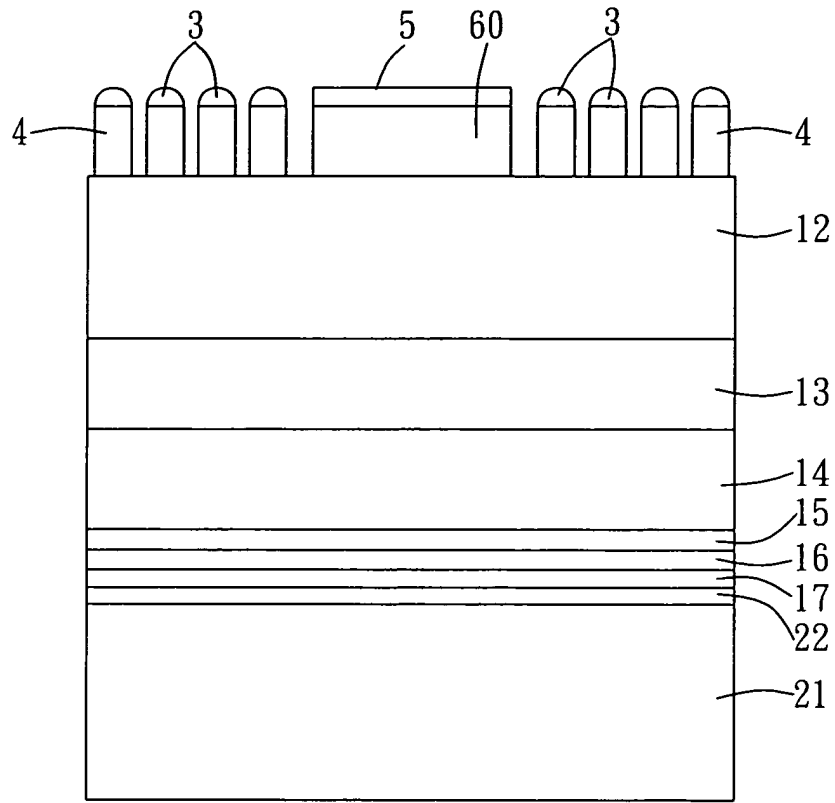


圖 6

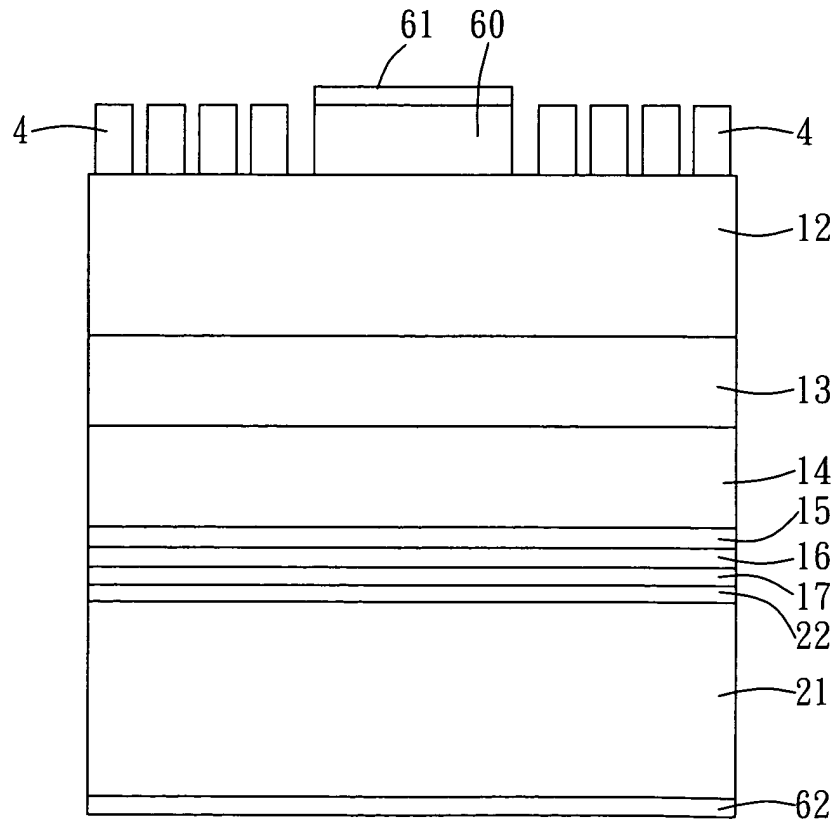


圖 7

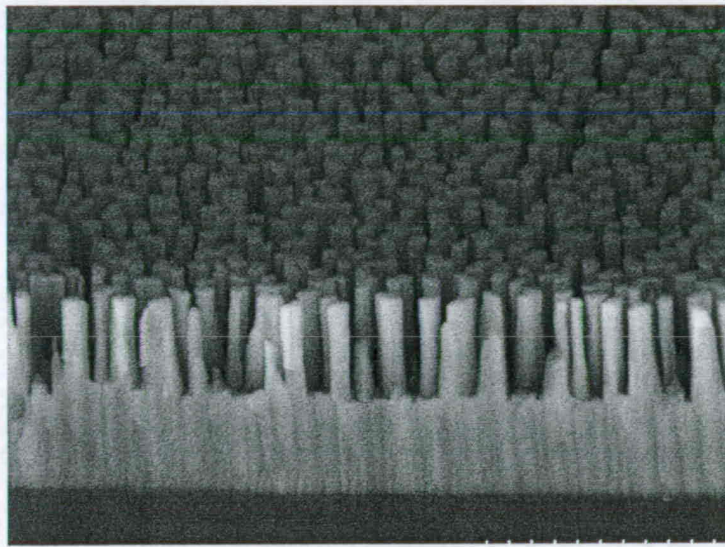


圖 8

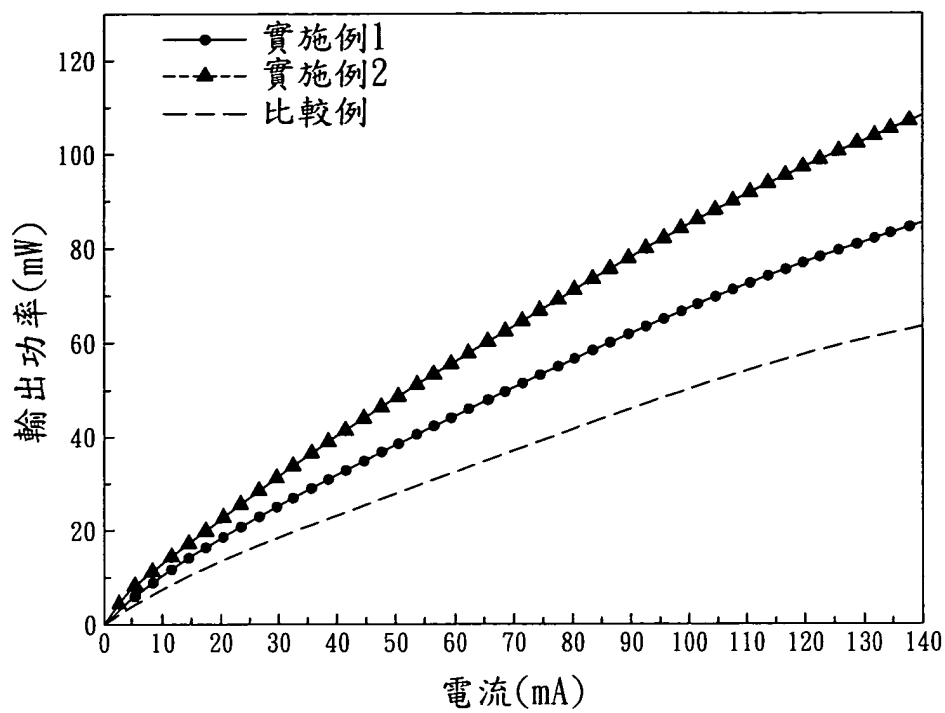


圖 9

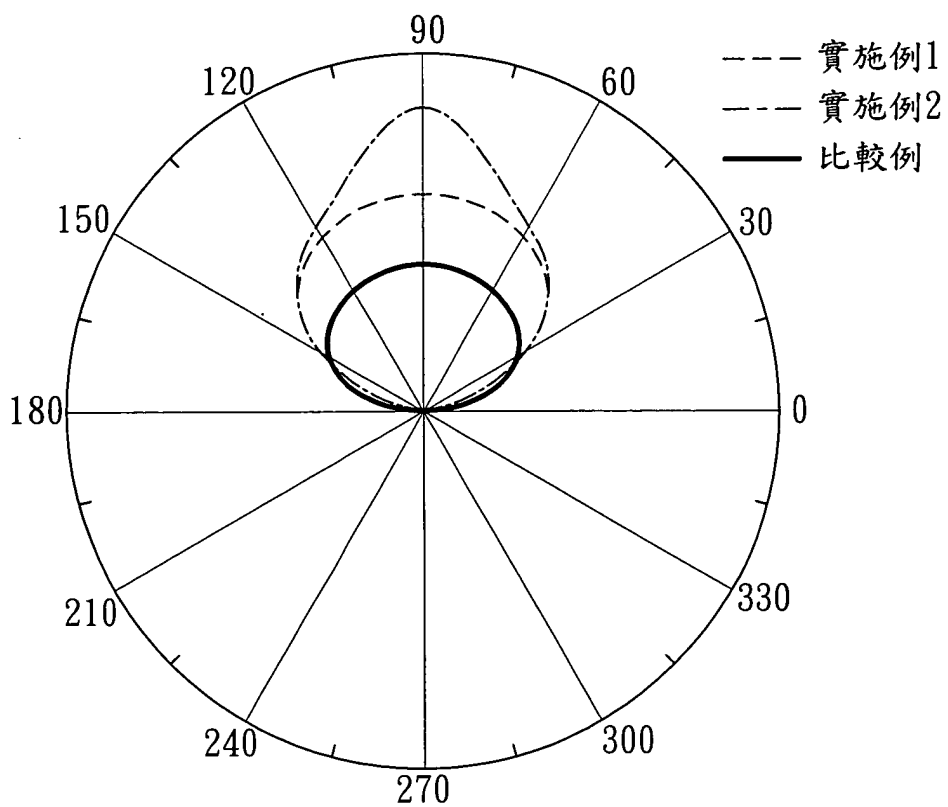


圖 10

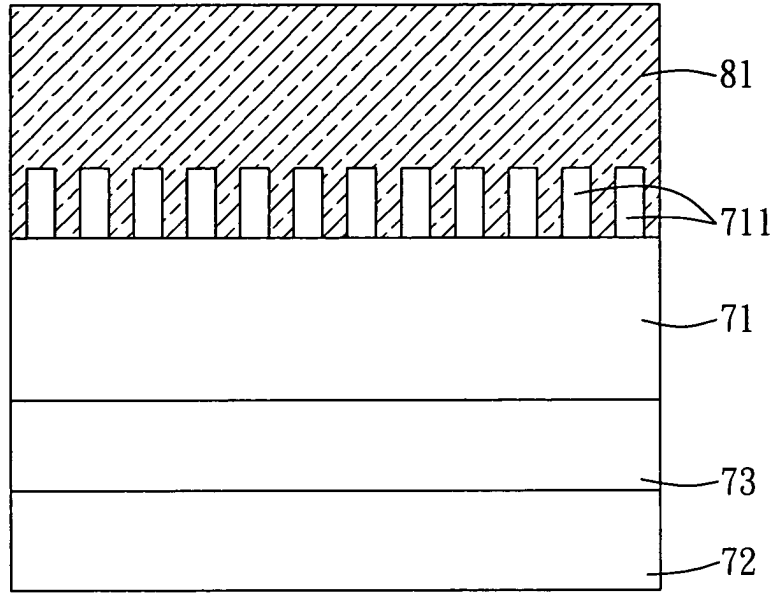


圖 11

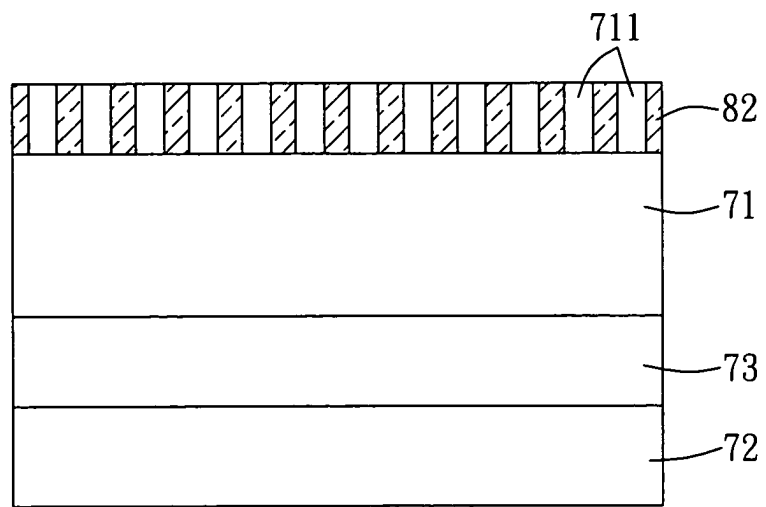


圖 12

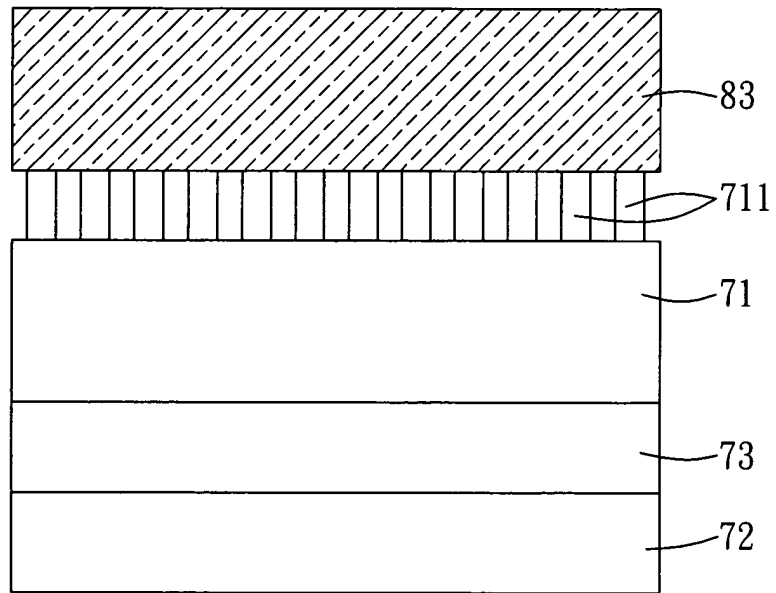


圖 13

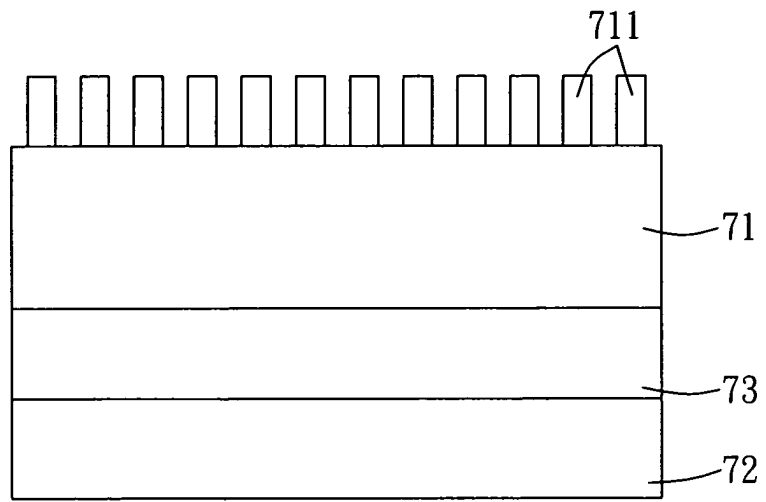


圖 14

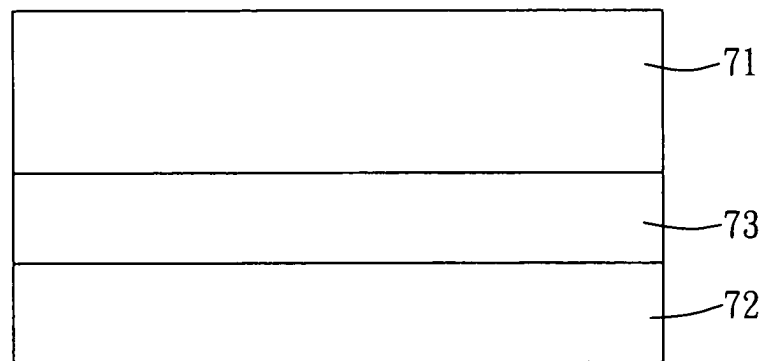


圖 15