

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：95145566

※ 申請日期：95.12.7

※IPC 分類：H01L 21/308

一、發明名稱：(中文/英文)

一種形成半導體深次微米線寬結構的方法/A method for fabricating deep sub-micron metal electrode using tilt etching

二、申請人：(共 人)

姓名或名稱：(中文/英文)

國立交通大學/National Chiao Tung University

代表人：(中文/英文)

黃威/Wei Hwang

住居所或營業所地址：(中文/英文)

300 新竹市大學路 1001 號/1001 Ta Hsueh Road, Hsinchu, Taiwan 300, ROC

國 籍：(中文/英文)

中華民國/R. O. C.

三、發明人：(共 3 人)

姓 名：(中文/英文)

1. 陳仕鴻/Szu-Hung Chen

2. 連亦中/Yi-Chung Lien

3. 張翼/ Edward Yi Chang

國 籍：(中文/英文)

1. 中華民國/R. O. C.

2. 中華民國/R. O. C.

3. 中華民國/R. O. C.

四、聲明事項：

主張專利法第二十二條第二項第一款或第二款規定之事實，其實發生日為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

(一種形成半導體深次微米線寬結構的方法)

五、中文發明摘要：

本發明為一種僅利用光阻顯影及斜角度蝕刻，形成半導體深次微米線寬結構的方法。首先在半導體基材表面披覆兩層光阻，控制適當的曝光能量或顯影條件，以顯影第二層光阻，而第一層光阻不被顯開。而具有下切（Under-Cut）側壁的凹槽結構可形成於第二層光阻上。再以相對於半導體基材垂直方向的斜角度，對第一層光阻進行非等向性蝕刻製程。而第二層光阻凹槽的一邊側壁，可以保護部分第一層光阻免於受到蝕刻；且本發明亦可在半導體基材表面披覆三層光阻再以上述方式進行蝕刻。於進行金屬蒸鍍與浮離（Lift-Off）製程後，可定義出金屬電極的線寬，形成具有深次微米線寬之 Γ 型閘極。

六、英文發明摘要：

A method for fabricating deep sub-micron metal electrode using tilt etching is proposed. Multi-layer photoresist structure is first formed on the substrate. The photoresist structure is then patterned using adequate exposure energy and development condition so that underlying first photoresist layer is not developed while an under-cut resist groove is formed on top of the first photoresist layer. Anisotropic etching is then performed at a proper angle with respect to the normal of the substrate surface. The edge of the under-cut groove can shield a portion of the first photoresist layer from etching. While the etched first photoresist layer forms an opening, which defines the footprint of the metal electrode after direct metal evaporation and lift-off process. This method provides a simple and cost-effective process for the fabrication of Γ -shaped gate with deep sub-micron gate length using the optical lithography.

七、指定代表圖：

(一)本案指定代表圖為：第一 E 圖。

(二)本代表圖之元件符號簡單說明：

第一 E 圖 101 半導體基材

第一 E 圖 102 第一光阻層

第一 E 圖 103 第二光阻層

第一 E 圖 104A 金屬層

第一 E 圖 104B 金屬層

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

九、發明說明：

【發明所屬之技術領域】

本發明為一種形成半導體深次微米線寬結構的方法，特別是一種形成半導體深次微米金屬電極的方法。

【先前技術】

半導體技術日新月異，深次微米或所謂的奈米級線寬技術日趨重要，而深次微米或所謂的奈米級線寬技術皆依賴微影技術（Photolithography）所製造成型，故使用微影技術以形成深次微米或奈米級的線寬技術，更成為當今微影技術重要發展課題之一。

半導體產業中的微影技術相關原理，一般會先形成阻擋蝕刻或阻擋離子佈置之罩幕層（Mask），以選擇性進行蝕刻或植入。通常因光的能量，使受光照的光阻（Photoresist）性質改變，因而在顯影（Develop）時被溶解掉，未受光照部分則形成圖案做蝕刻之阻擋，即為正光阻（Positive Photoresist）。反之，若感光後，變成不溶解的光阻為負光阻（Negative Photoresist）。正光阻在曝光照射後，鏈結會被打斷，在顯影時即被溶掉，未曝光部分則存留，形成耐酸性腐蝕之保護膜。而負光阻則相反，受曝光照射後，鏈結才會形成，而顯影時則被保留，未曝光部分則被溶掉。

目前線寬之技術發展，通常會利用相位移光罩或是先進之微影設備（例如：電子束微影）進行曝光，以達到微小化線寬之目的。但若利用前述電子束微影方法，會大幅提升生產技術難度與增加硬體設備投資成本。

倘進行相關前案技術查詢，在所習知的美國專利編號第 US4, 532, 698 號專利中，提到使用多次斜角金屬蒸鍍，且必須搭配多次蝕刻製程，去除殘餘表面之金屬，線寬控制不易，且製程繁複，另一方面，也無法直接形成 T 型或 Γ 型閘極。

此外，於習知技術習知技術的美國專利編號第 US4, 687, 730

號中，該技術使用單一光阻層，並利用部分顯影，形成光阻凹槽，製程上並不如多層光阻搭配選擇性顯影來的容易控制。而該技術亦無法直接形成T型或Γ型閘極，因此其製程步驟雖然簡易，但與本發明案相較，使用上仍然有其侷限性。

且於習知技術的美國專利編號第 US5,652,179 號中，利用垂直非等向性蝕刻製程與多次金屬蒸鍍，包括兩次斜角度金屬蒸鍍與一次垂直金屬蒸鍍，最後亦必須除去輔助之金屬圖案，雖可製做次微米線寬之Γ型閘極，但製程步驟繁瑣，較為費時，成本較高。

故而在現有技術無法達到線寬之最小解析度，且無法降低微影製程成本，反更需增加具高解析度微影設備之高投資成本情形下，新式線寬技術之研發對產業更趨重要。

【發明內容】

故而本發明之實施方式如下：

首先在一半導體基材表面，依序旋塗披覆第一層光阻與第二層光阻。

接著，使用適當曝光能量與顯影條件，或使用不同種類之顯影劑，依序顯影，使得第一層光阻不會被顯影，而第二層光阻在顯影後，形成一具有下切開口之結構。

再進行斜角度非等向性蝕刻，利用第二層光阻光阻所形成之結構，作為蝕刻遮罩，藉以蝕刻第一層光阻。

進行金屬蒸鍍，並繼續進行浮離製程。再去除不必要的金屬及光阻層，即可形成金屬Γ型閘極。

本發明之再一實施方式，係在一半導體基材表面，依序旋塗披覆第一光阻層，第二光阻層與第三光阻層。

使用適當曝光能量與顯影條件以進行顯影，第一光阻層不會被顯開，而第二光阻層與第三光阻層在選擇性曝光顯影後，形成一具有下切之結構。

利用第二光阻層與第三光阻層為蝕刻遮罩，對第一光阻層進行斜角度非等向性蝕刻。接著進行金屬蒸鍍，以及浮離製程，去除不必要的金屬及光阻層，可完成 Γ 型閘極製作。

本發明使用多層光阻，選擇性顯影製程，並利用斜角度非等向性蝕刻，藉以形成 Γ 型閘極，以達到縮減線寬之目的。

本發明可以避免使用價格昂貴之相位移光罩，或先進之電子微影設備，並達到深次微米或奈米尺寸之解析度。

【實施方式】

本申請案所提出之技術，目的即在解決半導體技術上的微米線寬技術問題，且即僅需利用半導體廠內之現有設備，例如：I-line 步進機 (Stepper)，或是 DUV 接觸對準機 (Contact Aligner) 等，即可達到製作 0.2 微米以下線寬之目標，提高製程能力，因此可大幅縮減成本，適用於奈米電子元件或高速元件之工業化量產。

本發明之形成半導體深次微米線寬結構的方法，亦即形成半導體深次微米金屬電極的方法，如第一 A 圖，適當選擇第一光阻之材質，在一半導體基材 101 上，旋塗披覆第一光阻層 102。

如第一 B 圖，適當選擇第二光阻層之材質，旋塗披覆第二光阻層 103 於第一光阻層 102 上；第一光阻層 102 與第二光阻層 103 具不同性質。

如第一 C 圖，進行選擇性 (Selective) 顯影製程之曝光程序，控制曝光能量，使曝光能量高於第二光阻層 103 之臨界曝光劑量，但低於第一光阻層 102 之臨界曝光劑量，使得第一光阻層 102 不會被顯影開。經過對第二光阻層 103 之曝光顯影後，第一光阻層 102 不會被顯影開，且第二光阻層 103 則形成線寬為 W 尺寸之下切結構。

如第一 D 圖，以乾蝕刻 (Dry Etching) 方式，如圖中的 θ 角度，進行斜角度之非等向性蝕刻。即以第二光阻層 103 作為遮罩，

進行蝕刻第一光阻層 102，得到線寬為 W' 尺寸之凹槽圖案，其中 W' 尺寸會小於 W 尺寸。

如第一 E 圖，進行金屬蒸鍍製程，通常以非等向性金屬蒸鍍方式進行，如使用電子束蒸鍍機 (Electron Beam Evaporator) 進行金屬蒸鍍，形成適當厚度之金屬層 104A 與金屬層 104B，其中金屬層 104A 覆蓋於第二光阻層 103 表面，而金屬層 104B 覆蓋於第一光阻層 102 表面，以及半導體基材 101 表面。

如第一 F 圖，進行浮離製程 (Lift-Off)，清除第一光阻層 102、第二光阻層 103 及金屬層 104A；最後得到線寬為 L 尺寸之 Γ 形金屬閘極 104B，而閘極之線寬 L 小於原先之線寬 W 。閘極之作用為金屬電極，而此種 Γ 型閘極可應用於由砷化鎵等半導體材料所構成之電子元件中。

本發明之另一實施例，如第二 A 圖，適當選擇第一光阻之材質，在一半導體基材 201 上，旋塗披覆第一光阻層 202。

如第二 B 圖，適當選擇第二光阻層之材質，旋塗披覆第二光阻層 203 於第一光阻層 202 上；第一光阻層 202 與第二光阻層 203 具不同性質。

如第二 C 圖，適當選擇第三光阻層之材質，旋塗披覆第三光阻層 204 於第二光阻層 203 上；第三光阻層 204 與第二光阻層 203 具不同性質。

如第二 D 圖，進行選擇性 (Selective) 顯影製程之曝光程序，控制曝光能量，使曝光能量高於第二光阻層 203 及第三光阻層 204 之臨界曝光劑量，但低於第一光阻層 202 之臨界曝光劑量，使得第一光阻層 202 不會被顯影開。經過對第二光阻層 203 及第三光阻層 204 之曝光顯影後，除了第一光阻層 202 不會被顯影開之外，且第二光阻層 203 與第三光阻層 204 則形成線寬為 W 尺寸之下切結構。

如第二 E 圖，以乾蝕刻 (Dry Etching) 方式，如圖中的 θ 角度，進行斜角度之非等向性蝕刻。即以第二光阻層 203 與第三光

阻層 204 作為遮罩，進行蝕刻第一光阻層 202，得到線寬為 W' 尺寸之凹槽圖案，其中 W' 尺寸會小於 W 尺寸。

如第二 F 圖，進行金屬蒸鍍製程，通常以非等向性金屬蒸鍍方式進行，如利用電子束蒸鍍機 (Electron Beam Evaporator) 以進行金屬蒸鍍，形成適當厚度之金屬層 205A 與金屬層 205B，其中金屬層 205A 覆蓋於第三光阻層 204 表面，而金屬層 205B 覆蓋於第一光阻層 202 表面，以及半導體基材 201 表面。

如第二 G 圖，進行浮離製程 (Lift-Off)，清除第一光阻層 202、第二光阻層 203，第三光阻層 204 及金屬層 205A；最後得到線寬為 L 尺寸之 Γ 形金屬閘極 205B，而閘極之線寬 L 小於原先之線寬 W 。閘極之作用為金屬電極，而此種 Γ 型閘極亦與前述時實施例相同，得以應用於由砷化鎵等半導體材料所構成之電子元件中。

故本發明技術可形成半導體之深次微米或奈米尺寸之結構，且可應用於奈米元件或電子高速元件；且本發明可增進微影製程所能達到之最小解析度，降低微影製程所使用之光罩及高解析度之微影設備投資成本。

經整理上述實施步驟，簡約言之，本發明係在一半導體基材表面，依序旋塗披覆第一光阻層與第二光阻層，使用適當曝光能量與顯影條件以進行顯影，第一光阻層不會被顯開，而第二光阻層在選擇性曝光顯影後，形成一具有下切之結構。利用第二光阻層為蝕刻遮罩，對第一光阻層進行斜角度非等向性蝕刻。進行金屬蒸鍍，以及浮離製程，去除不必要的金屬及光阻層，即可完成 Γ 型閘極製作。

本發明之另一實施方式，係在一半導體基材表面，依序旋塗披覆第一光阻層，第二光阻層與第三光阻層，使用適當曝光能量與顯影條件以進行顯影，第一光阻層不會被顯開，而第二光阻層與第三光阻層在選擇性曝光顯影後，形成一具有下切之結構。利用第二光阻層與第三光阻層為蝕刻遮罩，對第一光阻層進行斜角

度非等向性蝕刻。進行金屬蒸鍍以及浮離製程，去除不必要的金屬及光阻層，可完成Γ型閘極製作。

以上所述僅為本發明之較佳實施例而已，並非用以限定本發明之申請專利範圍；凡其它未脫離本發明所揭示之精神下所完成之等效改變或修飾，均應包含在下述之申請專利範圍內。

【圖式簡單說明】

第一 A 至第一 F 圖所示為本發明之實施方式。

第二 A 至第二 G 圖所示為本發明之實施方式。

【主要元件符號說明】

101 半導體基材

102 第一光阻層

103 第二光阻層

104A 金屬層

104B 金屬層

201 半導體基材

202 第一光阻層

203 第二光阻層

204 第三光阻層

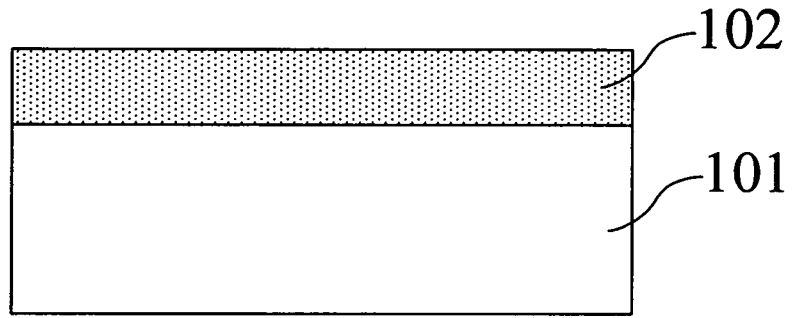
205A 金屬層

205B 金屬層

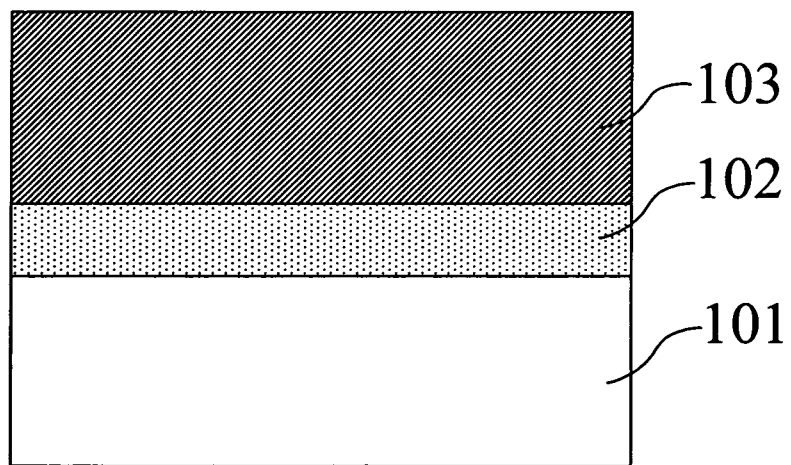
十、申請專利範圍：

1. 一種形成半導體深次微米線寬結構的方法，至少包含：
提供一半導體基材；
依序旋塗披覆第一光阻層於該半導體基材表面，一第二光阻層於該第一光阻層表面上，一第三光阻層於該第二光阻層表面上；
選擇性曝光與顯影該第三光阻層與該第二光阻層，且該第一光阻層不會被顯影開；
進行斜角度非等向性蝕刻，以該第三光阻層為蝕刻遮罩，蝕刻該第一光阻層；
進行金屬蒸鍍以形成一金屬層覆蓋於該半導體基材表面、該第一光阻層表面及該第三光阻層表面；
除去該金屬之部份及該第一光阻層，第二光阻層與第三光阻層，形成一Γ型閘極，藉以形成半導體深次微米線寬結構。
2. 如申請專利範圍第 1 項所述之方法，其中選擇性曝光與顯影後，該第二光阻層與該第三光阻層形成一下切結構。
3. 如申請專利範圍第 1 項所述之方法，其中該非等向性蝕刻至少包含乾蝕刻。
4. 如申請專利範圍第 1 項所述之方法，其中該金屬蒸鍍至少包含使用非等向性金屬蒸鍍。
5. 如申請專利範圍第 1 項所述之方法，其中除去該金屬之部份及該第一光阻層，第二光阻層與第三光阻層，係以浮離製程完成。

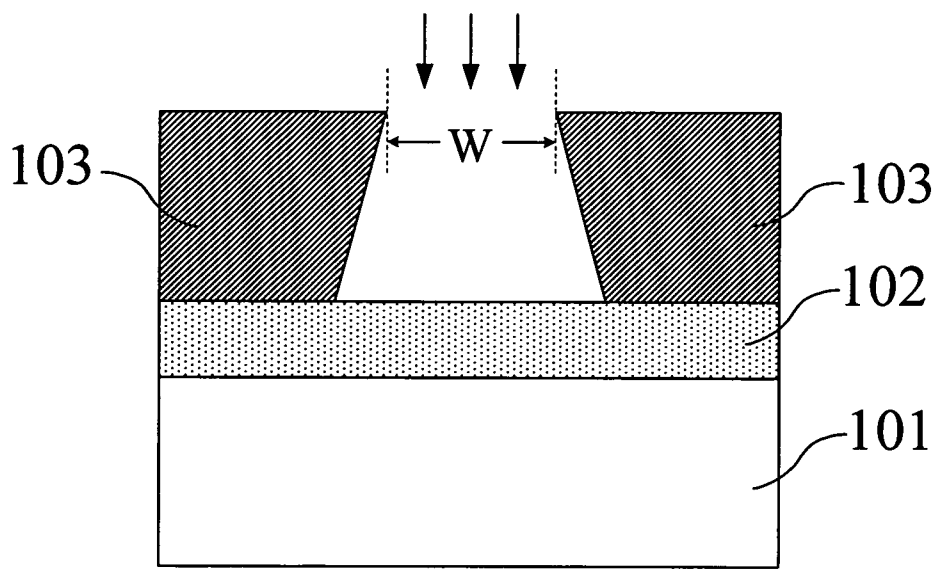
十一、圖式：



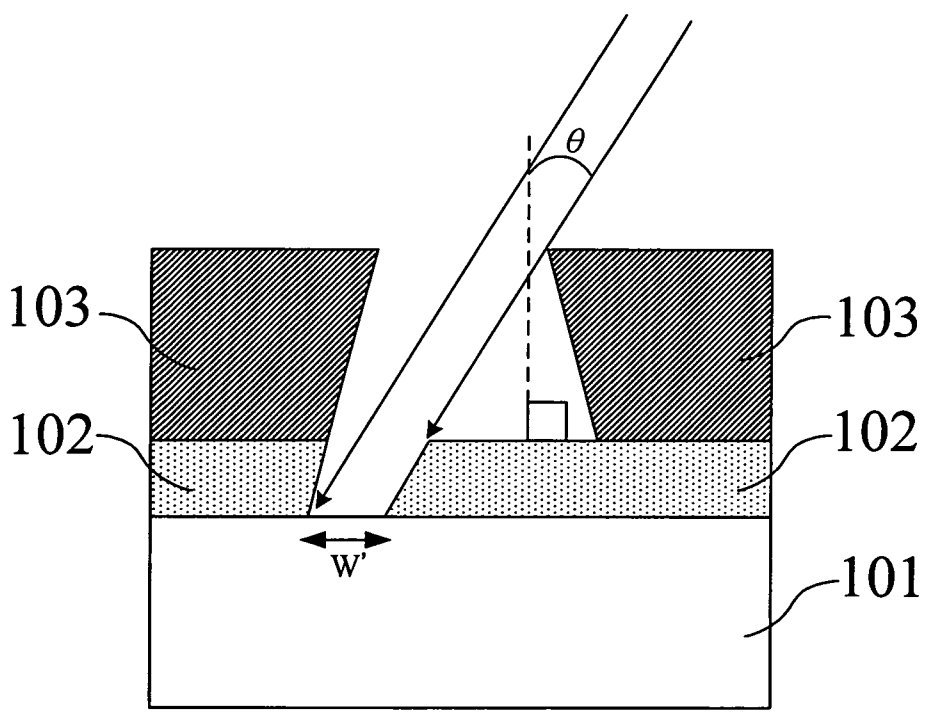
第一 A 圖



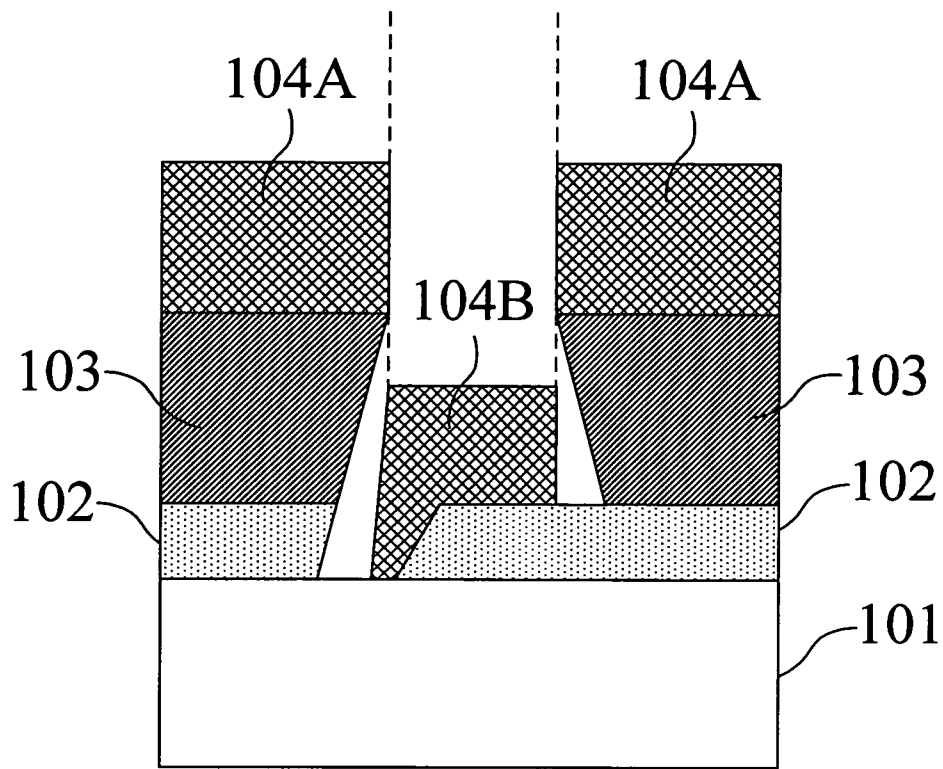
第一 B 圖



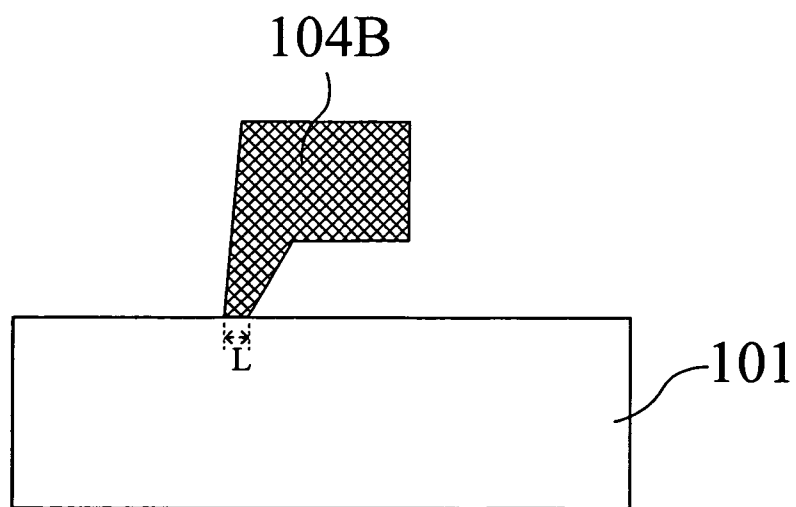
第一 C 圖



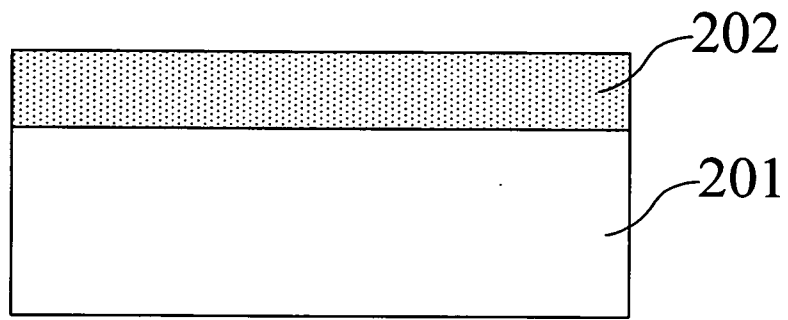
第一 D 圖



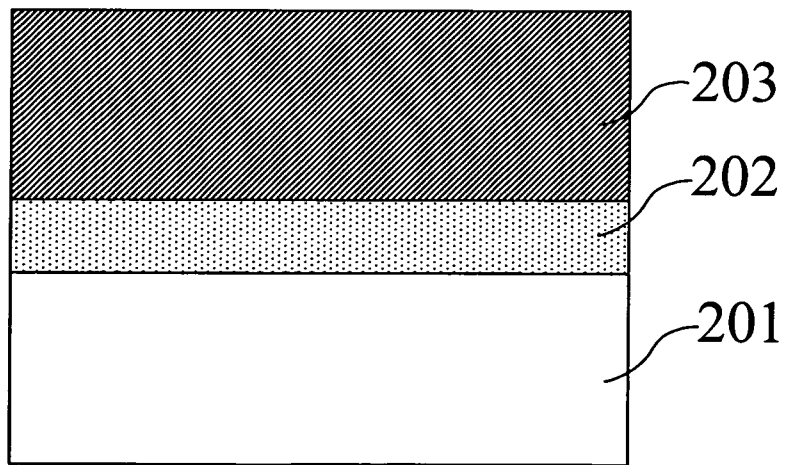
第一 E 圖



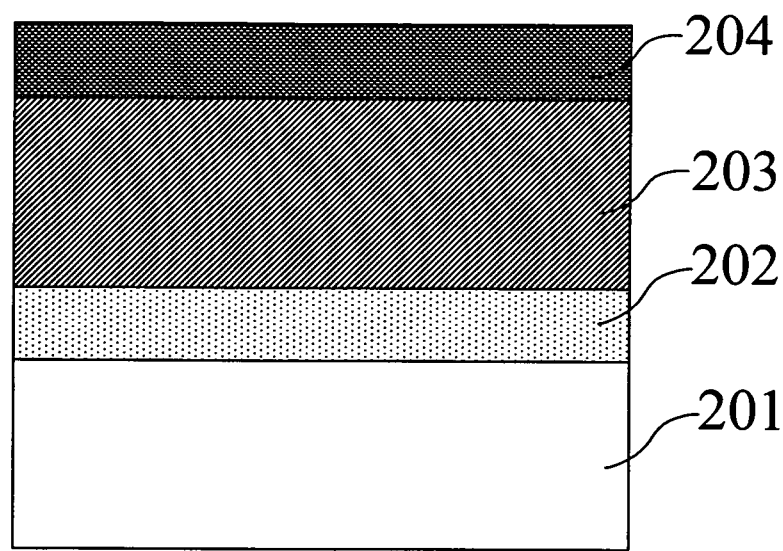
第一 F 圖



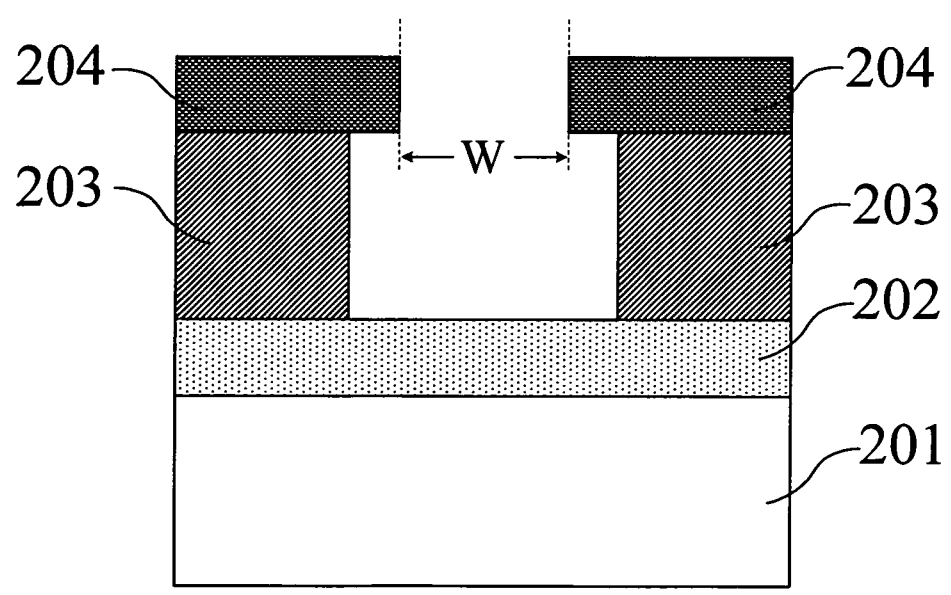
第二 A 圖



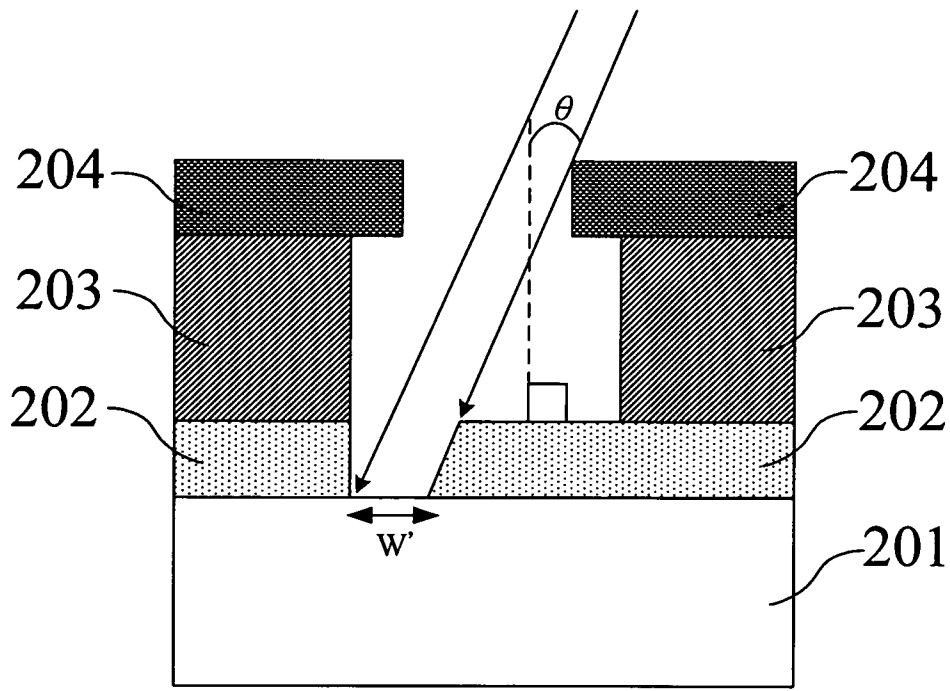
第二 B 圖



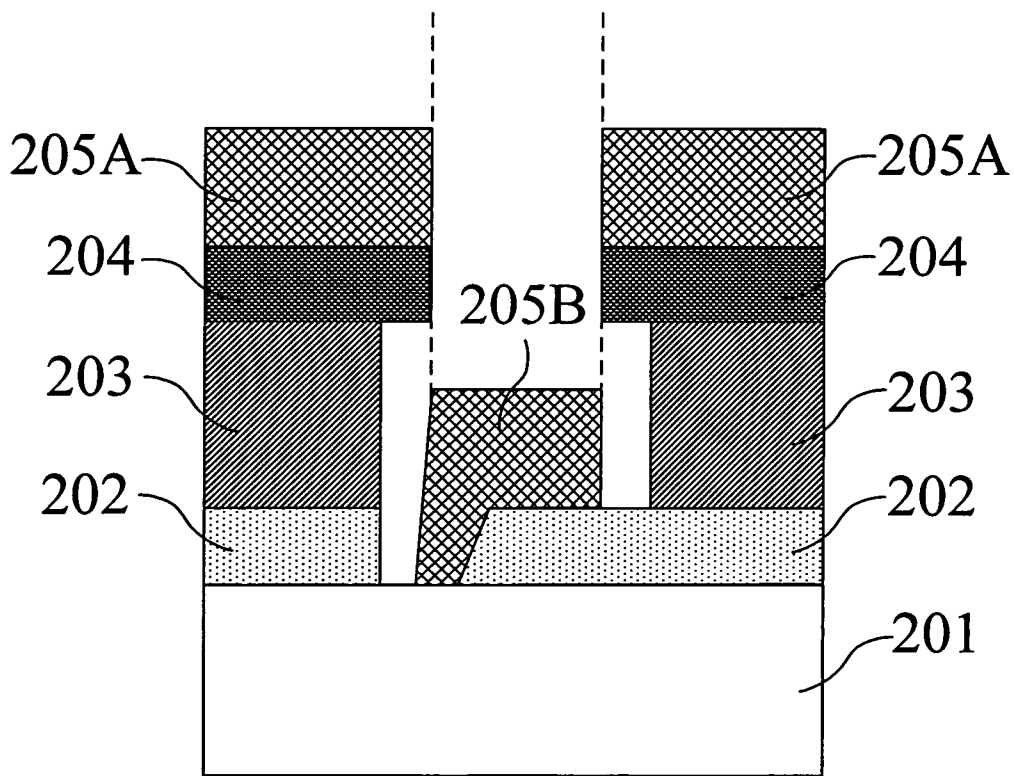
第二 C 圖



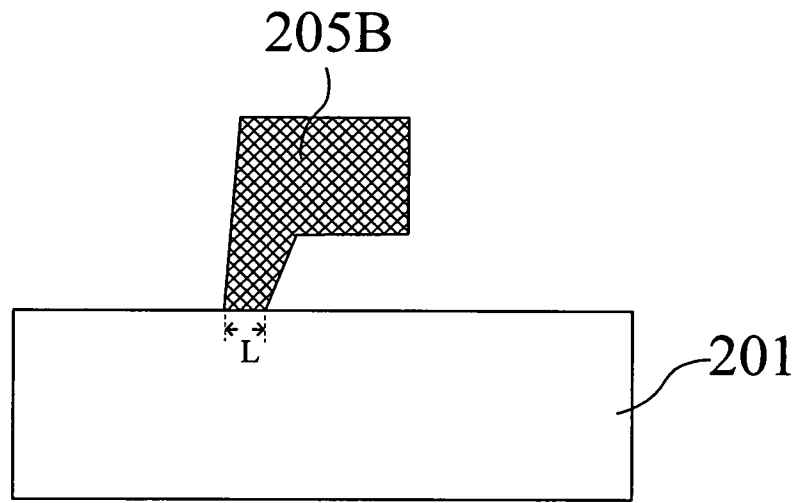
第二 D 圖



第二 E 圖



第二 F 圖



第二 G 圖