



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201411629 A

(43) 公開日：中華民國 103 (2014) 年 03 月 16 日

(21) 申請案號：101132567

(22) 申請日：中華民國 101 (2012) 年 09 月 06 日

(51) Int. Cl. :

*G11C16/10 (2006.01)*

*G11C16/24 (2006.01)*

(71) 申請人：國立交通大學 (中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

(72) 發明人：莊景德 CHUANG, CHING TE (TW) ; 連南鈞 LIEN, NAN CHUN (TW) ; 廖偉男 LIAO, WEI NAN (TW) ; 朱俐璋 CHU, LI WEI (TW) ; 張琦昕 CHANG, CHI SHIN (TW) ; 杜明賢 TU, MING HSIEN (TW)

(74) 代理人：黃孝悌

申請實體審查：有 申請專利範圍項數：9 項 圖式數：3 共 18 頁

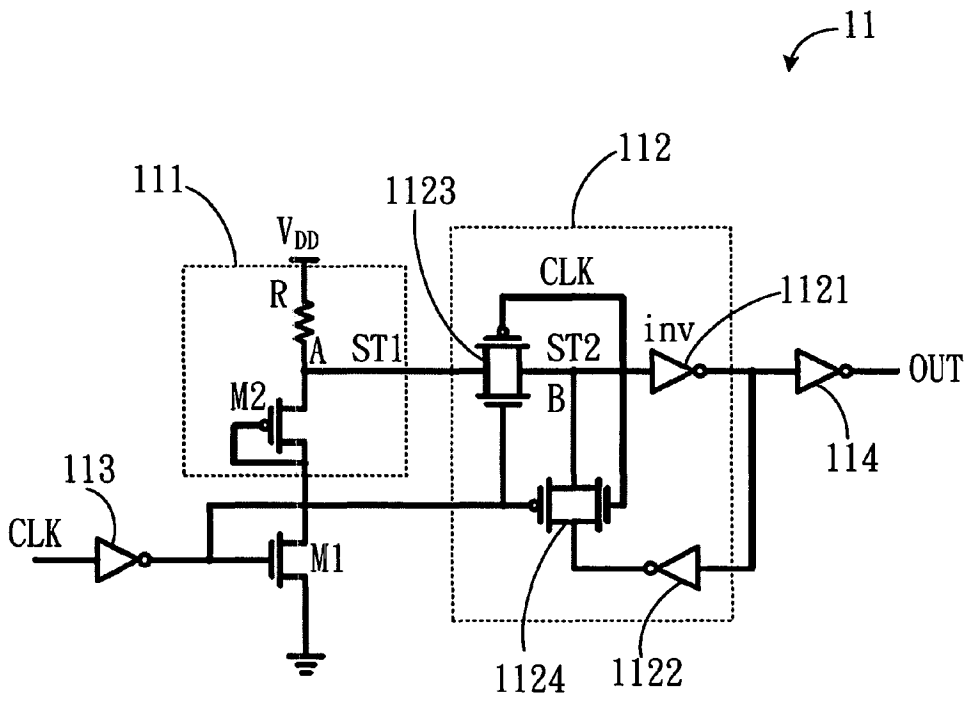
(54) 名稱

靜態隨機存取記憶體的控制電路及其操作方法

CONTROL CIRCUIT OF SRAM AND OPERATING METHOD THEREOF

(57) 摘要

一種靜態隨機存取記憶體的控制電路及其操作方法，其中控制電路包括記憶體陣列、字元線驅動器、升壓電路及電壓準位偵測器。記憶體陣列包括多個記憶胞，每一個記憶胞包括多個電晶體。字元線驅動器用以驅動記憶體陣列中的字元線，以存取記憶胞儲存資料。升壓電路用以提供較高電壓源至字元線驅動器並用以對第一操作電壓進行升壓處理而成第二操作電壓，以提供第二操作電壓。電壓準位偵測器用以偵測第一操作電壓是否需要利用升壓操作來升壓，並依據時脈訊號、第一操作電壓及預設電壓來控制升壓電路之操作。



第 2 圖

- 11：電壓準位偵測器
- 111：偵測單元
- 112：閃鎖單元
- 113：第一反相器
- 114：第二反相器
- 1121：第三反相器
- 1122：第四反相器
- 1123：第一電晶體對
- 1124：第一電晶體對
- A：第一節點
- B：第二節點
- CLK：時脈訊號
- M1：第一電晶體
- M2：第二電晶體
- R：電阻
- ST1：第一節點電壓
- ST2：第二節點電壓
- V<sub>DD</sub>：操作電壓

# 發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：101132567

※申請日：101.9.06

※IPC分類：

G11C 16/10 2006.01

G11C 16/24 2006.01

一、發明名稱：(中文/英文)

靜態隨機存取記憶體的控制電路及其操作方法 / CONTROL  
CIRCUIT OF SRAM AND OPERATING METHOD THEREOF

二、中文發明摘要：

一種靜態隨機存取記憶體的control電路及其操作方法，其中control電路包括記憶體陣列、字元線驅動器、升壓電路及電壓準位偵測器。記憶體陣列包括多個記憶胞，每一個記憶胞包括多個電晶體。字元線驅動器用以驅動記憶體陣列中的字元線，以存取記憶胞儲存資料。升壓電路用以提供較高電壓源至字元線驅動器並用以對第一操作電壓進行升壓處理而成第二操作電壓，以提供第二操作電壓。電壓準位偵測器用以偵測第一操作電壓是否需要利用升壓操作來升壓，並依據時脈訊號、第一操作電壓及預設電壓來控制升壓電路之操作。

三、英文發明摘要：

A control circuit of SRAM and an operating method thereof are provided. The control circuit includes a memory array, a word-line driver, a boost circuit and a voltage level detecting circuit. The memory array includes a plurality of memory cells. Each memory cell includes a plurality of transistors. The word-line driver is to activate the word-line of the memory array

for cell storage data access. The boost circuit is to provide the higher voltage source for the word-line driver and a first operating voltage for boosting the first operating voltage to a second operating voltage. The voltage level detecting circuit is detecting if the first operation voltage needed boosted with boost-operation and a clock signal and controls the operating of the boost circuit based on the clock signal, the first operating voltage and a predetermined voltage.

四、指定代表圖：

(一)本案指定代表圖為：第 2 圖。

(二)本代表圖之元件符號簡單說明：

電壓準位偵測器	11	偵測單元	111
門鎖單元	112	第一反相器	113
第二反相器	114	第三反相器	1121
第四反相器	1122	第一電晶體對	1123
第一電晶體對	1124	電阻	R
第一電晶體	M1	第二電晶體	M2
時脈訊號	CLK	操作電壓	V <sub>DD</sub>
第一節點	A	第二節點	B
第一節點電壓	ST1	第二節點電壓	ST2

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

## 六、發明說明：

### 【發明所屬之技術領域】

本發明記憶體有關，特別是關於一種靜態隨機存取記憶體的控制電路及其操作方法。

### 【先前技術】

傳統的記憶體按其特性其操作型態可以被區分成多個種類。例如：可以區分為動態隨機存取記憶(DRAM)與靜態隨機存取記憶體(SRAM)，其中靜態隨機存取記憶體(SRAM)之記憶胞係由多個電晶體組成，其具有高速的切換速度且不需增加額外的刷新電路。而所謂的「靜態」，是指該種靜態存儲器只要保持通電，裡面儲存的數據就可以恆常保持。相對之下，動態隨機存取記憶體(DRAM)裡面所儲存的數據就需要週期性地更新。然而當電力供應完全停止時，靜態隨機存取記憶體內所儲存的數據仍還是會消失。

靜態隨機存取記憶體(SRAM)普遍應用在可攜式電子裝置與系統整合晶片(SOC)等產品，而目前常用的靜態隨機存取記憶體(SRAM)的設計包括有5個電晶體架構、6個電晶體架構或8個電晶體架構等各式的架構。

然而在先進的半導體製程下，靜態隨機存取記憶體的被寫入(write)的能力較低，必須使用較多的電晶體才能完成一個位元的記憶胞，而使得單位容量較小，消耗功率較大，故而雖使用了字元線升壓電路，但其風險是使得閘極氧化層易被擊穿。

故而為了能產生更有效率的靜態隨機存取記憶體，提供

更好的操作效率與更低的製造成本，需要研發新式之靜態隨機存取記憶體輔助電路，藉以提高靜態隨機存取記憶體的效率且能降低靜態隨機存取記憶體的製造成本。

### 【發明內容】

本發明之一範疇在於提出一種靜態隨機存取記憶體的電路。於一具體實施例中，靜態隨機存取記憶體的電路包括記憶體陣列、字元線驅動器、升壓電路及電壓準位偵測器。記憶體陣列包括多個記憶胞，每一個記憶胞包括多個電晶體。字元線驅動器用以驅動該複數個記憶體陣列中的字元線，以存取該複數個記憶胞儲存資料。升壓電路耦接字元線驅動器與第一操作電壓，以對第一操作電壓進行升壓處理而成第二操作電壓，以提供第二操作電壓。電壓準位偵測器耦接第一操作電壓與時脈訊號，且依據時脈訊號、第一操作電壓及預設電壓來控制升壓電路之操作。

於一實施例中，若第一操作電壓小於預設電壓，電壓準位偵測器致能升壓電路，若第一操作電壓大於預設電壓，電壓準位偵測器控制升壓電路停止對第一操作電壓的升壓處理。

於一實施例中，電壓準位偵測器還包括偵測單元與門鎖單元，偵測單元具有第一節點，門鎖單元具有第二節點，第一節點之電壓等於第二節點之電壓。

於一實施例中，電壓準位偵測器還包括一偵測單元，其分別耦接第一操作電壓與門鎖單元。

於一實施例中，電壓準位偵測器還包括第一反相器與第一電晶體偵測單元，第一反相器耦接時脈訊號，第一電晶體耦

接第一反相器之輸出端、接地端與偵測單元。

於一實施例中，閃鎖單元還包括第二反相器與第三反相器，閃鎖單元耦接偵測單元、時脈訊號及第四反相器。

於一具體實施例中，靜態隨機存取記憶體的控制電路的操作方法，包括：依據時脈訊號、第一操作電壓及預設電壓來控制升壓電路之操作；利用升壓對電路對第一操作電壓升壓至第二操作電壓；以及利用第二操作電壓驅動記憶體陣列之多個電晶體。

於一實施例中，若第一操作電壓小於預設電壓，則控制升壓電路對第一操作電壓升壓至該第二操作電壓。

於一實施例中，若第一操作電壓大於預設電壓，則控制該升壓電路停止對第一操作電壓的升壓處理。

相較於先前技術，根據本發明之靜態隨機存取記憶體的控制電路及其操作方法，係利用電壓準位偵測器來偵測操作電壓( $V_{DD}$ )是否大於預設電壓，若操作電壓大於預設電壓，則關閉升壓電路，若操作電壓小於預設電壓，則致能升壓電路之操作，藉此在這樣的電路設計下，具有較高的容錯律，且能夠避免記憶胞中的電晶體的閘極氧化層因為升壓電路的關係而被擊穿之情形。

故而關於本發明之優點與精神可以藉由以下發明詳述及附圖式解說來得到進一步的瞭解。

## 【實施方式】

第 1 圖顯示本發明之一實施例的功能方塊圖。本發明之實施例的靜態隨機存取記憶體(SRAM)的控制電路 1 包括電壓



準位偵測器 11、升壓電路 12、字元線驅動器 13 及記憶體陣列 14。

本發明第 1 圖的電壓準位偵測器 11 耦接操作電壓  $V_{DD}$  (圖中未示)、接地端(圖中未示)與升壓電路(boost circuit)12。升壓電路 12 耦接操作電壓  $V_{DD}$  (圖中未示)與字元線驅動器(word-line driver)13。字元線驅動器 13 耦接記憶體陣列 14。字元線驅動器 13 用以驅記憶體陣列 14 中的字元線，以存取記憶體陣列 14 中的記憶胞的儲存資料。在本發明中，記憶體陣列 13 為靜態隨機存取記憶體型的記憶體，其可採用 5 個電晶體型式、6 個電晶體型式或 8 個電晶體型式，但並不以此為限。上述升壓電路 12 用以提供較高電壓源至字元線驅動器 13 並用以對第一操作電壓進行升壓處理而成第二操作電壓，以提供第二操作電壓。

第 2 圖顯示本發明之一實施例的電壓準位偵測器的電路圖。電壓準位偵測器 11 用以偵測第一操作電壓  $V_{DD}$  是否需要利用升壓操作來升壓，並依據時脈訊號、第一操作電壓  $V_{DD}$  及預設電壓來控制升壓電路之操作。於第 2 圖中的電壓準位偵測器 11 係包括偵測單元 111、閘鎖單元 112、第一反相器 113、第一電晶體 M1、及第二反相器 114，其中偵測單元 111 還包括電阻 R 與第二電晶體 M2，閘鎖單元 112 還包括第一電晶體對 1123、第二電晶體對 1124、第三反相器 1121 及第四反相器 1122。

在本實施例第 2 圖中，偵測單元 111 耦接操作電壓  $V_{DD}$  與閘鎖單元 112。於本實施例中，第二電晶體 M2 為一 P 型(正型)金屬氧化物半導體場效電晶體(MOS)，但不以此為限。上述偵測單元 111 之電阻 R 的一端耦接操作電壓  $V_{DD}$ ，上述偵測單元

111 之電阻 R 的另一端則耦接第二電晶體 M2 之源極，此外，電阻 R 與第二電晶體 M2 之間還具有第一節點 A。第二電晶體 M2 之閘極還與第二電晶體 M2 之汲級耦接。

於本實施例第 2 圖中，閃鎖單元 112 耦接偵測單元 111、第一電晶體之閘極、第一反相器 113 之輸出端、第二反相器 114 之輸入端。第一電晶體 M1 為一 N 型(負型)金屬氧化物半導體場效電晶體，但不以此為限。前述第一反相器 113 之輸入端用以接收一時脈訊號 CLK，第一反相器 113 之輸出端則耦接至第一電晶體 M1 的閘極。第一電晶體 M1 的汲極耦接第二電晶體 M2 的汲極，第一電晶體 M1 的源極則接地。

於本實施例第 2 圖中，第一電晶體對 1123 包括一個正型金屬氧化物半導體場效電晶體與一個負型金屬氧化物半導體場效電晶體，第二電晶體對 1124 亦包括一個正型金屬氧化物半導體場效電晶體與一個負型金屬氧化物半導體場效電晶體，其中第一電晶體對 1123 之 P 型 MOS 電晶體的閘極與第二電晶體對 1124 之 N 型電晶體之閘極係接收時脈訊號 CLK，第一電晶體對 1123 之 N 型 MOS 電晶體的閘極與第二電晶體對 1124 之 P 型電晶體之閘極則耦接至第一反相器 113 之輸出端，以接收一反相的時脈訊號。第一電晶體對還耦接至第一節點 A。

此外，第 2 圖中閃鎖單元 112 之第一電晶體對 1123 與第二電晶體對 1124 之間還具有第二節點 B，其中第一節點 A 與第二節點 B 之電壓準位在本實施例中是相同的，但在其他實施例中，第一節點 A 與第二節點 B 之電壓準位可以容許有些微不同。在本實施例中，閃鎖單元 112 所包括的第三反相器 1121 之輸入端耦接第二節點 B，第四反相器 1122 之輸入端耦接第

三反相器 1121 之輸出端，第四反相器 1122 之輸出端還耦接至第二電晶體對 1124。此外，電壓準位偵測器 11 之第二反相器 114 之輸入端分別耦接第三反相器 1121 之輸出端與第四反相器 1122 之輸入端。第二反相器 114 之輸出端則用以耦接至升壓電路 12，以控制升壓電路 12 之操作。

第 3 圖顯示本發明靜態隨機存取記憶體的控制電路的操作方法，有關其說明，敬請一併參照第 1 圖與第 2 圖。於步驟 S305 中，電壓準位偵測器 1 依據時脈訊號 CLK、操作電壓  $V_{DD}$  及預設電壓來控制升壓電路 12 之操作。在本實施例中，預設電壓例如為第三反相器 1121 之轉態輸入電壓。步驟 S305 的進一步說明如下。第一電晶體對 1123 在導通時，第一節點電壓 ST1 實質上等於第二節點電壓 ST2。是故，電壓準位偵測器 1 依據時脈訊號 CLK 來控制第一電晶體 M1、第二電晶體 M2 以及閘鎖單元 112，以利用第一節點電壓 ST1 來進一步與第三反相器 1121 之轉態輸入電壓進行比較，進而透過第二反相器 114 輸出一控制訊號至升壓電路 12。

於第 3 圖中，若操作電壓  $V_{DD}$  透過 M2 電流源產生電流造成電阻 R 的壓降變化準位，ST1，小於上述預設電壓，則電壓準位偵測器 11 控制升壓電路 12 停止對操作電壓  $V_{DD}$  進行升壓處理；若操作電壓 ST1 大於上述預設電壓，則電壓準位偵測器 11 所送出的控制訊號致能升壓電路 12。

於第 3 圖中，於步驟 S310 中，當電壓準位偵測器 11 所送出的控制訊號致能升壓電路 12 時，升壓電路 12 依據上述控制訊號來將操作電壓  $V_{DD}$  升壓至另一操作電壓  $V_{DD}'$ 。當電壓準位偵測器 11 所送出的控制訊號停止升壓電路 12 操作時，升壓電

路 12 則停止升壓處理，以避免升壓電路 12 所提供之輸出電壓擊穿氧化閘極。

於第 3 圖之步驟 S315 中，字元線驅動器 13 則利用經由升壓電路 12 所處理之操作電壓  $V_{DD}'$  來驅動記憶體陣列 14 中的多個電晶體。

相較於先前技術，本發明實施例利用簡單的數位電路以判斷操作電壓  $V_{DD}$  是否高於預設電壓，進而決定升壓電路的操作，本發明的電路搭配字元線驅動器將有較高的容錯率且能夠避免擊穿閘極氧化層，更藉以提高靜態隨機存取記憶體的操作效率且能降低靜態隨機存取記憶體的製造成本。

以上所述僅為本發明之較佳實施例而已，並非用以限定本發明之申請專利範圍；凡其它未脫離本發明所揭示之精神下所完成之等效改變或修飾，均應包含在下述之申請專利範圍內。

### 【圖式簡單說明】

第 1 圖顯示本發明之一實施例的功能方塊圖。

第 2 圖顯示本發明之一實施例的電壓準位偵測器的電路圖。

第 3 圖顯示本發明靜態隨機存取記憶體之控制電路的操作方法。

### 【主要元件符號說明】

控制電路	1	電壓準位偵測器	11
升壓電路	12	字元線驅動器	13

記憶體陣列	14	偵測單元	111
門鎖單元	112	第一反相器	113
第二反相器	114	第三反相器	1121
第四反相器	1122	第一電晶體對	1123
第一電晶體對	1124	電阻	R
第一電晶體	M1	第二電晶體	M2
時脈訊號	CLK	操作電壓	V <sub>DD</sub>
第一節點	A	第二節點	B
第一節點電壓	ST1	第二節點電壓	ST2
步驟	S305~S315		

## 七、申請專利範圍：

1. 一種靜態隨機存取記憶體的控制電路，包括：

一記憶體陣列，包括多個記憶胞，每一個記憶胞包括多個電晶體；

一字元線驅動器，用以驅動該記憶體陣列中的字元線，以存取該複數個記憶胞儲存資料；

一升壓電路，耦接該字元線驅動器與一第一操作電壓，以對該第一操作電壓進行一升壓處理而成一第二操作電壓，以提供該第二操作電壓；以及

一電壓準位偵測器，耦接該第一操作電壓與一時脈訊號，且依據該時脈訊號、該第一操作電壓及一預設電壓來控制該升壓電路之操作。

2. 如申請專利範圍第1項所述之控制電路，其中若該第一操作電壓大於該預設電壓，該電壓準位偵測器控制該升壓電路停止對該第一操作電壓的該升壓處理，若該第一操作電壓小於該預設電壓，該電壓準位偵測器致能該升壓電路。

3. 如申請專利範圍第1項所述之控制電路，其中該電壓準位偵測器還包括一偵測單元與一閘鎖單元，該偵測單元具有一第一節點，該閘鎖單元具有一第二節點，該第一節點之電壓等於該第二節點之電壓。

4. 如申請專利範圍第1項所述之控制電路，其中該電壓準位偵測器還包括一偵測單元，其分別耦接該第一操作電壓與一閘鎖單元。

5. 如申請專利範圍第4項所述之控制電路，其中該電壓準位偵測器還包括一第一反相器與一第一電晶體，該第一反相器

耦接該時脈訊號，該第一電晶體耦接該第一反相器之輸出端、一接地端與該偵測單元。

6. 如申請專利範圍第4項所述之控制電路，其中該閃鎖單元還包括一第二反相器與一第三反相器，該閃鎖單元耦接該偵測單元、該時脈訊號及一第四反相器。

7. 一種靜態隨機存取記憶體的控制電路的操作方法，包含：

依據一時脈訊號、一第一操作電壓及一預設電壓來控制一升壓電路之操作；

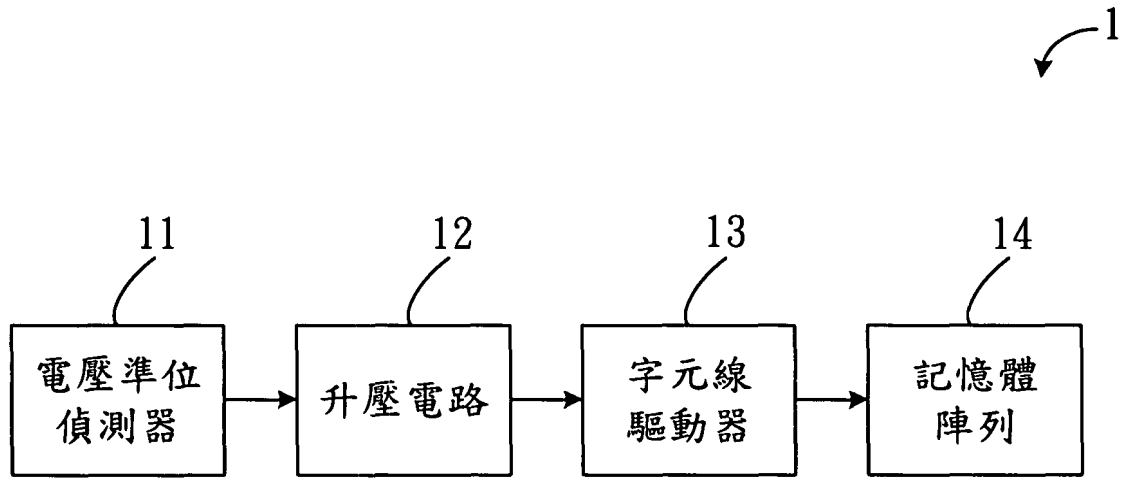
利用該升壓對電路對該第一操作電壓升壓至一第二操作電壓；以及

利用該第二操作電壓驅動一記憶體陣列之多個電晶體。

8. 如申請專利範圍第7項所述之操作方法，其中於該依據該時脈訊號、該第一操作電壓及該預設電壓以控制該升壓電路之操作的步驟中，若該第一操作電壓小於該預設電壓，則控制該升壓電路對該第一操作電壓升壓至該第二操作電壓。

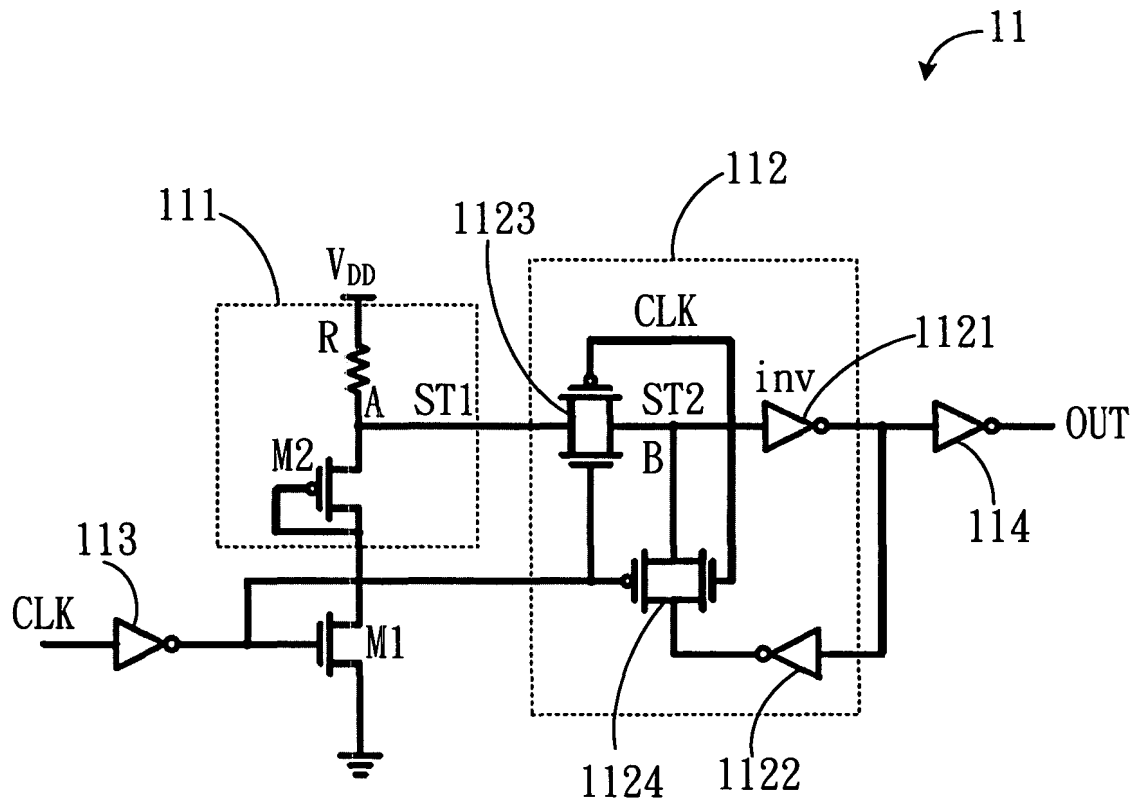
9. 如申請專利範圍第7項所述之操作方法，其中於該依據該時脈訊號、該第一操作電壓及該預設電壓來控制該升壓電路之操作的步驟中，若該第一操作電壓大於該預設電壓，則控制該升壓電路停止對該第一操作電壓的該升壓處理。

八、圖式：

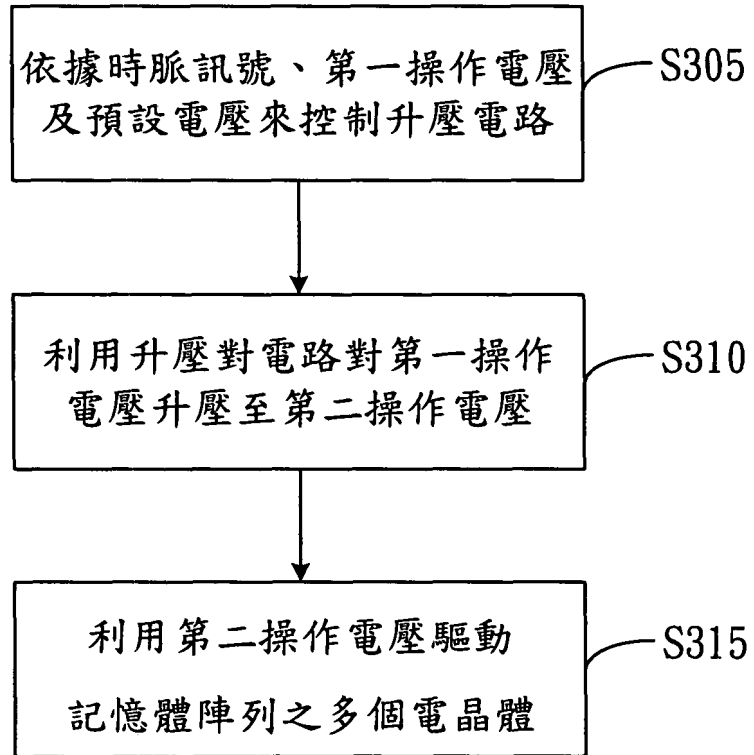


第 1 圖





第 2 圖



第 3 圖