



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201409443 A

(43)公開日：中華民國 103 (2014) 年 03 月 01 日

(21)申請案號：101131434

(22)申請日：中華民國 101 (2012) 年 08 月 29 日

(51)Int. Cl.：

G09G3/20 (2006.01)

G09G3/36 (2006.01)

(71)申請人：凌巨科技股份有限公司 (中華民國) GIANTPLUS TECHNOLOGY CO., LTD (TW)

苗栗縣頭份鎮工業路 15 號

國立交通大學 (中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

(72)發明人：劉柏村 LUI, PO TSUN (TW)；竹立煒 CHU, LI WEI (TW)；鄭光廷 ZHENG, GUANG TING (TW)；陳俊諺 CHEN, CHUN YEN (TW)；郭奕君 KUO, YI CHUN (TW)；周凱茹 CHOU, KAI JU (TW)；吳哲耀 WU, CHE YAO (TW)；黃柏鈞 HUANG, PO CHUN (TW)；賴谷皇 LAI, KU HUANG (TW)

(74)代理人：蔡秀玫

申請實體審查：有 申請專利範圍項數：10 項 圖式數：3 共 28 頁

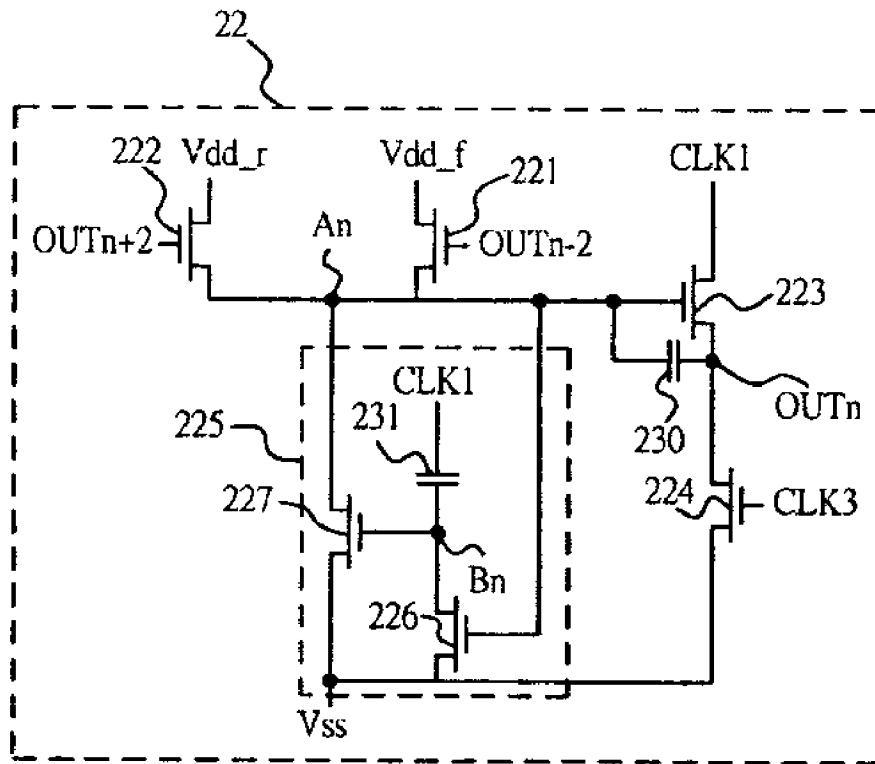
(54)名稱

雙向掃描驅動電路

A DRIVING CIRCUIT FOR BI-DIRECTION SCANNING.

(57)摘要

本發明為一種雙向掃描驅動電路，其包含 n 級驅動模組，每一級驅動模組包含輸出單元、正向輸入單元與反向輸入單元，該些驅動模組接收複數時脈訊號並接收第一輸入電壓與第二輸入電壓。正向輸入單元接收該第一輸入電壓與 $n-2$ 級以上的任一該些驅動模組之前正向掃描訊號，以對輸出單元之控制端充放電；反向輸入單元接收該第二輸入電壓與 $n+2$ 級以上的任一該些驅動模組之後反向掃描訊號，以對輸出單元之控制端充放電。當正向輸入單元對輸出單元之控制端充電時，輸出單元輸出正向掃描訊號，當反向輸入單元對輸出單元之控制端充電時，輸出單元輸出反向掃描訊號。



第一B圖

22：驅動模組

221：正向輸入單元

222：反向輸入單元

223：輸出單元

224：第一雜訊消除單元

225：第二雜訊消除單元

226：第一電晶體

227：第二電晶體

230：第一電容

231：第二電容



發明專利說明書

※記號部分請勿填寫

※申請案號：101131434

※IPC分類：

※申請日：

101.8.29

G09G 3/30 (2006.01)
G09G 3/36 (2006.01)

一、發明名稱：

雙向掃描驅動電路

A driving circuit for bi-direction scanning.

二、中文發明摘要：

本發明為一種雙向掃描驅動電路，其包含 n 級驅動模組，每一級驅動模組包含輸出單元、正向輸入單元與反向輸入單元，該些驅動模組接收複數時脈訊號並接收第一輸入電壓與第二輸入電壓。正向輸入單元接收該第一輸入電壓與 $n-2$ 級以上的任一該些驅動模組之前正向掃描訊號，以對輸出單元之控制端充放電；反向輸入單元接收該第二輸入電壓與 $n+2$ 級以上的任一該些驅動模組之後反向掃描訊號，以對輸出單元之控制端充放電。當正向輸入單元對輸出單元之控制端充電時，輸出單元輸出正向掃描訊號，當反向輸入單元對輸出單元之控制端充電時，輸出單元輸出反向掃描訊號。

三、英文發明摘要：

A driving circuit for bi-direction scanning according to the present invention is disclosed. The driving circuit includes n stage driving modules, and each stage driving module includes an output unit, a forward input unit and a backward input unit. The driving modules receive a first and a second input voltages and a plurality of clock signals. The forward input unit receives the first input voltage and a front forward scanning signal from one of $n-2$ stage driving modules to charge/discharge a control terminal of the output unit. The backward input unit receives the second input voltage and a back backward scanning signal from one of $n+2$ stage driving modules to

charge/discharge the control terminal of the output unit. The output unit outputs a forward scanning signal when the forward input unit charges the control terminal of the output unit, and the output unit outputs a backward scanning signal when the backward input unit charges the control terminal of the output unit.

四、指定代表圖：

(一)本案指定代表圖為：第 一 B 圖

(二)本代表圖之元件符號簡單說明：

- 22 驅動模組
- 221 正向輸入單元
- 222 反向輸入單元
- 223 輸出單元
- 224 第一雜訊消除單元
- 225 第二雜訊消除單元
- 226 第一電晶體
- 227 第二電晶體
- 230 第一電容
- 231 第二電容

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

六、發明說明：

【發明所屬之技術領域】

[0001] 本發明係有關於一種驅動電路，特別是指一種雙向掃描驅動電路。

【先前技術】

[0002] 隨著現今科技蓬勃發展，資訊商品種類推陳出新，滿足了大眾不同的需求。由於液晶顯示裝置(Liquid Crystal Display, LCD)具有輕薄短小、低輻射劑量與低耗電量等優點，而傳統顯示裝置具有體積大、高耗電量與高輻射劑量，因此，現今市面上的顯示裝置漸漸將由液晶顯示裝置取代傳統顯示裝置，也因此液晶顯示裝置成為目前顯示裝置市場的主流。無論哪一類型液晶顯示裝置皆是需要設置驅動電路，用以驅動液晶面板，而在薄膜電晶體(Thin-Film Transistor, TFT)面板上，雙向掃描驅動電路用以控制畫素結構之TFT是否接收來自資料驅動電路所提供之資料訊號，藉此以讓畫素結構之畫素電極具對應資料訊號之電壓，因而構成共同電極與畫素電極之間形成電場，以驅動位於共同電極與畫素電極之間的液晶轉動，同時藉由電場的強度變化而調整液晶的轉動角度，由於雙向掃描驅動電路為輸出掃描訊號至TFT之閘極，用以驅動薄膜電晶體，因此雙向掃描驅動電路亦可稱為閘極驅動電路。

一般傳統薄膜電晶體液晶顯示器(TFT-LCD)面板是由一片薄膜電晶體(TFT)面板玻璃，與另一片彩色濾光片(Color Filter)玻璃貼合而成，二層玻璃中間再灌入液晶分子。而為了減少元件數目並降低製造成本，近年來

逐漸發展成將驅動電路結構直接製作於顯示面板上，例如採用將閘極驅動電路(gate driver)整合於液晶面板(gate on array, GOA)之技術，也就是將掃描驅動電路整合於液晶面板上，其為新型的量產技術，是在TFT面板的玻璃完成薄膜電晶體陣列(Array)製程後，再接著進行彩色濾光片的製程，且可提昇面板的畫素開口率並可有效提昇面板的亮度。

如此，掃描驅動電路在要求反應迅速且輕薄化設計的液晶面板需求下，又支援雙向掃描，需減低電路元件之相互影響，並需減低訊號之間的干擾，因此掃描驅動電路即需簡化雙向掃描之控制電路布局，且針對充放電進行雜訊消除。

有鑑於此，本發明提出一種雙向掃描驅動電路，其簡化充放電機制而減少雙向掃描所需之電晶體，又可應用於GOA技術而讓驅動電路設置於薄型面板。

【發明內容】

[0003] 本發明之一目的，在於提供一種雙向掃描驅動電路，其提供雙向掃描之掃描訊號。

本發明之一目的，在於提供一種雙向掃描驅動電路，其簡化驅動電路，以降低電路使用面積。

本發明之一目的，在於提供一種雙向掃描驅動電路，其提供複數時脈訊號至驅動電路而減少電晶體之操作時間，以降低功率消耗。

本發明係提供一種雙向掃描驅動電路，其包含n級驅動模組，該些驅動模組接收複數時脈訊號並分別接收一第一輸入電壓與一第二輸入電壓，該些驅動模組產生複

數掃描訊號並依序輸出至一顯示面板，該些驅動模組分別包含一輸出單元、一正向輸入單元與一反向輸入單元，其中正向輸入單元與反向輸入單元耦接輸出單元。正向輸入單元接收第一輸入電壓與 $n-2$ 級以上的任一該些驅動模組之一前正向掃描訊號，正向輸入單元依據第一輸入電壓與前正向掃描訊號對該輸出單元之一控制端充放電；反向輸入單元接收第二輸入電壓與 $n+2$ 級以上的任一該些驅動模組之一後反向掃描訊號，反向輸入單元依據第二輸入電壓與後反向掃描訊號對輸出單元之控制端充放電。輸出單元接收該些時脈訊號之一第一時脈訊號，以在正向輸入單元對該輸出單元充電時，產生一正向掃描訊號，並在反向輸入單元對輸出單元充電時，產生一反向掃描訊號。

茲為使 貴審查委員對本發明之結構特徵及所達成之功效更有進一步之瞭解與認識，謹佐以較佳之實施例圖及配合詳細之說明，說明如後：

【實施方式】

[0004] 請參閱第一A圖，其為本發明之一實施例之顯示裝置的方塊圖。如圖所示，顯示裝置10包含一雙向掃描驅動電路20、一資料驅動電路30與一顯示面板40，雙向掃描驅動電路20包含複數虛擬驅動模組與複數驅動模組，本實施例之虛擬驅動模組係以一第1虛擬驅動模組201、一第2虛擬驅動模組202、一第3虛擬驅動模組203、一第4虛擬驅動模組204、一第5虛擬驅動模組205、一第6虛擬驅動模組206、一第7虛擬驅動模組207與一第8虛擬驅動模組208作為舉例說明，本實施例之顯示裝置10係以800

條掃描線作為舉例說明，因此驅動模組22之個數為800個。
顯示面板40包含複數畫素結構402。

顯示面板40上設有複數掃描線GL與複數資料線DL，
雙向掃描驅動電路20之該些驅動模組22係分別經該些掃描線GL耦接至該些畫素結構402，資料驅動電路30經該些資料線DL耦接至該些畫素結構402，其中本實施例之掃描驅動電路20分開設置於顯示面板40之兩側，但本發明不限於此，更可整合於顯示面板40之一側，且本實施例之該些驅動模組22係以奇數序列設置於顯示面板40之左側，並以偶數序列設置於顯示面板40之右側。顯示面板40之左側係以一第1驅動模組22a、一第3驅動模組22c與一第5驅動模組22e以及依據序列至一第795驅動模組22u、一第797驅動模組22w與一第799驅動模組22y做舉例說明；顯示面板40之右側係一第2驅動模組22b、一第4驅動模組22d與一第6驅動模組22f以及依據序列至一第796驅動模組22v、一第798驅動模組22x與一第800驅動模組22z做舉例說明。

顯示裝置40藉由該些驅動模組22依序輸出掃描訊號至該些畫素結構402之電晶體，以驅動控制該些畫素結構402接收資料驅動電路30所輸出之資料訊號，由於該些驅動模組22需分別與 $n-2$ 級驅動模組及 $n+2$ 級驅動模組作電性連接，但左右兩側之最前二級驅動模組22與最後二級驅動模組22已在最邊緣之設置位置，所以左右兩側分別設置一第1虛擬驅動模組201、一第2虛擬驅動模組202、一第3虛擬驅動模組203、一第4虛擬驅動模組204、一第5虛擬驅動模組205、一第6虛擬驅動模組206、一第7虛

擬驅動模組207與一第8虛擬驅動模組208。

第1虛擬驅動模組201與第3虛擬驅動模組203為對應第1驅動模組22a、第3驅動模組22c與第5驅動模組22e，第2虛擬驅動模組202與第4虛擬驅動模組204對應於第2驅動模組22b、第4驅動模組22d與第6驅動模組22f，第5虛擬驅動模組205與第7虛擬驅動模組207對應於第795驅動模組22u、第797驅動模組22w與第799驅動模組22y，第6虛擬驅動模組206與第8虛擬驅動模組208對應於第796驅動模組22v、第798驅動模組22x與第800驅動模組22z。由於本發明之驅動模組22為接收 $n-2$ 級驅動模組之輸出訊號並將輸出訊號傳送至 $n+2$ 級驅動模組，所以第1驅動模組22a與第3驅動模組22c需分別依據第1虛擬驅動模組201與第3虛擬驅動模組203所輸出之輸出訊號提供掃描訊號，而第1虛擬驅動模組201與第3虛擬驅動模組203為分別接收外部輸入訊號，以對應輸出第1驅動模組22a與第3驅動模組22c所需之輸入訊號，其他諸如第2虛擬驅動模組202與第4虛擬驅動模組204、第5虛擬驅動模組205與第7虛擬驅動模組207以及第6虛擬驅動模組206與第8虛擬驅動模組208等組合亦是如此傳輸訊號。

本發明之顯示裝置10係支援雙向掃描，亦即雙向掃描驅動電路20輸出掃描訊號之順序可依正向掃描方向而讓該些驅動模組22由上往下依序輸出掃描訊號，例如以依序從第1驅動模組22a產生掃描訊號至第800驅動模組22z產生掃描訊號，亦可依反向掃描方向而讓該些驅動模組22由下往上依序輸出掃描訊號，例如以依序從第800驅動模組22z產生並輸出與掃描訊號第1驅動模組22a產生並

輸出掃描訊號。

請一併參閱第一B圖驅動模組的方塊圖。如圖所示，本發明之驅動模組22為應用於顯示面板的一驅動電路，例如：雙向掃描驅動電路包含複數驅動模組22，以產生複數掃描訊號而掃描顯示面板的該些畫素結構，其中，驅動模組22係包含一正向輸入單元221、一反向輸入單元222與一輸出單元223。此外，驅動模組22更包含一第一雜訊消除單元224、一第二雜訊消除單元225與一第一電容230，其中第二雜訊消除單元225包含一第一電晶體226、一第二電晶體227與一第二電容231。

正向輸入單元221之一第一端耦接至 $n-2$ 級以上的任一驅動模組22之一前輸出端 OUT_{n-2} ，例如：如第一A圖所示之第1虛擬驅動模組201之輸出端連接至第1驅動模組22a之正向輸入單元的第一端，第3虛擬驅動模組203之輸出端耦接至第3驅動模組22c之正向輸入單元的第一端，而第1驅動模組22a之輸出端耦接第5驅動模組22e之正向輸入單元的第一端。正向輸入單元221之一第二端接收一第一輸入電壓 Vdd_f ，而反向輸入單元222之一第一端耦接至 $n+2$ 級以上的任一驅動模組22之一後輸出端 OUT_{n+2} ，反向輸入單元222之一第二端接收該第二輸入電壓 Vdd_r ，且正向輸入單元221之一第三端與反向輸入單元222之一第三端分別耦接輸出單元223之一控制端 An 。輸出單元223之一第一端耦接至控制端 An ，輸出單元223之一第二端接收一第一時脈訊號 $CLK1$ ，輸出單元223之一第三端經第一電容230耦接至一輸出端 OUT_n 。第一雜訊消除單元224之一第一端接收一第三時脈訊號 $CLK3$ ，第一雜訊

消除單元224之一第二端耦接至輸出端OUTn，第一雜訊消除單元224之一第三端耦接至一參考電位Vss，第一電容230耦接於控制端An與輸出端OUTn之間，也就是第一電容230之第一端耦接控制端An，第一電容230之第二端耦接輸出端OUTn。本實施例之第一雜訊消除單元224係接收第三時脈訊號CLK3，但本發明不限於此，第一雜訊消除單元224更可改為接收第二時脈訊號CLK2或接收第四時脈訊號CLK4。

第二雜訊消除單元225係耦接於控制端An，因此第二雜訊消除單元225耦接正向輸入單元221、反向輸入單元222與輸出單元223，且第二雜訊消除單元225亦接收第一時脈訊號CLK1，其中，第二電容231接收第一時脈訊號CLK1並耦接第一電晶體226與第二電晶體227，第一電晶體226之第一端與第二電晶體227之第一端分別耦接至控制端An，而第一電晶體226之第二端與第二電晶體227之第二端分別耦接參考電位Vss。

正向輸入單元221經前輸出端OUTn-2接收一前正向掃描訊號，以依據第一輸入電壓Vdd_f與前正向掃描訊號而對控制端An充放電，且正向輸入單元221在依據第一輸入電壓Vdd_f與前正向掃描訊號而對輸出單元223充電時，輸出單元223即依據所接收之第一時脈訊號CLK1而產生一正向掃描訊號至輸出端OUTn；當正向輸入單元221對輸出單元223充電以讓輸出單元223輸出正向掃描訊號時，反向輸入單元222於輸出單元223產生正向掃描訊號一段時間後對輸出單元223之控制端An放電，特別是，反向輸入單元222於輸出單元223產生正向掃描訊號後經一個時

脈週期時間(clock cycle time)對該輸出單元223之控制端An進行放電，例如：如第二A圖所示，對應輸出端OUTn之輸出訊號於T3時脈週期時間產生時，反向輸入單元222於T5時脈週期時間內對控制端An放電，因而呈現電位下滑之曲線，因而讓正向輸入單元221對控制端An充電而形成之電位下拉。本實施例之驅動模組22藉由上述之操作而達成正向掃描模式之運作。

反向輸入單元222依據第二輸入電壓Vdd_r與後反向掃描訊號對輸出單元223之控制端An充放電，反向輸入單元222依據第二輸入電壓Vdd_r與後反向掃描訊號對輸出單元223之控制端An充電，而輸出單元223產生一反向掃描訊號至輸出端OUTn；當反向輸入單元222對輸出單元223充電以讓輸出單元223輸出反向掃描訊號時，正向輸入單元221於輸出單元223產生反向掃描訊號一段時間後對輸出單元223之控制端An放電，特別是，正向輸入單元221於輸出單元223產生反向掃描訊號後經一個時脈週期時間對輸出單元223之控制端An放電，例如：如第二B圖所示，驅動模組22之輸出端OUTn所對應之輸出訊號於T3時脈週期時間產生時，正向輸入單元221於T5週期時間對控制端An放電。本實施例之驅動模組22藉由上述之充放電而達成反向掃描模式之運作。

此外，復參閱第一B圖，本實施例之第一雜訊消除單元224依據第三時脈訊號CLK3而消除輸出單元223之雜訊，但本發明不限於此，第一雜訊消除單元224可改以接收其他之時脈訊號而消除輸出單元223之雜訊，也就是雜訊消除單元224依據第二時脈訊號CLK2、第三時脈訊號

CLK3或第四時脈訊號CLK4而消除輸出單元223之雜訊。

第二雜訊消除單元225濾除輸出單元223之控制端An之雜訊，其中，第二電容231依據第一時脈訊號CLK1產生一控制準位Bn，第一電晶體226依據控制端An之電位而濾除控制準位Bn是否下拉，進而控制第二電晶體227濾除控制端An之雜訊。

請一併參閱第二A圖與第二B圖，其為本發明之一實施例之驅動訊號於正向掃描與反向掃描的波形圖。如第二A圖所示，其為一驅動電路操作於正向掃描模式下所呈現之波形圖。驅動模組22於正向掃描模式下時，正向輸入單元221為用以對控制端An充電，而反向輸入單元222於正向掃描模式下，卻是在輸出單元223產生該正向掃描訊號後經一個時脈週期時間(clock cycle time)，以對該輸出單元223之該控制端An進行放電，因此第一輸入電壓Vdd_f為高準位(Vdd)，而第二輸入電壓Vdd_r為低準位，本實施例是將第二輸入電壓Vdd_r下拉至參考電位Vss。

復一併參閱第一B圖，當執行T1時脈週期時間時，正向輸入單元221依據前輸出端OUTn-2之掃描訊號而導通，以對控制端An充電，同時輸出端OUTn為低電位，當執行T2時脈週期時間時，控制端An為浮接點(floating point)，因此控制端An不再受到正向輸入單元221之充電，當執行T3時脈週期時間時，控制端An為浮接點，同時基於控制端An之高電位而驅使輸出單元223接收第一時脈訊號CLK1並將第一時脈訊號CLK1之電壓傳送至輸出端OUTn，並透過第一電容230抬升控制端An之電位，而讓

輸出單元223對輸出端OUTn快速充電。

當執行T4時脈週期時間時，控制端An為浮接點，第一時脈訊號CLK1為低電位，輸出端OUTn經輸出單元223放電至低電位(即參考電位Vss)，當執行T5時脈週期時間時，控制端An經反向輸入單元222放電至低電位，輸出端OUTn經第一雜訊消除單元224維持在低電位，當執行T6時脈週期時間時，控制端An為浮接點，當執行T7時脈週期時間時，控制端An會基於輸出單元223之寄生電容而產生雜訊，但同時第二雜訊消除單元225之第二電晶體227導通，而將控制端An下拉至穩定之低電位，而消除寄生電容之雜訊。

如第二B圖所示，其為該驅動電路操作於反向掃描模式下所呈現之波形圖。由於第二A圖為第二B圖之相反情況，所以變成反向輸入單元222對控制端An充電，而正向輸入單元221是在輸出單元223產生該反向掃描訊號後經一個時脈週期時間(clock cycle time)，以對輸出單元223之控制端An進行放電，因此第二輸入電壓Vdd_r為高準位(Vdd)，而第一輸入電壓Vdd_f為低準位，本實施例是將第一輸入電壓Vdd_f下拉至參考電位Vss。復參閱第二B圖，驅動模組22於T1至T7時脈週期時間改以反向輸入單元222對控制端An充電，而由正向輸入單元221對控制端An放電，其餘操作方式同於第二A圖之實施例所述。

由以上所述可知，本發明之驅動模組22藉由正向輸入單元221與反向輸入單元222分別對控制端An充電，以驅動輸出單元223提供不同掃描模式之掃描訊號，且本發明之驅動模組22在任一掃描模式僅需正向輸入單元221與

反向輸入單元222輪替對控制端An充放電，因而簡化電路。再者，由於第二雜訊消除單元225為透過第二電容231接收第一時脈訊號CLK1，因而避免時脈訊號之電壓、電流直接導通至參考電位Vss，以減低非必要之直流消耗。又，由於該些驅動模組22為依據至少三個以上時脈訊號進行運作，而該些驅動模組22於非工作週期時間會接收到時脈訊號，因而導致該些驅動模組22之控制端An受到輸出單元223的寄生電容的影響，而產生雜訊，因此藉由第二雜訊消除單元225將控制端An之雜訊消除，因而避免輸出單元223於非運作期間產生非必要功率消耗。

請參閱第三圖，其為本發明之一實施例之雙向掃描驅動電路的方塊圖。如圖所示，本發明之驅動電路50係包含複數驅動模組，本實施例係以一第一驅動模組52、一第二驅動模組54、一第三驅動模組56與一第四驅動模組58作為舉例，第一驅動模組52、第二驅動模組54、第三驅動模組56與第四驅動模組58之詳細電路係同於前一實施例所述之驅動模組22。由於第一驅動模組52與第二驅動模組54之前未有n-2級驅動模組，因此第一驅動模組52與第二驅動模組54分別接收一第一輸入訊號IN1與一第二輸入訊號IN2，第一驅動模組52與第二驅動模組54即如同第一A圖與第一B圖之第一虛擬驅動模組201與第三虛擬驅動模組203之運作方式，僅提供輸出訊號至n+2級之驅動模組並未將輸出訊號傳送至掃描線而用於掃描畫素結構。第一驅動模組52與第三驅動模組56係接收第一時脈訊號CLK1與第三時脈訊號CLK3，第二驅動模組54與第四驅動模組58係接收第二時脈訊號CLK2與第四時脈訊號

CLK4，且第一驅動模組52、第二驅動模組54、第三驅動模組56與第四驅動模組58皆為耦接至第一輸入電壓Vdd_f與第二輸入電壓Vdd_r，並皆耦接至參考電位Vss，其相當於電路之低電位，例如：1V電位。

第一驅動模組52係輸出一第一輸出訊號OUT1並同時傳送至第三驅動模組56，第二驅動模組54係輸出一第二輸出訊號OUT2並同時傳送至第四驅動模組58，第三驅動模組56輸出一第三輸出訊號OUT3並同時傳送至下一n+2級之驅動模組與前一n-2級驅動模組，亦即將第三輸出訊號OUT3傳送至第五驅動模組(圖未示)與第一驅動模組52，而第四驅動模組58輸出一第四輸出訊號OUT4並同時傳送至下一n+2級之驅動模組與前一n-2級驅動模組，亦即將第三輸出訊號OUT3傳送至第六驅動模組(圖未示)與第二驅動模組54。其中，第一輸出訊號OUT1、第二輸出訊號OUT2、第三輸出訊號OUT3與第四輸出訊號OUT4即為掃描訊號。

此外，本實施例係以四個驅動模組作為舉例，但本發明不限於此，本實施例更可以至少三個驅動模組而提供掃描訊號，用以正向掃描或反向掃描。

綜上所述，本發明為一種雙向掃描驅動電路，其藉由正向輸入單元與反向輸入單元分別於正向掃描模式與反向掃描模式中對控制端充放電，以在正向輸入單元對控制端充電時，驅使輸出單元產生正向掃描訊號，並在反向輸入單元對控制端充電時，驅使輸出單元產生反向掃描訊號，因而支援雙向掃描。再者，在正向掃描模式中，由正向輸入單元對控制端充電，由反向輸入單元對

控制端放電，而在反向掃描模式中，由反向輸入單元對控制端充電，由正向輸入單元對控制端放電，以簡化控制端的充放電機制與電路布局。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

- [0005] 第一A圖為本發明之一實施例之顯示裝置的方塊圖；
 第一B圖為本發明之一實施例之驅動模組的方塊圖；
 第二A圖為本發明之一實施例之驅動訊號於正向掃描的波形圖；
 第二B圖為本發明之一實施例之驅動訊號於反向掃描的波形圖；以及
 第三圖為本發明之一實施例之雙向掃描驅動電路的方塊圖。

【主要元件符號說明】

- [0006] 10 顯示裝置
 20 雙向掃描驅動電路
 201 第一虛擬驅動模組
 202 第一虛擬驅動模組
 203 第3虛擬驅動模組
 204 第4虛擬驅動模組
 205 第5虛擬驅動模組
 206 第6虛擬驅動模組

207	第7虛擬驅動模組
208	第8虛擬驅動模組
22	驅動模組
22a	第1驅動模組
22b	第2驅動模組
22c	第3驅動模組
22d	第4驅動模組
22e	第5驅動模組
22f	第6驅動模組
22u	第795驅動模組
22v	第796驅動模組
22w	第797驅動模組
22x	第798驅動模組
22y	第799驅動模組
22z	第800驅動模組
221	正向輸入單元
222	反向輸入單元
223	輸出單元
224	第一雜訊消除單元
225	第二雜訊消除單元
226	第一電晶體
227	第二電晶體
230	第一電容
231	第二電容
30	資料驅動電路
40	顯示面板

402	畫素結構
50	雙向掃描驅動電路
52	第一驅動模組
54	第二驅動模組
56	第三驅動模組
58	第四驅動模組
An	控制端
CLK1	第一時脈訊號
CLK2	第二時脈訊號
CLK3	第三時脈訊號
CLK4	第四時脈訊號
OUT1	第一輸出訊號
OUT2	第二輸出訊號
OUT3	第三輸出訊號
OUT4	第四輸出訊號
OUTn	輸出端
OUTn-2	前輸出端
OUTn+2	後輸出端
Vdd_f	第一輸入電壓
Vdd_r	第二輸入電壓
Vss	參考電位

七、申請專利範圍：

1. 一種雙向掃描驅動電路，其包含 n 級驅動模組，該些驅動模組接收複數時脈訊號並分別接收一第一輸入電壓與一第二輸入電壓，該些驅動模組產生複數掃描訊號並依序輸出至一顯示面板，該些驅動模組分別包含：
 - 一輸出單元，接收該些時脈訊號之一第一時脈訊號；
 - 一正向輸入單元，其耦接該輸出單元，並接收該第一輸入電壓與 $n-2$ 級以上的任一該些驅動模組之一前正向掃描訊號，該正向輸入單元依據該第一輸入電壓與該前正向掃描訊號對該輸出單元之一控制端充放電；以及
 - 一反向輸入單元，其耦接該輸出單元，並接收該第二輸入電壓與 $n+2$ 級以上的任一該些驅動模組之一後反向掃描訊號，該反向輸入單元依據該第二輸入電壓與該後反向掃描訊號對該輸出單元之該控制端充放電；其中，該正向輸入單元依據該第一輸入電壓與該前正向掃描訊號對該輸出單元充電，而產生一正向掃描訊號，該反向輸入單元依據該第二輸入電壓與該後反向掃描訊號對該輸出單元充電，而產生一反向掃描訊號。
2. 如申請專利範圍第1項所述之雙向掃描驅動電路，其中該些驅動模組更分別包含：
 - 一雜訊消除單元，其耦接該正向輸入單元、該反向輸入單元與該輸出單元，並接收該第一時脈訊號，該雜訊消除單元濾除該輸出單元之該控制端之雜訊。
3. 如申請專利範圍第2項所述之雙向掃描驅動電路，其中該雜訊消除單元包含：

一電容，其一第一端接收該第一時脈訊號，該電容依據該第一時脈訊號產生一控制準位；

一第一電晶體，其一第一端耦接該電容之一第二端，該第一電晶體之一第二端耦接該正向輸入單元、該反向輸入單元與該輸出單元之該控制端；以及

一第二電晶體，其一第一端耦接該正向輸入單元、該反向輸入單元與該輸出單元之該控制端，該第二電晶體之一第二端耦接該第一電晶之該第一端與該電容之該第二端，該第一電晶體之一第三端與該第二電晶體之一第三端耦接至一參考電位。

4 . 如申請專利範圍第1項所述之雙向掃描驅動電路，其中該些時脈訊號包含該第一時脈訊號、一第二時脈訊號、一第三時脈訊號與一第四時脈訊號，並依序且循環產生該第一時脈訊號、該第二時脈訊號、該第三時脈訊號與該第四時脈訊號。

5 . 如申請專利範圍第1項所述之雙向掃描驅動電路，其中該些驅動模組更分別包含：

一雜訊消除單元，其一第一端耦接該輸出單元，該雜訊消除單元之一第二端接收一第二時脈訊號、一第三時脈訊號或一第四時脈訊號，該雜訊消除單元之一第三端接收一參考電壓準位，該雜訊消除單元依據該第二時脈訊號、該第三時脈訊號或該第四時脈訊號而消除該輸出單元之雜訊。

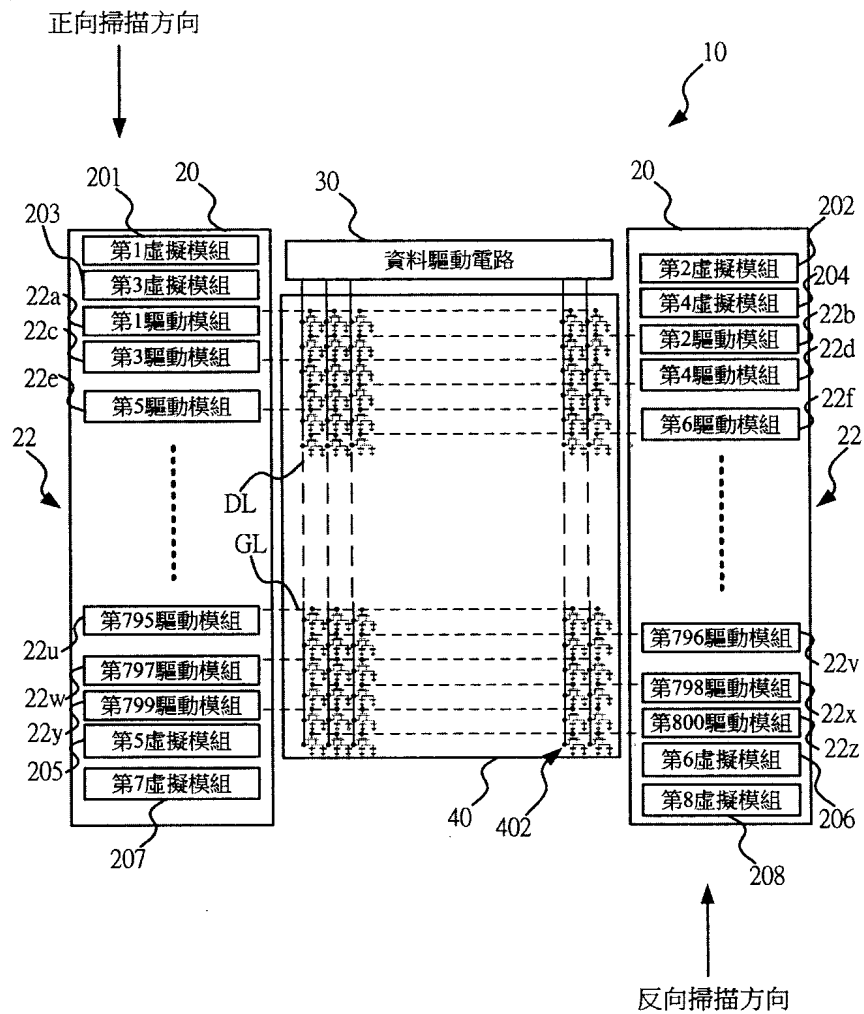
6 . 如申請專利範圍第1項所述之雙向掃描驅動電路，其中該些驅動模組更分別包含：

一電容，其一第一端耦接該正向輸入單元與該反向輸入單元並耦接該輸出單元之該控制端，該電容之一第二端耦接

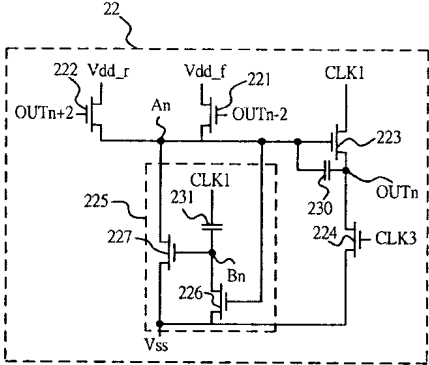
該輸出單元之一第一端。

- 7 . 如申請專利範圍第1項所述之雙向掃描驅動電路，其中當該正向輸入單元對該輸出單元充電以讓該輸出單元輸出該正向掃描訊號時，該反向輸入單元於該輸出單元產生該正向掃描訊號一段時間後對該輸出單元之該控制端放電。
- 8 . 如申請專利範圍第7項所述之雙向掃描驅動電路，其中該反向輸入單元於該輸出單元產生該正向掃描訊號後經一個時脈週期時間對該輸出單元之該控制端放電。
- 9 . 如申請專利範圍第1項所述之雙向掃描驅動電路，其中當該反向輸入單元對該輸出單元充電以讓該輸出單元輸出該反向掃描訊號時，該正向輸入單元於該輸出單元產生該反向掃描訊號一段時間後對該輸出單元之該控制端放電。
- 10 . 如申請專利範圍第9項所述之雙向掃描驅動電路，其中該正向輸入單元於該輸出單元產生該反向掃描訊號後經一個時脈週期時間對該輸出單元之該控制端放電。

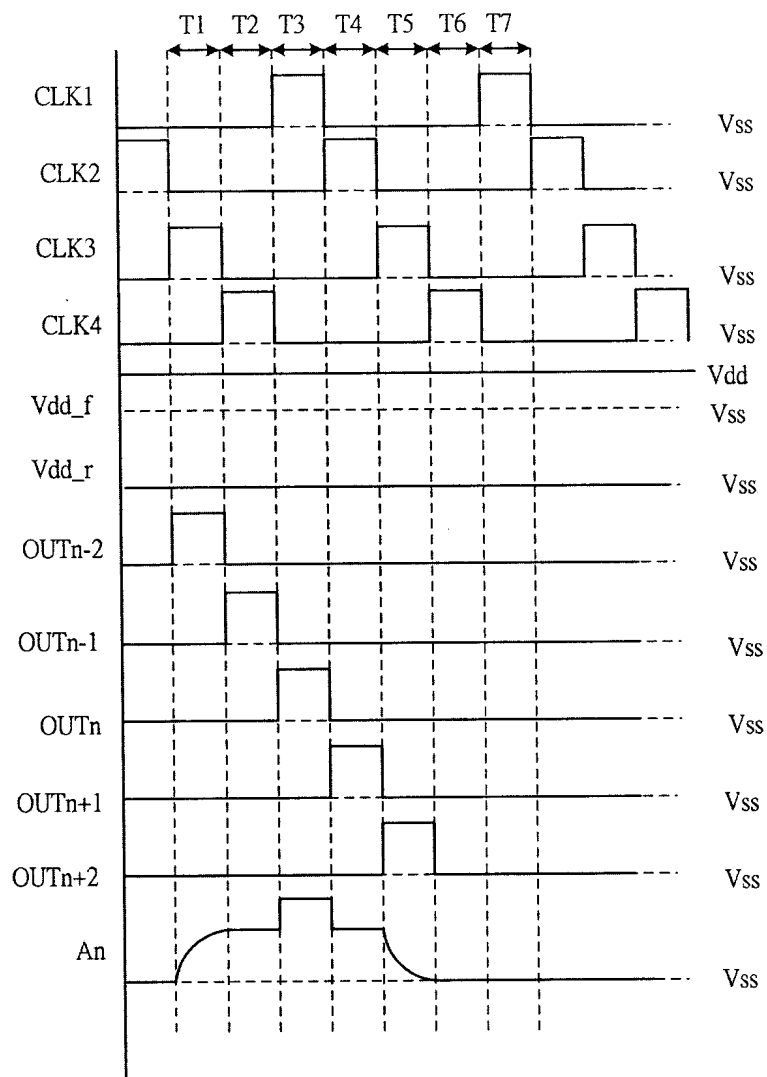
八、圖式：



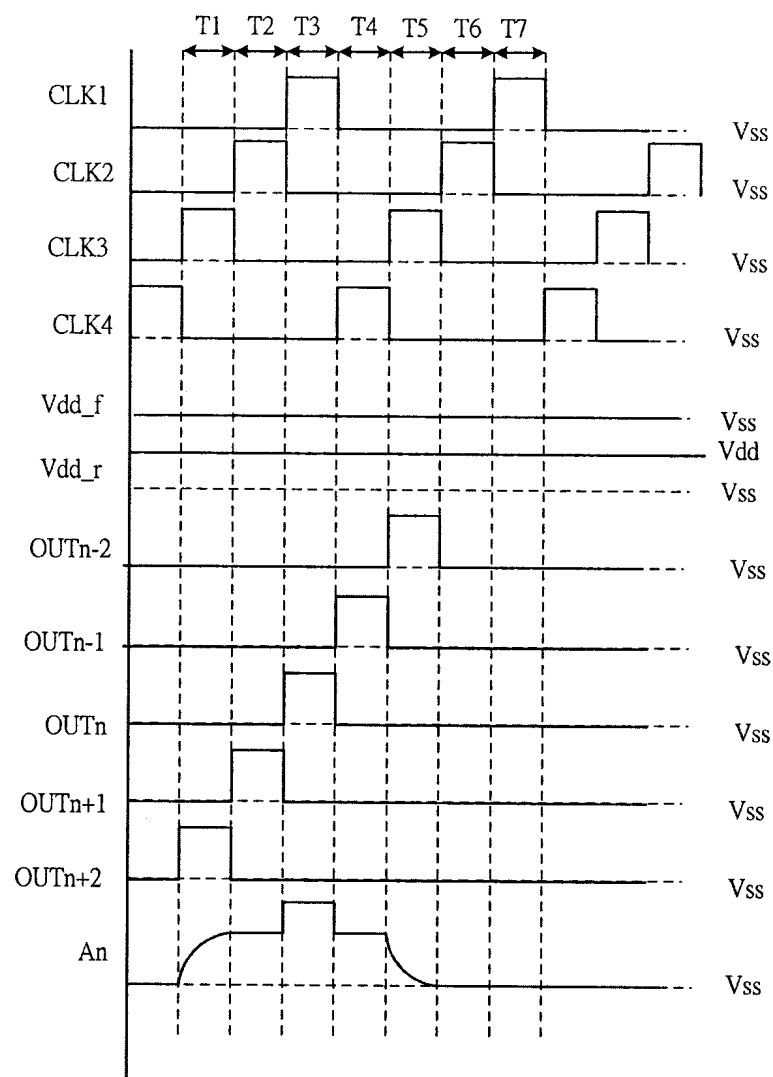
第一A圖



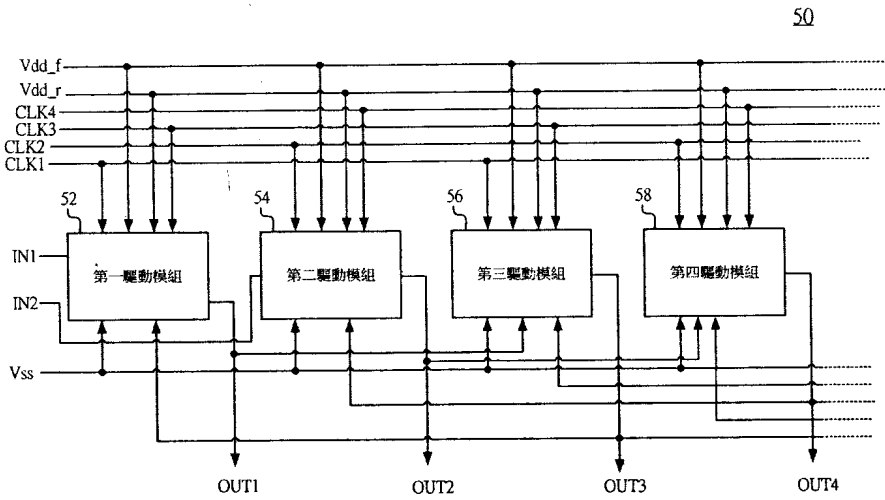
第一 B 圖



第二A圖



第二 B 圖



第三圖