



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I483251 B

(45)公告日：中華民國 104 (2015) 年 05 月 01 日

(21)申請案號：101106198

(22)申請日：中華民國 101 (2012) 年 02 月 24 日

(51)Int. Cl. : G11C11/413 (2006.01)

G11C29/12 (2006.01)

(71)申請人：國立交通大學(中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

(72)發明人：莊景德 CHUANG, CHING TE (TW)；周世傑 JOU, SHYHJYE (TW)；黃威 HWANG, WEI (TW)；蔡銘謙 TSAI, MING CHIEN (TW)；林宜緯 LIN, YI WEI (TW)；楊皓義 YANG, HAO I (TW)；杜明賢 TU, MING HSIEN (TW)；石維強 SHIH, WEI CHIANG (TW)；連南鈞 LIEN, NAN CHUN (TW)；李坤地 LEE, KUEN DI (TW)

(74)代理人：黃孝惇

(56)參考文獻：

US 7142064B2

US 7483322B2

US 7684263B2

US 7924640B2

US 7948261B2

US 8076980B2

US 2009/0046519A1

US 2010/0046276A1

US 2010/0188888A1

審查人員：蕭明椿

申請專利範圍項數：9 項 圖式數：4 共 23 頁

(54)名稱

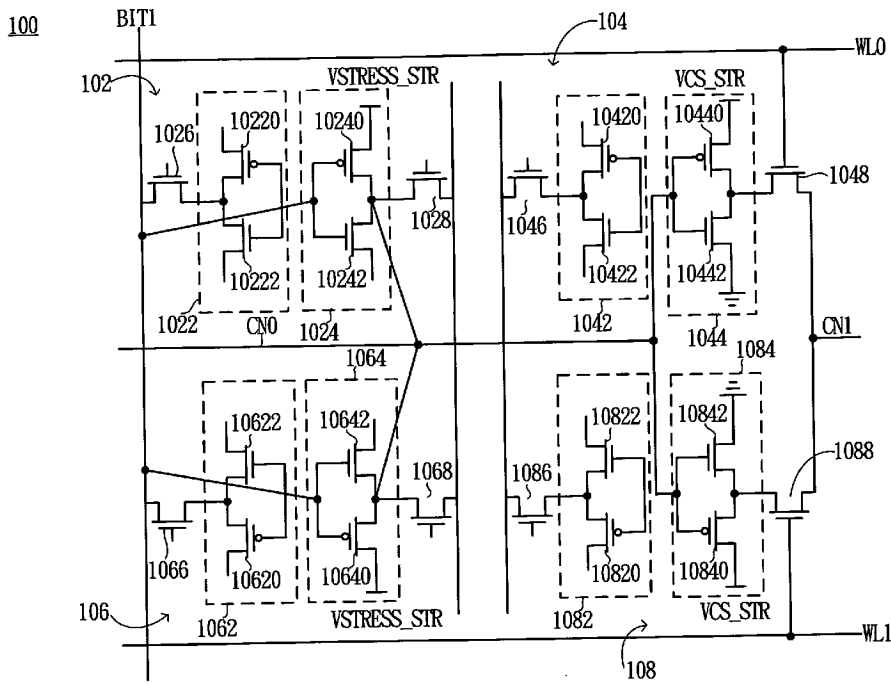
用以量測偏壓溫度效應之環形震盪器

AN OSCILLATOR BASED ON A 6T SRAM FOR MEASURING THE BIAS TEMPERATURE INSTABILITY

(57)摘要

本發明係提供一種量測偏壓溫度效應之環形震盪器，其係由六電晶體架構組成之靜態隨機存取記憶體單元，包含有第一控制單元、第一反相單元、第二控制單元以及第二反相單元。第一控制單元係電連接第一反相單元，第一控制單元係用以控制第一反相單元動作，其中動作包含選擇、施加偏壓以及連接。第二反相單元係電連接第一反相單元。以及第二控制單元係電連接第一控制單元與第一反相單元之間。第二控制單元係用以控制第二反相單元動作，其中動作包含選擇、施加偏壓以及連接。利用第一控制單元與第二控制單元之控制，以分別量測該靜態隨機存取記憶體單元之負偏壓溫度效應與正偏壓溫度效應，對靜態隨機存取記憶體單元穩定度之影響大小。

The present invention provides an oscillator which is based on a 6T SRAM for measuring the Bias Temperature Instability. The oscillator includes a first control unit, a first inverter, a second control unit, and a second inverter. The first control unit is coupled with the first inverter. The second control unit is coupled with the second inverter. The first control unit and the second control unit is used to control the first inverter and the second inverter being selected, biased, and connected respectively, so that the the NBTI and the PBTI of the SRAM can be measured separately, and the real time stability of the SRAM can be monitored immediately.



第 1 圖

- 100 . . . 環形振盪器
- 102 . . . 第一靜態隨機存取記憶體單元
- 1022、1042、1062、1082 . . . 第一反相器
- 10220、10420、10620、10820 . . . 第一升壓電晶體
- 10222、10422、10622、10822 . . . 第一降壓電晶體
- 1024、1044、1064、1084 . . . 第二反相器
- 10240、10440、10640、10840 . . . 第二升壓電晶體
- 10242、10442、10642、10842 . . . 第二降壓電晶體
- 1026、1046、1066、1086 . . . 第一傳送閘電晶體
- 1028、1048、1068、1088 . . . 第二傳送閘電晶體
- VSTRESS_STR . . . 施壓訊號源
- VCS_STR . . . 控壓訊號源
- BIT1 . . . 位元線
- WL0 . . . 第一字元線
- WL1 . . . 第二字元線
- CN0 . . . 輸入
- CN1 . . . 輸出
- 104 . . . 第二靜態隨機存取記憶體單元

106 . . . 第三靜態隨
機存取記憶體單元

108 . . . 第四靜態隨
機存取記憶體單元

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：1011061PP

G11C 11/413 (2006.01)

※申請日：101.7.20

※IPC分類：

G11C 29/12 (2006.01)

一、發明名稱：(中文/英文)

用以量測偏壓溫度效應之環形震盪器 / An oscillator based on a 6T SRAM for measuring the Bias Temperature Instability

二、中文發明摘要：

本發明係提供一種量測偏壓溫度效應之環形震盪器，其係由六電晶體架構組成之靜態隨機存取記憶體單元，包含有第一控制單元、第一反相單元、第二控制單元以及第二反相單元。第一控制單元係電連接第一反相單元，第一控制單元係用以控制第一反相單元動作，其中動作包含選擇、施加偏壓以及連接。第二反相單元係電連接第一反相單元。以及第二控制單元係電連接第一控制單元與第一反相單元之間。第二控制單元係用以控制第二反相單元動作，其中動作包含選擇、施加偏壓以及連接。利用第一控制單元與第二控制單元之控制，以分別量測該靜態隨機存取記憶體單元之負偏壓溫度效應與正偏壓溫度效應，對靜態隨機存取記憶體單元穩定度之影響大小。

三、英文發明摘要：

The present invention provides an oscillator which is based on a 6T SRAM for measuring the Bias

Temperature Instability. The oscillator includes a first control unit, a first inverter, a second control unit, and a second inverter. The first control unit is coupled with the first inverter. The second control unit is coupled with the second inverter. The first control unit and the second control unit is used to control the first inverter and the second inverter being selected, biased, and connected respectively, so that the the NBTI and the PBTI of the SRAM can be measured separately, and the real time stability of the SRAM can be monitored immediately.

四、指定代表圖：

(一)本案指定代表圖為：第 1 圖。

(二)本代表圖之元件符號簡單說明：

100 環形振盪器

102 第一靜態隨機存取記憶體單元

1022、1042、1062、1082 第一反相器

10220、10420、10620、10820 第一升壓電晶體

10222、10422、10622、10822 第一降壓電晶體

1024、1044、1064、1084 第二反相器

10240、10440、10640、10840 第二升壓電晶體

10242、10442、10642、10842 第二降壓電晶體

1026、1046、1066、1086 第一傳送閘電晶體

1028、1048、1068、1088 第二傳送閘電晶體

VSTRESS_STR 施壓訊號源

VCS_STR 控壓訊號源

BIT1 位元線

WL0 第一字元線

WL1 第二字元線

CN0 輸入

CN1 輸出

104 第二靜態隨機存取記憶體單元

106 第三靜態隨機存取記憶體單元

108 第四靜態隨機存取記憶體單元

- 五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：
- 無。

六、發明說明：

【發明所屬之技術領域】

本發明係有關於一種積體電路設計，特別是有關於一種以六電晶體架構之靜態隨機存取記憶體單元所組成之環形振盪器，以用以分別量測正偏壓溫度效應以及負偏壓溫度效應之影響大小。

【先前技術】

積體電路之可靠度測試基本上取決於半導體元件之可靠度，可靠度對於積體電路而言是一種相當重要的要素，對於現今之奈米元件而言，其可靠度對於元件之微小化以及電路複雜度增加方面，更是扮演重要的角色。

可靠度測試主要包含三種，分別為崩潰效應(TDDB)、元件通道之熱載子效應以及金屬導線之電子遷移效應。傳統可靠度評估時最重視的項目乃為熱載子效應，然，隨著供應電壓不斷下降，熱載子效應也不斷的隨之下降，因而熱載子已不是可靠度之頭號殺手，取而代之的是偏壓溫度效應。偏壓溫度效應包含有負偏壓溫度效應(Negative Bias Temperature Instability, NBTI)以及正偏壓溫度效應(Positive Bias Temperature Instability, PBTI)，其中，負偏壓溫度效應(Negative Bias Temperature Instability, NBTI)為P通道金屬氧化物半導體(P-type metal-oxide-semiconductor, PMOS)電晶體所造成；正偏壓溫度效應(Positive Bias Temperature Instability, PBTI)為N通道金屬氧化物半導體(N-type

metal-oxide-semiconductor, NMOS)電晶體所造成。

偏壓溫度效應會造成電晶體之臨界電壓飄移，例如，於閘極施加一負電壓時，P通道金屬氧化物半導體 (PMOS) 電晶體的臨界電壓會隨著時間越變越負。臨界電壓飄移對積體電路的運作是依大挑戰，因為臨界電壓在電路設計上代表開啟電晶體所需之電壓，飄移即代表電晶體狀態之不確定與電路運作之風險。

傳統之研究發現負偏壓溫度效應(NBTI)對於 P 通道金屬氧化物半導體 (PMOS)電晶體之影響，相較於正偏壓溫度效應(PBTI)對 N 通道金屬氧化物半導體 (NMOS)電晶體之影響更為嚴重。然而，當在 45 奈米互補式金氧半(CMOS)製程中，其係採用高介電常數(high-K)材料與金屬閘極技術，此時，正偏壓溫度效應(PBTI)則與負偏壓溫度效應(NBTI)同樣重要，且正偏壓溫度效應(PBTI)與負偏壓溫度效應(NBTI)之影響大小與機制係不相同，因此，需要一種可分別量測正偏壓溫度效應(PBTI)則與負偏壓溫度效應(NBTI)的環形振盪器，以協助電路設計者即時動態且長時間的可靠度變化。

【發明內容】

本發明之一目的再於提供一種以六電晶體架構為基礎之靜態隨機存取記憶體單元，其係組成一環形振盪器，即可確保基本特性與原先六電晶體式靜態隨機存取記憶體單元相同，而不需改變擴散層(difusion)、連接點(contact)與多晶材料(Poly)的排列方式，亦可動態量測即時之穩定

度變化。

基於以上之目的，本發明係提供一種量測偏壓溫度效應之環形震盪器，其係由至少四個靜態隨機存取記憶體單元所組成，其中該些靜態隨機存取記憶體單元係以六電晶體架構組成。每一靜態隨機存取記憶體單元係包含：第一反相器、第二反相器、第一傳送閘(pass-gate)電晶體與第二傳送閘電晶體。

第一反相器(inverter)具有第一升壓(pull-up)電晶體與第一降壓(pull-down)電晶體。第二反相器具有第二升壓電晶體與第二降壓電晶體，以及第一傳送閘(pass-gate)電晶體與第二傳送閘電晶體。第一傳送閘電晶體耦接至該第一反相器。第二傳送閘電晶體耦接至第二反相器。

環形震盪器包含：第一控制單元、第一反相單元、第二控制單元以及第二反相單元。第一控制單元係電連接第一反相單元，第一控制單元係用以控制第一反相單元動作，其中動作包含選擇、施加偏壓以及連接。第二反相單元係電連接第一反相單元。以及第二控制單元係電連接第一控制單元與第一反相單元之間。第二控制單元係用以控制第二反相單元動作，其中動作包含選擇、施加偏壓以及連接。利用第一控制單元與第二控制單元之控制，以分別量測該靜態隨機存取記憶體單元之負偏壓溫度效應與正偏壓溫度效應，對靜態隨機存取記憶體單元穩定度之影響大小。

為使對本發明的目的、構造、特徵、及其功能有進一步的瞭解，茲配合實施例詳細說明如下。

【實施方式】

請參考第 1 圖，其係為根據本發明之一實施例之環形振盪器示意圖。環形振盪器 100 具有第一靜態隨機存取記憶體單元 102、第二靜態隨機存取記憶體單元 104、第三靜態隨機存取記憶體單元 106、第四靜態隨機存取記憶體單元 108。其中第一靜態隨機存取記憶體單元 102、第二靜態隨機存取記憶體單元 104、第三靜態隨機存取記憶體單元 106 以及第四靜態隨機存取記憶體單元 108 係以六電晶體架構組成。需說明的是，本發明之環形振盪器 100 係由四個六電晶體靜態隨機存取記憶體所組成，然其靜態隨機存取記憶體之數目亦不以此為限，只要是由至少四個以上之靜態隨機存取記憶體組成之環形振盪器，即包含於本發明環形振盪器 100 之範圍中。

於此實施例中，請參考第 2 圖，其係根據本發明之一實施例所繪示之環形振盪器 100 電路方塊圖。其中，環形振盪器 100 包含：第一控制單元 202、第一反相單元 204、第二控制單元 206 以及第二反相單元 208。第一控制單元 202 係電連接第一反相單元 204 與第二控制單元 206。第一控制單元 202 係用以控制第一反相單元 204 動作選擇性地動作，其動作係包含選擇第一反相單元 204、施加偏壓於第一反相單元 204 以及連接第一反相單元 204。第二控制單元 206 係用以控制第二反相單元 208 選擇性地動作，其中該動作包含選擇第二反相單元 208、施加偏壓於第二反相單元 208 以及連接第二反相單元 208。

請參考第 1 圖、第 2 圖，環形振盪器 100 係藉由第一

控制單元 202 與第二控制單元 206 以分別控制第一反相單元 204 以及第二反相單元 208，以分別量第二靜態隨機存取記憶體單元 104 與第四靜態隨機存取記憶體單元 108 中之一負偏壓溫度效應 (Negative Bias Temperature Instability, NBTI) 與一正偏壓溫度效應 (Positive Bias Temperature Instability, PBTI)，對第二靜態隨機存取記憶體單元 104 與第四靜態隨機存取記憶體單元 108 穩定度之影響大小。需說明的是，由於本發明係藉由六電晶體靜態隨機存取記憶體單元架構組成，因此，僅利用六電晶體靜態隨機存取記憶體單元部份之電路。由第 1 圖可觀察到，以粗黑線所繪示之連線與電晶體元件代表本發明之實施例實際所連接之電路，而顏色較淡之連線與電晶體元件係為未使用之電路。

請參考第 1 圖與第 2 圖，本發明之電路係以標準六電晶體靜態隨機存取記憶體單元 (6T SRAM) 為基礎，第一靜態隨機存取記憶體單元 102 係包含第一反相器 1022、第二反相器 1024、第一傳送閘電晶體 1026 以及第二傳送閘電晶體 1028。第一反相器 1022 具有第一升壓電晶體 10220 與第一降壓電晶體 10222。第二反相器 1024 具有第二升壓電晶體 10240 與第二降壓電晶體 10242。第一傳送閘電晶體 1026 係耦接至第一反相器 1022。第二傳送閘電晶體 1028 係耦接至第二反相器 1024。以第一靜態隨機存取記憶體單元 102 為例：標準之六電晶體係以六個形成於半導體機板上的電晶體 (第一升壓電晶體 10220、第一降壓電晶體 10222、第二升壓電晶體 10240、第二降壓電晶體 10242)

所組成，其中包含四個 N 通道金屬氧化物半導體 (N-type metal-oxide-semiconductor, NMOS) 電晶體，第一降壓電晶體 10222、第二降壓電晶體 10242、第一傳送閘電晶體 1026 以及第二傳送閘電晶體 1028，以及兩個 P 通道金屬氧化物半導體 (P-type metal-oxide-semiconductor, PMOS) 電晶體，第一升壓電晶體 10220 以及第二升壓電晶體 10240。

請參考第 1 圖，第一控制單元 202 係以第一靜態隨機存取記憶體單元 102 所組成。其中，第一靜態隨機存取記憶體單元 102 之第二升壓電晶體 10240 之源極係施加一施壓訊號源 VSTRESS_STR。第一靜態隨機存取記憶體單元 102 之第二升壓電晶體 10240 之閘極係耦接位元線 BIT1。

請參考第 1 圖以及第 2 圖，第二靜態隨機存取記憶體單元 104 係包含第一反相器 1042、第二反相器 1044、第一傳送閘電晶體 1046 以及第二傳送閘電晶體 1048。第一反相器 1042 具有第一升壓電晶體 10420 與第一降壓電晶體 10422。第二反相器 1044 具有第二升壓電晶體 10440 與第二降壓電晶體 10442。第一傳送閘電晶體 1046 係耦接至第一反相器 1042。第二傳送閘電晶體 1048 係耦接至第二反相器 1044。第一控制單元 202 係由第一靜態隨機存取記憶體單元 102 所組成。

請參考第 2 圖，第一反相單元 204 係由第二靜態隨機存取記憶體單元 104 所組成。第二靜態隨機存取記憶體單元 104 之第二傳送閘電晶體 1048 係耦接第二靜態隨機存取記憶體單元 104 之第二反相器 1044。第二靜態隨機存取記

憶體單元 104 之第二反相器 1044 係耦接第一靜態隨機存取記憶體單元 102 之第二升壓電晶體 1440 之汲極。第二升壓電晶體 1440 之源極係施加一控壓訊號源 VCS_STR。第二降壓電晶體 10442 之源極係接地。第二靜態隨機存取記憶體單元 104 之第二傳送閘電晶體 1048 之閘極耦接第一字元線 (word line) WL0。

請參考第 1 圖，第三靜態隨機存取記憶體單元 106 係包含第一反相器 1062、第二反相器 1064、第一傳送閘電晶體 1066 以及第二傳送閘電晶體 1068。第一反相器 1062 具有第一升壓電晶體 10620 與第一降壓電晶體 10622。第二反相器 1064 具有第二升壓電晶體 10640 與第二降壓電晶體 10242。第一傳送閘電晶體 1066 係耦接至第一反相器 1062。第二傳送閘電晶體 1028 係耦接至第二反相器 1064。

請參考第 1 圖以及第 2 圖，第二控制單元 206 係以六電晶體架構之第三靜態隨機存取記憶體單元 106 所組成。其中，第三靜態隨機存取記憶體單元 106 之第二升壓電晶體 10640 之閘極耦接位元線 BIT1。第三靜態隨機存取記憶體單元 106 之第二升壓電晶體 10640 之源極係施加一施壓訊號源 VSTRESS_STR。第一靜態隨機存取記憶體單元 102 之第二升壓電晶體 10240 之汲極係耦接第三靜態隨機存取記憶體單元 106 之第二升壓電晶體 10640 之汲極，並共同耦接至輸入 CN0。

請參考第 1 圖，第四靜態隨機存取記憶體單元 108 係包含第一反相器 1082、第二反相器 1084、第一傳送閘電晶體 1086 以及第二傳送閘電晶體 1088。第一反相器 1082 包

含第一升壓電晶體 10820 與第一降壓電晶體 10822。第二反相器 1084 包含第二升壓電晶體 10840 與第二降壓電晶體 10842。第二傳送閘電晶體 1088 係耦接至第二反相器 1084。第一傳送閘電晶體 1086 係耦接至第一反相器 1082。

第 2 圖中之第二反相單元係為第 1 圖六電晶體架構之第四靜態隨機存取記憶體單元 108 所組成。由第 1 圖所示，第四靜態隨機存取記憶體單元 108 中之第二傳送閘電晶體 1088 係耦接第四靜態隨機存取記憶體單元 108 之第二反相器 1084。第四靜態隨機存取記憶體單元 108 之第二反相器 1084 係耦接第一靜態隨機存取記憶體單元 102 之第二升壓電晶體 10240 之汲極，耦接第二靜態隨機存取記憶體單元 106 之第二升壓電晶體 10640 之汲極。第四靜態隨機存取記憶體單元 108 之第二升壓電晶體 10840 之源極係施加一控壓訊號源 VCS_STR。第二降壓電晶體 10842 之源極係接地。第四靜態隨機存取記憶體單元 108 之第二傳送閘電晶體 1088 之閘極係耦接第二字元線(word line) WL1。第二靜態隨機存取記憶體單元 104 之第二傳送閘電晶體 1048 之源極係耦接第四靜態隨機存取記憶體單元 108 之第二傳送閘電晶體 1088 之源極作為輸出 CN1，其可繼續串聯下一級之環形振盪器。

請參考第 3 圖，其為根據第 1 圖所繪示之環形振盪器電路圖。第 3 圖係根據第 1 圖，繪示實際連接與使用之電路(即用粗黑線所繪製之電路)，並刪除未連接之電路所簡化而成。當振盪器 100 處於操作狀態時，第一反相單元 204 與第二反相單元 208 皆可被第一字元線 WL0 與第二字元線

WL1 之訊號所選取或導通，且位元線 BIT1 將充電以提供足夠的電流給予第一控制單元 202 與第二控制單元 206。

仍請參考第 3 圖，由於負偏壓溫度效應(Negative Bias Temperature Instability, NBTI)為 P 通道金屬氧化物半導體 (P-type metal-oxide-semiconductor, PMOS)電晶體所造成，當要測定負偏壓溫度效應(NBTI)時，環形振盪器 100 之第一控制單元 202 係控制第一反相單元 204 內之第二升壓電晶體 10440 動作，施加一電壓於第二升壓電晶體 1440，第二控制單元 206 則控制第二反相單元 208 內之第二升壓電晶體 10840 動作，施加一電壓於第二升壓電晶體 10840，並量測輸出 CN1 之臨界電壓飄移狀態，即可單獨量測 P 通道金屬氧化物半導體 (PMOS)電晶體所造成之負偏壓溫度效應(NBTI)。

續參考第 3 圖所示，相對的，第一控制單元 202 控制第一反相單元 204 內之第二降壓電晶體 10442 動作，並施加一電壓於第二降壓電晶體 10442，第二控制單元 206 則控制第二反相單元 208 內之第二降壓電晶體 10842 動作，施加一電壓，即可單獨量測 N 通道金屬氧化物半導體 (N-type metal-oxide-semiconductor, NMOS)電晶體所造成正偏壓溫度效應(PBTI)。因此，本發明之環形震盪器 100 可單獨地偵測晶片上因負偏壓溫度效應(NBTI)與正偏壓溫度效應(PBTI)，以了解即時之可靠度變化。

請參考第 4 圖所示，其為根據第 3 圖之環形震盪器串接多級之環型震盪器陣列電路方塊圖。第 3 圖係代表一級環形震盪器 100 之電路圖。而由第 4 圖所示，環型震盪器

陣列 400 係串接多級之環形震盪器 100 而成，其中，環形震盪器 100 包含控制單元 402 與反相單元 404。環形震盪器 100 係串接一虛單元 406，虛設單元 406 連接一輸入 CN0 以及第一字元線 WL0。反相單元 404 係連接一輸出 CN1，藉由輸出 CN1 串接下一級之環形振盪器 100。本實施例中，環形震盪器 100 一行係串接有 25 級，然本發明之範圍並不以此為限，串接任意數目之環形振盪器亦包含於本發明之範圍中。最後一級環形振盪器 420 之輸出 CNn 係連接一控制器 422。控制器 422 之輸出係連接至輸入 CN0。

以上所述僅為本發明之較佳實施例而已，並非用以限定本發明之申請專利範圍；凡其它未脫離本發明所揭示之精神下所完成之等效改變或修飾，均應包含在下述之申請專利範圍內。

【圖式簡單說明】

第 1 圖係為根據本發明之一實施例所繪示之環形振盪器示意圖；

第 2 圖係為根據本發明之一實施例所繪示之環形振盪器電路方塊圖；

第 3 圖為根據第 1 圖所繪示之環形振盪器電路圖；以及

第 4 圖，其為根據第 3 圖之環形震盪器串接多級之環型震盪器陣列電路方塊圖。

【主要元件符號說明】

100 環形振盪器

102 第一靜態隨機存取記憶體單元
1022、1042、1062、1082 第一反相器
10220、10420、10620、10820 第一升壓電晶體
10222、10422、10622、10822 第一降壓電晶體
1024、1044、1064、1084 第二反相器
10240、10440、10640、10840 第二升壓電晶體
10242、10442、10642、10842 第二降壓電晶體
1026、1046、1066、1086 第一傳送閘電晶體
1028、1048、1068、1088 第二傳送閘電晶體
VSTRESS_STR 施壓訊號源
VCS_STR 控壓訊號源
BIT1 位元線
WL0 第一字元線
WL1 第二字元線
CN0 輸入
CN1、CN25、CN50、CNn 輸出

104 第二靜態隨機存取記憶體單元
106 第三靜態隨機存取記憶體單元
108 第四靜態隨機存取記憶體單元
202 第一控制單元
204 第一反相單元
206 第二控制單元
208 第二反相單元
400 環型震盪器陣列
402 控制單元

404 反相單元

406 虛設單元

420 環形振盪器

422 連接一控制器

七、申請專利範圍：

1. 一種量測偏壓溫度效應之環形振盪器，其係由至少四個靜態隨機存取記憶體單元所組成，其中該複數個靜態隨機存取記憶體單元係以六電晶體架構組成，該些靜態隨機存取記憶體單元之每一係包含一第一反相器，其具有一第一升壓電晶體與一第一降壓電晶體，一第二反相器，且具有一第二升壓電晶體與一第二降壓電晶體，以及一第一傳送閘電晶體與一第二傳送閘電晶體，該第一傳送閘電晶體耦接至該第一反相器，與該第二傳送閘電晶體耦接至該第二反相器，該環形振盪器包含：

一第一反相單元；

一第一控制單元，係電連接該第一反相單元，該第一控制單元係用以控制該第一反相單元動作，其中動作包含選擇、施加偏壓以及連接；

一第二反相單元，係電連接該第一反相單元；

以及

一第二控制單元，係電連接該第一控制單元與該第二反相單元之間，該第二控制單元係用以控制該第二反相單元動作，其中動作包含選擇、施加偏壓以及連接；其中利用該第一控制單元與該第二控制單元之控制，以分別量測該靜態隨機存取記憶體單元之一負偏壓溫度效應與一正偏壓溫度效應，對該靜態隨機存取記憶體單元穩定度之影響大小。

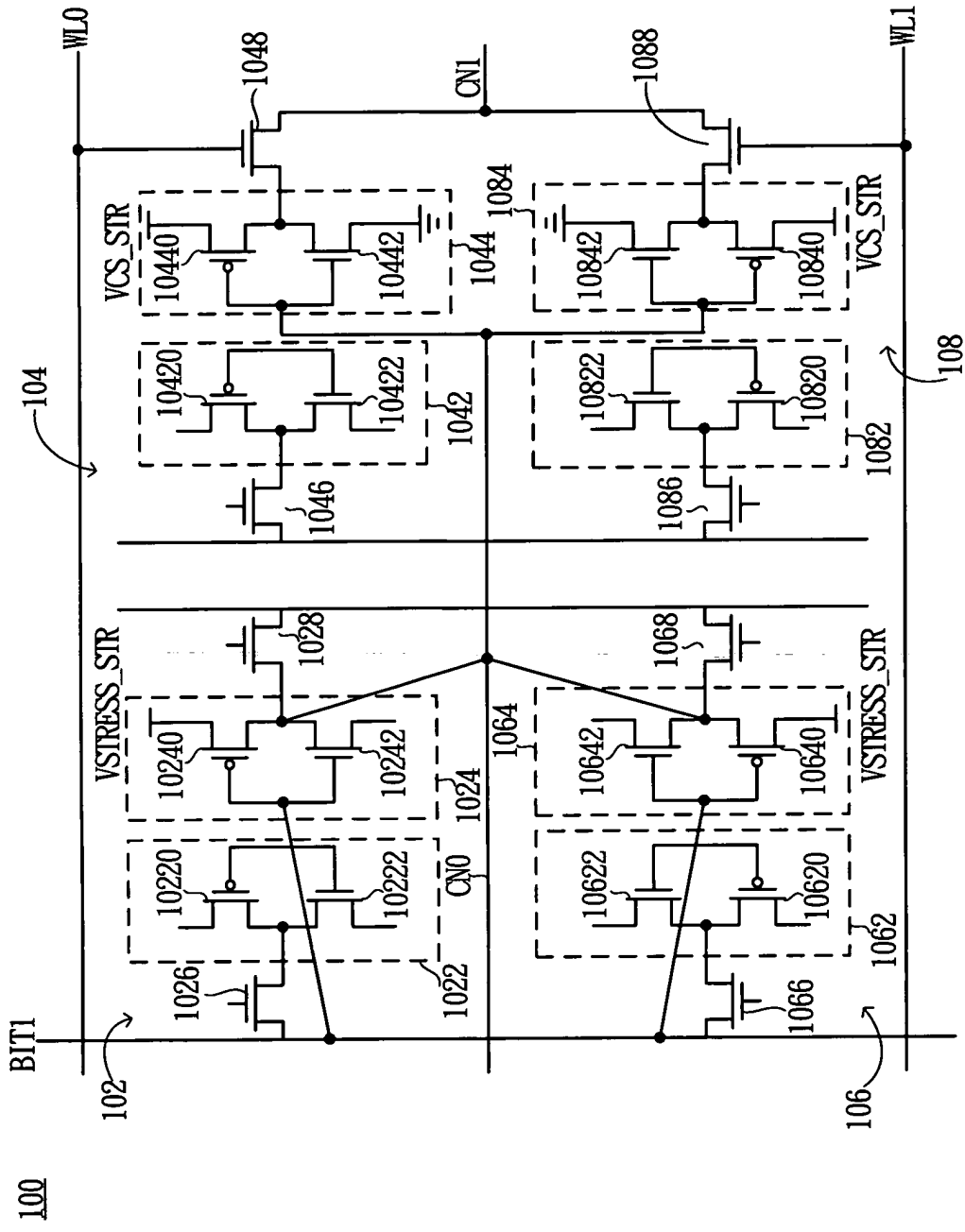
2. 如申請專利範圍第1項所述之環形振盪器，其中該第一控制單元係以六電晶體架構之一第一靜態隨機存取記憶

體單元所組成，該第一靜態隨機存取記憶體單元之該第二升壓電晶體之一源極係施加一施壓訊號源，該第一靜態隨機存取記憶體單元之該第二升壓電晶體之一閘極耦接一位元線。

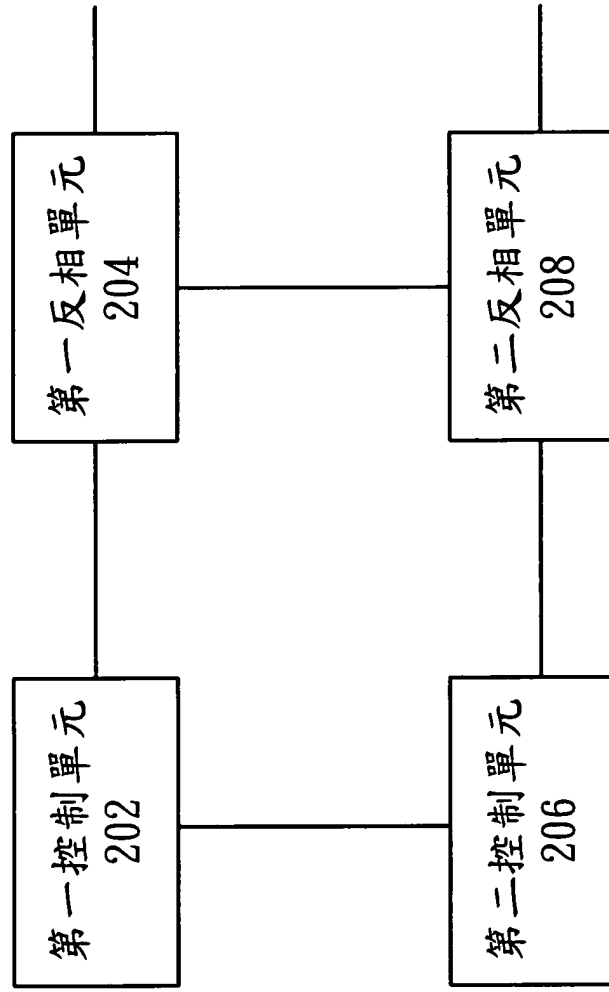
3. 如申請專利範圍第 2 項所述之環形振盪器，其中該第一反相單元以六電晶體架構之一第二靜態隨機存取記憶體單元所組成，該第二靜態隨機存取記憶體單元之該第二傳送閘電晶體係耦接該第二靜態隨機存取記憶體單元之該第二反相器，該第二靜態隨機存取記憶體單元之該第二反相器係耦接該第一靜態隨機存取記憶體單元之該第二升壓電晶體之一汲極，該第二靜態隨機存取記憶體單元之該第二傳送閘電晶體之一閘極耦接一第一字元線。
4. 如申請專利範圍第 3 項所述之環形振盪器，其中該第二控制單元係以六電晶體架構之一第三靜態隨機存取記憶體單元所組成，該第三靜態隨機存取記憶體單元之該第二升壓電晶體之一源極係施加該施壓訊號源，該第三靜態隨機存取記憶體單元之該第二升壓電晶體之一閘極耦接該位元線。
5. 如申請專利範圍第 4 項所述之環形振盪器，其中該第二反相單元以六電晶體架構之一第四靜態隨機存取記憶體單元所組成，該第四靜態隨機存取記憶體單元之該第二傳送閘電晶體係耦接該第四靜態隨機存取記憶體單元之該第二反相器，該第四靜態隨機存取記憶體單元之該第二反相器係耦接該第三靜態隨機存取記憶體單元之該第二升壓電晶體之一汲極，以及該第一靜態隨機存取記憶

- 體單元之該第二升壓電晶體之一汲極，該第四靜態隨機存取記憶體單元之該第二傳送閘電晶體之一閘極耦接一第二字元線。
6. 如申請專利範圍第 1 項所述之環形振盪器，其中該第一升壓電晶體以及該第二升壓電晶體係為一 P 通道金屬氧化物半導體)電晶體。
 7. 如申請專利範圍第 6 項所述之環形振盪器，其中該負偏壓溫度效應係由該第一升壓電晶體或該第二升壓電晶體所產生。
 8. 如申請專利範圍第 1 項所述之環形振盪器，其中該第一降壓電晶體、該第二降壓電晶體、該第一傳送閘電晶體以及該第二傳送閘電晶體係為一 N 通道金屬氧化物半導體電晶體。
 9. 如申請專利範圍第 8 項所述之環形振盪器，其中該正偏壓溫度效應係由該第一降壓電晶體或該第二降壓電晶體所產生。

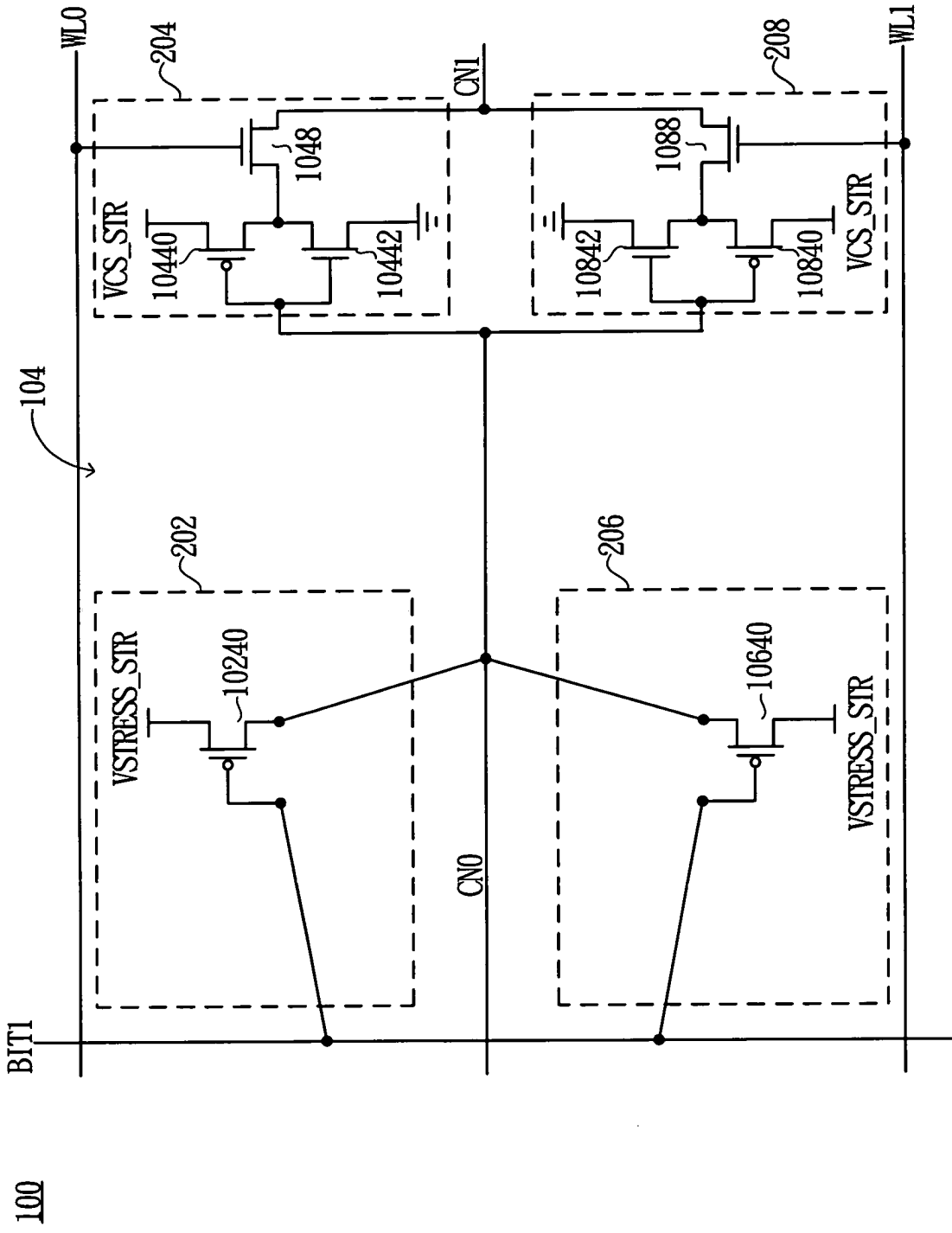
八、圖式：



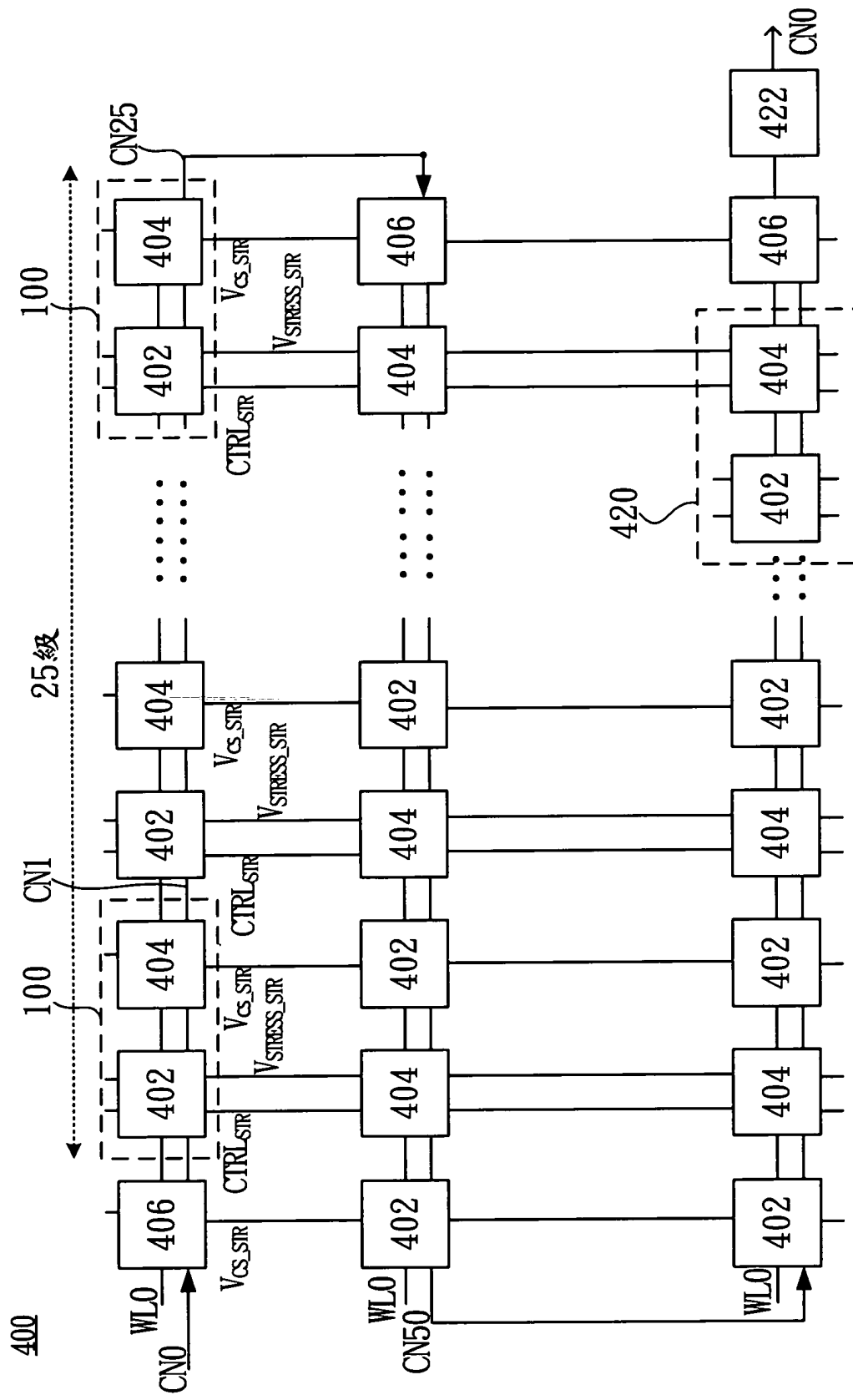
第 1 圖



第 2 圖



第 3 圖



第 4 圖