



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I478485 B

(45) 公告日：中華民國 104 (2015) 年 03 月 21 日

(21) 申請案號：100137865

(22) 申請日：中華民國 100 (2011) 年 10 月 19 日

(51) Int. Cl. : H03F1/02 (2006.01)

H03F3/19 (2006.01)

H03F3/45 (2006.01)

(71) 申請人：國立交通大學 (中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

(72) 發明人：許騰尹 HSU, TERNG YIN (TW)；廖原德 LIAO, YUAN TE (TW)；賴煒棋 LAI, WEI CHI (TW)

(74) 代理人：莊志強

(56) 參考文獻：

TW 201025829A1

US 6259330B1

US 7126404B1

Hsiang-Hui Chang; Shen-Iuan Liu, "A wide-range and fast-locking all-digital cycle-controlled delay-locked loop," Solid-State Circuits, IEEE Journal of , vol.40, no.3, pp.661,670, March 2005.

審查人員：陳明德

申請專利範圍項數：7 項 圖式數：8 共 28 頁

(54) 名稱

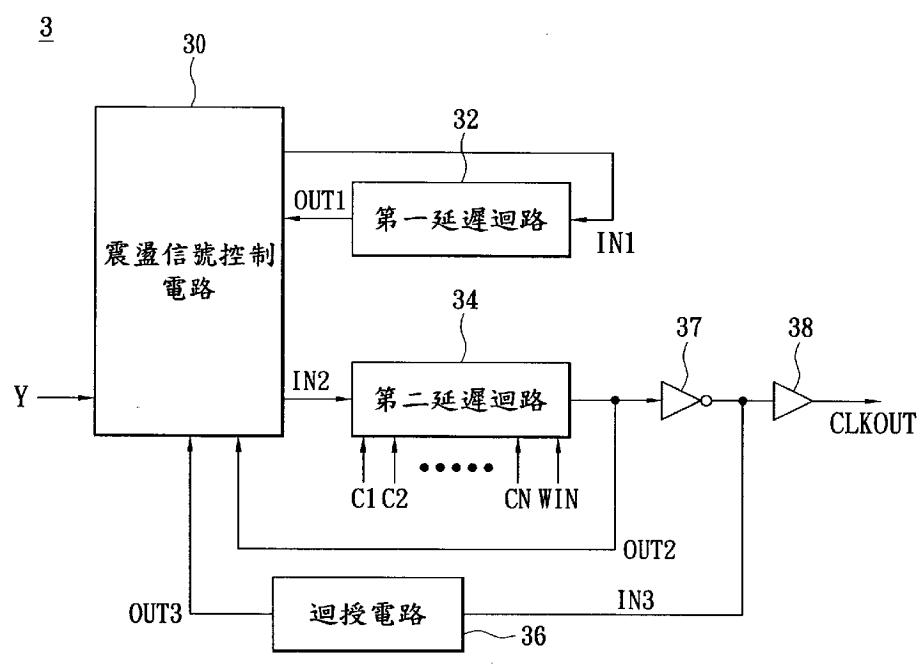
數位控制震盪器

DIGITALLY CONTROLLED OSCILLATOR

(57) 摘要

本發明實施例提供一種包括第一延遲迴路、第二延遲迴路以及震盪信號控制電路的數位控制震盪器。震盪信號控制電路用以接收第一延遲迴路輸出的第一延遲信號，並根據接收第一延遲信號的次數決定將第一延遲信號輸出至第一或第二延遲迴路的輸入端。當震盪信號控制電路將第一延遲信號輸入至第二延遲迴路後，第二延遲迴路輸出第二延遲信號至數位控制震盪器的輸出端。透過減少延遲單元的數量，可大幅減少第二延遲信號所經過的閘延遲，並可大幅降低電路設計複雜度與電路面積，故此數位控制震盪器具有較低的成本與較高的頻寬。

An embodiment of the present disclosure illustrates a digitally controlled oscillator (DCO) including a first delay loop, a second delay loop, and a signal control circuit. The signal control circuit receives a first delay signal output from the first delay loop, and outputs the first delay signal an input terminal of the first delay loop or second delay loop according to the receiving number of the first delay signal. When the first delay signal is input to the second delay loop by the signal control circuit, the second delay loop will output the second delay signal to the output terminal of the DCO. Therefore, through the reduction of the number of delay cell, the gate delay of the second delay signal is reduced, and the circuit design complexity and the circuit area can be reduced, such that the DCO has the lower cost and the higher bandwidth.



- 3 . . . 數位控制震盪器
- 30 . . . 震盪信號控制電路
- 32 . . . 第一延遲迴路
- 34 . . . 第二延遲迴路
- 36 . . . 迴授電路
- 37 . . . 反向器
- 38 . . . 緩衝器

圖3

發明專利說明書

(本說明書格式、順序，請勿任意更動；※記號部分請勿填寫)

※申請案號：100137865

H03F 1/02 (2006.01)

※申請日：100.10.19

※IPC 分類：H03F 3/19 (2006.01)

一、發明名稱：(中文/英文)

H03F 3/45 (2006.01)

數位控制震盪器 / DIGITALLY CONTROLLED
OSCILLATOR

二、中文發明摘要：

本發明實施例提供一種包括第一延遲迴路、第二延遲迴路以及震盪信號控制電路的數位控制震盪器。震盪信號控制電路用以接收第一延遲迴路輸出的第一延遲信號，並根據接收第一延遲信號的次數決定將第一延遲信號輸出至第一或第二延遲迴路的輸入端。當震盪信號控制電路將第一延遲信號輸入至第二延遲迴路後，第二延遲迴路輸出第二延遲信號至數位控制震盪器的輸出端。透過減少延遲單元的數量，可大幅減少第二延遲信號所經過的閘延遲，並可大幅降低電路設計複雜度與電路面積，故此數位控制震盪器具有較低的成本與較高的頻寬。

三、英文發明摘要：

An embodiment of the present disclosure illustrates a digitally controlled oscillator (DCO) including a first delay loop, a second delay loop, and a signal control circuit. The signal control circuit receives a first delay signal output from the first delay loop, and outputs the first delay signal an input terminal of the

first delay loop or second delay loop according to the receiving number of the first delay signal. When the first delay signal is input to the second delay loop by the signal control circuit, the second delay loop will output the second delay signal to the output terminal of the DCO. Therefore, through the reduction of the number of delay cell, the gate delay of the second delay signal is reduced, and the circuit design complexity and the circuit area can be reduced, such that the DCO has the lower cost and the higher bandwidth.

四、指定代表圖：

(一)本案指定代表圖為：圖 3。

(二)本代表圖之元件符號簡單說明：

3：數位控制震盪器

30：震盪信號控制電路

32：第一延遲迴路

34：第二延遲迴路

36：迴授電路

37：反向器

38：緩衝器

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

六、發明說明：

【發明所屬之技術領域】

本發明是有關於一種數位控制震盪器，且特別是指一種具有雙延遲迴路的數位控制震盪器。

【先前技術】

目前多數的電子產品在運作時，皆需要時脈信號，且針對不同的電子產品所需要的操作速度，時脈信號的震盪頻率可能不同。因此，一種可以透過輸入適當的控制信號來輸出不同的震盪頻率之時脈信號的數位控制震盪器(Digitally Controlled Oscillator, DCO)被提出且廣泛地應用於各類型的電子產品中。

相較於類比式電壓控制震盪器，數位控制震盪器所輸出的時脈信號的震盪頻率較不易受製程等因素影響，且數位控制震盪器具有較小的晶片面積與較優異的抗雜訊能力。

目前已知的數位控制震盪器多使用較複雜的電路產生作為電子產品信號的時脈信號。舉例來說，由多工器與緩衝器所組成的數位控制震盪器可控制信號經過多個不同的緩衝器(亦即控制信號經過不同時間延遲的路徑)，來輸出不同震盪頻率的時脈信號。

然而，多工器及緩衝器的數量愈多，將使得數位控制震盪器中的每一個延遲單元(delay cell)所產生的傳播延遲(propagation delay)增加，也相對地導致製造成本的增加。如此，時脈信號所經過的閘延遲(gate delay)將大幅增加，且時脈信號之震盪頻率範圍的高頻部份將被迫降低而無法提

昇，故傳統數位控制震盪器可能無法滿足高頻系統的需求。

另外，目前已知的數位控制震盪器多使用客製化之主動元件的設計，故相同的電路設計方式並無法輕易地使用不同製程技術來製造出具有相同震盪頻率範圍的數位控制震盪器。如此，數位控制震盪器的製程複雜度、製造成本與製造時間都可能會增加。

【發明內容】

本發明實施例提供一種低成本、高頻寬且可快速調整時脈信號之震盪頻率的數位控制震盪器。所述數位震盪控制器可使用全數位的方式實現，且使用者可透過改變控制信號，使得數位震盪控制器產生對應控制信號之震盪頻率的震盪信號。

本發明實施例提出一種數位控制震盪器，且所述之數位控制震盪器包括第一延遲迴路、第二延遲迴路以及震盪信號控制電路，其中震盪信號控制電路電性連接於第一與第二延遲迴路。第一延遲迴路具有串接的多個第一延遲單元。第二延遲迴路具有串接的多個第二延遲單元。震盪信號控制電路用以接收第一延遲迴路輸出的第一延遲信號，並根據接收第一延遲信號的次數決定將第一延遲信號輸出至第一或第二延遲迴路的輸入端。當震盪信號控制電路將第一延遲信號輸入至第二延遲迴路後，第二延遲迴路輸出第二延遲信號至數位控制震盪器的輸出端。

本發明實施例提出一種電子裝置，且此電子裝置包括

至少一電子晶片與所述數位控制震盪器，所述電子晶片用以接收依據第二延遲信號產生的時脈信號，以進行操作。

於本發明實施例中，所述第二延遲迴路所輸出的第二延遲信號更被震盪信號控制電路所接收，並且傳送至第一延遲迴路的輸入端。

於本發明實施例中，所述數位控制震盪器更包括迴授電路。迴授電路電性連接震盪信號控制電路的迴授信號輸入端。迴授電路用以依據第二延遲信號產生重置信號至震盪信號控制電路的迴授信號輸入端，且震盪信號控制電路依據重置信號決定重新計數接收第一延遲信號的次數。

綜上所述，本發明實施例所提供的數位控制震盪器具有雙延遲迴路。透過控制信號經過第一延遲迴路的次數，將可以減少延遲單元的數量與時脈信號所經過的閘延遲。如此，相較於傳統的數位控制震盪器，所述數位控制震盪器具有較低的電路設計複雜度、較少電路面積、較低的成本與較高的頻寬。另外，所述數位控制震盪器所輸出的第二延遲信號的震盪頻率可以透過調整信號經過第一迴圈的次數而快速地被調整。

為進一步瞭解本發明之技術特徵及內容，請參閱以下有關本發明之詳細說明與附圖，然而所附圖式僅提供參考與說明用，並非用來對本發明加以限制者。

【實施方式】

本發明實施例提供了一種低成本、高頻寬、可快速

調整震盪頻率之數位控制震盪器。此數位控制震盪器可提供給各種需要高速時脈輸入之系統或電子裝置所使用。

〔數位控制震盪器的實施例〕

請參閱圖 1，圖 1 為本發明實施例的數位控制震盪器之方塊圖。此數位控制震盪器 1 包括震盪信號控制電路 10、第一延遲迴路 12 與第二延遲迴路 14。震盪信號控制電路 10 的其中一個輸入端電性連接第一延遲迴路 12 的輸出端 OUT1，且震盪信號控制電路 10 的另一個輸入端則接收預定次數 Y。震盪信號控制電路 10 的兩個輸出端分電性連接第一延遲迴路 12 的輸入端 IN1 與第二延遲迴路 14 的輸入端 IN2。第二延遲迴路 14 的輸出端 OUT2 電性連接數位控制震盪器 1 的輸出端。

第一延遲迴路 12 具有多個串接的第一延遲單元，且與震盪信號控制電路 10 電性連接形成一個震盪迴路，故能夠產生第一延遲信號。第一延遲信號輸入會被震盪信號控制電路 10 所接收，且震盪信號控制電路 10 依據接收第一延遲信號的次數，亦即信號經過第一延遲迴路 12的次數，來決定將第一延遲信號送至輸入端 IN1 或 IN2。當震盪信號控制電路 10 決定將第一延遲信號輸入至第二延遲迴路 14 後，第二延遲迴路 14 輸出第二延遲信號至第二延遲迴路 14 的輸出端 OUT2。

更進一步地說，震盪信號控制電路 10 判斷接收第一延遲信號的次數是否到達預定次數 Y。若震盪信號控制電路 10 接收第一延遲信號的次數未到達預定次數 Y（亦即小於預定次數 Y），則震盪信號控制電路 10 決定將

第一延遲信號輸入至第一延遲迴路 12 的輸入端 IN1。若震盪信號控制電路 10 接收第一延遲信號的次數到達預定次數 Y (亦即大於或等於預定次數 Y)，則震盪信號控制電路 10 決定將第一延遲信號輸入至第二延遲迴路 14，且第二延遲迴路 14 依據其接收的第一延遲信號輸出第二延遲信號至第二延遲迴路 14 的輸出端 OUT2。另外，第二延遲迴路 14 所輸出的第二延遲信號可以直接作為電子晶片的時脈信號，也可以經其他電路處理後，才作為電子晶片的時脈信號。

數位控制震盪器 1 透過震盪信號控制電路 10 的控制，可以使第一延遲信號在第一延遲迴路 12 中行經 Y 次後才被輸出至第二延遲迴路 12 的輸入端 IN2。藉此，將可以減少延遲單元的總數量，從而降低第二延遲信號的閘延遲。

除此之外，因為預設次數 Y 可以由使用者自行定義，因此數位控制震盪器 1 於輸出端 OUT2 所輸出的第二延遲信號的震盪頻率可以透過改變預設次數 Y 而被調整，同時由於延遲單元的總數量可以被減少，第二延遲信號的頻寬(震盪頻率的範圍)將可以被提升。

另外，值得一提的是，第一延遲迴路 12 的多個第一延遲單元為多個邏輯閘組成的電路，且多個第一延遲單元可能彼此不同。同樣地，第二延遲迴路 14 的多個第二延遲單元為多個邏輯閘組成的電路，且多個第二延遲單元可能彼此不同。除此之外，第一與第二延遲單元可以經設計，而能接收延遲控制信號。透過延遲控制信號的來控制第一延遲信號經過第一延遲迴路 12 與第二延遲迴路所產生的延遲

，將可以藉此調整第二延遲信號的震盪頻率。換言之，可以透過延遲控制信號來調整第二延遲信號的震盪頻率。

在此請注意，雖然上述說明提及使用者可以透過改變預設次數 Y 與第二延遲迴路 12 所接收的延遲控制信號來調整第二延遲信號的震盪頻率，但改變預設次數 Y 來調整第二延遲信號的震盪頻率的方式屬於粗調(coarse tune)階段的震盪頻率調整方式，而改變第二延遲迴路 12 所接收的延遲控制信號來調整第二延遲信號的震盪頻率的方式則屬於細調(fine tune)階段的震盪頻率調整方式。

在其他的實施方式中，第一延遲迴路 12 除了多個由多個邏輯閘組成的第一延遲單元外，其輸出端 OUT1 前可能還設置一個反向器。另外，第二延遲迴路 14 除了多個由多個邏輯閘組成的第一延遲單元外，其輸出端 OUT2 前可能還設置一個用以接收視窗信號的及閘，其中視窗信號用以控制數位震盪控制器 1 是否將第二延遲信號輸出。除此之外，數位控制震盪控制器 1 更可以包括反向器與緩衝器設置於輸出端 OUT2 之後，甚至，數位控制震盪控制器 1 更能夠具有一個迴授電路將第二延遲信號迴授至震盪信號控制電路 10。

請接著參照圖 2，圖 2 是本發明實施例的震盪信號控制電路的方塊圖。震盪信號控制電路 20 可以為圖 1 之震盪信號控制電路 10 的一種實施方式。震盪信號控制電路 20 包括計數器 22、門閘器(latch) 24 與 28。門閘器 34 與 38 的輸入端電性連接第一延遲迴路的輸出端 OUT1，門閘器 24 與 28 的觸發端電性連接計數器 22，而門閘器 24 與 28 的輸出端則分別電性連接第一與第二延遲迴路的

輸入端 IN1 與 IN2。計數器 22 的一個輸入端電性連接第一延遲迴路的輸出端 OUT1，計數器 22 的另一個輸入端則接收預定次數 Y。

計數器 22 用以計數震盪信號控制電路 20 接收第一延遲信號的次數。計數器 22 依據震盪信號控制電路 20 接收第一延遲信號的次數與預定次數 Y 產生控制信號給門閘器 24 與 28 的觸發端。當震盪信號控制電路 20 接收第一延遲信號的次數小於預定次數 Y，則門閘器 24 與 28 分別被開啟與關閉，使得第一延遲信號再次被輸入至第一延遲迴路。當震盪信號控制電路 20 接收第一延遲信號的次數大於或等於預定次數 Y 時，則門閘器 24 與 28 分別被關閉與開啟，使得第一延遲信號得以被輸入至第二延遲迴路。

〔數位控制震盪器的另一實施例〕

請接著參照圖 3，圖 3 是本發明另一實施例的數位控制震盪器的方塊圖。數位控制震盪器 3 包括數位震盪信號控制電路 30、第一延遲迴路 32、第二延遲迴路 34、迴授電路 36、反向器 37 與緩衝器 38。震盪信號控制電路 30 的其中兩個輸入端分別電性連接第一延遲迴路 32 的輸出端 OUT1 與第二延遲迴路 34 的輸出端 OUT2，震盪信號控制電路 30 的另一個輸入端則接收預定次數 Y。震盪信號控制電路 30 的兩個輸出端分別電性連接第一延遲迴路 32 的輸入端 IN1 與第二延遲迴路 34 的輸入端 IN2，且震盪信號控制電路的迴授信號輸入端電性連接迴授電路 36 的輸出端 OUT3。反向器 37 的輸入端電性連接第二延遲迴路 34 的輸出端 OUT2，反向器 37

的輸出端電性連接迴授電路的輸入端。緩衝器 38 的輸入端電性連接反向器 37 的輸出端，緩衝器 38 的輸出端電性連接數位控制震盪器 2 的輸出端。

於圖 3 的實施例中，第二延遲迴路 34 可以從外部接收多個延遲控制信號 $C1 \sim CN$ ，延遲控制信號 $C1 \sim CN$ 用控制第一延遲信號經過第二延遲迴路 34 所產生的延遲。除此之外，第二延遲迴路 34 還可以從外部接收視窗信號 WIN，其中視窗信號 WIN 用以控制第二延遲迴路 62 的輸出端 OUT2 是否能夠輸出第二延遲信號。然而，需要說明的是，圖 3 實施例中的第二延遲迴路 34 並非用以限制本發明，且如同前面所述，第二延遲迴路 34 亦可以被設計為不需要由外部給予延遲控制信號 $C1 \sim CN$ 與視窗信號 WIN 的延遲迴路。

第一延遲迴路 32 具有多個串接的第一延遲單元，且與震盪信號控制電路 30 電性連接形成一個震盪迴路，故能夠產生第一延遲信號。若震盪信號控制電路 30 接收第一延遲信號的次數未到達預定次數 Y (亦即小於預定次數 Y)，則震盪信號控制電路 30 決定將第一延遲信號輸入至第一延遲迴路 32。若震盪信號控制電路 30 接收第一延遲信號的次數到達預定次數 Y (亦即大於或等於預定次數 Y)，則震盪信號控制電路 30 決定將第一延遲信號輸入至第二延遲迴路 34，且第二延遲迴路 34 依據其接收的第一延遲信號輸出第二延遲信號至第二延遲迴路 34 的輸出端 OUT2。第二延遲迴路 34 所輸出的第二延遲信號經過反向器 37 與緩衝器 38 可以作為電子晶片的時脈信號。另外，第二延遲迴路 34 所輸出的第二延遲

信號還會被震盪信號控制電路 30 接收而送至第一延遲迴路 32 的輸入端 IN1。

除此之外，迴授電路 36 用以依據第二延遲信號產生重置信號至震盪信號控制電路 30 的迴授信號輸入端，且震盪信號控制電路 30 依據重置信號決定是否重新計數接收第一延遲信號的次數。換言之，迴授電路 36 被設計在第二延遲迴路 34 的輸出端 OUT2 輸出第二延遲信號後，會產生用以使震盪信號控制電路 30 重新計數的重置信號。

請接著參照圖 4，圖 4 是本發明另一實施例的震盪信號控制電路的方塊圖。震盪信號控制電路 40 可以為圖 3 之震盪信號控制電路 30 的一種實施方式。震盪信號控制電路 40 包括計數器 42、門閘器(latch) 44 與多工器 48。門閘器 44 的輸入端電性連接第一延遲迴路的輸出端 OUT1，門閘器 44 的觸發端電性連接計數器 42，而門閘器 44 輸出端則電性連接第二延遲迴路的輸入端 IN2。計數器 42 的一個輸入端電性連接第一延遲迴路的輸出端 OUT1，計數器 32 的另一個輸入端則接收預定次數 Y，且計數器 42 還具有一個迴授信號輸入端(重置信號輸入端)電性連接迴授電路的輸出端 OUT3。多工器 48 的兩個輸入端分別電性連接於第一與第二延遲迴路的輸出端 OUT1 與 OUT2，多工器 48 的輸入端電性連接第一延遲迴路的輸入端 IN1，且多工器 48 的控制端電性連接計數器 42。

計數器 42 用以計數震盪信號控制電路 40 接收第一延遲信號的次數。計數器 42 依據震盪信號控制電路 40

接收第一延遲信號的次數與預定次數 Y 產生控制信號與選擇信號分別給門閘器 44 的觸發端與多工器 48 的控制端。當震盪信號控制電路 40 接收第一延遲信號的次數小於預定次數 Y ，則門閘器 44 被關閉，且多工器 48 選擇輸出來自於輸出端 OUT1 的第一延遲信號至輸入端 IN1。當震盪信號控制電路 40 接收第一延遲信號的次數大於或等於預定次數 Y 時，則門閘器 44 被開啟，且多工器 48 選擇輸出來自於輸出端 OUT2 的第二延遲信號至輸入端 IN1。另外，在第二延遲迴路將第二延遲信號輸出於輸出端 OUT2 後，迴授電路會接收第二延遲信號，並據此產生重置信號。計數器 42 接收重置信號，並且依據重置信號是否重新計數接收第一延遲信號的次數。

請接著參照圖 5，圖 5 是本發明實施例提供的第一延遲迴路的電路圖。第一延遲迴路 50 可作為上述實施例之第一延遲迴路的其中一種實施方式。第一延遲迴路 50 包括多個串接的第一延遲單元 52 與反向器 53。除了最後一級的第一延遲單元 52 的輸出端電性連接反向器 53 的輸入端外，每一級的第一延遲單元 52 的輸出端電性連接後一級的第一延遲單元 52 的輸入端。第一級的第一延遲單元 52 的輸入端電性連接輸入端 IN1，而反向器 53 的輸出端則電性連接輸出端 OUT1。

第一延遲單元 52 包括或閘 521 與及閘 522。及閘 522 的兩個輸入端於此實施例中用以接收特定的數值，例如邏輯 0，但要說明的是，本發明並不限定於此。或閘 521 的兩個輸入端分別電性連接及閘 522 的輸出端與

第一延遲單元 52 的輸入端，而或閘 521 的輸出端則電性連接第一延遲單元 52 的輸出端。

另外，需要說明的是，上述第一延遲單元 52 的實施方式並非用以限制本發明，圖 5 的第一延遲單元 52 僅是其中一種實施方式。換言之，第一延遲單元 52 包括至少一個邏輯閘，且第一延遲單元 52 中的邏輯閘之連接方式也不限定。

請接著參照圖 6，圖 6 是本發明實施例提供的第二延遲迴路的電路圖。第二延遲迴路 60 可作為上述實施例之第二延遲迴路的其中一種實施方式。第二延遲迴路 60 包括多個串接的第二延遲單元 62 與及閘 63。每一個第二延遲單元 62 具有第一至第三輸入端。除了最後一級的第二延遲單元 62 的輸出端電性連接及閘 63 的其中一個輸入端外，每一級的第二延遲單元 62 的輸出端電性連接後一級的第二延遲單元 62 的第一輸入端。每一個第二延遲單元 62 的第二輸入端電性連接輸入端 IN2。第一級的第二延遲單元 62 的第一輸入端接收特定的數值，例如邏輯 0。及閘 63 的輸出端電性連接輸出端 OUT1。另外，及閘 63 的另外一個輸入端接收視窗信號 WIN，而每一個第二延遲單元 62 的第三輸入端更可以接收多個延遲控制信號 C1~CN 的其中之一。

第二延遲單元 62 包括或閘 621 與及閘 622。及閘 622 的兩個輸入端(即第二延遲單元 62 的第二與第三輸入端)分別電性連接輸入端 IN2 與用以接收多個延遲控制信號 C1~CN 的其中之一。或閘 621 的兩個輸入端分別電性連接及閘 622 的輸出端與第一延遲單元 62 的第

一輸入端，而或閘 621 的輸出端則電性連接第一延遲單元 62 的輸出端。第二延遲迴路 62 會依據視窗信號 WIN 控制輸出端 OUT2 是否能夠輸出第二延遲信號。

另外，需要說明的是，上述第二延遲單元 62 的實施方式並非用以限制本發明，圖 6 的第二延遲單元 62 僅是其中一種實施方式。換言之，第二延遲單元 62 包括至少一個邏輯閘，且第二延遲單元 62 中的邏輯閘之連接方式也不限定。

請接著參照圖 7，圖 7 是本發明實施例的迴授電路的電路圖。迴授電路 70 可作為上述實施例之迴授電路的其中一種實施方式。迴授電路 70 包括互斥或閘 72 與緩衝器模組 74。緩衝器模組 74 具有多個串接的緩衝器。緩衝器模組 74 的輸入端電性連接輸入端 IN3，緩衝器模組 74 的輸出端電性連接互斥或閘 72 的其中一個輸入端。互斥或閘 72 的另一個輸入端電性連接輸入端 IN3，而互斥或閘 72 的輸出端則電性連接輸出端 OUT3。迴授電路 70 可以依據第二延遲信號(如圖 3 之反向的第二延遲信號)來產生重置信號。

透過上述的描述，請繼續參照圖 3，第二延遲信號的震盪頻率是兩階段的調整，此兩階段分別為粗調階段與細調階段。於粗調階段，使用者可以設定預定次數 Y 來對第二延遲信號的震盪頻率進行粗略地調整。當震盪信號控制電路 30 接收第一延遲信號的次數到達預定次數 Y 後，使用者可以於細調階段，透過改變延遲控制信號 C1~CN 來對第二延遲信號的震盪頻率進行精細地調整。

除此之外，需要說明的是，於圖 3 的實施例中，反向

器 37 可以被移至迴授電路 36 中，且緩衝器 38 可以被移除。換言之，輸出端 OUT2 之後的電路可以依據使用者的需要而設計，且迴授電路 36 也可以對應使用者的需要而進行設計。

〔電子裝置的實施例〕

請參照圖 8，圖 8 是本發明實施例的電子裝置的方塊圖。電子裝置 8 包括數位控制震盪器 81、電子晶片 82~84 與反向器 85~87。電子晶片 82 直接電性連接數位控制震盪器 81，電子晶片 83 透過反向器 85 電性連接數位控制震盪器 81，而電子晶片 84 透過反向器 86、87 電性連接數位控制震盪器 81。

數位控制震盪器 81 可以是前述實施例的數位控制震盪器或依據前述實施例之教導而略有變化的數位控制震盪器，其用以產生第二延遲信號。第二延遲信號可以用來產生電子晶片 82~84 的時脈信號，以使電子晶片 82~84 可以依據時脈信號進行操作。更詳細地說，於此實施例中，第二延遲信號直接作為電子晶片 82 的時脈信號。另外，第二延遲信號經過反向器 85 而作為電子晶片 83 的時脈信號，且第二延遲信號經過反向器 86、87 而作為電子晶片 84 的時脈信號。

然而，要說明的是，圖 8 的實施例並非用以限定本發明。數位控制震盪器 81 的後端可能還具有其他電路會對第二延遲信號進行處理，而直接時脈信號。在其他實施例中，反向器 85~87 亦可能移至數位控制震盪器 81 中。除此之外，電子晶片 82~84 的類型與數量皆非用以限定本發明。

〔實施例的可能功效〕

綜上所述，本發明實施例中的數位控制震盪器藉由雙延遲迴路的設計方式，使得延遲單元的數量可以大幅減少(亦即可減少邏輯閘與多工器的數量)。據此，相較於傳統的數位控制震盪器，所述數位控制震盪器具有較低的電路設計複雜度與較小的電路面積。

另外，時脈信號(由第二延遲信號產生)所經過的閘延遲較少，故使得時脈信號的震盪頻率範圍之高頻部份可被提昇。除此之外，透過增加計數器的位元數，還能夠使得時脈信號所經過的閘延遲增加，從而使得時脈信號的震盪頻率範圍之低頻的部份可被降低。

除了上述的可能功效外，所述數位控制振盪器因可以被視窗信號控制開啟或關閉，故能夠減少數位控制振盪器的工作時間，以降低功率消耗。總而言之，所述數位控制振盪器具有低成本、低功率消耗、高頻寬與可快速調整震盪頻率的可能功效。

以上所述，僅為本發明之較佳可行實施例，非因此侷限本創作之專利範圍，故舉凡運用本發明說明書及圖式內容所為之等效技術變化，均含於本發明之發明。

【圖式簡單說明】

圖 1 為本發明實施例的數位控制震盪器之方塊圖。

圖 2 是本發明實施例的震盪信號控制電路的方塊圖。

圖 3 是本發明另一實施例的數位控制震盪器的方塊圖。

圖 4 是本發明另一實施例的震盪信號控制電路的方

塊圖。

圖 5 是本發明實施例提供的第一延遲迴路的電路圖。

。

圖 6 是本發明實施例提供的第二延遲迴路的電路圖。

。

圖 7 是本發明實施例的迴授電路的電路圖。

圖 8 是本發明實施例的電子裝置的方塊圖。

【主要元件符號說明】

1、3、81：數位控制震盪器

10、20、30、40：震盪信號控制電路

12、32、50：第一延遲迴路

14、34、60：第二延遲迴路

22、42：計數器

24、28、44：門閘器

36、70：迴授電路

37、53、85~87：反向器

38：緩衝器

48：多工器

52：第一延遲單元

521、621：或閘

522、622、63：及閘

62：第二延遲單元

72：互斥或閘

74：緩衝器模組

8：電子裝置

82~84：電子晶片

七、申請專利範圍：

1. 一種數位控制震盪器，包括：

一第一延遲迴路，具有串接的多個第一延遲單元；

一第二延遲迴路，具有串接的多個第二延遲單元；以及

一震盪信號控制電路，電性連接於該第一與第二延遲迴路，用以接收該第一延遲迴路輸出的一第一延遲信號，並根據接收該第一延遲信號的次數決定將該第一延遲信號輸出至該第一或該第二延遲迴路的一輸入端；

其中當該震盪信號控制電路將該第一延遲信號輸入至該第二延遲迴路後，該第二延遲迴路輸出一第二延遲信號至該數位控制震盪器的一輸出端；

其中該第二延遲迴路所輸出的第二延遲信號更被該震盪信號控制電路所接收，並且傳送至該第一延遲迴路的該輸入端；

其中該數位控制震盪器更包括：

一迴授電路，電性連接該震盪信號控制電路的一迴授信號輸入端，用以依據該第二延遲信號產生一重置信號至該震盪信號控制電路的該迴授信號輸入端；

其中該震盪信號控制電路依據該重置信號決定是否重新計數接收該第一延遲信號的次數；

其中該震盪信號控制電路包括：

一門閘器，依據一控制信號將該第一延遲信號輸出至該第二延遲迴路的該輸入端；

一多工器，依據一選擇信號將該第一或該第二延遲信號輸入至該第一延遲迴路的該輸入端；以及

一計數器，用以計數該震盪信號控制電路接收該第一延遲信號的次數，依據該震盪信號控制電路接收該第一延遲信號的次數與一預定次數產生該控制信號與該選擇信號。

2. 如申請專利範圍第 1 項所述之數位控制震盪器，其中該第一延遲迴路更包括：

一反向器，其一輸入端電性連接最後一級的該第一延遲單元之該輸出端，且其一輸出端電性連接該第一延遲迴路的一輸出端。

3. 如申請專利範圍第 1 項所述之數位控制震盪器，其中該第二延遲迴路更包括：

一及閘，其一第一輸入端電性連接最後一級的該第二延遲單元，其一第二輸入端接收一視窗信號，且一輸出端電性連接該第二延遲迴路的一輸出端。

4. 如申請專利範圍第 1 項所述之數位控制震盪器，其中該第二延遲迴路中的該些第二延遲單元分別接收多個延遲控制信號，該些延遲控制信號用控制該第一延遲信號經過該第二延遲迴路所產生的延遲，以藉此產生該第二延遲信號。

5. 如申請專利範圍第 1 項所述之數位控制震盪器，更包括：

一反向器，電性連接於該迴授電路與該第二延遲電路之間，用以產生反向的該第二延遲信號給該迴授電路。

6. 如申請專利範圍第 5 項所述之數位控制震盪器，其中該迴授電路包括：
- 一緩衝器模組，具有多個串接的緩衝器，其一輸入端接收反向的該第二延遲信號；以及
 - 一互斥或閘，其一輸出端電性連接該震盪信號控制電路的該迴授信號輸入端，其一第一輸入端接收該反向的該第二延遲信號，其一第二輸入端電性連接該緩衝器模組的一輸出端。
7. 一種電子裝置，包括：
- 至少一電子晶片，用以接收依據一第二延遲信號產生的一時脈信號，以進行操作；以及
 - 一數位控制震盪器，包括：
 - 一第一延遲迴路，具有串接的多個第一延遲單元；
 - 一第二延遲迴路，具有串接的多個第二延遲單元；以及
 - 一震盪信號控制電路，電性連接於該第一與第二延遲迴路，用以接收該第一延遲迴路輸出的一第一延遲信號，並根據接收該第一延遲信號的次數決定將該第一延遲信號輸出至該第一或該第二延遲迴路的一輸入端；
- 其中當該震盪信號控制電路將該第一延遲信號輸入至該第二延遲迴路後，該第二延遲迴路輸出該第二延遲信號至該數位控制震盪器的一輸出端；
- 其中該第二延遲迴路所輸出的第二延遲信號更被

該震盪信號控制電路所接收，並且傳送至該第一延遲迴路的該輸入端；

其中該數位控制震盪器更包括：

一迴授電路，電性連接該震盪信號控制電路的一迴授信號輸入端，用以依據該第二延遲信號產生一重置信號至該震盪信號控制電路的該迴授信號輸入端；

其中該震盪信號控制電路依據該重置信號決定是否重新計數接收該第一延遲信號的次數；

其中該震盪信號控制電路包括：

一門閘器，依據一控制信號將該第一延遲信號輸出至該第二延遲迴路的該輸入端；

一多工器，依據一選擇信號將該第一或該第二延遲信號輸入至該第一延遲迴路的該輸入端；
以及

一計數器，用以計數該震盪信號控制電路接收該第一延遲信號的次數，依據該震盪信號控制電路接收該第一延遲信號的次數與一預定次數產生該控制信號與該選擇信號。

八、圖式：

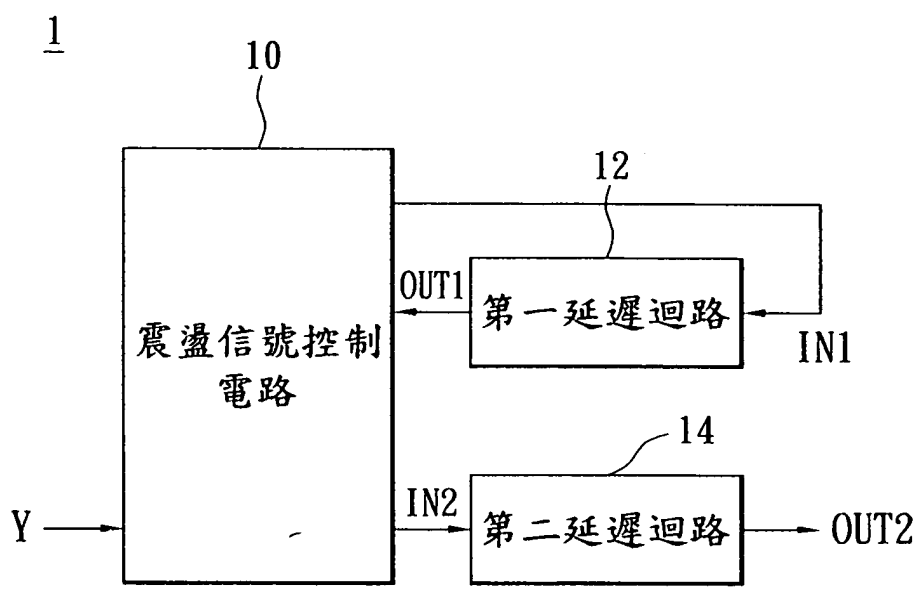


圖 1

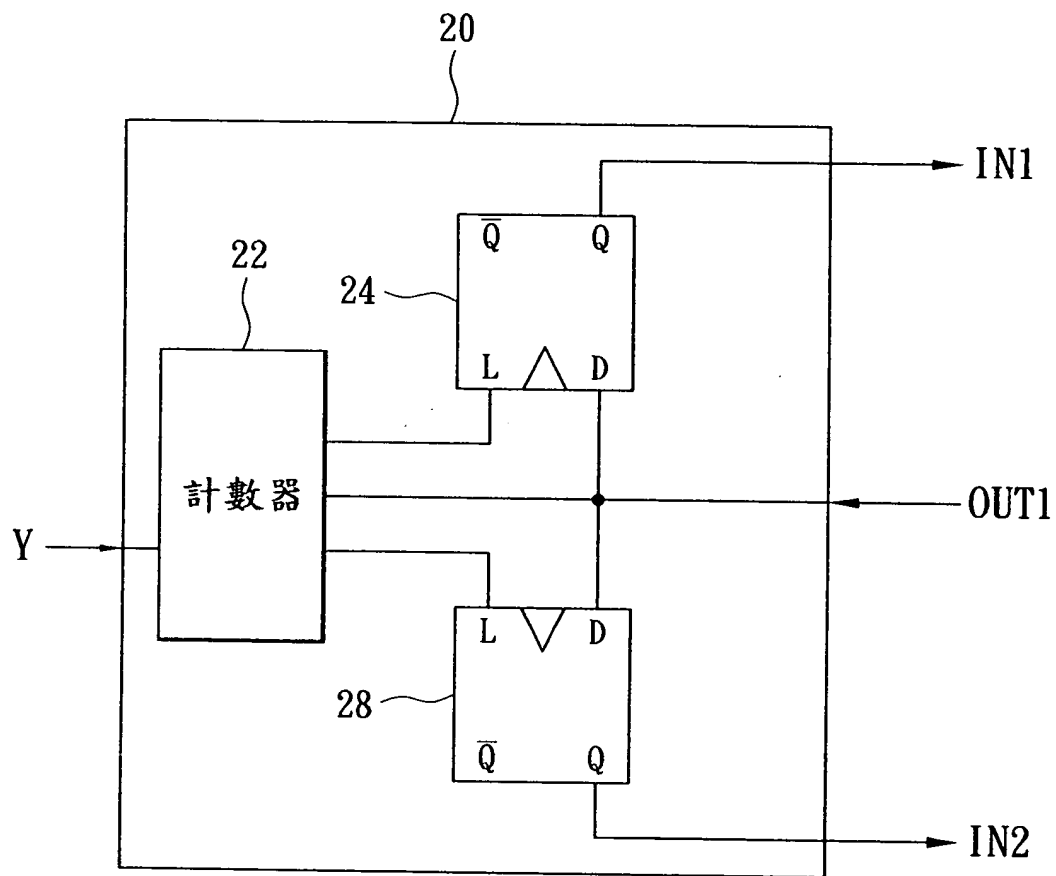


圖2

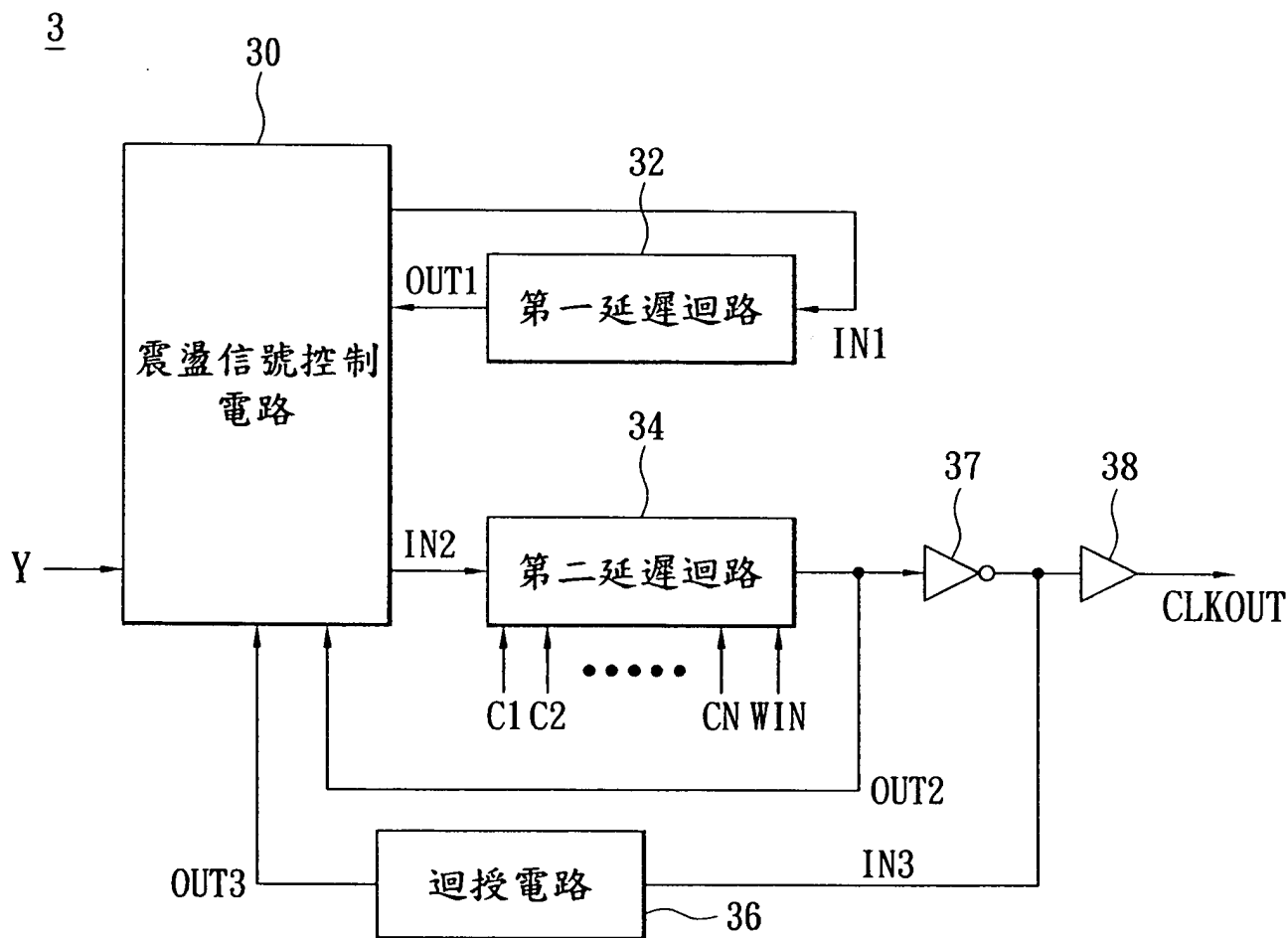


圖3

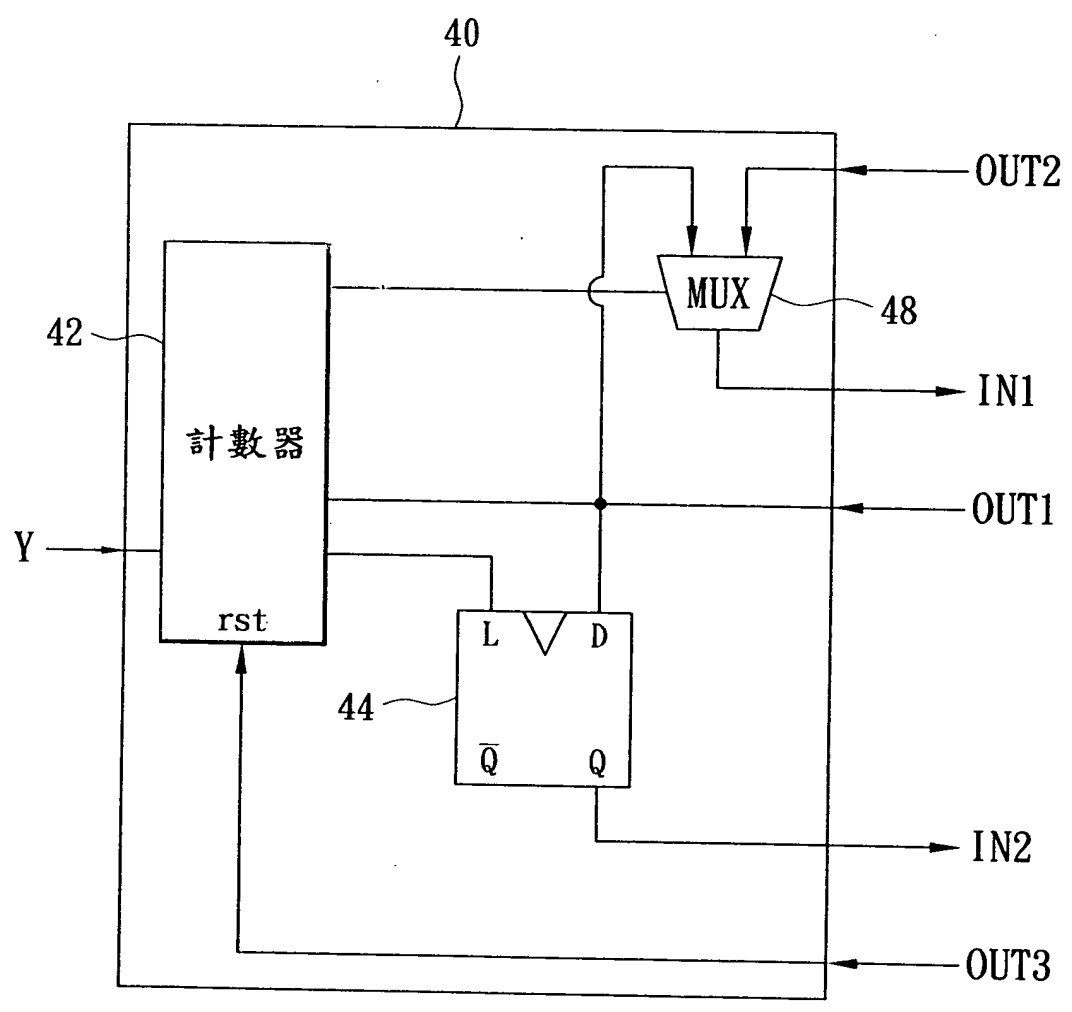


圖4

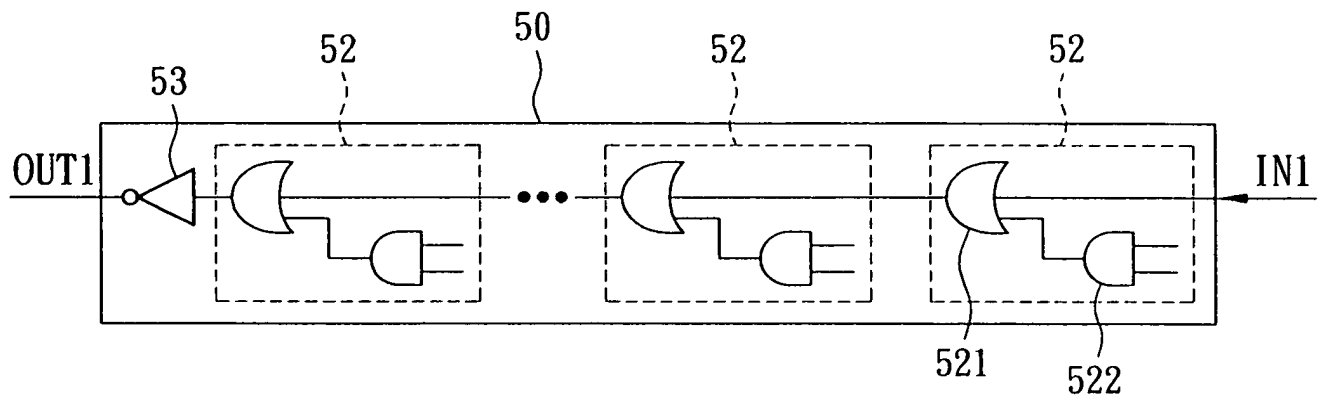


圖5

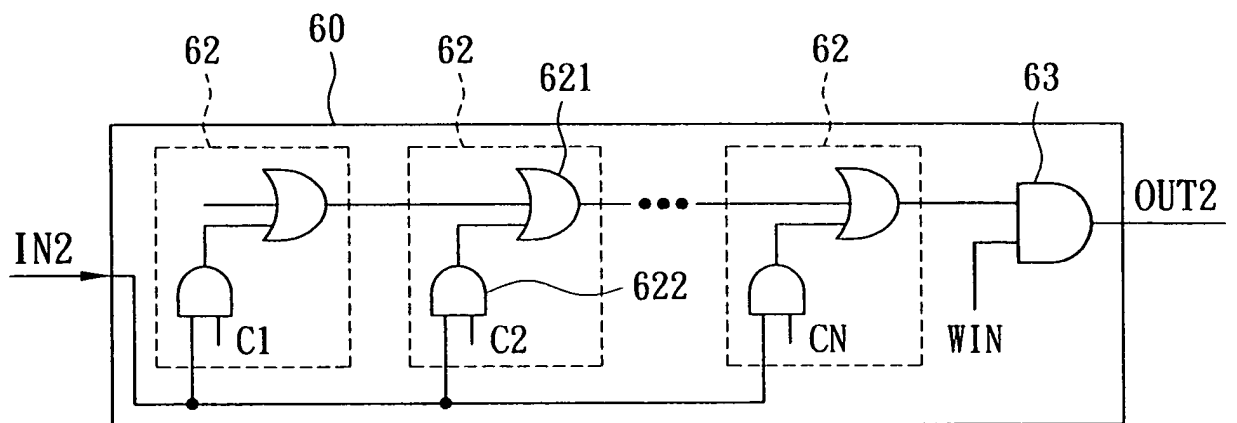


圖6

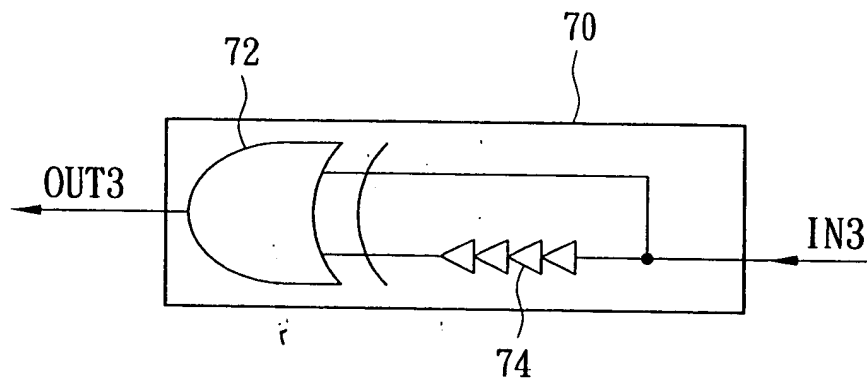


圖7

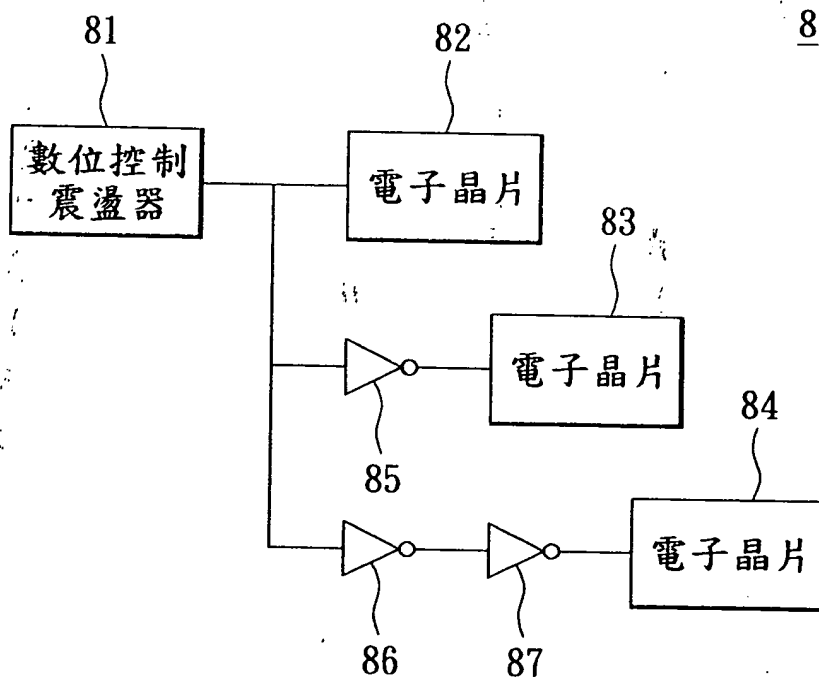


圖8