



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I470631 B

(45) 公告日：中華民國 104 (2015) 年 01 月 21 日

(21) 申請案號：100119160

(22) 申請日：中華民國 100 (2011) 年 06 月 01 日

(51) Int. Cl. : G11C11/413 (2006.01)

G11C8/04 (2006.01)

(71) 申請人：國立交通大學 (中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

(72) 發明人：邱議德 CHIU, YI TE (TW) ; 張銘宏 CHANG, MING HUNG (TW) ; 楊皓義 YANG, HAO I (TW) ; 黃威 HWANG, WEI (TW)

(74) 代理人：陳昭誠

(56) 參考文獻：

US 6998722B2

US 7116605B2

US 7359275B1

US 7733688B2

US 2008/0005492A1

US 2010/0232202A1

審查人員：謝志偉

申請專利範圍項數：8 項 圖式數：5 共 23 頁

(54) 名稱

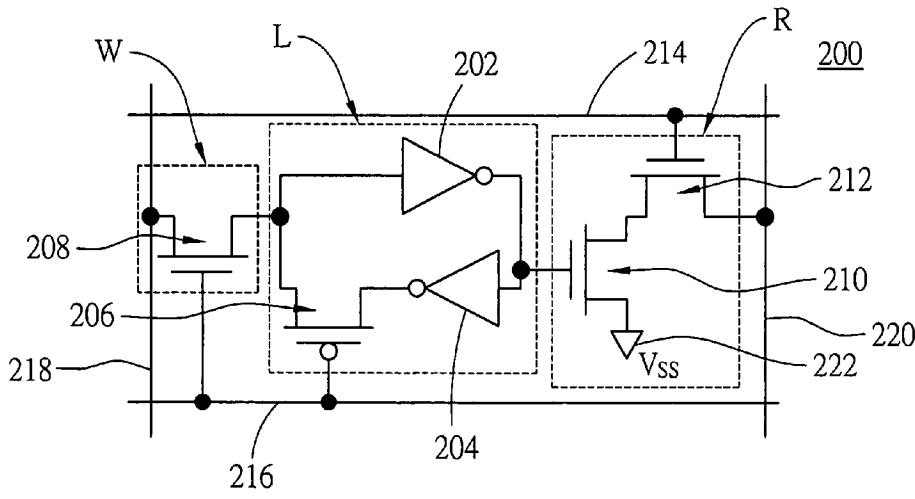
雙埠次臨界靜態隨機存取記憶體單元

DUAL-PORT SUBTHRESHOLD SRAM CELL

(57) 摘要

本發明係提供一種創新的雙埠次臨界靜態隨機存取記憶體(static random access memory, 下稱 SRAM)單元, 適用於次臨界電壓(subthreshold voltage)下操作。本發明之雙埠次臨界 SRAM 單元在寫入時, 會切斷記憶元件之正回授, 並應用反短通道效應(reverse short-channel effect, RSCE)增強寫入能力。而本發明單端讀寫的架構更能夠進一步降低長位線(long bit line)所造成的功率消耗, 因此更適合應用於長時間工作之先進先出(first-in first-out, FIFO)記憶體設計。據此, 本發明之 SRAM 單元在次臨界電壓下仍然能夠提供穩定的操作, 解決習知記憶體單元因降低電壓而造成穩定度下降的問題。

The present invention provides an innovative dual-port subthreshold static random access memory (SRAM) cell suitable for sub-threshold voltage operation. When the dual-port subthreshold SRAM of the present invention works at write mode, it will cut off the positive feedback loop of the inverter pairs and utilize the reverse short-channel effect (RSCE) in order to enhance write ability. The single-ended read/write port structure can further reduce power consumption of the lengthy bit line. Therefore, it is a suitable design for long working hours of the first-in first-out (FIFO) memory. In spite of the fact that the lower voltage reduces the stability of the memory cell, the present invention can still provide a stable operation in sub-threshold voltage regime.



第 2 圖

- 200 . . . 雙埠次臨界靜態隨機存取記憶體單元
- 202 . . . 反相器
- 204 . . . 反相器
- 206 . . . 傳輸型電晶體
- 208 . . . 寫入存取電晶體
- 210 . . . 讀取電晶體
- 212 . . . 讀取電晶體
- 214 . . . 讀取字線
- 216 . . . 寫入字線
- 218 . . . 寫入位線
- 220 . . . 讀取位線
- 222 . . . 接地端
- L . . . 鎖存器
- R . . . 讀取模組
- W . . . 寫入存取模組

## 發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：

※申請日：

100119160  
100.6.01

※IPC 分類：

G11C 4/43 2006.01  
G11C 8/04 2006.01

一、發明名稱：(中文/英文)

雙埠次臨界靜態隨機存取記憶體單元

DUAL-PORT SUBTHRESHOLD SRAM CELL

二、中文發明摘要：

本發明係提供一種創新的雙埠次臨界靜態隨機存取記憶體(static random access memory, 下稱 SRAM)單元，適用於次臨界電壓(substhreshold voltage) 下操作。本發明之雙埠次臨界 SRAM 單元在寫入時，會切斷記憶元件之正回授，並應用反短通道效應(reverse short-channel effect, RSCE)增強寫入能力。而本發明單端讀寫的架構更能夠進一步降低長位線(long bit line)所造成的功率消耗，因此更適合應用於長時間工作之先進先出(first-in first-out, FIFO)記憶體設計。據此，本發明之 SRAM 單元在次臨界電壓下仍然能夠提供穩定的操作，解決習知記憶體單元因降低電壓而造成穩定度下降的問題。

### 三、英文發明摘要：

The present invention provides an innovative dual-port subthreshold static random access memory (SRAM) cell suitable for sub-threshold voltage operation. When the dual-port subthreshold SRAM of the present invention works at write mode, it will cut off the positive feedback loop of the inverter pairs and utilize the reverse short-channel effect (RSCE) in order to enhance write ability. The single-ended read/write port structure can further reduce power consumption of the lengthy bit line. Therefore, it is a suitable design for long working hours of the first-in first-out (FIFO) memory. In spite of the fact that the lower voltage reduces the stability of the memory cell, the present invention can still provide a stable operation in sub-threshold voltage regime.

## 四、指定代表圖：

(一)本案指定代表圖為：第(2)圖。

(二)本代表圖之元件符號簡單說明：

200	雙埠次臨界靜態隨機存取記憶體單元
202	反相器
204	反相器
206	傳輸型電晶體
208	寫入存取電晶體
210	讀取電晶體
212	讀取電晶體
214	讀取字線
216	寫入字線
218	寫入位線
220	讀取位線
222	接地端
L	鎖存器
R	讀取模組
W	寫入存取模組

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

本案無化學式。

## 六、發明說明：

### 【發明所屬之技術領域】

本發明係有關於一種雙埠靜態隨機存取記憶體(static random access memory, SRAM)單元，更具體而言，係關於一種能長時間工作之先進先出(first-in first-out, 下稱 FIFO) 雙埠次臨界 SRAM 單元。

### 【先前技術】

近年來，由於半導體技術日新月異與半導體積體化程度不斷提升，並且朝向單晶片系統發展，各種構成元件之尺寸微型化已是勢不可擋。尤其是現今相當熱門的生醫電子領域，嵌入式記憶體(embedded memory)為單晶片系統不可或缺之一部分，其中又以靜態隨機存取記憶體(static random access memory, 下稱 SRAM)的使用最為廣泛，普遍的用於資料暫存以及資料傳輸。

通常於生醫電子之積體電路(integrated circuit; IC)設計時，可能不需要非常快的操作速度，但是要能長時間運作且不需要消耗太多的功率。而次臨界(subthreshold)操作電壓即能有效地達成超低功率消耗(ultra-low power consumption)之目的。然而，伴隨而來的是穩定度、可靠度問題，特別在奈米製程(nanometer process)下的製程變異(process variation)、電壓變異(voltage variation)和溫度變異(temperature variation)，使得穩定度成為最重要的設計考量。另一方面，由於傳統的 SRAM 設計，已經面臨到靜態雜訊邊際(static noise margin, 下稱 SNM)嚴重縮減的問

題，而 SNM 變小將會對小訊號帶來嚴重影響，所以也必須克服該 SNM 變小的問題。

由此可知，隨著積體電路積體化需求的提高，需要更穩定且可靠的 SRAM。然而，傳統的 SRAM 難以達成此目標，遂發展出雙埠的 SRAM 設計。請參照第 1 圖所示，係說明傳統的雙埠 SRAM 設計。如圖所示，雙埠 SRAM 單元 100 包括一對交叉耦合的反相器 (cross-coupled inverter) 102、104，一對寫入電晶體 (write transistor) 108、112，和一對讀取電晶體 (read transistor) 106、110。其中，交叉耦合的反相器 102、104 係設置於雙埠 SRAM 單元 100 的中間區域以作為記憶元件，寫入電晶體 108 係藉由其源極/汲極連接於寫入位線 (write bit line) 118 和記憶元件間，寫入電晶體 112 係藉由其源極/汲極連接於寫入位線 (write bit line) 120 和記憶元件間，讀取電晶體 106 係藉由其源極/汲極連接於記憶元件和讀取位線 (read bit line) 122 間，而讀取電晶體 110 則係藉由其源極/汲極連接於記憶元件和讀取位線 (read bit line) 124 間。

此種雙埠 SRAM 單元 100 的問題在於，由於訊號程度的減小與奈米製程的變異 (process variation) 會造成讀取的 SNM 變小，進而無法在次臨界區域工作。另外，因為奈米技術與電源電壓不斷的縮小，雙埠 SRAM 單元 100 之寫入邊際 (write margin) 也隨著變小，所以還需要額外的控制電路來提昇其寫入能力。但額外的控制電路卻會增加消耗功率與晶片面積，故不適合應用於長期工作之 FIFO 記憶體

系統之中。

因此，如何提出一種能夠長時間操作於超低電壓下之 SRAM，以增加穩定度及降低 SNM 影響，同時，也適合操作於次臨界電壓，並且能應用於生醫相關之 IC 設計，實為目前各界亟欲解決之技術問題，更能有助於往後生醫電子或其他相關產業的發展。

### 【發明內容】

鑒於上述習知技術之缺點，本發明之一目的係在於提供高穩定度之靜態隨機存取記憶體單元，以克服因奈米製程的製程變異、電壓變異和溫度變異等因素造成穩定度問題。

本發明之另一目的係在於提供能有效地長期工作於先進先出(first-in first-out，下稱 FIFO)記憶體系統之記憶體單元，並在讀取操作時，讓資料存取節點不受位線(bit line)上的訊號干擾，進而增強讀取 SNM 值。

為達上述目的與其他目的，本發明係提供一種雙埠次臨界靜態隨機存取記憶體單元，係可應用於 FIFO 記憶體系統中，以及操作於次臨界電壓下，該單元雙埠次臨界靜態隨機存取記憶體單元係包括：一寫入位線；一寫入字線；讀取位線；一讀取字線；一寫入存取模組，係與該寫入位線及寫入字線連接；一鎖存器，係與該寫入存取模組及寫入字線連接；以及一讀取模組，係與該鎖存器、讀取位線、及讀取字線連接，其中，該鎖存器係具備傳輸型電晶體及交叉耦合的二反相器，而該傳輸型電晶體的汲極/源極係與



該二反相器連接，且該傳輸型電晶體的閘極係與該寫入字線連接。

於一實施例中，藉由切斷鎖存器中之記憶元件之正回授，係可增強本案的雙埠次臨界 SRAM 單元之寫入能力。此外，當然，也可應用反短通道效應(reverse short-channel effect, RSCE)來減小臨界電壓(threshold voltage,  $V_t$ )，以達到較好的寫入與讀取效能。

相較於習知技術，本發明不但能利用 RSCE 效應，且可穩定地操作於次臨界電壓下，所以能夠有效地提供記憶體單元穩定且可靠的讀寫能力。再者，由於本發明係於次臨界電壓下操作，並減少了位線數目，所以可降低漏電流(leakage current)，進而增加 SNM 值並減小因奈米製程變異等因素所造成的影響。因此，顯著地改善了 FIFO 記憶體系統下的問題，使得本發明的記憶體單元極適用於長期工作之 FIFO 記憶體系統中。

### 【實施方式】

以下係藉由特定的具體實施例說明本發明之技術內容，熟悉此技藝之人士可由本說明書所揭示之內容輕易地瞭解本發明之其他優點與功效。本發明亦可藉由其他不同的具體實施例加以施行或應用，本說明書中的各項細節亦可基於不同觀點與應用，在未悖離本發明之精神下進行各種修飾與變更。

請參照第 2 圖所示之電路圖，以說明本發明設計之雙埠次臨界靜態隨機存取記憶體（下稱雙埠次臨界 SRAM）

單元 200。如圖所示，雙埠次臨界 SRAM 單元 200 係包括由交叉耦合的反相器(cross-coupled inverter)202、204 和傳輸型電晶體(pass transistor)206 所組成的鎖存器(latch)L，可由寫入存取電晶體(write access transistor)208 構成的寫入存取模組 W，可由讀取電晶體(read transistor)210、212 構成的讀取模組 R，以及圍構於周圍的讀取字線(read word line)214、寫入字線(write word line)216、寫入位線(write bit line)218、及讀取位線(read bit line)220。

具體來說，讀取字線(read word line)214 及讀取位線(read bit line)220 係可與讀取模組 R 連接，寫入字線(write word line)216 係可與寫入存取模組 W 及鎖存器(latch)L 連接，而寫入位線(write bit line)218 係可與寫入存取模組 W 連接。

交叉耦合的反相器 202、204 係可設置於該雙埠次臨界 SRAM 單元 200 的中間區域，以作為雙埠次臨界 SRAM 單元 200 之記憶元件，且可用兩個互補的電晶體配置而成。而傳輸型電晶體 206 之源極/汲極係連接至反相器 202 之輸入端和反相器 204 之輸出端，以組成所述的鎖存器(latch)L。於一實施型態中，傳輸型電晶體 206 之源極和汲極，係可分別與反相器 202 的輸入端和反相器 204 的輸出端連接。於另一實施型態中，傳輸型電晶體 206 之源極和汲極，也可分別與反相器 204 的輸出端和反相器 202 的輸入端連接。

寫入存取電晶體 208 係藉由其源極/汲極連接在寫入

位線 218 與鎖存器(latch)L 間。於一實施型態中，寫入存取電晶體 208 的源極與汲極，係分別連接於寫入位線 218 與鎖存器(latch)L，而於另一實施型態中，寫入存取電晶體 208 的汲極與源極，係分別連接於寫入位線 218 與鎖存器(latch)L。而寫入存取電晶體 208 也可應用反短通道效應(reverse short-channel effect, RSCE)來進行操作以增加寫入存取能力。

而讀取電晶體 210 之閘極係可連接至鎖存器(latch)L，讀取電晶體 210 之源極/汲極係可分別連接至接地端(VSS)222 與讀取電晶體 212 一端之源極/汲極，且讀取電晶體 212 另一端之源極/汲極係可連接至讀取位線(read bit line) 220，同時，讀取電晶體 212 之閘極係可連接至讀取字線(read word line) 214。

值得一提的是，由於讀取電晶體 210、212 可與讀取位線 220 解耦(Decoupling)，在實際進行讀取操作時，資料存取節點不會受到位線上的雜訊干擾(noise disturb)，進而可增強讀取 SNM 值。其次，讀取電晶體 210、212 也可應用反短通道效應(reverse short-channel effect, RSCE)以進一步增進讀取位線 220 的讀取能力與讀取邊際。

再者，由於臨界電壓(threshold voltage, 下稱  $V_t$ )的變化是與電晶體長度與寬度的乘積之開根號成正比。因此，較大的通道長度會降低  $V_t$  的衝擊與影響。但是在次臨界區域，因 RSCE 效應會造成  $V_t$  的變小，所以實際應用時，也可藉由增加電晶體長度的方式來增加平均讀取電流與縮小

讀取延遲時間。

另外，本案之雙埠次臨界 SRAM 單元 200 操作在次臨界區域時，係能大大地增加其寫入能力，同時，本案也可藉由切斷交叉耦合的反相器 202、204 所組成之記憶元件的正回授，以增加其寫入邊際，從而不需要加入額外的附加電路即可達成增加寫入邊際的功效。

而在進行寫入操作時，寫入字線 216 會開啟寫入存取電晶體 208 與關閉傳輸型電晶體 206，此時，資料即可通過傳輸型電晶體 206 傳送到具有記憶功能之交叉耦合的反相器 202、204 中，而且，傳輸型電晶體 206 也可應用 RSCE 效應來降低臨界電壓，以進一步獲得更大的寫入邊際。

請參照第 3A 及 3B 圖繪示之 SNM 線形比較圖，以瞭解本案之雙埠次臨界 SRAM 單元 200 與傳統之雙埠 SRAM 單元 100 之特性差異。

如第 3A 圖所示，由於本案提供的雙埠次臨界 SRAM 單元 200 可操作在次臨界區域，所以能大大地增加其寫入能力，並能藉由切斷交叉耦合的反相器 202、204 之正回授，以增加其寫入邊際，從而不需要加入額外的附加電路即可達成。同時，該傳輸型電晶體 206 可應用 RSCE 效應來降低  $V_t$ ，更可以獲得較大的寫入邊際。故，本案的雙埠次臨界 SRAM 單元 200 的寫入 SNM 值會較傳統的雙埠 SRAM 單元 100 為高。

又如第 3B 圖所示，由於在臨界區域，較大的通道長度會降低  $V_t$  的衝擊與影響。但是在次臨界區域，因 RSCE

會造成  $V_t$  的變小，所以可藉由增加電晶體長度而增加平均讀取電流與縮小讀取延遲時間。再者，由於讀取電晶體 210、212 可與讀取位線 220 解耦，所以在讀取操作時，資料存取節點能不受位線上的雜訊干擾(noise disturb)，進而增強讀取 SNM 值。同時，讀取電晶體 210、212 也可應用 RSCE 效應，藉以增進讀取位線 220 的讀取能力與讀取邊際。故，本案的雙埠次臨界 SRAM 單元 200 的讀取 SNM 值也會比傳統的雙埠 SRAM 單元 100 高，從而解決 SNM 值變小的技術問題。

再請一同參照第 4A 至 4C 圖所示之功率消耗(power consumption) 線形比較圖，以進一步瞭解本案之雙埠次臨界 SRAM 單元 200 與傳統之雙埠 SRAM 單元 100 的差異。其中，第 4A 圖係繪示本案與習知技術的寫入功率消耗線形比較圖。第 4B 圖係描繪本案與習知技術之讀取功率消耗線形比較圖。第 4C 圖係描繪本案與習知技術之待命狀態功率消耗線形比較圖。

而基於本發明之單端讀取與單端寫入的架構可以有效地減少位線數目的特性，係可達到降低功率消耗的功效，從而使得本發明更適合應用於生醫相關或需要長期工作之 FIFO 記憶體系統設計中。而比較第 2 圖與第 1 圖即可清楚瞭解到，本案之設計能減少一條讀取位線及一條寫入位線。

請再參閱第 5 圖所示電路架構，以說明本發明之雙埠次臨界 SRAM 單元之另一種設計方式。而以此設計方式設

計出的雙埠次臨界 SRAM 單元 500，與前述第 2 圖繪示的雙埠次臨界 SRAM 單元 200 的最大差異處，即在於以讀取模組 R' 取代了讀取模組 R。

如圖所示，雙埠次臨界 SRAM 單元 500 同樣包括一對交叉耦合的反相器 (cross-coupled inverter) 502、504 和傳輸型電晶體 (pass transistor) 506 所組成的鎖存器 (latch) L，以及可由寫入存取電晶體 (write access transistor) 508 構成的寫入存取模組 W。而讀取電晶體 (read transistor) 510、512、514 和 516 則構成了讀取模組 R'。

一對交叉耦合的反相器 502、504 係設置於雙埠次臨界 SRAM 單元 500 的中間區域，以作為記憶元件，而反相器 502、504 同樣可以由兩個互補的電晶體配置而成。傳輸型電晶體 506 之源極/汲極同樣連接至反相器 502 之輸入端和反相器 504 之輸出端，以組成鎖存器 (latch) L。

寫入存取電晶體 508 一端之源極/汲極係連接到鎖存器 (latch) L，而另一端之源極/汲極係連接到寫入位線 522。

而讀取電晶體 510 一端之源極/汲極係連接至電源端 (VDD) 526，讀取電晶體 510 之閘極係連接至讀取字線 518。讀取電晶體 516 一端之源極/汲極係連接至接地端 (VSS) 528，讀取電晶體 516 之閘極也連接至讀取字線 518。其次，讀取電晶體 512 則藉由其源極/汲極連接讀取位線 524 和讀取電晶體 510、及讀取電晶體 514 之源極/汲極。而讀取電晶體 514 的閘極則連接至鎖存器 (latch) L，且讀取電晶體 514 之源極/汲極係與讀取電晶體 510、512、516 的

源極/汲極連接。

由於讀取電晶體 510、512、514 和 516 可與讀取位線 524 解耦，故在進行讀取操作時，資料存取節點不會受到位線上的雜訊干擾，進而能增大讀取 SNM 值。同時，讀取電晶體 510、512、514 和 516 也可進一步應用 RSCE 效應，以增進讀取位線 524 的讀取能力與讀取邊際。

另外，雙埠次臨界 SRAM 單元 500 當然也可操作在次臨界區域，以大大地增加其寫入能力，同樣的，藉由切斷交叉耦合的反相器 502、504 之正回授，也可以增加其寫入邊際，從而不需要加入額外的附加電路。當然，在寫入操作時，寫入字線 520 也會開啟寫入存取電晶體 508 與關閉傳輸型電晶體 506，令資料可通過傳輸型電晶體 506 傳送到具有記憶功能之反相器 502、504 中，而且，傳輸型電晶體 506 更可應用 RSCE 效應來降低  $V_t$ ，以獲得較大的寫入邊際。

需補充說明的是，雖然根據前述實施例所揭露之內容，本案係提出一種適用於長時間工作之 FIFO 記憶體系統，並應用 RSCE 效應以提高讀取時之抗雜訊能力，與增加寫入時之穩定度的記憶體單元，但本發明的記憶體單元並不限定在 FIFO 記憶體系統，亦即，也可應用在行動通訊系統、生醫電子系統、電腦系統或其它相關裝置與系統。

綜上所述，本發明提出一種適用於次臨界電壓操作的雙埠 SRAM 單元設計。而即便降低電壓通常會使穩定度下降，但本發明卻仍舊能於次臨界電壓操作下提供穩健的操

作，不會具有穩定度下降的困擾。另外，本發明之雙埠次臨界 SRAM 單元於寫入操作時，能藉由切斷記憶元件之正回授以增強寫入能力。而本案設計的單端讀寫的架構，更能夠進一步降低因長位線所造成的功率消耗。因此，本案之設計係提供了一種非常適合應用在長時間工作的 FIFO 記憶體系統中的記憶體單元，從而不但解決了習知技術的種種問題，也進一步提高了記憶體系統整體的工作效能。

惟，上述實施例僅例示性說明本發明之原理及其功效，而非用於限制本發明。任何熟習此項技藝之人士均可在不違背本發明之精神及範疇下，對上述實施例進行修飾與改變。因此，本發明之保護範圍當視後附之申請專利範圍所界定者為準。

#### 【圖式簡單說明】

第 1 圖係為傳統之雙埠靜態隨機存取記憶體 (static random access memory, SRAM) 單元之電路架構圖；

第 2 圖係為本發明之雙埠次臨界 SRAM 單元之一電路架構圖；

第 3A 至 3B 圖係描繪本發明之雙埠次臨界 SRAM 單元與傳統之雙埠 SRAM 單元的靜態雜訊邊際 (static noise margin, SNM) 線形比較圖；

第 4A 至 4C 圖係描繪本發明之雙埠次臨界 SRAM 單元與傳統之雙埠 SRAM 單元的功率消耗 (power consumption) 線形比較圖；以及

第 5 圖係為本發明之雙埠次臨界 SRAM 單元之另一電



路架構圖。

【主要元件符號說明】

100	雙埠靜態隨機存取記憶體單元
102	反相器
104	反相器
106	讀取電晶體
108	寫入電晶體
110	讀取電晶體
112	寫入電晶體
114	讀取字線
116	寫入字線
118	寫入位線
120	寫入位線
122	讀取位線
124	讀取位線
200	雙埠次臨界靜態隨機存取記憶體單元
202	反相器
204	反相器
206	傳輸型電晶體
208	寫入存取電晶體
210	讀取電晶體
212	讀取電晶體
214	讀取字線
216	寫入字線

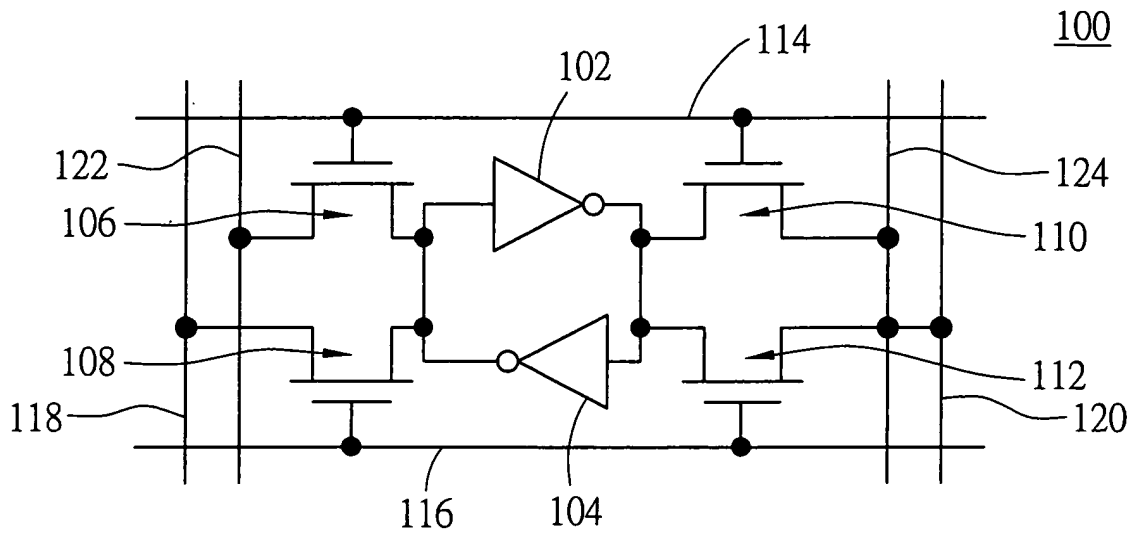
218	寫入位線
220	讀取位線
222	接地端
500	雙埠次臨界靜態隨機存取記憶體單元
502	反相器
504	反相器
506	傳輸型電晶體
508	寫入存取電晶體
510	讀取電晶體
512	讀取電晶體
514	讀取電晶體
516	讀取電晶體
518	讀取字線
520	寫入字線
522	寫入位線
524	讀取位線
526	電源端
528	接地端
L	鎖存器
R、R'	讀取模組
W	寫入存取模組

## 七、申請專利範圍：

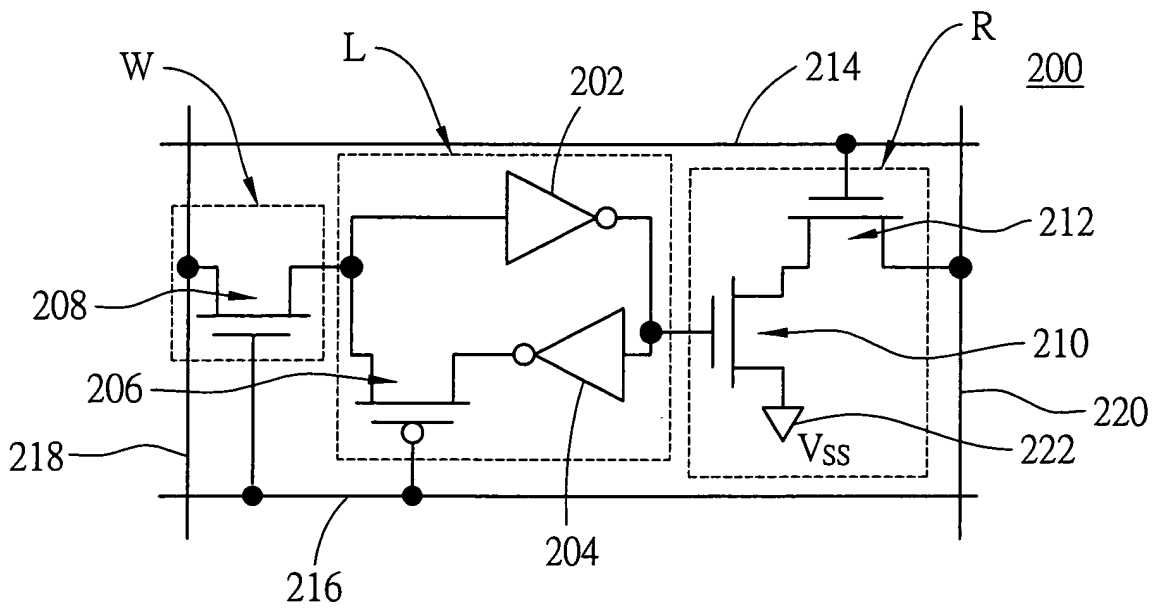
1. 一種雙埠次臨界靜態隨機存取記憶體單元，係操作於次臨界電壓下，包括：
  - 一寫入位線；
  - 一寫入字線；
  - 一讀取位線；
  - 一讀取字線；
  - 一寫入存取模組，係與該寫入位線及該寫入字線連接；
  - 一鎖存器，係與該寫入存取模組及該寫入字線連接；以及
  - 一讀取模組，係與該鎖存器、讀取位線、及讀取字線連接，其中，該鎖存器係具備傳輸型電晶體及交叉耦合的二反相器，而該傳輸型電晶體的汲極/源極係與該二反相器連接，且該傳輸型電晶體的閘極係與該寫入字線連接。
2. 如申請專利範圍第 1 項所述之雙埠次臨界靜態隨機存取記憶體單元，其中，該寫入存取模組係具備寫入存取電晶體，而該寫入存取電晶體的汲極/源極係與該寫入位線及鎖存器連接，且該寫入存取電晶體的閘極係與該寫入字線連接。
3. 如申請專利範圍第 1 項所述之雙埠次臨界靜態隨機存取記憶體單元，其中，該讀取模組係具備第一及第二讀取電晶體。

4. 如申請專利範圍第 3 項所述之雙埠次臨界靜態隨機存取記憶體單元，其中，該第一讀取電晶體的閘極係與該鎖存器連接，該第一讀取電晶體一端的汲極/源極係與該第二讀取電晶體一端的汲極/源極相連接，而該第一讀取電晶體另一端的汲極/源極係與接地端連接；該第二讀取電晶體的閘極係與該讀取字線連接，而另一端的汲極/源極係與該讀取位線連接。
5. 如申請專利範圍第 1 項所述之雙埠次臨界靜態隨機存取記憶體單元，其中，該讀取模組係具備第一、第二、第三、及第四讀取電晶體。
6. 如申請專利範圍第 5 項所述之雙埠次臨界靜態隨機存取記憶體單元，其中，該第一、第二、及第四讀取電晶體的閘極係與該讀取字線連接；該第一讀取電晶體一端的汲極/源極係與電源端連接且該第一讀取電晶體另一端的汲極/源極係與該第二及第三讀取電晶體一端的汲極/源極連接；該第二讀取電晶體另一端的汲極/源極係與該讀取位線連接；該第三讀取電晶體另一端的汲極/源極係與該第四讀取電晶體一端的汲極/源極連接；且該第四讀取電晶體另一端的汲極/源極係與接地端連接。
7. 如申請專利範圍第 1 項所述之雙埠次臨界靜態隨機存取記憶體單元，係應用於先進先出 (FIFO) 記憶體系統中。
8. 如申請專利範圍第 1 項所述之雙埠次臨界靜態隨機存

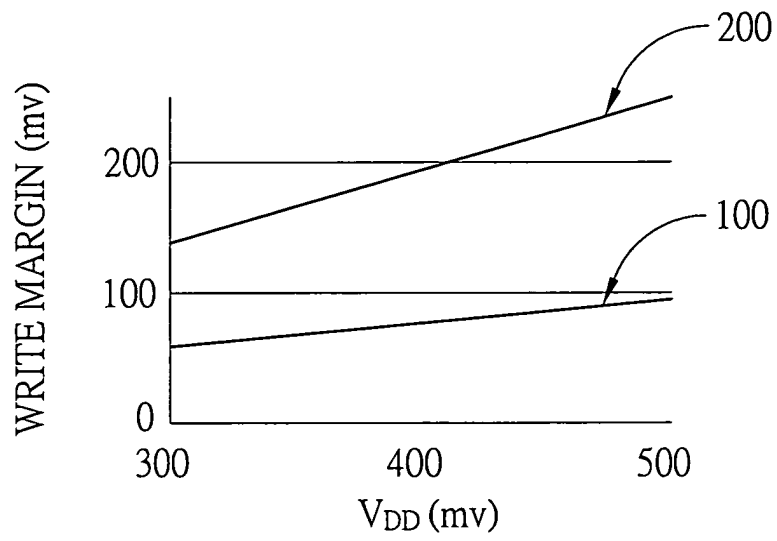
取記憶體單元，其中，該讀取模組、鎖存器或寫入存取  
模組，係應用反短通道效應(reverse short channel effect)  
進行操作。



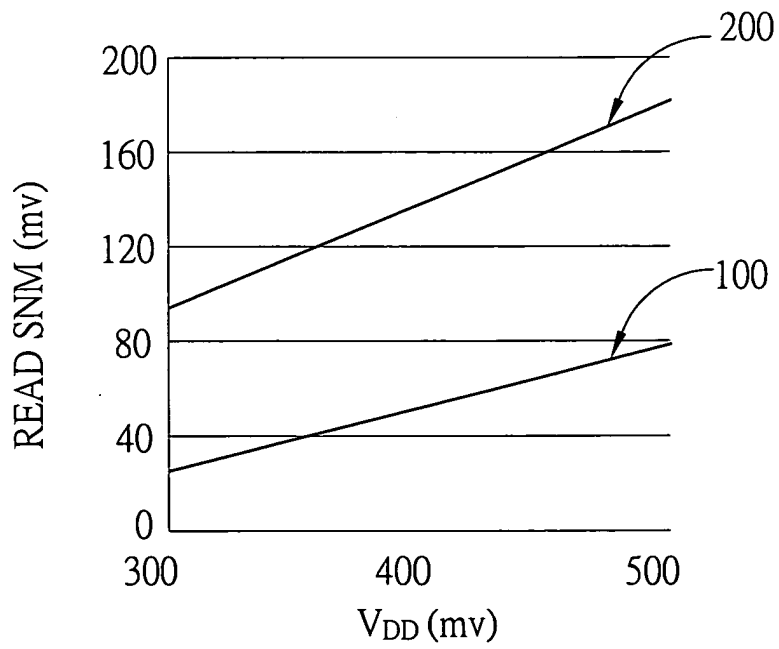
第 1 圖



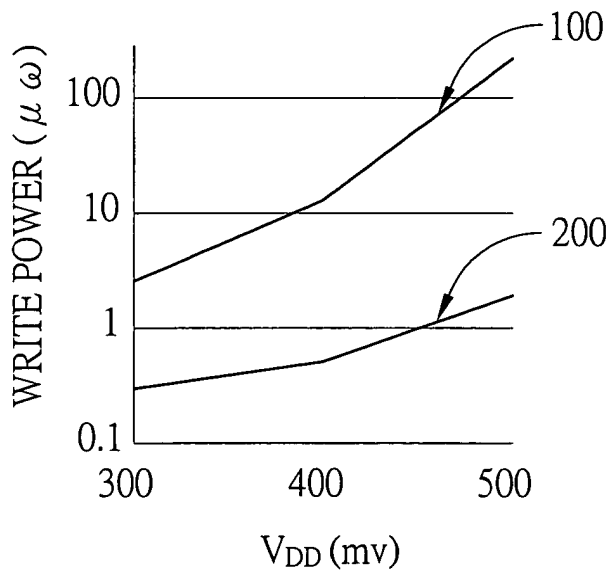
第 2 圖



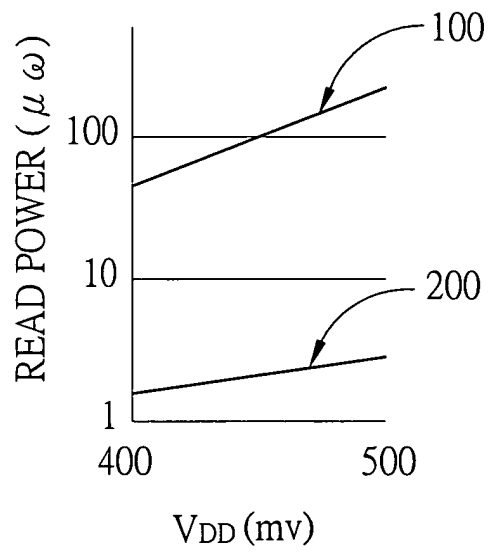
第 3A 圖



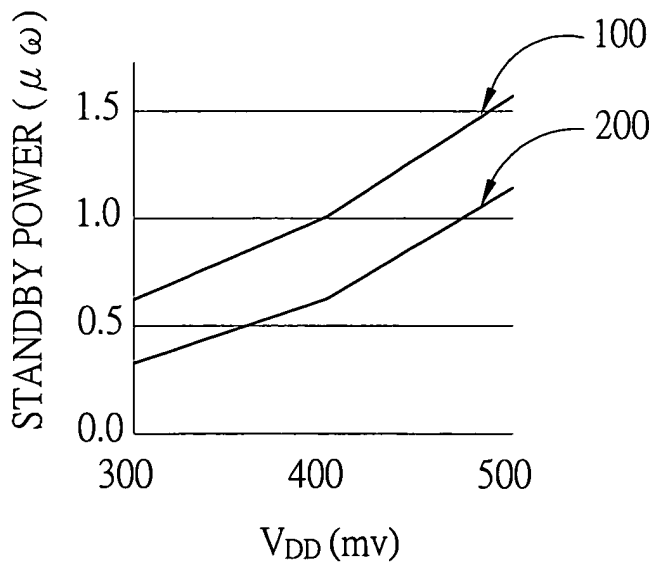
第 3B 圖



第4A圖

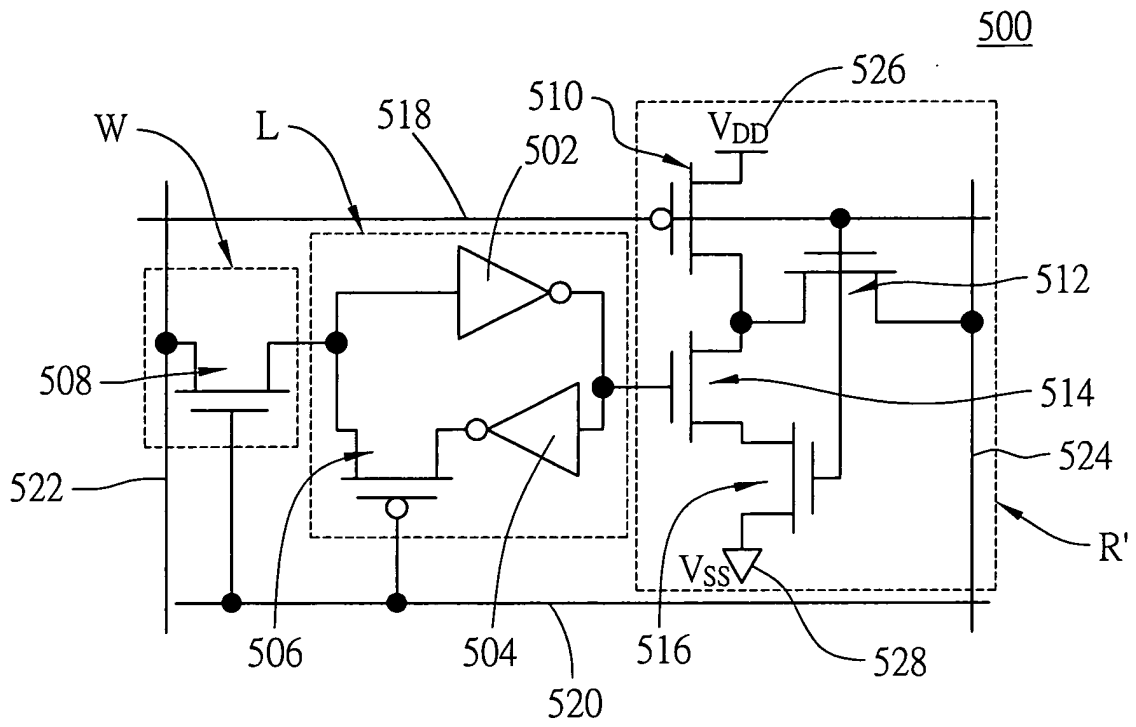


第4B圖



第4C圖





第 5 圖