



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I505468 B

(45)公告日：中華民國 104 (2015) 年 10 月 21 日

(21)申請案號：101145311

(22)申請日：中華民國 101 (2012) 年 12 月 03 日

(51)Int. Cl. : H01L29/78 (2006.01)

H01L29/40 (2006.01)

(71)申請人：國立交通大學(中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

(72)發明人：林岳欽 LIN, YUEHCHIN (TW)；張翼 CHANG, EDWARD YI (TW)；莊庭維
CHUANG, TINGWEI (TW)

(74)代理人：蔡坤財；李世章

(56)參考文獻：

TW 201239962A

US 2009/0004881A1

審查人員：簡信裕

申請專利範圍項數：13 項 圖式數：4 共 28 頁

(54)名稱

閘極堆疊結構及包含其之金屬氧化物半導體元件及閘極堆疊結構之製造方法

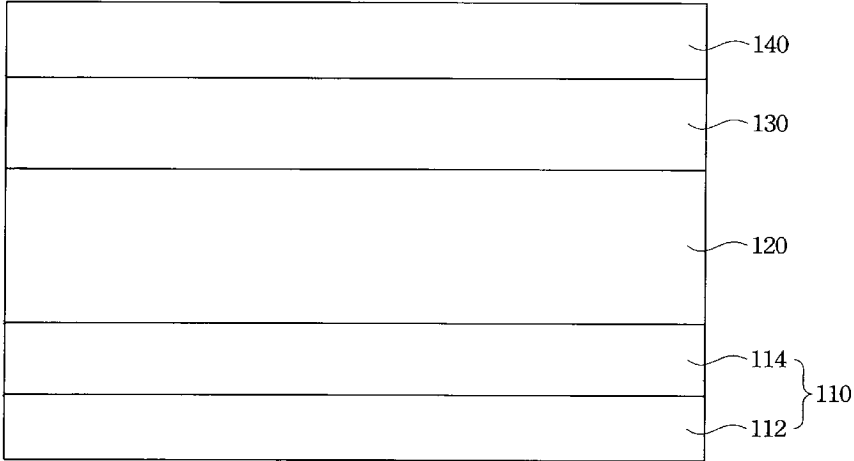
STACKED GATE STRUCTURE, METAL-OXIDE-SEMICONDUCTOR INCLUDING THE SAME,
AND METHOD FOR MANUFACTURING THE STACKED GATE STRUCTURE

(57)摘要

本發明提供一種閘極堆疊結構及包含其之金屬氧化物半導體元件以及其製作方法。上述電晶體之閘極堆疊結構，包含一基板；一半導體層，設置於該基板上；一閘極介電層，設置於該半導體層上，其中該閘極介電層係包含交錯堆疊之氧化釷(La_2O_3)及氧化鈦(HfO_2)所構成的複合氧化物層；以及一閘極電極層，設置於該閘極介電層上。

The invention provides a stacked gate structure and metal-oxide-semiconductor including the same, and method for manufacturing the stacked gate structure. The stacked gate structure comprises a substrate, a semiconductor layer positioned on the substrate, a gate dielectric positioned on the semiconductor layer, and a gate electrode layer positioned on the gate dielectric, which the gate dielectric comprises a composite oxide layer composed of lanthanum oxide (La_2O_3) and hafnium oxide (HfO_2).

100



- 100 . . . 閘極堆疊結構
- 110 . . . 基板
- 112 . . . 背金屬層
- 114 . . . 歐姆接觸層
- 120 . . . 半導體層
- 130 . . . 閘極介電層
- 140 . . . 閘極電極層

第 1 圖

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：101145311

101.12.18 2006.01

※申請日：101.12.13

※IPC 分類：

101.12.14 2006.01

一、發明名稱：(中文/英文)

閘極堆疊結構及包含其之金屬氧化物半導體元件及閘極堆疊結構之製造方法

Stacked Gate Structure, Metal-Oxide-Semiconductor

Including the Same, and Method for Manufacturing the Stacked Gate Structure

二、中文發明摘要：

本發明提供一種閘極堆疊結構及包含其之金屬氧化物半導體元件以及其製作方法。上述電晶體之閘極堆疊結構，包含一基板；一半導體層，設置於該基板上；一閘極介電層，設置於該半導體層上，其中該閘極介電層係包含交錯堆疊之氧化鋁(La_2O_3)及氧化鈦(HfO_2)所構成的複合氧化物層；以及一閘極電極層，設置於該閘極介電層上。

三、英文發明摘要：

The invention provides a stacked gate structure and metal-oxide-semiconductor including the same, and method for manufacturing the stacked gate structure. The stacked gate structure comprises a substrate, a semiconductor layer positioned on the substrate, a gate dielectric positioned on the semiconductor layer, and a gate electrode layer positioned

on the gate dielectric, which the gate dielectric comprises a composite oxide layer composed of lanthanum oxide (La_2O_3) and hafnium oxide (HfO_2).

四、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件符號簡單說明：

100：閘極堆疊結構

120：半導體層

110：基板

130：閘極介電層

112：背金屬層

140：閘極電極層

114：歐姆接觸層

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種閘極堆疊結構，特別是關於一種具有由氧化鉛及氧化鋇所組成之介電層的閘極堆疊結構。

【先前技術】

閘極介電層的效能和穩定度一直都是互補式金屬氧化物半導體之製程中需要考量的重要因素，尤其是利用所謂的高介電常數介電材料(介電常數大於 3.9，例如氧化矽)，以得到比傳統氧化矽層更薄的等效氧化物厚度(equivalent oxide thickness, EOT)。隨著積體電路對於單位電容量的需求提升，具有更高介電係數的介電材料的研發未曾間斷。然而，在高介電常數介電材料與下層半導體材料之間會出現不樂見的擴散作用而影響載子的漂移率，因此在習知製作閘極介電層的技術中，除了利用一高介電常數介電材料之外，仍會再形成一矽氧化物層於高介電常數介電材料與下層半導體材料之間，以避免擴散作用的產生。

一方面，為保持較高的介電常數，上述習知的製作方法無法同時降低閘極介電層之等效氧化層厚度(EOT)。另一方面，若上述矽氧化物層之厚度不足，則仍會產生高介電常數介電材料與下層半導體材料之間的擴散作用，而造成半導體元件的電性失效。因此，亟需一種改良的閘極結構及其製造方法，以解決上述習知技術所造成之缺失。

【發明內容】

本發明係提供一種使用高介電常數介電材料做為閘極介電層的閘極堆疊結構及其製造方法，用以解決習知技術的缺失以及達到較佳的效能。

本發明之一目的在於提供一種閘極堆疊結構。上述閘極堆疊結構包含一基板；一半導體層，設置於基板上；一閘極介電層，設置於半導體層上，其中閘極介電層係包含由氧化釷(La_2O_3)及氧化鈦(HfO_2)所組成之複合氧化物層；以及一閘極電極層，設置於閘極介電層上。

本發明之另一目的在於提供一種閘極堆疊結構的製造方法。上述閘極堆疊結構的製造方法，包含提供一半導體層，其具有一第一表面及一第二表面；形成複數個氧化鈦層及複數個氧化釷層於半導體層之第一表面上；快速退火法諸氧化鈦層及諸氧化釷層，以形成一複合氧化物層之閘極介電層；形成一閘極電極層於閘極介電層上；形成一歐姆接觸層，其與半導體層之第二表面接觸；以及形成一背金屬層，其與歐姆接觸層接觸，但不與半導體層接觸。

【實施方式】

在下文中會列舉本發明之較佳實施例以說明本發明之閘極堆疊結構及其製造方法，但非用以限制本發明。在圖式或描述中，相似或相同的部分係使用相同之符號或編號。並且本發明之應用非侷限於下文中的實施例，習知技藝者當可據以應用於相關領域。

本發明係提供一種使用高介電常數介電材料做為閘極介電層的閘極堆疊結構及其製造方法，其中閘極介電層係

包含氧化釧(La₂O₃)及氧化鈐(HfO₂)所組成之複合氧化物層。

表 1 列舉習知氧化物之介電係數與能間隙(energy bandgap, Eg (eV))值。由於氧化鋁(Al₂O₃)有不錯的能間隙與較二氧化矽高的介電係數，故氧化鋁材料多應用於第 III-V 族半導體元件中。氧化鈐(HfO₂)之介電係數則有 25，且擁有之能間隙可達 5.7 eV；而氧化釧(La₂O₃)擁有更高達 30 之介電係數，而其能間隙為 4.3 eV。

表 1

金屬氧化物	氧化鈐(HfO ₂)	氧化釧(La ₂ O ₃)	氧化鋁(Al ₂ O ₃)
介電常數(k)	25	30	8~11.5
能間隙(Eg, eV)	5.7	4.3	6.65

第 1 圖係根據本發明之一實施例所繪示的閘極堆疊結構 100 剖面圖。在第 1 圖中，半導體層 120 設置於基板 110 上。閘極介電層 130 設置於半導體層 120，其中閘極介電層 130 係包含氧化釧(La₂O₃)及氧化鈐(HfO₂)所組成之複合氧化物層。以及閘極電極層 140 設置於閘極介電層 130 上。根據本發明之一實施例，上述基版 110 更包含背金屬層 112，以及歐姆接觸層 114 夾置於背金屬層 112 以及半導體層 120 之間。

根據本發明之一實施例，上述半導體層 120 為第 III-V 族半導體。根據本發明之另一實施例，上述半導體層 120 之材料包含砷化銦鎵(InGaAs)、砷化銦(InAs)、砷化銦鋁

(InAlAs)、磷化銦(InP)、砷化鎵(GaAs)、銻化銦(InSb)、銻化銦鎵(InGaSb)、氮化鎵(GaN)或砷化鋁鎵(AlGaAs)。

根據本發明之一實施例，上述閘極介電層 130 之介電常數為大於 27。根據本發明之另一實施例，上述閘極介電層 120 之厚度為約 4 奈米至約 15 奈米，較佳為約 6 奈米至約 12 奈米，更佳為約 8 奈米至約 10 奈米。

根據本發明之一實施例，上述閘極電極層 140 之材料係選自由下列材料組成之群組：鎳(Ni)、金(Au)、鈦(Ti)、鉑(Pt)、銅(Cu)、鋁(Al)、氮化鉭(TaN)及其組合。

根據本發明之一實施例，上述閘極堆疊結構 100 係用於電容器或場效電晶體。

第 2A 圖至第 2G 圖係根據本發明之一實施例所繪示之製作閘極堆疊結構之剖面圖。首先提供半導體層 210，其具有第一表面 211 及第二表面 212，如第 2A 圖所示。接著形成複數個氧化鈣層及複數個氧化鋁層於半導體層之第一表面上，其中諸氧化鈣層及諸氧化鋁層係彼此交錯堆疊。根據本發明之一實施例，先形成一氧化鈣層 222a 於半導體層 210 之第一表面 211 上，再形成一氧化鋁層 224a 於氧化鈣層 222a 上，依此順序形成複數個氧化鈣層 222a 及複數個氧化鋁層 224a 彼此交錯堆疊的氧化物層 220a，如第 2B 圖所示。根據本發明之另一實施例，先形成一氧化鋁層 222b 於半導體層 210 之第一表面 211 上，再形成一氧化鈣層 224b 於氧化鋁層 222b 上，依此順序形成複數個氧化鋁層 222b 及複數個氧化鈣層 224b 彼此交錯堆疊的氧化物層 220b，如第 2C 圖所示。

在第 2B 圖或第 2C 圖中，氧化物層 220a 或 220b 的形成方法可為遙式化學氣相沉積(RPCVD)、電漿輔助化學氣相沉積(PECVD)、原子層沉積(ALD)、有機金屬化學氣相磊晶法(MOCVD)、分子束磊晶法(MBE)、物理氣相沉積(PVD)、濺鍍法或是其他已知方法。

根據本發明之一實施例，上述氧化鉛層 222a 或 224b 之厚度為 0.5 奈米至 2 奈米。根據本發明之另一實施例，上述氧化鉛層 222a 或 224b 之厚度為 0.8 奈米至 1.5 奈米。

根據本發明之一實施例，上述氧化鋁層 224a 或 222b 之厚度為 0.5 奈米至 2 奈米。根據本發明之另一實施例，上述氧化鋁層 224a 或 222b 之厚度為 0.8 奈米至 1.5 奈米。

在第 2D 圖中，利用一熱退火法(PDA)，讓第 2B 圖或第 2C 圖中的氧化物層 220a 或 220b 與半導體層 210 之上表面作用，形成複合氧化物層。其中複合氧化物層係做為閘極介電層 220。根據本發明之一實施例，上述閘極介電層 220 之厚度為約 4 奈米至約 15 奈米，較佳為約 6 奈米至約 12 奈米，更佳為約 8 奈米至約 10 奈米，以維持低閘極漏電流以及較薄的等效氧化物厚度(EOT)。根據本發明之另一實施例，利用熱退火法(PDA)形成複合氧化物層之溫度為約 500°C。

在第 2E 圖中，形成閘極電極層 230 於閘極介電層 220 之上。根據本發明之一實施例，閘極電極層 230 係利用電子束法(E-gun)，以包含鎳(Ni)、金(Au)、鈦(Ti)、鉑(Pt)、銅(Cu)、鋁(Al)、氮化鉭(TaN)或其組合之金屬材料製成。

接著形成歐姆接觸層 240 與半導體層 210 之第二表面 212 接觸，如第 2F 圖所示。根據本發明之一實施例，歐姆接觸層 240 之材料包含磷化銦(InP)。

在第 2G 圖中，形成背金屬層 250 與歐姆接觸層 240 接觸，但不與半導體層 210 接觸，以形成閘極堆疊結構 200。根據本發明之一實施例，背金屬層 250 之材料係選自由金(Au)、鍺(Ge)、鎳(Ni)及其組合所組成之群組。

表 2 係比較根據本發明之不同實施例，其不同閘極介電層之氧化物組成及熱退火溫度對於閘極堆疊結構之影響。

表 2

	閘極介電層之 氧化物組成	熱退火 溫度 (°C)	於 1 kHz 時 之電容等效 厚度(nm)	擴散 率 (%)	漏電流 ($\times 10^{11}$ $\text{cm}^{-2}\text{eV}^{-1}$)
比較例 1	氧化鋁 (總厚度 8 nm)	500	2.7	5.1	24.0
實施例 1	氧化鋁 (0.8 nm)/ 氧化鋁 (0.8 nm) $\times 5$ (總厚度 8 nm)	400	-	-	251.0
		500	2.2	3.5	7.2
		550	2.2	3.5	9.5
實施例 2	氧化鋁 (0.8 nm)/ 氧化鋁 (0.8 nm) $\times 5$ (總厚度 8 nm)	400	2.3	4.2	29.2
		500	2.3	2.8	9.7
		550	2.5	4.2	17.7

在比較例 1 中，閘極介電層之氧化物層為氧化鋁，其總厚度為 8 nm。其中，閘極介電層係於 500°C 下熱退火形成，其於 1 kHz 時之電容等效厚度為 2.7 nm，擴散率為 5.1%，漏電流為 $24.0 \times 10^{11} \text{ cm}^{-2}\text{eV}^{-1}$ 。

在實施例 1 中，閘極介電層之氧化物組成係如第 2B 圖所示，先形成氧化鈣於半導體層上，再形成氧化鋁層於氧化鈣層上，依此順序形成氧化鈣層及氧化鋁層各五層彼此交錯堆疊的複合氧化物層。其中氧化鈣(厚度 0.8 nm)/氧化鋁(厚度 0.8 nm)共 10 層，其總厚度為 8 nm。由表 2 之結果可知，實施例 1 於 500°C 下熱退火，由上述之複合氧化物層形成之閘極介電層具有最小的漏電流 ($7.2 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$)，且其於 1 kHz 時之電容等效厚度為 2.2 nm，擴散率為 3.5%。

在實施例 2 中，閘極介電層之氧化物組成係如第 2C 圖所示，先形成氧化鋁於半導體層上，再形成氧化鈣層於氧化鋁層上，依此順序形成氧化鋁層及氧化鈣層各五層彼此交錯堆疊的複合氧化物層。其中氧化鋁(厚度 0.8 nm)/氧化鈣(厚度 0.8 nm)共 10 層，其總厚度為 8 nm。由表 2 之結果可知，實施例 2 於 500°C 下熱退火，由上述之複合氧化物層形成之閘極介電層，其具有最小的漏電流 ($9.7 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$)，且其於 1 kHz 時之電容等效厚度為 2.3 nm，擴散率為 2.8%。

比較表 2 中之比較例 1、實施例 1 及實施例 2 可知，該些氧化物所組成之閘極結構皆具有較小的漏電流，可提升半導體元件的效能。然而，相較於比較例 1，實施例 1 及實施例 2 之擴散率皆較低。所以，雖然氧化鋁之能間隙較氧化鈣低，但根據本發明由氧化鈣及氧化鋁所組成之複合氧化物層，其所形成之閘極結構卻比單獨氧化鈣構成之閘極結構，具有更低的擴散率而不易擴散至半導體層中，也因此令使半導體元件具有更高的電性穩定度。另外，實

施例 1 及實施例 2 亦具有較薄的等效電容厚度(於 1 kHz)，用以降低半導體元件之整體厚度。再者，從實施例 1 及實施例 2 的結果可知，氧化鈣及氧化鋁的形成順序對根據本發明之複合氧化物層的擴散率沒有影響。

第 3A 圖係為實施例 2 於 500°C 下熱退火形成之閘極介電層之閘極電壓對電容值之折線圖，其中橫軸為閘極電壓(V)，縱軸為電容值($\mu\text{F}/\text{cm}^2$)。而第 3B 圖係為實施例 3 於 500°C 下熱退火形成之閘極介電層之閘極電壓對電容值之折線圖，其中橫軸為閘極電壓(V)，縱軸為電容值($\mu\text{F}/\text{cm}^2$)。比較第 3A 圖及第 3B 圖可知，第 3A 圖與第 3B 圖具有相似的閘極電壓對電容值關係，此結果亦顯示，氧化鈣及氧化鋁的形成順序不影響閘極堆疊結構的電性關係。

第 4A 圖係為實施例 1 於 500°C 下熱退火形成之閘極堆疊結構之 SEM 影像(左圖)及元素分布圖(右圖)，其中比例尺為 2 nm。第 4B 圖係為實施例 2 於 500°C 下熱退火形成之閘極堆疊結構之 SEM 影像(左圖)及元素分布圖(右圖)，其中比例尺為 5 nm。相較於第 4A 圖，第 4B 圖之閘極堆疊結構之元素分佈較集中，此結果表示閘極介電層之元素不容易擴散到半導體層中，且半導體層之元素亦不容易擴散之閘極介電層中，具有最好的結構穩定性，以提升半導體元件之效能。

雖然本發明之實施例已揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可做些許之更動與潤飾，因此本發明之保護範圍當以後附之申請專

利範圍所界定為準。

【圖式簡單說明】

為讓本發明之上述和其他目的、特徵、優點與實施例能更明顯易懂，所附圖式之詳細說明如下：

第 1 圖係根據本發明之一實施例所繪示的閘極堆疊結構 100 剖面圖；

第 2A 圖至第 2G 圖係根據本發明之一實施例所繪示之製作閘極堆疊結構之剖面圖；

第 3A 圖係根據本發明之一實施例之閘極介電層之閘極電壓對電容值之折線圖，其中橫軸為閘極電壓(V)，縱軸為電容值(mF/cm^2)；

第 3B 圖係根據本發明之一實施例之閘極介電層之閘極電壓對電容值之折線圖，其中橫軸為閘極電壓(V)，縱軸為電容值(mF/cm^2)；

第 4A 圖係根據本發明之一實施例之閘極堆疊結構之 SEM 影像(左圖)及元素分布圖(右圖)，其中比例尺為 2 nm；以及

第 4B 圖係根據本發明之一實施例之閘極堆疊結構之 SEM 影像(左圖)及元素分布圖(右圖)，其中比例尺為 5 nm。

【主要元件符號說明】

100、200：閘極堆疊結構

110：基板

112、250：背金屬層

140、230：閘極電極層

211：第一表面

212：第二表面

114、240：歐姆接觸層

120、210：半導體層

130、220：閘極介電層

220a、220b：氧化物層

222a、224b：氧化鈣層

224a、222b：氧化鋁層

七、申請專利範圍：

1. 一種電晶體之閘極堆疊結構，包含：
 - 一基板；
 - 一半導體層，設置於該基板上；
 - 一閘極介電層，設置於該半導體層上，其中該閘極介電層係包含由氧化鋇(La_2O_3)、氧化鈦(HfO_2) 及包含氧化鋇/氧化鈦之該半導體層之一上表面層所組成之複合氧化物層；以及
 - 一閘極電極層，設置於該閘極介電層上。
2. 如請求項 1 所述之閘極堆疊結構，其中該半導體層為第 III-V 族半導體。
3. 如請求項 1 所述之閘極堆疊結構，其中該半導體層之材料包含砷化銦鎵(InGaAs)、砷化銦(InAs)、砷化銦鋁(InAlAs)、磷化銦(InP)、砷化鎵(GaAs)、銻化銦(InSb)、銻化銦鎵(InGaSb)、氮化鎵(GaN)或砷化鋁鎵(AlGaAs)。
4. 如請求項 1 所述之閘極堆疊結構，其中該閘極介電層之介電常數為大於 27。
5. 如請求項 1 所述之閘極堆疊結構，其中該閘極介電層之厚度為約 4 奈米至約 15 奈米。
6. 如請求項 1 所述之閘極堆疊結構，其中該閘極介電層之厚度為約 6 奈米至約 12 奈米。

7. 如請求項 1 所述之閘極堆疊結構，其中該閘極電極層之材料係選自由下列材料所組成之群組：鎳(Ni)、金(Au)、鈦(Ti)、鉑(Pt)、銅(Cu)、鋁(Al)、氮化鉭(TaN)及其組合。

8. 一種電晶體之閘極堆疊結構的製造方法，包含下列步驟：

提供一半導體層，其具有一第一表面及一第二表面；

形成複數個氧化鈐層及複數個氧化釩層於該半導體層之該第一表面上；

快速退火該些氧化鈐層及該些氧化釩層，以形成一複合氧化物層之閘極介電層；

形成一閘極電極層於該閘極介電層上；

形成一歐姆接觸層，其與該半導體層之該第二表面接觸；以及

形成一背金屬層，其與該歐姆接觸層接觸，但不與該半導體層接觸。

9. 如請求項 8 所述之製造方法，其中該複數個氧化鈐層及複數個氧化釩層係交錯堆疊形成於該半導體層之該第一表面上。

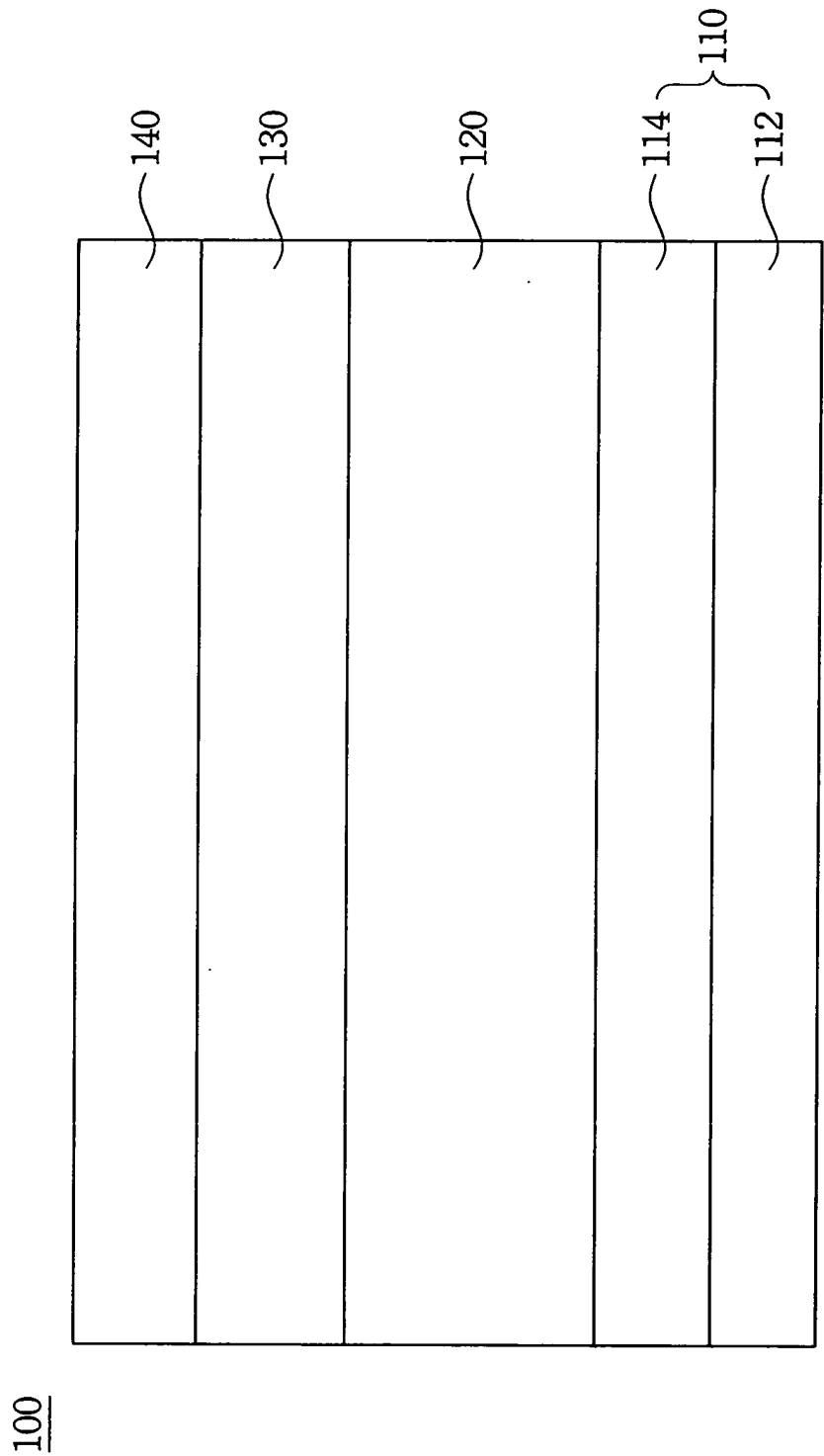
10. 如請求項 8 所述之製造方法，其中該些氧化鈐層之厚度為 0.5 奈米至 2 奈米。

11. 如請求項 8 所述之製造方法，其中該些氧化鉛層之厚度為 0.8 奈米至 1.5 奈米。

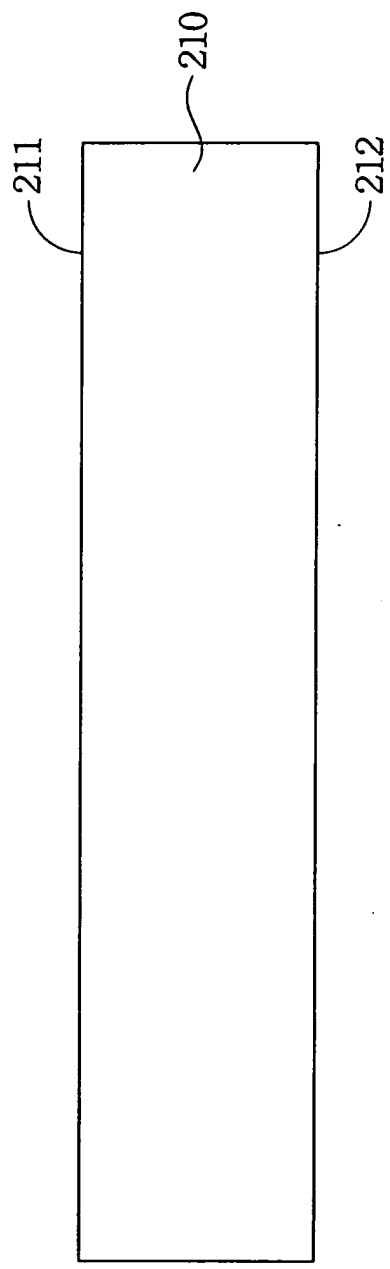
12. 如請求項 8 所述之製造方法，其中該些氧化鋁層之厚度為 0.5 奈米至 2 奈米。

13. 如請求項 8 所述之製造方法，其中該些氧化鋁層之厚度為 0.8 奈米至 1.5 奈米。

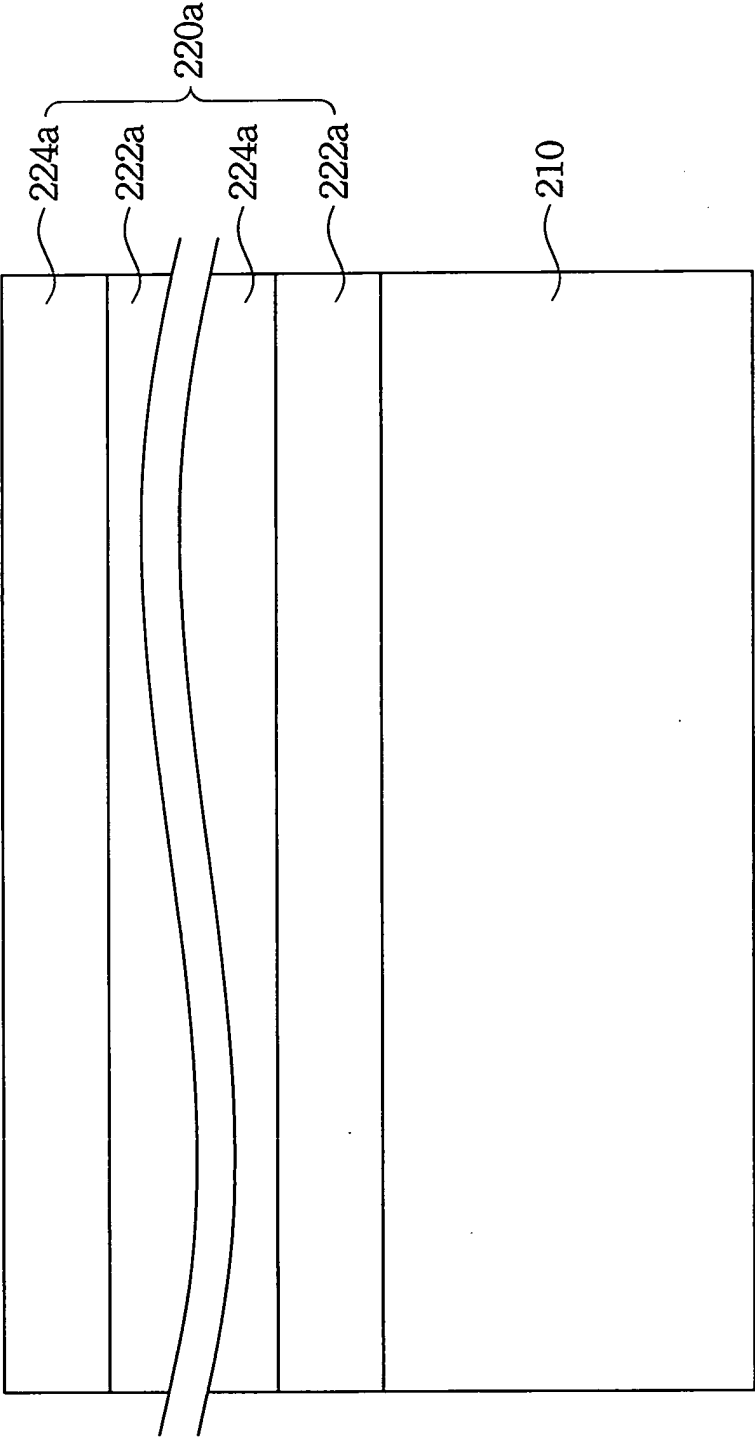
八、圖式：



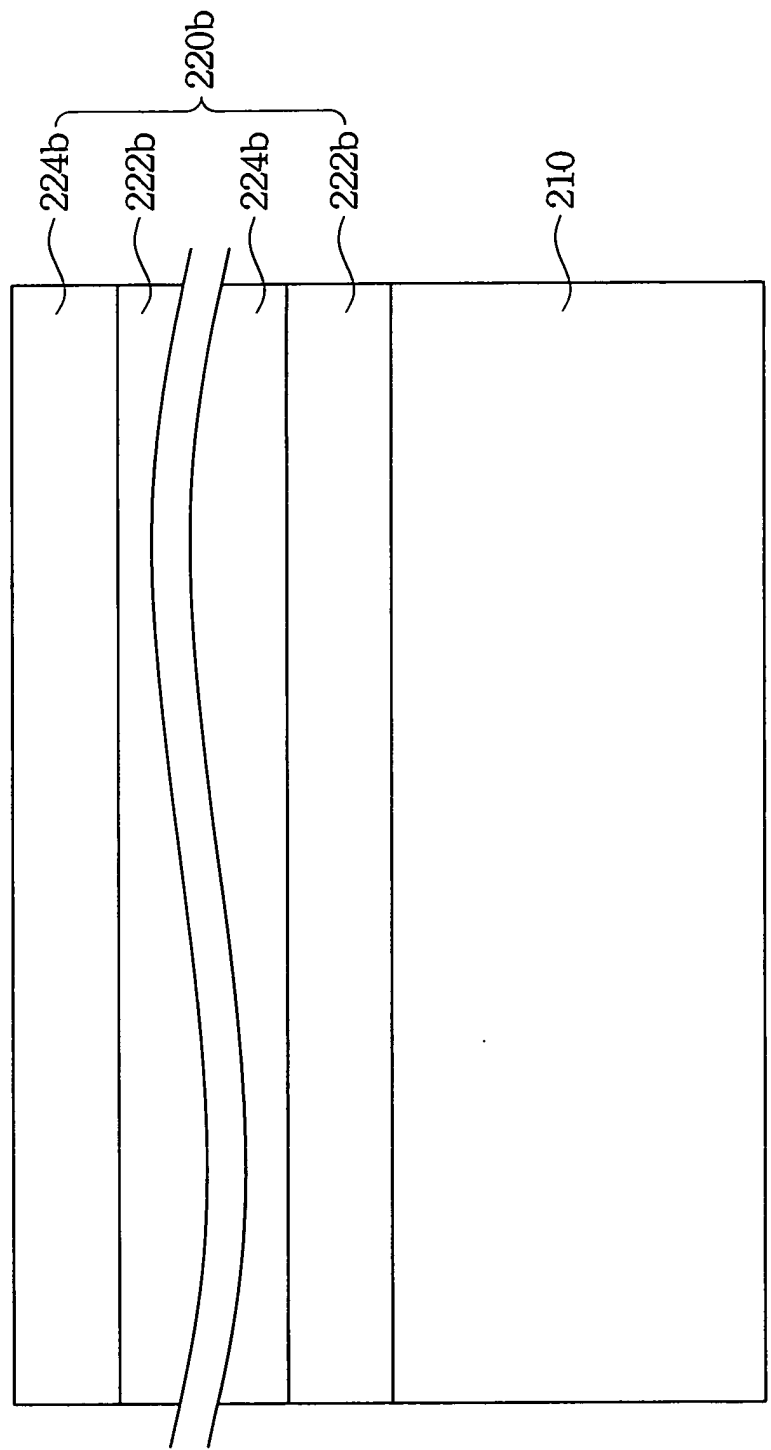
第 1 圖



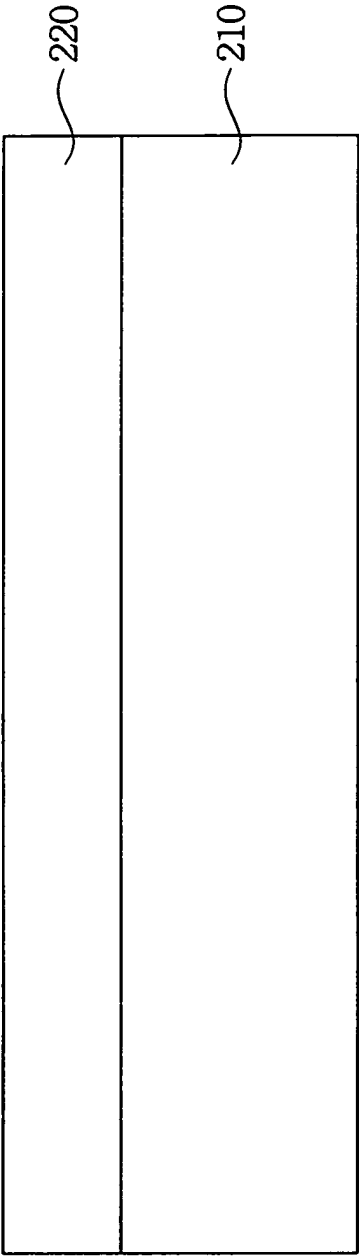
第 2A 圖



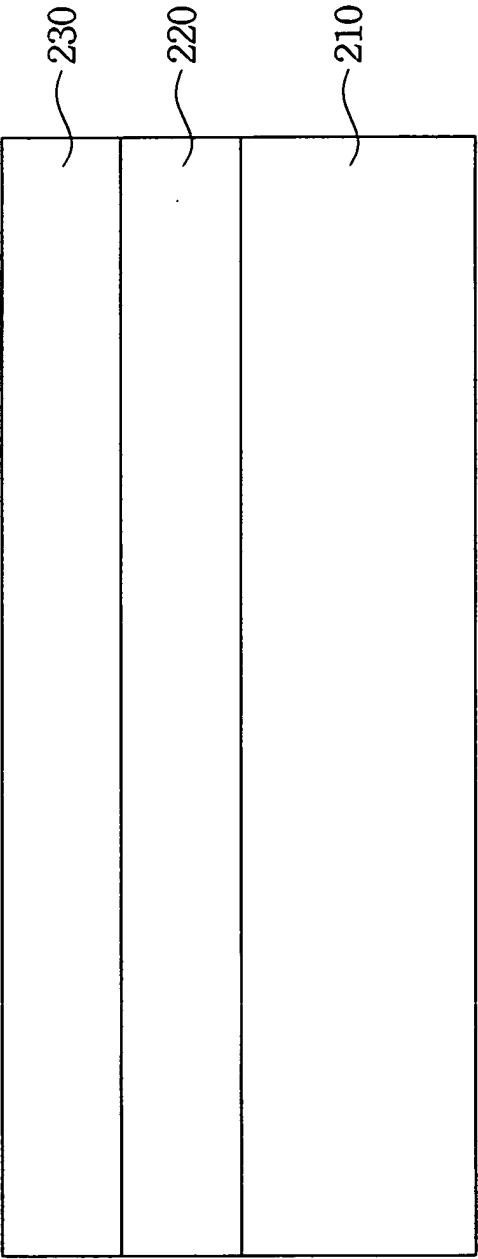
第 2B 圖



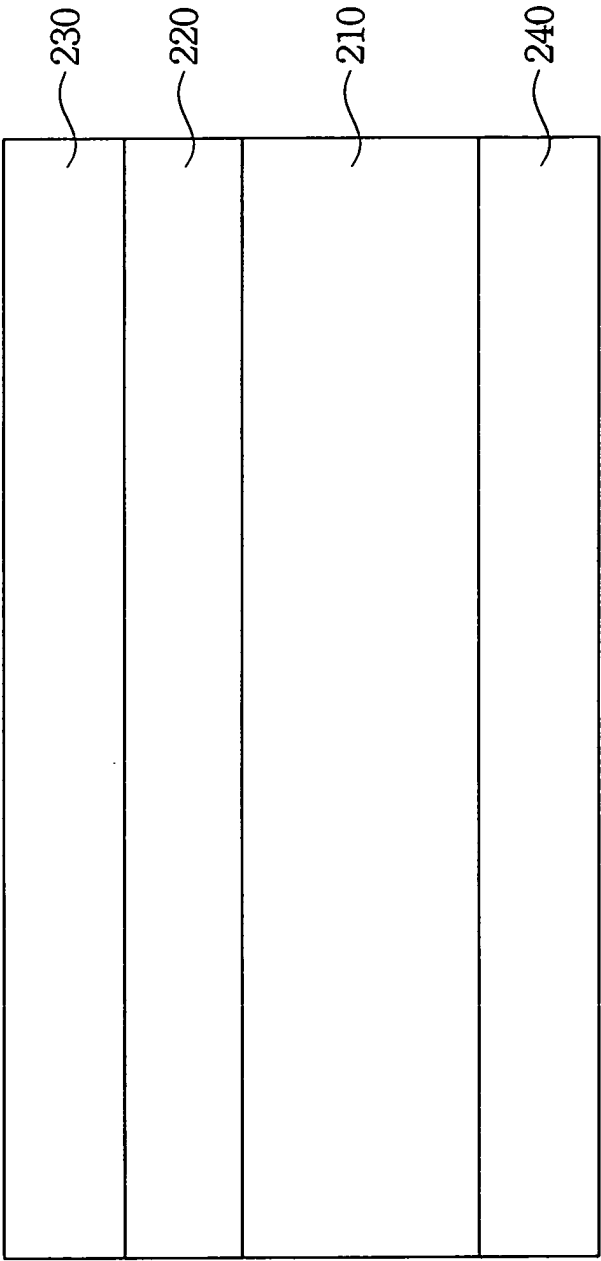
第 2C 圖



第 2D 圖

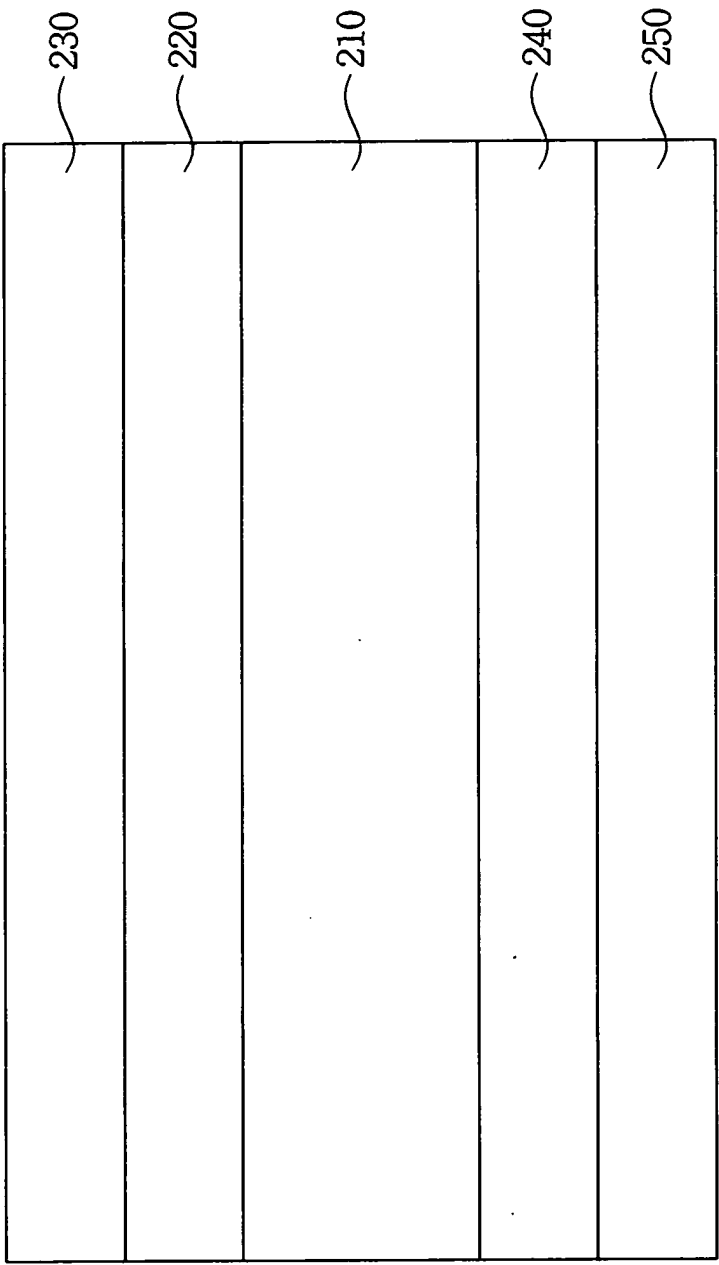


第 2E 圖

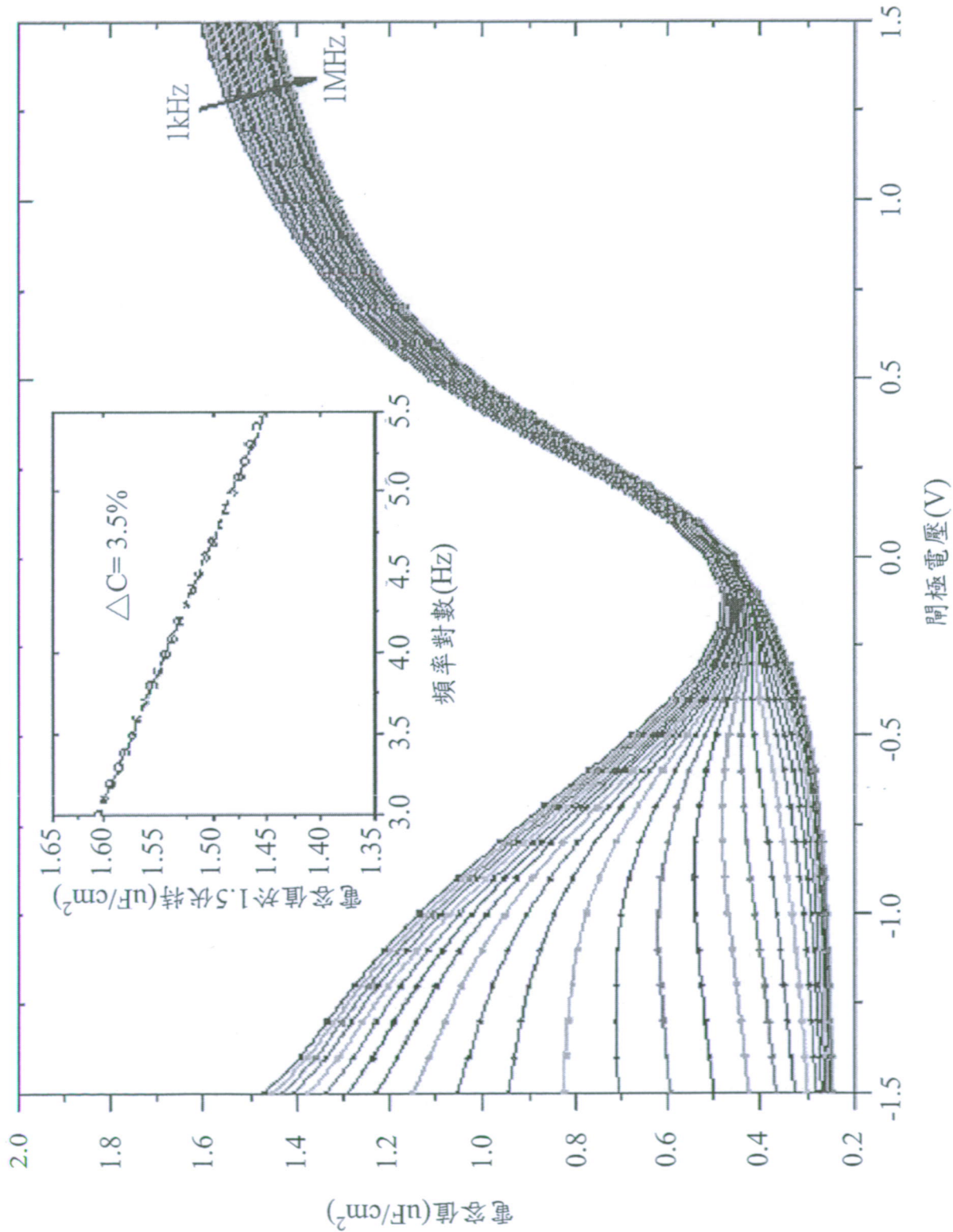


第 2F 圖

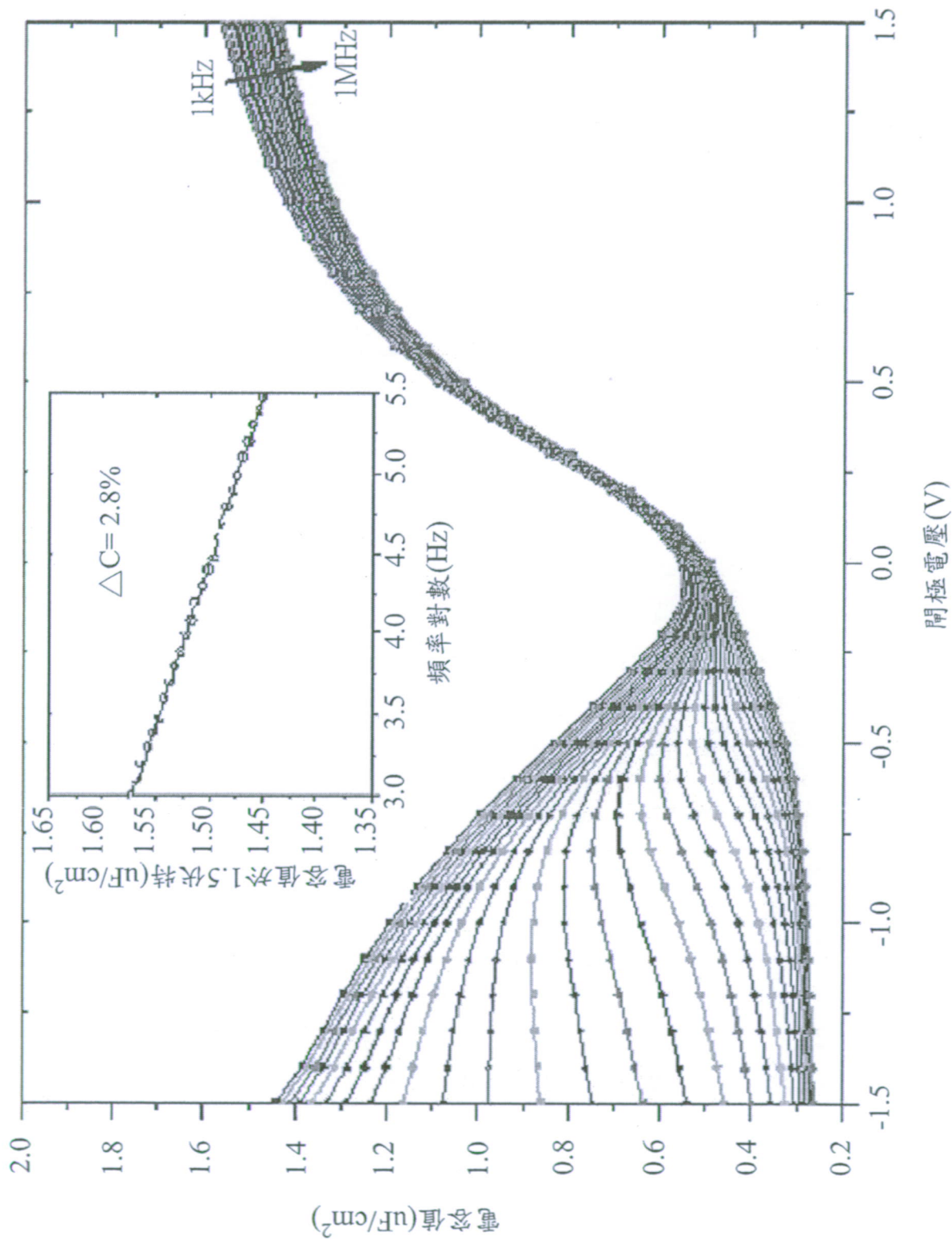
200



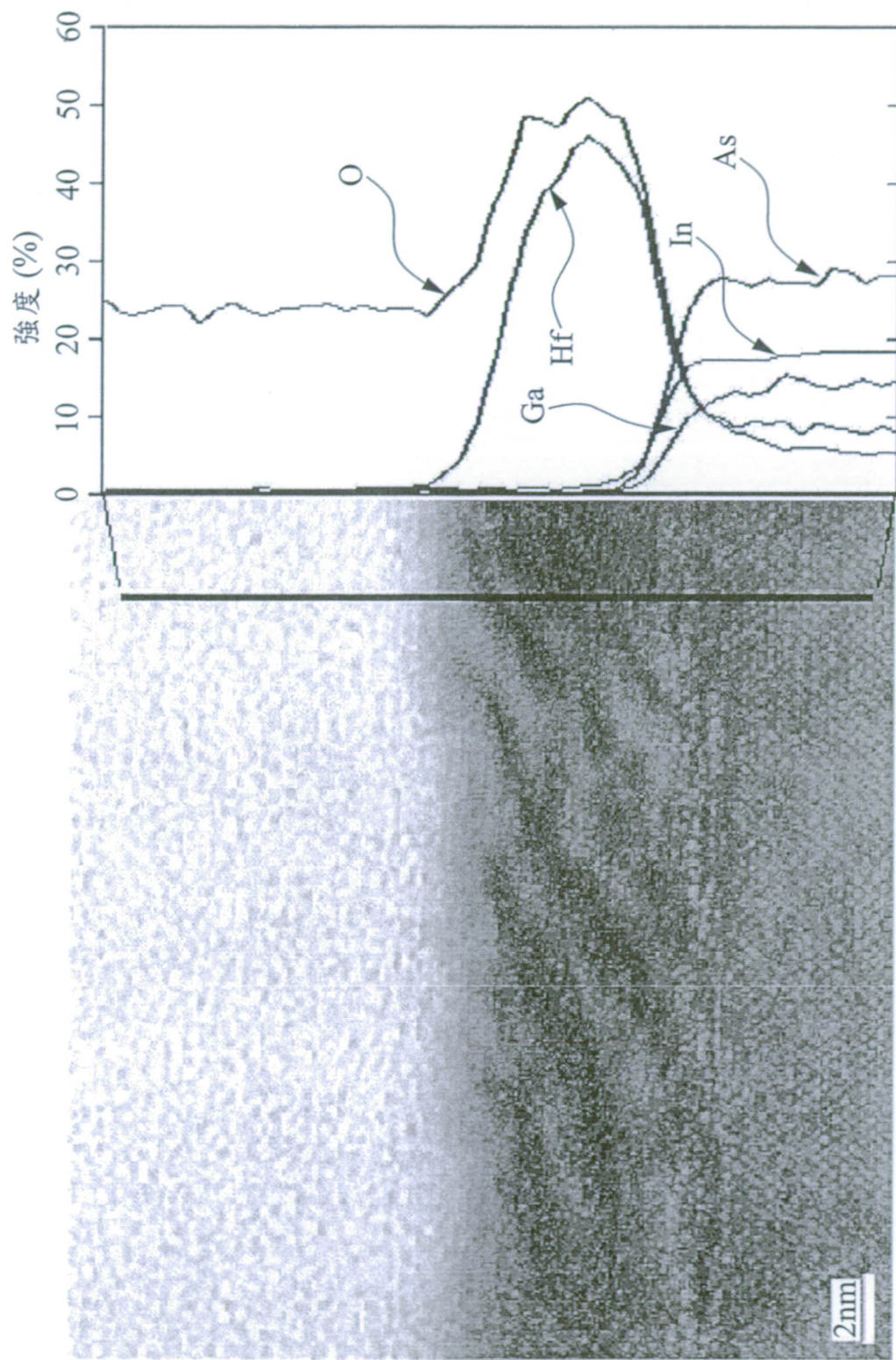
第 2G 圖



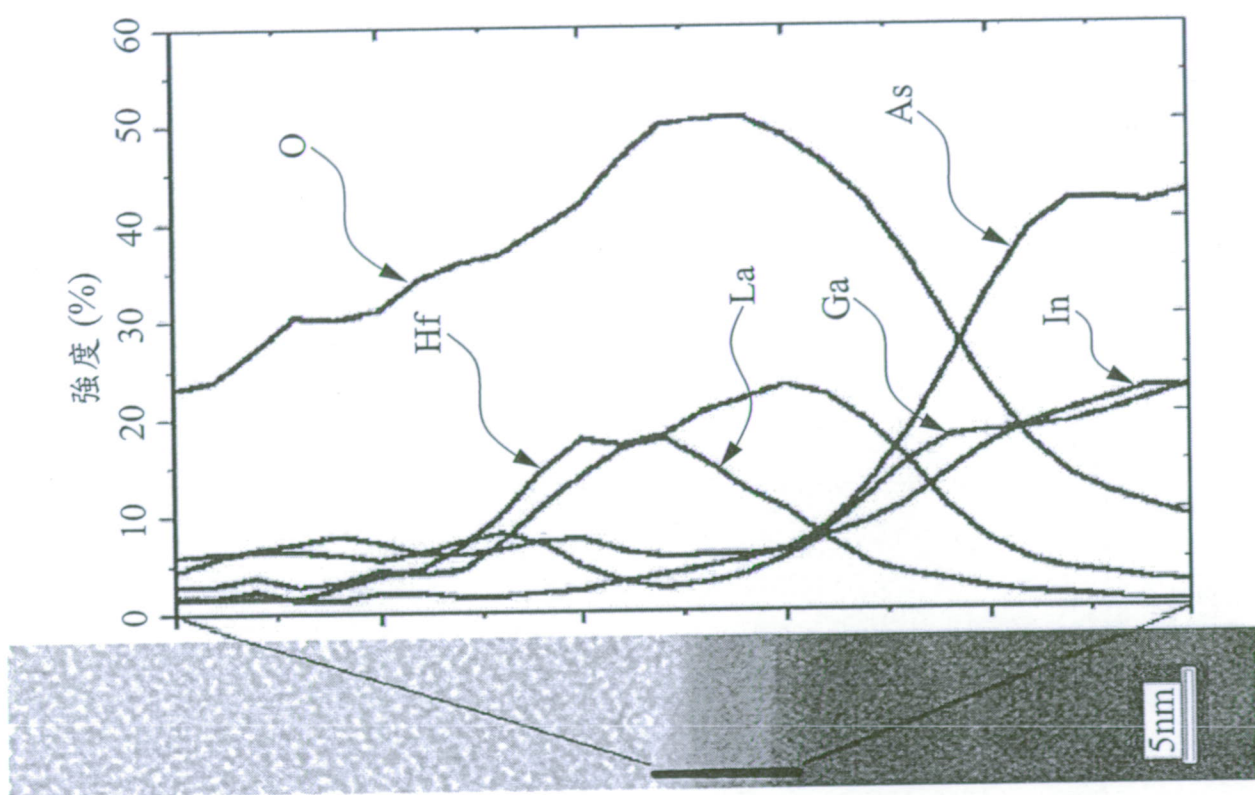
第 3A 圖



第 3B 圖



第4A圖 (習知技術)



第 4B 圖