



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201604872 A

(43) 公開日：中華民國 105 (2016) 年 02 月 01 日

(21) 申請案號：104124275 (22) 申請日：中華民國 104 (2015) 年 07 月 27 日
 (51) Int. Cl. : *G11C13/00 (2006.01)* *H01L45/00 (2006.01)*
 (30) 優先權：2014/07/28 美國 62/029,582
 (71) 申請人：國立交通大學 (中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)
 新竹市大學路 1001 號
 (72) 發明人：莊紹勳 CHUNG, STEVE S. (TW)；謝易叡 HSIEH, ERAY (TW)
 (74) 代理人：李世章；秦建譜
 申請實體審查：有 申請專利範圍項數：21 項 圖式數：7 共 35 頁

(54) 名稱

非揮發性電阻式記憶體及其操作

A NONVOLATILE RESISTANCE MEMORY AND ITS OPERATION THEREOF

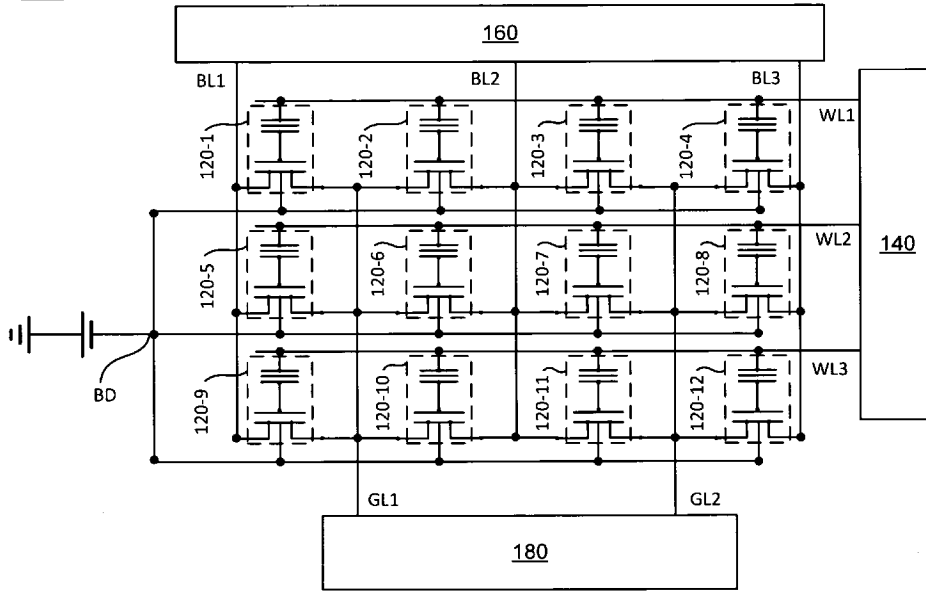
(57) 摘要

本發明揭示一種記憶體單元及關聯陣列電路。記憶體陣列電路包括複數個記憶體單元，其中記憶體單元每一者包含儲存裝置及場效電晶體。儲存裝置包括頂部電極、底部電極及氧化物介電層。頂部電極由金屬或金屬氧化物介電質形成，連接至字元線。底部電極由金屬形成，氧化物介電層置於頂部電極與底部電極之間。場效電晶體包括：閘極端子，經連接至底部電極；源極端子，經連接至接地線；以及汲極端子，經連接至位元線。儲存裝置之電阻值可根據施加於字元線上的第一電壓以及施加於位元線上的第二電壓加以調整。

A memory cell and the associated array circuits are disclosed. The memory array circuit includes a plurality of memory units, in which each of the memory units includes a storage device and a field-effect transistor. The storage device includes a top electrode, a bottom electrode and an oxide-based dielectric layer. The top electrode is formed by metal or metallic oxide dielectrics and connected to a word line. The bottom electrode is formed by metal, and the oxide-based dielectric layer is placed between the top electrode and the bottom electrode. The field-effect transistor includes a gate terminal connected to the bottom electrode, a source terminal connected to a ground line, and a drain terminal connected to a bit line. The resistance of the storage device is configured to be adjusted according to a first voltage applied to the word line and a second voltage applied to the bit line.

指定代表圖：

100



第1圖

符號簡單說明：

120-1~120-12 . . .

記憶體單元

140 . . . 字元線驅動器

160 . . . 位元線驅動器

180 . . . 共用源

BD . . . 端子

WL1、WL2、
WL3 . . . 字元線

BL1、BL2、
BL3 . . . 位元線

GL1、GL2 . . . 接
地線

發明摘要

※申請案號：10417475

※申請日：104. 7. 27

※IPC 分類：

G11C 13/60

(2006.01)

H01L 45/00

(2006.01)

【發明名稱】(中文/英文)

非揮發性電阻式記憶體及其操作 / A NONVOLATILE
RESISTANCE MEMORY AND ITS OPERATION
THEREOF

【中文】

本發明揭示一種記憶體單元及關聯陣列電路。記憶體陣列電路包括複數個記憶體單元，其中記憶體單元每一者包含儲存裝置及場效電晶體。儲存裝置包括頂部電極、底部電極及氧化物介電層。頂部電極由金屬或金屬氧化物介電質形成，連接至字元線。底部電極由金屬形成，氧化物介電層置於頂部電極與底部電極之間。場效電晶體包括：閘極端子，經連接至底部電極；源極端子，經連接至接地線；以及汲極端子，經連接至位元線。儲存裝置之電阻值可根據施加於字元線上的第一電壓以及施加於位元線上的第二電壓加以調整。

【英文】

A memory cell and the associated array circuits are disclosed. The memory array circuit includes a plurality of memory

units, in which each of the memory units includes a storage device and a field-effect transistor. The storage device includes a top electrode, a bottom electrode and an oxide-based dielectric layer. The top electrode is formed by metal or metallic oxide dielectrics and connected to a word line. The bottom electrode is formed by metal, and the oxide-based dielectric layer is placed between the top electrode and the bottom electrode. The field-effect transistor includes a gate terminal connected to the bottom electrode, a source terminal connected to a ground line, and a drain terminal connected to a bit line. The resistance of the storage device is configured to be adjusted according to a first voltage applied to the word line and a second voltage applied to the bit line.

【代表圖】

【本案指定代表圖】：第（1）圖。

【本代表圖之符號簡單說明】：

120-1~120-12 記憶體單元

140 字元線驅動器

160 位元線驅動器

180 共用源

BD 端子

WL1、WL2、WL3 字元線

BL1、BL2、BL3 位元線

GL1、GL2 接地線

發明專利說明書

【發明名稱】(中文/英文)

非揮發性電阻式記憶體及其操作 / A NONVOLATILE RESISTANCE MEMORY AND ITS OPERATION THEREOF

【技術領域】

【0001】本發明係關於一種半導體裝置。更特定言之，本發明係關於一種非揮發性記憶體單元。

【先前技術】

【0002】近期，一種被稱為電阻式隨機存取記憶體(resistance random access memory; ReRAM)的非揮發性半導體儲存裝置獲得了較多關注。此儲存元件係由頂部電極與底部電極之間夾有所謂的過渡金屬氧化物(transition metal oxide; TMO)形成之金屬-絕緣體-金屬(metal-insulator-metal; MIM)結構。取決於低電阻狀態還是高電阻狀態方面的兩種電阻狀態，經由使元件變化至諸如「0」與「1」之兩種狀態來將電阻式隨機存取記憶體用作記憶體元件。將元件自高電阻狀態變至低電阻狀態的過程被稱為設定(SET)過程，且自低電阻狀態變至高電阻狀態的過程被稱為重設(RESET)過程。可藉由量測穿過電阻儲存元件的電流量值來讀取資料，該量值表示高電流(低電阻)或低電流(高電阻)。

【0003】 在電阻式隨機存取記憶體中，爲了防止當大電流流過元件時損壞電阻儲存元件，使用二極體或電晶體或任何其他適宜裝置限制電流。另一方面，爲了擴大記憶體大小，人們使用不同策略來最小化儲存器大小，例如利用二極體限制電流的縱橫式陣列。爲了在大型電阻式隨機存取記憶體陣列之形成中滿足高電流需求，將二極體、雙極電晶體或金氧半場效電晶體用於記憶體元件。

【發明內容】

【0004】 本案的一態樣爲一種記憶體陣列電路，該記憶體陣列電路包含：複數個記憶體單元，其中該等記憶體單元中之每一者包含：一儲存裝置，該儲存裝置包含：一頂部電極，經連接至一字元線，該頂部電極由金屬或金屬氧化物複合物或金屬半導體複合物形成；一底部電極，該底部電極由金屬或金屬氧化物複合物或金屬半導體複合物形成；以及一氧化物介電層，該氧化物介電層形成於該頂部電極與該底部電極之間；以及一場效電晶體，該場效電晶體包含：一閘極端子，經連接至該儲存裝置之該底部電極；一源極端子，經連接至一接地線；一汲極端子，經連接至一位元線；以及一通道，位於該閘極端子和該源極端子和該汲極端子之間；其中該儲存裝置之電阻或導電率經配置以根據連接至記憶體單元的該等對應字元線、該等對應位元線或該等對應接地線之間的電壓差得以調整。

【0005】 在本案一實施例中，其中該儲存裝置經配置以藉由

可變的電阻或導電率儲存資訊。

【0006】 在本案一實施例中，其中該儲存裝置經配置以在該等對應字元線與該等對應位元線或該等對應接地線之間施加不同寫入電壓，用以使得該電阻或導電率變為可表示待寫入該儲存裝置中的儲存資訊的數值。

【0007】 在本案一實施例中，其中該儲存裝置經配置以自該字元線接收一設定電壓源和電流源，以使得該電阻或導電率變為可表示待寫入該儲存裝置中的儲存資訊的數值。

【0008】 在本案一實施例中，其中該儲存裝置經配置以施加一讀取電壓至該對應字元線及該等對應位元線之間的一讀取電壓或電流以感測在該記憶體單元中的電晶體電流或電壓，使得經由該等對應位元線及周邊電路識別該電阻率或導電率。

【0009】 在本案一實施例中，其中該儲存裝置經配置以藉由在該對應字元線與該接地線或該位元線之間施加一預置電壓或電流來將該儲存裝置設定至一參考導電率值。

【0010】 在本案一實施例中，其中該場效電晶體為一 n 通道金屬氧化物半導體場效電晶體或一 p 通道金屬氧化物半導體場效電晶體、一 n 通道無接面場效電晶體或 p 通道無接面場效電晶體、一電子傳導隧道場效電晶體、一孔傳導隧道場效電晶體或一三閘極場效電晶體。

【0011】 在本案一實施例中，其中該場效電晶體中的該閘極介電層為基於 SiO₂ 或 SiON 或 HfO₂ 或其他高介電常數之一組合的閘極介電層。

【0012】 在本案一實施例中，其中該頂部電極及該底部電極係由至少一層之金屬、金屬氧化物複合物或金屬半導體複合物所形成，其中該金屬半導體複合物係由具有氧離子或氧空缺或金屬離子形式的金屬或半導體或氧所形成。

【0013】 在本案一實施例中，其中該氧化物介電層用以在該儲存裝置上施加電壓或電流時藉由移動介電層中的離子或空缺改變該儲存值。

【0014】 在本案一實施例中，其中該氧化物介電層包含至少一層之金屬氧化物或半導體一氧化物複合物或金屬一半導體一氧化物複合物以在施加電壓或電流時藉由移動離子或空缺改變導電率。

【0015】 在本案一實施例中，其中該儲存裝置之該底部電極與該場效電晶體之該閘極端子共享相同的金屬層。

【0016】 本案的另一態樣為一種記憶體陣列電路，包含：複數個字元線；複數個位元線；一字元線驅動器，經連接至該等字元線；一位元線驅動器，經連接至該等位元線；一接地線；以及複數個記憶體單元，其中該等記憶體單元中之每一者包含：一儲存裝置，該儲存裝置包含：一頂部電極，經連接至該對應字元線，該頂部電極由金屬或金屬氧化物複合物或金屬半導體複合物形成；一底部電極，該底部電極由金屬或金屬氧化物複合物或金屬半導體複合物形成；以及一氧化物介電層，該氧化物介電層形成於該頂部電極與該底部電極之間；以及一場效電晶體，包含：一閘極端子，經連接至該儲存裝置之該底部電極；一源極端子，

經連接至該對應接地線；一汲極端子，經連接至該對應位元線；以及一通道，位於該閘極端子和該源極端子和該汲極端子之間；其中該儲存裝置之該電阻經配置以根據該對應字元線、該對應位元線或該對應接地線之間的電壓差得以調整。

【0017】 在本案一實施例中，其中該儲存裝置經配置以藉由展示可變電阻或導電率儲存資訊。

【0018】 在本案一實施例中，其中該儲存裝置經進一步配置以在該對應字元線與該對應位元線或該對應接地線之間施加一寫入電壓或電流，以使得該電阻率或導電率變為表示待寫入該儲存裝置中的該儲存資訊之一數值。

【0019】 在本案一實施例中，其中該儲存裝置經進一步配置以自該字元線接收一設定電壓源或電流源，以使得該電阻或導電率變為表示待寫入該儲存裝置中的該儲存資訊之一數值。

【0020】 在本案一實施例中，其中該儲存裝置經進一步配置以施加一讀取電壓至該對應字元線及施加該等對應位元線之間的一讀取電壓以感測在該記憶體單元中的該電晶體電流或電壓，以使得經由該等對應位元線及寄生電路識別該電阻或導電率。

【0021】 在本案一實施例中，其中該儲存裝置經配置以藉由在該對應字元線與該接地線或該位元線之間施加一預置電壓或電流來將該儲存裝置設定至一參考導電率值。

【0022】 在本案一實施例中，其中該頂部電極及該底部電極

由至少一層之金屬、金屬氧化物複合物或金屬半導體複合物形成，該金屬半導體複合物係由具有氧離子或氧空缺或金屬離子形式的金屬、半導體或氧所形成，且該氧化物介電層經配置以在該儲存裝置上施加電壓差或電流差時藉由移動介電質中的離子或空缺改變儲存值。

【0023】 在本案一實施例中，其中該氧化物介電層包含至少一層之氧化物複合物或金屬氧化物複合物或金屬半導體氧化物複合物，該金屬氧化物複合物層在施加電壓或電流時藉由移動離子或空缺改變導電率。

【0024】 在本案一實施例中，其中該儲存裝置之該底部電極與該場效電晶體之該閘極端子共享相同的金屬層。

【0025】 綜上所述，本發明之技術方案與現有的記憶體結構、技術相比具有明顯的優點和優異性能。記憶體結構的簡單使其更容易被整合至現有邏輯互補式金氧半場效電晶體(CMOS)製程中且對嵌入式應用更為實用。藉由上述技術方案，可達到相當的技術進步，並具有產業上的廣泛利用價值。

【圖式簡單說明】

【0026】

第 1 圖係圖示根據本發明之實施例的記憶體陣列電路之電路圖。

第 2 圖係圖示根據本發明之實施例的記憶體單元之細節之電路圖。

第 3 圖係圖示根據本發明之實施例的記憶體單元之結構之示意圖。

第 4A 圖至第 4C 圖係根據本發明之實施例圖示記憶體單元之操作方法之波形示意圖。

第 5 圖係圖示根據本發明之實施例的汲極電流特性之示意圖。

第 6 圖係圖示根據本發明之另一實施例的記憶體單元之電路圖。

第 7 圖係圖示根據本發明之另一實施例的記憶體單元之結構之示意圖。

【實施方式】

【0027】 下文係舉實施例配合所附圖式作詳細說明，以更好地理解本案的記憶體結構及操作，但所提供之實施例並非用以限制本揭露所涵蓋的範圍，而結構操作之描述非用以限制其執行之順序，任何由元件重新組合之結構，所產生具有均等功效的裝置，皆為本揭露所涵蓋的範圍。此外，根據業界的標準及習慣做法，圖式僅以輔助說明為目的，並未依照原尺寸作圖，實際上各種特徵的尺寸可任意地增加或減少以便於說明。下述說明中相同元件將以相同之符號標示來進行說明以便於理解。

【0028】 在全篇說明書與申請專利範圍所使用之用詞 (terms)，除有特別註明外，通常具有每個用詞使用在此領域中、在此揭露之內容中與特殊內容中的平常意義。某些

用以描述本揭露之用詞將於下或在此說明書的別處討論，以提供本領域技術人員在有關本揭露之描述上額外的引導。

【0029】 關於本文中所使用之『約』、『大約』或『大致』一般通常係指數值之誤差或範圍於百分之二十以內，較好地是於百分之十以內，而更佳地則是於百分之五以內。文中若無明確說明，其所提及的數值皆視作為近似值，例如可如『約』、『大約』或『大致』所表示的誤差或範圍，或其他近似值。

【0030】 此外，在本文中所使用的用詞『包含』、『包括』、『具有』、『含有』等等，均為開放性的用語，即意指『包含但不限於』。此外，本文中所使用之『及／或』，包含相關列舉項目中一或多個項目的任意一個以及其所有組合。

【0031】 於本文中，當一元件被稱為『連接』或『耦接』時，可指『電性連接』或『電性耦接』。『連接』或『耦接』亦可用以表示二或多個元件間相互搭配操作或互動。此外，雖然本文中使用了『第一』、『第二』、…等用語描述不同元件，該用語僅是用以區別以相同技術用語描述的元件或操作。除非上下文清楚指明，否則該用語並非特別指稱或暗示次序或順位，亦非用以限定本發明。

【0032】 參看第 1 圖。第 1 圖係圖示根據本發明之實施例的記憶體陣列電路 100 之電路圖。如第 1 圖所示，記憶體陣列電路 100 包括字元線 WL1、WL2 及 WL3；位元線 BL1、BL2 及 BL3；字元線驅動器 140，經連接至字元線 WL1～

WL3；位元線驅動器 160，經連接至位元線 BL1~BL3；接地線 GL1 及 GL2，經連接至共用源 180；及記憶體單元 120-1、120-2、…及 120-12。

【0033】在本實施例中，字元線驅動器 140 及位元線驅動器 160 經配置以分別驅動字元線 WL1~WL3 及位元線 BL1~BL3。

【0034】將記憶體單元 120-1~120-4 連接至字元線 WL1，記憶體單元 120-5~120-8 連接至字元線 WL2，及記憶體單元 120-9~120-12 連接至字元線 WL3。另外，將記憶體單元 120-1、120-5 及 120-9 連接至位元線 BL1，記憶體單元 120-2~120-3、120-6~120-7 及 120-10~120-11 連接至位元線 BL2，及記憶體單元 120-4、120-8 及 120-12 連接至位元線 BL3。將共用主體端子 BD 視情況連接至記憶體單元 120-1~120-12。

【0035】第 2 圖係圖示根據本發明之實施例的記憶體單元 120-2 之細節之電路圖。值得注意的是，記憶體單元 120-1~120-12 具有類似結構，且以記憶體單元 120-2 為例來解釋記憶體單元 120-1~120-12 之細節。

【0036】如第 2 圖所示，記憶體單元 120-2 分別包括儲存裝置 122 及場效電晶體 124。舉例而言，儲存裝置 122 包括頂部電極 TE、底部電極 BE 及氧化物介電層 DI，該氧化物介電層置放於頂部電極 TE 與底部電極 BE 之間。儲存裝置 122 經配置以藉由展示可變電阻或導電率儲存資訊。

【0037】場效電晶體 124 包括閘極端子 G、源極端子 S 及汲

極端子 D。將閘極端子 G 連接至儲存裝置 122 之底部電極 BE。將源極端子 S 連接至接地線 GL1。將汲極端子 D 連接至位元線 BL2。

【0038】根據第 2 圖另外參看第 3 圖。第 3 圖係圖示根據本發明之實施例的記憶體單元 120-2 之結構之示意圖。如第 3 圖所示，頂部電極 TE 由金屬或金屬氧化物介電質形成，並連接至記憶體陣列電路 100 之字元線 WL1。底部電極 BE 由金屬形成。或者說，頂部電極 TE、底部電極 BE 及置放於頂部電極 TE 與底部電極 BE 之間的氧化物介電層 DI 形成儲存裝置 122 之結構，該結構亦稱為 MIM（金屬-絕緣體-金屬）。

【0039】在本發明之一個實施例中，頂部電極 TE 及底部電極 BE 由貴金屬或貴金屬複合物之至少一個層形成，該貴金屬複合物經形成具有金屬及氧化物離子形式的氧。氧化物介電層 DI 經配置以在儲存裝置上施加電壓差時藉由移動介電質中的離子改變儲存值。氧化物介電層 DI 包括貴金屬氧化物或貴半導體一氧化物複合物或貴金屬氧化物複合物或貴金屬半導體一氧化物複合物之至少一個層。

【0040】值得注意的是，記憶體單元 120-2 之儲存裝置 122 之電阻經配置以根據施加給對應字元線 WL1 的第一電壓 V1 及施加給對應位元線 BL2 的第二電壓 V2 得以調整。類似地，記憶體單元 120-1~120-12 之儲存裝置 122 之電阻經配置以根據施加給對應字元線 WL1~WL3 的電壓及施加給對應位元線 BL1~BL3 的電壓調整該電阻。

【0041】 或者說，本發明之記憶體單元 120-1~120-12 為記憶體裝置，該記憶體裝置經配置以藉由在裝置之端子之間施加電壓來改變儲存裝置 122（亦即，MIM）之電阻率、導電率或傳導電流，以使得記憶體單元 120-1~120-12 能夠在低電流或高電流下自場效電晶體 124 之汲極端子 D 經由 MIM 電阻之開關而輸出。

【0042】 儘管場效電晶體 124 可為第 1 圖及第 2 圖所示之 n 通道金屬氧化物半導體場效電晶體（n 通道 MOSFET），但是應將理解，該等實施例並不意欲限制本發明。對熟習此項技術者將顯而易見的是，在不限制本發明之範疇或概念的情況下，亦可藉由其他類型場效電晶體實施場效電晶體 124，該等場效電晶體諸如 p 通道金屬氧化物半導體場效電晶體（p 通道 MOSFET）、n 型或 p 型無接面 MOSFET、電子傳導隧道 FET、孔傳導隧道 FET 或三閘極 MOSFET（或 FinFET）。值得注意的是，場效電晶體中的介電電容可為至少一層基於 SiO₂、SiON、HfO₂ 或其他高介電常數的閘極介電層。

【0043】 參看第 4A 圖至第 4C 圖。第 4A 圖至第 4C 圖係圖示根據本發明之實施例的記憶體單元 120-1~120-12 之操作方法之訊號波形示意圖。

【0044】 在本實施例中，儲存裝置 122 經配置以在對應字元線 WL1~WL3 與對應位元線 BL1~BL3 之間施加寫入電壓差，以使得電阻或導電率變為一值，該值表示待寫入儲存裝置 122 中的儲存資訊。

【0045】 首先，爲了改變儲存裝置 122（亦即，MIM）之電阻狀態，將選擇目標記憶體單元（例如，記憶體單元 120-1）之對應位元線（例如，位元線 BL1）及對應字元線（例如，字元線 WL1）。在具有 n 通道的 MOSFET 之實施例中，在對應字元線 WL1 上施加正偏壓及在對應位元線 BL1 上施加負偏壓（或零電壓）。值得注意的是，在存在電晶體之主體端子 BD 的一些實施例中，主體端子可爲接地或背偏壓的。

【0046】 第 4A 圖圖示形成過程。在一些實施例中，取決於儲存裝置 122（亦即，MIM）中的絕緣體（例如，過渡金屬氧化物 TMO）之結構及厚度，記憶體單元 120-1~120-12 需要預置(PRESET)（亦即，形成過程）。出於 TMO 絕緣體之組成原因，有時需要該形成，亦即以形成用於導電的細絲。藉由在連接至記憶體單元 120 之頂部電極 TE 的字元線（例如，WL1）上施加電壓，在位元線（例如，BL1）上施加電壓，及將主體端子 BD 連接至接地線 GL，跨記憶體元件 120 的電壓差使得儲存裝置 122 設定至電阻之參考值。或者說，儲存裝置 122 在對應字元線 WL1~WL3 與接地線 GL 之間施加預置電壓差，以使得儲存裝置 122 設定至參考導電率值。隨後，可因此執行 SET 或 RESET 操作。

【0047】 如第 4A 圖所示，在本發明之一實施例中，在 PRESET 過程期間，對應字元線 WL1 之電壓 V_{WL1} 經配置以被設定在形成電壓 V_F ，而對應位元線 BL1 之電壓 V_{BL1} 、接地線 GL1 之電壓 V_{GL} 及主體端子 BD 之電壓 V_{body} 爲接地的（亦即，實質上 0V）。

【0048】 在本實施例中，儲存裝置 122 經配置以藉由展示可變電阻或導電率儲存資訊。當儲存裝置 122（亦即，MIM）處於高電阻狀態（亦即，具有電阻 R_H ）且跨儲存裝置 122（亦即，MIM）的電壓足夠高時，儲存裝置 122（亦即，MIM）將被設定處於低電阻狀態中。來自汲極端子 D 的輸出電流 I_d 將自低電流（亦即，低電阻狀態中的儲存裝置）變至高電流（亦即，高電阻狀態中的儲存裝置）。

【0049】 第 4B 圖圖示 SET 過程。如第 4B 圖所示，在本發明之一實施例中，在 SET 過程期間，對應字元線 WL1 之電壓 V_{WL1} 經配置以被設定在設定電壓 V_S ，而對應位元線 BL1 之電壓 V_{BL1} 、接地線 GL1 之電壓 V_{GL} 及主體端子 BD 之電壓 V_{body} 為接地的（亦即，實質上 0V）。儲存裝置 122 自對應字元線 WL1 接收設定電壓 V_S ，以使得電阻或導電率變為一值，該值表示待寫入儲存裝置 122 中的儲存資訊。

【0050】 另一方面，若吾人想要將儲存裝置 122（亦即，MIM）之電阻率自低電阻狀態變至高電阻狀態，則在對應字元線 WL1~WL3 上施加負偏壓及在對應位元線 BL1~BL3 上施加正偏壓（或零電壓）。隨後，來自汲極端子 D 的輸出電流 I_d 將自高電流變至低電流。

【0051】 第 4C 圖圖示 RESET 過程。如第 4C 圖所示，在 RESET 過程期間，對應位元線 BL1 之電壓 V_{BL1} 及接地線 GL1 之電壓 V_{GL} 經配置以被設定在重設電壓 V_R ，而對應字元線 WL1 之電壓 V_{WL1} 為接地的及主體端子 BD 之電

壓 V_{body} 為浮動的。

【0052】 類似於寫入操作，在讀取操作中，為了自儲存裝置 122 之電阻變化讀取資訊，將選擇目標記憶體單元 120-1~120-12 之對應字元線 WL1~WL3 及對應位元線 BL1~BL3，且源極端子 S 為接地的，而場效電晶體 124 之主體端子 BD 可為接地或背偏壓的。

【0053】 根據由儲存裝置 122（亦即，MIM）中的不同電阻所表示之儲存值，跨儲存裝置 122（亦即，MIM）之電壓經配置以取決於儲存裝置 122 之高電阻或低電阻狀態而變化。跨場效電晶體 124 之閘極氧化物介電層的電壓不同，且隨後感測為閾值電壓偏移之輸出或場效電晶體 124 之輸出電流（亦即，汲極電流） I_d 之變化。或者說，場效電晶體 124 之輸出電流 I_d 或閾值電壓 V_{th} 之變化量表示讀取資訊，該資訊表示兩個位準狀態（邏輯 0 與邏輯 1）。

【0054】 儲存裝置 122 施加讀取電壓至對應字元線 WL1~WL3 及對應位元線（例如，BL1 及 BL2）之間的讀取電壓差，以使得經由對應位元線（例如，BL1 及 BL2）識別電阻或導電率。

【0055】 參看第 5 圖。第 5 圖係圖示根據本發明之實施例的汲極電流特性之示意圖。在第 5 圖中，曲線 L1 指示應用 SET 過程後的記憶體單元 120-1~120-12 之電壓-電流特性。另一方面，曲線 L2 指示應用 RESET 過程後的記憶體單元 120-1~120-12 之電壓-電流特性。

【0056】 如第 5 圖所示，當施加讀取電壓 V_{read} （例如，0.6V）

時，輸出電流（亦即，汲極電流） I_d 處於低電流位準 I_{off} ，表示 RESET 過程後的一個邏輯狀態（例如，邏輯=1）。另一方面，輸出電流（亦即，汲極電流） I_d 處於高電流位準 I_{on} ，表示 SET 過程後的另一邏輯狀態（例如，邏輯=0）。上述重複操作執行作為具有非揮發性的記憶體的功能。

【0057】值得注意的是，在本實施例中，電壓 V_{GS} 表示頂部電極 TE 與源極端子 S 之間的電壓。高電流位準 I_{on} 與低電流位準 I_{off} 係自場效電晶體 124 之汲極端子 D 所量測之輸出電流（亦即，汲極電流） I_d 之兩個不同電流位準。

【0058】參看第 6 圖及第 7 圖。第 6 圖係圖示根據本發明之另一實施例的記憶體單元 120-2 之電路圖。第 7 圖係圖示根據本發明之另一實施例的記憶體單元 120-2 之結構之示意圖。在本發明中，場效電晶體 124 與儲存裝置 122（亦即，MIM）可共享相同金屬層。舉例而言，儲存裝置 122 之底部電極 BE 與場效電晶體 124 之閘極端子 G 共享相同金屬層，且將儲存裝置 122 之頂部電極 TE 連接至字元線（例如，WL1），場效電晶體 124 之汲極端子 D 連接至位元線（例如，BL2），及場效電晶體 124 之源極端子 S 連接至接地線 GL。在一些實施例中，將場效電晶體 124 之主體端子 BD 連接至接地線 GL。

【0059】類似於上述實施例，儘管場效電晶體 124 可為第 6 圖及第 7 圖所示之 n 通道金屬氧化物半導體場效電晶體（n 通道 MOSFET），但是應將理解，該等實施例並不意欲限制本發明。對熟習此項技術者將顯而易見的是，在不限制本

發明之範疇或概念的情況下，亦可藉由其他類型與儲存裝置 122（亦即，MIM）共享相同金屬層的場效電晶體實施場效電晶體 124，該等場效電晶體諸如 p 通道金屬氧化物半導體場效電晶體（p 通道 MOSFET）、n 型或 p 型無接面 MOSFET、電子傳導隧道 FET、孔傳導隧道 FET 或三閘極 MOSFET（或 FinFET）。

【0060】 值得注意的是，可根據實踐應用使用可由熟習此項技術者配置之其他種類電晶體，且前述實例並不意謂是本發明之限制。

【0061】 於上述之內容中，包含示例性的步驟。然而此些步驟並不必需依序執行。在本實施方式中所提及的步驟，除特別敘明其順序者外，均可依實際需要調整其前後順序，甚至可同時或部分同時執行。

【0062】 綜上所述，在本發明中藉由應用上文所描述之實施例，揭示一個電晶體及一個 MIM 之新結構以解決前述問題。記憶體結構的簡單使其更容易被整合至現有邏輯 CMOS 製程中且對嵌入式應用更為實用。

【0063】 雖然本揭示內容已以實施方式揭露如上，然其並非用以限定本揭示內容，任何熟習此技藝者，在不脫離本揭示內容之精神和範圍內，當可作各種更動與潤飾，因此本揭示內容之保護範圍當視後附之申請專利範圍所界定者為準。

【符號說明】

【0064】

120-1~120-12 記憶體單元

122 儲存裝置

124 場效電晶體

140 字元線驅動器

160 位元線驅動器

180 共用源

G 閘極端子

D 汲極端子

S 源極端子

BD 端子

BE 底部電極

DI 氧化物介電層

TE 頂部電極

L1、L2 曲線

WL1、WL2、WL3 字元線

BL1、BL2、BL3 位元線

GL1、GL2 接地線

【發明申請專利範圍】

【第1項】一種記憶體陣列電路，該記憶體陣列電路包含：

複數個記憶體單元，其中該等記憶體單元中之每一者包含：

一儲存裝置，該儲存裝置包含：

一頂部電極，經連接至一字元線，該頂部電極由金屬或金屬氧化物複合物或金屬半導體複合物形成；

一底部電極，該底部電極由金屬或金屬氧化物複合物或金屬半導體複合物形成；以及

一氧化物介電層，該氧化物介電層形成於該頂部電極與該底部電極之間；以及

一場效電晶體，該場效電晶體包含：

一閘極端子，經連接至該儲存裝置之該底部電極；

一源極端子，經連接至一接地線；

一汲極端子，經連接至一位元線；以及

一通道，位於該閘極端子和該源極端子和該汲極端子之間；

其中該儲存裝置之電阻或導電率經配置以

根據連接至記憶體單元的該等對應字元線、該等對應位元線或該等對應接地線之間的電壓差得以調整。

【第2項】如請求項 1 所述之記憶體陣列電路，其中該儲存裝置經配置以藉由可變的電阻或導電率儲存資訊。

【第3項】如請求項 2 所述之記憶體陣列電路，其中該儲存裝置經配置以在該等對應字元線與該等對應位元線或該等對應接地線之間施加不同寫入電壓，用以使得該電阻或導電率變為可表示待寫入該儲存裝置中的儲存資訊的數值。

【第4項】如請求項 2 所述之記憶體陣列電路，其中該儲存裝置經配置以自該字元線接收一設定電壓源和電流源，以使得該電阻或導電率變為可表示待寫入該儲存裝置中的儲存資訊的數值。

【第5項】如請求項 2 所述之記憶體陣列電路，其中該儲存裝置經配置以施加一讀取電壓至該對應字元線及該等對應位元線之間的一

讀取電壓或電流以感測在該記憶體單元中的電晶體電流或電壓，使得經由該等對應位元線及周邊電路識別該電阻率或導電率。

【第6項】如請求項2所述之記憶體陣列電路，其中該儲存裝置經配置以藉由在該對應字元線與該接地線或該位元線之間施加一預置電壓或電流來將該儲存裝置設定至一參考導電率值。

【第7項】如請求項1所述之記憶體陣列電路，其中該場效電晶體為一n通道金屬氧化物半導體場效電晶體或一p通道金屬氧化物半導體場效電晶體、一n通道無接面場效電晶體或p通道無接面場效電晶體、一電子傳導隧道場效電晶體、一孔傳導隧道場效電晶體或一三閘極場效電晶體。

【第8項】如請求項1所述之記憶體陣列電路，其中該場效電晶體中的該閘極介電層為基於 SiO_2 或 SiON 或 HfO_2 或其他高介電常數之一組合的閘極介電層。

【第9項】如請求項1所述之記憶體陣列

電路，其中該頂部電極及該底部電極係由至少一層之金屬、金屬氧化物複合物或金屬半導體複合物所形成，其中該金屬半導體複合物係由具有氧離子或氧空缺或金屬離子形式的金屬或半導體或氧所形成。

【第10項】如請求項 9 所述之記憶體陣列電路，其中該氧化物介電層用以在該儲存裝置上施加電壓或電流時藉由移動介電層中的離子或空缺改變該儲存值。

【第11項】如請求項 9 所述之記憶體陣列電路，其中該氧化物介電層包含至少一層之金屬氧化物或半導體一氧化物複合物或金屬一半導體一氧化物複合物以在施加電壓或電流時藉由移動離子或空缺改變導電率。

【第12項】如請求項 1 所述之記憶體陣列電路，其中該儲存裝置之該底部電極與該場效電晶體之該閘極端子共享相同的金屬層。

【第13項】一種記憶體陣列電路，包含：
複數個字元線；
複數個位元線；

- 一字元線驅動器，經連接至該等字元線；
- 一位元線驅動器，經連接至該等位元線；
- 一接地線；以及

複數個記憶體單元，其中該等記憶體單元中之每一者包含：

一儲存裝置，該儲存裝置包含：

一頂部電極，經連接至該對應字元線，該頂部電極由金屬或金屬氧化物複合物或金屬半導體複合物形成；

一底部電極，該底部電極由金屬或金屬氧化物複合物或金屬半導體複合物形成；以及

一氧化物介電層，該氧化物介電層形成於該頂部電極與該底部電極之間；以及

一場效電晶體，包含：

一閘極端子，經連接至該儲存裝置之該底部電極；

一源極端子，經連接至該對應接地線；

一汲極端子，經連接至該對應位元線；以及

一通道，位於該閘極端子和該源極端子和該汲極端子之間；

其中該儲存裝置之該電阻經配置以根據該

對應字元線、該對應位元線或該對應接地線之間的電壓差得以調整。

【第14項】如請求項13所述之記憶體陣列電路，其中該儲存裝置經配置以藉由展示可變電阻或導電率儲存資訊。

【第15項】如請求項14所述之記憶體陣列電路，其中該儲存裝置經進一步配置以在該對應字元線與該對應位元線或該對應接地線之間施加一寫入電壓或電流，以使得該電阻率或導電率變為表示待寫入該儲存裝置中的該儲存資訊之一數值。

【第16項】如請求項14所述之記憶體陣列電路，其中該儲存裝置經進一步配置以自該字元線接收一設定電壓源或電流源，以使得該電阻或導電率變為表示待寫入該儲存裝置中的該儲存資訊之一數值。

【第17項】如請求項14所述之記憶體陣列電路，其中該儲存裝置經進一步配置以施加一讀取電壓至該對應字元線及施加該等對應位元線之間的一讀取電壓以感測在該記憶體單元

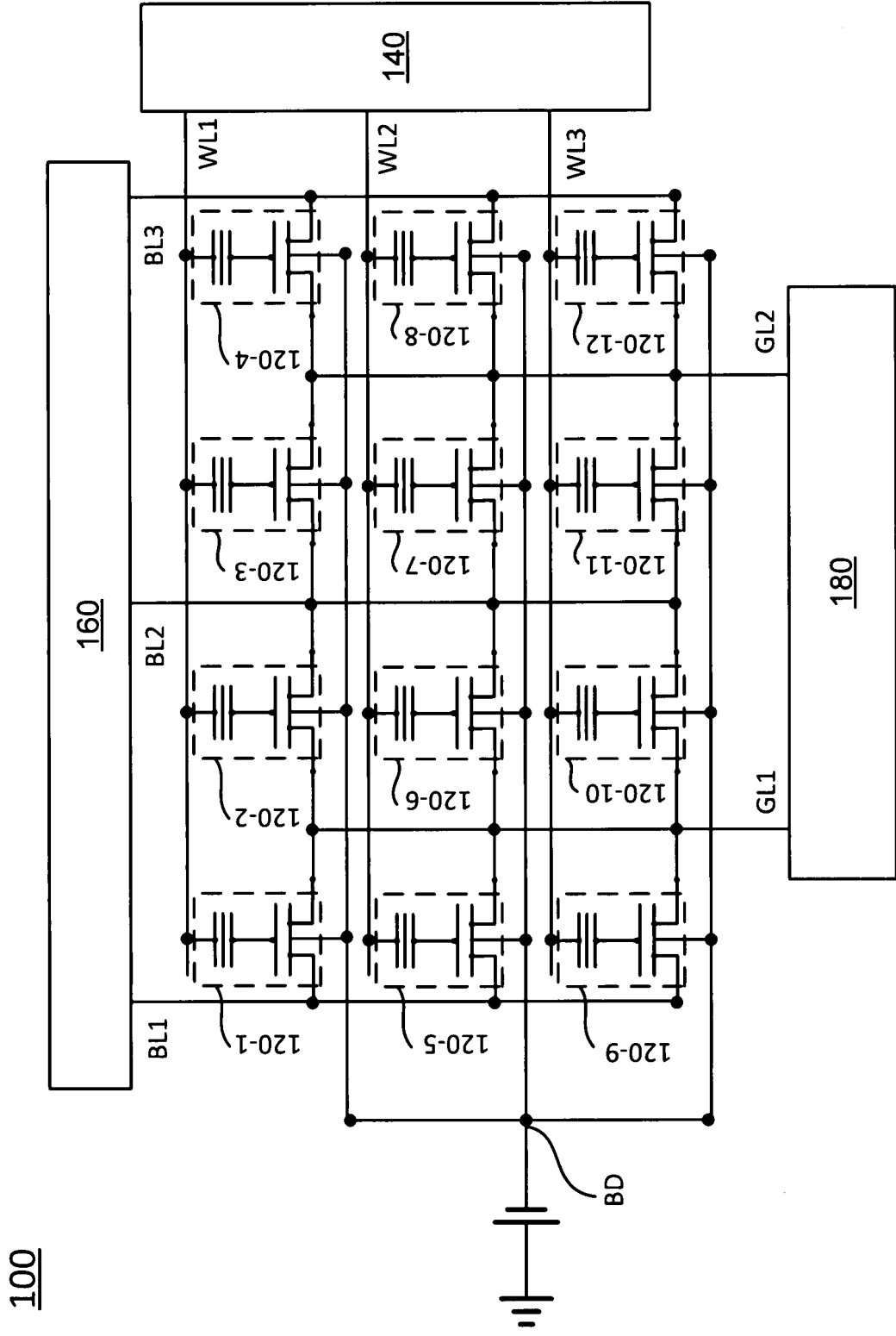
中的該電晶體電流或電壓，以使得經由該等對應位元線及寄生電路識別該電阻或導電率。

【第18項】如請求項 13 所述之記憶體陣列電路，其中該儲存裝置經配置以藉由在該對應字元線與該接地線或該位元線之間施加一預置電壓或電流來將該儲存裝置設定至一參考導電率值。

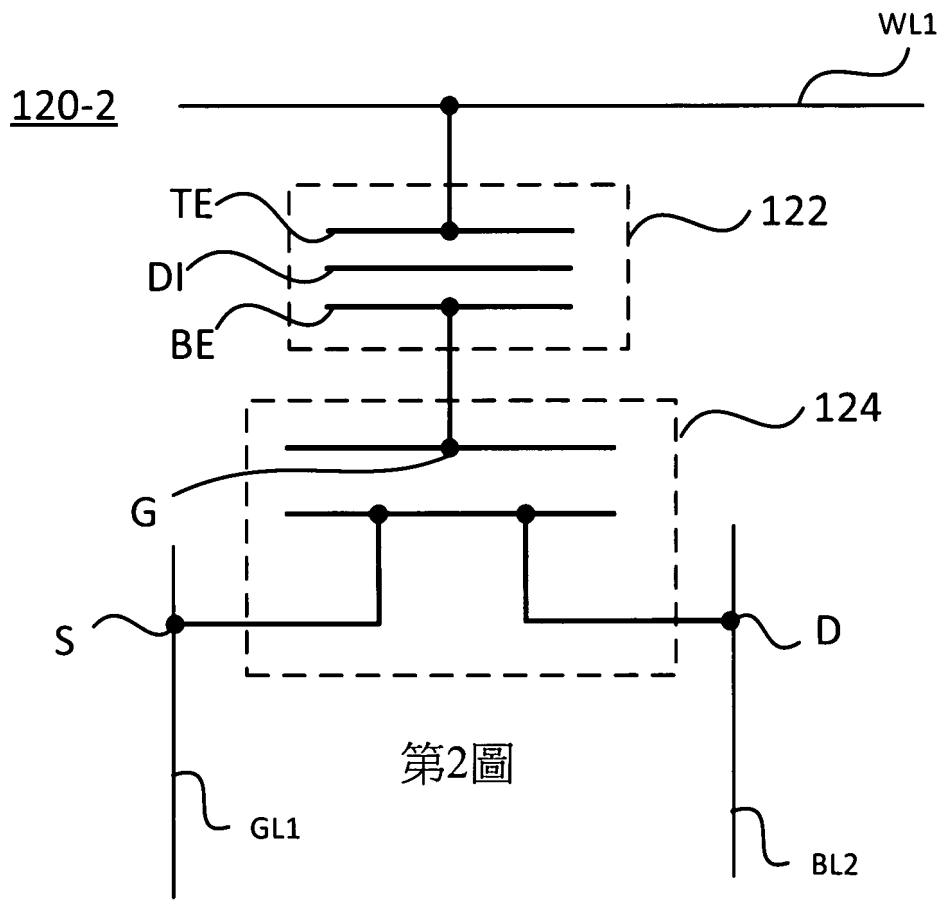
【第19項】如請求項 13 所述之記憶體陣列電路，其中該頂部電極及該底部電極由至少一層之金屬、金屬氧化物複合物或金屬半導體複合物形成，該金屬半導體複合物係由具有氧離子或氧空缺或金屬離子形式的金屬、半導體或氧所形成，且該氧化物介電層經配置以在該儲存裝置上施加電壓差或電流差時藉由移動介電質中的離子或空缺改變儲存值。

【第20項】如請求項 19 所述之記憶體陣列電路，其中該氧化物介電層包含至少一層之氧化物複合物或金屬氧化物複合物或金屬半導體氧化物複合物，該金屬氧化物複合物層在施加電壓或電流時藉由移動離子或空缺改變導電率。

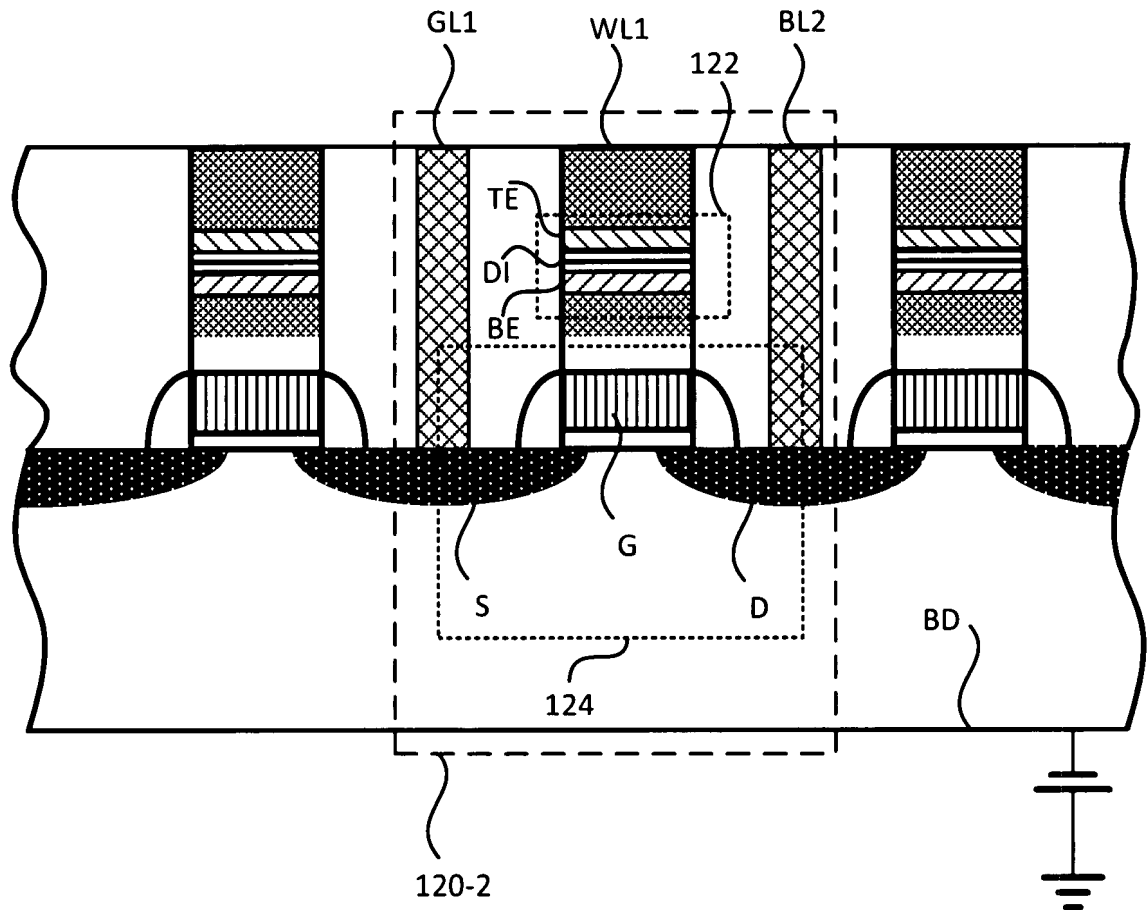
【第21項】如請求項 13 所述之記憶體陣列電路，其中該儲存裝置之該底部電極與該場效電晶體之該閘極端子共享相同的金屬層。



第1圖

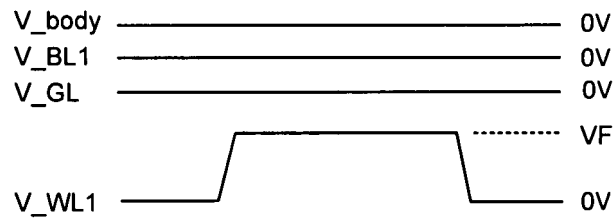


第2圖

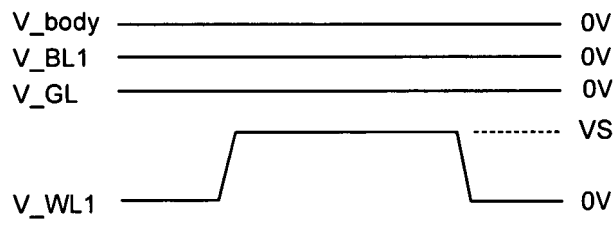


第3圖

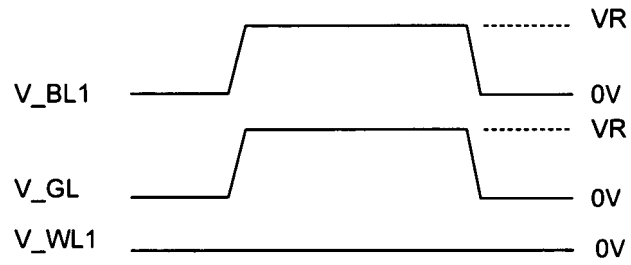
第4A圖

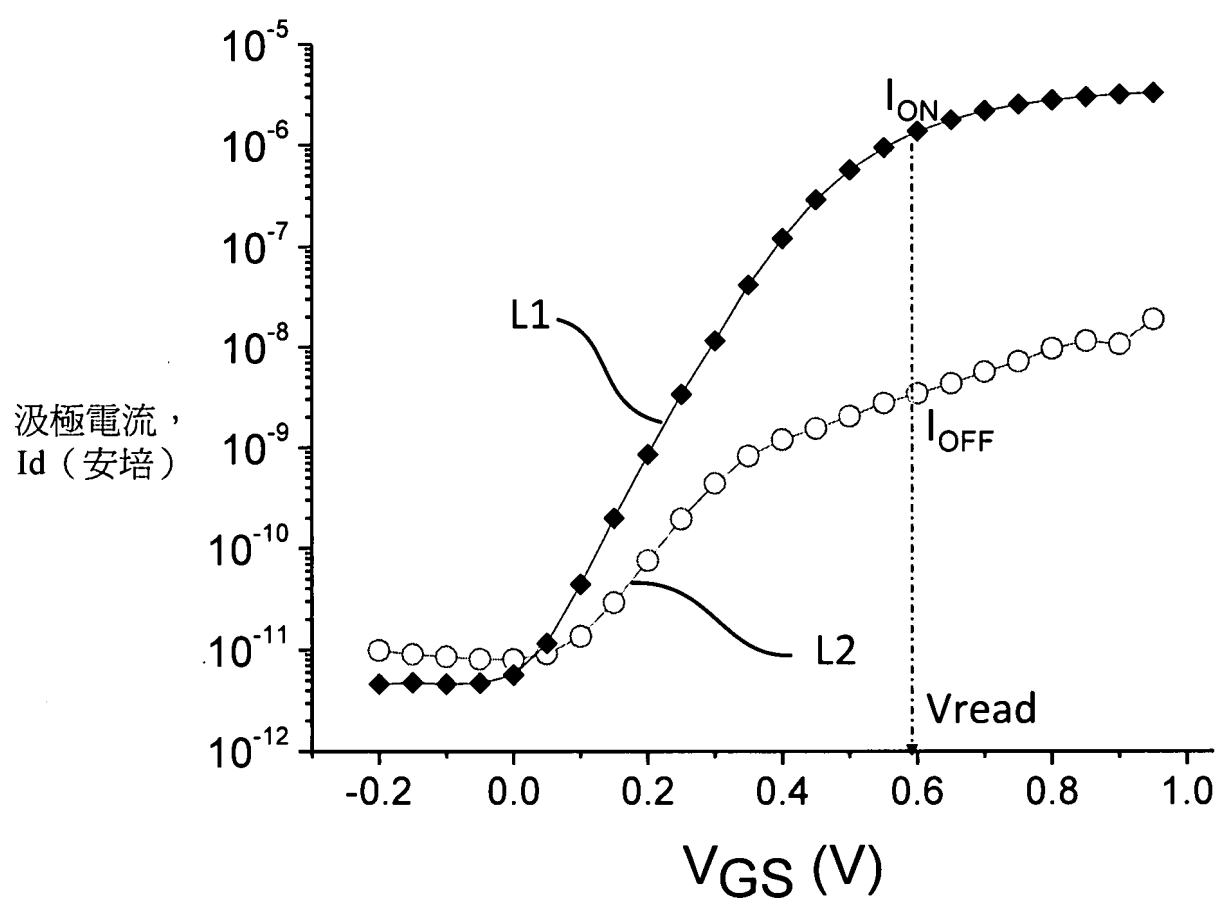


第4B圖



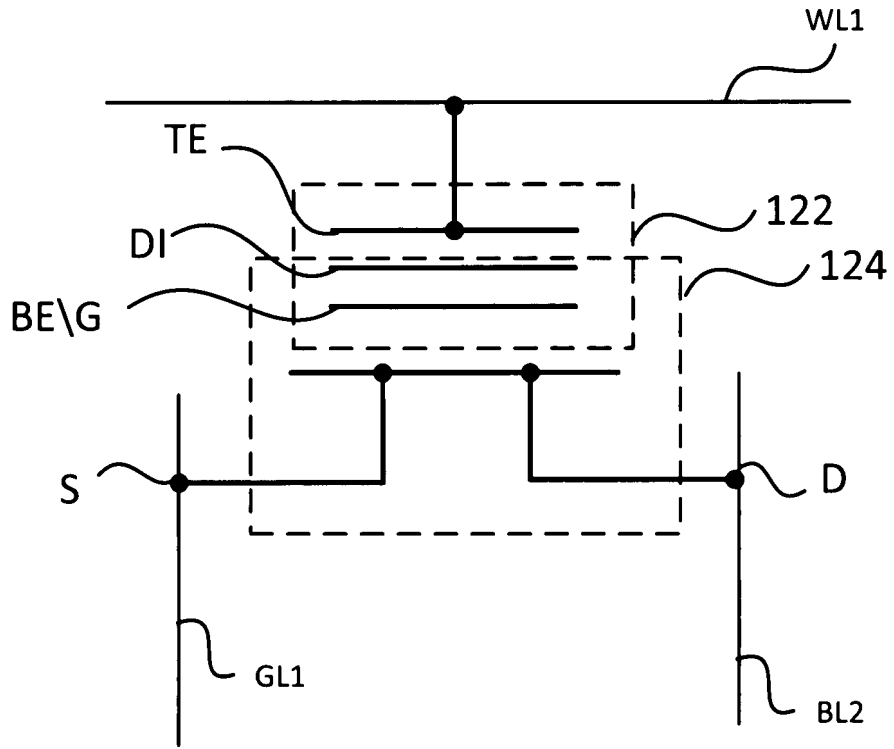
第4C圖



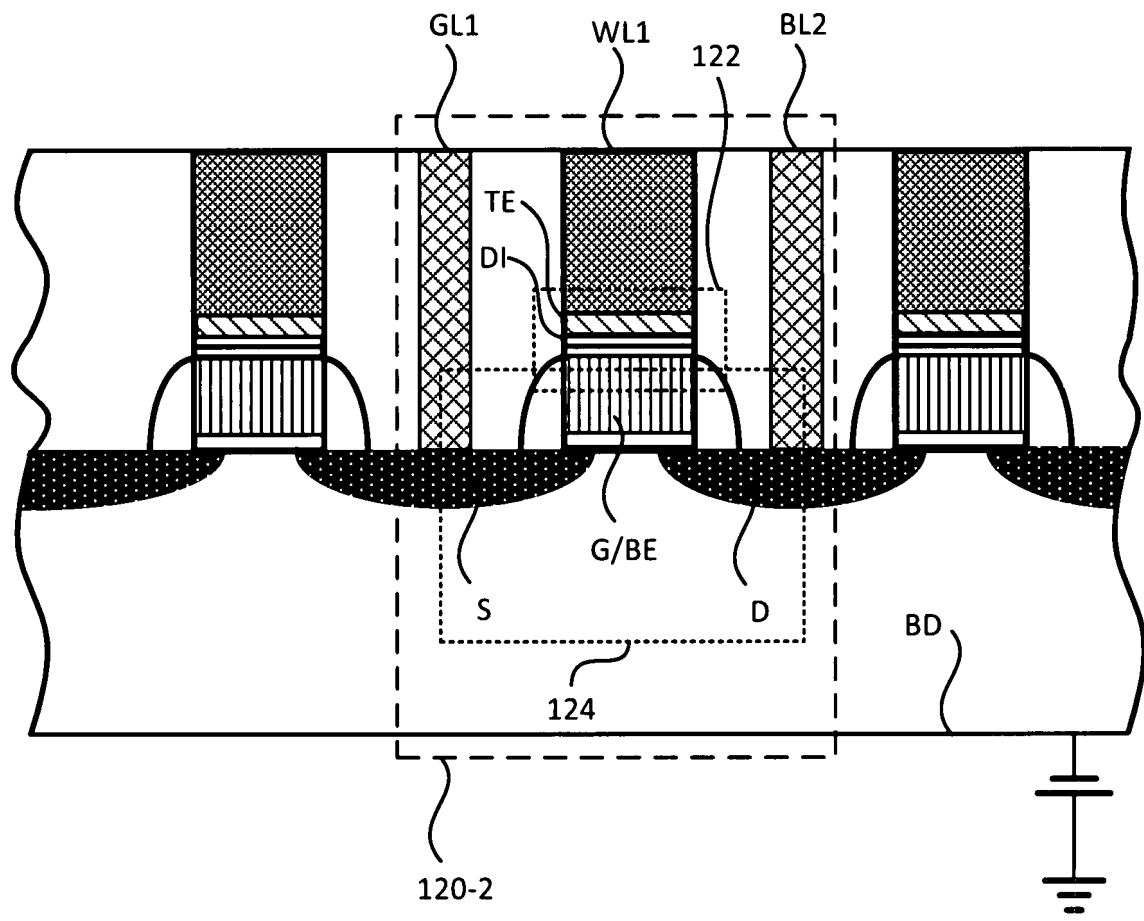


第5圖

120-2



第6圖



第7圖