



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201606144 A

(43) 公開日：中華民國 105 (2016) 年 02 月 16 日

(21) 申請案號：103127879

(22) 申請日：中華民國 103 (2014) 年 08 月 14 日

(51) Int. Cl. : C25D3/48 (2006.01)

(71) 申請人：國立交通大學 (中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

(72) 發明人：陳智 CHEN, CHIH (TW)；邱韋嵐 CHIU, WEI LAN (TW)；周苡嘉 CHOU, YI CHIA (TW)

(74) 代理人：蘇建太；林志鴻；蘇清澤

申請實體審查：有 申請專利範圍項數：15 項 圖式數：10 共 33 頁

(54) 名稱

具有優選排列方向之奈米雙晶金膜、其製備方法、及包含其之接合結構

PREFERRED ORIENTED NANO-TWINS AU FILM, METHOD OF PREPARING THE SAME, AND CONNECTING STRUCTURE COMPRISING THE SAME

(57) 摘要

本發明係有關於一種具有優選排列方向之奈米雙晶金膜、其製備方法、及包含其之接合結構。該金膜具有一厚度方向，且於該厚度方向沿著[220]晶軸方向堆疊；其中，該金膜係至少 50% 以上之體積係由複數個奈米雙晶金所構成，該些奈米雙晶金係彼此相鄰且沿著垂直該厚度之方向排列，並沿著[111]晶軸方向堆疊而成。

The present invention is related to a preferred oriented nano-twins Au film, a method of preparing the same, and a connecting structure comprising the same. The nano-twins Au film comprises a thickness direction, and the nano-twins Au film stacked along the [220] crystal axis in the thickness direction, and at least 50% in volume of the Au film is composed of a plurality of nano-twins Au. The nano-twins Au are adjacent to each other, and are arranged in the direction vertical to the thickness direction, and stacked along the [111] crystal axis.

指定代表圖：

符號簡單說明：

20 . . . 奈米雙晶金  
膜

21 . . . 奈米雙晶金

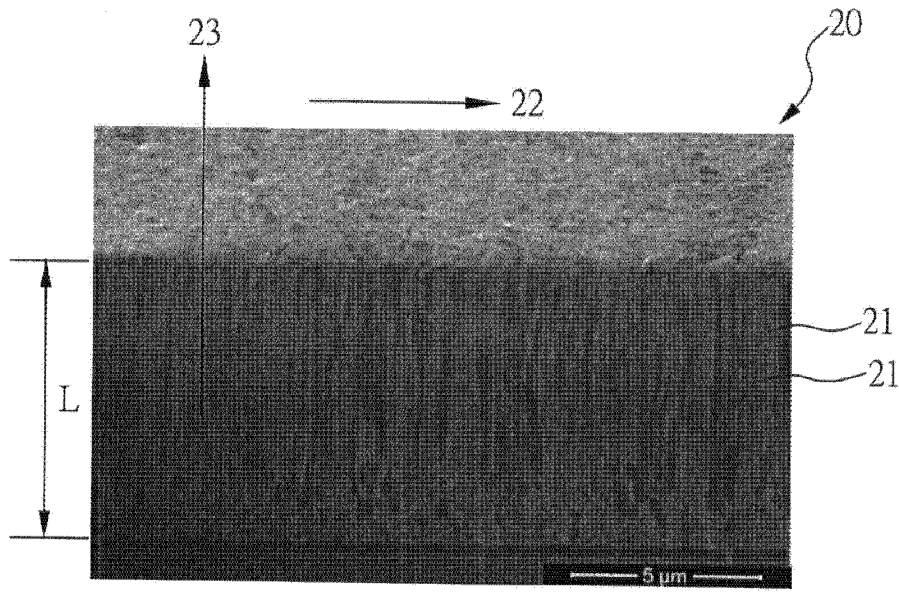


圖2A

## 發明摘要

※ 申請案號：103127879

※ 申請日：103. 8. 14

※IPC 分類：C25D 3/48  
(2006.01)

## 【發明名稱】(中文/英文)

具有優選排列方向之奈米雙晶金膜、其製備方法、及包含其之接合結構 / Preferred Oriented Nano-twins Au Film, Method of Preparing the Same, and Connecting Structure Comprising the Same

## 【中文】

本發明係有關於一種具有優選排列方向之奈米雙晶金膜、其製備方法、及包含其之接合結構。該金膜具有一厚度方向，且於該厚度方向沿著[220]晶軸方向堆疊；其中，該金膜係至少50%以上之體積係由複數個奈米雙晶金所構成，該些奈米雙晶金係彼此相鄰且沿著垂直該厚度之方向排列，並沿著[111]晶軸方向堆疊而成。

## 【英文】

The present invention is related to a preferred oriented nano-twins Au film, a method of preparing the same, and a connecting structure comprising the same. The nano-twins Au film comprises a thickness direction, and the nano-twins Au film stacked along the [220] crystal axis in the thickness direction, and at least 50% in volume of the Au film is composed of a plurality of nano-twins Au. The nano-twins Au are adjacent to each other, and are arranged in the direction vertical to the thickness direction, and stacked along the [111] crystal axis.

**【代表圖】**

**【本案指定代表圖】**：圖（ 2A ）。

**【本代表圖之符號簡單說明】**：

奈米雙晶金膜 20

奈米雙晶金 21

**【本案若有化學式時，請揭示最能顯示發明特徵的化學式】**：

無。

# 發明專利說明書

## 【發明名稱】(中文/英文)

具有優選排列方向之金膜、其製備方法、及包含其之接合結構 / Preferred Oriented Nano-twins Au Film, Method of Preparing the Same, and Connecting Structure Comprising the Same

## 【技術領域】

【0001】 本發明係關於一種具有優選排列方向之金膜及其製備方法，尤指一種該厚度方向沿著[220]晶軸方向堆疊係由複數個奈米雙晶金所構成之金膜，以及其製備方法。

## 【先前技術】

【0002】 金屬材料之硬度以及其機械性質會隨著金屬之晶粒大小而改變，舉例而言，一些具有奈米級晶粒以及具有奈米雙晶結構之金屬薄膜具有特別高硬度。一般而言，金的硬度較低，當作爲飾品時，常因爲碰撞或擠壓而造成金飾的變形，降低其美觀程度，同時也降低了金飾加工的價值，此外，金也常用於珠寶鑲嵌上，然而其硬度不足，鑲嵌於金上的寶石容易掉落。據此，若藉由形成奈米級晶粒之金結構，或著形成具有奈米雙晶結構以提高硬度，可應用於飾品或珠寶鑲嵌金屬之表面，以提升其硬度，除了不易磨損，亦可確保鑲嵌之寶石不易掉落，此外，具有奈米結晶性質之雙晶金屬，也可應用作爲如直通矽晶穿孔

(TSV, through silicon via)、半導體晶片中之內連線(interconnect)、封裝基板之引脚通孔(pin through hole)、金屬導線(如, 銅導線(copper interconnect))、或基板線路等之金屬材料, 以確保其電性接點的可靠性, 並延長其使用壽命。

【0003】 此外, 金具有高傳導係數, 相當適合作為封裝結構之電性連接金屬, 然而由於習知的金材料所製備之電性接點, 由於金的晶粒結晶方向並無一定的趨勢, 其接點表面係形成方向性零散的晶粒, 故於接合時須於高溫或高壓下進行接合, 而過高的溫度或壓力容易造成電子產品元件的損壞, 如半導體晶片, 若降低金接合之製程溫度, 及製程壓力則需增加, 如此一來, 金接合之製程將過於繁複且設備昂貴, 過大的製程壓力也影響了電子產品的良率。

【0004】 目前習知製備奈米雙晶金之方法包括:(1)利用電鍍奈米線的方法製備奈米雙晶金之奈米線, 然而此方法無法製備奈米雙晶金薄膜, 且其製備所需時間過長, 無法廣為利用;(2)利用退火的方法形成雙晶金薄膜, 然而, 此方法無法成功形成高密度且規則之奈米雙晶結構;(3)利用合金方法並藉由退火過程以形成奈米雙晶結構, 然而, 此方法須使用合金, 會降低其製備之金屬純度, 若應用於金飾上, 將降低其價值; 或者, (4)利用摻入銅的方法以增加金的硬度, 然而摻入銅所形成的 K 金會失去純金的色澤及純度, 其價值亦會降低。

【0005】 故目前急需一種新穎的金膜以及其製備方法, 其具有優選排列方向以及奈米雙晶之結構, 以應用於飾品

業，增加金飾的硬度，提升金飾加工的可靠度。除了應用於飾品業外，利用其具優選排列方向以及具有奈米雙晶之特性，應用於電子業中，以改善電性接點製程中須經高溫高壓的缺點，以提升產品良率，降低成本，同時達到高效能且小體積之電子產品。

### 【發明內容】

【0006】 本發明係提供一種具有優選排列方向之奈米雙晶金膜及其製備方法，該奈米雙晶金膜係包括複數個奈米雙晶金，可使得該奈米雙晶金膜具有良好硬度以及機械性質，且該奈米雙晶金膜可應用於珠寶業與金飾業，於金飾表面形成該包括複數個奈米雙晶金之奈米雙晶金膜，藉以提高金飾之硬度，但不影響其外觀。

【0007】 此外，根據本發明所提供之具有優選排列方向之奈米雙晶金膜，以及其優異的機械性質以及其抗電遷移特性，本發明亦提供了一種具有優選排列方向之奈米雙晶金膜之接合結構及其製備方法，以應用於電子產品中各種電性接點。透過控制形成奈米雙晶金膜時之電鍍條件，於奈米雙晶金膜表面形成具有[220]優選方向之結晶平面，其中之金原子係沿著[220]方向堆疊，因此，本發明所提供之具有優選排列方向之奈米雙晶金膜之接合結構係綜合以上兩種特點，使得表面具有[220]結晶平面以及包括複數個奈米雙晶金之奈米雙晶金膜，可於低溫低壓下達到良好的接合情況。

【0008】 本發明所提供之具有優選排列方向之奈米雙晶金膜，該奈米雙晶金膜具有一厚度方向，且於該厚度方向沿著[220]晶軸方向堆疊，其中，該奈米雙晶金膜係至少50%以上之體積之係由複數個奈米雙晶金所構成，該些奈米雙晶金係彼此相鄰且沿著垂直該厚度之方向排列，並沿著[111]晶軸方向堆疊而成。

【0009】 本發明所提供之具有優選排列方向之奈米雙晶金膜之厚度可為 $0.05\sim 1000\ \mu\text{m}$ ，較佳為 $1\sim 10\ \mu\text{m}$ 。而該些奈米雙晶金之長軸長度為 $0.05\sim 100\ \mu\text{m}$ ，較佳為 $0.05\sim 10\ \mu\text{m}$ ；該些奈米雙晶金之短軸長度係 $1\sim 200\ \text{nm}$ ，較佳為 $20\sim 100\ \text{nm}$ 。

【0010】 此外，於本發明所提供之具有優選排列方向之奈米雙晶金膜，於垂直該厚度方向之任一截面之至少50%以上之面積為[220]結晶平面。

【0011】 本發明之另一目的係在於提供一種具有優選排列方向之奈米雙晶金膜之製備方法，包括：(A)提供一電鍍裝置，該電鍍裝置包括一陽極、一陰極、一直流電流供應源、以及一電鍍液，其中，該直流電流供應源係與該陽極以及該陰極電性連接，且該陽極及該陰極係浸泡於該電鍍液中；以及(B)使用該電力供應源提供一直流電流以進行電鍍，並於該陰極表面成長一奈米雙晶金膜；其中，該具有優選排列方向之奈米雙晶金膜具有一厚度方向，且於該厚度方向沿著[220]晶軸方向堆疊；該奈米雙晶金膜係至少50%以上，較佳係由70%以上之體積係由複數個奈米雙晶金



所構成，該些奈米雙晶金係彼此相鄰且沿著垂直該厚度之方向排列，並沿著[111]晶軸方向堆疊而成；且該電鍍液係包括一金離子、一氯離子、以及一酸。

【0012】 根據本發明所提供之奈米雙晶金膜之製備方法，於步驟(B)中，當電鍍進行時，該陰極或該電鍍液可以300~1500 rpm之轉速旋轉，而其中係以400~1200 rpm之轉速旋轉為較佳，藉以幫助雙晶成長方向及速率。

【0013】 根據本發明所提供之具有優選排列方向之奈米雙晶金膜之製備方法，於步驟(B)中，該直流電流供應器所提供之電流密度為  $1\sim 100\text{ mA/cm}^2$ ，其中較佳為  $1\sim 10\text{ mA/cm}^2$ 。

【0014】 根據本發明所提供之具有優選排列方向之奈米雙晶金膜之製備方法，其中，該電鍍液可更包括至少一選自由：介面活性劑、晶格修整劑、及其混合物所組成之群組。而該電鍍液中之該酸可為一有機或無機酸，以增加電解質濃度而提高電鍍速度，該酸可為至少一選自由鹽酸、硝酸、以及硫酸所組成之群組，其中又以鹽酸或硝酸為較佳，且其金離子濃度可為  $5\sim 15\text{ g/L}$ ，較佳為  $8\sim 12\text{ g/L}$ 。再者，該電鍍液中之該金離子係由一含金之鹽類解離而得，該含金之鹽類可為至少一選自由硫酸金、及亞硫酸金所組成之群組，而其中係以亞硫酸鹽金為較佳。而該電鍍液中之該氯離子之主要功能係用以微調整晶粒成長方向，使雙晶金屬具有結晶優選方向，該氯離子可由一含氯之化合物解離而得，其可為至少一選自由鹽酸、過氯酸、氯酸、亞氯酸、

以及次氯酸所組成之群組所提供，而其中較佳為鹽酸、氯酸。

【0015】 根據本發明所提供之具有優選排列方向之奈米雙晶金膜之製備方法，其中，電鍍沉積之奈米雙晶金膜厚度可依據電鍍時間的長短而進行調整，其厚度範圍可為  $0.05\sim 1000\ \mu\text{m}$ ，較佳為  $1\sim 10\ \mu\text{m}$ ，而於該奈米雙晶金膜中，該奈米雙晶金晶粒之厚度可為  $0.05\sim 1000\ \mu\text{m}$ ，較佳為  $1\sim 100\ \mu\text{m}$ ，及直徑可為  $0.05\sim 1000\ \mu\text{m}$ ，較佳為  $1\sim 100\ \mu\text{m}$ 。

【0016】 如圖 2A 的 FIB 剖面圖以及圖 2B 的立體示意圖所示，本發明所提供之具優選方向之奈米雙晶金膜 20 係由大量的奈米雙晶金 21 所構成，接著參照圖 3 所示之放大圖，其中該複數個奈米雙晶金 31 (如相鄰的一組黑線與白線構成一個雙晶結構)係彼此相鄰，朝著 32 方向依序以[111]結晶表面堆疊，且朝著 33 方向以[220]結晶表面堆疊而成該奈米雙晶金膜。

【0017】 根據以上所形成之奈米雙晶金膜，本發明之另一目的係在提供一種具有優選排列方向之奈米雙晶金膜之接合結構，包括：一第一基板，具有一第一金膜；一第二基板，具有一第二金膜；其中，該第一金膜與該第二金膜中至少一係由上文中所述之具有優選排列方向之奈米雙晶金膜，且該第一金膜與該第二金膜係彼此接合，並具有一金接合介面。

【0018】 於本發明所提供之接合結構中，該第一金膜以及該第二金膜之厚度可根據該第一基板以及該第二基板之

電性連接結構設計，且可藉由調控成長時的參數而控制，其可各自獨立為  $0.05-1000\ \mu\text{m}$ ，其中較佳可為  $0.05-500\ \mu\text{m}$ 。

【0019】 本發明所提供之接合結構中，該第一基板以及該第二基板可各自獨立選自由一半導體晶片、一電路板、一導電基板、以及各種電子元件所組成之群組。

【0020】 上述所提供之一種具有優選排列方向之奈米雙晶金膜接合結構可用於電性連接一第一基板以及一第二基板，其製備方法係於下文中說明，包括：(A)提供一第一基板以及一第二基板；(B)於該第一基板上形成一第一金膜，該第一金膜具有顯露之一第一金膜表面；以及於該第二基板上形成一第二金膜，該第二金膜具有顯露之一第二金膜表面，其中該第一金膜以及該第二金膜中至少一係由本發明所提供之具有優選排列方向之奈米雙晶金膜所構成，(C)進行一接合程序，其係使該第一金膜表面與該第二金膜表面相互接觸，並施加一壓合力使得該第一金膜以及該第二金膜彼此接合，並形成一金接合介面，其中，該壓合力係  $1\ \text{MPa}$  以下。

【0021】 根據本發明所提供之接合結構之製備方法，步驟(A)中，該第一基板以及該第二基板可各自獨立選自由一半導體晶片、一電路板、一導電基板、以及各種電子元件所組成之群組。

【0022】 於步驟(B)中，當該第一金膜係本發明所提供之具有優選排列方向之奈米雙晶金膜時，該第一金膜表面

係具有 50%至 100%之表面積為[220]結晶平面，且該第二奈米雙晶金膜表面可具有 0%至 100%之表面積為[220]結晶平面；且第二奈米雙晶金膜可為本發明所提供之具有優選排列方向之奈米雙晶金膜，或是由本領域中其他習知方法所形成之金膜皆可使用，並無特別的限制，舉例而言，可由電子槍蒸鍍、直流電鍍、物理氣相沉積、以及化學氣相沉積等方法製備，然而該第二金膜較佳係使用本發明所提供之奈米雙晶金膜之製備方法而形成。此外，第一金膜以及第二金膜之厚度可藉由調控上述形成第一金膜以及第二金膜之製程參數，可得到厚度各自獨立為 0.05-1000  $\mu\text{m}$  之該第一奈米雙晶金膜以及該第二奈米雙晶金膜，而較佳可為 0.05-500  $\mu\text{m}$ 。此外，藉由調控形成該第一金膜以及該第二金膜之參數，可於該第一金膜或第二金膜表面提供具有[220]優選方向之結晶平面，而其中，該第一金膜表面可具有 50%至 100%之表面積為[220]結晶平面，較佳為 75%至 100%之表面積為[220]結晶平面，更佳為 85%至 100%之表面積為[220]結晶平面；而該第二金膜表面之結晶型態可不受限制，可具有 0%至 100%之表面積為[220]結晶平面，而較佳 50%至 100%之表面積為[220]結晶平面，更佳為 75%至 100%之表面積為[220]結晶平面。

**【0023】** 於步驟(C)所進行之接合程序中，所施加之該壓合力可由該第一基板朝該第二基板方向壓合、由該第二基板朝該第二基板方向壓合、或該第一基板與該第二基板係彼此壓合，且該施加之壓合力可為 0.01 至 1000 MPa，較

佳為 0.1 至 10 MPa。此外，該接合程序可於  $10^{-4}$  至 1 torr 之真空度下進行，較佳可於  $10^{-4}$  至  $10^{-2}$  torr 之真空度下進行。再者，步驟(C)之接合程序可於 20 至 300°C 的溫度下進行。再者，接合的時候並無特別的限制，只要可將兩基板經由奈米雙晶金膜接合即可。具體而言，當接合時的環境溫度較低時，所需之接合時間則相對較長，舉例而言，當接合溫度為 150°C 時，其接合時間須達 1 小時以上，然而當接合時的環境溫度較高時，所需之接合時間則相對較短，如當接合溫度為 200°C 時，僅需 15 分鐘即可完成接合程序。

【0024】 此外，於本發明之具有優選排列方向之奈米雙晶金膜之接合結構及其製備方法中，第一基板及第二基板可各自獨立為一半導體晶片、一封裝基板、或一電路板；且較佳為半導體晶片。據此，本發明之技術可應用於，例如覆晶封裝(Flip chip)、球列陣列基板(Ball grid array, BGA)、晶圓級晶片封裝(wafer level chip scale packaging, WLCSP)等常見於 IBM C4 技術所衍生的各種封裝技術中，尤其是具高頻與高功率元件。特別是，本發明之技術更可應用於需要高機械性質且產品可靠度之三維封裝結構上。舉例而言，當第一基板及第二基板為半導體晶片時，經接合後則可形成所謂的三維積體電路(3D-IC)；此外，亦可將三維積體電路做為第一基板，且封裝基板做為第二基板進行接合，然而，本發明並不受限於此。

#### 【圖式簡單說明】

【0025】

圖 1 係本發明製備例 1 之電鍍裝置配置示意圖。

圖 2A 係本發明實製備 1 之具[220]優選排列方向之奈米雙晶金膜之聚焦離子束(Focused Ion Beam)剖面圖。

圖 2B 係本發明製備例 1 之具[220]優選排列方向之奈米雙晶金膜之立體示意圖。

圖 3A 係本發明製備例 1 之具[220]優選排列方向之奈米雙晶金膜之聚焦離子束(Focused Ion Beam)剖面圖。

圖 3B 係圖 3A 之俯視圖。

圖 4 係本發明製備例 1 之具[220]優選排列方向之奈米雙晶金膜之 X 光繞射分析結果圖。

圖 5 係本發明製備例 1 之具[220]優選排列方向之奈米雙晶金膜之硬度測試圖。

圖 6 係本發明製備例 2 之具有[111]優選排列方向之奈米雙晶金膜之 X 光繞射分析結果圖。

圖 7 係本發明製備例 3 之不規則排列之金膜之 X 光繞射分析結果圖。

圖 8 係本發明實施例 1 之金膜接合光學顯微鏡圖。

圖 9 係本發明實施例 2 之金膜接合光學顯微鏡圖。

圖 10 係本發明比較例 1 之金膜接合光學顯微鏡圖。

**【實施方式】**

【0026】 以下係藉由特定的具體實施例說明本發明之實施方式，熟習此技藝之人士可由本說明書所揭示之內容輕易地了解本發明之其他優點與功效。本發明亦可藉由其他不同的具體實施例加以施行或應用，本說明書中的各項細節亦可基於不同觀點與應用，在不悖離本發明之精神下進行各種修飾與變更。

【0027】 [製備例 1]-具[220]優選方向之奈米雙晶金膜之製備

【0028】 提供一如圖 1 所示之電鍍裝置 100，電鍍裝置 100 包括有陽極 11、陰極 12，係浸泡於電鍍液 13 中並分別連接至一直流電流供應源 15(KEITHLEY2400)。在此，陽極 11 使用之材料為白金基板或白金網格；陰極 12 使用之材料為表面鍍有金之基板，亦可選擇使用表面鍍有金屬層及晶種層之玻璃基板、石英基板、金屬基板、塑膠基板、或印刷電路板等。電鍍液 13 係包括有金離子(10 g/L) (亞硫酸金)、氯化氫(150 mL/L)、硝酸(150 mL/L)、以及二次水(700 mL/L)。

【0029】 接著，施加一具有  $0.005 \text{ A/cm}^2$  電流密度之直流電流，並加入旋轉磁石(圖未示)以 600 rpm 的轉速攪拌電鍍液 13，並由陰極 12 開始朝箭頭所指之方向成長奈米雙晶金膜。完成之金膜包括複數個晶粒。圖 2A 係本實施例所製得之奈米雙晶金膜之聚焦離子束(Focused Ion Beam, FIB)剖面圖，圖 2B 係本實施例之奈米雙晶金膜之立體示意圖，如圖

2A 的 FIB 剖面圖以及圖 2B 的立體示意圖所示，本發明所提供之具優選方向之奈米雙晶金膜 20 係由大量的奈米雙晶金 21 所構成，接著參照圖 3A，圖 3A 係圖 2A 之放大截面圖，其中該複數個奈米雙晶金 31 (如相鄰的一組黑線與白線構成一個雙晶結構)係彼此相鄰，朝著 32 方向依序以[111]結晶表面堆疊，且朝著 33 方向以[220]結晶表面堆疊而成該奈米雙晶金膜，並如圖 3B 所示，圖 3B 為圖 3A 之俯視圖，可觀察到許多奈米雙晶金 31 係存在於金晶粒中。其中，參照圖 2B，該奈米雙晶金膜之厚度為  $7.5 \mu\text{m}$ ，並參照圖 3B，該奈米雙晶金之短軸長度為 80 nm。

**【0030】** 圖 4 係本實施例所製得之奈米雙晶金膜之 X 光分析結果圖，由圖 4 可看到，其大部分之金晶粒具有[220]晶軸之優選方向(preferred orientation) (如圖 3A 中標示之「Au(220)」所示)。

**【0031】** 圖 5 係本實施例所製得之奈米雙晶金膜之硬度測試結果，奈米壓痕測試的應變速是 0.05 (1/s) 壓痕深度 500nm。由圖 5 可發現，當金膜具有奈米雙晶金之結構時，其硬度可提升至 1.73GPa，是一般電鍍金硬度的 1.4 倍。

**【0032】 [製備例 2]-製備具有優選[111]方向之金膜**

**【0033】** 本製備例係提供一種藉由電鍍方法以形成具有優選[111]方向之金膜。首先，提供一如製備例 1 相同之電鍍裝置以及電鍍液，其係如圖 1 所示。接著，於室溫下施加一具有  $0.02 \text{ A/cm}^2$  電流密度， $T_{on}/T_{off}$  (sec)為 0.1s/1.0s 之脈衝電流，並加入旋轉磁石(圖未示)以 600rpm 的轉速攪



拌電鍍液 13，並由陰極 12 開始朝箭頭所指之方向成長金膜以完成不規則排列之金膜。

【0034】 圖 6 係本製備例所製得之金膜之 X 光分析結果圖，由圖 6 可看到，其大部分之金晶粒具有[111]晶軸之優選方向(preferred orientation) (如圖 6 中標示之「Au(111)」所示)。

#### 【0035】 [製備例 3]-製備不規則排列之金膜

【0036】 本製備例係提供一種藉由電鍍方法以形成不規則金膜。首先，提供一如製備例 1 相同之電鍍裝置以及電鍍液，其係如圖 1 所示。接著，將該電鍍液加熱至 60°C，並施加一具有 0.02 A/cm<sup>2</sup> 電流密度，T<sub>on</sub>/T<sub>off</sub> (sec)為 0.1s/1.0s 之脈衝電流，並加入旋轉磁石(圖未示)以 600rpm 的轉速攪拌電鍍液 13，並由陰極 12 開始朝箭頭所指之方向成長金膜以完成不規則排列之金膜。

【0037】 圖 7 係本實施例所製得之金膜之 X 光分析結果圖，由圖 7 可看到，其金膜表面之晶粒排列包含多種方向(如圖 7 中標示之「Au(111)」、「Au(200)」、「Au(220)」、「Au(400)」、「Au(311)」、及「Au(222)」所示)。

#### 【0038】 [實施例 1]

【0039】 首先，提供一第一基板以及一第二基板，並利用製備例 1 所提供之製備方法於該第一基板以及第二基板上分別形成具[220]優選方向之奈米雙晶金膜作為第一金膜以及第二金膜，其中，該第一金膜以及該第二金膜具有約 7 μm 之厚度。接者，分別將第一基板與第二基板置於夾具

上，並使得第一金膜以及第二金膜彼此相對。而後，置於真空爐管中，於  $10^{-3}$  torr 之低真空度下，將爐管升溫至  $200^{\circ}\text{C}$  並維持 1 小時，並施以 0.78 MPa 之壓合力。藉由以上步驟，得到一具有優選排列方向之金膜之接合結構。所完成之金膜接合結構係如圖 8 所示，包括：第一基板 801，具有第一金膜 83；以及第二基板 802，具有第二金膜 86；其中，第一金膜 83 與第二金膜 86 係彼此接合，且具有金接合介面 87，接合介面 87 並無大面積的孔洞產生，接合情況相當良好。

#### 【0040】 [實施例 2]

【0041】 首先，提供一第一基板以及一第二基板，並利用製備例 1 所提供之製備方法於該第一基板上形成一具 [220] 優選方向之奈米雙晶金膜作為第一金膜，接者，利用製備例 2 所提供之製備方法於第二基板上形成一具有優選 [111] 排列方向之奈米雙晶金膜作為第二金膜，於本實施例中，該第一金膜具有約  $6\ \mu\text{m}$  之厚度，該第二金膜具有約  $2\ \mu\text{m}$  之厚度。接者，分別將第一基板與第二基板置於夾具上，並使得第一金膜以及第二金膜彼此相對。而後，置於真空爐管中，於  $10^{-3}$  torr 之低真空度下，將爐管升溫至  $200^{\circ}\text{C}$  並維持 1 小時，並施以 0.78 MPa 之壓合力。藉由以上步驟，得到一具有優選排列方向之金膜之接合結構。所完成之金膜接合結構係如圖 9 所示，包括：第一基板 901，具有第一金膜 93；以及第二基板 902，具有第二金膜 96；其中，第一金膜 93 與第二金膜 96 係彼此接合，且具有金接合介面

97，接合介面 97 並無大面積的孔洞產生，接合情況相當良好。

**【0042】 [比較例 1]**

**【0043】** 首先，提供一第一基板以及一第二基板，並利用製備例 3 所提供之製備方法，分別於該第一基板以及該第二基板上形成一具有不規則排列方向之金膜作為第一金膜以及第二金膜，於本比較例中，該第一金膜以及該第二金膜係具有約  $4\ \mu\text{m}$  之厚度。接者，分別將第一基板與第二基板置於夾具上，並使得第一金膜以及第二金膜彼此相對。而後，置於真空爐管中，於  $10^{-3}$  torr 之低真空度下，將爐管升溫至  $200^{\circ}\text{C}$  並維持 1 小時，並施以 0.78 MPa 之壓合力。藉由以上步驟，得到一金膜之接合結構。所完成之金膜接合結構係如圖 10 所示，包括：第一基板 1001，具有第一金膜 103；以及第二基板 1002，具有第二金膜 100；其中，第一金膜 103 與第二金膜 106 係彼此接合，且具有金接合介面 107。其中，該接合介面 107 處係包括多個孔洞 108，其接合情況不佳，可能會造成機械強度不佳等問題。

**【0044】** 由以上實施例以及比較例之結果可得知，本發明所提供之具 [220] 優選方向之奈米雙晶金膜具有良好硬度以及機械性質，且可於低溫低壓下，與其他排列方向之金膜達到良好的接合情況，故可應用於珠寶飾品業，以增加金飾之硬度，以及可應用於電子產業中作為電性連接之用途。

**【0045】** 上述實施例僅係為了方便說明而舉例而已，本

發明所主張之權利範圍自應以申請專利範圍所述為準，而非僅限於上述實施例。

**【符號說明】**

陽極	11	陰極	12
電鍍液	13	電流供應源	15
奈米雙晶金膜	20	奈米雙晶金	21, 31
第一基板	801, 901, 1001		
第一金膜	83, 93, 103		
第二基板	802, 903, 1003		
第二金膜	86, 96, 106		
金接合介面	87, 97, 107		
孔洞	108		

**【生物材料寄存】**

國內寄存資訊【請依寄存機構、日期、號碼順序註記】

國外寄存資訊【請依寄存國家、機構、日期、號碼順序註記】

**【序列表】** (請換頁單獨記載)

## 申請專利範圍

1. 一種具有優選排列方向之奈米雙晶金膜，該奈米雙晶金膜具有一厚度方向，且於該厚度方向沿著[220]晶軸方向堆疊；

其中，該奈米雙晶金膜係至少50%以上之體積係由複數個奈米雙晶金所構成，該些奈米雙晶金係彼此相鄰且沿著垂直該厚度之方向排列，並沿著[111]晶軸方向堆疊而成。

2. 如申請專利範圍第1項所述之奈米雙晶金膜，其中，該奈米雙晶金膜之厚度係0.05~1000  $\mu\text{m}$ 。

3. 如申請專利範圍第1項所述之奈米雙晶金膜，其中，該些奈米雙晶金之短軸長度為1~200nm。

4. 如申請專利範圍第1項所述之奈米雙晶金膜，其中，該奈米雙晶金膜於垂直該厚度方向之任一截面之至少50%以上之面積為[220]結晶平面。

5. 一種具有優選排列方向之奈米雙晶金膜之製備方法，包括：

(A)提供一電鍍裝置，該電鍍裝置包括一陽極、一陰極、一直流電流供應源、以及一電鍍液，其中，該直流電流供應源係與該陽極以及該陰極電性連接，且該陽極及該陰極係浸泡於該電鍍液中；以及

(B)使用該電力供應源提供一直流電流以進行電鍍，並於該陰極表面成長一奈米雙晶金膜；

其中，該具有優選排列方向之奈米雙晶金膜具有一厚度方向，且於該厚度方向沿著[220]晶軸方向堆疊；該奈米雙

晶金膜係至少50%以上之體積係由複數個奈米雙晶金所構成，該些奈米雙晶金係彼此相鄰且沿著垂直該厚度之方向排列，並沿著[111]晶軸方向堆疊而成；且該電鍍液係包括一金離子、一氯離子、以及一酸。

6. 如申請專利範圍第5項所述之製備方法，其中，於步驟(B)中，當電鍍進行時，該陰極或該電鍍液係以300~1500 rpm之轉速旋轉。

7. 如申請專利範圍第5項所述之製備方法，其中，於步驟(B)中，該直流電流供應器所提供之該直流電流密度為1~100 mA/cm<sup>2</sup>。

8. 如申請專利範圍第5項所述之製備方法，其中，該電鍍液更包括至少一選自由：介面活性劑、晶格修整劑、極其混合物所組成之群組。

9. 如申請專利範圍第5項所述之製備方法，其中，該電鍍液中之該酸係至少一選自由鹽酸、硝酸、以及硫酸所組成之群組。

10. 如申請專利範圍第5項所述之製備方法，其中，該電鍍液中之該酸之濃度係5~15 g/L。

11. 如申請專利範圍第5項所述之製備方法，其中，該電鍍液中之該金離子係由一含金之鹽類解離而得，該含金之鹽類係至少一選自由硫酸金、以及亞硫酸金所組成之群組。

12. 如申請專利範圍第5項所述之製備方法，其中，該電鍍液中之該氯離子之係由至少一選自由鹽酸、過氯酸、氯酸、亞氯酸、次氯酸所組成之群組所提供。

13. 一種具有優選排列方向之奈米雙晶金膜之接合結構，包括：一第一基板，具有一第一金膜；一第二基板，具有一第二金膜；其中，該第一金膜與該第二金膜中至少一係由上述申請專利範圍第1~4項所示之具有優選排列方向之奈米雙晶金膜，且該第一金膜與該第二金膜係彼此接合，並具有一金接合介面。

14. 如申請專利範圍第13項所述之接合結構，其中，該第一金膜以及該第二金膜係各自獨立為 $0.05-1000\mu\text{m}$ 。

15. 如申請專利範圍第13項所述之接合結構，其中，該第一基板以及該第二基板係各自獨立選自由一半導體晶片、一電路板、一導電基板、以及各種電子元件所組成之群組。



圖式

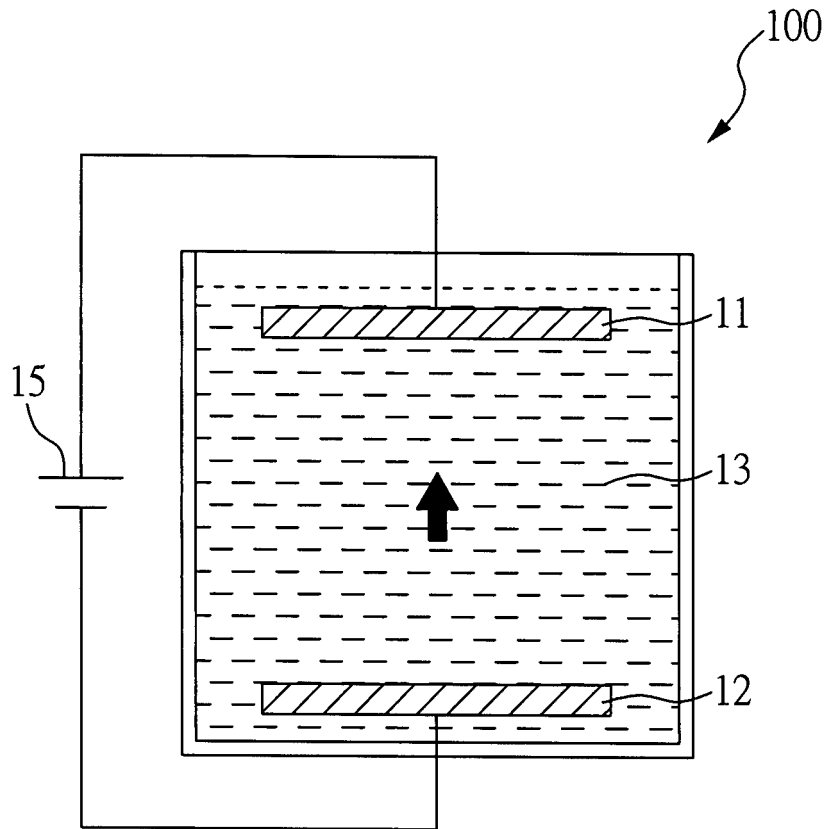


圖1

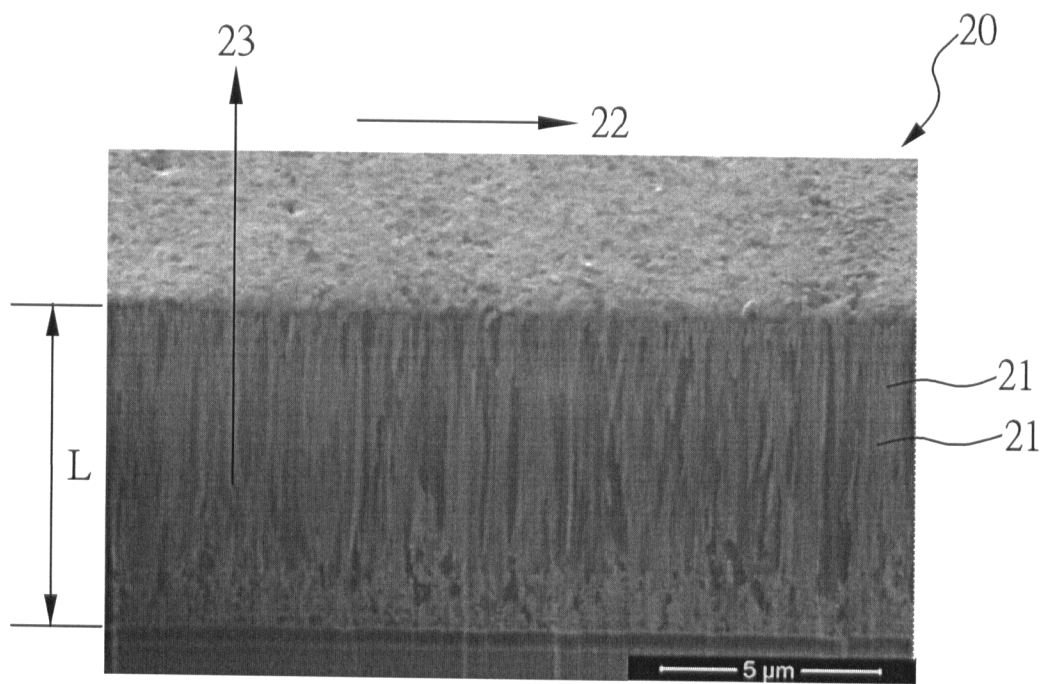


圖2A

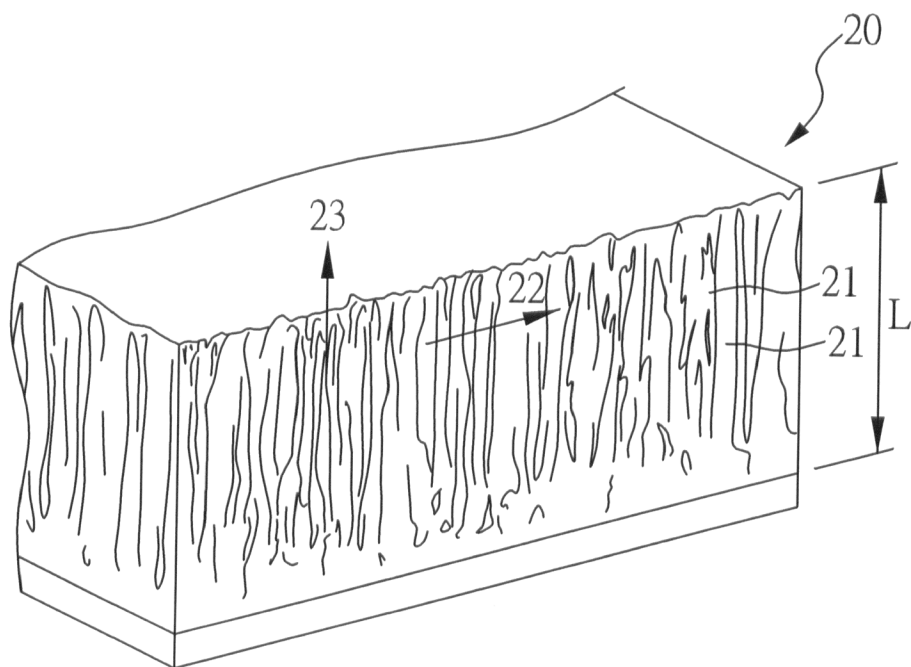


圖2B

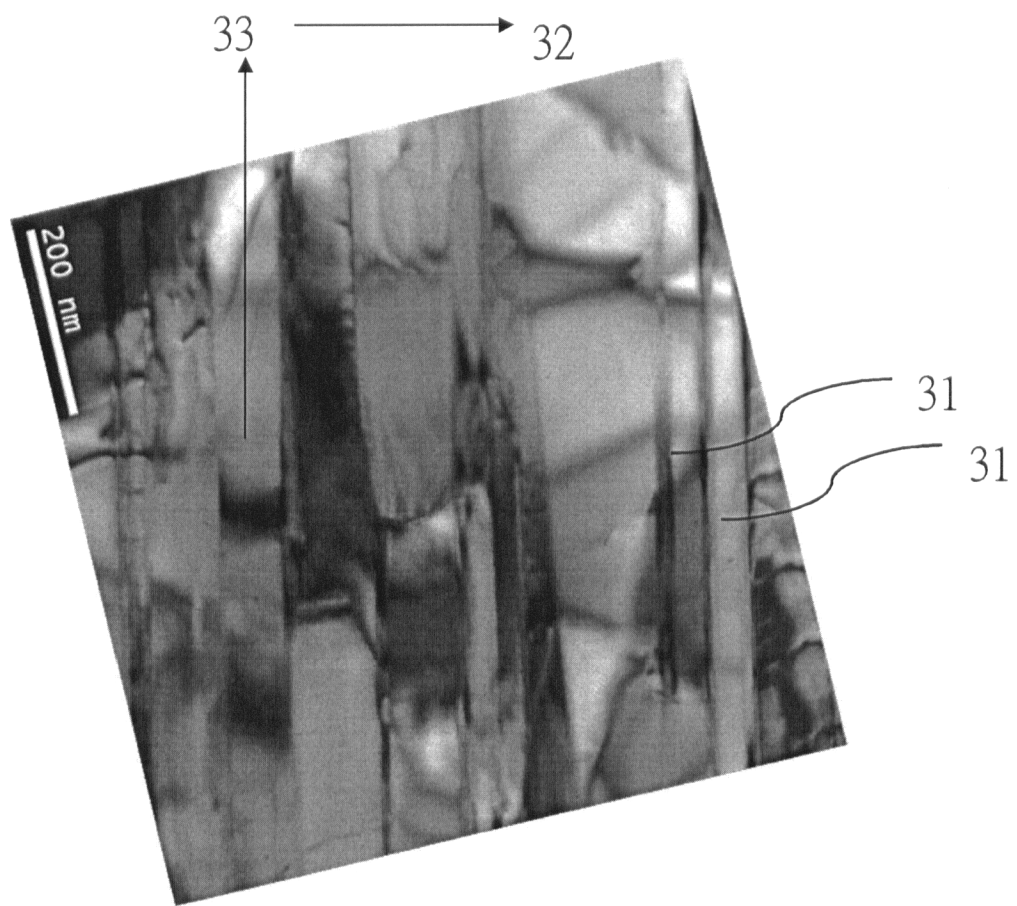


圖 3A

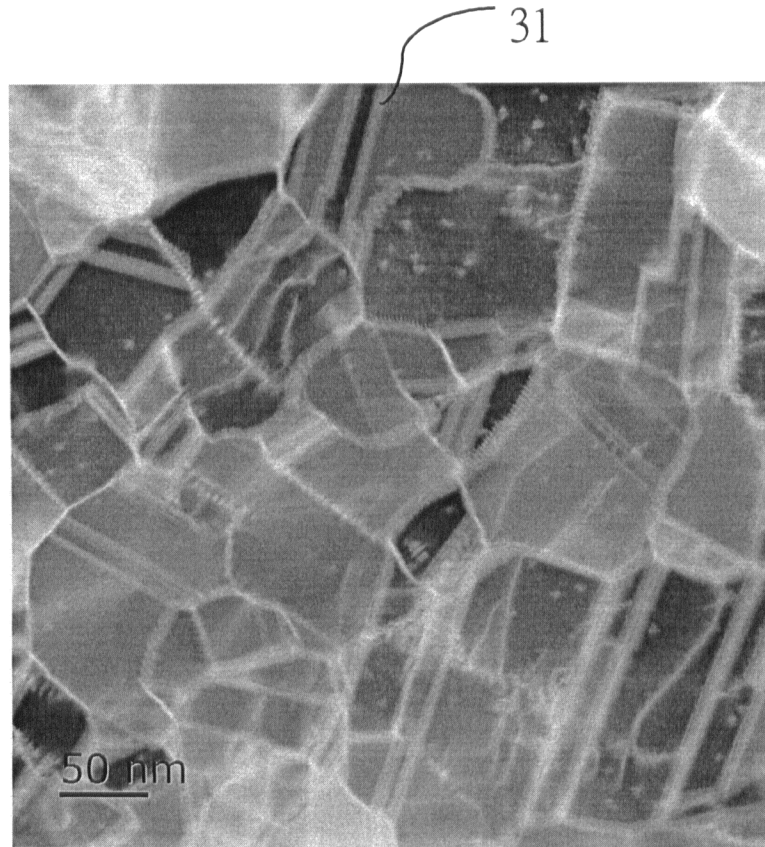


圖 3B

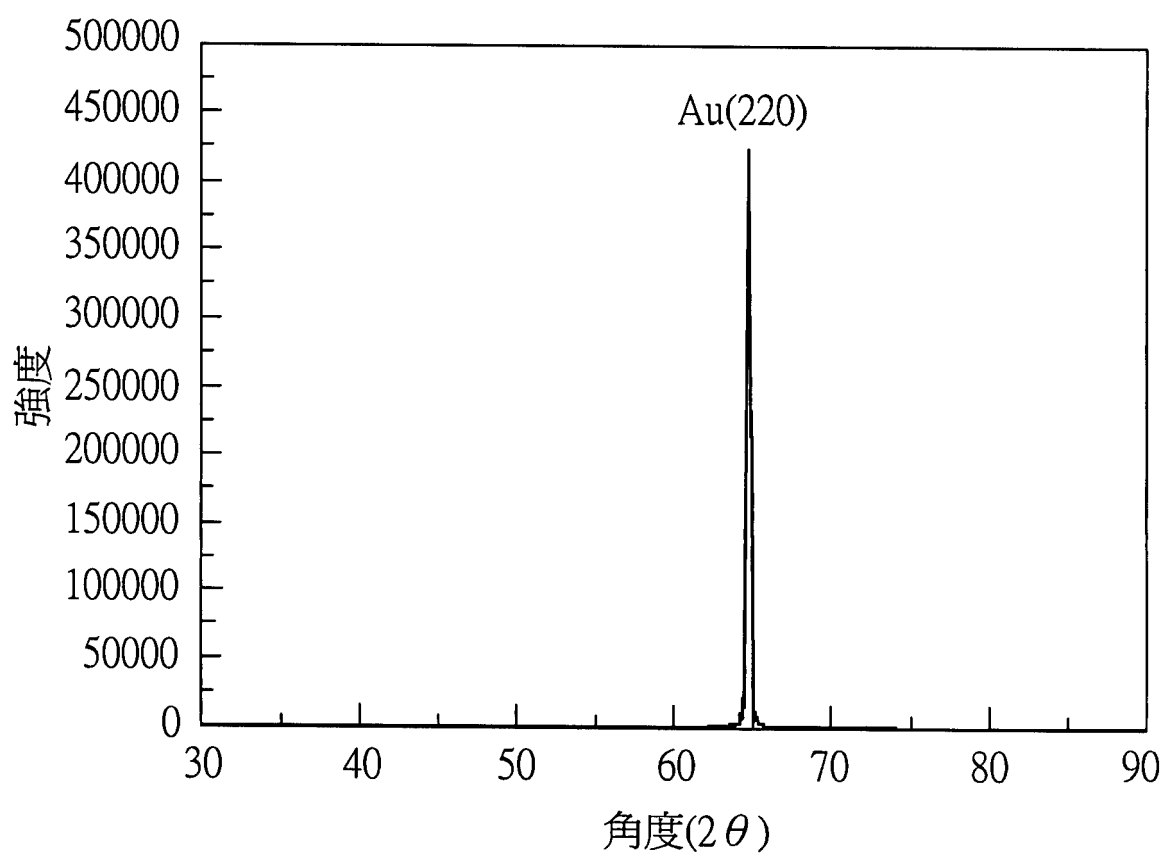


圖4

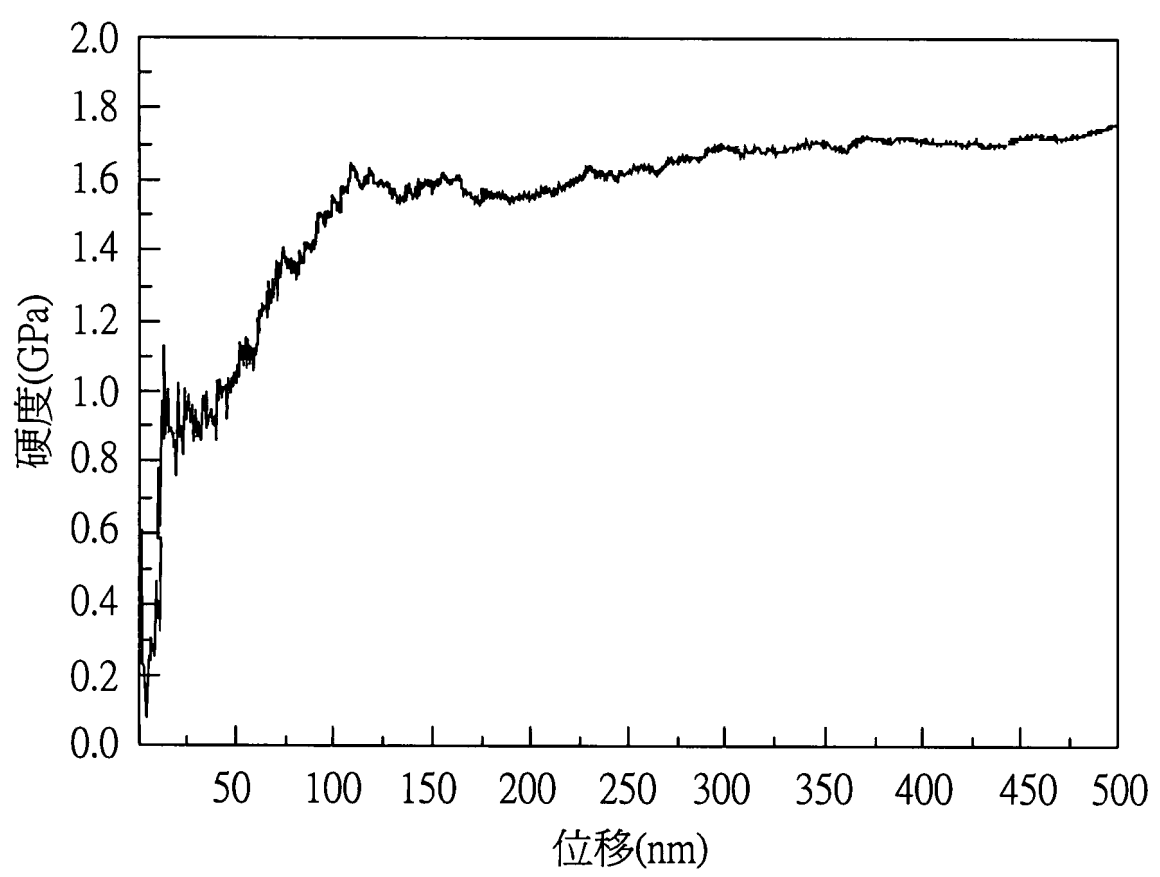


圖5

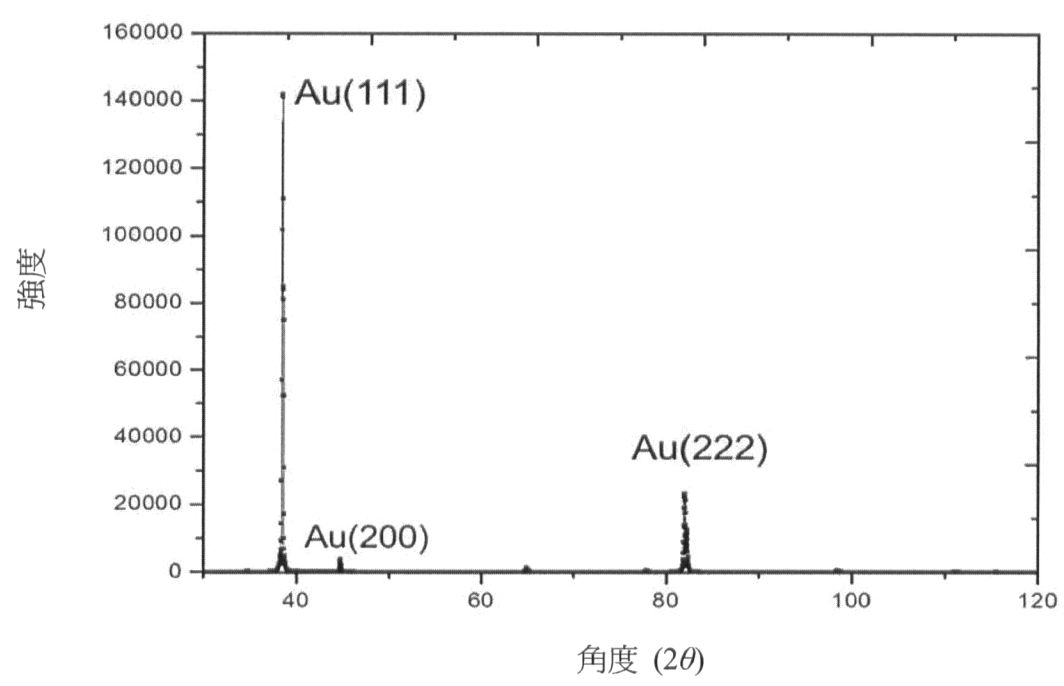


圖 6

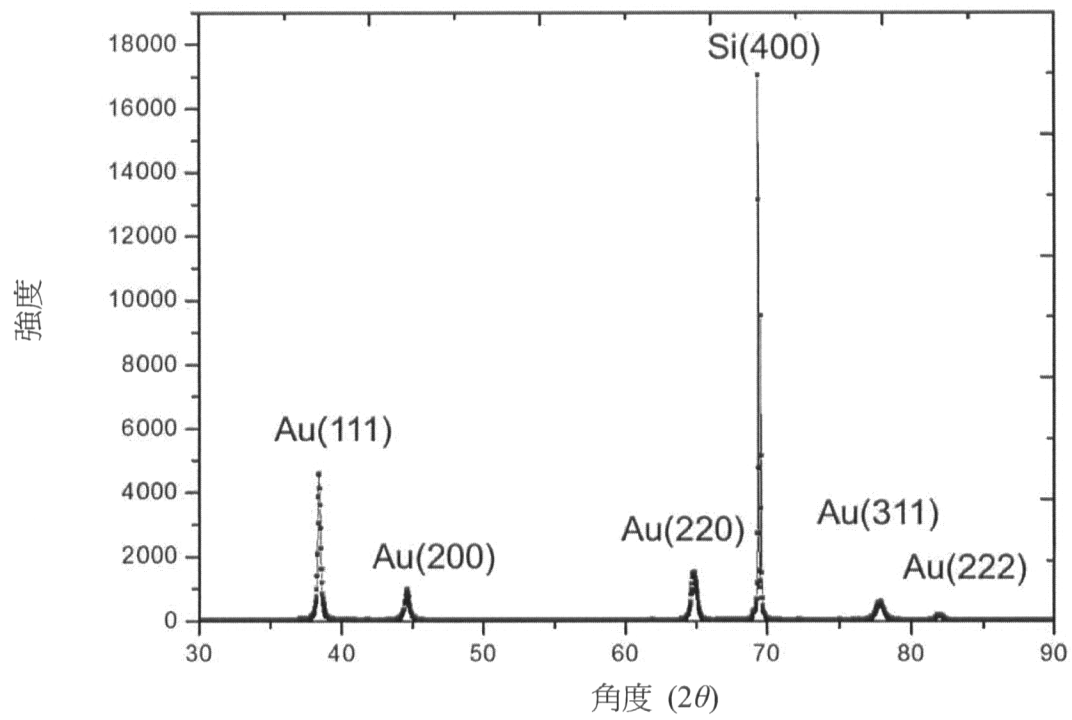


圖 7



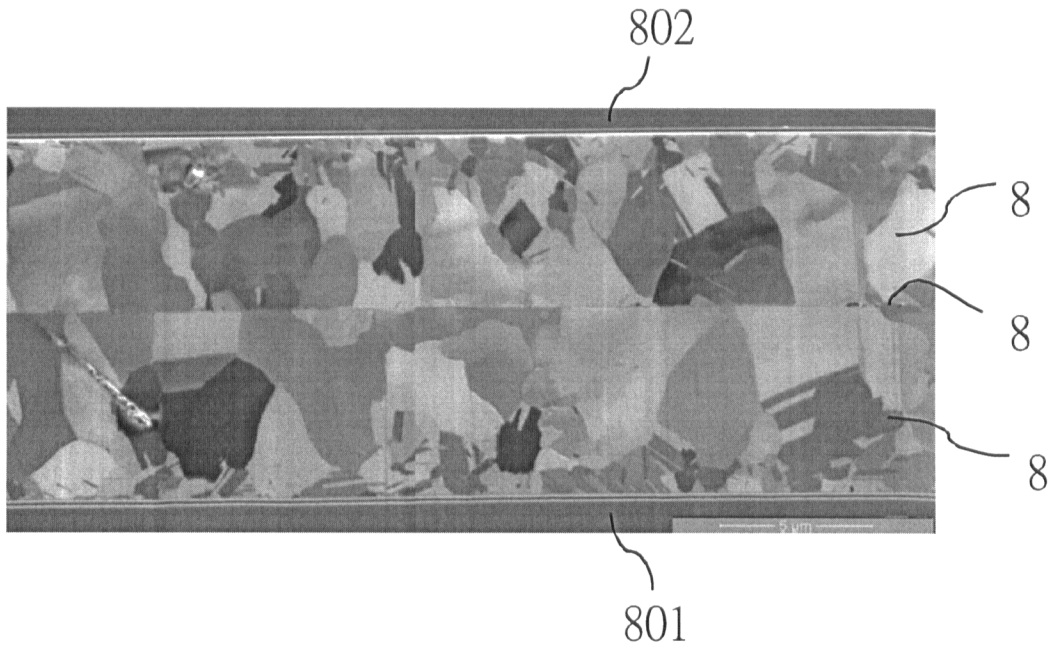
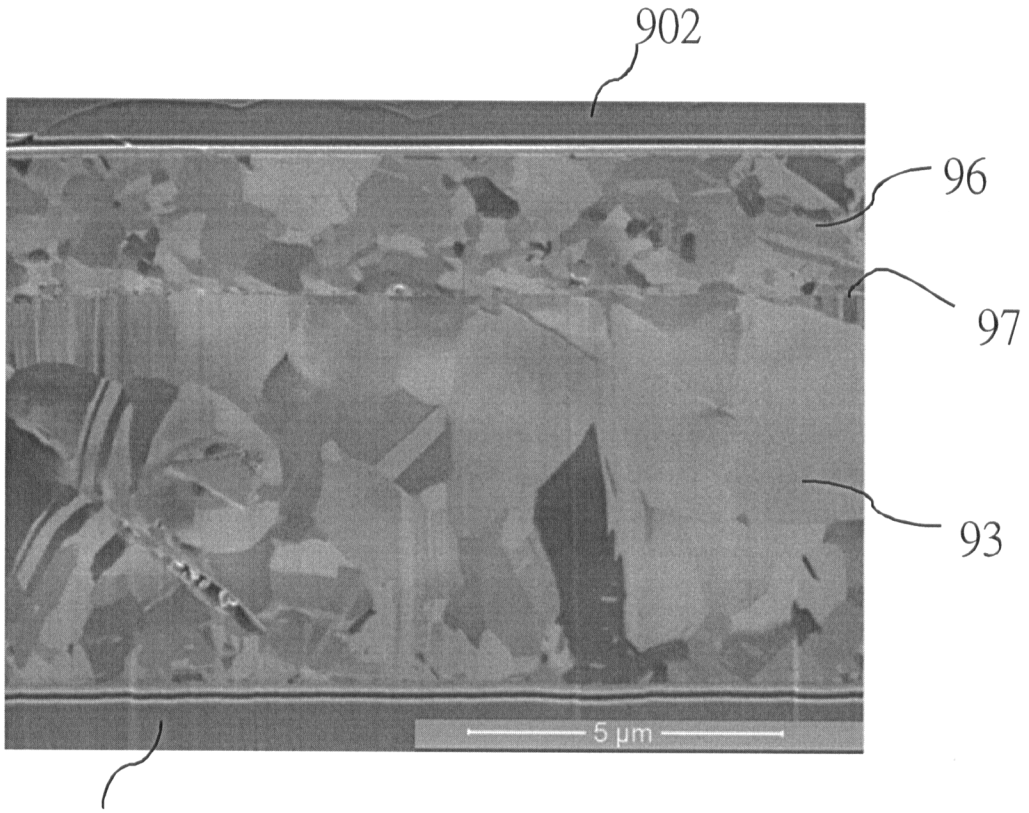


圖 8



901

圖 9

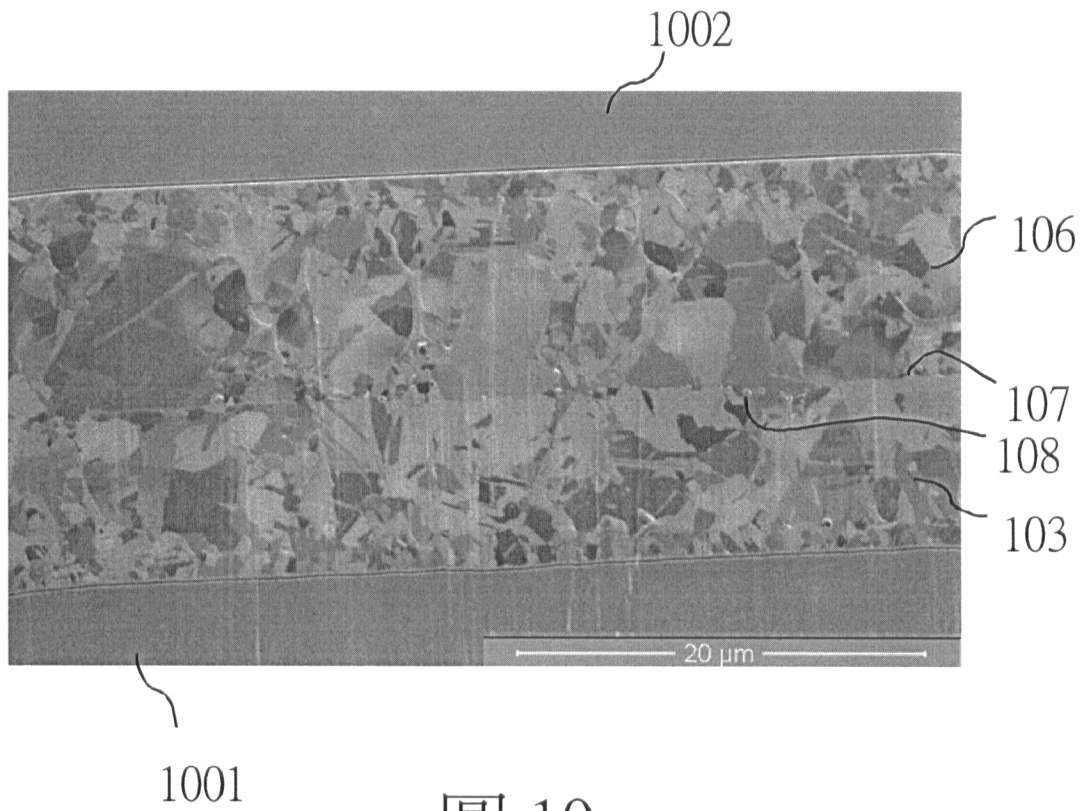


圖 10