



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201611524 A

(43) 公開日：中華民國 105 (2016) 年 03 月 16 日

(21) 申請案號：103130449

(22) 申請日：中華民國 103 (2014) 年 09 月 03 日

(51) Int. Cl. : *H03K5/13 (2014.01)* *H03K3/037 (2006.01)*(71) 申請人：國立交通大學 (中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)  
新竹市大學路 1001 號

(72) 發明人：周世傑 JOU, SHYH-JYE (TW)；楊家驥 YANG, CHIA-HSIANG (TW)；劉瑋昌 LIU, WEI-CHANG (TW)；羅其偉 LO, CHI-WEI (TW)；詹慶達 CHAN, CHING-DA (TW)

(74) 代理人：蔡朝安

申請實體審查：有 申請專利範圍項數：14 項 圖式數：3 共 16 頁

(54) 名稱

取樣電路及主從正反器

SAMPLING CIRCUIT AND MASTER-SLAVE FLIP-FLOP

(57) 摘要

一種取樣電路包含一第一閘鎖、一第二閘鎖以及一訊號轉換偵測器。第一閘鎖設置於一邏輯電路之上游側。第二閘鎖設置於邏輯電路之下游側。第一閘鎖以及第二閘鎖分別依據一參考時脈以及一控制時脈所產生之一觸發時脈切換至彼此狀態相反之一鎖定狀態或一穿透狀態。訊號轉換偵測器用以偵測邏輯電路所輸出之訊號是否錯誤，並輸出相對應之控制時脈。上述之取樣電路可在發生時序錯誤時延遲切換第二閘鎖至鎖定狀態以及切換第一閘鎖至穿透狀態，以正確取樣。

A sampling circuit includes a first latch, a second latch and a signal transition detector. The first latch is disposed on an upstream side of a logic circuit. The second latch is disposed on a downstream side of the logic circuit. The first latch and the second latch respectively switch to opposite states of a lock state and a transmission state according to trigger signals generated by a reference clock and a control clock. The signal transition detector is configured for detecting whether the signal outputted by the logic circuit is error or not and outputting the corresponding control clock. The above-mentioned sampling circuit can delay switching the second latch to the lock state and switching the first latch to the transmission state to correct sampling when the timing error occurs.

指定代表圖：

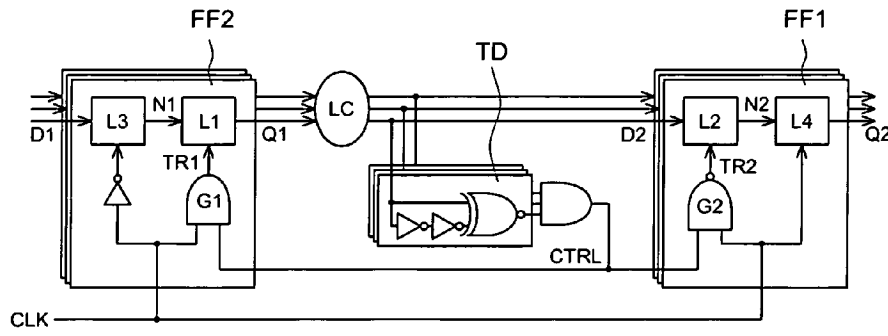


圖 1

符號簡單說明：

- CLK . . . 參考時脈
- CTRL . . . 控制時脈
- D1、D2 . . . 訊號
- FF1、FF2 . . . 主從正反器
- G1 . . . 及閘
- G2 . . . 反及閘
- L1~L4 . . . 閃鎖
- LC . . . 邏輯電路
- N1、N2 . . . 訊號
- Q1、Q2 . . . 訊號
- TR1、TR2 . . . 觸發時脈
- TD . . . 訊號轉換偵測器



201611524

## 【發明摘要】

申請日: 103. 9. 03

IPC分類: H03K 5/13 (2014.01)

H03K 3/27 (2006.01)

【中文發明名稱】取樣電路及主從正反器

【英文發明名稱】SAMPLING CIRCUIT AND MASTER-SLAVE FLIP-FLOP

## 【中文】

一種取樣電路包含一第一門鎖、一第二門鎖以及一訊號轉換偵測器。第一門鎖設置於一邏輯電路之上游側。第二門鎖設置於邏輯電路之下游側。第一門鎖以及第二門鎖分別依據一參考時脈以及一控制時脈所產生之一觸發時脈切換至彼此狀態相反之一鎖定狀態或一穿透狀態。訊號轉換偵測器用以偵測邏輯電路所輸出之訊號是否錯誤，並輸出相對應之控制時脈。上述之取樣電路可在發生時序錯誤時延遲切換第二門鎖至鎖定狀態以及切換第一門鎖至穿透狀態，以正確取樣。

## 【英文】

A sampling circuit includes a first latch, a second latch and a signal transition detector. The first latch is disposed on an upstream side of a logic circuit. The second latch is disposed on a downstream side of the logic circuit. The first latch and the second latch respectively switch to opposite states of a lock state and a transmission state according to trigger signals generated by a reference clock and a control clock. The signal transition detector is configured for detecting whether the signal outputted by the logic circuit is error or not and outputting the corresponding control clock. The above-mentioned sampling circuit can delay switching the second latch to the lock

state and switching the first latch to the transmission state to correct sampling when the timing error occurs.

【指定代表圖】圖1

【代表圖之符號簡單說明】

CLK	參考時脈
CTRL	控制時脈
D1、D2	訊號
FF1、FF2	主從正反器
G1	及閘
G2	反及閘
L1~L4	門鎖
LC	邏輯電路
N1、N2	訊號
Q1、Q2	訊號
TR1、TR2	觸發時脈
TD	訊號轉換偵測器

## 【發明說明書】

【中文發明名稱】取樣電路及主從正反器

【英文發明名稱】SAMPLING CIRCUIT AND MASTER-SLAVE FLIP-FLOP

【技術領域】

【0001】本發明是有關一種取樣電路及主從正反器，特別是一種可控制取樣時間點之取樣電路及主從正反器。

【先前技術】

【0002】正確取樣對電路設計而言為一重要課題。然而，積體電路晶片的製程、電壓、溫度(Process-Voltage-Temperature, PVT)變異、低工作電壓或超頻等因素皆可能發生時序錯誤而導致取樣錯誤。為了避免取樣錯誤，習知是以一訊號轉換偵測器來偵測是否發生錯誤，而在發生錯誤時將此時序之取樣值直接作廢，並延遲一個時間週期進行取樣，或者延長取樣時間，如此將浪費一個週期的時間。此外，訊號轉換偵測器是將邏輯電路之輸出值與延遲取樣之輸出值進行比較以判斷是否發生錯誤。然而，延遲取樣的值可能是邏輯電路最短路徑的正確結果，因而誤判為出現時序錯誤，因此，需要嚴格限制邏輯電路之最短路徑時間，以避免訊號競逐導致誤判為時序錯誤，如此將導致邏輯電路的面積增加。

【0003】綜上所述，提供一種可容忍時序錯誤之取樣電路便是目前極需努力的目標。

**【發明內容】**

**【0004】** 本發明提供一種取樣電路以及主從正反器，其可在發生時序錯誤時鎖定邏輯電路上游側之訊號輸入以及延遲取樣之時間點以容忍時序錯誤，因而可正確取樣。

**【0005】** 本發明一實施例之取樣電路包含一第一門鎖、一第二門鎖以及一訊號轉換偵測器。第一門鎖設置於一邏輯電路之上游側，用以接受一第一輸入訊號以及輸出一第一輸出訊號至邏輯電路，其中第一門鎖是依據一參考時脈以及一控制時脈所產生之一第一觸發時脈切換至一鎖定狀態或一穿透狀態。第二門鎖設置於邏輯電路之下游側，用以接受邏輯電路所輸出之一第二輸入訊號以及輸出一第二輸出訊號，其中第二門鎖是依據參考時脈以及控制時脈所產生之一第二觸發時脈切換至一鎖定狀態或一穿透狀態，且第二門鎖以及第一門鎖之狀態彼此相反。訊號轉換偵測器與邏輯電路電性連接，用以偵測邏輯電路所輸出之第二輸入訊號是否錯誤，並輸出相對應之控制時脈。

**【0006】** 本發明另一實施例之主從正反器包含一主門鎖、一從門鎖以及一第一邏輯閘。從門鎖設置於主門鎖之下游側，其中主門鎖接受一邏輯電路所輸出之一輸入訊號或從門鎖輸出一輸出訊號至邏輯電路。第一邏輯閘接受一參考時脈以及一第一控制時脈並輸出一第一觸發時脈以控制連接邏輯電路之主門鎖或從門鎖切換至一鎖定狀態或一穿透狀態，其中另一主門鎖或從門鎖是依據參考時脈切換至一鎖定狀態或一穿透狀態。

**【0007】** 以下藉由具體實施例配合所附的圖式詳加說明，當更容易瞭解本發明之目的、技術內容、特點及其所達成之功效。

**【圖式簡單說明】****【0008】**

圖1為一示意圖，顯示本發明一實施例之取樣電路。

圖2為一時序圖，顯示本發明一實施例之取樣電路之作動情形。

圖3為一示意圖，顯示本發明另一實施例之取樣電路。

**【實施方式】**

**【0009】** 請參照圖1，本發明之一實施例之取樣電路包含一第一門鎖L1、一第二門鎖L2以及一訊號轉換偵測器TD。訊號轉換偵測器TD與一邏輯電路LC電性連接。舉例而言，訊號轉換偵測器TD可將邏輯電路LC之輸出值與延遲取樣之輸出值進行比較以判斷是否發生時序錯誤，並輸出相對應之控制時脈CTRL。第一門鎖L1設置於邏輯電路LC之上游側，其可接受一訊號N1(第一輸入訊號)以及輸出一訊號Q1(第一輸出訊號)至邏輯電路LC。第一門鎖L1是依據一參考時脈CLK以及訊號轉換偵測器TD所輸出之控制時脈CTRL所產生之一第一觸發時脈TR1切換至一鎖定狀態或一穿透狀態。於一實施例中，可設置一及閘G1，其二個輸入端接受參考時脈CLK以及控制時脈CTRL，其輸出端則依據參考時脈CLK以及控制時脈CTRL之準位輸出第一觸發時脈TR1至第一門鎖L1。

**【0010】** 接續上述說明，第二門鎖L2則設置於邏輯電路LC之下游側，其可接受邏輯電路LC之輸出值(訊號D2)為一第二輸入訊號以及輸出一訊號N2(第二輸出訊號)。第二門鎖L2是依據參考時脈CLK以及控制時脈CTRL所產生之一第二觸發時脈TR2切換至一鎖定狀態或一穿透狀態。需注意者，第二門鎖L2以及第一門鎖L1之狀態彼此相反。舉例而言，第二門鎖L2為穿透狀態時，第一門鎖L1

則為鎖定狀態。反之，第二門鎖L2為鎖定狀態時，第一門鎖L1則為穿透狀態。於一實施例中，可設置一反及閘G2，其二個輸入端接受參考時脈CLK以及控制時脈CTRL，其輸出端則依據參考時脈CLK以及控制時脈CTRL之準位反相輸出第二觸發時脈TR2至第二門鎖L2。

【0011】由於現有之電子設計自動化(Electronic design automation, EDA)工具無法對門鎖進行時序分析，因此，於一實施例中，本發明之取樣電路可包含一第三門鎖L3，其設置於第一門鎖L1之上游側，而與第一門鎖L1組成一主從正反器FF2，其中第三門鎖L3為主門鎖，第一門鎖L1為從門鎖。於圖1所示之實施例中，第三門鎖L3是依據反相之參考時脈CLK切換至一鎖定狀態或一穿透狀態。一般而言，主從正反器之主門鎖以及從門鎖是同時切換為彼此相反之狀態，但須強調的是，圖1所示之主從正反器FF2中之第一門鎖L1之狀態切換至與第三門鎖L3之狀態彼此相反之時間可晚於第三門鎖L3之切換狀態時間。第一門鎖L1之詳細作動情形容後說明。

【0012】同理，本發明之取樣電路可包含一第四門鎖L4，其設置於第二門鎖L2之下游側，而與第二門鎖L2組成一主從正反器FF1，其中第二門鎖L2為主門鎖，第四門鎖L4為從門鎖。於圖1所示之實施例中，第四門鎖L4是依據參考時脈CLK切換至一鎖定狀態或一穿透狀態。同樣的，第二門鎖L2之狀態切換至與第四門鎖L4之狀態彼此相反之時間可晚於第四門鎖L4之切換狀態時間。第二門鎖L2之詳細作動情形容後說明。可以理解的是，第一門鎖L1以及第二門鎖L2分別與第三門鎖L3以及第四門鎖L4組成主從正反器FF2、FF1之後，即能夠以現有之EDA工具進行時序分析，而有助於電路設計。

【0013】請參照圖1以及圖2，以說明本發明之取樣電路之作動情形。於圖2所示之時序圖中，假設參考時脈CLK為高準位時為取樣準位，第一觸發時脈TR1以及第二觸發時脈TR2為高準位時為穿透準位，亦即觸發第一門鎖L1以及第二門



鎖L2切換至穿透狀態。反之，第一觸發時脈TR1以及第二觸發時脈TR2為低準位時則為鎖定準位，亦即觸發第一門鎖L1以及第二門鎖L2切換至鎖定狀態。可以理解的是，圖2所示之時序圖僅是用以說明而非限定本發明，本發明所屬技術領域中具有通常知識者可依據實際之電路需求設計適當之取樣準位或鎖定準位。另外，於圖2所示之實施例中，假設輸入主從正反器FF2之訊號D1不會發生時序錯誤。

【0014】請參照圖2，在第1週期C1時，主從正反器FF2、FF1之輸入端未發生時序錯誤，因此，在參考時脈CLK之上升緣之前可獲得穩定輸入主從正反器FF2、FF1之訊號D1、D2，而控制時脈CTRL亦隨著穩定之邏輯電路LC之輸出訊號(即輸入主從正反器FF1之訊號D2)而在參考時脈CLK之上升緣之前轉換為高準位。此時，第三門鎖L3因反相之參考時脈CLK切換至鎖定狀態，因此第三門鎖L3之輸出訊號N1等於參考時脈CLK之上升緣時之訊號D1。另外，依據參考時脈CLK以及控制時脈CTRL所產生之第一觸發時脈TR1觸發第一門鎖L1切換至穿透狀態，因此，第一門鎖L1所輸出之訊號Q1隨著第三門鎖L3所輸出之訊號N1而變化。然而，第三門鎖L3為鎖定狀態，因此訊號N1不會變化，第一門鎖L1所輸出之訊號Q1亦不會變化。在參考時脈CLK之下降緣時，參考時脈CLK經反相後觸發第三門鎖L3切換至穿透狀態，第三門鎖L3所輸出之訊號N1即隨著訊號D1而變化。而第一觸發時脈TR1轉換為低準位，因而觸發第一門鎖L1切換至鎖定狀態，因此，第一門鎖L1所輸出之訊號Q1鎖定在參考時脈CLK之下降緣時所輸出之訊號N1。

【0015】同理，在參考時脈CLK為高準位時，第二觸發時脈TR2為低準位，此時，觸發第二門鎖L2切換為鎖定狀態，以鎖定訊號D2之取樣結果，即訊號N2。而第四門鎖L4為穿透狀態，其輸出之訊號Q2即隨著訊號N2而變化。反之，在參考時脈CLK轉換為低準位時，第二門鎖L2切換至穿透狀態，訊號N2隨著訊號D2

而變化。而第四門鎖L4切換至鎖定狀態，其輸出之訊號Q2即鎖定為參考時脈CLK之下降緣時之訊號N2。之後進入第2週期C2並重覆上述動作。

【0016】 在第2週期C2進入第3週期C3時，因邏輯電路LC來不及在參考時脈CLK之上升緣之前輸出穩定的訊號D2，因此，控制時脈CTRL在參考時脈CLK之上升緣時仍為低準位。此時，第二觸發時脈TR2仍為高準位，使第二門鎖L2處於穿透狀態。換言之，第二門鎖L2仍在持續取樣而未鎖定取樣結果。而第一觸發時脈TR1為低準位，使得第一門鎖L1處於鎖定狀態，亦即在邏輯電路LC輸出穩定之訊號D2之前，不會輸入新的訊號Q1至邏輯電路LC。如此可避免邏輯電路最短路徑的正確結果造成訊號轉換偵測器TD誤判出現時序錯誤的情形。直到邏輯電路LC輸出穩定之訊號D2時，如圖2所示之符號E1，控制時脈CTRL才轉換為高準位，並使第二觸發時脈TR2轉換為低準位。第二門鎖L2因第二觸發時脈TR2轉換為低準位而切換至鎖定狀態，以鎖定穩定之訊號D2的取樣結果。同時，第一觸發時脈TR1轉換為高準位，使第一門鎖L1為穿透狀態，如此，下一週期之訊號Q1才可輸入邏輯電路LC進行運算。

【0017】 同理，在第3週期C3進入第4週期C4時，邏輯電路LC仍來不及在參考時脈CLK之上升緣之前輸出穩定的訊號D2，直到邏輯電路LC輸出穩定的訊號D2時，如圖2所示之符號E2，控制時脈CTRL才轉換為高準位，進而使第二觸發時脈TR2轉換為低準位。此時第二門鎖L2切換至鎖定狀態，以鎖定穩定之訊號D2的取樣結果。第一門鎖L1之作動情形如第3週期C3時所述，在此不再贅述。

【0018】 依據上述架構，在未發生時序錯誤時，控制時脈CTRL在參考時脈CLK之上升緣之前即已轉換為高準位，此時，第一門鎖L1以及第二門鎖L2之狀態即隨著參考時脈CLK之準位而改變。當發生時序錯誤時，控制時脈CTRL在參考時脈CLK之上升緣之後才轉換為高準位，其代表借用下一週期的部分取樣時間，例如圖2所示之借用時間B1以及B2，亦即延後取樣時間來增加邏輯電路

LC的運算時間。由圖2可知，連續週期發生時序錯誤仍可累積借用時間。可以理解的是，每一週期的借用時間應小於參考時脈CLK之取樣準位的時間。

【0019】圖1所示之實施例中，在邏輯電路LC發生時序錯誤時，第二門鎖L2是用以延遲取樣的時間點，而第一門鎖L1則是延遲輸出新的訊號Q1至邏輯電路LC。於一實施例中，第二門鎖L2以及第一門鎖L1亦可組成一主從正反器，並設置於二個邏輯電路之間，其中第二門鎖L2為主門鎖，第一門鎖L1為從門鎖。舉例而言，請參照圖3，主從正反器FF2設置於管線級邏輯電路LC1、LC2的輸入端，主從正反器FF1設置於管線級邏輯電路LC1、LC2的輸出端，而主從正反器FF3設置於邏輯電路LC1、LC2之間。假設輸入主從正反器FF2之訊號D1不會發生時序錯誤，因此，主從正反器FF2之第三門鎖L3可直接由反相之參考時脈CLK觸發並切換至對應之狀態。同理，假設主從正反器FF1之下級邏輯電路不會發生時序錯誤，因此，主從正反器FF1中之第四門鎖L4可直接由參考時脈CLK觸發並切換至對應之狀態。主從正反器FF2、FF1與圖1所示之主從正反器FF2、FF1之功能以及作動原理相同，在此不再贅述。

【0020】請繼續參照圖3，主從正反器FF3中之第五門鎖L5為主門鎖，其功能等同於主從正反器FF1中之第二門鎖L2。換言之，當邏輯電路LC1發生時序錯誤時，訊號轉換偵測器TD1偵測邏輯電路LC1所輸出之訊號D3，並輸出相對應之控制時脈CTRL1。此時觸發時脈TR3隨著控制時脈CTRL1轉換而延遲第五門鎖L5切換為鎖定狀態的時間點，亦即取樣時間點，而鎖定訊號N3。主從正反器FF3中之第六門鎖L6之功能等同於主從正反器FF2中之第一門鎖L1。換言之，當邏輯電路LC2發生時序錯誤時，訊號轉換偵測器TD2偵測邏輯電路LC2所輸出之訊號D2，並輸出相對應之控制時脈CTRL2。此時觸發時脈TR4隨著控制時脈CTRL2轉換而延遲第六門鎖L6切換為穿透狀態的時間點，以延遲下一週期之訊號Q3輸出至邏輯電路LC2的時間。

【0021】可以理解的是，主從正反器FF2中之第一門鎖L1、連接第一門鎖L1之邏輯閘(及閘G1)、訊號轉換偵測器TD1、主從正反器FF3中之第五門鎖L5以及連接第五門鎖L5之邏輯閘(反及閘G2)構成本發明之取樣電路。而主從正反器FF3中之第六門鎖L6、連接第六門鎖L6之邏輯閘(及閘G1)、訊號轉換偵測器TD2、主從正反器FF1中之第二門鎖L2以及連接第二門鎖L2之邏輯閘(反及閘G2)構成另一本發明之取樣電路。因此，依據不同之電路設計，可選用不同的主從正反器FF1、FF2或FF3將多個邏輯電路LC1、LC2串接成管線級邏輯電路。

【0022】綜合上述，本發明之取樣電路以及主從正反器可在發生時序錯誤時延遲取樣之時間點，以避免取樣值作廢而浪費一個週期的時間。此外，藉由鎖定邏輯電路上游側之訊號輸入可避免邏輯電路最短路徑輸出之正確結果而導致誤判時序錯誤。因此，本發明之取樣電路以及主從正反器可容忍較大範圍的時序錯誤並可正確取樣。

【0023】以上所述之實施例僅是為說明本發明之技術思想及特點，其目的在使熟習此項技藝之人士能夠瞭解本發明之內容並據以實施，當不能以之限定本發明之專利範圍，即大凡依本發明所揭示之精神所作之均等變化或修飾，仍應涵蓋在本發明之專利範圍內。

#### 【符號說明】

##### 【0024】

B1、B2	借用時間
C1~C4	週期
CLK	參考時脈
CTRL	控制時脈

CTRL1、CTRL2	控制時脈
D1~D3	訊號
FF1~FF3	主從正反器
G1	及閘
G2	反及閘
L1~L6	閘鎖
LC、LC1、LC2	邏輯電路
N1~N3	訊號
Q1~Q3	訊號
TR1~TR4	觸發時脈
TD、TD1、TD2	訊號轉換偵測器

## 【發明申請專利範圍】

【第1項】一種取樣電路，包含：

一第一門鎖，其設置於一邏輯電路之上游側，用以接受一第一輸入訊號以及輸出一第一輸出訊號至該邏輯電路，其中該第一門鎖是依據一參考時脈以及一控制時脈所產生之一第一觸發時脈切換至一鎖定狀態或一穿透狀態；

一第二門鎖，其設置於該邏輯電路之下游側，用以接受該邏輯電路所輸出之一第二輸入訊號以及輸出一第二輸出訊號，其中該第二門鎖是依據該參考時脈以及該控制時脈所產生之一第二觸發時脈切換至一鎖定狀態或一穿透狀態，且該第二門鎖以及該第一門鎖之狀態彼此相反；以及

一訊號轉換偵測器，其與該邏輯電路電性連接，用以偵測該邏輯電路所輸出之該第二輸入訊號是否錯誤，並輸出相對應之該控制時脈。

【第2項】如請求項1所述之取樣電路，其中該第二輸入訊號發生錯誤且該參考時脈為一取樣準位時，該控制時脈導致該第一門鎖為該鎖定狀態，且該第二門鎖為該穿透狀態。

【第3項】如請求項1所述之取樣電路，更包含：

一及閘，其接受該參考時脈以及該控制時脈並輸出該第一觸發時脈至該第一門鎖；以及

一反及閘，其接受該參考時脈以及該控制時脈並輸出該第二觸發時脈至該第二門鎖。

【第4項】如請求項1所述之取樣電路，更包含：

一第三門鎖，其設置於該第一門鎖之上游側，並與該第一門鎖組成一主從正反器，其中該第三門鎖是依據該參考時脈切換至一鎖定狀態或一穿透狀態，且該第一門鎖之狀態切換至與該第三門鎖之狀態彼此相反之時間等於或晚於該第三門鎖之切換狀態時間。

【第5項】如請求項1所述之取樣電路，更包含：

一第四門鎖，其設置於該第二門鎖之下游側，並與該第二門鎖組成一主從正反器，其中該第四門鎖是依據該參考時脈切換至一鎖定狀態或一穿透狀態，且該第二門鎖之狀態切換至與該第四門鎖之狀態彼此相反之時間等於或晚於該第四門鎖之切換狀態時間。

【第6項】如請求項1所述之取樣電路，更包含：

一第四門鎖，其設置於該第二門鎖之下游側，並與該第二門鎖組成一主從正反器，其中第四門鎖是依據該參考時脈以及下一級該訊號轉換偵測器偵測同級之該邏輯電路所輸出之該控制時脈所產生之一第三觸發時脈切換至一鎖定狀態或一穿透狀態。

【第7項】如請求項6所述之取樣電路，更包含：

一反及閘，其接受該參考時脈以及該控制時脈並輸出該第二觸發時脈至該第二門鎖；以及

一及閘，其接受該參考時脈以及下一級該控制時脈並輸出該第三觸發時脈至該第四門鎖。

【第8項】一種主從正反器，包含：

一主門鎖；

一從門鎖，其設置於該主門鎖之下游側，其中該主門鎖接受一邏輯電路所輸出之一輸入訊號或該從門鎖輸出一輸出訊號至該邏輯電路；以及

一第一邏輯閘，其接受一參考時脈以及一第一控制時脈並輸出一第一觸發時脈以控制連接該邏輯電路之該主門鎖或該從門鎖切換至一鎖定狀態或一穿透狀態，其中另一該主門鎖或該從門鎖是依據該參考時脈切換至一鎖定狀態或一穿透狀態。

【第9項】如請求項8所述之主從正反器，其中該第一邏輯閘與該主門鎖連接，且該主門鎖切換至與該從門鎖彼此相反狀態之時間等於或晚於該從門鎖之切換狀態時間。

【第10項】如請求項8所述之主從正反器，其中該第一邏輯閘與該從門鎖連接，且該從門鎖切換至與該主門鎖彼此相反狀態之時間等於或晚於該主門鎖之切換狀態時間。

【第11項】如請求項8所述之主從正反器，其中該第一邏輯閘為一反及閘，且與該主門鎖連接。

【第12項】如請求項8所述之主從正反器，其中該第一邏輯閘為一及閘，且與該從門鎖連接。

【第13項】如請求項8所述之主從正反器，更包含：

一第二邏輯閘，其接受該參考時脈以及一第二控制時脈並輸出一第二觸發時脈以控制另一該主門鎖或該從門鎖切換至該鎖定狀態或該穿透狀態，其中該主門鎖以及該從門鎖切換至彼此相反狀態之時間相同或相異。

【第14項】如請求項13所述之主從正反器，其中該第一邏輯閘為一反及閘，且與該主門鎖連接；該第二邏輯閘為一及閘，且與該從門鎖連接。



【發明圖式】

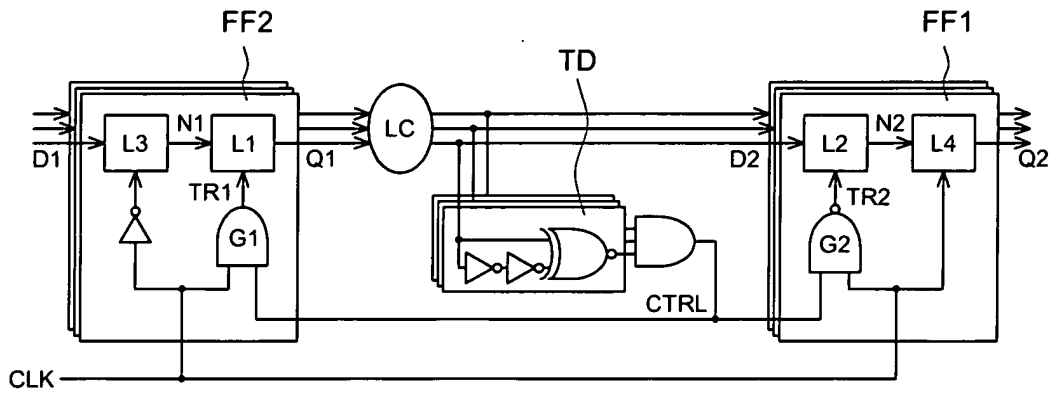


圖 1

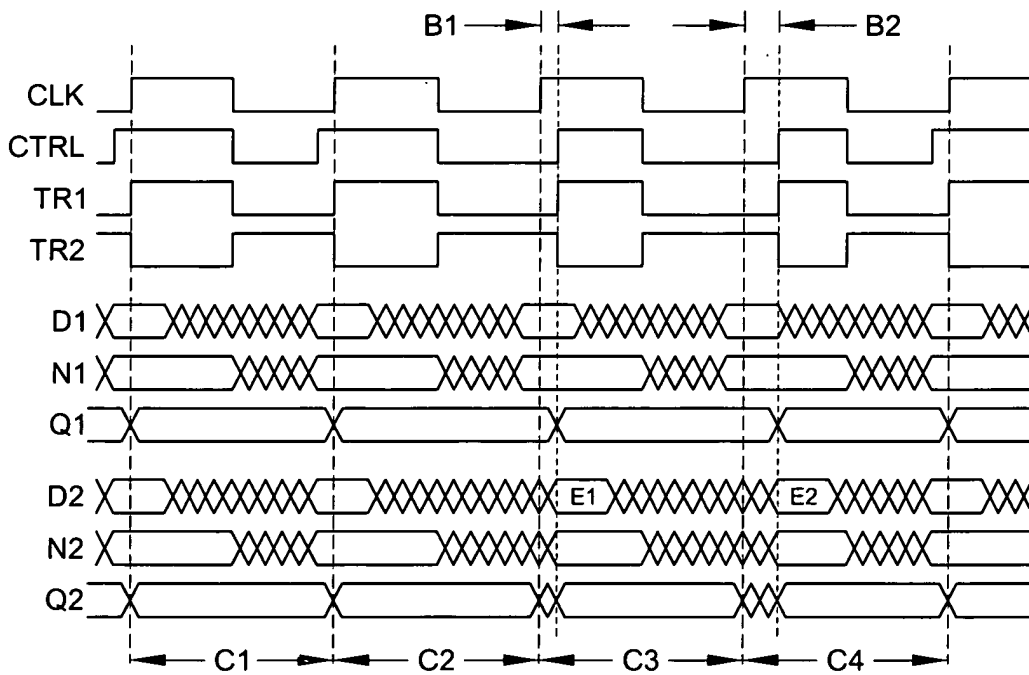


圖 2

