



(21)申請案號：103145686

(22)申請日：中華民國 103 (2014) 年 12 月 26 日

(51)Int. Cl. : H01L21/8247(2006.01)

H01L27/115 (2006.01)

(71)申請人：國立交通大學(中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

(72)發明人：侯拓宏 HOU, TUO-HUNG (TW)

(74)代理人：蔡朝安

申請實體審查：有 申請專利範圍項數：17 項 圖式數：8 共 21 頁

(54)名稱

三維反或型快閃記憶體及其製造方法

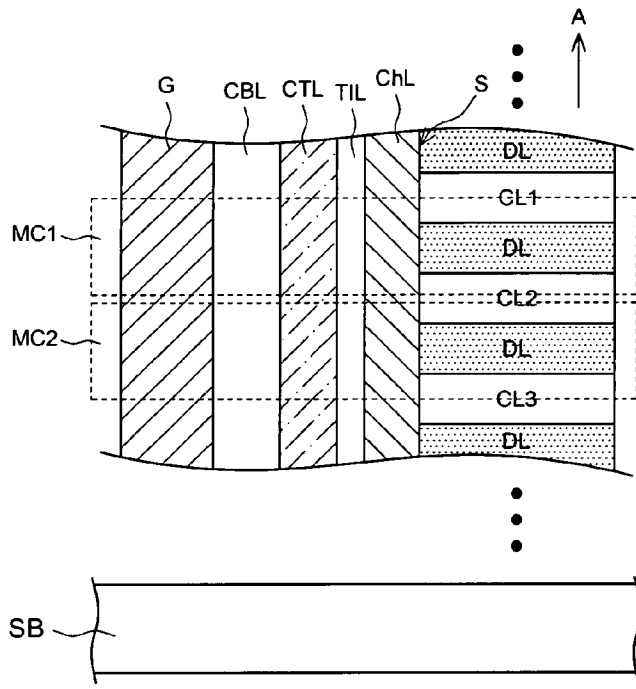
3D NOR FLASH MEMORY AND MANUFACTURING METHOD THEREOF

(57)摘要

一種三維反或型快閃記憶體包含多個導電層、多個介電層、多個通道層、多個穿隧隔離層、多個電荷捕捉層、多個電荷阻擋層以及多個閘極電極。多個導電層以及多個介電層交錯配置，以使多個導電層彼此電性隔離。通道層、穿隧隔離層、電荷捕捉層、電荷阻擋層以及閘極電極依序設置於多個導電層以及多個介電層之一側表面，其中，二個相鄰導電層分別作為一電晶體之一源極以及一汲極，並與對應之閘極電極定義一記憶體單元。依據此結構，多個記憶體單元能夠以三維架構配置以提升單位晶片面積之位元密度，且每一記憶體單元能夠定址且存取。

A 3D NOR flash memory includes a plurality of conductive layers, a plurality of dielectric layers, a plurality of channel layers, a plurality of tunnel insulation layers, a plurality of charge trapping layers, a plurality of charge blocking layers and a plurality of gate electrodes. The conductive layers and the dielectric layers are arranged in interlaced configuration so that the conductive layers are electrically isolated. The channel layer, the tunnel insulation layer, the charge trapping layer, the charge blocking layer and the gate electrode are sequentially disposed on a side surface of the conductive layers and the dielectric layers, wherein two adjacent conductive layers are respectively regarded as a source and a drain of a transistor and define a memory cell with a corresponding gate electrode. According to this structure, a plurality of memory cells can be arranged in 3D structure to increase bit density per unit area of chip and each memory cell can be addressed and accessed.

指定代表圖：



- 符號簡單說明：
- A . . . 排列方向
 - BL1、BL2、BL3 . . . 位元線
 - CBL . . . 電荷阻擋層
 - ChL . . . 通道層
 - CL1、CL2、CL3 . . . 導電層
 - CTL . . . 電荷捕捉層
 - DL . . . 介電層
 - G . . . 閘極電極
 - MC1、MC2 . . . 記憶體單元
 - S . . . 表面
 - SB . . . 基板
 - TIL . . . 穿隧隔離層
 - WL . . . 字元線

圖 1



申請日: 103.12.26

201624624

【發明摘要】

IPC分類:

H01L 27/08247 2006.01

27/15 2006.01

【中文發明名稱】三維反或型快閃記憶體及其製造方法

【英文發明名稱】3D NOR FLASH MEMORY AND MANUFACTURING

METHOD THEREOF

【中文】

一種三維反或型快閃記憶體包含多個導電層、多個介電層、多個通道層、多個穿隧隔離層、多個電荷捕捉層、多個電荷阻擋層以及多個閘極電極。多個導電層以及多個介電層交錯配置，以使多個導電層彼此電性隔離。通道層、穿隧隔離層、電荷捕捉層、電荷阻擋層以及閘極電極依序設置於多個導電層以及多個介電層之一側表面，其中，二個相鄰導電層分別作為一電晶體之一源極以及一汲極，並與對應之閘極電極定義一記憶體單元。依據此結構，多個記憶體單元能夠以三維架構配置以提升單位晶片面積之位元密度，且每一記憶體單元能夠定址且存取。

【英文】

A 3D NOR flash memory includes a plurality of conductive layers, a plurality of dielectric layers, a plurality of channel layers, a plurality of tunnel insulation layers, a plurality of charge trapping layers, a plurality of charge blocking layers and a plurality of gate electrodes. The conductive layers and the dielectric layers are arranged in interlaced configuration so that the conductive layers are electrically isolated. The channel layer, the tunnel insulation layer, the charge trapping layer, the charge blocking layer and the gate electrode are sequentially disposed on a side surface of the

conductive layers and the dielectric layers, wherein two adjacent conductive layers are respectively regarded as a source and a drain of a transistor and define a memory cell with a corresponding gate electrode. According to this structure, a plurality of memory cells can be arranged in 3D structure to increase bit density per unit area of chip and each memory cell can be addressed and accessed.

【指定代表圖】圖1

【代表圖之符號簡單說明】

A	排列方向
BL1、BL2、BL3	位元線
CBL	電荷阻擋層
ChL	通道層
CL1、CL2、CL3	導電層
CTL	電荷捕捉層
DL	介電層
G	閘極電極
MC1、MC2	記憶體單元
S	表面
SB	基板
TIL	穿隧隔離層
WL	字元線

【發明說明書】

【中文發明名稱】三維反或型快閃記憶體及其製造方法

【英文發明名稱】3D NOR FLASH MEMORY AND MANUFACTURING

METHOD THEREOF

【技術領域】

【0001】本發明是有關一種反或型快閃記憶體及其製造方法，特別是一種三維反或型快閃記憶體及其製造方法。

【先前技術】

【0002】快閃記憶體(flash memory)是一種非揮發性的記憶體。相較於硬碟，快閃記憶體具有較佳之抗震性及省電等優點，因此快閃記憶體已廣泛應用於行動裝置之儲存模組。依據記憶體單元(memory cell)的連接方式，快閃記憶體可分為反及型快閃記憶體(NAND Flash)以及反或型快閃記憶體(NOR Flash)。NAND Flash可將記憶體單元形成三維架構，使得NAND Flash之單位晶片面積的位元密度較高，相對地，每位元之成本亦較低，並提升晶片之最大儲存容量，然而，受到記憶體單元之連接方式的限制，NAND Flash缺乏隨機存取的能力。相反的，NOR Flash雖具備隨機存取能力，但目前NOR Flash之記憶體單元僅能以二維架構實現，因此，NOR Flash之單位晶片面積的位元密度較低，導致NOR Flash之每位元之成本無法有效降低。

【0003】綜上所述，如何保持NOR Flash之隨機存取能力且提高單位晶片面積之位元密度便是目前極需努力的目標。

【發明內容】

【0004】 本發明提供一種三維反或型快閃記憶體及其製造方法，其可將記憶體單元以三維架構實現，以提高單位晶片面積之位元密度，且可隨機存取任一記憶體單元。

【0005】 本發明一實施例之三維反或型快閃記憶體包含多個導電層、多個介電層、多個通道層、多個穿隧隔離層、多個電荷捕捉層、多個電荷阻擋層以及多個閘極電極。多個介電層與多個導電層沿一排列方向交錯配置，以使多個導電層彼此電性隔離。多個通道層設置於多個導電層以及多個介電層之一表面，其中表面與排列方向平行。多個穿隧隔離層、多個電荷捕捉層、多個電荷阻擋層以及多個閘極電極沿排列方向之垂直方向依序設置於通道層，其中，沿排列方向之二個相鄰導電層分別作為一電晶體之一源極以及一汲極，並與閘極電極定義一記憶體單元，以形成行列排列之多個記憶體單元串，其中每一記憶體單元串之閘極電極彼此連接以作為一字元線，且與排列方向垂直之一平面上之一行方向或一列方向之多個記憶體單元之源極/汲極彼此連接以作為一位元線。

【0006】 本發明另一實施例之三維反或型快閃記憶體之製造方法包含：提供一基板；形成多個導電層以及多個介電層於基板，其中，多個導電層以及多個介電層沿一排列方向交錯配置，以使多個導電層彼此電性隔離；形成多個通道層於多個導電層以及多個介電層之一表面，其中表面與排列方向平行；沿排列方向之垂直方向依序形成多個穿隧隔離層、多個電荷捕捉層、多個電荷阻擋層以及多個閘極電極於通道層，其中，沿排列方向之二個相鄰導電層分別作為一電晶體之一源極以及一汲極，並與閘極電極定義一記憶體單元，以形成行列排列之多個記憶體單元串，其中每一記憶體單元串之閘極電極彼此連接以作為

一字元線，且與排列方向垂直之一平面上之一行方向或一系列方向之多個記憶體單元之源極/汲極彼此連接以作為一位元線。

【0007】 以下藉由具體實施例配合所附的圖式詳加說明，當更容易瞭解本發明之目的、技術內容、特點及其所達成之功效。

【圖式簡單說明】

【0008】

圖1為一示意圖，顯示本發明一實施例之三維反或型快閃記憶體之記憶體單元之結構及其等效電路。

圖2為一示意圖，顯示本發明一實施例之三維反或型快閃記憶體之三維記憶體單元架構。

圖3為一示意圖，顯示本發明一實施例之三維反或型快閃記憶體之另一三維記憶體單元架構。

圖4以及圖5為一示意圖，顯示實現圖3所示之三維記憶體單元架構之局部結構。

圖6為一示意圖，顯示本發明一實施例之三維反或型快閃記憶體之又一三維記憶體單元架構。

圖7為一示意圖，顯示實現圖6所示之三維記憶體單元架構之局部結構。

圖8為一流程圖，顯示本發明一實施例之三維反或型快閃記憶體之製造方法。

【實施方式】

【0009】 以下將詳述本發明之各實施例，並配合圖式作為例示。除了這些詳細說明之外，本發明亦可廣泛地施行於其它的實施例中，任何所述實施例的輕易替代、修改、等效變化都包含在本發明之範圍內，並以申請專利範圍為準。在說明書的描述中，為了使讀者對本發明有較完整的瞭解，提供了許多特定細節；然而，本發明可能在省略部分或全部特定細節的前提下，仍可實施。此外，眾所周知的步驟或元件並未描述於細節中，以避免對本發明形成不必要之限制。圖式中相同或類似之元件將以相同或類似符號來表示。特別注意的是，圖式僅為示意之用，並非代表元件實際之尺寸或數量，有些細節可能未完全繪出，以求圖式之簡潔。

【0010】 請參照圖1以說明本發明之一實施例之三維反或型快閃記憶體，其中圖1之左側顯示記憶體單元之結構，而圖1之右側則顯示其等效電路。本發明之一實施例之三維反或型快閃記憶體包含多個導電層CL1、CL2、CL3、多個介電層DL、多個通道層ChL、多個穿隧隔離層TIL、多個電荷捕捉層CTL、多個電荷阻擋層CBL以及多個閘極電極G。多個導電層CL1、CL2、CL3以及多個介電層DL是沿一排列方向A彼此交錯配置，以使多個導電層CL1、CL2、CL3彼此電性隔離。舉例而言，多個導電層CL1、CL2、CL3以及多個介電層DL是依序堆疊於一基板SB之表面，因此，多個導電層CL1、CL2、CL3以及多個介電層DL之排列方向A即與基板SB之表面垂直。但不限於此，多個導電層CL1、CL2、CL3以及多個介電層DL之排列方向亦可與基板之表面平行。於一實施例中，導電層CL1、CL2、CL3可為鈦、鋁、錫以及銻錫氧化物至少其中之一；介電層DL可為氮化物或氧化物。

【0011】接續上述說明，多個通道層ChL設置於多個導電層CL1、CL2、CL3以及多個介電層DL彼此連接形成之一表面S，且表面S與排列方向A平行。以圖1所示之實施例為例，表面S即為多個導電層CL1、CL2、CL3以及多個介電層DL之側表面。於一實施例中，通道層ChL可為氧化銻鎵鋅、氧化銻鋅、氧化鋅、銻錫氧化物、氧化錫以及氧化鋅鋁至少其中之一。多個穿隧隔離層TIL、多個電荷捕捉層CTL、多個電荷阻擋層CBL以及多個閘極電極G則依序沿排列方向A之垂直方向(即遠離表面S)設置於通道層ChL上。

【0012】依據上述結構，沿排列方向A之二個相鄰之導電層CL1、CL2、CL3可作為一電晶體之一源極以及一汲極，而源極以及汲極之間對應之閘極電極G可作為電晶體之閘極，如此即構成一記憶體單元(memory cell) MC1、MC2，且沿閘極電極G方向之多個記憶體單元即構成一記憶體單元串(memory cell string)。於一實施例中，記憶體單元可為單階記憶體單元(single-level cell, SLC)或多階記憶體單元(multi-level cell, MLC)。可以理解的是，同一導電層可作為一記憶體單元之源極以及另一導電層之汲極。舉例而言，導電層CL2可作為記憶體單元MC1之汲極以及記憶體單元MC2之源極。多個記憶體單元串能夠以行列的方式配置，如圖2所示，以形成三維架構之記憶體單元。

【0013】請再參照圖2，記憶體單元串之閘極電極G彼此連接，可作為一字元線WL。而與排列方向A垂直之一平面(即同一導電層)上之一行方向或一列方向之多個記憶體單元之源極/汲極彼此連接，可作為一位元線BL1、BL2、BL3。依據此架構，藉由字元線WL以及位元線BL1、BL2即可存取記憶體單元MC1。或者，藉由字元線WL以及位元線BL2、BL3即可存取記憶體單元MC2。同理，三維架構之記憶體單元亦具備隨機存取之能力。舉例而言，請參照圖2，藉由字元線WL31以及位元線BL14、BL13即可存取記憶體單元MCa；藉由字元線WL32以及位元線BL24、BL23即可存取記憶體單元MCb。

第5頁，共9頁(發明說明書)

【0014】請參照圖3，為了減少位元線的數量，於一實施例中，與排列方向A(如圖1所示)垂直之平面(即同一導電層)上之行方向以及列方向之記憶體單元(即所有記憶體單元)之源極/汲極皆彼此連接，以作為一位元線BL1、BL2、BL3、BL4。如此，藉由字元線WL31以及位元線BL1、BL2即可存取記憶體單元MCa；藉由字元線WL32以及位元線BL1、BL2即可存取記憶體單元MCb。

【0015】圖3所示之架構能夠以圖4以及圖5所示之實施例加以實現。舉例而言，可在交錯堆疊之多個導電層CL1、CL2、CL3以及多個介電層DL上形成多個貫孔H，以曝露出多個導電層CL1、CL2、CL3以及多個介電層DL之側壁，即表面S。在每一貫孔H之內側表面依序形成通道層ChL、穿隧隔離層TIL、電荷捕捉層CTL、電荷阻擋層CBL以及閘極電極G即可形成如圖5所示之結構，並形成三維架構之記憶體單元。

【0016】請參照圖6，為了減少字元線的數量，於一實施例中，行方向或列方向之多個記憶體單元串之閘極電極進一步彼此連接，以作為一字元線WL1、WL2、WL3。圖6所示之實施例是將列方向之多個記憶體單元串之閘極電極進一步連接。依據此架構，藉由字元線WL3以及位元線BL14、BL13即可存取記憶體單元MCa；藉由字元線WL3以及位元線BL24、BL23即可存取記憶體單元MCb。

【0017】圖6所示之架構則能夠以圖7所示之實施例加以實現。舉例而言，可在交錯堆疊之多個導電層CL1、CL2、CL3以及多個介電層DL上形成多個溝槽，以使多個導電層CL1、CL2、CL3以及多個介電層DL形成行列排列之柱狀結構，以曝露出多個導電層CL1、CL2、CL3以及多個介電層DL之側壁。接著，在每一柱狀結構之側壁依序形成通道層ChL、穿隧隔離層、電荷捕捉層、電荷阻擋層(以符號ONO表示)以及閘極電極G，其中行方向或列方向之柱狀結構之閘極電

極G彼此連接，如此即可形成如圖7所示之結構，亦即圖6所示之三維架構之記憶體單元。

【0018】請參照圖8，以說明本發明一實施例之三維反或型快閃記憶體之製造方法。首先，提供一基板(S81)，並在基板上形成多個導電層以及多個介電層(S82)。如前所述，多個導電層以及多個介電層是沿一排列方向A交錯配置，以使多個導電層彼此電性隔離。於一實施例中，排列方向A是垂直於基板，亦即多個導電層以及多個介電層是交錯堆疊於基板之表面，如圖1所示。接著，形成多個通道層於多個導電層以及多個介電層中與排列方向平行之一表面(S84)。於一實施例中，在步驟S84之前，可先以蝕刻或其它適當方式在多個導電層以及多個介電層上形成多個貫孔H貫穿多個導電層，以曝露出多個導電層以及多個介電層之側表面，如圖4所示。或者，形成溝槽於多個導電層以及多個介電層，使多個導電層以及多個介電層成為柱狀結構，以曝露出多個導電層以及多個介電層之側表面(S83)。如此，通道層即可形成於多個導電層以及多個介電層之側表面。最後，依序形成多個穿隧隔離層、多個電荷捕捉層、多個電荷阻擋層以及多個閘極電極於多個通道層上(S85、S86)，即可完成如圖1所示之三維架構之記憶體單元。三維架構之記憶體單元之詳細說明已如前所述，在此不再贅述。需注意者，藉由適當調整製程，導電層以及介電層之排列方向與基板之表面平行亦可實現本發明。

【0019】可以理解的是，本發明之三維架構與習知之NAND flash之三維架構類似，因此，一些製造NAND flash之半導體製程亦可應用於本發明之三維反或型快閃記憶體。需注意的是，NAND flash之字元線是垂直於通道層，而本發明之三維反或型快閃記憶體之字元線則是與通道層平行。此外，本發明之三維反或型快閃記憶體之每一記憶體單元皆可藉由相對應之字元線以及位元線定址並存取。

【0020】綜合上述，本發明之三維反或型快閃記憶體及其製造方法是以彼此電性隔離之導電層作為電晶體之源極/汲極，因而對每一記憶體單元定址，且使記憶體單元能夠以三維架構實現，因而提高單位晶片面積之位元密度，進而降低每位元之製造成本。

【0021】以上所述之實施例僅是為說明本發明之技術思想及特點，其目的在使熟習此項技藝之人士能夠瞭解本發明之內容並據以實施，當不能以之限定本發明之專利範圍，即大凡依本發明所揭示之精神所作之均等變化或修飾，仍應涵蓋在本發明之專利範圍內。

【符號說明】

【0022】

A	排列方向
BL1、BL2、BL3、BL4	位元線
BLxy	位元線
CBL	電荷阻擋層
ChL	通道層
CL1、CL2、CL3	導電層
CTL	電荷捕捉層
DL	介電層
G	閘極電極
H	貫孔
MC1、MC2	記憶體單元
MCa、MCb	記憶體單元

ONO	穿隧隔離層、電荷捕捉層及電荷阻擋層
S	表面
SB	基板
S81~S86	步驟
TIL	穿隧隔離層
WL、WL1、WL2、WL3	字元線
WLxy	字元線

【發明申請專利範圍】

【第1項】 一種三維反或型快閃記憶體，包含：

多個導電層；

多個介電層，其與該多個導電層沿一排列方向交錯配置，以使該多個導電層彼此電性隔離；

多個通道層，其設置於該多個導電層以及該多個介電層之一表面，其中該表面與該排列方向平行；

多個穿隧隔離層，其沿該排列方向之垂直方向設置於該通道層；

多個電荷捕捉層，其沿該排列方向之垂直方向設置於該穿隧隔離層；

多個電荷阻擋層，其沿該排列方向之垂直方向設置於該電荷捕捉層；以及

多個閘極電極，其沿該排列方向之垂直方向設置於該電荷阻擋層，其中，沿該排列方向之二個相鄰該導電層分別作為一電晶體之一源極以及一汲極，並與該閘極電極定義一記憶體單元 (memory cell)，以形成行列排列之多個記憶體單元串，其中每一該記憶體單元串之該閘極電極彼此連接以作為一字元線，且與該排列方向垂直之一平面上之一行方向或一列方向之多個該記憶體單元之該源極/該汲極彼此連接以作為一位元線。

【第2項】 如請求項1所述之三維反或型快閃記憶體，其中與該排列方向垂直之該平面上之所有該記憶體單元之該源極/該汲極彼此連接以作為該位元線。

【第3項】如請求項1所述之三維反或型快閃記憶體，其中該行方向或該列方向之多個該記憶體單元串之該閘極電極彼此連接以作為該字元線。

【第4項】如請求項1所述之三維反或型快閃記憶體，其中該排列方向垂直於一基板。

【第5項】如請求項1所述之三維反或型快閃記憶體，其中該導電層包含鈦、鋁、錫以及銻錫氧化物至少其中之一。

【第6項】如請求項1所述之三維反或型快閃記憶體，其中該介電層包含氮化物或氧化物。

【第7項】如請求項1所述之三維反或型快閃記憶體，其中該通道層包含氧化銻鎳鋅、氧化銻鋅、氧化鋅、銻錫氧化物、氧化錫以及氧化鋅鋁至少其中之一。

【第8項】如請求項1所述之三維反或型快閃記憶體，其中該記憶體單元包含一多階記憶體單元。

【第9項】一種三維反或型快閃記憶體之製造方法，包含：

提供一基板；

形成多個導電層以及多個介電層於該基板，其中，該多個導電層以及該多個介電層沿一排列方向交錯配置，以使該多個導電層彼此電性隔離；

形成多個通道層於該多個導電層以及該多個介電層之一表面，其中該表面與該排列方向平行；

沿該排列方向之垂直方向依序形成多個穿隧隔離層、多個電荷捕捉層以及多個電荷阻擋層於該通道層；

沿該排列方向之垂直方向形成多個閘極電極於該多個電荷阻擋層，其中，沿該排列方向之二個相鄰該導電層分別作為一電晶體之一源極以及一汲極，並與該閘極電極定義一記憶體單元 (memory cell)，以形成行列排列之多個記憶體單元串，其中每一該記憶體單元串之該閘極電極彼此連接以作為一字元線，且與該排列方向垂直之一平面上之一行方向或一列方向之多個該記憶體單元之該源極/該汲極彼此連接以作為一位元線。

【第10項】如請求項9所述之三維反或型快閃記憶體之製造方法，其中與該排列方向垂直之該平面上之所有該記憶體單元之該源極/該汲極彼此連接以作為該位元線。

【第11項】如請求項9所述之三維反或型快閃記憶體之製造方法，其中該行方向或該列方向之多個該記憶體單元串之該閘極電極彼此連接以作為該字元線。

【第12項】如請求項9所述之三維反或型快閃記憶體之製造方法，其中該排列方向垂直該基板。

【第13項】如請求項12所述之三維反或型快閃記憶體之製造方法，更包含：
形成多個貫孔或多個溝槽於該導電層以及該介電層，以曝露出該多個導電層以及該多個介電層之該表面。

【第14項】如請求項9所述之三維反或型快閃記憶體之製造方法，其中該導電層包含鈦、鋁、錫以及銻錫氧化物至少其中之一。

【第15項】如請求項9所述之三維反或型快閃記憶體之製造方法，其中該介電層包含氮化物或氧化物。

【第16項】如請求項9所述之三維反或型快閃記憶體之製造方法，其中該通道層包含氧化銻鎵鋅、氧化銻鋅、氧化鋅、銻錫氧化物、氧化錫以及氧化鋅鋁至少其中之一。

【第17項】如請求項9所述之三維反或型快閃記憶體之製造方法，其中該記憶體單元包含一多階記憶體單元。

【發明圖式】

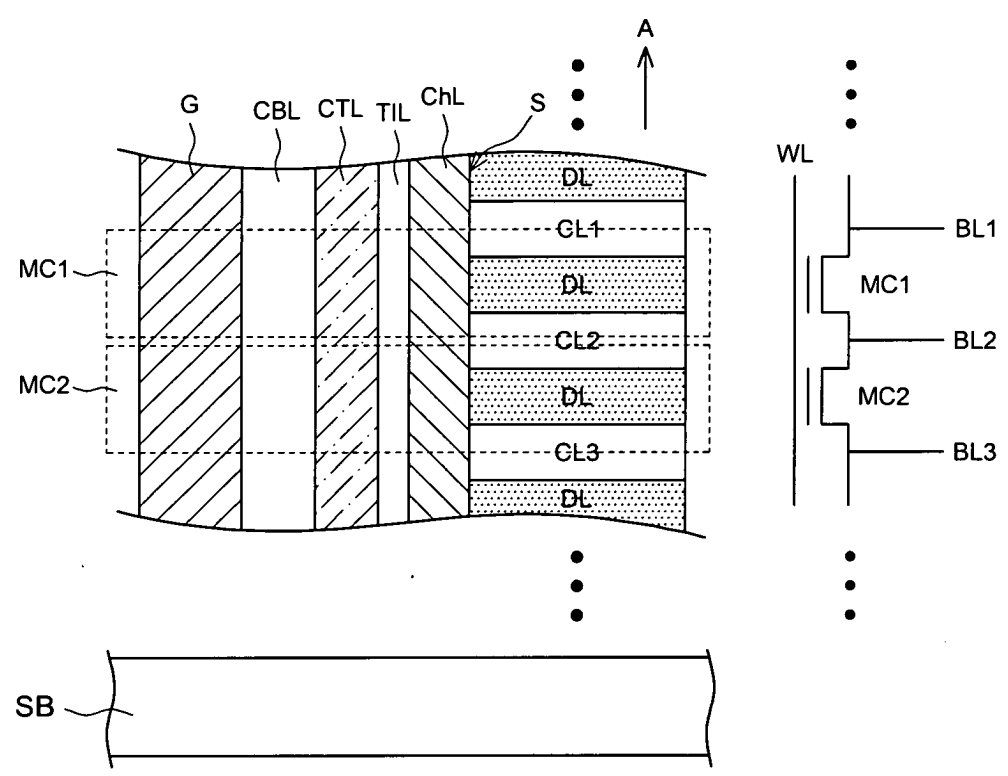


圖 1

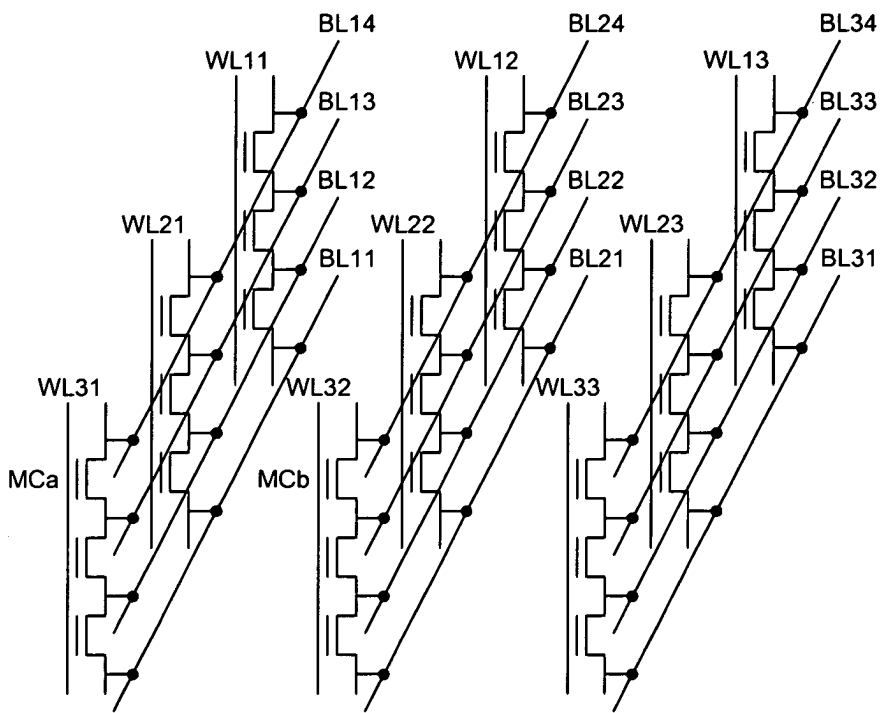


圖 2

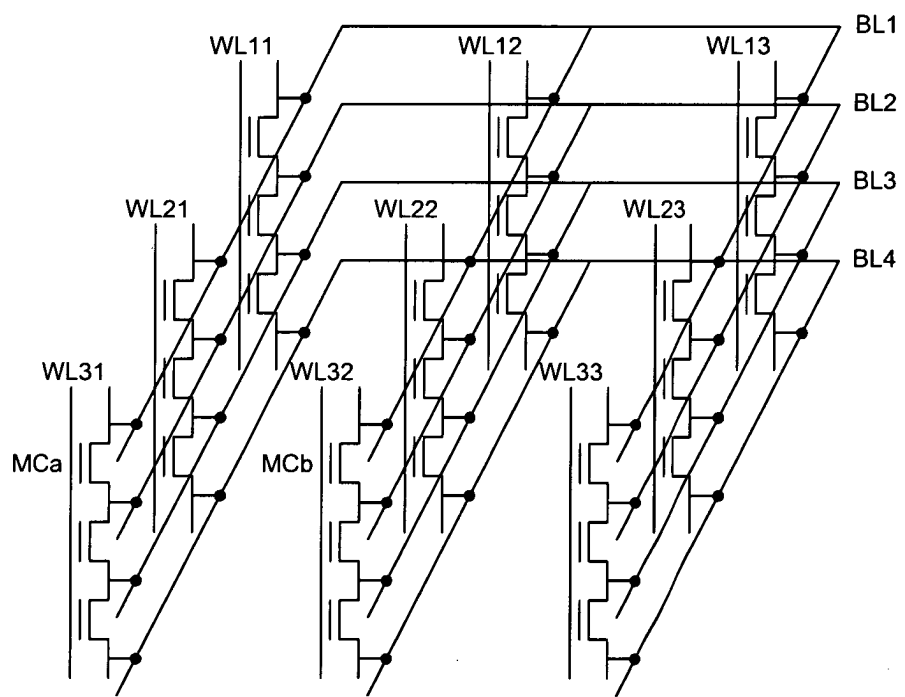


圖 3

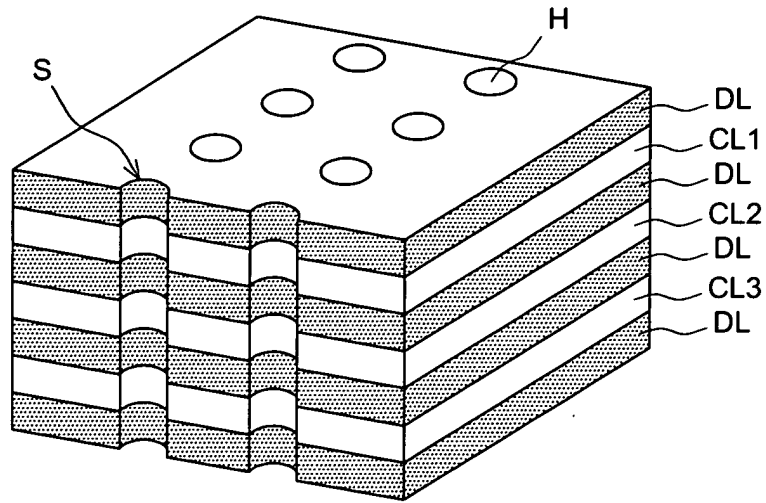


圖 4

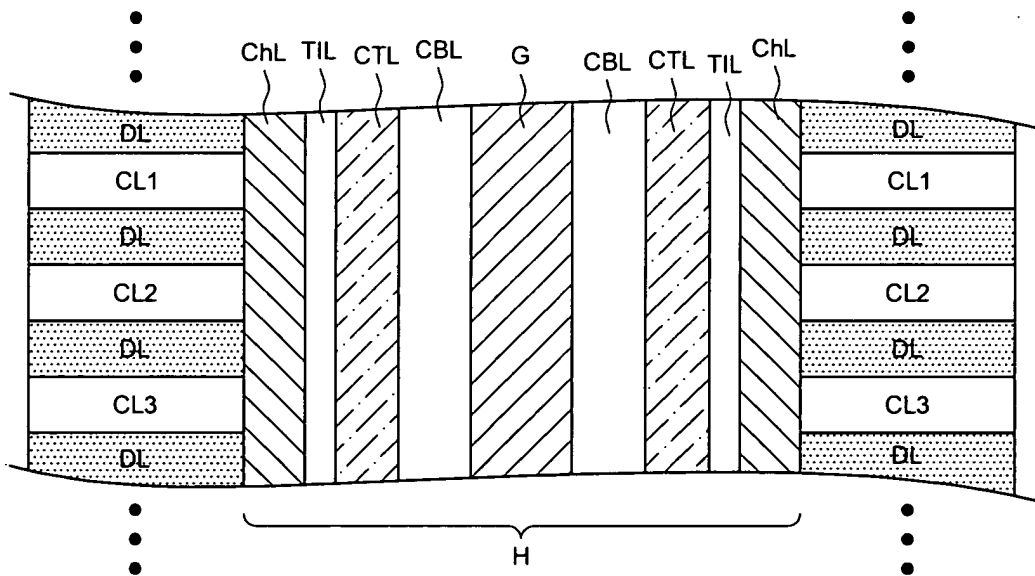


圖 5

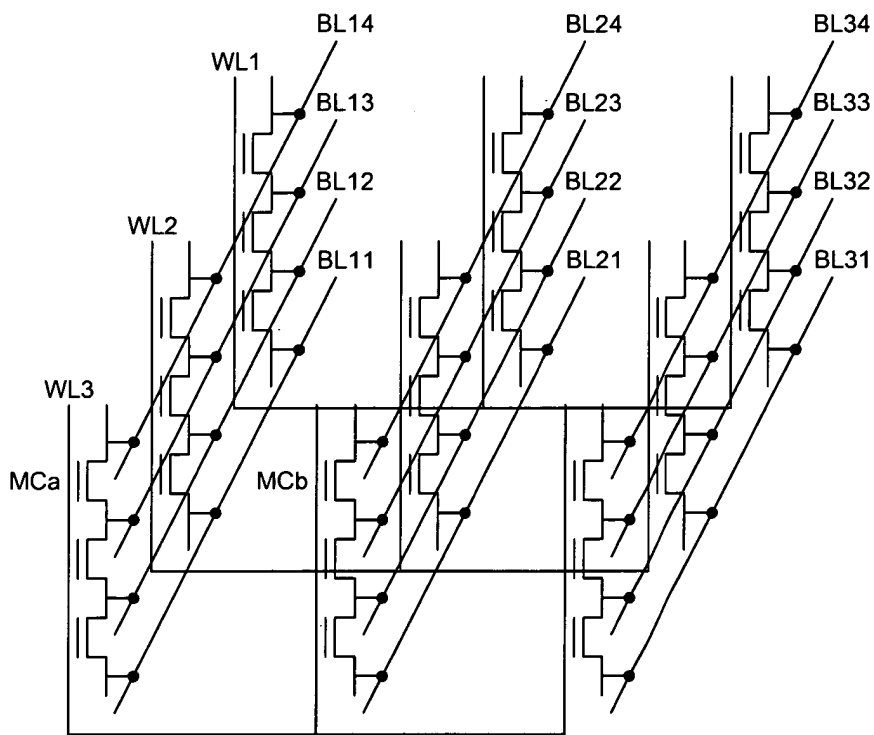


圖 6

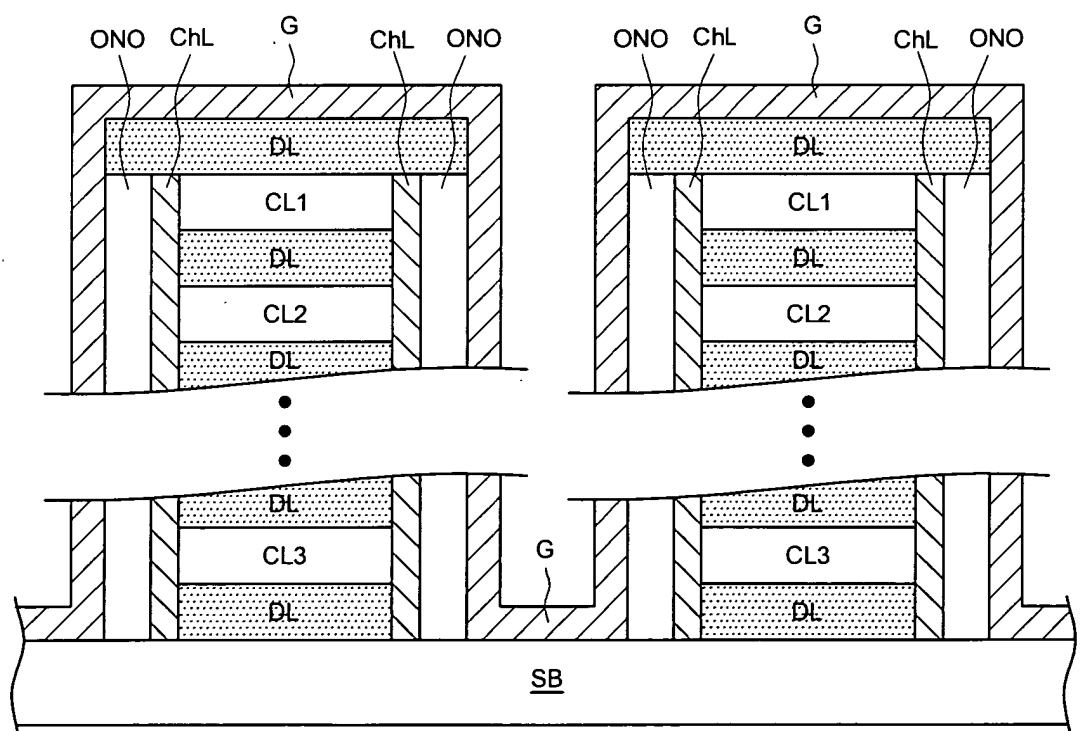


圖 7

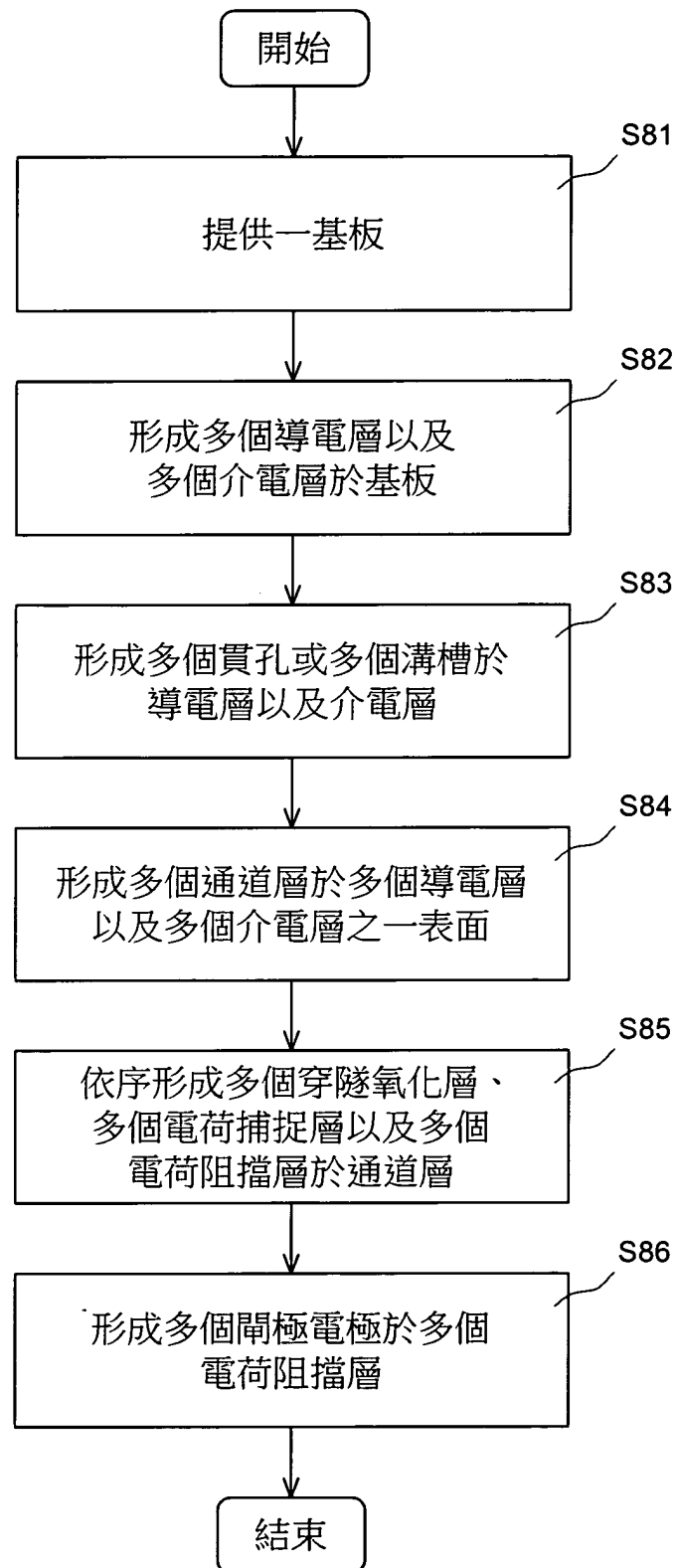


圖 8