



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201640470 A

(43) 公開日：中華民國 105 (2016) 年 11 月 16 日

(21) 申請案號：104115347

(22) 申請日：中華民國 104 (2015) 年 05 月 14 日

(51) Int. Cl. : G09G3/20 (2006.01)

(71) 申請人：凌巨科技股份有限公司 (中華民國) GIANTPLUS TECHNOLOGY CO., LTD (TW)

苗栗縣頭份市蘆竹里工業路 15 號

國立交通大學 (中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

(72) 發明人：劉柏村 LIU, PO-TSUN (TW)；鄭光廷 ZHENG, GUANG-TING (TW)；張哲豪 CHANG, CHE-HAO (TW)；周凱茹 CHOU, KAI-JU (TW)；吳哲耀 WU, CHE-YAO (TW)；賴谷皇 LAI, KU-HUANG (TW)；康鎮璽 KANG, CHEN-HSI (TW)；陳品充 CHEN, PIN-CHUNG (TW)

(74) 代理人：蔡秀玫

申請實體審查：有 申請專利範圍項數：10 項 圖式數：4 共 24 頁

(54) 名稱

單級閘極驅動電路之多輸出設計

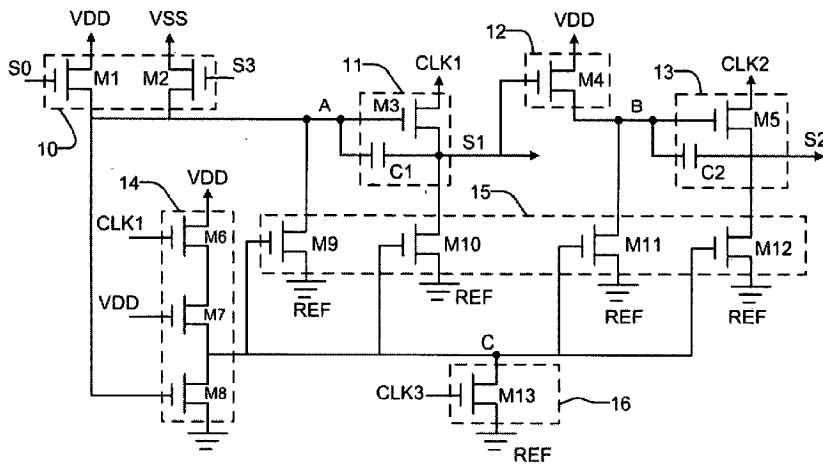
A SINGLE STAGE GATE DRIVE CIRCUIT WITH MULTIPLEX OUTPUTS

(57) 摘要

本發明係一種單級閘極驅動電路之多輸出設計，單級閘極驅動電路具有一第一掃描電路及一第二掃描電路，第一掃描電路包含一設定單元及一驅動單元，設定單元接收一起始訊號產生一控制訊號。驅動單元接收控制訊號及一第一時脈訊號，控制訊號及第一時脈訊號使驅動單元產生一第一掃描訊號。驅動單元依據第一時脈訊號驅動第一掃描訊號提升至一第一準位，驅動單元依據第一時脈訊號驅動第一掃描訊號降低至一第二準位。第二掃描電路接收第一掃描訊號及一第二時脈訊號，第二掃描電路依據第一掃描訊號及第二時脈訊號產生一第二掃描訊號。

A single stage gate drive circuit with multiplex outputs is provided. The circuit has a first scan circuit and a second scan circuit. The first scan circuit includes a set unit and a drive unit. The set unit receives a start signal to generate a control signal. The drive unit receives the control signal and a first clock signal, the control signal and the first clock signal drive the drive unit to generate a first scan signal. The drive unit elevates the first scan signal to a first level in response to the first clock signal. The drive unit drives the first scan signal decreasing to a second level in response to the first clock signal. The second scan circuit receives the first scan signal and a second clock signal, and generates a second scan signal in response to the first scan signal and the second clock signal.

指定代表圖：



第二圖

1

符號簡單說明：

1 . . . 第一單級閘極
驅動電路

10 . . . 設定單元

11 . . . 驅動單元

12 . . . 設定單元

13 . . . 驅動單元

14 . . . 控制單元

15 . . . 抗雜訊單元

16 . . . 保護單元

A . . . 控制訊號

B . . . 控制訊號

C . . . 控制訊號

CLK1 . . . 第一時脈
訊號CLK2 . . . 第二時脈
訊號CLK3 . . . 第三時脈
訊號M1 . . . 第一設定元
件M2 . . . 第二設定元
件

M3 . . . 驅動元件

M4 . . . 設定元件

M5 . . . 驅動元件

M6 . . . 電晶體

M7 . . . 電晶體

M8 . . . 電晶體

M9 . . . 第一電晶體

M10 . . . 第二電晶
體M11 . . . 第三電晶
體M12 . . . 第四電晶
體

M13 . . . 電晶體

REF . . . 參考準位

S0 . . . 起始訊號

S1 . . . 第一掃描訊
號

S2 . . . 第二掃描訊
號

S3 . . . 第三掃描訊
號

VDD . . . 第一電源

VSS . . . 第二電源



申請日: 104. 5. 14

IPC分類:

6.963/20 (2006.01)

201640470

【發明摘要】**【中文發明名稱】** 單級閘極驅動電路之多輸出設計**【英文發明名稱】** A single stage gate drive circuit with multiplex outputs**【中文】**

本發明係一種單級閘極驅動電路之多輸出設計，單級閘極驅動電路具有一第一掃描電路及一第二掃描電路，第一掃描電路包含一設定單元及一驅動單元，設定單元接收一起始訊號產生一控制訊號。驅動單元接收控制訊號及一第一時脈訊號，控制訊號及第一時脈訊號使驅動單元產生一第一掃描訊號。驅動單元依據第一時脈訊號驅動第一掃描訊號提升至一第一準位，驅動單元依據第一時脈訊號驅動第一掃描訊號降低至一第二準位。第二掃描電路接收第一掃描訊號及一第二時脈訊號，第二掃描電路依據第一掃描訊號及第二時脈訊號產生一第二掃描訊號。

【英文】

A single stage gate drive circuit with multiplex outputs is provided. The circuit has a first scan circuit and a second scan circuit. The first scan circuit includes a set unit and a drive unit. The set unit receives a start signal to generate a control signal. The drive unit receives the control signal and a first clock signal, the control signal and the first clock signal drive the drive unit to generate a first scan signal. The drive unit elevates the first scan signal to a first level in response to the first clock signal. The drive unit drives the first scan signal decreasing to a second level in response to the first clock signal. The second scan circuit receives the first scan signal and a second clock signal, and generates a second scan signal in response to the first scan signal and the second clock signal.

【指定代表圖】 第二圖

【代表圖之符號簡單說明】

1 第一單級閘極驅動電路

10 設定單元

11 驅動單元

12 設定單元

13 驅動單元

14 控制單元

15 抗雜訊單元

16 保護單元

A 控制訊號

B 控制訊號

C 控制訊號

CLK1 第一時脈訊號

CLK2 第二時脈訊號

CLK3 第三時脈訊號

M1 第一設定元件

M2 第二設定元件

M3 驅動元件

M4 設定元件

M5 驅動元件

M6 電晶體

M7 電晶體

M8 電晶體

M9 第一電晶體

M10 第二電晶體

M11 第三電晶體

M12 第四電晶體

M13 電晶體

REF 參考準位

S0 起始訊號

S1 第一掃描訊號

S2 第二掃描訊號

S3 第三掃描訊號

VDD 第一電源

VSS 第二電源

【特徵化學式】

無

【發明說明書】

【中文發明名稱】 單級閘極驅動電路之多輸出設計

【英文發明名稱】 A single stage gate drive circuit with multiplex outputs

【技術領域】

【0001】 本發明係關於一種單級閘極驅動電路，尤其是關於一種單級閘極驅動電路之多輸出設計。

【先前技術】

【0002】 按，薄膜電晶體顯示器已成為現在顯示科技產品的主流，尤其應用於手機上有輕巧及方便攜帶等特點，而且非晶矽薄膜電晶體相對於多晶矽薄膜電晶體而言，使用非晶矽薄膜電晶體所製作的顯示器能夠降低生產成本，且能夠在低溫下製作在大面積的玻璃基板上，而提高生產速率。

【0003】 隨著系統整合式玻璃面板的概念陸續提出，近來許多產品將顯示器驅動電路中的閘極掃描電路整合在玻璃上，即為GOA（Gate-Driver-on-Array）電路，GOA電路具有諸多優勢，除了可以減少顯示器邊框的面積外，更能夠減少閘極掃描驅動電路IC的使用。

【0004】 鑒於顯示器窄邊框的需求，本發明提出降低單級閘極驅動電路面積需求的技術。

【發明內容】

【0005】 本發明之目的之一，為提供一種單級閘極驅動電路，其可以提升

掃描線充放電速度。

【0006】 本發明之目的之一，為提供一單級閘極驅動電路，其利用多輸出設計達到佈局面積的減少。

【0007】 為達以上目的，本發明提供一種單級閘極驅動電路，其具有多個掃描電路而為多輸出設計，其中一第一掃描電路包含一設定單元與一驅動單元，設定單元接收一起始訊號產生一控制訊號，驅動單元耦接設定單元並接收控制訊號及一第一時脈訊號，控制訊號及第一時脈訊號使驅動單元產生一第一掃描訊號。驅動單元依據第一時脈訊號驅動第一掃描訊號提升至一第一準位，驅動單元依據第一時脈訊號驅動第一掃描訊號降低至一第二準位，第一準位高於第二準位。一第二掃描電路耦接第一掃描電路，並接收第一掃描訊號及一第二時脈訊號，第二掃描電路依據第一掃描訊號及第二時脈訊號產生一第二掃描訊號。

【圖式簡單說明】

【0008】 第一圖：其係為本發明之多級閘極驅動電路的串接之一實施例的圖示；

第二圖：其係為本發明之單級閘極驅動電路之多輸出設計之一實施例的電路圖；

第三圖：其係為本發明之單級閘極驅動電路之多輸出設計的時序圖；

第四圖：其係為本發明第二圖之下一級閘極驅動電路之多輸出設計的電路圖；

【實施方式】

【0009】 為使 貴審查委員對本發明之特徵及所達成之功效有更進一步之

瞭解與認識，謹佐以實施例及配合詳細之說明，說明如後：

【0010】請參閱第一圖，其係為本發明之多級閘極驅動電路的串接之一實施例的圖示。如圖所示為多級閘極驅動電路1、2、3串接，且每一級閘極驅動電路1、2、3皆分別輸出兩個掃描訊號S1~S6。本發明的第一閘極驅動電路1接收一起始訊號S0、一第一時脈訊號CLK1與一第二時脈訊號CLK2產生一第一掃描訊號S1與一第二掃描訊號S2，第一掃描訊號S1與第二掃描訊號S2透過複數掃描線控制複數像素，其中第二掃描訊號S2亦是一第二單級閘極驅動電路2的起始訊號，同理第二單級閘極驅動電路2輸出的掃描訊號S4亦是第三單級閘極驅動電路3的起始訊號。換言之，單級閘極驅動電路1若非第一級時，單級閘極驅動電路1同樣會接收前一級閘極驅動電路的掃描訊號作為起始訊號S0。

【0011】請參閱第二圖，其係為本發明之單級閘極驅動電路1之多輸出設計之一實施例的電路圖。如圖所示，第一單級閘極驅動電路1具有兩個掃描電路，一第一掃描電路包含一設定單元10與一驅動單元11，一第二掃描電路包含一設定單元12與一驅動單元13。設定單元10接收起始訊號S0與一第一電源VDD而產生一控制訊號A，驅動單元11耦接設定單元10並接收控制訊號A與第一時脈訊號CLK1，控制訊號A控制驅動單元11依據第一時脈訊號CLK1產生第一掃描訊號S1，換言之，控制訊號A與第一時脈訊號CLK1使驅動單元11產生第一掃描訊號S1。第二掃描電路的設定單元12耦接第一掃描電路的驅動單元11，並接收第一掃描訊號S1與第一電源VDD而產生一控制訊號B。驅動單元13耦接設定單元12，並接收控制訊號B與第二時脈訊號CLK2，控制訊號B控制驅動單元13依據第二時

脈訊號CLK2產生第二掃描訊號S2，換言之，控制訊號B與第二時脈訊號CLK2使驅動單元13產生第二掃描訊號S2。如此本發明的第一單級閘極驅動電路1輸出第一掃描訊號S1與第二掃描訊號S2，而為一單級閘極驅動電路的多輸出設計。

【0012】復參閱第一圖與第二圖，第一掃描電路的設定單元10包含一第一設定元件M1與一第二設定元件M2，第一設定元件M1具有一輸入端、一控制端及一輸出端，輸入端接收第一電源VDD，控制端接收起始訊號S0，輸出端耦接驅動單元11，第一設定元件M1依據起始訊號S0及第一電源VDD產生控制訊號A。第二設定元件M2具有一輸入端、一控制端及一輸出端，輸入端接收一第二電源VSS，控制端接收一第二單級閘極驅動電路2輸出的一第三掃描訊號S3，輸出端耦接驅動單元11，第二設定元件M2依據第三掃描訊號S3及第二電源VSS設定控制訊號A，換言之，第三掃描訊號S3將控制訊號A設定為第二電源VSS的準位。若第二電源VSS的準位為一地電位，則第三掃描訊號S3將控制訊號A設定為地電位，如此第三掃描訊號S3使控制訊號A放電而降低為地電位，所以驅動單元11不會產生第一掃描訊號S1。

【0013】再者，第一掃描電路的驅動單元11包含一驅動元件M3與一電容器C1，驅動元件M3具有一輸入端、一控制端及一輸出端，輸入端接收第一時脈訊號CLK1，控制端耦接設定單元10，輸出端耦接第二掃描電路的設定單元12，驅動元件M3依據第一時脈訊號CLK1及控制訊號A而產生第一掃描訊號S1。如此，第一掃描電路之驅動單元11的輸出端輸出第一掃描訊號S1，第一掃描訊號S1耦接第二掃描電路之設定單元12，以使第二掃描電路產生第二掃描訊號S2。

- 【0014】 參閱第二圖，第一掃描電路還包含一電容器C1，電容器C1耦接於驅動元件M3的控制端與輸出端之間。因此，當控制訊號A未控制驅動元件M3導通時，電容器C1之一第一端的準位為控制訊號A的準位，當控制訊號A控制驅動元件M3導通時，電容器C1之一第二端的準位為第一時脈訊號CLK1的準位，而且電容器C1之第一端的準位改為控制訊號A的準位加上第一時脈訊號CLK1的準位。如此，當第一時脈訊號CLK1為一高準位時，電容器C1的第一端為控制訊號A的準位加上第一時脈訊號CLK1的準位；即電容器C1依據控制訊號A及第一時脈訊號CLK1提升第一掃描訊號S1的準位。
- 【0015】 承接上述，當第一時脈訊號CLK1為一低準位（例如：一地電位）時，電容器C1的第一端為控制訊號A的準位。換言之，驅動元件M3的控制端會依據第一時脈訊號CLK1提升準位或降低準位而產生第一掃描訊號S1，或者可以說本發明的單級閘極驅動電路1利用驅動單元11、13就可以完成掃描線的充電與放電工作，而大幅減少電路面積並提升對掃描線的充電速度。
- 【0016】 此外，如第二圖所示，第一掃描電路的控制訊號A僅需要控制驅動元件M3而無須控制驅動元件M5，第二掃描電路的控制訊號B同樣僅需要控制驅動元件M5而無須控制其他驅動元件，所以本發明的單級閘極驅動電路1的輸出負載較低，以至於單級閘極驅動電路1的輸出能力較好。
- 【0017】 復參閱第二圖，本發明的單級閘極驅動電路1具有一抗雜訊電路，抗雜訊電路耦接第一掃描電路及第二掃描電路，並接收第一時脈訊號CLK1以降低第一掃描電路1的雜訊及第二掃描電路的雜訊，此處所指發生雜訊的地方為驅動元件M3、M5的控制端與輸出端

的雜訊。抗雜訊電路包含一控制單元14、抗雜訊單元15與一保護單元16，控制單元14接收第一電源VDD、第一時脈訊號CLK1及控制訊號A。

【0018】 承接上述，控制單元14包含複數電晶體M6~M8，第一電源VDD控制電晶體M7處於導通狀態，第一時脈訊號CLK1控制電晶體M6為導通或截止狀態，同樣的，控制訊號A控制電晶體M8為導通或截止狀態。其中，控制訊號A控制電晶體M8導通時，控制訊號C為參考準位REF，因此抗雜訊電路未啓用抗雜訊工作，換言之，控制訊號A控制抗雜訊電路未啓用抗雜訊工作。當控制訊號A控制電晶體M8截止時，若第一時脈訊號CLK1控制電晶體M6導通，則控制訊號C為第一電源VDD的準位，如此抗雜訊電路啓用抗雜訊工作，換言之，第一電源VDD及第一時脈訊號CLK1控制抗雜訊電路啓用抗雜訊工作。

【0019】 參閱第二圖，抗雜訊單元15包含一第一電晶體M9、一第二電晶體M10、一第三電晶體M11與一第四電晶體M12，第一電晶體M9具有一輸入端、一控制端及一輸出端，輸入端耦接第一掃描電路之驅動單元11，控制端耦接控制單元14，輸出端耦接一參考準位REF，第一電晶體M9使第一掃描電路之驅動單元11之一控制端的準位穩定於參考準位REF。第二電晶體M10具有一輸入端、一控制端及一輸出端，輸入端耦接第一掃描電路之驅動單元11，控制端耦接控制單元14，輸出端耦接參考準位REF，第二電晶體M10使第一掃描電路之驅動單元11之輸出端的準位穩定於參考準位REF。

【0020】 承接上述，第三電晶體M11具有一輸入端、一控制端及一輸出端，輸入端耦接第二掃描電路之一驅動單元13，控制端耦接控制單

元14，輸出端耦接參考準位REF，第三電晶體M11使第二掃描電路之驅動單元13之控制端的準位穩定於參考準位REF。第四電晶體M12具有一輸入端、一控制端及一輸出端，輸入端耦接第二掃描電路之驅動單元13，控制端耦接控制單元14，輸出端耦接參考準位REF，第四電晶體M12使第二掃描電路之驅動單元13之輸出端的準位穩定於參考準位REF。換言之，當控制訊號C控制驅動單元11、13的控制端與輸出端為參考準位REF時，可以使驅動單元11、13的控制端與輸出端的電位穩定而避免雜訊的影響，如此掃描線將不會受到訊號耦合的影響。

【0021】 參閱第二圖，保護單元16可以為一電晶體M13，電晶體M13具有一輸入端、一控制端及一輸出端，輸入端耦接第一電晶體M9、第二電晶體M10、第三電晶體M11與第四電晶體M12，控制端接收一第三時脈訊號CLK3，輸出端耦接參考準位REF。當第一時脈訊號CLK1與第二時脈訊號CLK2非為一參考準位時（例如：地電位），第一時脈訊號CLK1與第二時脈訊號CLK2對掃描線會有耦合雜訊，因此第三時脈訊號CLK3控制電晶體M13截止，使控制訊號C維持於高準位，讓第一掃描電路與第二掃描電路的輸出維持於參考準位REF，而降低耦合雜訊對掃描線的影響。

【0022】 承接上述，反之，當第一時脈訊號CLK1與第二時脈訊號CLK2為一參考準位REF時，第一時脈訊號CLK1與第二時脈訊號CLK2對掃描線不會有耦合雜訊，因此第三時脈訊號CLK3控制電晶體M13放電，使控制訊號C改變為參考準位REF。換言之，本發明的保護單元16依據第三時脈訊號CLK3而週期性的將第一電晶體M9、第二電晶體M10、第三電晶體M11與第四電晶體M12的控制端維持於參考準

位REF，以避免耦合雜訊。

【0023】 基於上述，本發明的第一掃描電路與第二掃描電路共用一個抗雜訊電路，而減少抗雜訊電路的佈局面積。再者，本發明的抗雜訊電路會將驅動單元11、13的控制端與輸出端進行重置而維持於參考準位REF，如此單級閘極驅動電路1、2、3可以減少重置元件的設置，而亦可以縮減佈局面積。換言之，本發明的抗雜訊電路同時做到抗雜訊與重置的功能。故，本發明縮減閘極驅動電路之多處佈局面積而達到窄邊框的目的。

● 【0024】 請參閱第三圖，其係為本發明之單級閘極驅動電路之多輸出設計的時序圖。此時序圖為本發明單級閘極驅動電路的時序圖，也就是說，第一圖的第一單級閘極驅動電路1、第二單級閘極驅動電路2及第三單級閘極驅動電路3的操作方式與時序皆可以參考第三圖。

● 【0025】 於第一區間T1，起始訊號S0為高準位，第一設定元件M1與電晶體M8為導通狀態；如此，控制訊號A的準位被充電至第一電源VDD的準位，且因為第一時脈訊號CLK1與第二時脈訊號CLK2為參考準位REF，不會有耦合雜訊，所以控制訊號C經由電晶體M8放電而為參考準位REF；此時抗雜訊電路未啟用，且第一掃描訊號S1與第一時脈訊號CLK1同樣為參考準位REF。於第二區間T2，第一時脈訊號CLK1改變為高準位，且經由電容器C1的充電而將控制訊號A的準位提升為第一電源VDD的準位加上第一時脈訊號CLK1的準位，此時第一掃描訊號S1亦可以提升至高準位，第一掃描訊號S1並將掃描線充電至高準位；再者，第一掃描訊號S1會控制第二掃描電路的電晶體M5導通，因此控制訊號B的準位會提升第一電源VDD的

準位；此時第一掃描電路與第二掃描電路工作中，所以抗雜訊電路未啓用抗雜訊工作。

【0026】 於第三區間T3，第一時脈訊號CLK1降低至參考準位REF，則控制訊號A的準位降低至第一電源VDD的準位，且第一掃描訊號S1降低為參考準位REF；第二時脈訊號CLK2由參考準位REF改變為高準位，因此控制訊號B的準位為第一電源VDD的準位加上第二時脈訊號CLK2的準位；此時第二掃描訊號S2亦可以提升至高準位並充電掃描線；同理，第二掃描訊號S2會控制下一級閘級驅動電路的設定單元。於第四區間T4，第二時脈訊號CLK2降低為參考準位REF，控制訊號B的準位亦降低至第一電源VDD的準位，且第二掃描訊號S2也降低至參考準位REF；再者，因第三時脈訊號CLK3為高準位，所以第二單級閘極驅動電路2（第一圖）的第三掃描訊號S3提升至高準位，而第三掃描訊號S3更控制第一掃描電路的第二設定元件M2，將控制訊號A的準位從第一電源VDD的準位降低至第二電源VSS的準位（例如：參考準位REF）。

【0027】 於第五區間T5，此時於第一單級閘極驅動電路1內控制訊號B的準位維持於第一電源VDD的準位，而第四時脈訊號CLK4控制第二單級閘極驅動電路2產生第四掃描訊號S4。於第六區間T6，此時第一時脈訊號CLK1週期性的又為高準位，並控制控制單元14的電晶體M10導通，如此控制訊號C的準位為第一電源VDD的準位；而且，由於第一單級閘極驅動電路1目前不工作，所以為避免第一時脈訊號CLK1對掃描線有耦合雜訊，此區間不利用放電機制降低控制訊號C的準位，並且控制訊號C控制抗雜訊單元15啓用抗雜訊工作，如此可以使驅動單元11、13的控制端與輸出端為參考準位

REF，而降低第一時脈訊號CLK1的耦合雜訊。

【0028】於第七區間T7，第一時脈訊號CLK1為低準位（例如：參考準位REF），則電晶體M6為截止狀態，又第二時脈訊號CLK2週期性的又為高準位，但是控制訊號C的準位並未經由放電而降低，所以抗雜訊單元15仍執行抗雜訊工作中，而第二時脈訊號CLK2並不會對掃描線有耦合雜訊。於第八區間T8，第三時脈訊號CLK3控制電晶體M13導通，而將控制訊號C的準位降低至參考準位REF，則抗雜訊單元15停止執行抗雜訊工作；再者，因此區間內第一時脈訊號CLK1與第二時脈訊號CLK2為低準位，所以不會有耦合雜訊，而無須啓用抗雜訊工作。後續第九區間T9至第十一區間T11如前述第五區間T5至第七區間T7的說明，於此不再覆述。

【0029】由上述說明可以得知，顯示器之複數單級閘極驅動電路1、2、3，於運作時，第三時脈訊號CLK3同時控制單級閘極驅動電路1、2、3的第一單級閘極驅動電路1放電與第二單級閘極驅動電路2充電，第一時脈訊號CLK1同時控制單級閘極驅動電路1、2、3的第二單級閘極驅動電路2放電與第三單級閘極驅動電路3充電。

【0030】請參閱第四圖，其係為本發明第三圖之下一級閘極驅動電路之多輸出設計的電路圖。如圖所示，其為第二單級閘極驅動電路2，第四圖所欲呈現出與第二圖不同的是，第四圖的閘極驅動電路2運作時接收的訊號是前一級閘極驅動電路1的第二掃描訊號S2、後一級的一第五掃描訊號S5、第三時脈訊號CLK3、第四時脈訊號CLK4與第一時脈訊號CLK1，但是其運作方式與第二圖所示的閘極驅動電路1相同。再者，此差異可以參閱第一圖，就可以明顯的看出運作時第二單級閘極驅動電路2所接收的訊號與第一單級閘

極驅動電路1的差異之處。

【0031】 綜上所述，本發明提供一種單級閘極驅動電路，其具有多個掃描電路而為多輸出設計，其中一第一掃描電路包含一設定單元與一驅動單元，設定單元接收一起始訊號產生一控制訊號，驅動單元耦接設定單元並接收控制訊號及一第一時脈訊號，控制訊號及第一時脈訊號使驅動單元產生一第一掃描訊號。驅動單元依據第一時脈訊號驅動第一掃描訊號提升至一第一準位，驅動單元依據第一時脈訊號驅動第一掃描訊號降低至一第二準位，第一準位高於第二準位。一第二掃描電路耦接第一掃描電路，並接收第一掃描訊號及一第二時脈訊號，第二掃描電路依據第一掃描訊號及第二時脈訊號產生一第二掃描訊號。

【符號說明】

- 1 第一單級閘極驅動電路
- 2 第二單級閘極驅動電路
- 3 第三單級閘極驅動電路
- 10 設定單元
- 11 驅動單元
- 12 設定單元
- 13 驅動單元
- 14 控制單元
- 15 抗雜訊單元
- 16 保護單元
- A 控制訊號
- B 控制訊號

C 控制訊號

CLK1 第一時脈訊號

CLK2 第二時脈訊號

CLK3 第三時脈訊號

CLK4 第四時脈訊號

D 控制訊號

E 控制訊號

F 控制訊號

M1 第一設定元件

M2 第二設定元件

M3 驅動元件

M4 設定元件(在圖式中出現，但說明書中並未點出)

M5 驅動元件

M6 電晶體

M7 電晶體

M8 電晶體

M9 第一電晶體

M10 第二電晶體

M11 第三電晶體

M12 第四電晶體

M13 電晶體

REF 參考準位

S0 起始訊號

S1 第一掃描訊號

S2 第二掃描訊號

S3 第三掃描訊號

S4 第四掃描訊號

S5 第五掃描訊號

S6 第六掃描訊號

S7 第七掃描訊號

T1 第一區間

T2 第二區間

T3 第三區間

T4 第四區間

T5 第五區間

T6 第六區間

T7 第七區間

T8 第八區間

T9 第九區間

T10 第十區間

T11 第十一區間

VDD 第一電源

VSS 第二電源

【發明申請專利範圍】

【第1項】 一種單級閘極驅動電路之多輸出設計，該單級閘極驅動電路具有多個掃描電路，其包含：

一第一掃描電路，其包含：

一設定單元，接收一起始訊號，產生一控制訊號；

一驅動單元，耦接該設定單元，接收該控制訊號及一第一時脈訊號，該控制訊號及該第一時脈訊號使該驅動單元產生一第一掃描訊號，該驅動單元依據該第一時脈訊號驅動該第一掃描訊號提升至一第一準位，該驅動單元依據該第一時脈訊號驅動該第一掃描訊號降低至一第二準位，該第一準位高於該第二準位；及

一第二掃描電路，耦接該第一掃描電路，接收該第一掃描訊號及一第二時脈訊號，該第二掃描電路依據該第一掃描訊號及該第二時脈訊號產生一第二掃描訊號；

其中，該單級閘極驅動電路輸出該第一掃描訊號及該第二掃描訊號至複數像素，控制該些像素。

【第2項】 如申請專利範圍第1項所述之單級閘極驅動電路之多輸出設計，其中該設定單元包含：

一第一設定元件，具有一輸入端、一控制端及一輸出端，該輸入端接收一第一電源，該控制端接收該起始訊號，該輸出端耦接該驅動單元，該第一設定元件依據該起始訊號及該第一電源產生該控制訊號；及

一第二設定元件，具有一輸入端、一控制端及一輸出端，該輸入

端接收一第二電源，該控制端接收一第三掃描訊號，該輸出端耦接該驅動單元，該第二設定元件依據該第三掃描訊號及該第二電源設定該控制訊號。

- 【第3項】 如申請專利範圍第1項所述之單級閘極驅動電路之多輸出設計，其中該驅動單元包含：
- 一驅動元件，具有一輸入端、一控制端及一輸出端，該輸入端接收該第一時脈訊號，該控制端耦接該設定單元，該輸出端耦接該第二掃描電路，該驅動元件依據該第一時脈訊號及該控制訊號而產生該第一掃描訊號；及
 - 一電容器，耦接於該驅動元件的該控制端與該輸出端之間，依據該控制訊號及該第一時脈訊號提升該第一掃描訊號的準位。

- 【第4項】 如申請專利範圍第1項所述之單級閘極驅動電路之多輸出設計，其更包含：
- 一抗雜訊電路，耦接該第一掃描電路及該第二掃描電路，接收該第一時脈訊號，降低該第一掃描電路的雜訊及該第二掃描電路的雜訊。

- 【第5項】 如申請專利範圍第4項所述之單級閘極驅動電路之多輸出設計，其中該抗雜訊電路包含：
- 一控制單元，接收一第一電源、該第一時脈訊號及該控制訊號，該控制訊號控制該抗雜訊電路未啓用抗雜訊工作，該第一電源及該第一時脈訊號控制該抗雜訊電路啓用抗雜訊工作。

- 【第6項】 如申請專利範圍第4項所述之單級閘極驅動電路之多輸出設計，其中該抗雜訊電路包含一抗雜訊單元，該抗雜訊單元包含：
- 一第一電晶體，具有一輸入端、一控制端及一輸出端，該輸入端耦接該第一掃描電路之該驅動單元，該控制端耦接該控制單元，

該輸出端耦接一參考準位，該第一電晶體使該第一掃描電路之該驅動單元之一控制端的準位穩定於該參考準位；

一第二電晶體，具有一輸入端、一控制端及一輸出端，該輸入端耦接該第一掃描電路之該驅動單元，該控制端耦接該控制單元，該輸出端耦接該參考準位，該第二電晶體使該第一掃描電路之該驅動單元之一輸出端的準位穩定於該參考準位；

一第三電晶體，具有一輸入端、一控制端及一輸出端，該輸入端耦接該第二掃描電路之一驅動單元，該控制端耦接該控制單元，該輸出端耦接該參考準位，該第三電晶體使該第二掃描電路之該驅動單元之一控制端的準位穩定於該參考準位；及

一第四電晶體，具有一輸入端、一控制端及一輸出端，該輸入端耦接該第二掃描電路之該驅動單元，該控制端耦接該控制單元，該輸出端耦接該參考準位，該第四電晶體使該第二掃描電路之該驅動單元之一輸出端的準位穩定於該參考準位。

【第7項】 如申請專利範圍第6項所述之單級閘極驅動電路1之多輸出設計，其中該抗雜訊電路包含：

一保護單元，具有一輸入端、一控制端及一輸出端，該輸入端耦接該第一電晶體、該第二電晶體、該第三電晶體與該第四電晶體，該控制端接收一第三時脈訊號，該輸出端耦接該參考準位，該保護單元依據該第三時脈訊號而週期性的將該第一電晶體、該第二電晶體、該第三電晶體與該第四電晶體的該控制端維持於該參考準位。

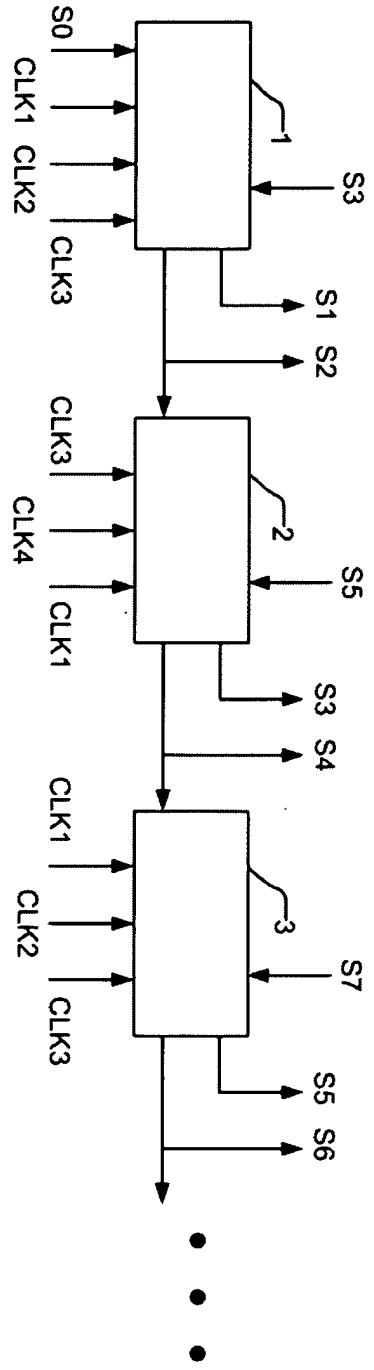
【第8項】 如申請專利範圍第1項所述之單級閘極驅動電路之多輸出設計，其中該第一掃描電路之該驅動單元的一控制端透過該第二掃描電路之一設定單元而電性連接該第二掃描電路之一驅動單元的一控

制端。

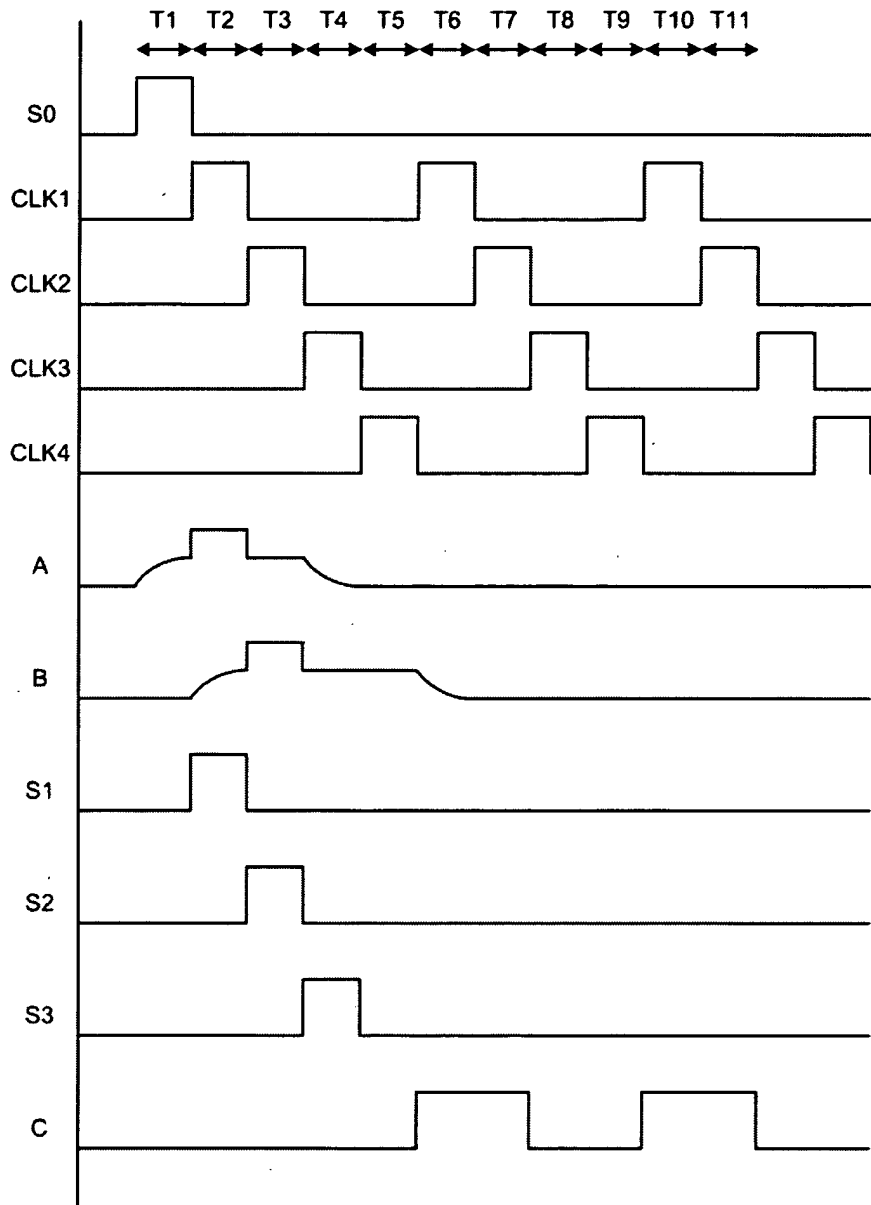
【第9項】 如申請專利範圍第1項所述之單級閘極驅動電路之多輸出設計，其中該單級閘極驅動電路之多輸出設計為一單向掃描。

【第10項】 如申請專利範圍第1項所述之單級閘極驅動電路1之多輸出設計，其中一顯示器具有複數單級閘極驅動電路，一第三時脈訊號同時控制該些單級閘極驅動電路的一第一單級閘極驅動電路放電與一第二單級閘極驅動電路充電，該第一時脈訊號同時控制該些單級閘極驅動電路的該第二單級閘極驅動電路放電與一第三單級閘極驅動電路充電。

【發明圖式】



第一圖



第三圖

