



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201701256 A

(43) 公開日：中華民國 106 (2017) 年 01 月 01 日

(21) 申請案號：104121007

(22) 申請日：中華民國 104 (2015) 年 06 月 29 日

(51) Int. Cl. : G09G3/20 (2006.01)

(71) 申請人：凌巨科技股份有限公司 (中華民國) GIANTPLUS TECHNOLOGY CO., LTD (TW)

苗栗縣頭份市蘆竹里工業路 15 號

國立交通大學 (中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

(72) 發明人：劉柏村 LIU, PO-TSUN (TW)；鄭光廷 ZHENG, GUANG-TING (TW)；陳永翰 CHEN, YUNG-HAN (TW)；張哲豪 CHANG, CHE-HAO (TW)；周凱茹 CHOU, KAI-JU (TW)；吳哲耀 WU, CHE-YAO (TW)；賴谷皇 LAI, KU-HUANG (TW)；康鎮璽 KANG, CHEN-HSI (TW)；陳品充 CHEN, PIN-CHUNG (TW)

(74) 代理人：蔡秀玫

申請實體審查：有 申請專利範圍項數：10 項 圖式數：5 共 27 頁

(54) 名稱

雙向掃描閘極驅動模組

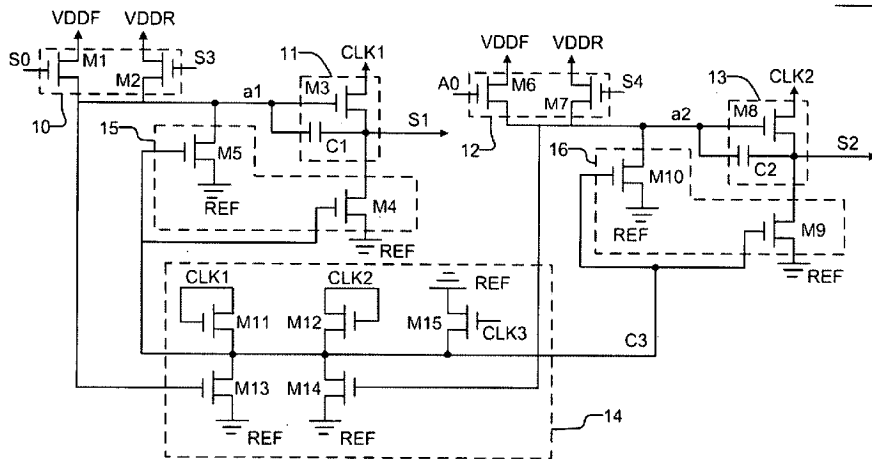
A BI-DIRECTIONAL SCANNING GATE DRIVER MODULE

(57) 摘要

本發明係一種雙向掃描閘極驅動模組，其包含一第一掃描電路與一第二掃描電路。第一掃描電路依據一順向訊號與一第一時脈訊號或者依據一反向訊號與第一時脈訊號產生一第一掃描訊號；第二掃描電路依據順向訊號與一第二時脈訊號或者依據反向訊號與第二時脈訊號產生一第二掃描訊號。當閘極驅動模組為一順向掃描，順向訊號為一第一準位，反向訊號為一第二準位，順向訊號充電第一掃描電路與第二掃描電路以運作順向掃描，當閘極驅動模組為一反向掃描，順向訊號為第二準位，反向訊號為第一準位，反向訊號充電第二掃描電路與第一掃描電路以運作反向掃描。

A bi-directional scanning gate driver module is provided. The module has a first scanning circuit and a second scanning circuit. The first scanning circuit produces a first scanning signal in according to a forward signal and a first clock or a reverse signal and the first clock. The second scanning circuit produces a second scanning signal in according to the forward signal and a second clock or the reverse signal and the second clock. When the gate driver module is operated in a forward scanning, the forward signal and the reverse signal are a first level and a second level respectively. The forward signal is used to charge the first scanning circuit and the second circuit for the forward scanning. When the gate driver module is operated in a reverse scanning, the forward signal and the reverse signal are the second level and the first level respectively. The reverse signal is used to charge the first scanning circuit and the second circuit for the reverse scanning.

指定代表圖：



第二圖

1

符號簡單說明：

1 . . . 第一級閘極驅動電路

10 . . . 設定單元

11 . . . 驅動單元

12 . . . 設定單元

13 . . . 驅動單元

14 . . . 控制單元

15 . . . 抗雜訊單元

16 . . . 抗雜訊單元

A0 . . . 起始訊號

a1 . . . 控制訊號

a2 . . . 控制訊號

C1 . . . 電容器

C2 . . . 電容器

C3 . . . 控制訊號

CLK1 . . . 第一時脈訊號

CLK2 . . . 第二時脈訊號

CLK3 . . . 第三時脈訊號

M1 . . . 第一設定元件

M2 . . . 第二設定元件

M3 . . . 驅動元件

M4 . . . 第二電晶體

M5 . . . 第一電晶體

M6 . . . 第三設定元件

M7 . . . 第四設定元件

M8 . . . 驅動元件

M9 . . . 第四電晶體

M10 . . . 第三電晶體

M11 . . . 電晶體

- M12 . . . 電晶體
- M13 . . . 電晶體
- M14 . . . 電晶體
- M15 . . . 保護單元
- REF . . . 參考準位
- S0 . . . 起始訊號
- S1 . . . 第一掃描訊號
- S2 . . . 第二掃描訊號
- S3 . . . 第三掃描訊號
- S4 . . . 第四掃描訊號
- VDDF . . . 順向訊號
- VDDR . . . 反向訊號



【發明摘要】

G09G 3/20 (2006.01)

【中文發明名稱】 雙向掃描閘極驅動模組

【英文發明名稱】 A BI-DIRECTIONAL SCANNING GATE DRIVER MODULE

【中文】

本發明係一種雙向掃描閘極驅動模組，其包含一第一掃描電路與一第二掃描電路。第一掃描電路依據一順向訊號與一第一時脈訊號或者依據一反向訊號與第一時脈訊號產生一第一掃描訊號；第二掃描電路依據順向訊號與一第二時脈訊號或者依據反向訊號與第二時脈訊號產生一第二掃描訊號。當閘極驅動模組為一順向掃描，順向訊號為一第一準位，反向訊號為一第二準位，順向訊號充電第一掃描電路與第二掃描電路以運作順向掃描，當閘極驅動模組為一反向掃描，順向訊號為第二準位，反向訊號為第一準位，反向訊號充電第二掃描電路與第一掃描電路以運作反向掃描。

【英文】

A bi-directional scanning gate driver module is provided. The module has a first scanning circuit and a second scanning circuit. The first scanning circuit produces a first scanning signal in according to a forward signal and a first clock or a reverse signal and the first clock. The second scanning circuit produces a second scanning signal in according to the forward signal and a second clock or the reverse signal and the second clock. When the gate driver module is operated in a forward scanning, the forward signal and the reverse signal are a first level and a second level respectively. The forward signal is used to charge the first scanning circuit and the second circuit for the forward scanning. When the gate driver module is operated in a reverse scanning, the forward signal and the reverse signal are the second level and the first level respectively. The reverse signal is used to charge the first scanning circuit and the second circuit for the reverse scanning.

【指定代表圖】 第二圖

【代表圖之符號簡單說明】

1 第一級閘極驅動電路

10 設定單元

11 驅動單元

12 設定單元

13 驅動單元

14 控制單元

15 抗雜訊單元

16 抗雜訊單元

A0 起始訊號

a1 控制訊號

a2 控制訊號

C1 電容器

C2 電容器

C3 控制訊號

CLK1 第一時脈訊號

CLK2 第二時脈訊號

CLK3 第三時脈訊號

M1 第一設定元件

M2 第二設定元件

M3 驅動元件

M4 第二電晶體

M5 第一電晶體

M6 第三設定元件

M7 第四設定元件

M8 驅動元件

M9 第四電晶體

M10 第三電晶體

M11 電晶體

M12 電晶體

M13 電晶體

M14 電晶體

M15 保護單元

REF 參考準位

S0 起始訊號

S1 第一掃描訊號

S2 第二掃描訊號

S3 第三掃描訊號

S4 第四掃描訊號

VDDF 順向訊號

VDDR 反向訊號

【特徵化學式】

無

【發明說明書】

【中文發明名稱】 雙向掃描閘極驅動模組

【英文發明名稱】 A BI-DIRECTIONAL SCANNING GATE DRIVER MODULE

【技術領域】

【0001】 本發明係關於一種閘極驅動模組，尤其是關於一種雙向掃描閘極驅動模組。

【先前技術】

【0002】 按，薄膜電晶體顯示器已成為現在顯示科技產品的主流，尤其應用於手機上有輕巧及方便攜帶等特點。在面板操作時，每個閘極驅動電路會接到各自的掃描線上，而掃描線會依序送出脈衝訊號，此脈衝會將掃描線上所有電晶體打開，以便將液晶電壓資料從資料驅動電路送入液晶電容。如此，控制液晶穿透度而達到不同亮度的顯示效果，此即為閘極驅動電路的功能。

【0003】 然而液晶電壓資料傳輸完成後，掃描線必須經由放電路徑放電，並將面板處的電晶體關閉，而為了達到需要的掃描線放電速度，放電路徑之電晶體的尺寸必須要大，此舉會造成閘極驅動電路的佈局面積增加。

【0004】 再者，一般閘極驅動電路會具有一個隨時產生開啓電流的電晶體，所以此電晶體會提升整體功率的消耗。此外，於高解析度面板上，每一條掃描線的充電時間較短，所以必須降低對掃描線充電之充電路徑上的負載，以減少充電路徑上的負載對充放電時的上升時間與下降時間的提升。

【0005】 鑒於上述問題，本發明提出一種雙向掃描閘極驅動模組的技術。

【發明內容】

【0006】 本發明之目的之一，為提供一種雙向掃描閘極驅動模組，其可以提升掃描線充放電速度、降低佈局面積與降低功率消耗。

【0007】 為達以上目的，本發明提供一種雙向掃描閘極驅動模組，其具有多級閘極驅動電路，而每一級閘極驅動電路具有多個掃描電路，其中一第一掃描電路接收一順向訊號、一反向訊號與一第一時脈訊號，並依據順向訊號與第一時脈訊號產生一第一掃描訊號，或者依據反向訊號與第一時脈訊號產生第一掃描訊號；及一第二掃描電路，接收順向訊號、反向訊號與一第二時脈訊號，依據順向訊號與第二時脈訊號產生一第二掃描訊號，或者依據反向訊號與第二時脈訊號產生第二掃描訊號；當閘極驅動模組為一順向掃描時，順向訊號為一第一準位，反向訊號為一第二準位，順向訊號充電第一掃描電路與第二掃描電路以運作順向掃描，當閘極驅動模組為一反向掃描時，順向訊號為第二準位，反向訊號為第一準位，反向訊號充電第二掃描電路與第一掃描電路以運作反向掃描。

【圖式簡單說明】

【0008】 第一A圖：其係為本發明之閘極驅動模組掃描時之一實施例的示意圖；

第一B圖：其係為本發明之閘極驅動模組掃描時之另一實施例的示意圖；

第二圖：其係為本發明第一A圖之閘極驅動電路之一實施例的電路圖；

第三圖：其係為本發明之順向掃描時間極驅動電路之一實施例的
時序圖；

第四圖：其係為本發明第一B圖之閘極驅動電路之一實施例的電
路圖；及

第五圖：其係為本發明之反向掃描時間極驅動電路之一實施例的
時序圖。

【實施方式】

【0009】 為使 貴審查委員對本發明之特徵及所達成之功效有更進一步之
瞭解與認識，謹佐以實施例及配合圖式之說明，說明如後：

【0010】 請參閱第一A圖，其係為本發明之閘極驅動模組掃描時之一實施
例的示意圖。如圖所示，本發明的雙向掃描閘極驅動模組具有多
級閘極驅動電路1-3，且每一級閘極驅動電路1-3具有多個掃描電
路並分別輸出兩個掃描訊號S1~S6。本發明的第一閘極驅動電路1
接收一起始訊號S0、一第一時脈訊號CLK1與一第二時脈訊號CLK2
而產生一第一掃描訊號S1與一第二掃描訊號S2，第一掃描訊號S1
與第二掃描訊號S2透過複數掃描線控制複數像素，其中第二掃描
訊號S2亦是一第二閘極驅動電路2的起始訊號，同理第二閘極驅
動電路2輸出的掃描訊號S4亦是第三閘極驅動電路3的起始訊號。
換言之，閘極驅動電路1若非第一級時，閘極驅動電路1同樣會接
收前一級閘極驅動電路產生的掃描訊號作為起始訊號S0。

【0011】 請參閱第一B圖，其係為本發明之閘極驅動模組掃描時之另一實
施例的示意圖。如圖所示，多級閘極驅動電路4-6串接且每一級
閘極驅動電路4-6分別輸出兩個掃描訊號S7~S12，再者，閘極驅
動電路4-6同樣會接受前一級閘極驅動電路的掃描訊號作為起始

訊號，以產生掃描訊號掃描複數畫素。然而，第一B圖實施例與第一A圖實施例差異在於閘極驅動電路輸出掃描訊號的順序不同，第一A圖實施例的輸出順序為從第一級閘極驅動電路1至第三級閘極驅動電路3，第一B圖實施例的輸出順序為從第六級閘極驅動電路6至第四級閘極驅動電路4，兩個實施例輸出掃描訊號的順序相反。換言之，本發明的閘極驅動模組可以對面板雙向掃描，其中第一A圖實施例可以稱為順向掃描，而第一B圖實施例稱為反向掃描。

● 【0012】 請參閱第二圖，其係為本發明第一A圖之閘極驅動電路之一實施例的電路圖。如圖所示，第一級閘極驅動電路1具有兩個掃描電路，一第一掃描電路包含一設定單元10與一驅動單元11，一第二掃描電路包含一設定單元12與一驅動單元13。設定單元10接收一順向訊號VDDF與一起始訊號S0，起始訊號S0控制設定單元10以使順向訊號VDDF進行充電而產生一控制訊號a1。驅動單元11耦接設定單元10並接收控制訊號a1與第一時脈訊號CLK1，控制訊號a1及第一時脈訊號CLK1控制驅動單元11產生一第一掃描訊號S1。換言之，第一掃描電路接收順向訊號VDDF與第一時脈訊號CLK1，並依據順向訊號VDDF與第一時脈訊號CLK1產生第一掃描訊號S1。

● 【0013】 第二掃描電路的設定單元12同樣會接收其他起始訊號A0與順向訊號VDDF而產生一控制訊號a2。驅動單元13耦接設定單元12，並接收控制訊號a2與第二時脈訊號CLK2，控制訊號a2控制驅動單元13依據第二時脈訊號CLK2產生一第二掃描訊號S2。換言之，第二掃描電路接收順向訊號VDDF與第二時脈訊號CLK2，並依據順向訊號VDDF與第二時脈訊號CLK2產生第二掃描訊號S2。如此本發明的第

一級閘極驅動電路1輸出第一掃描訊號S1與第二掃描訊號S2。

【0014】基於上述，順向訊號VDDF先對第一掃描電路充電以產生第一掃描訊號S1，爾後順向訊號VDDF再對第二掃描電路充電以產生第二掃描訊號S2，如此順向訊號VDDF的充電路徑中無須同時對第一掃描電路與第二掃描電路充電，而可以使充電速度提升。換言之，本發明未將第一掃描電路的充電點（產生控制訊號a1之處）與第二掃描電路的充電點（產生控制訊號a2之處）連接在一起，而降低順向訊號VDDF之充電路徑中的負載。第二級閘極驅動電路2與第三級閘極驅動電路3的運作方式與第一級閘極驅動電路1相同，於此不再複述。

【0015】復參閱第二圖，第一掃描電路的設定單元10包含一第一設定元件M1與一第二設定元件M2，第一設定元件M1具有一輸入端、一控制端及一輸出端，輸入端接收順向訊號VDDF，控制端接收起始訊號S0，輸出端耦接驅動單元11，第一設定元件M1依據起始訊號S0及順向訊號VDDF產生控制訊號a1。第二設定元件M2具有一輸入端、一控制端及一輸出端，輸入端接收反向訊號VDDR，控制端接收一第二級閘極驅動電路2輸出的一第三掃描訊號S3，輸出端耦接驅動單元11，第二設定元件M2依據第三掃描訊號S3及反向訊號VDDR設定控制訊號a1。此外，順向訊號為一第一準位，反向訊號為一第二準位，第一準位高於第二準位。

【0016】再者，第一掃描電路的驅動單元11包含一驅動元件M3與一電容器C1，驅動元件M3可以為一電晶體，其具有一輸入端、一控制端及一輸出端，輸入端接收第一時脈訊號CLK1，控制端耦接設定單元10，輸出端耦接第二級閘極驅動電路2的第一掃描電路，驅動元

件M3依據第一時脈訊號CLK1及控制訊號a1而產生第一掃描訊號S1。
。電容器C1耦接於驅動元件M3的控制端與輸出端之間，電容器C1依據控制訊號a1及第一時脈訊號CLK1提升第一掃描訊號S1的準位。
。

【0017】承接上述，當控制訊號a1未控制驅動元件M3導通時，電容器C1之一第一端的準位為控制訊號a1的準位；當控制訊號a1控制驅動元件M3導通時，電容器C1之一第二端的準位為第一時脈訊號CLK1的準位，而且電容器C1之第一端的準位改為控制訊號a1的準位加上第一時脈訊號CLK1的準位。如此，當第一時脈訊號CLK1為一高準位時，電容器C1的第一端為控制訊號a1的準位加上第一時脈訊號CLK1的準位，即電容器C1依據控制訊號a1及第一時脈訊號CLK1提升第一掃描訊號S1的準位。

【0018】換言之，本發明的驅動元件M3依據第一時脈訊號CLK1驅動第一掃描訊號S1提升至一第三準位，驅動元件M3依據第一時脈訊號CLK1驅動第一掃描訊號S1降低至一第四準位，其中第三準位高於第四準位。如此本發明皆是利用驅動元件M3來提升與降低掃描訊號S1的準位，無須額外設置降低掃描訊號之準位（放電）的電晶體，而可以降低閘極驅動電路佈局的面積。

【0019】復參閱第二圖，本發明的第一閘極驅動電路1具有一抗雜訊電路，其包含一控制單元14、複數抗雜訊單元15、16。抗雜訊電路耦接第一掃描電路及第二掃描電路，並接收第一時脈訊號CLK1或第二時脈訊號CLK2，以降低第一掃描電路的雜訊及第二掃描電路的雜訊。控制單元14接收第一時脈訊號CLK1、第二時脈訊號CLK2、第一掃描電路產生的控制訊號a1及第二掃描電路產生的控制訊號

a2，且第一掃描電路產生的控制訊號a1及第二掃描電路產生的控制訊號a2控制抗雜訊電路未啓用抗雜訊工作，第一時脈訊號CLK1及第一時脈訊號CLK2控制抗雜訊電路啓用抗雜訊工作。

【0020】 再者，第一掃描電路的抗雜訊單元15包含一第一電晶體M5與一第二電晶體M4。第一電晶體M5具有一輸入端、一控制端及一輸出端，輸入端耦接第一掃描電路之驅動單元11，控制端耦接控制單元14，輸出端耦接一參考準位REF（例如：地電位），第一電晶體M5使第一掃描電路之驅動單元11之一控制端的準位穩定於參考準位REF。第二電晶體M4具有一輸入端、一控制端及一輸出端，輸入端耦接第一掃描電路之驅動單元11，控制端耦接控制單元14，輸出端耦接參考準位REF，第二電晶體M4使第一掃描電路之驅動單元11之一輸出端的準位穩定於參考準位REF。

【0021】 第二掃描電路的抗雜訊單元16包含一第三電晶體M10與一第四電晶體M9。第三電晶體M10具有一輸入端、一控制端及一輸出端，輸入端耦接第二掃描電路之驅動單元13，控制端耦接控制單元14，輸出端耦接參考準位REF，第三電晶體M10使第二掃描電路之驅動單元13之一控制端的準位穩定於參考準位REF。第四電晶體M9具有一輸入端、一控制端及一輸出端，輸入端耦接第二掃描電路之驅動單元13，控制端耦接控制單元14，輸出端耦接參考準位REF，第四電晶體M9使第二掃描電路之驅動單元13之一輸出端的準位穩定於參考準位REF。

【0022】 再者，控制單元14更包含一保護單元M15，其具有一輸入端、一控制端及一輸出端，輸入端耦接第一電晶體M5、第二電晶體M4、第三電晶體M10與第四電晶體M9，控制端接收一第三時脈訊號

CLK3，輸出端耦接參考準位REF，保護單元M15依據第三時脈訊號CLK3而週期性的將第一電晶體M5、第二電晶體M4、第三電晶體M10與第四電晶體M9的控制端維持於參考準位REF。基於上述，本發明之第一閘極驅動電路1的設計未包含一個隨時產生開啓電流的電晶體，而可以減少功率消耗。

【0023】承接上述，控制單元14包含複數電晶體M11~M14，控制訊號a1控制電晶體M13導通時，控制訊號C3為參考準位REF，因此抗雜訊電路未啓用抗雜訊工作，換言之，控制訊號a1控制抗雜訊電路未啓用抗雜訊工作。當控制訊號a1控制電晶體M13截止時，若第一時脈訊號CLK1控制電晶體M11導通，則控制訊號C3為第一時脈訊號CLK1的準位，如此抗雜訊電路啓用抗雜訊工作，換言之，控制訊號a1及第一時脈訊號CLK1控制抗雜訊電路啓用抗雜訊工作。此外，控制訊號a2與第二時脈訊號CLK2的運作方式與控制訊號a1及第一時脈訊號CLK1相同，於此不再複述。

【0024】基於上述，本發明的第一掃描電路與第二掃描電路共用一個抗雜訊電路，而減少抗雜訊電路的佈局面積。再者，本發明的抗雜訊電路會將驅動單元11、13的控制端與輸出端進行重置而維持於參考準位REF，如此雙向閘極驅動電路1可以減少重置元件的設置，而亦可以縮減佈局面積。換言之，本發明的抗雜訊電路同時做到抗雜訊與重置的功能。故，本發明可縮減閘極驅動電路之多處重置元件的佈局面積，即本發明同時將雙輸出閘極驅動電路所需的抗雜訊電路合併至一級閘極驅動電路內，而有效縮減抗雜訊電路所需要的元件。

【0025】請參閱第三圖，其係為本發明之順向掃描時閘極驅動電路之一實

施例的時序圖。此時序圖為本發明第三級閘極驅動電路3的時序圖，其餘第一級閘極驅動電路1與第二級閘極驅動電路2的操作時序對應第三級閘極驅動電路3的時序圖。

【0026】於第一區間T1，第三掃描訊號S3為高準位，且第三掃描訊號S3為第三級閘極驅動電路3的起始訊號，如此第一設定元件M1與電晶體M13為導通狀態；如此，控制訊號a1的準位因順向訊號VDDF的充電而逐漸上升，且因為第一時脈訊號CLK1與第二時脈訊號CLK2為參考準位REF，不會有耦合雜訊，所以控制訊號C3經由電晶體M13放電而為參考準位REF；此時抗雜訊電路未啟用，且第五掃描訊號S5與第一時脈訊號CLK1同樣為參考準位REF。於第二區間T2，控制訊號a1的準位被充電至順向訊號VDDF的準位，再者，第三級閘極驅動電路3的第二掃描電路接收第二級閘極驅動電路2的第四掃描訊號S4，如此控制訊號a2的準位會逐漸提升。

【0027】於第三區間T3，第一時脈訊號CLK1改變為高準位，且經由電容器C1的充電而將控制訊號a1的準位提升為順向訊號VDDF的準位加上第一時脈訊號CLK1的準位，此時第五掃描訊號S5亦可以提升至高準位，第五掃描訊號S5並將掃描線充電至高準位；再者，第五掃描訊號S5會控制第四級閘極驅動電路第一掃描電路，則順向訊號VDDF可以對第四級閘極驅動電路4第一掃描電路充電，其餘運作方式與第三級閘極驅動電路3的第一掃描電路相同，不再複述；此外，控制訊號a2的準位提升至順向訊號VDDF的準位。

【0028】於第四區間T4，第一時脈訊號CLK1降低至參考準位REF，則控制訊號a1的準位也降低至順向訊號VDDF的準位，且第五掃描訊號S5同樣降低為參考準位REF；第二時脈訊號CLK2由參考準位REF改變

為高準位，因此控制訊號a2的準位為順向訊號VDDF的準位加上第二時脈訊號CLK2的準位；此時第六掃描訊號S6亦可以提升至高準位並充電掃描線；同理，第六掃描訊號S6會控制下一級閘極驅動電路的第二掃描電路。於第五區間T5，第二時脈訊號CLK2降低為參考準位REF，控制訊號a2的準位亦降低至順向訊號VDDF的準位，且第六掃描訊號S6也降低為參考準位REF；再者，因第三時脈訊號CLK3為高準位，所以第四級閘極驅動電路4的第七掃描訊號S7提升至高準位；此外，第七掃描訊號S7更控制第三級閘極驅動電路3之第一掃描電路的第二設定元件M2，而將控制訊號a1的準位從順向訊號VDDF的準位降低至參考準位REF的準位。

【0029】於第六區間T6，第三級閘極驅動電路3內控制訊號a2的準位降低至參考準位REF，且第四級閘極驅動電路4的第七掃描訊號S7因第三時脈訊號CLK3降低至參考準位REF而降低至參考準位REF；而第四時脈訊號CLK4為高準位，並控制第四級閘極驅動電路4產生第八掃描訊號S8。於第七區間T7，此時第一時脈訊號CLK1週期性的又為高準位，並控制控制單元14的電晶體M11導通，如此控制訊號C3的準位為第一時脈訊號CLK1的準位；而且，由於第三級閘極驅動電路3目前不工作，所以為避免第一時脈訊號CLK1對掃描線有耦合雜訊，此區間不利用放電機制降低控制訊號C3的準位，而使控制訊號C3控制抗雜訊單元15、16啓用抗雜訊工作，如此可以使驅動單元11、13的控制端與輸出端為參考準位REF，而降低第一時脈訊號CLK1的耦合雜訊。

【0030】於第八區間T8，第一時脈訊號CLK1為低準位（例如：參考準位REF），則電晶體M11為截止狀態，又第二時脈訊號CLK2週期性的又

為高準位，且控制訊號C3的準位並未經由放電而降低，所以抗雜訊單元15、16仍執行抗雜訊工作中，如此第二時脈訊號CLK2也不會對掃描線有耦合雜訊。於第九區間T9，第三時脈訊號CLK3控制電晶體M15導通，而將控制訊號C3的準位降低至參考準位REF，則抗雜訊單元15、16停止執行抗雜訊工作；再者，因此區間內第一時脈訊號CLK1與第二時脈訊號CLK2為低準位，所以不會有耦合雜訊，而無須啓用抗雜訊工作。後續第十區間T10至第十二區間T12如前述第六區間T6至第八區間T8的說明，於此不再複述。

【0031】 由上述說明可以得知，高解析顯示器之多級閘極驅動電路，於運作時，第三時脈訊號CLK3同時控制第三級閘極驅動電路3放電與第四級閘極驅動電路4路充電，第一時脈訊號CLK1同時控制第四級閘極驅動電路4放電與第五級閘極驅動電路5充電。

【0032】 請參閱第四圖，其係為本發明第一B圖之閘極驅動電路之一實施例的電路圖。如圖所示，其為反向掃描時的第五級閘極驅動電路5，其與順向掃描時的第三級閘極驅動電路3不同的是，順向掃描時第三級閘極驅動電路3由第二級閘極驅動電路2控制充電而產生掃描訊號S5、S6，反向掃描時第五級閘極驅動電路5由第六級閘極驅動電路6控制充電產生第九掃描訊號S9與第十掃描訊號S10；順向掃描時第三級閘極驅動電路3由第四級閘極驅動電路4控制使控制訊號a1、a2放電，反向掃描時第五級閘極驅動電路5由第四級閘極驅動電路控制使控制訊號a1、a2放電。

【0033】 承接上述，順向掃描時順向訊號VDDF為第一準位反向訊號VDDR為第二準位，反向掃描時順向訊號VDDF為第二準位反向訊號VDDR為第一準位，所以順向掃描時順向訊號VDDF使閘極驅動電路充電而

反向訊號VDDR使閘極驅動電路放電，反向掃描時反向訊號VDDR使閘極驅動電路充電而順向訊號VDDF使閘極驅動電路放電。而且反向掃描時的時序如第五圖所示，其係為本發明之反向掃描時閘極驅動電路之一實施例的時序圖。如圖所示，第五圖時序相反第三圖時序，並利用相反的時序使閘極驅動電路運作反向掃描。換言之，第一級閘極驅動電路1的第一掃描電路依據反向訊號VDDR與第一時脈訊號CLK1產生第一掃描訊號S1，而第一級閘極驅動電路1的第二掃描電路依據反向訊號VDDR與第二時脈訊號CLK2產生第一掃描訊號S2。因此本發明之閘極驅動模組可以對顯示器雙向掃描。

【0034】綜上所述，本發明提供一種雙向掃描閘極驅動模組，其具有多級閘極驅動電路，而每一級閘極驅動電路具有多個掃描電路，其中一第一掃描電路接收一順向訊號、一反向訊號與一第一時脈訊號，並依據順向訊號與第一時脈訊號產生一第一掃描訊號，或者依據反向訊號與第一時脈訊號產生第一掃描訊號；及一第二掃描電路，接收順向訊號、反向訊號與一第二時脈訊號，依據順向訊號與第二時脈訊號產生一第二掃描訊號，或者依據反向訊號與第二時脈訊號產生第二掃描訊號；當閘極驅動模組為一順向掃描時，順向訊號為一第一準位，反向訊號為一第二準位，順向訊號充電第一掃描電路與第二掃描電路以運作順向掃描，當閘極驅動模組為一反向掃描時，順向訊號為第二準位，反向訊號為第一準位，反向訊號充電第二掃描電路與第一掃描電路以運作反向掃描。

【符號說明】

1 第一級閘極驅動電路

- 2 第二級閘極驅動電路
- 3 第三級閘極驅動電路
- 4 第四級閘極驅動電路
- 5 第五級閘極驅動電路
- 6 第六級閘極驅動電路
- 10 設定單元
- 11 驅動單元
- 12 設定單元
- 13 驅動單元
- 14 控制單元
- 15 抗雜訊單元
- 16 抗雜訊單元
- A0 起始訊號
- a1 控制訊號
- a2 控制訊號
- C1 電容器
- C2 電容器
- C3 控制訊號
- CLK1 第一時脈訊號
- CLK2 第二時脈訊號
- CLK3 第三時脈訊號
- CLK4 第四時脈訊號
- M1 第一設定元件
- M2 第二設定元件
- M3 驅動元件

M4 第二電晶體
M5 第一電晶體
M6 第三設定元件
M7 第四設定元件
M8 驅動元件
M9 第四電晶體
M10 第三電晶體
M11 電晶體
M12 電晶體
M13 電晶體
M14 電晶體
M15 保護單元
REF 參考準位
S0 起始訊號
S1 第一掃描訊號
S2 第二掃描訊號
S3 第三掃描訊號
S4 第四掃描訊號
S5 第五掃描訊號
S6 第六掃描訊號
S7 第七掃描訊號
S8 第八掃描訊號
S9 第九掃描訊號
S10 第十掃描訊號
S11 第十一掃描訊號

S12 第十二掃描訊號

T1 第一區間

T2 第二區間

T3 第三區間

T4 第四區間

T5 第五區間

T6 第六區間

T7 第七區間

T8 第八區間

T9 第九區間

T10 第十區間

T11 第十一區間

T12 第十二區間

VDDF 順向訊號

VDDR 反向訊號

【發明申請專利範圍】

【第1項】 一種雙向掃描閘極驅動模組，其具有多級閘極驅動電路，每一級閘極驅動電路具有多個掃描電路，其中：

一第一掃描電路，接收一順向訊號、一反向訊號與一第一時脈訊號，依據該順向訊號與該第一時脈訊號產生一第一掃描訊號，或者依據該反向訊號與該第一時脈訊號產生該第一掃描訊號；及

一第二掃描電路，接收該順向訊號、該反向訊號與一第二時脈訊號，依據該順向訊號與該第二時脈訊號產生一第二掃描訊號，或者依據該反向訊號與該第二時脈訊號產生該第二掃描訊號；

其中，當該閘極驅動模組為一順向掃描時，該順向訊號為一第一準位，該反向訊號為一第二準位，該順向訊號充電該第一掃描電路與該第二掃描電路以運作該順向掃描，當該閘極驅動模組為一反向掃描時，該順向訊號為該第二準位，該反向訊號為該第一準位，該反向訊號充電該第二掃描電路與該第一掃描電路以運作該反向掃描。

【第2項】 如申請專利範圍第1項所述之雙向掃描閘極驅動模組，其中該些多級閘極驅動電路之一第一級閘極驅動電路包含該第一掃描電路，該第一掃描電路包含：

一設定單元，接收一起始訊號與該順向訊號，該起始訊號控制該設定單元，以使該順向訊號進行充電而產生一控制訊號；

一驅動單元，耦接該設定單元，接收該控制訊號及該第一時脈訊號，該控制訊號及該第一時脈訊號控制該驅動單元產生該第一掃

描訊號。

【第3項】 如申請專利範圍第2項所述之雙向掃描閘極驅動模組，其中該驅動單元依據該第一時脈訊號驅動該第一掃描訊號提升至一第三準位，該驅動單元依據該第一時脈訊號驅動該第一掃描訊號降低至一第四準位，該第三準位高於該第四準位。

【第4項】 如申請專利範圍第2項所述之雙向掃描閘極驅動模組，其中該設定單元包含：

一第一設定元件，具有一輸入端、一控制端及一輸出端，該輸入端接收該順向訊號，該控制端接收該起始訊號，該輸出端耦接該驅動單元，該第一設定元件依據該起始訊號及該順向訊號產生該控制訊號；及

一第二設定元件，具有一輸入端、一控制端及一輸出端，該輸入端接收該反向訊號，該控制端接收一第二級閘極驅動電路產生的一第三掃描訊號，該輸出端耦接該驅動單元，該第二設定元件依據該第三掃描訊號及該反向訊號設定該控制訊號。

【第5項】 如申請專利範圍第2項所述之雙向掃描閘極驅動模組，其中該驅動單元包含：

一驅動元件，具有一輸入端、一控制端及一輸出端，該輸入端接收該第一時脈訊號，該控制端耦接該設定單元，該輸出端耦接一第二級閘極驅動電路的一第一掃描電路，該驅動元件依據該第一時脈訊號及該控制訊號而產生該第一掃描訊號；及

一電容器，耦接於該驅動元件的該控制端與該輸出端之間，依據該控制訊號及該第一時脈訊號提升該第一掃描訊號的準位。

【第6項】 如申請專利範圍第1項所述之雙向掃描閘極驅動模組，其更包含：

一抗雜訊電路，耦接該第一掃描電路及該第二掃描電路，接收該第一時脈訊號，降低該第一掃描電路的雜訊及該第二掃描電路的雜訊。

【第7項】 如申請專利範圍第6項所述之雙向掃描閘極驅動模組，其中該抗雜訊電路包含：

一控制單元，接收該第一時脈訊號、該第二時脈訊號、該第一掃描電路產生的一控制訊號及該第二掃描電路的一控制訊號，該第一掃描電路產生的該控制訊號及該第二掃描電路的該控制訊號控制該抗雜訊電路未啓用抗雜訊工作，該第一時脈訊號及該第一時脈訊號控制該抗雜訊電路啓用抗雜訊工作。

【第8項】 如申請專利範圍第6項所述之雙向掃描閘極驅動模組，其中該抗雜訊電路包含：

一第一電晶體，具有一輸入端、一控制端及一輸出端，該輸入端耦接該第一掃描電路之該驅動單元，該控制端耦接該控制單元，該輸出端耦接一參考準位，該第一電晶體使該第一掃描電路之該驅動單元之一控制端的準位穩定於該參考準位；

一第二電晶體，具有一輸入端、一控制端及一輸出端，該輸入端耦接該第一掃描電路之該驅動單元，該控制端耦接該控制單元，該輸出端耦接該參考準位，該第二電晶體使該第一掃描電路之該驅動單元之一輸出端的準位穩定於該參考準位；

一第三電晶體，具有一輸入端、一控制端及一輸出端，該輸入端耦接該第二掃描電路之一驅動單元，該控制端耦接該控制單元，該輸出端耦接該參考準位，該第三電晶體使該第二掃描電路之該驅動單元之一控制端的準位穩定於該參考準位；及

一第四電晶體，具有一輸入端、一控制端及一輸出端，該輸入端

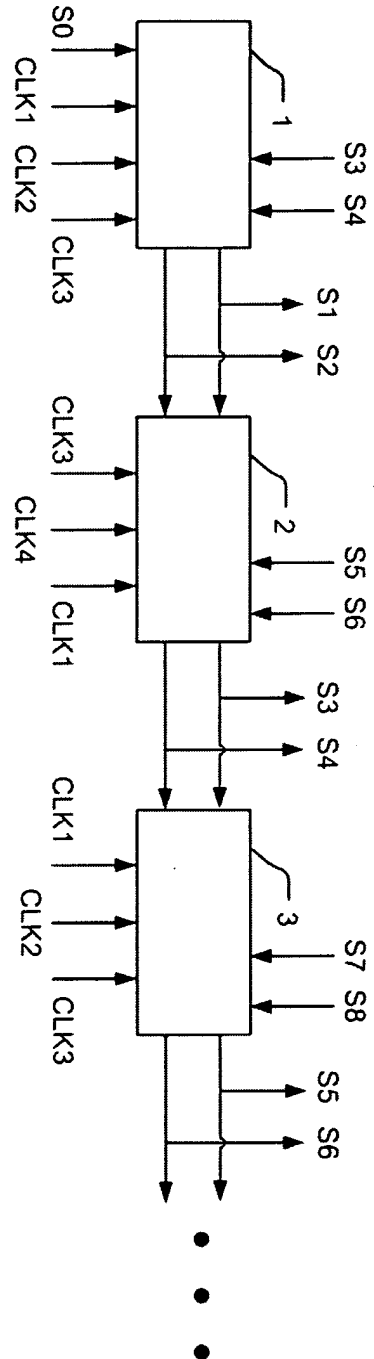
耦接該第二掃描電路之該驅動單元，該控制端耦接該控制單元，該輸出端耦接該參考準位，該第四電晶體使該第二掃描電路之該驅動單元之一輸出端的準位穩定於該參考準位。

【第9項】 如申請專利範圍第7項所述之雙向掃描閘極驅動模組，其中該控制單元更包含：

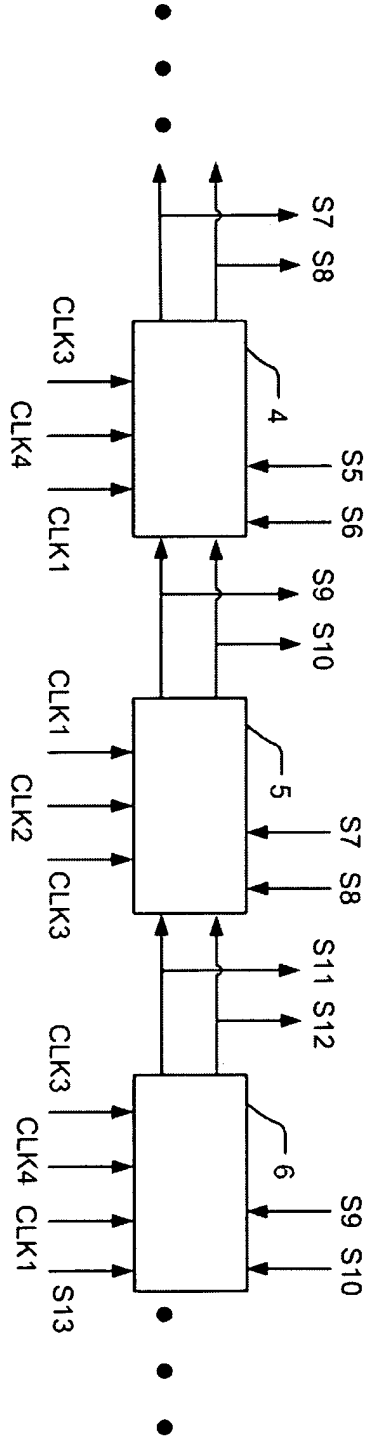
一保護單元，具有一輸入端、一控制端及一輸出端，該輸入端耦接該第一電晶體、該第二電晶體、該第三電晶體與該第四電晶體，該控制端接收一第三時脈訊號，該輸出端耦接該參考準位，該保護單元依據該第三時脈訊號而週期性的將該第一電晶體、該第二電晶體、該第三電晶體與該第四電晶體的該控制端維持於該參考準位。

【第10項】 如申請專利範圍第1項所述之雙向掃描閘極驅動模組，其中，該閘極驅動模組接收一第三時脈訊號，該第三時脈訊號同時控制該閘極驅動模組的一第一級閘極驅動電路放電與一第二級閘極驅動電路充電，該第一時脈訊號同時控制該閘極驅動模組的該第二級閘極驅動電路放電與一第三級閘極驅動電路充電。

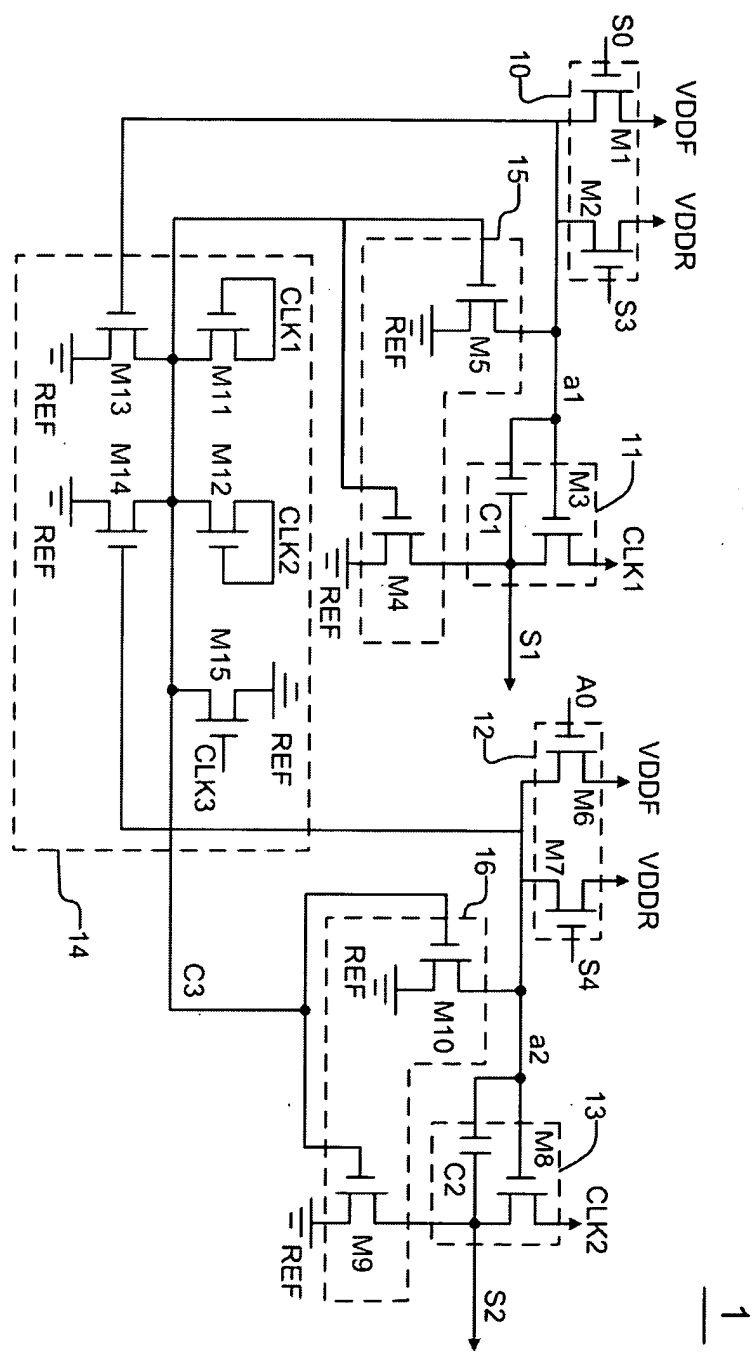
【發明圖式】



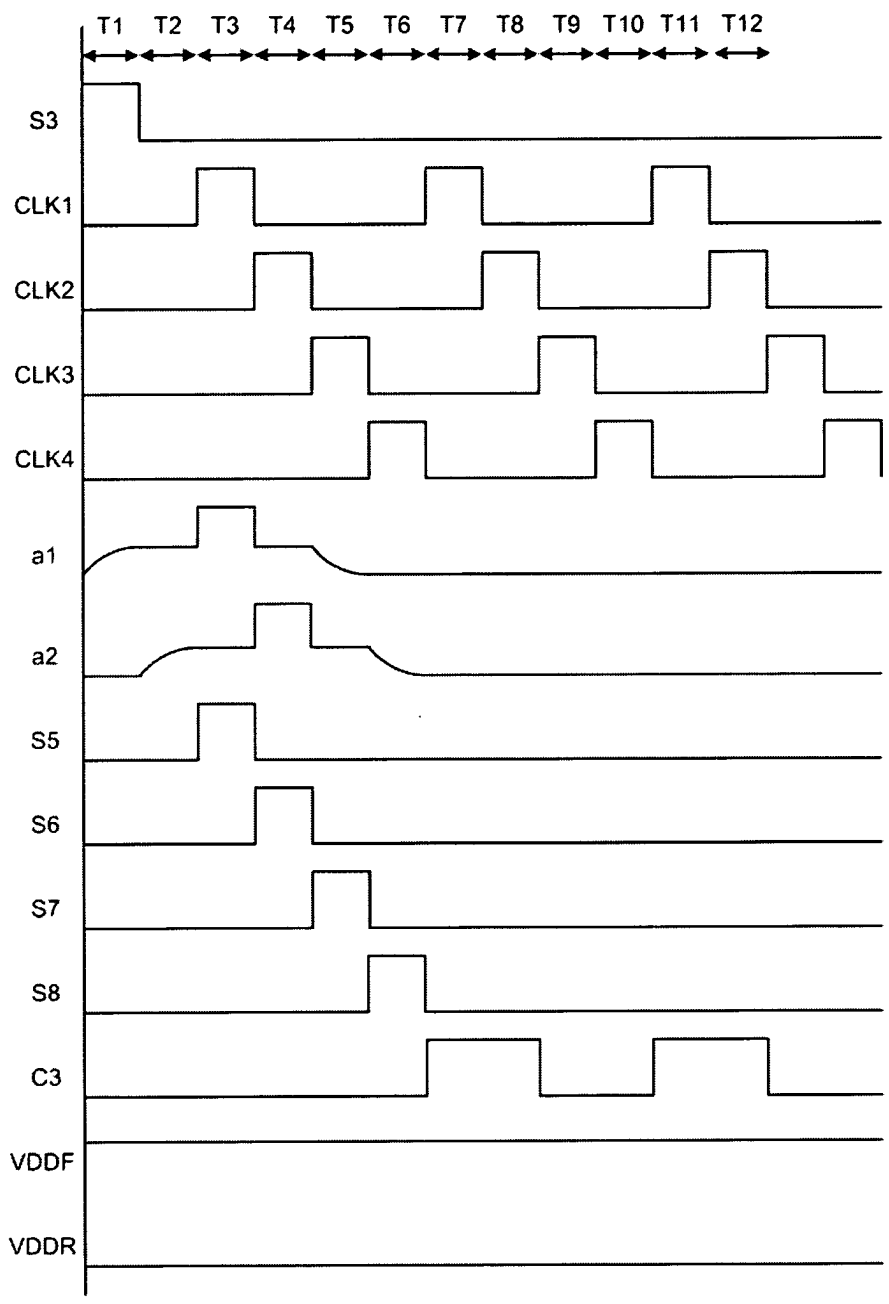
第一A圖



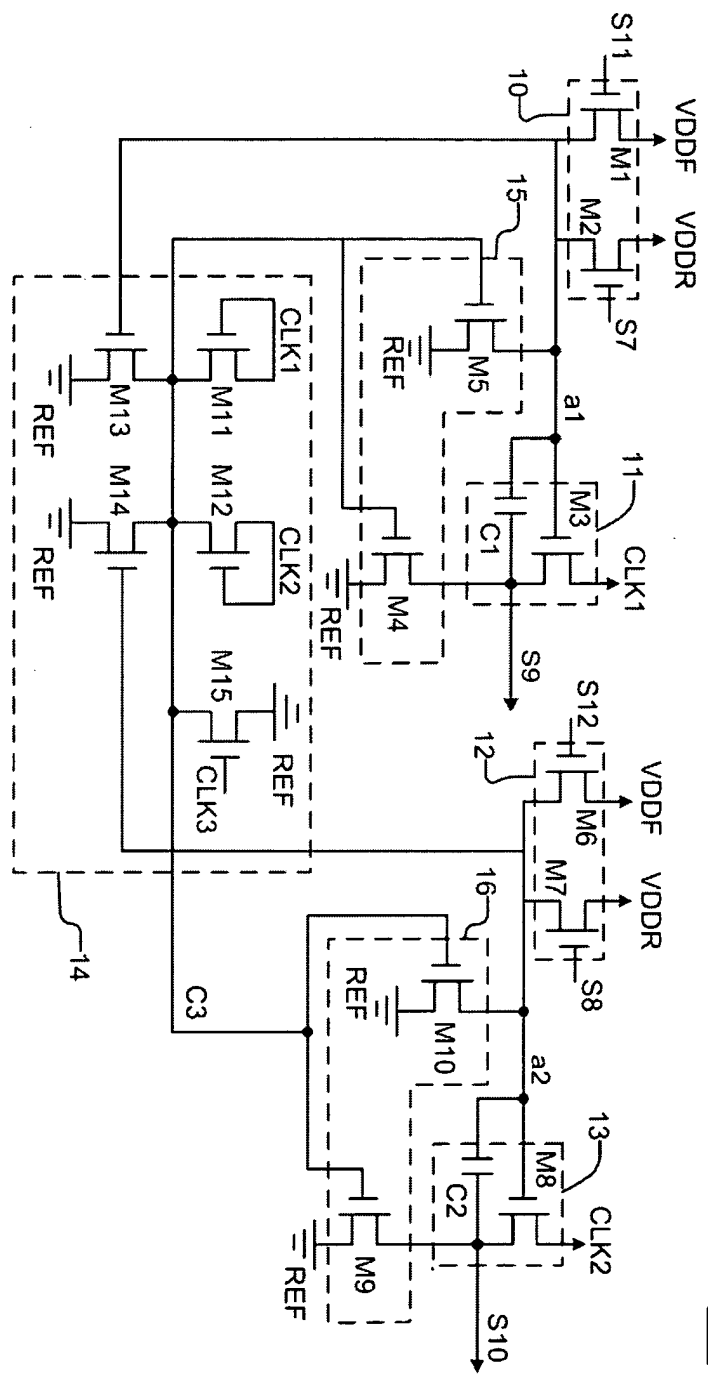
第一B圖



第二圖

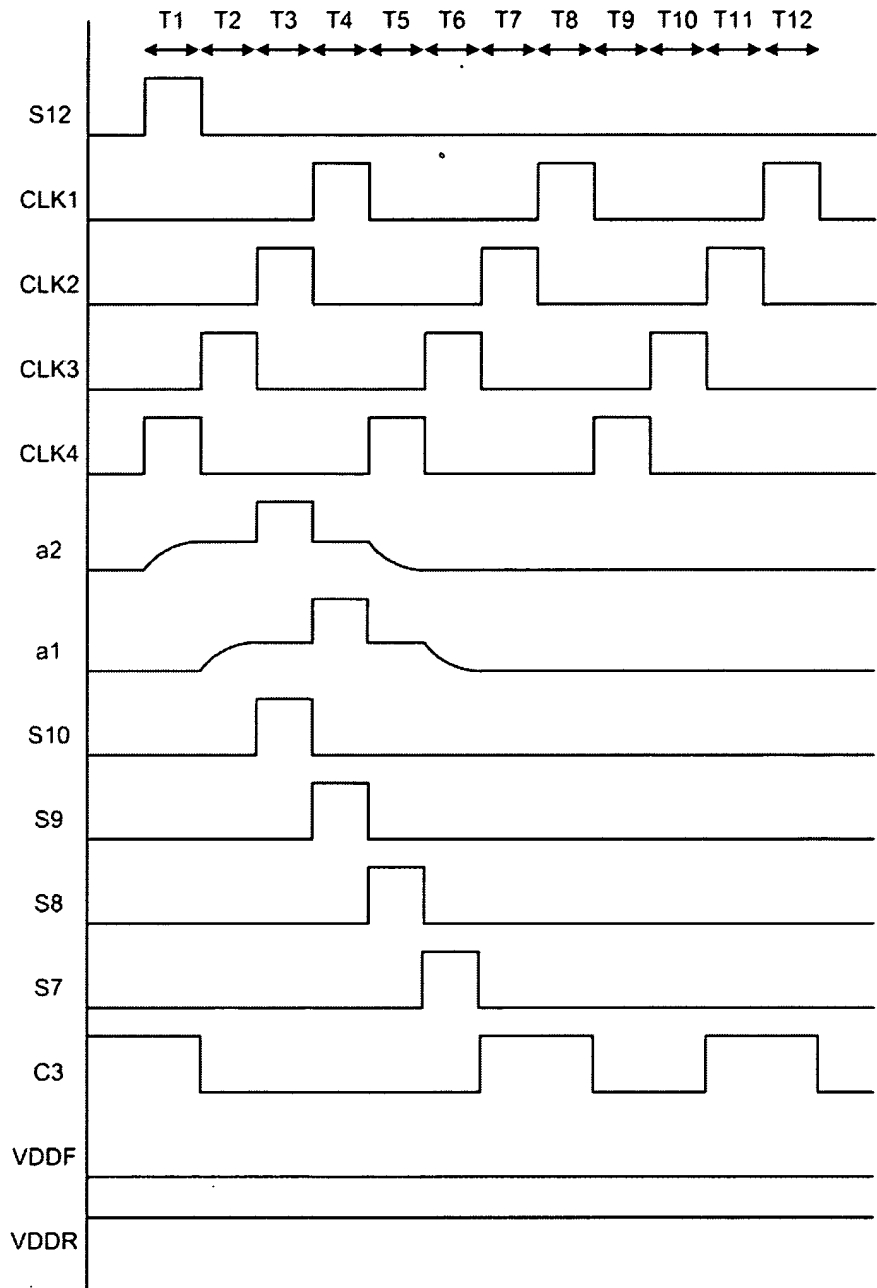


第三圖



5

第四圖



第五圖