



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201711048 A

(43) 公開日：中華民國 106 (2017) 年 03 月 16 日

(21) 申請案號：105124125 (22) 申請日：中華民國 105 (2016) 年 07 月 29 日
 (51) Int. Cl. : *G11C17/14 (2006.01)* *G11C5/06 (2006.01)*
 (30) 優先權：2015/07/29 美國 62/198,666
 (71) 申請人：國立交通大學(中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)
 新竹市大學路 1001 號
 (72) 發明人：莊紹勳 CHUNG, STEVE S. (TW)；謝易叡 HSIEH, E RAY (TW)；黃智宏 HUANG,
 ZHI HONG (TW)
 (74) 代理人：李世章；秦建譜
 申請實體審查：有 申請專利範圍項數：30 項 圖式數：20 共 58 頁

(54) 名稱

介電質熔絲型記憶電路及其操作方法

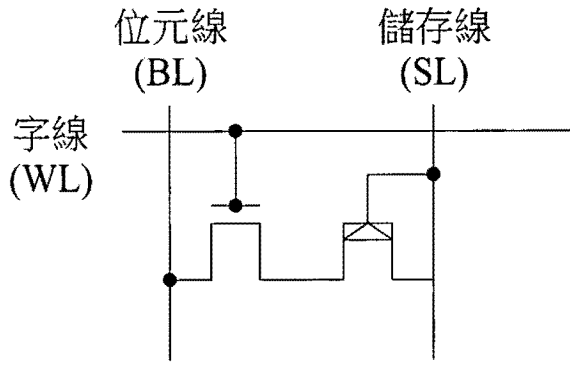
DIELECTRIC FUSE MEMORY CIRCUIT AND OPERATION METHOD THEREOF

(57) 摘要

本發明提出一種可一次性寫入並重複隨機讀取的積體電路記憶體，此記憶體係利用介電質熔絲的方式，作為儲存元件的寫入操作，其主要特徵為，施加一電場於介電質使得其內之離子被析出或介電質熔毀，造成介電質結構損壞，呈穿孔狀，經由介電質穿隧的電流將由寫入前的高電導(低電阻)態轉變為低電導(高電阻)態，此機制已整合於超大型積體電路中完成積體電路記憶體之驗證，並利用 CMOS 製程實現之。

This invention proposed one kind of one-time programming and repeatably random read integrated circuit memory. The storage device of this memory programs the information by using dielectric-fuse mechanism. The main characteristics of dielectric fuse mechanisms is that by applying an electric field on the dielectrics, the ions or atoms in the dielectrics are being drifted-out or dielectrics are burned-out, which create damage of the dielectric structure in a form of porosity, and the conductivity (resistivity) of tunneling current through the dielectrics changes the state from high conductivity (resistivity) to low conductivity (resistivity). The dielectric fuse mechanism has been integrated in VLSI circuits, completed the validation, and implemented by the fabrication of CMOS process.

指定代表圖：



第 1B 圖

符號簡單說明：

1000 . . . 積體電路
記憶體

1100 . . . 記憶體胞

1110、1120 . . . 電
晶體

1200 . . . 儲存線驅
動器

1300 . . . 字線驅動
器

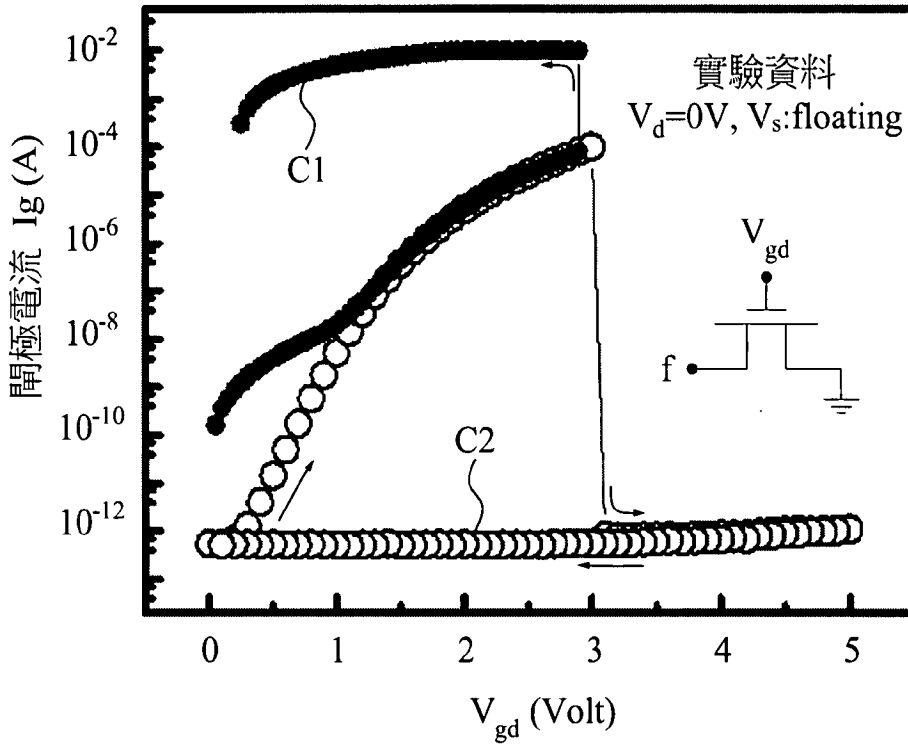
1400 . . . 位元線驅
動器與感測放大器

BL . . . 位元線

C1、C2 . . . 實驗曲
線

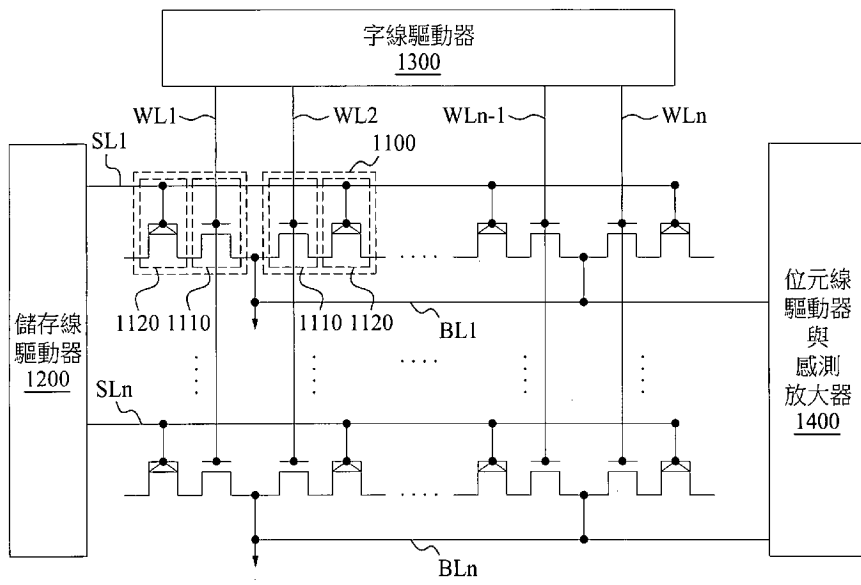
SL . . . 儲存線

WL . . . 字線



第 1C 圖

1000



第 2A 圖

申請案號：105124125 【發明摘要】

申請日：105. 7. 29 (2006.01)

IPC分類：G11C 17/14

【中文發明名稱】介電質熔絲型記憶電路及其操作方法 G11C 5/06 (2006.01)

【英文發明名稱】DIELECTRIC FUSE MEMORY

CIRCUIT AND OPERATION METHOD THEREOF

【中文】

本發明提出一種可一次性寫入並重複隨機讀取的積體電路記憶體，此記憶體係利用介電質熔絲的方式，作為儲存元件的寫入操作，其主要特徵為，施加一電場於介電質使得其內之離子被析出或介電質熔毀，造成介電質結構損壞，呈穿孔狀，經由介電質穿隧的電流將由寫入前的高電導(低電阻)態轉變為低電導(高電阻)態，此機制已整合於超大型積體電路中完成積體電路記憶體之驗證，並利用CMOS製程實現之。

【英文】

This invention proposed one kind of one-time programming and repeatably random read integrated circuit memory. The storage device of this memory programs the information by using dielectric-fuse mechanism. The main characteristics of dielectric fuse mechanisms is that by applying an electric field on the dielectrics, the ions or atoms in the dielectrics are being drifted-out or dielectrics are burned-out, which create damage of the dielectric structure in a form of porosity,

and the conductivity (resistivity) of tunneling current through the dielectrics changes the state from high conductivity (resistivity) to low conductivity (resistivity). The dielectric fuse mechanism has been integrated in VLSI circuits, completed the validation, and implemented by the fabrication of CMOS process.

【指定代表圖】第1B、1C、2A圖

【代表圖之符號簡單說明】

1000：積體電路記憶體	BL：位元線
1100：記憶胞	C1、C2：實驗曲線
1110、1120：電晶體	SL：儲存線
1200：儲存線驅動器	WL：字線
1300：字線驅動器	
1400：位元線驅動器與感測放大器	

【特徵化學式】

無

【發明說明書】

【中文發明名稱】介電質熔絲型記憶電路及其操作方法

【英文發明名稱】DIELECTRIC FUSE MEMORY
CIRCUIT AND OPERATION METHOD THEREOF

【技術領域】

【0001】本發明係有關於一種記憶體，尤其是有關於一種一次性編程重複隨機讀取之積體電路記憶體。

【先前技術】

【0002】一次編程(one time programming, OTP) 記憶體及多次性編程 (multi time programming, MTP) 記憶體家族主要分有三類，說明如後。第一類是最傳統的利用金屬連線中的金屬原子因為電遷移效應 (electromigration) 在大電流的時候被推動使得金屬連線斷線，形成熔絲型態(fuse-type)，可用鋁/銅/矽化物襯墊 (Al/Cu/Silicide liner)、多晶矽襯墊 (poly-Si liner)、接觸貫孔(contact via)或金屬閘襯墊(metal gate liner)實現。

【0003】第二類是因為閘介電層厚度不斷微縮，使得介電層的崩潰電場大幅下降，因此利用介電層崩潰的機制可讓閘介電層從原本的低電導態變成高電導態，形成反熔絲型態 (anti-fused type)，因為閘介電層反熔絲崩潰的機制相較於金屬電遷移熔絲崩潰機制操作上較穩定且單位記憶體所需面積較小，是目前的OTP應用之主流。

【0004】 第三類則是利用電荷儲存(charge storage)的機制來達成，可利用記憶體製程在系統單晶片(System on Chip, SOC)上形成浮動閘極(floating-gate)或SONOS(silicon-oxide-nitride-oxide-silicon)結構，形成快閃式記憶體(Flash MOSFET)；抑或，使用多晶矽(poly-Si) CMOS元件的閘極側壁結構(spacer)來儲存電荷達成紀錄資訊的目的。

【0005】 上述第一類需要的面積大、操作電流高、讀取窗口小，因此，只適合低密度的開機碼編程。第二類的資訊保存性(retention)較佳而且不需額外光罩，且不需利用特殊製程便可實現，成本低廉。但有電荷佚失問題，資訊保存性不佳。

【0006】 由此可見，上述現有的方式，顯然仍存在不便與缺陷，而有待改進。為了解決上述問題，相關領域莫不費盡心思來謀求解決之道，但長久以來仍未發展出適當的解決方案。

【發明內容】

【0007】 發明內容旨在提供本揭示內容的簡化摘要，以使閱讀者對本揭示內容具備基本的理解。此發明內容並非本揭示內容的完整概述，且其用意並非在指出本發明實施例的重要/關鍵元件或界定本發明的範圍。

【0008】 本發明內容之一目的是在提供一種積體電路記憶體，藉以改善先前技術的問題。

【0009】 為達上述目的，本發明內容之一技術型態係關於一種積體電路記憶體，此積體電路記憶體包含複數個記憶胞，該些記憶胞中的每一者連接於至少一條解碼線或至少一條接

地線，且該些記憶胞的每一者包含第一場效電晶體與第二場效電晶體。第一場效電晶體包含第一區域、第二區域及第三區域，其中第三區域連接於第一區域與第二區域。此外，第一場效電晶體更包含至少一閘介電層及至少一閘電極層，至少一閘介電層配置於第三區域上，而至少一閘電極層用以接收並施加電訊號於閘介電層，以使第一區域和第二區域的電訊號在第三區域進行傳遞。第二場效電晶體包含第一區域、第二區域及第三區域，其中第三區域連接於第一區域與第二區域。此外，第二場效電晶體更包含至少一閘介電層及至少一閘電極層，至少一閘介電層配置於第三區域上，而至少一閘電極層用以接收並施加電訊號於閘介電層，以使第一區域和第二區域的電訊號在第三區域進行傳遞。藉由施加電訊號於第二場效電晶體的閘介電層，使得閘介電層的電導態由高電導態轉變為低電導態，且無法再度藉由施加電訊號於第二場效電晶體的閘介電層，而使閘介電層之電導態進行轉態，其中閘介電層的高電導態和低電導態係分別表示該記憶胞的兩個不同之儲存狀態。

【0010】 在一實施例中，第二場效電晶體的至少一閘電極層連接到第一解碼線路，第二場效電晶體的第一區域連接到或共用於第一場效電晶體的第二區域。第二場效電晶體的第二區域連接到接地線。第一場效電晶體的閘電極連接到第二解碼線路，第一場效電晶體的第一區域連接到第三解碼線路，其中第一場效電晶體與第二場效電晶體更包含接地端，接地端連接到記憶胞的接地線。該些記憶胞中的兩個記憶胞的該些第一場效電晶體皆連接於第三解碼線路，其中兩個記憶胞彼此相鄰。藉

由施加電訊號於第一解碼線路、第二解碼線路與第三解碼線路，俾使該些記憶胞其中一者的第一場效電晶體電性導通，以於第二場效電晶體之閘氧化層的兩個端點產生電壓差或電流，使得第二場效電晶體的閘介電層之高電導態轉變為低電導態而得以儲存資訊。施加電訊號於第一解碼線路、第二解碼線路與第三解碼線路，俾使該些記憶胞其中一者的第一場效電晶體電性導通，並辨別第一解碼線路或第三解碼線路上的電訊號之強度大小，而讀取第二場效電晶體的閘介電層的電導狀態。

【0011】 在參閱下文實施方式後，本發明所屬技術領域中具有通常知識者當可輕易瞭解本發明之基本精神及其他發明目的，以及本發明所採用之技術手段與實施型態。

【圖式簡單說明】

【0012】 為讓本發明之上述和其他目的、特徵、優點與實施例能更明顯易懂，所附圖式之說明如下：

第1A圖屬於先前的介電質反熔絲記憶胞，由一個控制電晶體(左)串連一個可介電質反熔絲元件(右)而組成。

第1B圖本發明之介電質熔絲記憶胞，由一個控制電晶體(左)串連一個可介電質熔絲元件(右)而組成。

第1C圖由實驗量得之介電質反熔絲與介電質熔絲元件之編程的電性掃描曲線。

第1D圖介電質熔絲元件在熔絲後之結構示意圖。

第1E圖介電質反熔絲元件在反熔絲後之結構示意圖。

第2A圖係依照本發明一實施例繪示一種積體電路記憶體的示意圖。

第2B圖係依照本發明另一實施例繪示一種積體電路記憶體的示意圖。

第3圖係依照本發明一實施例繪示一種如第2A圖所示之積體電路記憶體的佈局示意圖。

第4圖係依照本發明另一實施例繪示一種如第2B圖所示之積體電路記憶體的佈局示意圖。

第5圖係依照本發明又一實施例繪示一種積體電路記憶體的結構示意圖。

第6圖係依照本發明一實施例繪示一種積體電路記憶體的示意圖。

第7圖係依照本發明另一實施例繪示一種積體電路記憶體的示意圖。

第8圖係依照本發明一實施例繪示一種如第6圖所示之積體電路記憶體的佈局示意圖。

第9圖係依照本發明另一實施例繪示一種如第7圖所示之積體電路記憶體的佈局示意圖。

第10圖係依照本發明又一實施例繪示一種積體電路記憶體的結構示意圖。

第11圖係依照本發明再一實施例繪示一種積體電路記憶體的結構示意圖。

第12圖係依照本發明另一實施例繪示一種積體電路記憶體的結構示意圖。

第13圖係依照本發明一實施例繪示一種積體電路記憶體的示意圖。

第14圖係依照本發明另一實施例繪示一種積體電路記憶體的示意圖。

第15圖係依照本發明一實施例繪示一種如第13圖所示之積體電路記憶體的佈局示意圖。

第16圖係依照本發明另一實施例繪示一種如第14圖所示之積體電路記憶體的佈局示意圖。

第17圖係依照本發明又一實施例繪示一種積體電路記憶體的結構示意圖。

第18圖係依照本發明一實施例繪示一種積體電路記憶體的示意圖。

第19圖係依照本發明另一實施例繪示一種如第18圖所示之積體電路記憶體的佈局示意圖。

第20圖係依照本發明又一實施例繪示一種積體電路記憶體的結構示意圖。

根據慣常的作業方式，圖中各種特徵與元件並未依比例繪製，其繪製方式是為了以最佳的方式呈現與本發明相關的具體特徵與元件。此外，在不同圖式間，以相同或相似的元件符號來指稱相似的元件/部件。

【實施方式】

【0013】 為了使本揭示內容的敘述更加詳盡與完備，下文針對了本發明的實施型態與具體實施例提出了說明性的描述；但這並非實施或運用本發明具體實施例的唯一形式。實施

方式中涵蓋了多個具體實施例的特徵以及用以建構與操作這些具體實施例的方法步驟與其順序。然而，亦可利用其他具體實施例來達成相同或均等的功能與步驟順序。

【0014】 除非本說明書另有定義，此處所用的科學與技術詞彙之含義與本發明所屬技術領域中具有通常知識者所理解與慣用的意義相同。此外，在不和上下文衝突的情形下，本說明書所用的單數名詞涵蓋該名詞的複數型；而所用的複數名詞時亦涵蓋該名詞的單數型。

【0015】 與傳統之介電質反熔絲(anti-fuse)記憶體(第1A圖)所示不同，本記憶體的基本單元為二個電晶體組成，(見第1B圖)一控制電晶體串聯一介電質熔絲崩潰(dielectric-fuse)電晶體，它係利用介電質熔絲的方式，施加一電場於介電質使得其內之離子被析出或介電質燒毀，造成介電質結構損壞，呈穿孔狀(porosity)，經由介電質穿隧的電流將由寫入前的高電導(低電阻)態轉變為低電導(高電阻)態，作為儲存元件的寫入操作，此機制已運用現階段高介電金屬閘的CMOS製程驗證，其熔絲電性掃描曲線如第1C圖的實驗結果，以一高於硬崩潰(hard breakdown)的高電壓且時間很短的脈衝加於電晶體的閘極，可得到第1C圖曲線C2之中空圓形符號的 I_g-V_{gd} 特性，其改變是閘極到汲極的電流是由高電流至低電流(順時針方向)的改變。相反的，傳統之介電質反熔絲記憶體的實驗結果如曲線C1所示。閘極到汲極的電流是由低電流至高電流(反時針方向)的改變。此外，請見第1C圖，介電質反熔絲後介電質之電導態變大且不可回復；而介電質熔絲後，介電質之電

導態變小且不可回復。就結構來區別，本發明之介電質熔絲電晶體當其閘介電層被熔絲後，介電質內的物質被析出或介電質燒毀，導致其結構空洞化，其電性由閘極到電晶體通道被此空洞阻隔，形同斷路，如第1D圖所示；相反的，先前技術之介電質反熔絲電晶體，其閘介電層被反熔絲後，介電層被電流貫穿產生導通路徑，使其閘極到汲極量到的電阻態變低(電導態變高)，其結構由閘極到氧化層行成通道，由圓圈串成反熔絲滲出路徑(percolation path)，如第1E圖所示。

【0016】 第2A圖係依照本發明一實施例繪示一種積體電路記憶體1000的示意圖。此積體電路記憶體1000為介電質熔絲一次編程(one time programming, OTP)積體電路記憶體，此積體電路記憶體1000之記憶胞1100由作為控制元件的場效電晶體1110和可供介電質熔絲之場效電晶體1120串聯而成，而字線WL與積體電路記憶體1000之多個記憶胞1100其中之一的場效電晶體1110的閘電極相連，儲存線SL與積體電路記憶體1000之多個記憶胞1100其中之一的場效電晶體1120之閘電極相連，位元線BL則與相鄰兩個記憶胞1100之場效電晶體1110的汲極共連。此外，儲存線驅動器1200連接於並提供電訊號給儲存線SL，字線驅動器1300連接於並提供電訊號給字線WL，位元線驅動器與感測放大器1400連接於並提供電訊號給位元線BL。

【0017】 第2B圖係依照本發明另一實施例繪示一種積體電路記憶體1000A的示意圖。此積體電路記憶體1000A為介電質熔絲一次編程積體電路記憶體，此積體電路記憶體1000A之

記憶胞1100A由作為控制元件的場效電晶體1110A和可供介電質熔絲之場效電晶體1120A串聯而成，而字線WL與積體電路記憶體1000A之多個記憶胞1100A其中之一的場效電晶體1110A的閘電極相連，儲存線SL與積體電路記憶體1000A之多個記憶胞1100A其中之一的場效電晶體1120A之閘電極相連，位元線BL則與積體電路記憶體1000A之多個記憶胞1100A其中之一的場效電晶體1110A之汲電極相連。

【0018】 第3圖係依照本發明一實施例繪示一種如第2A圖所示之積體電路記憶體1000的佈局示意圖。如圖所示，在主動區內為擴散區。字線WL垂直放置於擴散區之上，字線WL與擴散區相交之處則為控制元件(如場效電晶體1110)的位置。儲存線SL相鄰於字線WL，並垂直放置於擴散區之上，儲存線SL與擴散區相交之處則為儲存元件(如場效電晶體1120)的位置。位元線BL與擴散區、字線WL、儲存線SL垂直，並藉由貫孔(via)和金屬栓塞(plug)沿伸至兩個相鄰字線WL之中間與擴散區相連。

【0019】 第4圖係依照本發明另一實施例繪示一種如第2B圖所示之積體電路記憶體1000A的佈局示意圖。擴散區在主動區之內。字線WL垂直放置於擴散區之上，字線WL與擴散區相交之處則為控制元件(如場效電晶體1110A)的位置。儲存線SL相鄰於字線WL，並垂直放置於擴散區之上，儲存線SL與擴散區相交之處則為儲存元件(如場效電晶體1120A)的位置。位元線BL與擴散區、字線WL、儲存線SL垂直，並藉由貫孔和金屬栓塞沿伸至字線WL與儲存線SL之中間與擴散區相連。

【0020】 第5圖係依照本發明又一實施例繪示一種積體電路記憶體1000的結構示意圖。積體電路記憶體1000的記憶胞由一個作為控制元件的場效電晶體1110和作為儲存元件的場效電晶體1120組成。場效電晶體1110、1120可以利用高介電係數金屬閘極金氧半場效電晶體(High-K Metal Gate Metal-Oxide-Semiconductor Field-Effect Transistor, HKMG MOSFET)實現，HKMG MOSFET是由可以導通電訊號的汲極和源極1118/1119/1129、位於汲源極之間可以控制電訊號導通的通道1130/1140、在通道之上的閘介電層和在閘介電層之上的閘金屬所組成。HKMG MOSFET的閘介電層係由一層間界層1116/1126和一層高介電係數介電層1115/1125組成。閘金屬可分為三層，第一層為障蔽金屬1114/1124，第二層為公函數金屬層1113/1123，第三層為阻擋金屬層1112/1122。閘金屬上連接觸金屬1111/1121。場效電晶體1110的接觸金屬1111與字線WL相連或共用。場效電晶體1120的接觸金屬1121與儲存線SL相連或共用。場效電晶體1120的汲極1119連接到或共用於場效電晶體1110的源極1119。再者，場效電晶體1110的汲極1118則與位元線BL相連。此外，閘極間隙壁1117、1127配置於層間界層1116、1126兩側。

【0021】 請參閱下表一，其為本發明實施例之積體電路記憶體1000的一種操作方式。當寫入資訊時(program)，被選擇到的字線WL施加VWL電壓，未被選擇到的字線WL施加0V(伏特)電壓，被選擇到的位元線BL施加VBL電壓，未被選

擇到的位元線BL施加0V電壓，被選擇到的儲存線SL施加V_{SR}電壓，未被選擇到的儲存線SL施加0V電壓，若有地線則施加0V電壓。當讀取資訊時(read)被選擇到的字線WL施加V_{DD}電壓，未被選擇到的字線WL施加0V電壓，被選擇到的位元線BL施加0.1V_{DD}~V_{DD}之間的電壓，未被選擇到的位元線BL施加0V電壓，被選擇到的儲存線SL施加V_{DD}電壓，未被選擇到的儲存線SL施加0V電壓，若有地線則施加0V電壓。

表一、操作參數表

operation	World line		Bit Line		Storage Line		Ground (optional)
	Selected	Unselected	Selected	Unselected	Selected	Unselected	
Program	V _{WL}	0V	V _{BL}	0V	V _{SR}	0V	0V
Read	V _{DD}	0V	0.1V _{DD} ~V _{DD}	0V	V _{DD}	0V	0V

【0022】 在一實施例中，若施加電訊號於場效電晶體1120的閘介電層，使得該閘介電層的電導態由高電導態轉變為低電導態，且無法再度藉由施加電訊號於場效電晶體1120的閘介電層，而使閘介電層之電導態進行轉態。此閘介電層的高電導態和低電導態係用以儲存資訊。在另一實施例中，積體電路記憶體1000的多個記憶胞1100中的相鄰兩個記憶胞1100之場效電晶體1110皆連接於位元線BL。

【0023】 於再一實施例中，藉由施加電訊號於儲存線SL、字線WL與位元線BL，俾使多個記憶胞1100其中一者的場效電晶體1110電性導通，以於場效電晶體1120之閘氧化層的兩個端點產生電壓差或電流，使得場效電晶體1120的閘介電層之高電導態轉變為低電導態而得以儲存資訊。在一實施例中，施加電訊號於儲存線SL、字線WL與位元線BL，

【0024】 第6圖係依照本發明一實施例繪示一種積體電路記憶體1000B的示意圖。相較於第2A圖之場效電晶體1120，第6圖所示之積體電路記憶體1000B以儲存元件1120B來加以實現。第7圖係依照本發明另一實施例繪示一種積體電路記憶體1000C的示意圖。相較於第2B圖之場效電晶體1120A，第7圖所示之積體電路記憶體1000C以儲存元件1120C來加以實現。

【0025】 第8圖係依照本發明一實施例繪示一種如第6圖所示之積體電路記憶體1000B的佈局示意圖。如圖所示，在主動區內為擴散區。字線WL垂直放置於擴散區之上，字線WL與擴散區相交之處則為控制元件(如場效電晶體1110B)的位置。儲存線SL相鄰於字線WL垂直放置於擴散區之上，儲存線SL與擴散區相交之處則為儲存元件(如儲存元件1120B)的位置。位元線BL與擴散區、字線WL、儲存線SL垂直，並藉由貫孔和金屬栓塞沿伸至兩個相鄰字線WL之中間與擴散區相連。

【0026】 第9圖係依照本發明另一實施例繪示一種如第7圖所示之積體電路記憶體1000C的佈局示意圖。在主動區內為擴散區。字線WL垂直放置於擴散區之上，字線WL與擴散區相交之處則為控制元件(如場效電晶體1110C)的位置。儲存線SL相鄰於字線WL，並垂直放置於擴散區之上，儲存線SL與擴散區相交之處則為儲存元件(如儲存元件1120C)的位置。位元線BL與擴散區、字線WL、儲存線SL垂直，並藉由貫孔和金

氧化鎳或上述物質之組合。藉由施加電訊號於儲存元件1120之介電質，使得介電質的電導態由高電導態轉變為低電導態，而對儲存元件1120寫入資訊，且無法再度藉由施加電訊號於儲存元件1120的介電質，而使介電質之電導態進行轉態。此外，介電質的高電導態和低電導態係用以儲存資訊。

【0029】 在另一實施例中，儲存元件1120更包含第一層狀部與第二層狀部。儲存元件1120之介電質配置於第一層狀部上，第二層狀部配置於介電質上。第一層狀部可為但不限於第一電極或第一層連線，第二層狀部可為但不限於第二電極或第二層連線。

【0030】 在又一實施例中，場效電晶體1110的閘電極層連接到字線WL，場效電晶體1110的第一區域1118連接到位元線BL。此外，場效電晶體1110更包含接地端(圖中未示)，接地端連接到記憶胞1100的接地線(圖中未示)。

【0031】 請參閱第6圖及第7圖，在另一實施例中，積體電路記憶體1000B、1000C的多個記憶胞1100B、1000C中的相鄰兩個記憶胞之場效電晶體1110B、1110C皆連接於位元線BL。

【0032】 於再一實施例中，藉由施加電訊號於儲存線SL、字線WL與位元線BL，俾使多個記憶胞1100其中一者的場效電晶體1110電性導通，以於儲存元件1120之兩個端點產生電壓差或電流，使得儲存元件1120的介電層之高電導態轉變為低電導態，藉此改變儲存元件1120的電導態而得以儲存資訊。在一實施例中，施加電訊號於儲存線SL、字

線WL與位元線BL，俾使多個記憶胞1100其中一者的場效電晶體1110電性導通，並根據儲存線SL或位元線BL上的電訊號之強度大小，而讀取儲存元件1120的高電導或低電導狀態。

【0033】請參閱下表二，其為本發明第6圖及第7圖所載之實施例的積體電路記憶體1000B、1000C的一種操作方式。當寫入資訊時(program)，被選擇到的字線WL施加 V_{WL} 電壓，未被選擇到的字線WL施加0V電壓，被選擇到的位元線BL施加 V_{BL} 電壓，未被選擇到的位元線BL施加0V電壓，被選擇到的儲存線SL施加 V_{SR} 電壓，未被選擇到的儲存線SL施加0V電壓，若有地線則施加0V電壓。當讀取資訊時(read)被選擇到的字線WL施加 V_{DD} 電壓，未被選擇到的字線WL施加0V電壓，被選擇到的位元線BL施加 $0.1V_{DD} \sim V_{DD}$ 之間的電壓，未被選擇到的位元線BL施加0V電壓，被選擇到的儲存線SL施加 V_{DD} 電壓，未被選擇到的儲存線SL施加0V電壓，若有地線則施加0V電壓。

表二、操作參數表

Conditions operation	World line		Bit Line		Storage Line		Ground (optional)
	Selected	Unselected	Selected	Unselected	Selected	Unselected	
Program	V_{WL}	0V	V_{BL}	0V	V_{SR}	0V	0V
Read	V_{DD}	0V	$0.1V_{DD} \sim V_{DD}$	0V	V_{DD}	0V	0V

【0034】第13圖係依照本發明一實施例繪示一種積體電路記憶體1000D的示意圖。相較於第2A圖之場效電晶體1120，第13圖所示之作為儲存元件的場效電晶體1120D之一端接地。第14圖係依照本發明另一實施例繪示一種積體電路記

憶體1000E的示意圖。相較於第2A圖之場效電晶體1120，第14圖所示之作為儲存元件的場效電晶體1120E之一端接地。

【0035】 第15圖係依照本發明一實施例繪示一種如第13圖所示之積體電路記憶體1000D的佈局示意圖。如圖所示，擴散區在主動區之內。字線WL垂直放置於擴散區之上，字線WL與擴散區相交之處則為控制元件(如場效電晶體1110D)的位置。儲存線SL相鄰於字線WL，並垂直放置於擴散區之上，儲存線SL與擴散區相交之處則為儲存元件(如場效電晶體1120D)的位置。位元線BL與擴散區、字線WL、儲存線SL垂直，並藉由貫孔和金屬栓塞沿伸至兩個相鄰字線WL之中間與擴散區相連。此外，兩條接地線GL相鄰於兩條儲存線SL，且配置於兩條儲存線SL之外側，並垂直放置於擴散區之上。

【0036】 第16圖係依照本發明另一實施例繪示一種如第14圖所示之積體電路記憶體1000E的佈局示意圖。在主動區內為擴散區。字線WL垂直放置於擴散區之上，字線WL與擴散區相交之處則為控制元件(如場效電晶體1110E)的位置。儲存線SL相鄰於字線WL，並垂直放置於擴散區之上，儲存線SL與擴散區相交之處則為儲存元件(如場效電晶體1120E)的位置。位元線BL與擴散區、字線WL、儲存線SL垂直，並藉由貫孔和金屬栓塞沿伸至字線WL與儲存線SL之中間與擴散區相連。此外，接地線GL相鄰於儲存線SL，並垂直放置於擴散區之上。

【0037】 第17圖係依照本發明又一實施例繪示一種積體電路記憶體的結構示意圖。相較於第5圖所示之積體電路記憶

體的結構，第17圖所示之積體電路記憶體更具有接地線GL，此接地線GL位於擴散區1129之上，並透過擴散區1129連接於場效電晶體1120。

【0038】請參閱下表三，其為本發明實施例之積體電路記憶體1000D、1000E的一種操作方式。當寫入資訊時(program)，被選擇到的字線WL施加 V_{WL} 電壓，未被選擇到的字線WL施加0V電壓，被選擇到的位元線BL施加 V_{BL} 電壓，未被選擇到的位元線BL施加0V電壓，被選擇到的儲存線SL施加 V_{SR} 電壓，未被選擇到的儲存線SL施加0V電壓，地線則施加0V電壓。當讀取資訊時(read)被選擇到的字線WL施加 V_{DD} 電壓，未被選擇到的字線WL施加0V電壓，被選擇到的位元線BL施加 $0.1V_{DD} \sim V_{DD}$ 之間的電壓，未被選擇到的位元線BL施加0V電壓，被選擇到的儲存線SL施加0V電壓，未被選擇到的儲存線SL施加0V電壓，地線則施加0V電壓。

表三、操作參數表

Conditions operation	World line		Bit Line		Storage Line		Ground line
	Selected	Unselected	Selected	Unselected	Selected	Unselected	
Program	V_{WL}	0V	V_{BL}	0V	V_{SR}	0V	0V
Read	V_{DD}	0V	$0.1V_{DD} \sim V_{DD}$	0V	0V	0V	0V

【0039】第18圖係依照本發明一實施例繪示一種積體電路記憶體2000的示意圖。此積體電路記憶體1000可為但不限於介電質熔絲一次編程(one time programming, OTP)積體電路記憶體。此積體電路記憶體2000包含複數個記憶頁，該些記憶頁中的每一者包含複數個記憶胞2100、第一選擇元件LSG1與第二選擇元件RSG1。該些記憶頁的每一者連接於至少

一條解碼線(如字線WL、控制線CL或位元線BL)或至少一條接地線GL(圖中未示)，該些記憶胞2100彼此串聯。該些記憶胞2100的每一者包含第一場效電晶體2110、第二場效電晶體2120與第三場效電晶體2130。上述場效電晶體2110~2130皆包含第一區域、第二區域及第三區域。第三區域連接於第一區域與第二區域。上述場效電晶體2110~2130更包含閘介電層與閘電極層。閘介電層配置於第三區域，閘電極層用以接收並施加電訊號於閘介電層，以使第一區域和第二區域的電訊號在第三區域進行傳遞。

【0040】 第一場效電晶體2110的第二區域連接到或共用於第二場效電晶體2120的第一區域，第一場效電晶體2110的第一區域連接到第一選擇元件LSG1，且第一場效電晶體2110的閘電極層連接到字線WL~WL2n的其中一條。第三場效電晶體2130的第一區域連接到或共用於第二場效電晶體2120的第二區域，而第三場效電晶體2130的第二區域連接到第二選擇元件RSG1，且第三場效電晶體2130的閘電極層連接到字線WL~WL2n的另一條。另外，字線/控制線驅動器2200連接於並提供電訊號給字線WL~WL2n與控制線CL~CLn，位元線驅動器2300連接於並提供電訊號給位元線BL1~BL3，選擇閘驅動器2400連接於並提供電訊號給選擇線LSL1、LSLn、LSLB1、LSLBn。第二場效電晶體2120的閘電極層連接到控制線CL1~CLn，第一場效電晶體2110、第二場效電晶體2120與第三場效電晶體2130更包含接地端(圖中未示)，接地端連接到記憶胞2100的接地線(圖中未示)。在另一實施例中，該些記

憶胞中的兩個記憶胞的第一場效電晶體2110的第一區域皆連接於第一選擇元件LSG1(圖中未示)，其中該兩個記憶胞彼此相鄰。在又一實施例中，該些記憶胞2100中的兩個記憶胞的第三場效電晶體2130的第二區域皆連接於第二選擇元件RSG1(圖中未示)，其中該兩個記憶胞彼此相鄰。第一選擇元件LSG1與第二選擇元件RSG1皆包含第一端點、第二端點與第三端點。第一端點與該些記憶胞2100其中之一的第一場效電晶體2110之第一區域連接，第二端點連接到位元線BL，第三端點連接到選擇線LSL用以控制電訊號在第一選擇元件LSG1或第二選擇元件RSG1的第一端點與第二端點之間傳遞。第一選擇元件LSG1與第二選擇元件RSG1皆包含第一端點、第二端點、第三端點與第四端點。第一端點與該些記憶胞2100其中之一的第一場效電晶體2110之第一區域連接，第二端點連接到位元線BL，第三端點與第四端點連接到選擇線LSL用以控制電訊號在第一選擇元件LSG1或第二選擇元件RSG1的第一端點與第二端點之間傳遞。該些記憶頁中的兩個記憶頁的第一選擇元件LSG1或第二選擇元件RSG1皆連接於位元線BL，其中該兩個記憶頁彼此相鄰。

【0041】 在一實施例中，場效電晶體2110、2120、2130的閘介電層係由一層間介層2116/2126/2136和一層高介電係數介電層2115/2125/2135組成，且高介電係數介電層2115/2125/2135之相對介電常數大於3.9，而間介層2116/2126/2136之物理厚度小於或等於7奈米。在另一實施例中，場效電晶體2110、2120、2130之閘介電層包含氧化矽、

氮化矽、氮氧化矽(silicon oxy-nitride)、氧化鋁、氮氧化鋁或高電介值(high dielectric constant (high-k))材料。高電介值包含金屬氧化物，金屬氧化物包含氧化鋰、氧化鈹、氧化鎂、氧化鈣、氧化鋇、氧化釩、氧化鈮、氧化鈳、氧化鉛、氧化鋁、氧化鏷、氧化鈾、氧化鐳、氧化銣、氧化鈰、氧化銩、氧化釷、氧化鈾、氧化錒、氧化釷、氧化釷、氧化鐳或上述物質之組合。於再一實施例中，場效電晶體2110、2120、2130的閘電極包含多晶矽或包含金屬係選自由鎢、銅、鈦、銀、鋁、鈦鋁合金、氮化鋁鈦(TiAlN)、碳化鋇(TaC)、碳氮化鋇(TaCN)、鋇矽氮化物(TaSiN)、錳、鎳、氮化鈦、氮化鎢、氮化鋇、鈳及其組合所組成之群組。在又一實施例中，場效電晶體2110、2120、2130為n型金氧半場效電晶體、p型金氧半場效電晶體、n型無pn接面金氧半場效電晶體、p型無pn接面金氧半場效電晶體、n型鱗式場效電晶體、p型鱗式場效電晶體、n型三閘金氧半場效電晶體、p型三閘金氧半場效電晶體、n型奈米線場效電晶體或p型奈米線場效電晶體。

【0042】 在又一實施例中，藉由施加電訊號於字線WL、位元線BL與選擇線LSL，俾使第一選擇元件LSG1與第二選擇元件RSG1的第一端點與第二端點進行訊號傳遞，以於第一場效電晶體2110或第三場效電晶體2130之閘介電層產生電壓差或電流，使得第一場效電晶體2110或第三場效電晶體2130的閘介電層之高電導態轉變為低電導態。

【0043】 於再一實施例中，施加電訊號於控制線CL，使得第二場效電晶體2120導通，施加電訊號於字線WL(如字線

WL6)，使得第三場效電晶體2130進行訊號傳遞，施加約為積體電路記憶體2000之參考零準位之電訊號於字線WL(如字線WL5)，施加電訊號於位元線BL1，並辨別位元線BL1上的電訊號之強度大小，而讀取第一場效電晶體2110的閘介電層的電導狀態。

【0044】 在另一實施例中，施加電訊號於控制線CL，使得第二場效電晶體2120導通，施加電訊號於字線WL(如字線WL5)，使得第一場效電晶體2110進行訊號傳遞，施加約為積體電路記憶體2000之參考零準位之電訊號於WL(如字線WL6)，施加電訊號於位元線BL1，並辨別位元線BL1上的電訊號之強度大小，而讀取第三場效電晶體2130的閘介電層的電導狀態。

【0045】 第19圖係依照本發明另一實施例繪示一種如第18圖所示之積體電路記憶體2000的佈局示意圖。如圖所示，在主動區內為擴散區。字線WL垂直放置於擴散區之上。儲存線SL相鄰於字線WL，並垂直放置於擴散區之上。位元線BL與擴散區、字線WL、儲存線SL垂直，並藉由貫孔和金屬栓塞沿伸至兩個相鄰字線WL之中間與擴散區相連。

【0046】 第20圖係依照本發明又一實施例繪示一種積體電路記憶體的結構示意圖。相較於第5圖所示之積體電路記憶體的結構，第20圖所示之積體電路記憶體多配置一個作為儲存元件之場效電晶體，並多配置一條位元線。舉例而言，第20圖所示之積體電路記憶體多配置一個作為儲存元件之場效電晶體2110，其第一區2118連接於位元線BL_m，其第二區2119

連接或共用於作為控制元件之場效電晶體2120的第一區。此外，作為控制元件之場效電晶體2120的第二區連接或共用於作為儲存元件之場效電晶體2130的第一區，電晶體2130的第二區連接於位元線BL_{m+1}。

【0047】請參閱下表四，其為本發明實施例之積體電路記憶體2000的一種操作方式。當寫入資訊時(program)，被選擇到的字線WL施加V_{wL}電壓，與被選擇到的字線WL相鄰之字線WL施加0V電壓，未被選擇到的字線WL施加0V電壓或浮接(floating)，被選擇到的控制線CL施加0V電壓或浮接(floating)，未被選擇到的控制線CL施加0V電壓，被選擇到的位元線BL施加V_{BL}電壓，與被選擇到的位元線BL相鄰之位元線BL施加0V電壓或浮接(floating)，未被選擇到的位元線BL施加0V電壓，被選擇到的儲存線SL施加V_{SR}電壓，未被選擇到的儲存線SL施加0V電壓，若有地線則施加0V電壓。當讀取資訊時(read)被選擇到的字線WL施加0V電壓，與被選擇到的字線WL相鄰之字線WL施加V_{DD}電壓，未被選擇到的字線WL施加0V電壓或浮接(floating)，被選擇到的控制線CL施加V_{DD}電壓，未被選擇到的控制線CL施加0V電壓，被選擇到的位元線BL施加0.1V_{DD}~V_{DD}之間的電壓，與被選擇到的位元線BL相鄰之位元線BL施加0V電壓，未被選擇到的位元線BL施加0V電壓，被選擇到的儲存線SL施加V_{DD}電壓，未被選擇到的儲存線SL施加0V電壓，若有地線則施加0V電壓。

表四、操作參數表

Conditions operation	World line			Control line		Bit Line			Storage Line		Ground (optional)
	Selected, n	Neighborhood, n+1 or n-1	Unselected	Selected	Unselected	Selected	Neighborhood, n+1 or n-1	Unselected	Selected	Unselected	
Program	V _{wl}	0V	0V or floating	0V or floating	0V	V _{BL}	0V or floating	0V	V _{SR}	0V	0V
Read	0V	V _{DD}	0V or floating	VDD	0V	0.1V _{DD} ~V _{DD}	0V	0V	V _{DD}	0V	0V

【0048】 由上述本發明實施方式可知，應用本發明具有下列優點。本發明實施例藉由提供一種積體電路記憶體，其相較於先前技術具有以下優點：

【0049】 1. 相較於傳統的導線熔絲記憶體，本案之積體電路記憶體只需要極低的操作電流與較小的單位記憶體元件面積，且讀寫更加穩定；

【0050】 2. 相較於介電質反熔絲的記憶體，本案之積體電路記憶體擁有穩定的操作窗口、優異的資料保存特性和較小的單位記憶體元件面積，且雜訊比較低、電性擾動少、動態功率消耗低；

【0051】 3. 相較於傳統的電荷記憶體，本案之積體電路記憶體的製程簡單且不須額外光罩、資料保存性佳、成本低廉。

【0052】 雖然上文實施方式中揭露了本發明的具體實施例，然其並非用以限定本發明，本發明所屬技術領域中具有通常知識者，在不悖離本發明之原理與精神的情形下，當可對其進行各種更動與修飾，因此本發明之保護範圍當以附隨申請專利範圍所界定者為準。

【符號說明】

【0053】

1000、1000A~1000E：積體電路記憶體

1100、1100A~1100 E：記憶胞

- 1110、1110A~1110 E、1120、1120A~1120 E：電晶體
- 1111、1121：接觸金屬
- 1112、1122：阻擋金屬層
- 1113、1123：功函數金屬層
- 1114、1124：障蔽金屬
- 1115、1125：高介電係數介電層
- 1116、1126：層間界層
- 1117、1127：閘極間隙壁
- 1118、1119、1129：汲極/源極
- 1130、1140：通道
- 1150：接觸貫孔
- 1200：儲存線驅動器
- 1300：字線驅動器
- 1400：位元線驅動器與感測放大器
- 2000：積體電路記憶體
- 2100：記憶胞
- 2110~2130：電晶體
- 2200：字線/控制線驅動器
- 2300：位元線驅動器
- 2400：選擇閘驅動器

【發明申請專利範圍】

【第1項】 一種積體電路記憶體，包含：

複數個記憶胞，該些記憶胞中的每一者連接於至少一條解碼線或至少一條接地線，且該些記憶胞的每一者包含：

一第一場效電晶體，包含：

一第一區域、一第二區域及一第三區域，其中該第三區域連接於該第一區域與該第二區域；

至少一閘介電層，配置於該第三區域上；以及

至少一閘電極層，用以接收並施加電訊號於該閘介電層，以使該第一區域和該第二區域的電訊號在該第三區域進行傳遞；以及

一第二場效電晶體，包含：

一第一區域、一第二區域及一第三區域，其中該第三區域連接於該第一區域與該第二區域；

至少一閘介電層，配置於該第三區域上；以及

至少一閘電極層，用以接收並施加電訊號於該閘介電層，以使該第一區域和該第二區域的電訊號在該第三區域進行傳遞；

其中藉由施加電訊號於該第二場效電晶體的該閘介電層，使得該閘介電層的電導態由高電導態轉變為低電導態，且無法再度藉由施加電訊號於該第二場效電晶體的該閘介電層，而使該閘介電層之電

導態進行轉態，其中該閘介電層的高電導態和低電導態係分別表示該記憶胞的兩個不同之儲存狀態。

【第2項】 如請求項 1 所述之積體電路記憶體，其中該第二場效電晶體的該至少一閘電極層連接到一第一解碼線路，該第二場效電晶體的該第一區域連接到或共用於該第一場效電晶體的該第二區域。

【第3項】 如請求項 2 所述之積體電路記憶體，其中該第二場效電晶體的該第二區域連接到該接地線。

【第4項】 如請求項 2 所述之積體電路記憶體，其中該第一場效電晶體的該閘電極層連接到一第二解碼線路，該第一場效電晶體的該第一區域連接到一第三解碼線路，其中該第一場效電晶體與該第二場效電晶體包含一接地端，該接地端連接到該記憶胞的該接地線。

【第5項】 如請求項 4 所述之積體電路記憶體，其中該些記憶胞中的兩個記憶胞的該些第一場效電晶體皆連接於該第三解碼線路，其中該兩個記憶胞彼此相鄰。

【第6項】 如請求項 1 所述之積體電路記憶體，其中當該第二場效電晶體的該閘介電層包含一層介電質層，其中該介電質層的相對介電常數小於 10；當該第二場效電晶體的該閘介電層包含多層介電質層，該些介電質層的其中一層之相

對介電常數小於 10，而該些介電質層中的其他介電質層之相對介電常數大於該介電質層之該相對介電常數。

【第7項】 一種積體電路記憶體之操作方法，應用於如請求項 5 所述之積體電路記憶體，該操作方法包含：

施加電訊號於該第一解碼線路、該第二解碼線路與該第三解碼線路，俾使該些記憶胞其中一者的該第一場效電晶體電性導通，以於該第二場效電晶體之閘氧化層的兩個端點產生電壓差或電流，使得該第二場效電晶體的該閘介電層之高電導態轉變為低電導態而得以儲存資訊。

【第8項】 如請求項 7 所述之操作方法，更包含：

施加電訊號於該第一解碼線路、該第二解碼線路與該第三解碼線路，俾使該些記憶胞其中一者的該第一場效電晶體電性導通；以及

辨別該第一解碼線路或該第三解碼線路上的電訊號之強度大小，而讀取該第二場效電晶體的該閘介電層的電導狀態。

【第9項】 一種積體電路記憶體之操作方法，應用於如請求項 5 所述之積體電路記憶體，該操作方法包含：

施加電訊號於該第一解碼線路與一第四解碼線路，以於該第二場效電晶體之該閘介電層的兩個端點產生電壓差，使得該第二場效電晶體的該閘介電層之高電導態轉變為低電導態，藉此改變該第二場效電晶體的該閘介電層之電導

態而得以儲存資訊，其中與該記憶胞連接的該第四解碼線路的電訊號之電壓準位約為該第一解碼線路的電壓準位、約為該積體電路記憶體的參考零準位或為浮接狀態。

【第10項】 如請求項9所述之操作方法，更包含：

施加電訊號於該第二解碼線路與該第三解碼線路，俾使該些記憶胞其中一者的該第一場效電晶體電性導通；

施加約為該參考零準位之電訊號於該第一解碼線路與該第四解碼線路；以及

辨別該第三解碼線路或該第四解碼線路上的電訊號之強度大小，而讀取該第二場效電晶體的該閘介電層的電導狀態。

【第11項】 一種積體電路記憶體，包含：

複數個記憶胞，該些記憶胞中的每一者連接於至少一條解碼線或至少一條接地線，且該些記憶胞的每一者包含：

一場效電晶體，包含：

一第一區域、一第二區域及一第三區域，其中該第三區域連接於該第一區域與該第二區域；

至少一閘介電層，配置於該第三區域上；以及

至少一閘電極層，用以接收並施加電訊號於該閘介電層，以使該第一區域和該第二區域的電訊號在該第三區域進行傳遞；以及

一儲存元件，包含：

至少一介電質，藉由施加電訊號於該儲存元件之該至少一介電質，使得該至少一介電質的電導態由高電導態轉變為低電導態，而對該儲存元件寫入資訊，且無法再度藉由施加電訊號於該儲存元件的該至少一介電質，而使該至少一介電質之電導態進行轉態，其中該介電質之高電導態和低電導態分別表示該記憶胞的兩個不同之儲存狀態。

【第12項】如請求項 11 所述之積體電路記憶體，其中該儲存元件更包含：

一第一層狀部，該儲存元件之該至少一介電質配置於該第一層狀部上；以及

一第二層狀部，配置於該至少一介電質上；

其中該第一層狀部為一第一電極或一第一層連線，該第二層狀部為一第二電極或一第二層連線。

【第13項】如請求項 12 所述之積體電路記憶體，其中該第一電極、該第二電極、該第一連線與該第二連線係選自由金屬氮化物、金屬矽化物、金屬多晶矽化物及其組合所組成之群組。

【第14項】如請求項 11 所述之積體電路記憶體，其中該儲存元件的第一端點連接到一第一解碼線路，該儲存元件的第二端點連接到該場效電晶體的該第二區域。

【第15項】如請求項 14 所述之積體電路記憶體，其中該場效電晶體的該閘電極層連接到一第二解碼線路，該場效電晶體的該第一區域連接到一第三解碼線路，該場效電晶體更包含一接地端，該接地端連接到該記憶胞的該接地線。

【第16項】如請求項 15 所述之積體電路記憶體，其中該些記憶胞中的兩個記憶胞的該些場效電晶體皆連接於該第三解碼線路，其中該兩個記憶胞彼此相鄰。

【第17項】如請求項 11 所述之積體電路記憶體，其中當該儲存元件包含一層介電質層，其中該介電質層的相對介電常數介於範圍 7 到 3.9 之間且其物理厚度小於或等於 3 奈米；當該儲存元件包含多層介電質層，該些介電質層的其中一層之相對介電常數小於 10，而該些介電質層中的其他介電質層之相對介電常數大於該介電質層之該相對介電常數。

【第18項】一種積體電路記憶體之操作方法，應用於如請求項 15 所述之積體電路記憶體，該操作方法包含：

施加電訊號於該第一解碼線路、該第二解碼線路與該第三解碼線路，俾使該些記憶胞其中一者的該場效電晶體電性導通，以於該儲存元件的兩個端點產生電壓差或電流，使得該儲存元件的該至少一介電質之高電導態轉變為低電導態，藉此改變該儲存元件的電導態而得以儲存資訊。

【第19項】如請求項 18 所述之操作方法，更包含：

施加電訊號於該第一解碼線路、該第二解碼線路與該第三解碼線路，俾使該些記憶胞其中一者的該場效電晶體電性導通；以及

根據該第一解碼線路或該第三解碼線路上的電訊號之強度大小而讀取該儲存元件中的高電導或低電導狀態。

【第20項】一種積體電路記憶體，包含：

複數個記憶頁，該些記憶頁中的每一者包含複數個記憶胞、一第一選擇元件與一第二選擇元件，其中該些記憶頁的每一者連接於至少一條解碼線或至少一條接地線，該些記憶胞彼此串聯，且該些記憶胞的每一者包含：

一第一場效電晶體，包含：

一第一區域、一第二區域及一第三區域，其中該第三區域連接於該第一區域與該第二區域；

至少一閘介電層，配置於該第三區域上；以及

至少一閘電極層，用以接收並施加電訊號於該閘介電層，以使該第一區域和該第二區域的電訊號在該第三區域進行傳遞；

一第二場效電晶體，包含：

一第一區域、一第二區域及一第三區域，其中該第三區域連接於該第一區域與該第二區域；

至少一閘介電層，配置於該第三區域上；以及

至少一閘電極層，用以接收並施加電訊號於該閘介電層，以使該第一區域和該第二區域的電訊號在該第三區域進行傳遞；以及

一第三場效電晶體，包含：

一第一區域、一第二區域及一第三區域，其中該第三區域連接於該第一區域與該第二區域；

至少一閘介電層，配置於該第三區域上；以及

至少一閘電極層，用以接收並施加電訊號於該閘介電層，以使該第一區域和該第二區域的電訊號在該第三區域進行傳遞；

其中該第一場效電晶體的該第二區域連接到或共用於該第二場效電晶體的該第一區域，該第一場效電晶體的該第一區域連接到該第一選擇元件，且該第一場效電晶體的該至少一閘電極層連接到一第一解碼線路的一第一解碼線；

其中該第三場效電晶體的該第一區域連接到或共用於該第二場效電晶體的該第二區域，而該第三場效電晶體的該第二區域連接到該第二選擇元件，且該第三場效電晶體的該至少一閘電極層連接到該第一解碼線路的一第二解碼線；

其中藉由施加電訊號於該第一場效電晶體的該閘介電層或施加電訊號於該第三場效電晶體的該閘介電層，使得該第一場效電晶體或該第三場效電晶體之該閘介電層

的電導態由高電導態轉變為低電導態，且無法再度藉由施加電訊號於該第一場效電晶體的該閘介電層或施加電訊號於該第三場效電晶體的該閘介電層，而使該閘介電層之電導態進行轉態，其中該閘介電層的高電導態和低電導態分別表示該記憶胞的兩個不同之儲存狀態。

【第21項】如請求項 20 所述之積體電路記憶體，其中該第二場效電晶體的該至少一閘電極層連接到一第二解碼線路，該第一場效電晶體、該第二場效電晶體與該第三場效電晶體更包含一接地端，該接地端連接到該記憶胞的該接地線。

【第22項】如請求項 21 所述之積體電路記憶體，其中該些記憶胞中的兩個記憶胞的該些第一場效電晶體的該第一區域皆連接於該第一選擇元件，其中該兩個記憶胞彼此相鄰。

【第23項】如請求項 20 所述之積體電路記憶體，其中當該第一場效電晶體和該第三場效電晶體的該閘介電層包含一層介電質層，其中該介電質層的相對介電常數介於範圍 7 到 3.9 之間且其物理厚度小於或等於 3 奈米；當該第一場效電晶體和該第三場效電晶體的該閘介電層包含多層介電質層，該些介電質層的其中一層之相對介電常數小於 10，而該些介電質層中的其他介電質層之相對介電常數大於該介電質層之該相對介電常數。

【第24項】如請求項 22 所述之積體電路記憶體，其中該些記憶胞中的兩個記憶胞的該些第三場效電晶體的該第二區域皆連接於該第二選擇元件，其中該兩個記憶胞彼此相鄰。

【第25項】如請求項 21 所述之積體電路記憶體，其中該第一選擇元件與該第二選擇元件皆包含一第一端點、一第二端點與一第三端點，其中該第一端點與該些記憶胞其中之一的該第一場效電晶體之該第一區域連接，該第二端點連接到一第三解碼線路，該第三端點連接到一第四解碼線路用以控制電訊號在該第一選擇元件的該第一端點與該第二端點之間傳遞。

【第26項】如請求項 21 所述之積體電路記憶體，其中該第一選擇元件與該第二選擇元件皆包含一第一端點、一第二端點、一第三端點與一第四端點，其中該第一端點與該些記憶胞其中之一的該第一場效電晶體之該第一區域連接，該第二端點連接到一第三解碼線路，該第三端點與該第四端點連接到一第四解碼線路用以控制電訊號在該第一選擇元件的該第一端點與該第二端點之間傳遞。

【第27項】如請求項 25 或 26 所述之積體電路記憶體，其中該些記憶頁中的兩個記憶頁的該些第一選擇元件或該第二選擇元件皆連接於該第三解碼線路，其中該兩個記憶頁彼此相鄰。

【第28項】一種積體電路記憶體之操作方法，應用於如請求項 25 或 26 所述之積體電路記憶體，該操作方法包含：

施加電訊號於該第一解碼線路、該第三解碼線路與該第四解碼線路，俾使該第一選擇元件與該第二選擇元件的該第一端點與該第二端點進行訊號傳遞，以於該第一場效電晶體或該第三場效電晶體之該閘介電層產生電壓差或電流，使得該第一場效電晶體或該第三場效電晶體的該閘介電層之高電導態轉變為低電導態。

【第29項】如請求項 28 所述之操作方法，更包含：

施加電訊號於該第二解碼線路，使得該第二場效電晶體導通；

施加電訊號於該第一解碼線路的該第二解碼線，使得該第三場效電晶體進行訊號傳遞；

施加約為該積體電路記憶體之一參考零準位之電訊號於該第一解碼線路的該第一解碼線；以及

施加電訊號於該第三解碼線路，並辨別該第三解碼線路上的電訊號之強度大小，而讀取該第一場效電晶體的該閘介電層的電導狀態。

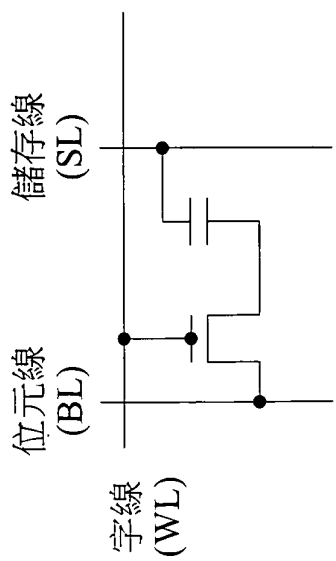
【第30項】如請求項 28 所述之操作方法，更包含：

施加電訊號於該第二解碼線路，使得該第二場效電晶體導通；

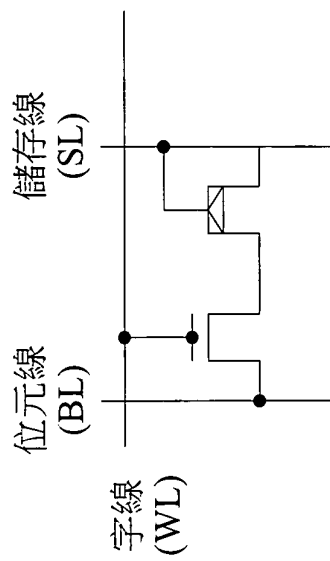
施加電訊號於該第一解碼線路的該第一解碼線，使得該第一場效電晶體進行訊號傳遞；

施加約為該積體電路記憶體之一參考零準位之電訊號於該第一解碼線路的該第二解碼線；以及

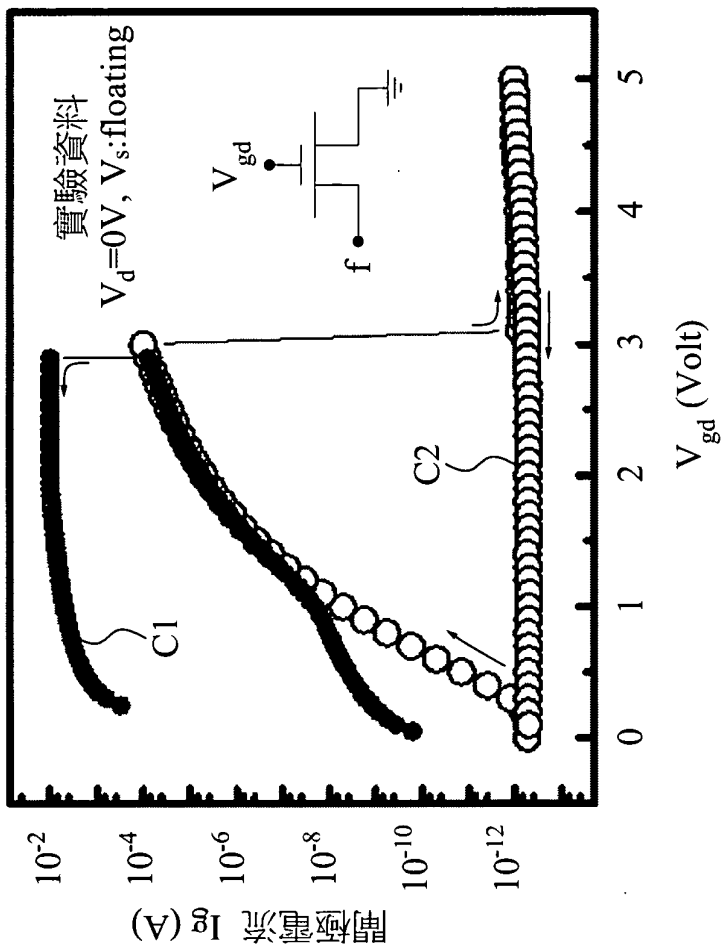
施加電訊號於該第三解碼線路，並辨別該第三解碼線路上的電訊號之強度大小，而讀取該第三場效電晶體的該閘介電層的電導狀態。



第 1A 圖

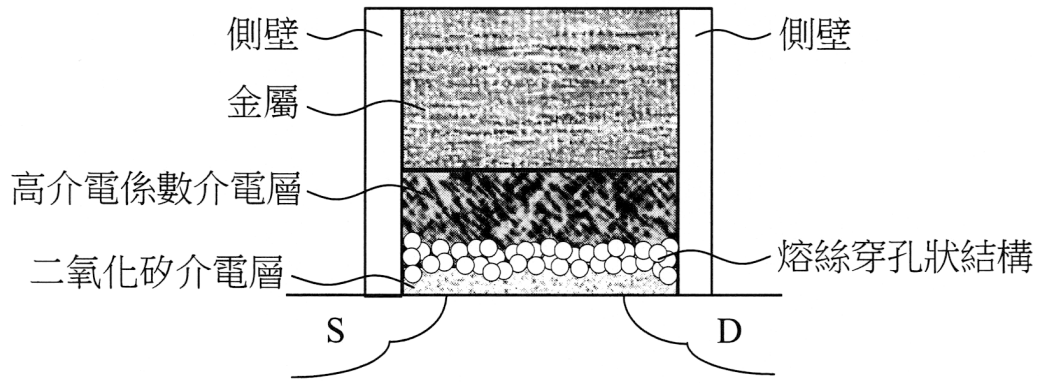


第 1B 圖

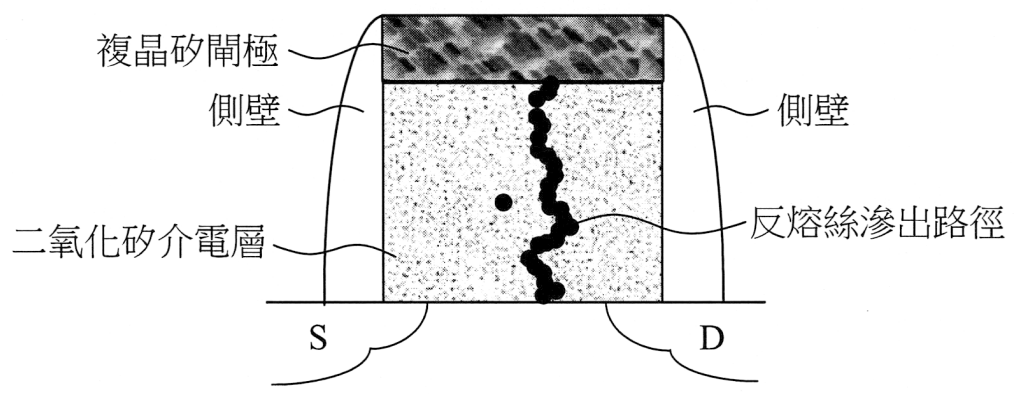


第 1C 圖

圖式

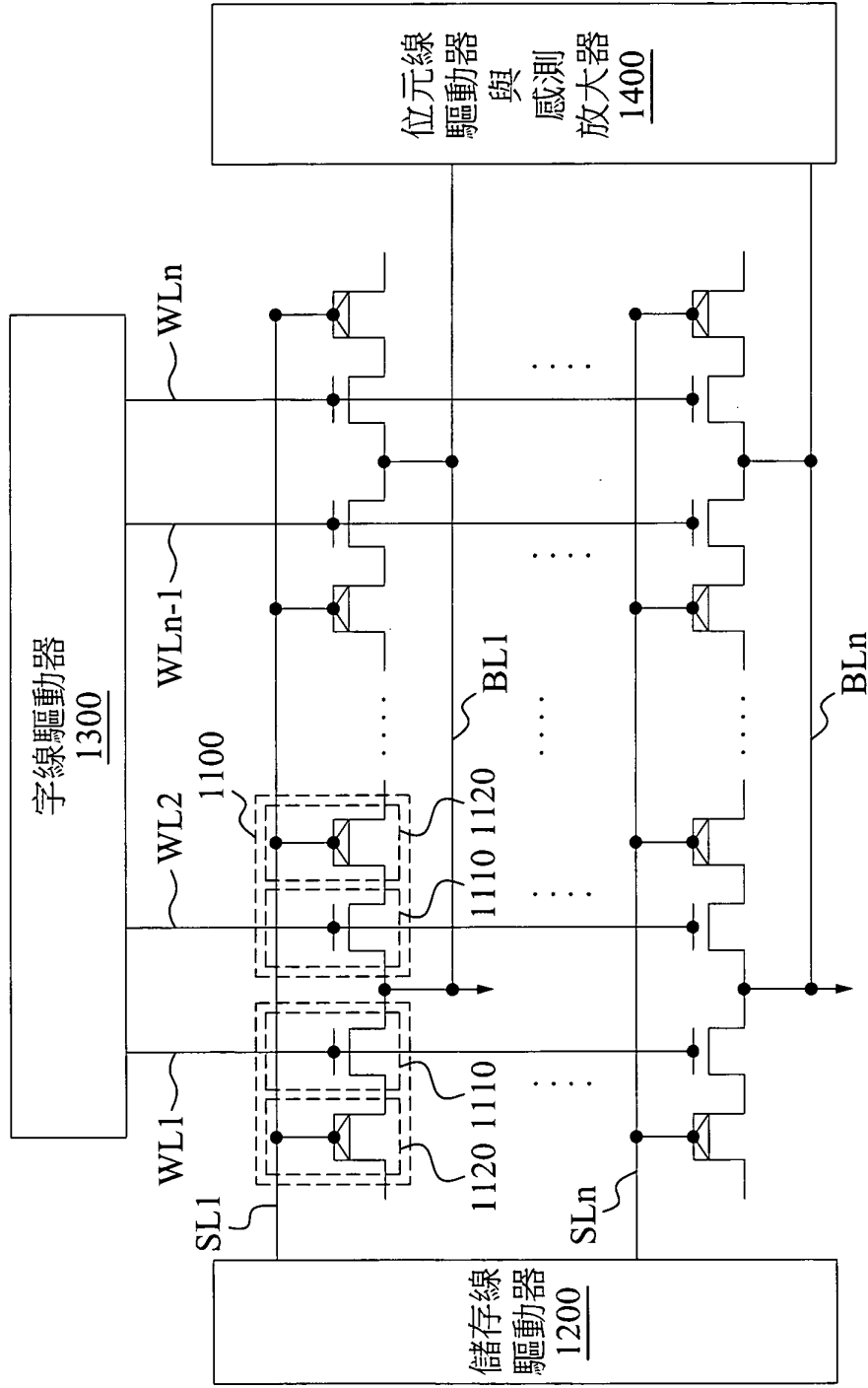


第 1D 圖



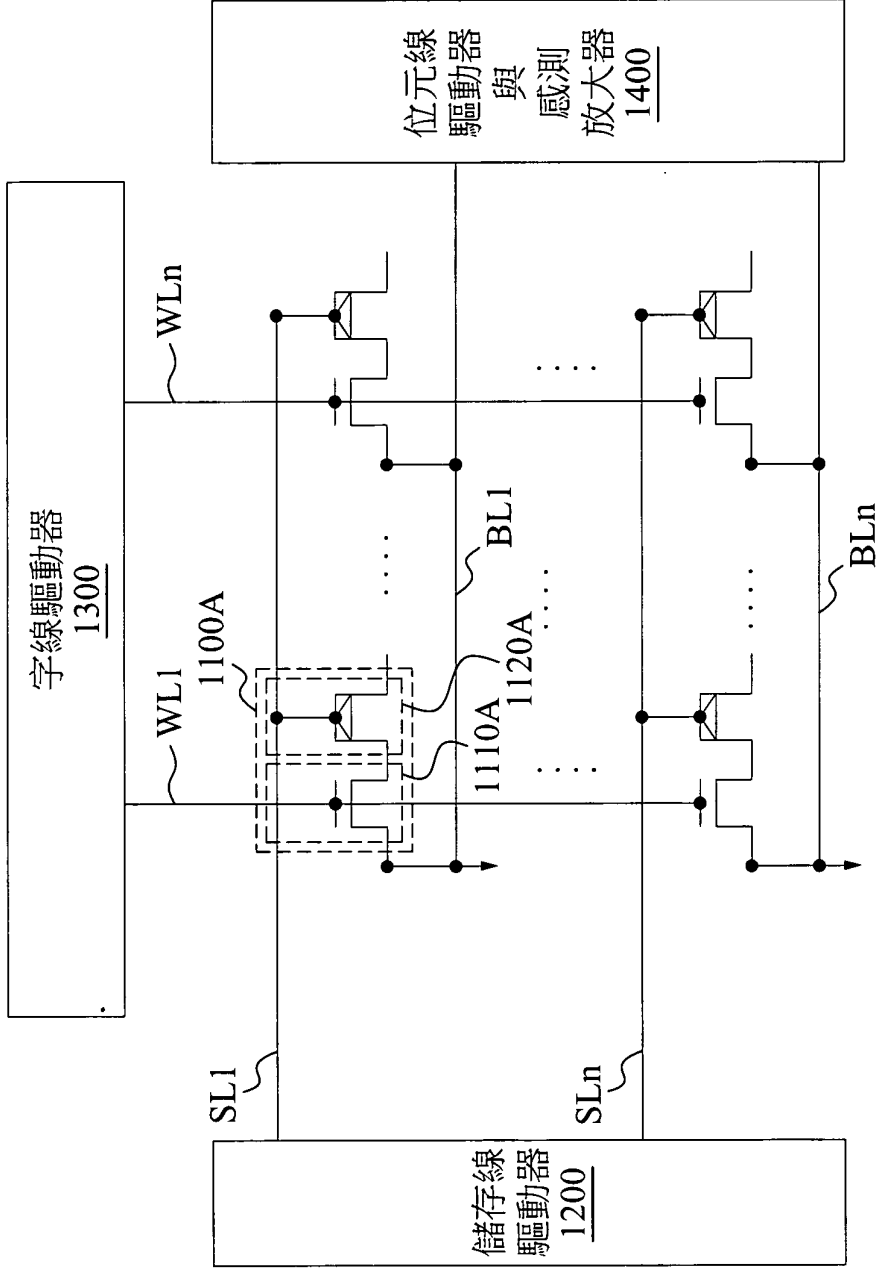
第 1E 圖

1000

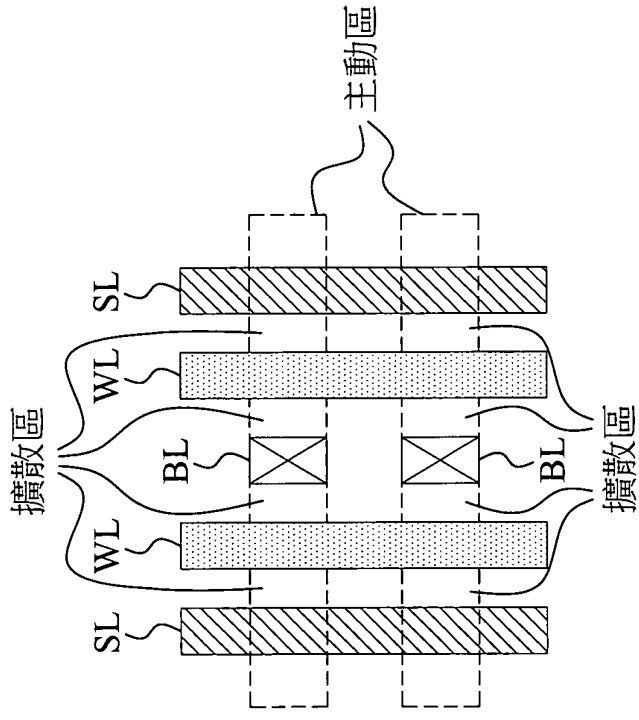


第2A圖

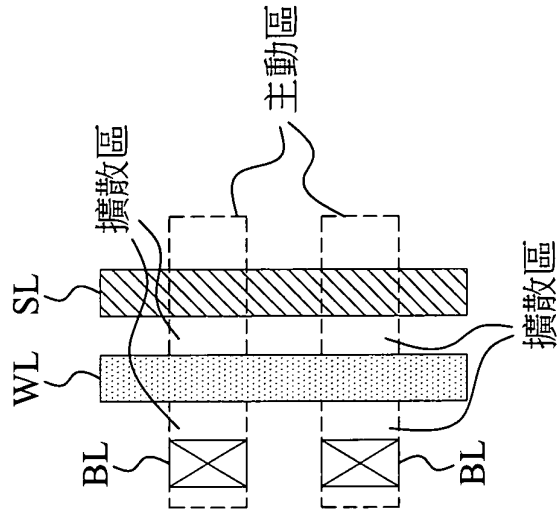
1000A



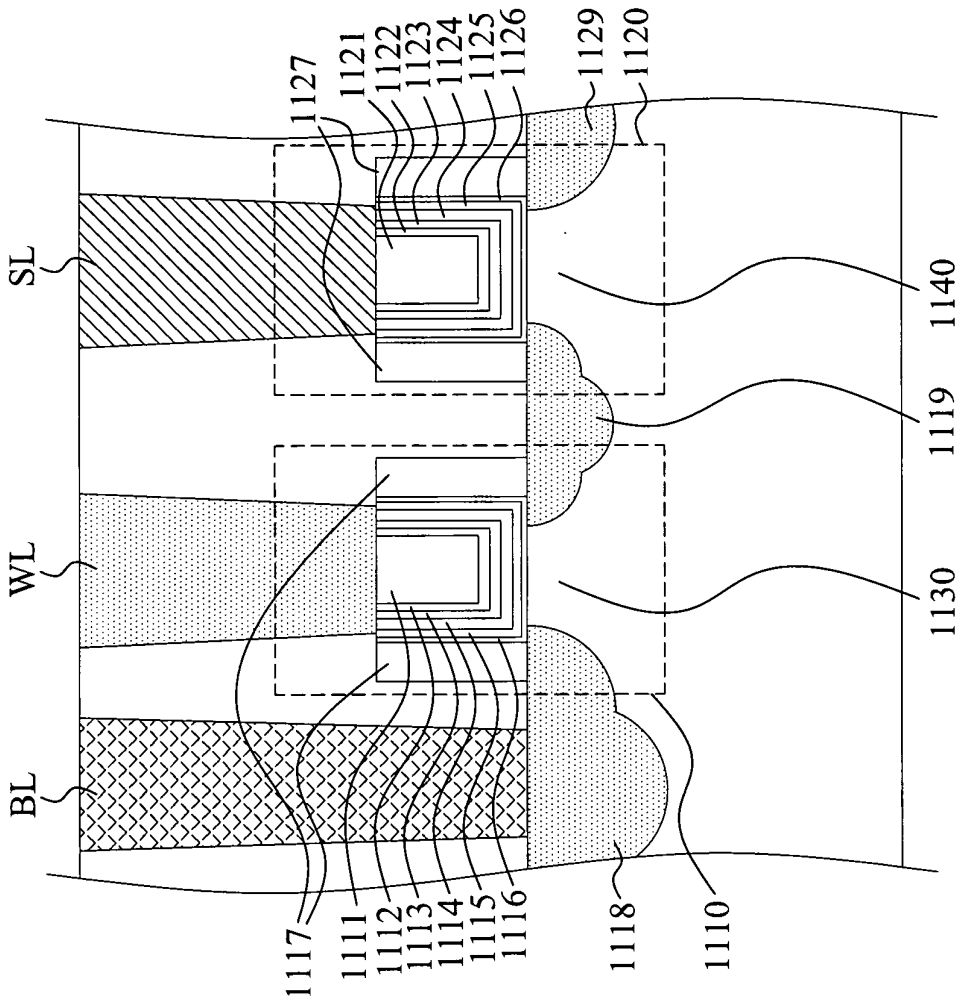
第2B圖



第3圖

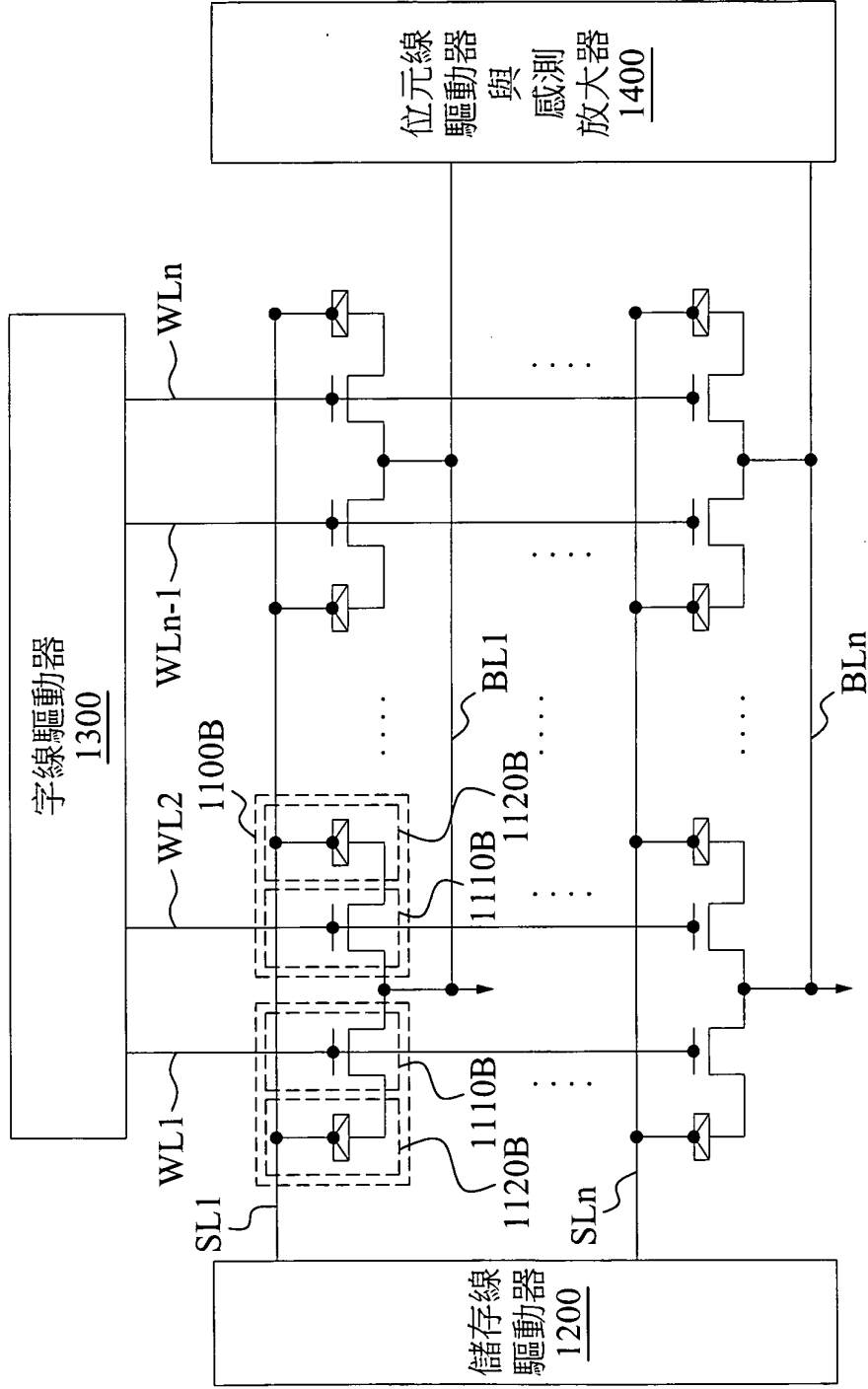


第4圖



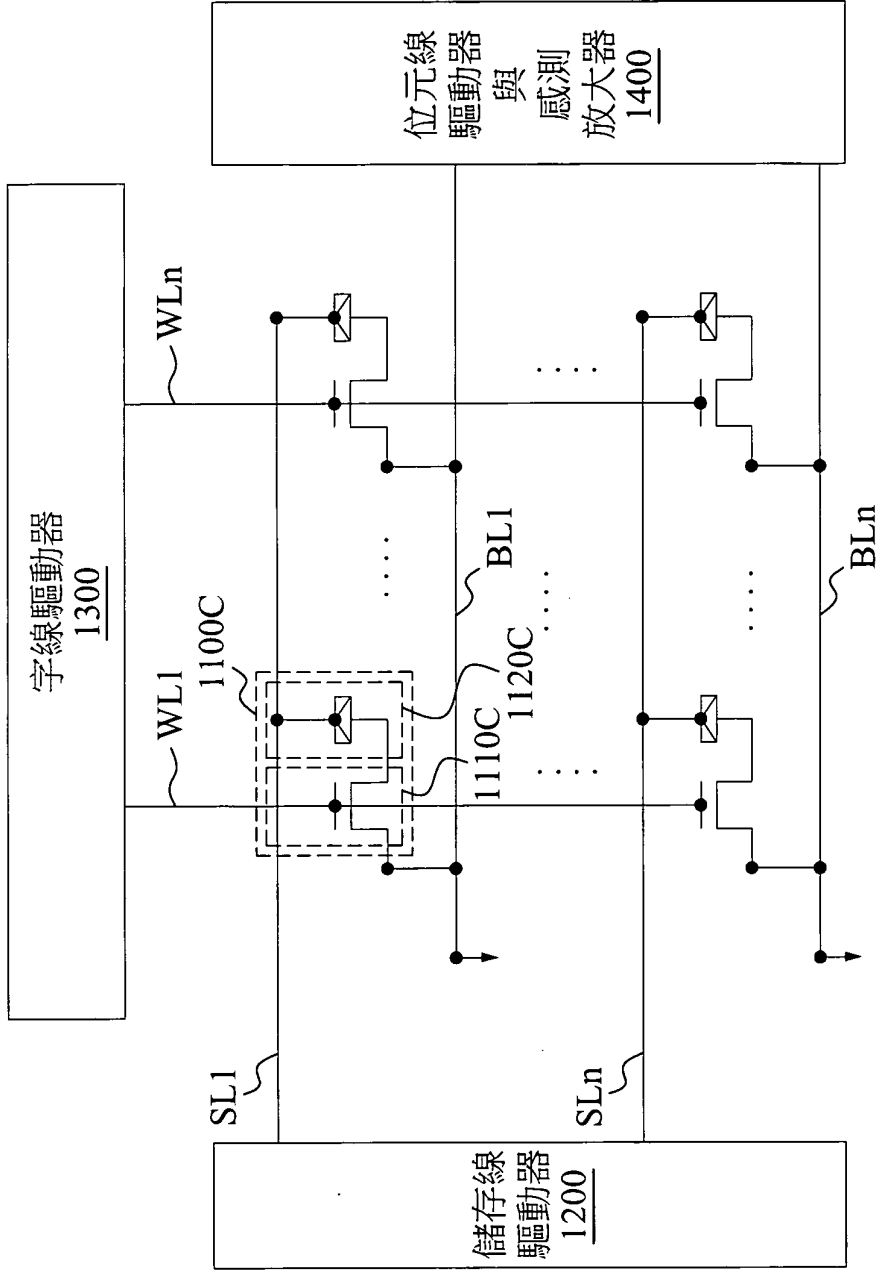
第5圖

1000B

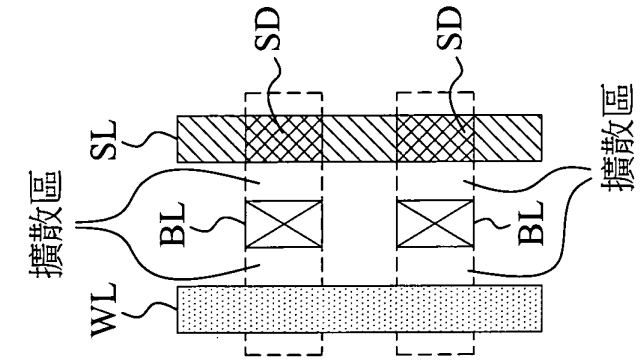


第6圖

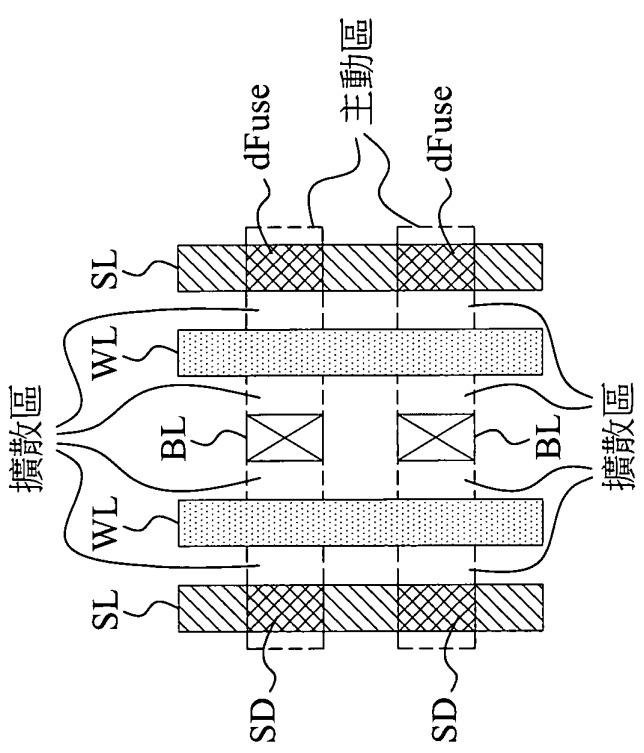
1000C



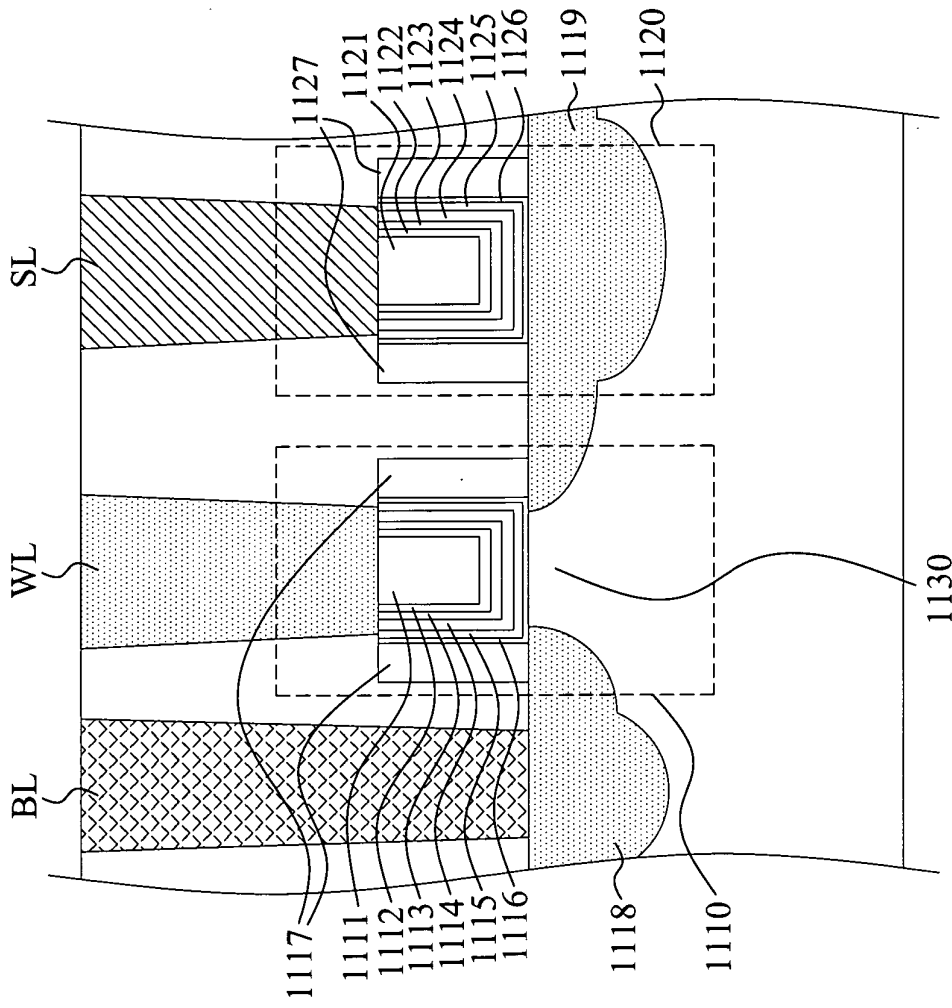
第7圖



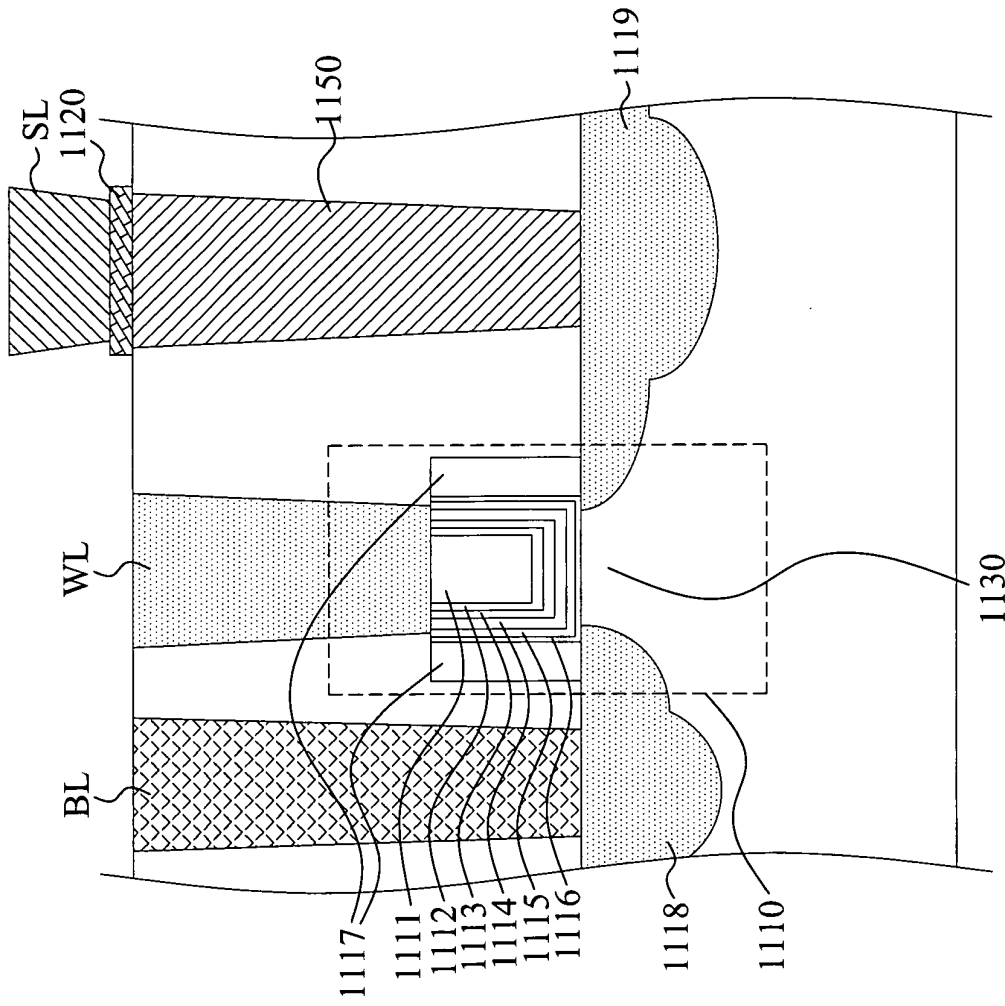
第9圖



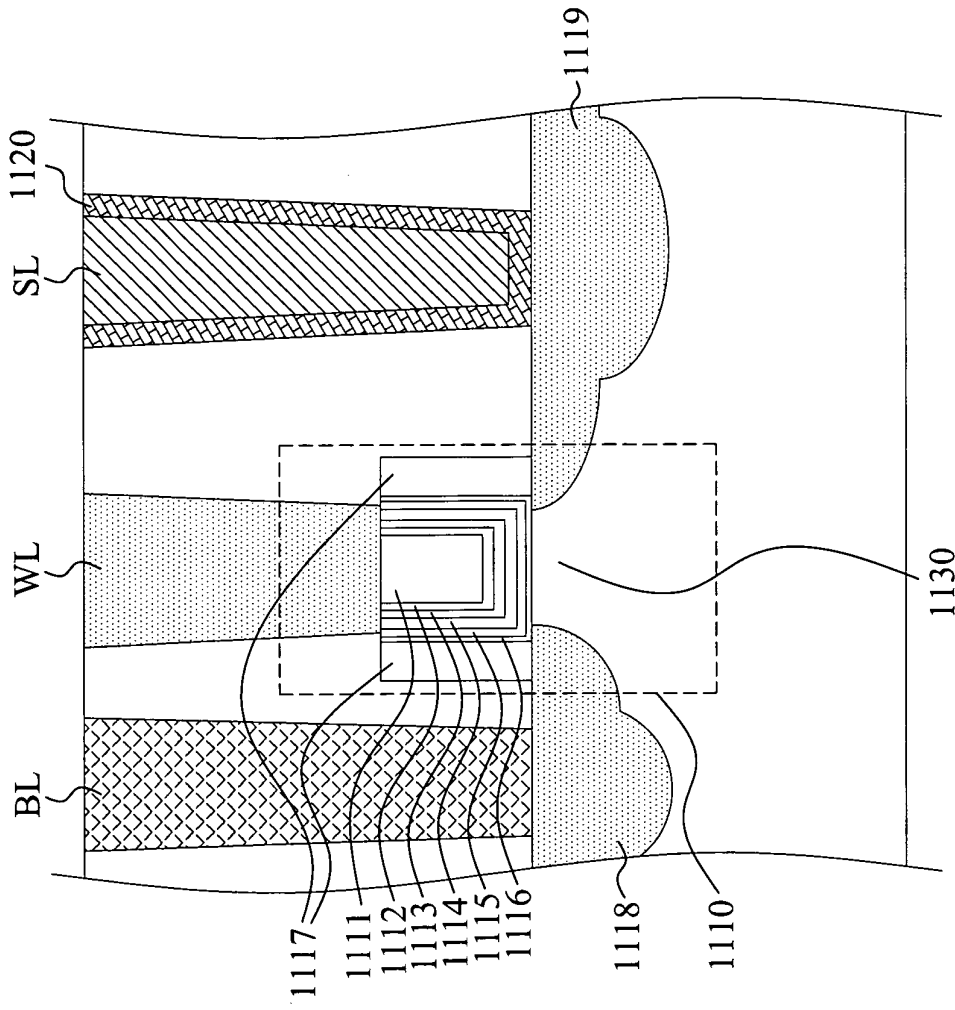
第8圖



第 10 圖

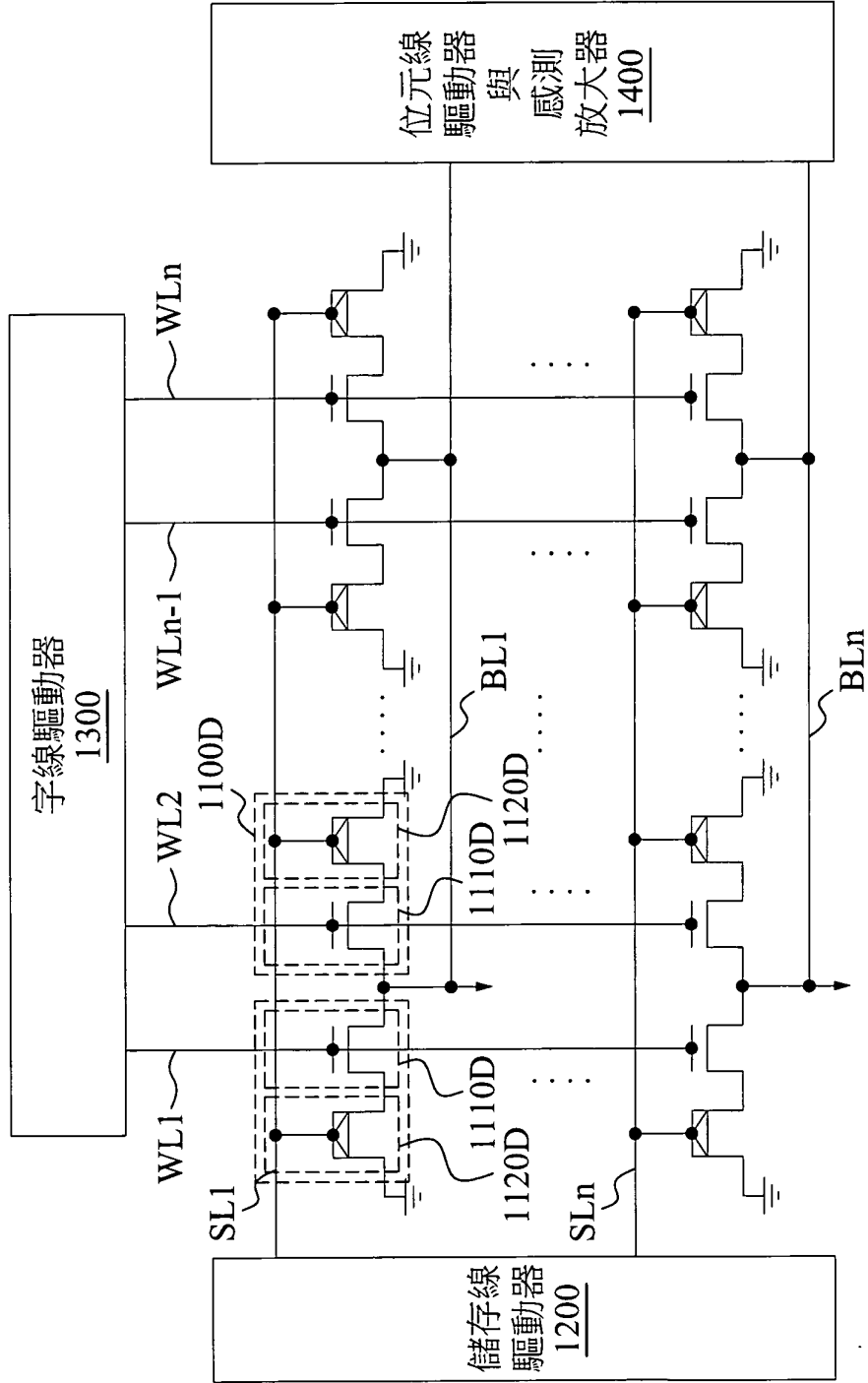


第11圖



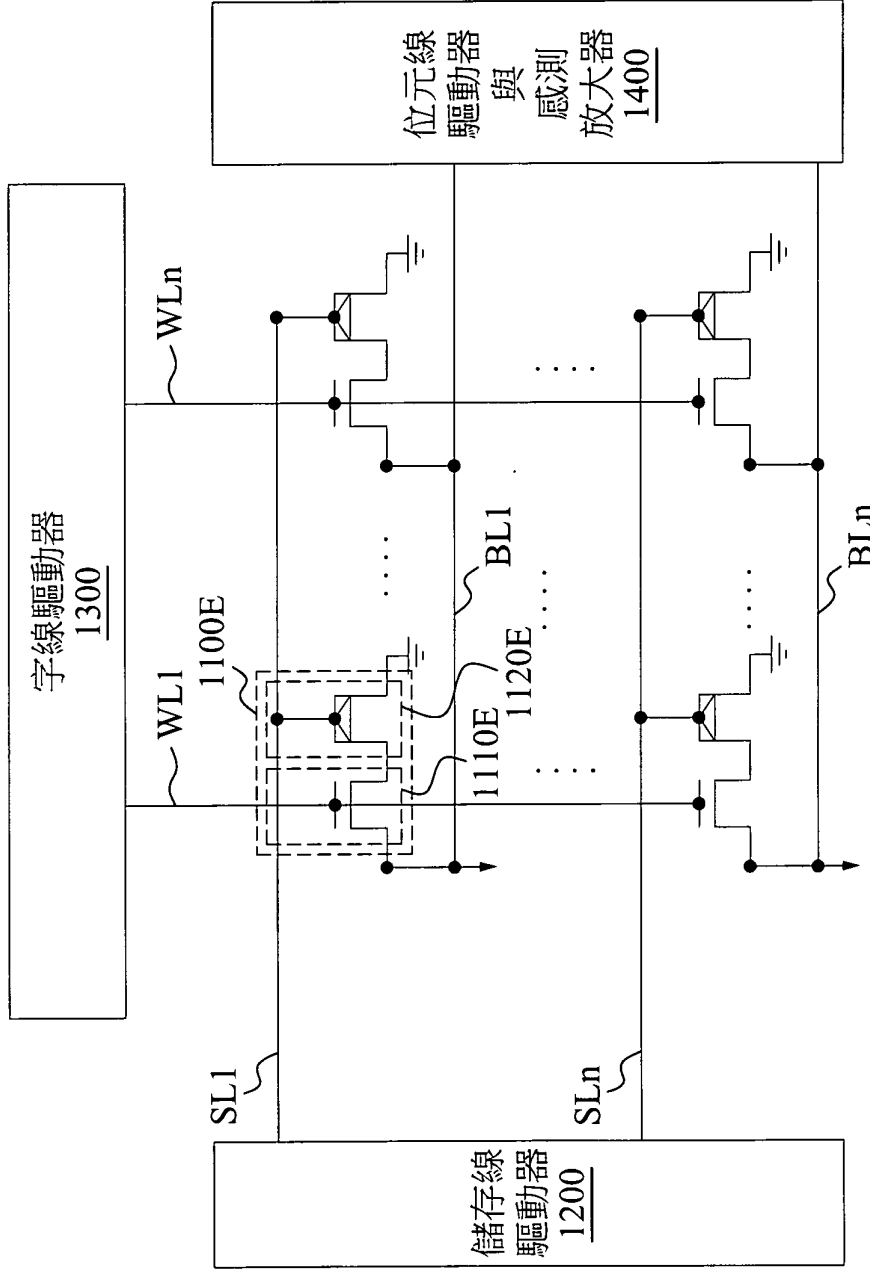
第12圖

1000D

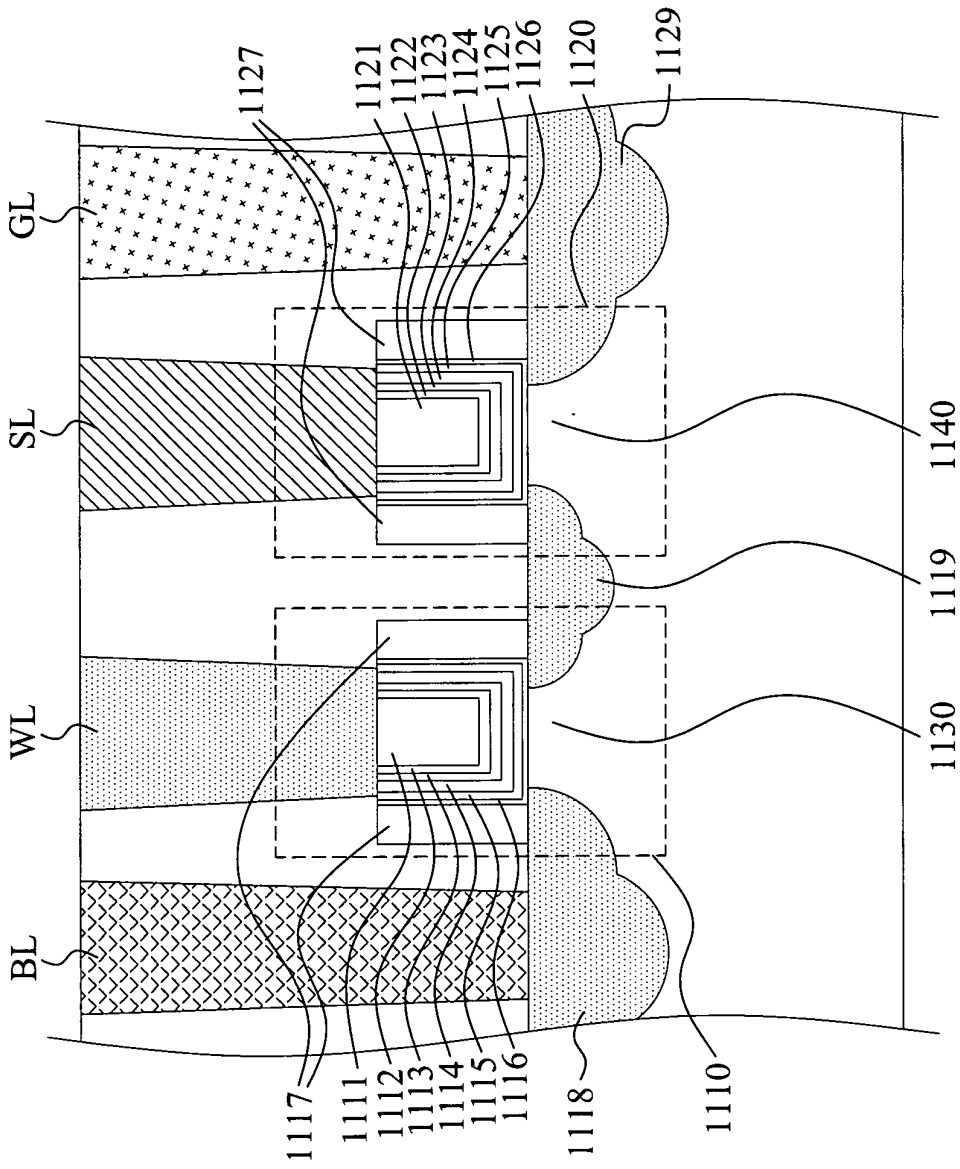


第 13 圖

1000E

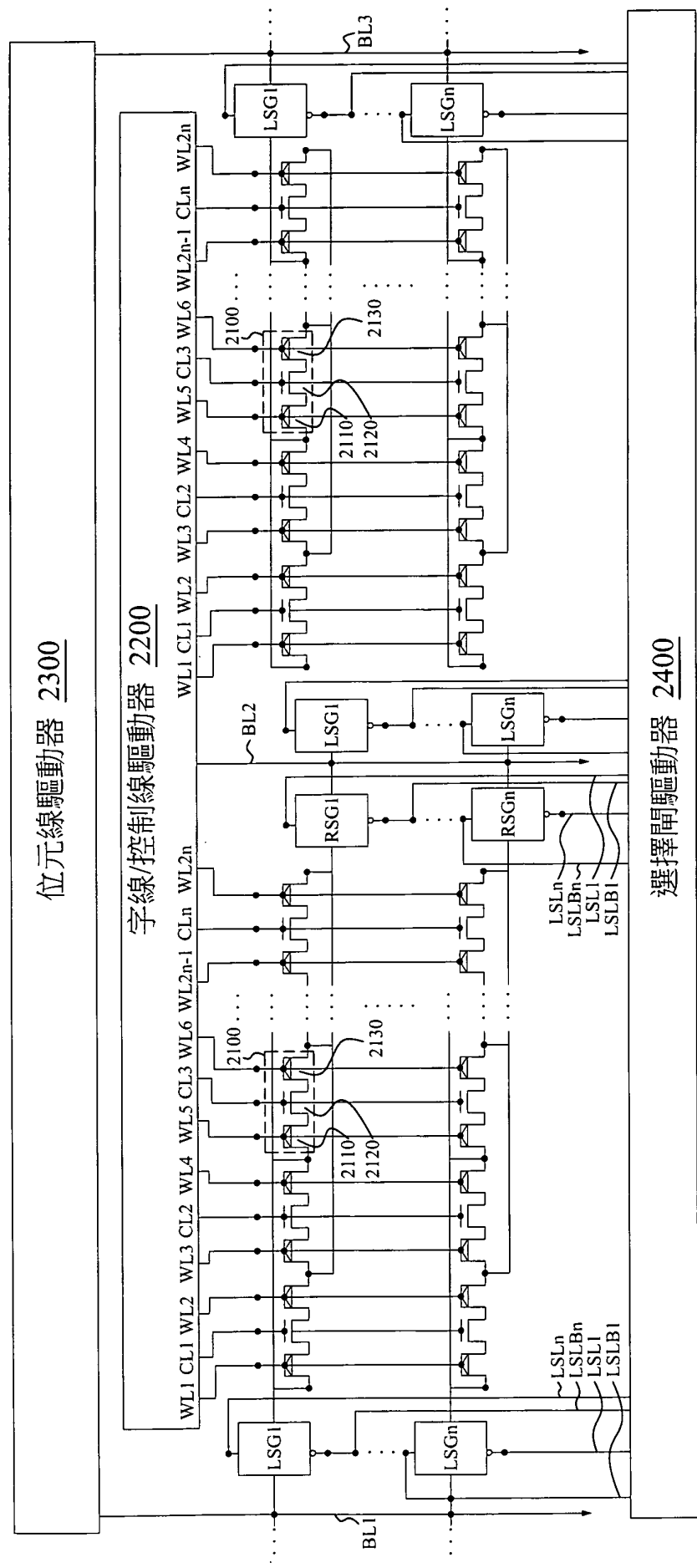


第 14 圖

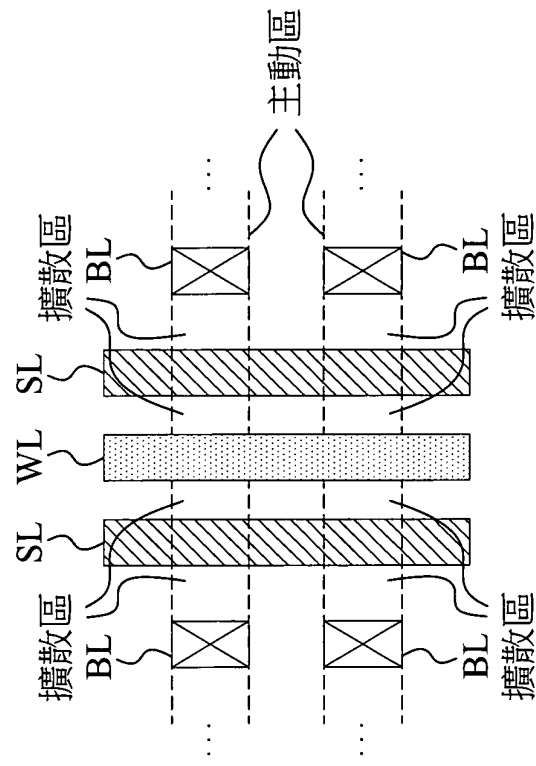


第17圖

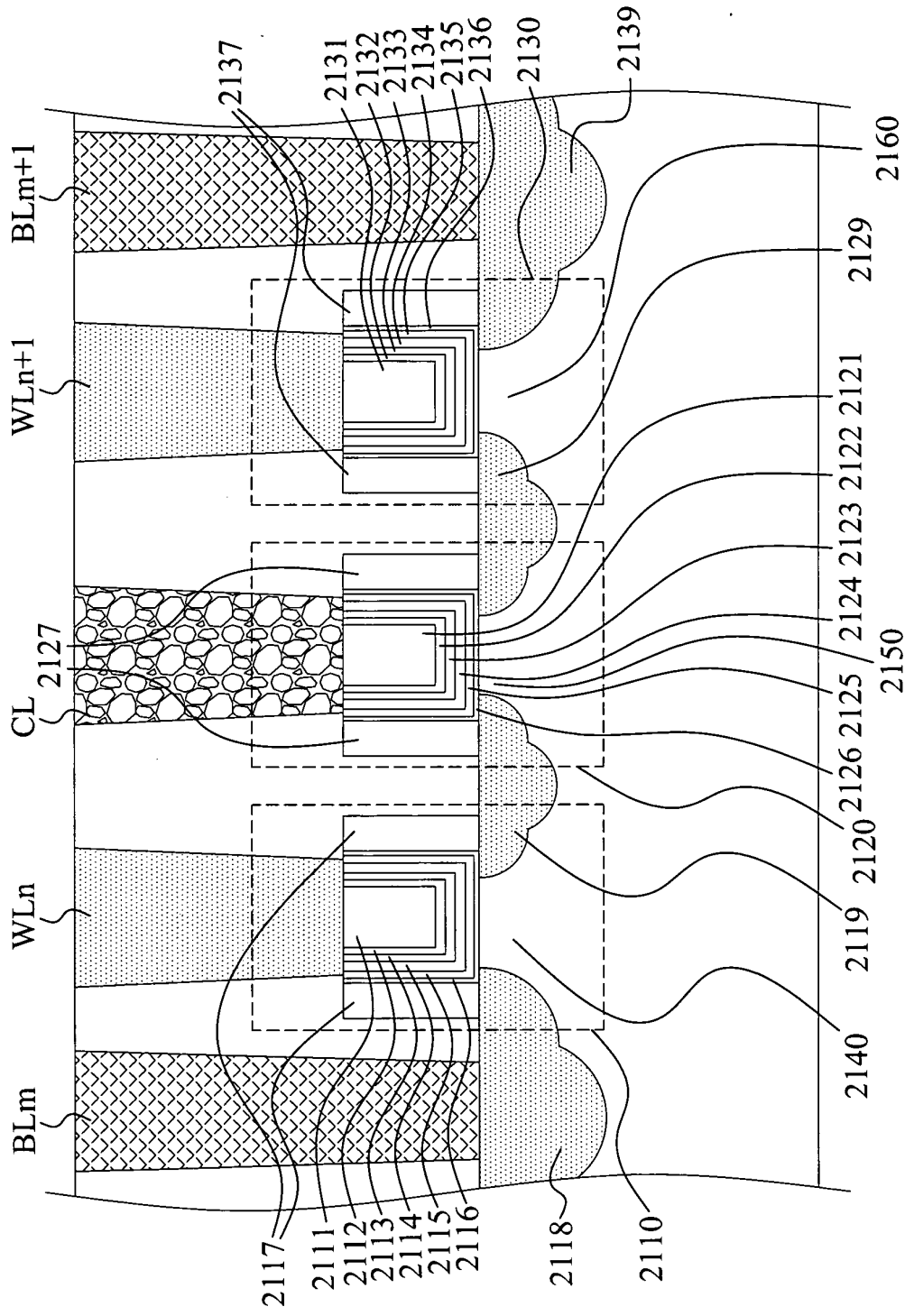
2000



第 18 圖



第19圖



第 20 圖