



- (21) 申請案號：105130980 (22) 申請日：中華民國 105 (2016) 年 09 月 26 日
- (51) Int. Cl. : *H01L21/336 (2006.01)* *H01L29/02 (2006.01)*
H01L29/66 (2006.01) *H01L29/78 (2006.01)*
H01L29/786 (2006.01)
- (30) 優先權：2015/09/25 美國 62/232,884
 2016/01/13 美國 14/994,718
- (71) 申請人：台灣積體電路製造股份有限公司 (中華民國) TAIWAN SEMICONDUCTOR
 MANUFACTURING CO., LTD. (TW)
 新竹市新竹科學工業園區力行六路 8 號
 國立交通大學 (中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)
 新竹市大學路 1001 號
- (72) 發明人：莊紹勳 CHUNG, STEVE S. (TW)；謝易叡 HSIEH, E RAY (TW)；趙瑋斌 ZHAO,
 YU BIN (TW)；潘正聖 PAN, SAMUEL C. (TW)
- (74) 代理人：洪澄文；顏錦順
- 申請實體審查：無 申請專利範圍項數：1 項 圖式數：3 共 46 頁

(54) 名稱

半導體裝置結構

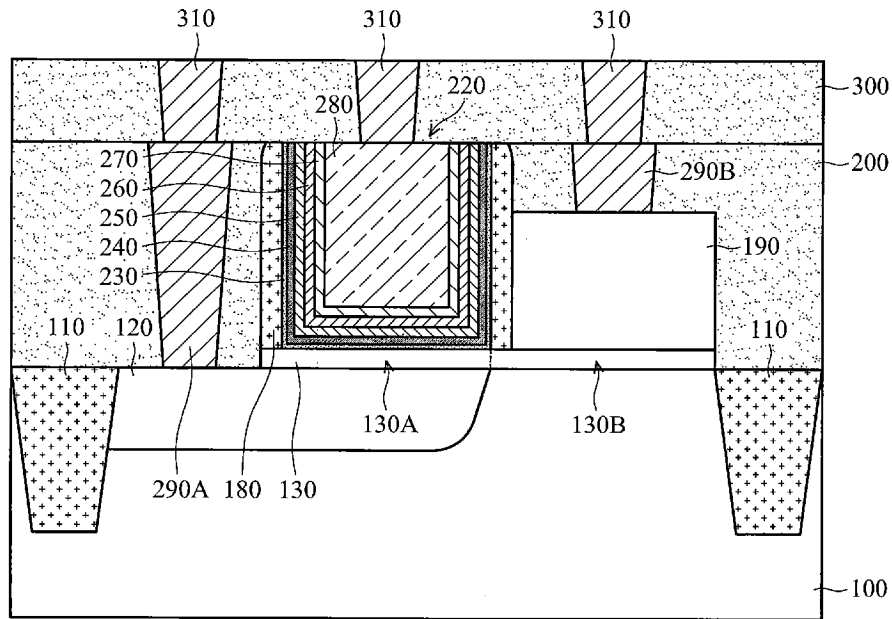
SEMICONDUCTOR DEVICE STRUCTURE

(57) 摘要

本揭露提供半導體裝置結構與其形成方法。半導體裝置結構包括源極結構於半導體基板中。半導體裝置結構亦包括通道層於半導體基板上。通道層的第一部份覆蓋部份源極結構。通道層的第二部份橫向地延伸出源極結構。半導體裝置結構更包括汲極結構於半導體基板上。汲極結構與源極結構具有不同的導電型態。汲極結構鄰接通道層的第二部份。

Structures and formation methods of a semiconductor device structure are provided. The semiconductor device structure includes a source structure in a semiconductor substrate. The semiconductor device structure also includes a channel layer over the semiconductor substrate. A first portion of the channel layer covers a portion of the source structure. A second portion of the channel layer laterally extends away from the source structure. The semiconductor device structure further includes a drain structure over the semiconductor substrate. The drain structure and the source structure have different conductivity types. The drain structure adjoins the second portion of the channel layer.

指定代表圖：



第 1G 圖

符號簡單說明：

- 100 . . . 半導體基板
- 110 . . . 隔離結構
- 120 . . . 源極結構
- 130 . . . 通道層
- 130A . . . 第一部份
- 130B . . . 第二部份
- 180 . . . 間隔物單元
- 190 . . . 汲極結構
- 200、300 . . . 介電層
- 220 . . . 閘極堆疊
- 230 . . . 界面層
- 240 . . . 閘極介電層
- 250 . . . 阻障層
- 260 . . . 功函數層
- 270 . . . 阻擋層
- 280 . . . 金屬填充層
- 290A、290B、
- 310 . . . 導電接點

發明摘要

※ 申請案號：105130980

※ 申請日：105/09/26

※IPC 分類：*H01L 21/336* (2006.01)*H01L 29/02* (2006.01)*H01L 29/66* (2006.01)*H01L 29/78* (2006.01)*H01L 29/786* (2006.01)

【發明名稱】 半導體裝置結構

Semiconductor device structure

【中文】

本揭露提供半導體裝置結構與其形成方法。半導體裝置結構包括源極結構於半導體基板中。半導體裝置結構亦包括通道層於半導體基板上。通道層的第一部份覆蓋部份源極結構。通道層的第二部份橫向地延伸出源極結構。半導體裝置結構更包括汲極結構於半導體基板上。汲極結構與源極結構具有不同的導電型態。汲極結構鄰接通道層的第二部份。

【英文】

Structures and formation methods of a semiconductor device structure are provided. The semiconductor device structure includes a source structure in a semiconductor substrate. The semiconductor device structure also includes a channel layer over the semiconductor substrate. A first portion of the channel layer covers a portion of the source structure. A second portion of the channel layer laterally extends away from the source structure. The semiconductor device structure further includes a drain structure over the semiconductor substrate. The drain structure and the source structure have different conductivity types. The drain structure adjoins the second portion of the channel layer.

【代表圖】

【本案指定代表圖】：第（1G）圖。

【本代表圖之符號簡單說明】：

- 100 半導體基板
- 110 隔離結構
- 120 源極結構
- 130 通道層
- 130A 第一部份
- 130B 第二部份
- 180 間隔物單元
- 190 汲極結構
- 200、300 介電層
- 220 閘極堆疊
- 230 界面層
- 240 閘極介電層
- 250 阻障層
- 260 功函數層
- 270 阻擋層
- 280 金屬填充層
- 290A、290B、310 導電接點

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無。

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】 半導體裝置結構

Semiconductor device structure

【技術領域】

【0001】 本揭露關於半導體裝置結構，更特別關於其源極結構與汲極結構的相對位置。

【先前技術】

【0002】 半導體積體電路(IC)產業已快速成長一段時日。IC材料與設計的技術進步，使每一代的IC均比前一代的IC具有更小且更複雜的電路。尺寸縮小的製程通常可增加產能並降低相關成本。

【0003】 在IC進化中，其功能密度(單位晶片面積中的內連線裝置數目)增加，且幾何尺寸(製程所能形成的最小構件或線路)縮小。尺寸縮小的製程通常可增加產能並降低相關成本。

【0004】 然而上述發展會增加IC之製程複雜性。由於結構尺寸持續縮小，製程難度也隨之提高。如何在半導體裝置越來越小的情況下維持其可信度，將是現有製程的挑戰。

【發明內容】

【0005】 本揭露一實施例提供之半導體裝置結構，包括：源極結構位於半導體基板中；通道層位於半導體基板上，其中通道層的第一部份覆蓋部份源極結構，且通道層的第二部份橫向地延伸出源極結構；以及汲極結構位於半導體基板上，其中汲極結構與源極結構具有不同的導電型態，且其中汲極結構鄰接通道層的第二部份。

【圖式簡單說明】**【0006】**

第1A至1G圖係某些實施例中，形成半導體裝置結構之製程其多種階段的剖視圖。

第2圖係某些實施例中，半導體裝置結構的剖視圖。

第3A至3G圖係某些實施例中，形成半導體裝置結構之製程其多種階段的剖視圖。

【實施方式】

【0007】 下述內容提供的不同實施例或實例可實施本揭露的不同結構。特定構件與排列的實施例係用以簡化本揭露而非侷限本揭露。舉例來說，形成第一構件於第二構件上的敘述包含兩者直接接觸，或兩者之間隔有其他額外構件而非直接接觸。此外，本揭露之多種例子中可重複標號，但這些重複僅用以簡化與清楚說明，不代表不同實施例及/或設置之間具有相同標號之單元之間具有相同的對應關係。

【0008】 此外，空間性的相對用語如「下方」、「其下」、「較下方」、「上方」、「較上方」、或類似用語可用於簡化說明某一元件與另一元件在圖示中的相對關係。空間性的相對用語可延伸至以其他方向使用之元件，而非侷限於圖示方向。元件亦可轉動90°或其他角度，因此方向性用語僅用以說明圖示中的方向。

【0009】 本揭露的某些實施例描述如下。第1A至1G圖係某些實施例中，形成半導體裝置結構之製程其多種階段的剖視圖。在第1A至1G圖所示之階段之前、之中、及/或之後，可進

行額外步驟。不同實施例可省略或替換某些下述階段。不同實施例可省略或替換某些下述結構。

【0010】 如第1A圖所示，提供半導體基板100。在某些實施例中，半導體基板100為基體半導體基板如半導體晶圓。舉例來說，半導體基板100為矽晶圓。半導體基板100可包含矽或其他半導體元素材料如鍺。在某些實施例中，半導體基板100包含半導體化合物，其可包含矽鍺、砷化鎵、碳化矽、砷化銮、磷化銮、另一合適半導體化合物、或上述之組合。

【0011】 在某些實施例中，半導體基板100包含絕緣層上半導體(SOI)基板。SOI基板之製作方法可為晶圓接合製程、矽膜轉移製程、佈植氧隔離(SIMOX)製程、另一適用方法、或上述之組合。

【0012】 如第1A圖所示之某些實施例中，隔離結構110形成於半導體基板100中。隔離結構110用以定義主動區，並電性隔離形成於主動區中半導體基板之中及/或之上的多種裝置單元。在某些實施例中，隔離結構110包含淺溝槽隔離(STI)結構、局部氧化矽(LOCOS)結構、其他合適的隔離結構、或上述之組合。

【0013】 在某些實施例中，每一隔離結構110具有多層結構。在某些實施例中，隔離結構110之組成為介電材料，其可包含氧化矽、氮化矽、氮氧化矽、摻雜氟的矽酸鹽玻璃(FSG)、低介電常數之介電材料、另一合適材料、或上述之組合。在某些實施例中，形成STI襯墊物(未圖示)以降低半導體基100與隔離結構110之間的界面結晶缺陷。

【0014】 在某些實施例中，多個凹陷(或溝槽)形成於半導體基板100中。在某些實施例中，凹陷的形成方法可為一或多重光微影與蝕刻製程。之後沉積介電材料層於半導體基板100上。介電材料層填入凹陷。在某些實施例中，介電材料之沉積方法為化學氣相沉積(CVD)製程、旋轉塗佈製程、另一適用製程、或上述之組合。在某些實施例中，進行平坦化製程以薄化介電材料層，直到露出半導體基板100的上表面。平坦化製程可包含化學機械拋光(CMP)製程、研磨製程、蝕刻製程、另一適用製程、或上述之組合。

【0015】 如第1A圖所示之某些實施例中，一或多個源極結構120形成於半導體基板100中。第1A圖只顯示單一的源極結構。在某些實施例中，源極結構120毗鄰一或多個隔離結構110。在某些其他實施例中，源極結構120未直接接觸隔離結構110。

【0016】 在某些實施例中，源極結構120摻雜有一或多種n型或p型摻質。舉例來說，半導體基板100包含矽，而源極結構120摻雜有磷(P)、砷(As)、或另一合適摻質。在其他實施例中，半導體基板100包含矽鍺，而源極結構120摻雜有硼(B)或另一合適摻質。在某些實施例中，源極結構120中的摻質濃度介於約 10^{19} 原子/cm³至約 10^{21} 原子/cm³之間。

【0017】 在某些實施例中，在半導體基板100上進行一或多道佈植製程，以形成源極結構120。在某些實施例中，佈植遮罩(未圖示)用以確認摻質佈植至預定形成源極結構120之區域。在某些實施例中，在佈植製程後進行熱處理以活化摻質，

進而形成源極結構。舉例來說，可進行快速熱回火製程。

【0018】 本揭露的實施例並不限於上述內容。在某些其他實施例中，源極結構120包含磊晶結構。在某些實施例中，源極結構120包含p型或n型的半導體材料。舉例來說，源極結構120可包含磊晶成長的矽、磊晶成長的矽鍺(SiGe)、磊晶成長的摻雜磷之矽(SiP)、磊晶成長的摻雜硼之矽鍺(SiGeB)、或另一合適之磊晶成長的半導體材料。

【0019】 在某些實施例中，移除部份的半導體基板100以形成凹陷，且凹陷位於源極結構120即將形成處。在某些實施例中，凹陷的形成方法可為一或多道的微影與蝕刻製程。之後磊晶成長一半導體材料(或更多半導體材料)於凹陷中，以形成源極結構120。在某些實施例中，源極結構120的較上部份自半導體基板100的上表面凸起。

【0020】 在某些實施例中，源極結構120的形成方法為選擇性磊晶(SEG)製程、CVD製程(如氣相磊晶(VPE)製程、低壓CVD(LPCVD)製程、及/或超高真空CVD(UHV-CVD)製程)、原子束磊晶製程、沉積摻雜非晶半導體(如Si、Ge、或SiGe)後固態磊晶再結晶(SPER)、另一適用製程、或上述之組合。源極結構120的形成製程可採用氣態及/或液態前驅物。

【0021】 在某些實施例中，在成長源極結構120時進行臨場摻雜。在某些實施例中，在成長源極結構120時未進行摻雜。在磊晶成長之後，才摻雜源極結構120。在某些實施例中，摻雜的方法為離子佈植製程、電漿浸潤式離子佈植製程、氣態及/或固態源擴散製程、另一適用製程、或上述之組合。在某些

實施例中，進一步對源極結構120進行回火製程以活化摻質。舉例來說，可進行快速熱回火製程。

【0022】 如第1B圖所示之某些實施例中，形成一或多個通道層130於半導體基板100上。在某些實施例中，通道層130之一者覆蓋每一源極結構120其部份。在某些實施例中，每一通道層130具有第一部份130A，其覆蓋源極結構120之一者的部份。每一通道層130亦具有第二部份130B，其橫向地延伸出源極結構120。在某些實施例中，第二部份130B覆蓋半導體基板100。在某些實施例中，每一通道層130之厚度介於約5nm至約30nm之間。

【0023】 在某些實施例中，圖案化的遮罩層(未圖示)形成於半導體基板100上。圖案化的遮罩層係用以輔助形成通道層130。圖案化的遮罩層具有開口露出部份源極結構120與半導體基板100，且開口位於通道層130預定形成處。圖案化的遮罩層中的開口輪廓可微調以調整後續形成之通道層130的輪廓。在某些實施例中，圖案化的遮罩層之組成為氧化矽、氮化矽、另一合適材料、或上述之組合。

【0024】 舉例來說，材料層(遮罩層)係沉積於半導體基板100上。接著沉積光阻層於材料層上，並以一或多道光微影製程圖案化光阻層。圖案化的光阻層作為圖案化材料層之蝕刻遮罩。之後採用一或多道蝕刻製程，以將圖案化的光阻層之圖案轉移至材料層。如此一來，即形成圖案化的遮罩層。接著移除圖案化的光阻層。在某些其他實施例中，圖案化的光阻層可直接作為圖案化的遮罩層。

【0025】 之後沉積一半導體材料(或多種半導體材料)於半導體基板100上。由於圖案化的遮罩層，沉積半導體材料的製程具有選擇性。在圖案化的遮罩層其開口露出之源極結構120與半導體基板100上，沉積半導體材料。如此一來，即形成通道層130。半導體材料的沉積製程，可持續至半導體材料與圖案化的遮罩層其上表面齊平，或持續至半導體材料高於或低於圖案化的遮罩層其上表面。接著移除圖案化的遮罩層。

【0026】 舉例來說，半導體材料可包含磊晶成長的矽、磊晶成長的矽鍺、或磊晶成長的另一半導體材料。在某些實施例中，通道層130與源極結構包含不同材料。在某些實施例中，半導體材料的沉積方法為SEG製程、CVD製程(如氣相磊晶(VPE)製程、低壓CVD(LPCVD)製程、及/或超高真空CVD(UHV-CVD)製程)、原子束磊晶製程、另一適用製程、或上述之組合。

【0027】 如第1C圖所示之某些實施例中，包含閘極堆疊140之閘極堆疊形成於半導體基板100上。在某些實施例中，閘極堆疊140覆蓋通道層130之一的第一部份130A，並露出通道層130之一的第二部份130B。在某些實施例中，閘極堆疊140覆蓋部份的第二部份130B。在某些實施例中，第一部份130A係夾設於源極結構120之一與閘極堆疊140之間。在某些實施例中，第二部份130B橫向地延伸出閘極堆疊140。

【0028】 在某些實施例中，閘極堆疊140包含閘極介電層150、閘極160位於閘極介電層150上、以及硬遮罩170位於閘極160上。閘極介電層150可在後續的蝕刻製程中作為蝕刻停止

層。

【0029】 在某些實施例中，閘極介電層 150 之組成為氧化矽、氮化矽、氮氧化矽、高介電常數(高k)之介電材料、另一合適的介電材料、或上述之組合。在某些實施例中，閘極介電層 150 為虛置閘極介電層，其將被後續之閘極置換製程移除。舉例來說，虛置的閘極介電層 150 可為氧化矽層。在某些實施例中，閘極介電層 150 係順應性地沉積於源極結構 120 與通道層 130 上。閘極介電層 150 之沉積方法可為 CVD 製程、原子層沉積 (ALD) 製程、PVD 製程、旋轉塗佈製程、另一適用製程、或上述之組合。

【0030】 在某些實施例中，閘極 160 包含多晶矽、金屬材料、另一合適導電材料、或上述之組合。在某些實施例中，閘極 160 為虛置閘極，其將於後續之閘極置換製程中被置換為另一導電材料(如一或多種金屬材料)。舉例來說，虛置的閘極 160 之組成可為多晶矽。

【0031】 在某些實施例中，硬遮罩 170 可作為形成閘極 160 之步驟的蝕刻遮罩。硬遮罩 170 亦可在後續製程中保護閘極 160。在某些實施例中，硬遮罩 170 之組成為氮化矽、氮氧化矽、碳化矽、氧化矽、氮化矽碳、另一合適材料、或上述之組合。在某些實施例中，硬遮罩 170 為多層結構。本揭露之實施例可具有多種變化與調整。在某些其他實施例中，未形成硬遮罩 170。

【0032】 在某些實施例中，沉積閘極層與一或多個硬遮罩層於閘極介電層 150 上。在某些實施例中，以合適的沉積方法

依序沉積閘極層與硬遮罩層。合適的沉積方法可包含化學氣相沉積製程、原子層沉積製程、熱氧化製程、物理氣相沉積製程、另一適用製程、或上述之組合。之後進行光微影製程與蝕刻製程以圖案化硬遮罩層，進而形成硬遮罩170。

【0033】 以硬遮罩170作輔助，圖案化閘極層。如此一來，即形成閘極160。在形成閘極160的蝕刻製程中，閘極介電層150可作為蝕刻停止層以保護源極結構120與通道層130。之後移除閘極160未覆蓋的部份閘極介電層150，且移除步驟可為另一蝕刻製程。如此一來，圖案化介電層150並形成閘極堆疊140如第1C圖所示。

【0034】 本揭露之實施例並不侷限於上述內容。在某些其他實施例中，閘極堆疊140並非虛置的閘極堆疊，其將保留而不需移除。在某些實施例中，閘極堆疊140更包含界面層(IL)於閘極介電層150下。界面層可用於形成低缺陷密度之高品質界面，並阻障介電材料與半導體材料之間的界面反應及/或擴散。在某些實施例中，界面層之組成為氧化矽。在某些實施例中，界面層之形成方法為ALD製程、熱氧化製程、另一適用製程、或上述之組合。在某些其他實施例中，閘極堆疊140不包含界面層。在某些實施例中，介電層150直接接觸通道層130。

【0035】 如第1C圖所示之某些實施例中，間隔物單元180形成於包含閘極堆疊140之閘極堆疊其側壁上。在某些實施例中，間隔物單元180垂直地位於通道層130上。在某些實施例中，間隔物單元180之一者覆蓋通道層130的第一部份130A與源極結構120。在某些實施例中，間隔物單元180之一者更延伸至

覆蓋第一部份130A的側壁。在某些實施例中，間隔物單元180覆蓋通道層130的第二部份130B，而未覆蓋源極結構120。在某些實施例中，部份的第二部份130B夾設於間隔物單元180之一者與半導體基板100之間。

【0036】 在某些實施例中，間隔物單元180之組成為氮化矽、氮氧化矽、碳化矽、另一合適材料、或上述之組合。在某些實施例中，沉積間隔物層於半導體基板100上。間隔物層之沉積方法可為CVD製程、PVD製程、旋轉塗佈製程、另一適用製程、或上述之組合。之後進行蝕刻製程如非等向蝕刻製程，以移除部份的間隔物層。如此一來，保留於閘極堆疊之側壁上的部份間隔物層，即間隔物單元180。

【0037】 如第1D圖所示之某些實施例中，汲極結構190形成於半導體基板100上。在某些實施例中，每一汲極結構190堆疊於通道層130之一者上。在某些實施例中，每一汲極結構190毗鄰通道層130之一者的第二部份130B其上表面。在某些其他實施例中，汲極結構190鄰接第二部份130B的側壁。在某些實施例中，第二部份130B夾設於汲極結構190與半導體基板100之間。在某些實施例中，每一汲極結構190與通道層130之一者的第一部份130A橫向地相隔。

【0038】 在某些實施例中，汲極結構190之下表面位於源極結構120的上表面上。在某些實施例中，每一汲極結構190與源極結構120橫向地相隔，而非覆蓋源極結構120。

【0039】 在某些實施例中，閘極堆疊140的下表面低於汲極結構190的上表面。在某些實施例中，汲極結構190與閘極堆疊

140並排於通道層130上且彼此相隔。在某些實施例中，每一汲極結構190與閘極堆疊之一者(如閘極堆疊140)隔有間隔物單元180之一者。在某些實施例中，間隔物單元180之一者夾設於汲極結構190之一者與閘極堆疊140之間。在某些實施例中，汲極結構190直接接觸間隔物單元180。在某些實施例中，汲極結構190未接觸間隔物單元180。

【0040】 在某些實施例中，圖案化的遮罩層(未圖示)形成於半導體基板100上，以輔助形成汲極結構190。圖案化的遮罩層具有開口露出部份的通道層130及/或半導體基板100，且開口位於預定形成汲極結構190處。圖案化的遮罩層中的開口輪廓可微調，以調整後續形成之汲極結構190的輪廓。之後可選擇性沉積一半導體材料(或多種半導體材料)於圖案化的遮罩層其開口中。如此一來，即形成汲極結構190。半導體材料之沉積步驟可持續至與圖案化的遮罩層其上表面等高，或高於或低於圖案化的遮罩層其上表面。之後移除圖案化的遮罩層。

【0041】 在某些實施例中，汲極結構190包含磊晶成長的矽、磊晶成長的矽鍺、磊晶成長的摻雜磷之矽、磊晶成長的摻雜硼之矽鍺、或另一合適之磊晶成長的半導體材料。在某些實施例中，汲極結構190與通道層130包含相同材料。在某些其他實施例中，汲極結構190與通道層130包含不同材料。在某些實施例中，汲極結構190與源極結構120包含不同材料。在某些其他實施例中，汲極結構190與源極結構120包含相同材料。

【0042】 在某些實施例中，汲極結構190之形成方法為SEG製程、CVD製程(如VPE製程、LPCVD製程、及/或UHV-CVD製

程)、原子束磊晶製程、沉積摻雜的非晶半導體(如Si、Ge、或SiGe)後進行SPER步驟、另一適用製程、或上述之組合。汲極結構190之形成製程可採用液態及/或氣態前驅物。

【0043】 在某些實施例中，汲極結構190摻雜有一或多種n型或p型摻質。舉例來說，汲極結構190摻雜有P、As、Sb、或另一合適摻質。在其他實施例中，汲極結構190摻雜有B或另一合適摻質。在某些實施例中，汲極結構190中的摻質濃度介於約 10^{19} 原子/cm³至約 10^{21} 原子/cm³之間。在某些實施例中，以多重佈植製程摻雜汲極結構190。

【0044】 在某些實施例中，汲極結構190與源極結構120中的摻質型態不同。在某些實施例中，汲極結構190摻雜有p型摻質，而源極結構120摻雜有n型摻質。如此一來，可製作一或多個p型穿隧場效電晶體(TFET)。在某些實施例中，汲極結構190摻雜有n型摻質，而源極結構120摻雜有p型摻質。如此一來，可製作一或多個n型穿隧場效電晶體(TFET)。

【0045】 在某些實施例中，在成長汲極結構190時臨場摻雜汲極結構190。在某些實施例中，在成長汲極結構190時並未摻雜汲極結構190。在磊晶成長後，才於後續製程中摻雜汲極結構。在某些實施例中，摻雜的方法可為離子佈植製程、電漿浸潤式離子佈植製程、氣態及/或固態源擴散製程、另一適用製程、或上述之組合。在某些實施例中，進一步對汲極結構190進行回火製程以活化摻質。舉例來說，可進行快速熱回火製程。

【0046】 如第1E圖所示之某些實施例中，沉積介電層200於半導體基板100上。介電層200作為層間介電層。在某些實施例

中，介電層200之組成為氧化矽、氮氧化矽、硼矽酸鹽(BSG)、磷矽酸鹽(PSG)、硼磷矽酸鹽(BPSG)、氟化矽酸鹽(FSG)、低介電常數材料、孔洞狀介電材料、另一合適介電材料、或上述之組合。

【0047】 在某些實施例中，介電層200之沉積方法為CVD製程、旋轉塗佈製程、ALD製程、PVD製程、另一適用製程、或上述之組合。在某些實施例中，介電層200覆蓋並圍繞通道層130、包含閘極堆疊140之閘極堆疊、間隔物單元180、與汲極結構190。之後薄化介電層200直到露出閘極160。在某些實施例中，介電層200的薄化方法為平坦化製程。平坦化製程可包含CMP製程、研磨製程、蝕刻製程、另一適用製程、或上述之組合。在某些實施例中，平坦化製程移除硬遮罩170與間隔物單元180的較上部份。

【0048】 如第1E圖所示之某些實施例中，移除虛置的閘極堆疊140。如此一來，形成溝槽210於半導體基板100上。在某些實施例中，溝槽210露出通道層130其部份的第一部份130A，即之前閘極介電層150與閘極160覆蓋的部份第一部份130A。在某些其他實施例中，溝槽210露出通道層130其部份的第一部份130A與部份的第二部份130B。在某些實施例中，虛置的閘極堆疊140之移除方法為濕蝕刻製程、乾蝕刻製程、另一適用製程、或上述之組合。

【0049】 如第1F圖所示之某些實施例中，包含閘極堆疊220之閘極堆疊形成於溝槽210中。閘極堆疊填入溝槽210。在某些實施例中，源極結構120的邊緣延伸越過閘極堆疊220之一側

壁，並朝向閘極堆疊220的另一側壁。在某些實施例中，源極結構120的邊緣延伸越過閘極堆疊220的一側壁，並實質上對準閘極對疊220的另一側壁。在某些其他實施例中，源極結構120的邊緣延伸越過閘極堆疊220的一側壁，並未對準閘極堆疊220的另一側壁。

【0050】 在某些實施例中，閘極堆疊220包含界面層230、閘極介電層240、與金屬閘極堆疊結構。如第1F圖所示之某些實施例中，界面層230位於溝槽210的側壁與底部上。在某些實施例中，界面層230之組成為氧化矽。在某些實施例中，界面層230之組成為氧化鋅。在某些其他實施例中，界面層230之組成為氧化矽鋅或另一合適材料。在某些實施例中，界面層230之形成方法為ALD製程、熱氧化製程、另一適用製程、或上述之組合。在某些其他實施例中，閘極堆疊220不包含界面層230。在某些實施例中，通道層130直接接觸閘極介電層240。

【0051】 如第1F圖所示之某些實施例中，閘極介電層240沉積於界面層230上。在某些實施例中，閘極介電層240順應性地延伸於溝槽210之側壁與底部上。在某些實施例中，閘極介電層240為高介電常數之介電層。高介電常數之介電材料之組成可為氧化鉛、氧化鋅、氧化鋁、氮氧化矽、氧化鉛-氧化鋁合金、氧化鉛矽、氮氧化鉛矽、氧化鉛鋇、氧化鉛鈦、氧化鉛鋇、另一合適的高介電常數材料、或上述之組合。

【0052】 在某些實施例中，閘極介電層240之沉積方法為ALD製程、CVD製程、旋轉塗佈製程、另一適用製程、或上述之組合。在某些實施例中，進行高溫回火步驟以降低或消除閘

極介電層240中的缺陷。

【0053】 金屬閘極堆疊結構沉積於閘極介電層240上。在某些實施例中，金屬閘極堆疊結構包含多個金屬閘極堆疊層。在某些實施例中，金屬閘極堆疊層包含阻障層250、功函數層260、阻擋層270、與金屬填充層280。在不同實施例中，可省略或替換某些金屬閘極堆疊層。

【0054】 如第1F圖所示之某些實施例中，阻障層250沉積於閘極介電層240上。阻障層250可讓閘極介電層240與後續形成之功函數層260產生界面。阻障層250亦可避免閘極介電層240與後續形成之功函數層260之間的擴散。在某些實施例中，阻障層250順應性地延伸於溝槽210之底部與側壁上。

【0055】 在某些實施例中，阻障層250之組成為含金屬的材料。金屬化材料可包含氮化鈦、氮化鋁、另一合適材料、或上述之組合。在某些實施例中，阻障層250包含多層。在某些實施例中，阻障層250之沉積方法為ALD製程、PVD製程、電鍍製程、無電電鍍製程、CVD製程、另一適用製程、或上述之組合。在某些其他實施例中，不形成阻障層250。

【0056】 如第1F圖所示之某些實施例中，功函數層260形成於阻障層250上。功函數層260可提供電晶體所需的功函數，以提升裝置效能如改善臨界電壓。在某些實施例中，功函數層260順應性地延伸於溝槽210之側壁與底部上。

【0057】 在形成n型TFET的某些實施例中，功函數層260可為n型金屬層。n型金屬層可包含金屬、金屬碳化物、金屬氮化物、或上述之組合。舉例來說，n型金屬層包含氮化鈦、鋁、

氮化鋁、另一合適材料、或上述之組合。

【0058】 另一方面，在形成p型TFET的某些實施例中，功函數層260可為p型金屬層。p型金屬層可包含金屬、金屬碳化物、金屬氮化物、其他合適材料、或上述之組合。舉例來說，p型金屬包含氮化鋁、氮化鎢、鈦、氮化鈦、其他合適材料、或上述之組合。

【0059】 功函數層260之組成亦可為鉛、銻、鈦、鋁、鋁、金屬碳化物如碳化鉛、碳化銻、碳化鈦、或碳化鋁)、金屬氮化物、鈉、鈣、鉑、鈷、鎳、導電金屬氧化物、或上述之組合。功函數層260之厚度及/或組成可微調以調整功函數等級。舉例來說，氮化鈦層可作為p型金屬層或n型金屬層，端視其厚度及/或組成而定。

【0060】 如第1F圖所示之某些實施例中，阻擋層270沉積於功函數層260上。阻擋層270可避免後續形成之金屬填充層280擴散或穿透至功函數層260。在某些實施例中，阻擋層270順應性地延伸於溝槽210之側壁與底部上。

【0061】 在某些實施例中，阻擋層270之組成為氮化鋁、氮化鈦、另一合適材料、或上述之組合。在某些實施例中，阻擋層270之沉積方法為ALD製程、PVD製程、電鍍製程、無電電鍍製程、另一適用製程、或上述之組合。在某些實施例中，不形成阻擋層270。

【0062】 如第1F圖所示之某些實施例中，金屬填充層280沉積於阻擋層270上以填入溝槽210。在某些實施例中，金屬填充層280之組成為鎢、鋁、銅、鈷、另一合適材料、或上述之組

合。在某些實施例中，金屬填充層280之沉積方法為PVD製程、CVD製程、電鍍製程、無電電鍍製程、另一適用製程、或上述之組合。在某些其他實施例中，不形成金屬填充層280。

【0063】 在某些實施例中，界面層230、閘極介電層240、與金屬閘極堆疊層一起填入溝槽210。在某些實施例中，超出溝槽210之部份的界面層230、閘極介電層240、與金屬閘極堆疊層覆蓋介電層200。之後移除超出溝槽210之部份的界面層230、閘極介電層240、與金屬閘極堆疊層。如此一來，保留於溝槽210中的金屬閘極堆疊層一起形成金屬閘極堆疊結構。保留於溝槽210中的界面層230、閘極介電層240、與金屬閘極堆疊層一起形成閘極堆疊220。舉例來說，平坦化製程可用以移除超出溝槽210之部份的界面層230、閘極介電層240、與金屬閘極堆疊層。平坦化製程可包含CMP製程、研磨製程、蝕刻製程、另一適用製程、或上述之組合。

【0064】 在某些實施例中，形成導電接點以電性連接至半導體基板100之中或之上的導電結構。如第1G圖所示之某些實施例中，形成導電接點290A與290B以分別電性連接至源極結構120與汲極結構190。由於某些實施例中的源極結構120形成於半導體基板100中，且汲極結構190形成於半導體基板100上，因此導電接點290A與290B之高度不同。在某些實施例中，導電接點290A之高度大於導電接點290B之高度。在某些實施例中，部份的汲極結構190夾設於導電接點290B與通道層130之間。

【0065】 在某些實施例中，圖案化介電層200以形成接點開

口，其露出導電結構如源極結構120與汲極結構190。之後沉積導電材料層於介電層200上以填入接點開口。接著進行平坦化製程以移除超出接點開口的部份導電材料。如此一來，保留於接點開口中的導電材料層，即形成導電接點290A與290B。

【0066】 在某些實施例中，導電材料層之組成為鎢、鋁、銅、金、鉑、鈦、另一合適材料、或上述之組合。在某些實施例中，導電材料層的沉積方法為CVD製程、PVD製程、電鍍製程、無電電鍍製程、另一適用製程、或上述之組合。

【0067】 如第1G圖所示之某些實施例中，介電層300與導電接點310形成於介電層200上。導電接點310位於介電層300中。在某些實施例中，導電接點310電性連接至閘極堆疊220與導電接點290A與290B。

【0068】 在某些實施例中，連接至閘極堆疊220的導電接點310，與通道層130之第一部份130A及源極結構120重疊，在某些實施例中，連接至導電接點290B之導電接點310，與通道層130之第二部份130B與汲極結構190重疊。由於介電層300與導電接點310之材料及/或形成方法，可各自與介電層200與導電接點290A與290B類似，在此不贅述。

【0069】 本揭露之實施例可具有許多變化及/或調整。舉例來說，位於半導體基板100上的汲極結構190並不限於與半導體基板100分隔。第2圖係某些實施例中，半導體裝置結構的剖視圖。半導體裝置結構的材料及/或形成方法與前述實施例類似，在此不贅述。

【0070】 如第2圖所示之某些實施例中，位於半導體基板

100上的汲極結構190直接接觸半導體基板100。舉例來說，用以輔助形成汲極結構190之圖案化的遮罩層具有開口，以露出部份半導體基板100。之後選擇性地沉積一半導體材料(或多種半導體材料)於圖案化的遮罩層之開口露出之半導體基板100上。如此一來，即形成汲極結構190。之後移除圖案化的遮罩層。

【0071】 如第2圖所示的某些實施例中，汲極結構190之一者鄰接通道層130之第二部份130B的側壁。在某些實施例中，每一汲極結構190直接接觸間隔物單元180之一者。在某些其他實施例中，汲極結構190未直接接觸間隔物單元180。在某些實施例中，間隔物單元180之一者覆蓋通道層130之第一部份130A的側壁。在某些其他實施例中，間隔物單元180位於第一部份130A上，且未延伸至第一部份130A的側壁。在某些實施例中，部份的第二部份130B夾設於間隔物單元180之一者與半導體基板100之間。在某些實施例中，另一部份的第二部份130B夾設於閘極堆疊220與半導體基板100之間。

【0072】 如第2圖所示之某些實施例中，源極結構120之邊緣延伸越過閘極堆疊220的側壁之一，並朝向閘極堆疊220的另一側壁。在某些實施例中，源極結構120延伸越過閘極堆疊220的側壁之一，且未對準閘極堆疊220的另一側壁。在某些其他實施例中，源極結構120的邊緣延伸越過閘極堆疊220的側壁之一，並實質上對準閘極堆疊220的另一側壁。

【0073】 在本揭露某些實施例中，源極結構120延伸於通道層130與閘極堆疊220下，因此增加源極結構120與閘極堆疊220

之重疊面積。如此一來，可明顯地增加驅動/穿隧電流(I_{on})。綜上所述，可大幅改善TFET的裝置效能。此外，汲極結構190自半導體基板100隆起，而非形成於半導體基板100中。隆起的汲極結構190亦鄰接通道層130的第二部份130B，使汲極結構190與延伸於通道區130及閘極堆疊220下之源極結構120橫向地分隔。如此一來，可延長源極結構120至汲極結構190的距離。綜上所述，可明顯降低源極結構120與汲極結構190之間的漏電流。

【0074】 在某些實施例中，間隔物單元180的一者位於汲極結構190的一者與閘極堆疊220的一者之間。間隔物單元180覆蓋通道層，使間隔物單元180下的通道層130中產生通道阻障。如此一來，通道阻障與間隔物單元180可弱化汲極結構190與閘極堆疊220之間的電容耦合效應。綜上所述，可大幅降低甚至消除TFET的閘極至汲極電容(C_{gd})。此外，通道阻障可避免源極至汲極的漏電流。如此一來，亦可降低TFET的次臨界擺幅(S.S.)。

【0075】 本揭露之實施例並不限用於具有p型TFET或n型TFET的半導體裝置結構，亦可用於具有互補式TFET(CTFETs)的半導體裝置結構。第3A至3G圖係某些實施例中，形成半導體裝置結構之製程其多種階段的剖視圖。在第3A至3G圖所述之階段之前、之中、及/或之後可進行額外步驟。不同實施例可省略或替換某些階段。在某些實施例中，具有CTFETs之半導體裝置結構的材料與形成方法，與前述具有p型或n型TFET之半導體裝置結構類似，在此不贅述。

【0076】 如第3A圖所示，提供與第1A圖類似之半導體裝置結構。半導體基板100分為多個區域如區域100A與100B。在某些實施例中，p型TFET設置為形成於區域100A中，而n型TFET設置為形成於區域100B中。在某些其他實施例中，n型TFET設置為形成於區域100A中，而p型TFET設置為形成於區域100B中。

【0077】 與第1A圖所示之實施例類似，第3A圖所示之某些實施例中的源極結構120'形成於區域100A中的半導體基板100中。在某些實施例中，源極結構120'摻雜有一或多種的n型或p型摻質。在某些實施例中，佈植遮罩(未圖示)用以確保在摻雜區域100A中的半導體基板100以形成源極結構120'時，不摻雜區域100B中的半導體基板100。舉例來說，佈植遮罩具有開口露出部份區域100A，而不露出區域100B。

【0078】 如第3B圖所示之某些實施例中，半導體材料層320形成於每一區域100B中的半導體基板100上。在某些實施例中，半導體材料層320包含矽或另一半導體元素材料如鍺。在某些其他實施例中，半導體材料層320包含半導體化合物。半導體化合物可包含矽鍺、砷化鎵、碳化矽、砷化銮、磷化銮、另一合適的半導體化合物、或上述之組合。在某些實施例中，半導體材料層320與半導體基板100包含不同材料。舉例來說，半導體材料層320包含矽鍺，而半導體基板100包含矽。

【0079】 在某些實施例中，圖案化的遮罩層形成於半導體基板100上，以輔助形成半導體材料層320。圖案化的遮罩層具有開口露出區域100B中的部份半導體基板100。在某些實施例

中，圖案化的遮罩層之組成為氧化矽、氮化矽、另一合適材料、或上述之組合。

【0080】 之後選擇性地沉積一或多種半導體材料於區域100B中的半導體基板100上。如此一來，半導體材料層320形成於每一區域100B中。接著移除圖案化的遮罩層。在某些實施例中，半導體材料的沉積方法為SEG製程、CVD製程(如VPE製程、LPCVD製程、及/或UHV-CVD製程)、原子束磊晶製程、另一適用製程、或上述之組合。

【0081】 如第3B圖所示之某些實施例中，源極結構120"形成於區域100B中的半導體材料層320中。在某些實施例中，源極結構120"摻雜有一或多種n型或p型摻質。在某些實施例中，源極結構120'與120"中的摻質型態不同。

【0082】 在某些實施例中，一或多道佈植製程進行於半導體材料層320上，以形成源極結構120"。在某些實施例中，佈植遮罩用以確保在摻雜區域100B中的半導體材料層320以形成源極結構120"時，不摻雜區域100A中的半導體基板100。舉例來說，佈植遮罩具有開口露出部份的區域100B，而不露出區域100A。源極結構120"的材料及/或形成方法與源極結構120相同或類似。

【0083】 與第1B圖所示之實施例類似，第3C圖所示之某些實施例中的通道層130'與130"分別形成於區域100A與100B中。通道層130'與130"分別形成於半導體基板100與半導體材料層320上。通道層130'與130"包含適用於p型TFET與n型TFET的不同材料。舉例來說，通道層130'包含矽鍺，且通道層130"包

含矽。在某些其他實施例中，通道層130'與130"包含相同材料。在某些實施例中，通道層130'與130"形成於相同階段中。在某些其他實施例中，通道層130'與130"形成於不同階段中。

【0084】 與第1C圖所示之實施例類似，第3D圖所示之某些實施例中的閘極堆疊140形成於區域100A與100B的通道層130'與130"上。接著與第1C圖所示之實施例類似，間隔物單元180形成於閘極堆疊140的側壁上。

【0085】 在某些實施例中，區域100A與100B中的閘極堆疊140具有不同高度。舉例來說，區域100A中的閘極堆疊140其高度大於區域100B中的閘極堆疊140其高度。在某些其他實施例中，區域100A與100B中的閘極堆疊140具有相同高度。在某些實施例中，區域100A與100B中的閘極堆疊140形成於相同階段中。在某些其他實施例中，區域100A與100B中的閘極堆疊140形成於不同階段中。

【0086】 與第1D圖所示之實施例類似，第3E圖所示之某些實施例中的汲極結構190'與190"分別形成於通道層130'與130"上。在某些實施例中，汲極結構190'與190"摻雜有一或多種的n型或p型摻質。在某些實施例中，汲極結構190'與190"中的摻質型態不同。在某些實施例中，汲極結構190'與源極結構120'中的摻質型態不同。在某些實施例中，汲極結構190"與源極結構120"中的摻質型態不同。

【0087】 在某些實施例中，汲極結構190'與190"包含適用於p型TFET與n型TFET的不同材料。舉例來說，汲極結構190'包含矽鍺，而汲極結構190"包含矽。在某些其他實施例中，汲極

結構 190'與 190"包含相同材料。在某些實施例中，汲極結構 190'與 190"形成於相同階段中。在某些其他實施例中，汲極結構 190'與 190"形成於不同階段中。

【0088】 與第 1E圖所示之實施例類似，第 3F圖所示之某些實施例中，介電層 200沉積於區域 100A與 100B中的半導體基板 100上。之後與第 1F圖所示之實施例類似，區域 100A與 100B中的閘極堆疊可各自置換為閘極堆疊 220'與 220"。在某些實施例中，閘極堆疊 220'與 220"之功函數層的厚度及/或組成各自微調，以調整適用於 p型 TFET與 n型 TFET的功函數等級。舉例來說，閘極堆疊 220'與 220"之功函數層可為不同型態的金屬層，其可形成於不同階段中。

【0089】 與第 1F圖所示之實施例類似，第 3G圖所示之某些實施例中的導電接點 290A與 290B，係形成於區域 100A與 100B中的介電層 200中。在某些實施例中，導電接點 290A與 290B分別電性連接至源極結構 120'與 120"及汲極結構 190'與 190"。在某些實施例中，區域 100A與 100B中的導電接點 290A具有不同高度。區域 100A與 100B中的導電接點 290B具有不同高度。之後與第 1G圖所示之實施例類似，第 3G圖所示之某些實施例中的介電層 300與導電接點 310，形成於區域 100A與 100B中的介電層 200上。

【0090】 本揭露的實施例形成具有 TFET的半導體裝置結構。TFET包含延伸的源極結構、隆起的通道層、與隆起的汲極結構。源極結構延伸於隆起的通道層與其上之閘極堆疊下，因此增加源極結構與閘極堆疊之間的重疊面積。如此一來，可

顯著提升 TFET 的 I_{on} 。隆起的汲極結構遠離延伸的源極結構。如此一來，可減少源極結構與汲極結構之間的漏電流。此外，隆起的汲極結構與閘極堆疊之間の間隔物單元，可建立通道阻障。如此一來可大幅降低甚至消除 TFET 的 C_{gd} ，並避免源極至汲極的漏電流。綜上所述，可顯著改善 TFET 的裝置效能與可信度。

【0091】 在某些實施例中，提供半導體裝置結構，其包括：源極結構位於半導體基板中；通道層位於半導體基板上，其中通道層的第一部份覆蓋部份源極結構，且通道層的第二部份橫向地延伸出源極結構；以及汲極結構位於半導體基板上，其中汲極結構與源極結構具有不同的導電型態，且其中汲極結構鄰接通道層的第二部份。

【0092】 在一實施例中，通道層的第二部份位於汲極結構與半導體基板之間。

【0093】 在一實施例中，汲極結構鄰接通道的第二部份之側壁。

【0094】 在一實施例中，更包括閘極結構於半導體基板上，其中通道層的第一部份位於閘極結構與源極結構之間。

【0095】 在一實施例中，通道層的第二部份位於閘極堆疊與半導體基板之間。

【0096】 在一實施例中，閘極堆疊的下表面低於汲極結構的上表面。

【0097】 在一實施例中，更包括間隔物單元於閘極堆疊的側壁上，其中間隔物單元之一者與通道層垂直地重疊。

【0098】 在一實施例中，更包括間隔物單元於閘極堆疊的側壁上，其中間隔物單元之一者位於閘極堆疊與汲極結構之間。

【0099】 在某些實施例中，提供半導體裝置結構，其包括源極結構於半導體基板中。半導體裝置結構亦包括汲極結構於半導體基板上。汲極結構與源極結構具有不同的導電型態。半導體裝置結構亦包括閘極堆疊於源極結構上。此外，半導體裝置結構包括通道層於源極結構與閘極堆疊之間。部份的通道層橫向地延伸出閘極堆疊，以鄰接汲極結構。

【0100】 在一實施例中，部份通道層鄰接汲極結構的下表面。

【0101】 在一實施例中，部份通道層鄰接汲極結構的側壁。

【0102】 在一實施例中，源極結構延伸越過閘極堆疊的側壁，並朝向閘極堆疊的另一側壁。

【0103】 在一實施例中，汲極結構的下表面位於源極結構的上表面上。

【0104】 在一實施例中，更包括間隔物單元於閘極堆疊的側壁上，其中間隔物單元之一者位於閘極堆疊與汲極結構之間。

【0105】 在一實施例中，更包括導電接點於汲極結構上，其中部份汲極結構夾設於導電接點與通道層之間。

【0106】 在某些實施例中，提供半導體裝置結構的形成方法，其包括形成源極結構於半導體基板中。此方法亦包括形成通道層覆蓋半導體基板與部份源極結構。此方法亦包括形成汲

極結構於半導體基板上，以鄰接通道層。

【0107】 在一實施例中，形成汲極結構的步驟包括磊晶成長半導體材料於通道層上。

【0108】 在一實施例中，形成通道層的步驟包括磊晶成長半導體材料於半導體基板與源極結構上。

【0109】 在一實施例中，更包括在形成汲極前，形成閘極堆疊於通道層上。

【0110】 在一實施例中，更包括在形成汲極結構前，形成間隔物單元於閘極堆疊之側壁上。

【0111】 上述實施例之特徵有利於本技術領域中具有通常知識者理解本揭露。本技術領域中具有通常知識者應理解可採用本揭露作基礎，設計並變化其他製程與結構以完成上述實施例之相同目的及/或相同優點。本技術領域中具有通常知識者亦應理解，這些等效置換並未脫離本揭露精神與範疇，並可在未脫離本揭露之精神與範疇的前提下進行改變、替換、或更動。

【符號說明】

【0112】

100 半導體基板

100A、100B 區域

110 隔離結構

120、120'、120" 源極結構

130、130'、130" 通道層

130A 第一部份

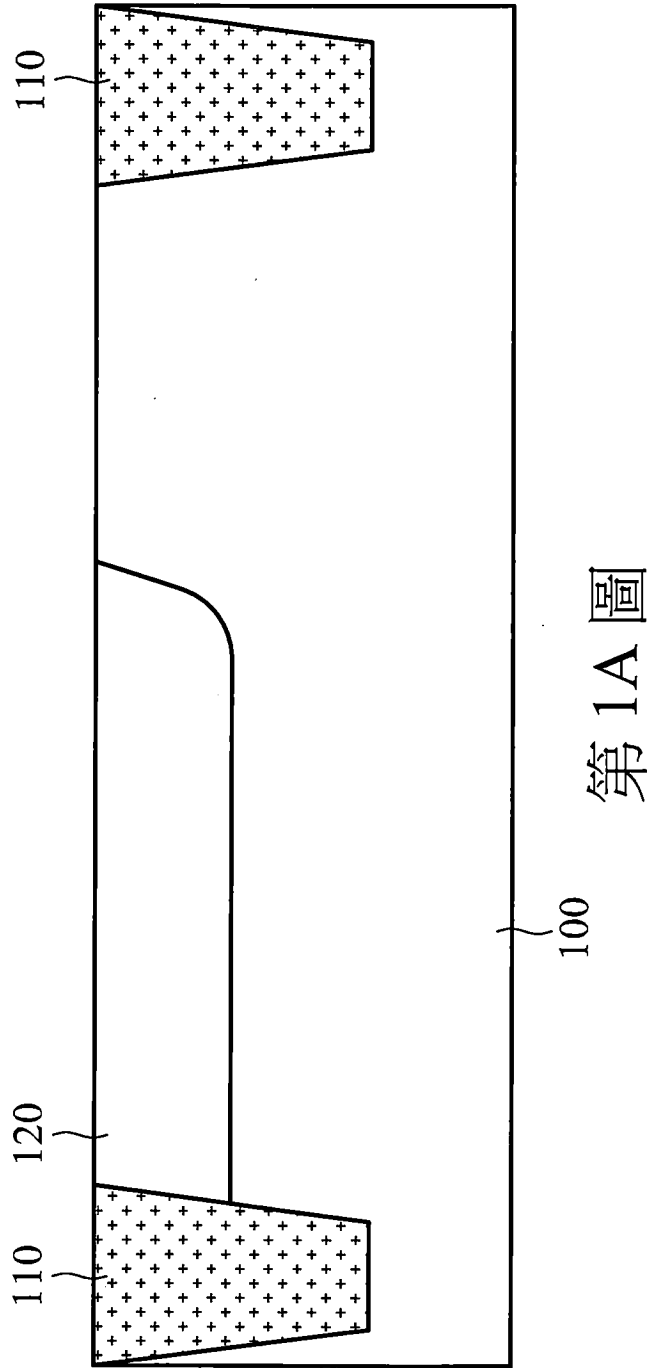
130B 第二部份

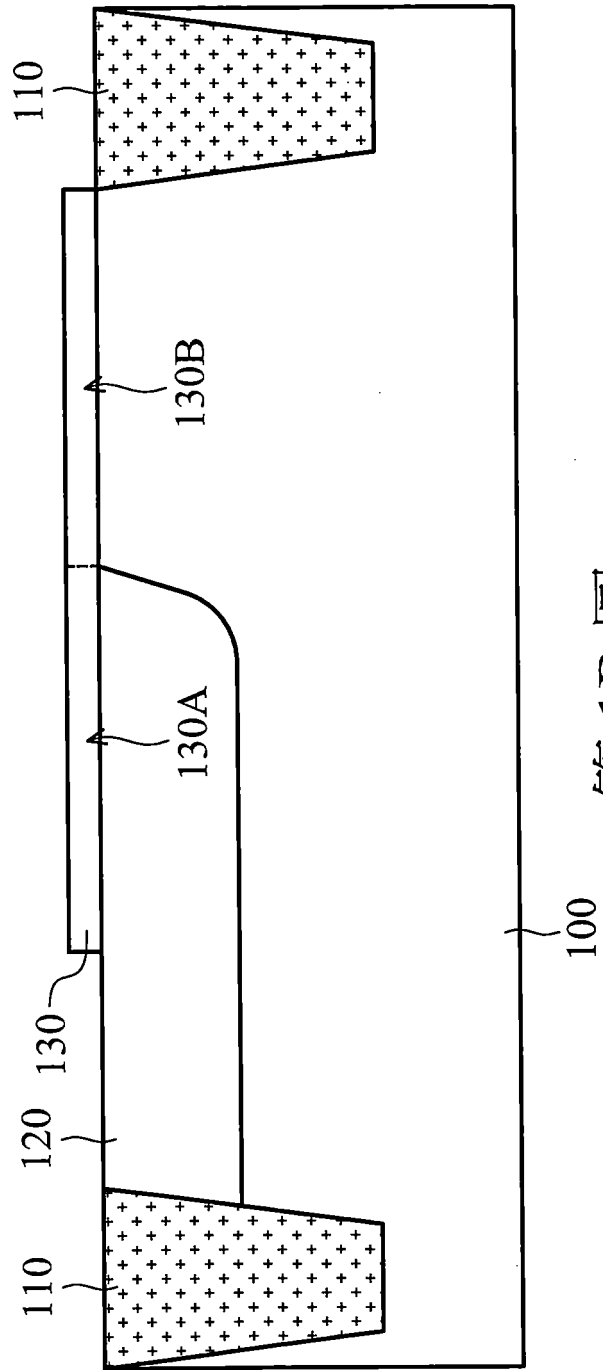
- 140、220 閘極堆疊
- 150 閘極介電層
- 160 閘極
- 170 硬遮罩
- 180 間隔物單元
- 190、190'、190" 汲極結構
- 200、300 介電層
- 210 溝槽
- 230 界面層
- 240 閘極介電層
- 250 阻障層
- 260 功函數層
- 270 阻擋層
- 280 金屬填充層
- 290A、290B、310 導電接點
- 320 半導體材料層

申請專利範圍

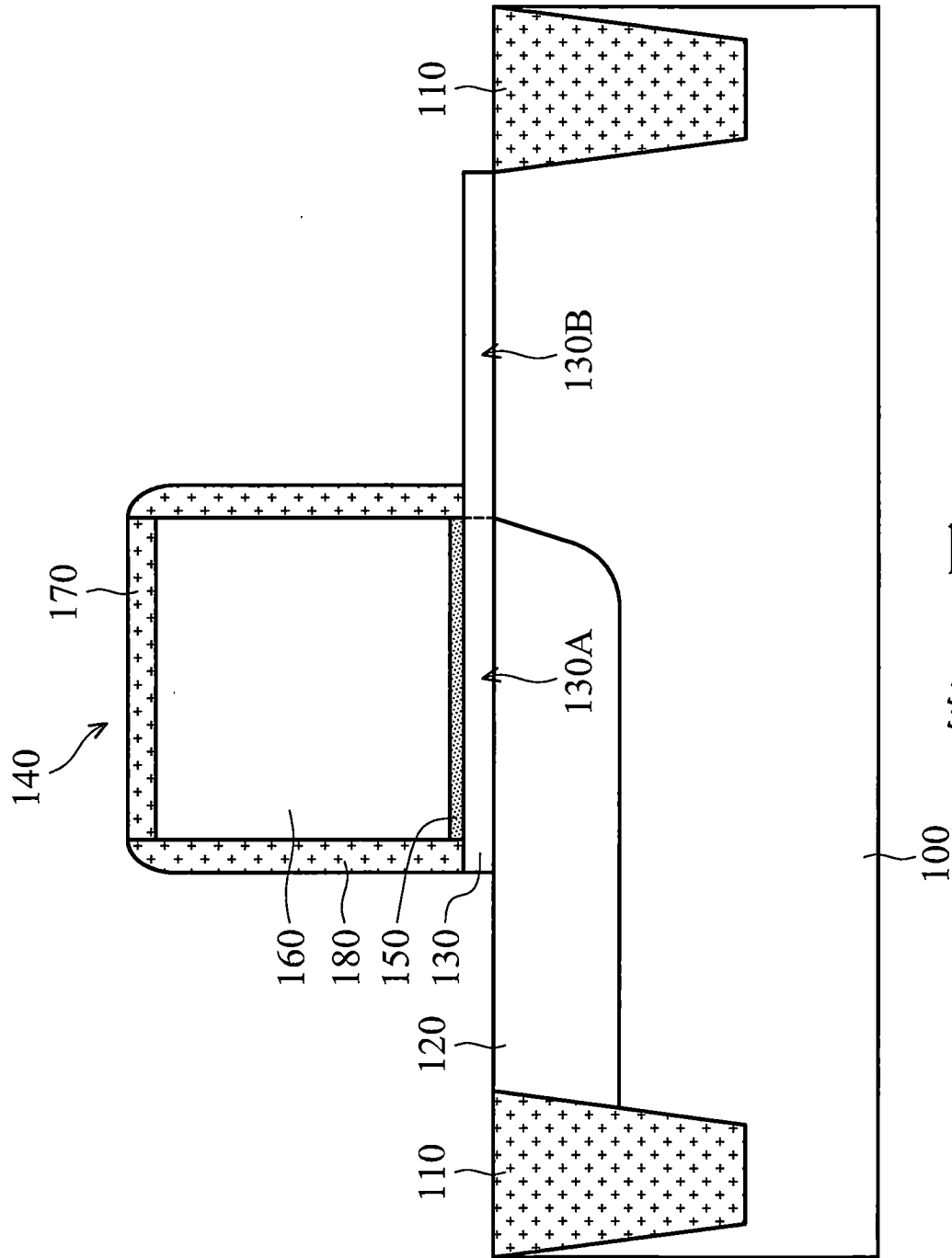
1. 一種半導體裝置結構，包括：
 - 一源極結構位於一半導體基板中；
 - 一通道層位於該半導體基板上，其中該通道層的一第一部份覆蓋部份該源極結構，且該通道層的一第二部份橫向地延伸出該源極結構；以及
 - 一汲極結構位於該半導體基板上，其中該汲極結構與該源極結構具有不同的導電型態，且其中該汲極結構鄰接該通道層的該第二部份。

圖式

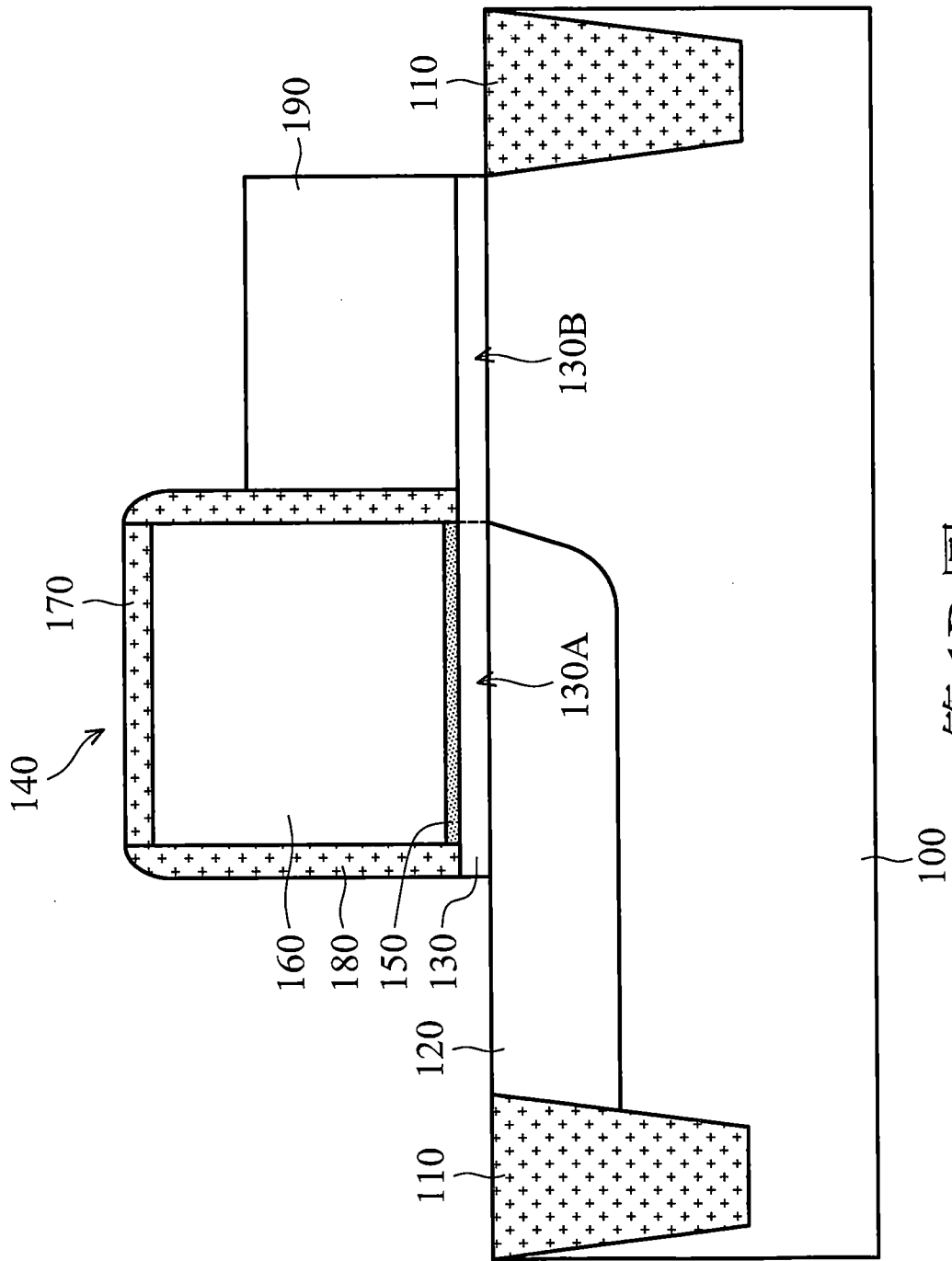




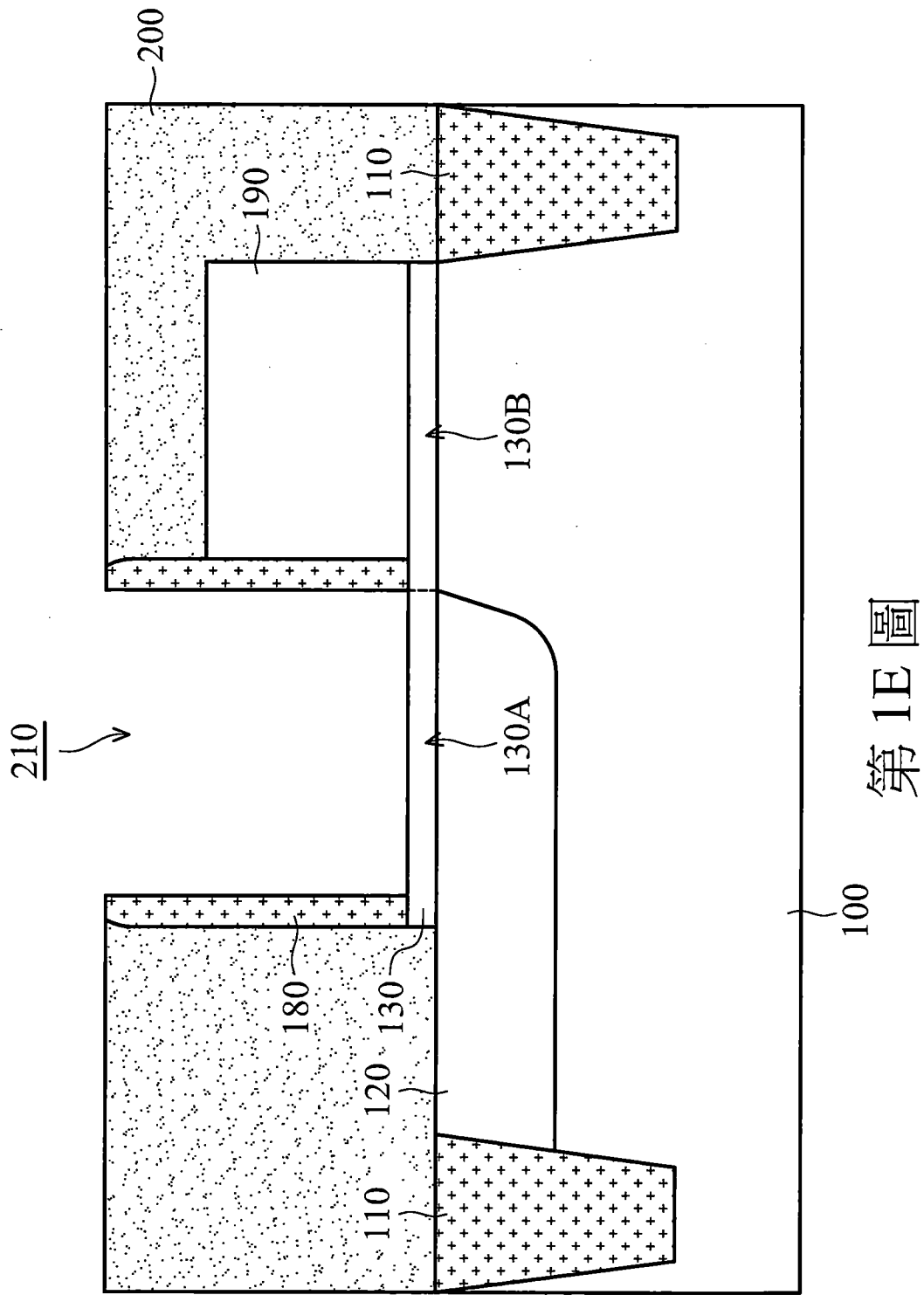
第 1B 圖



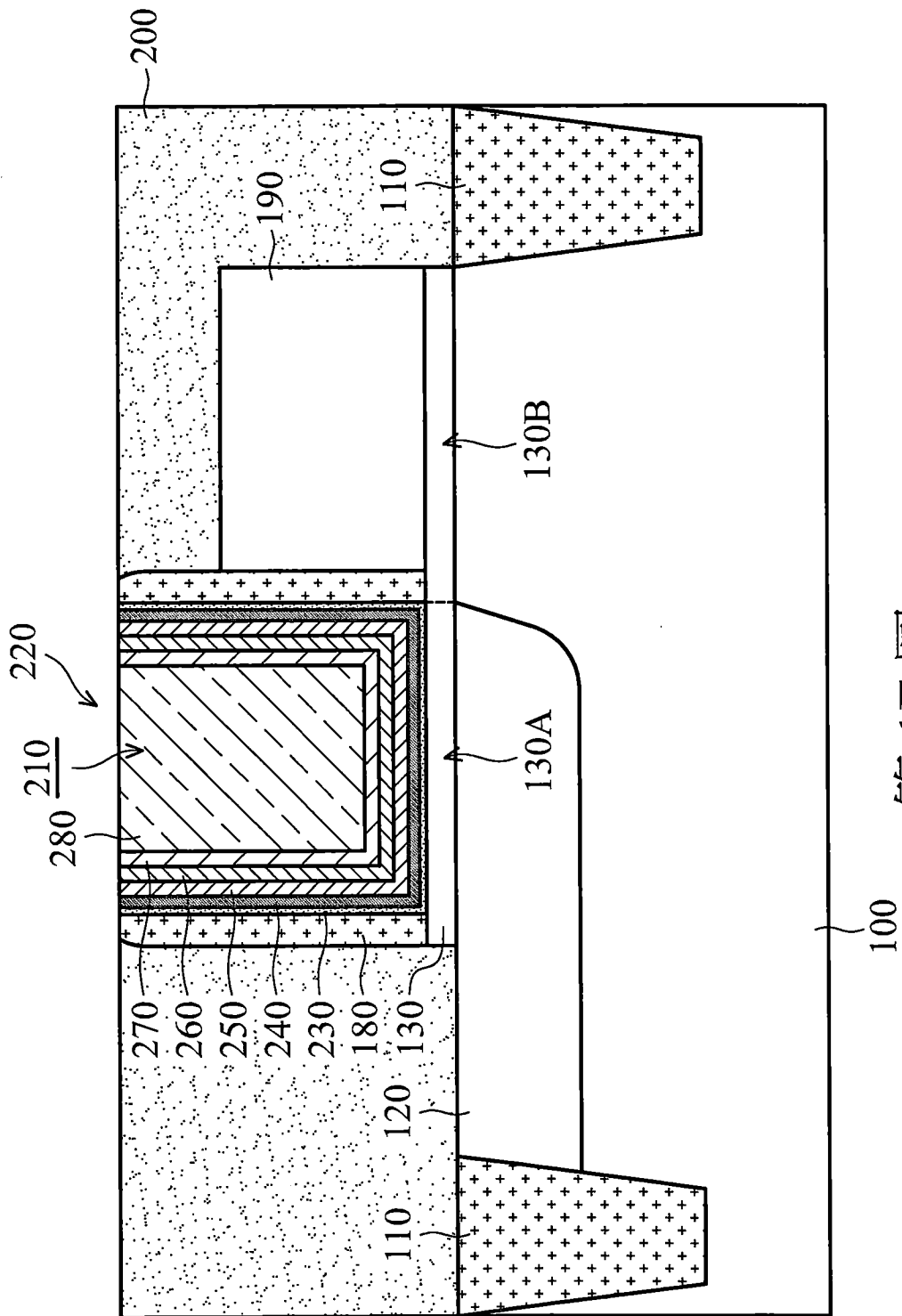
第1C圖



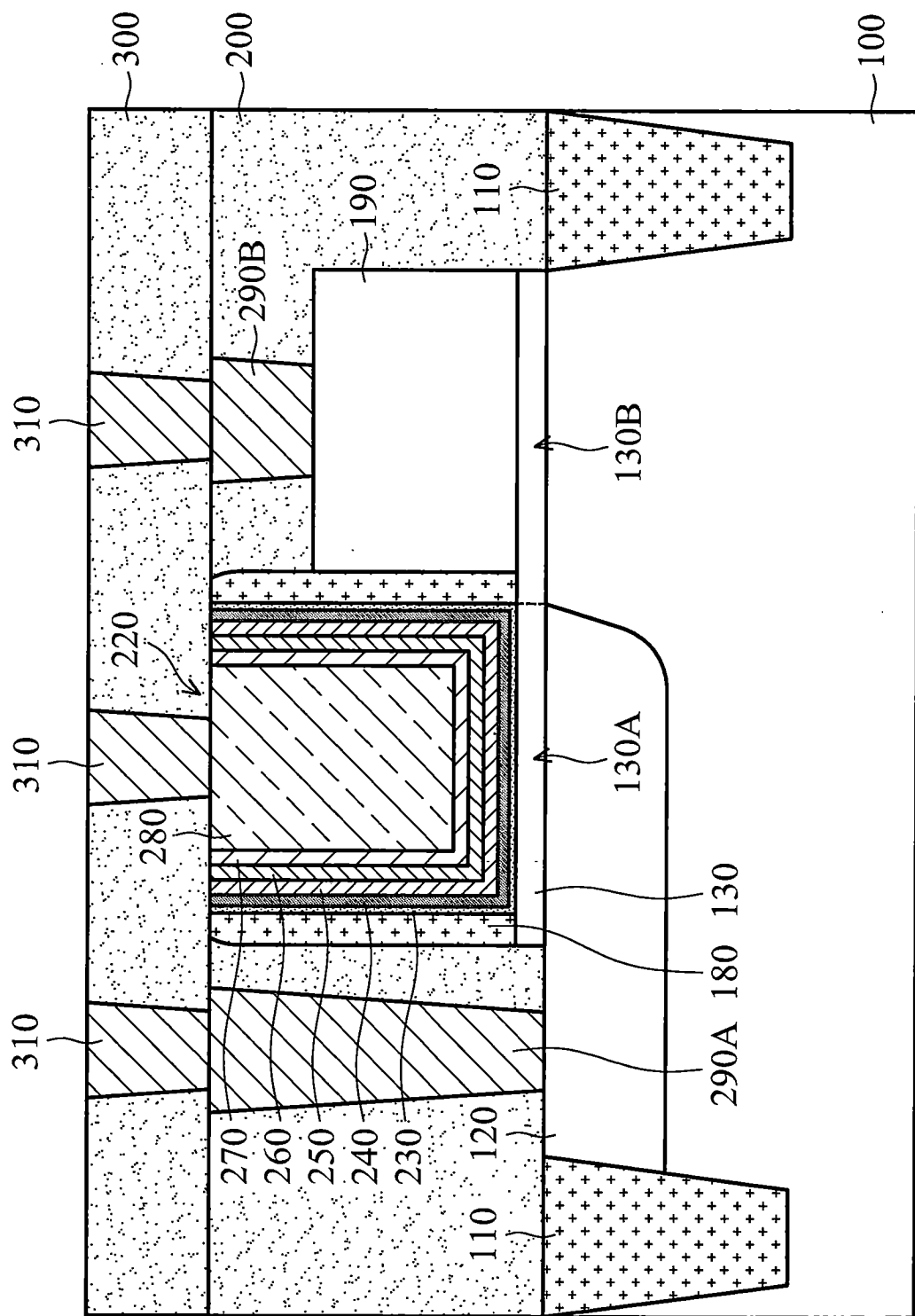
第1D圖



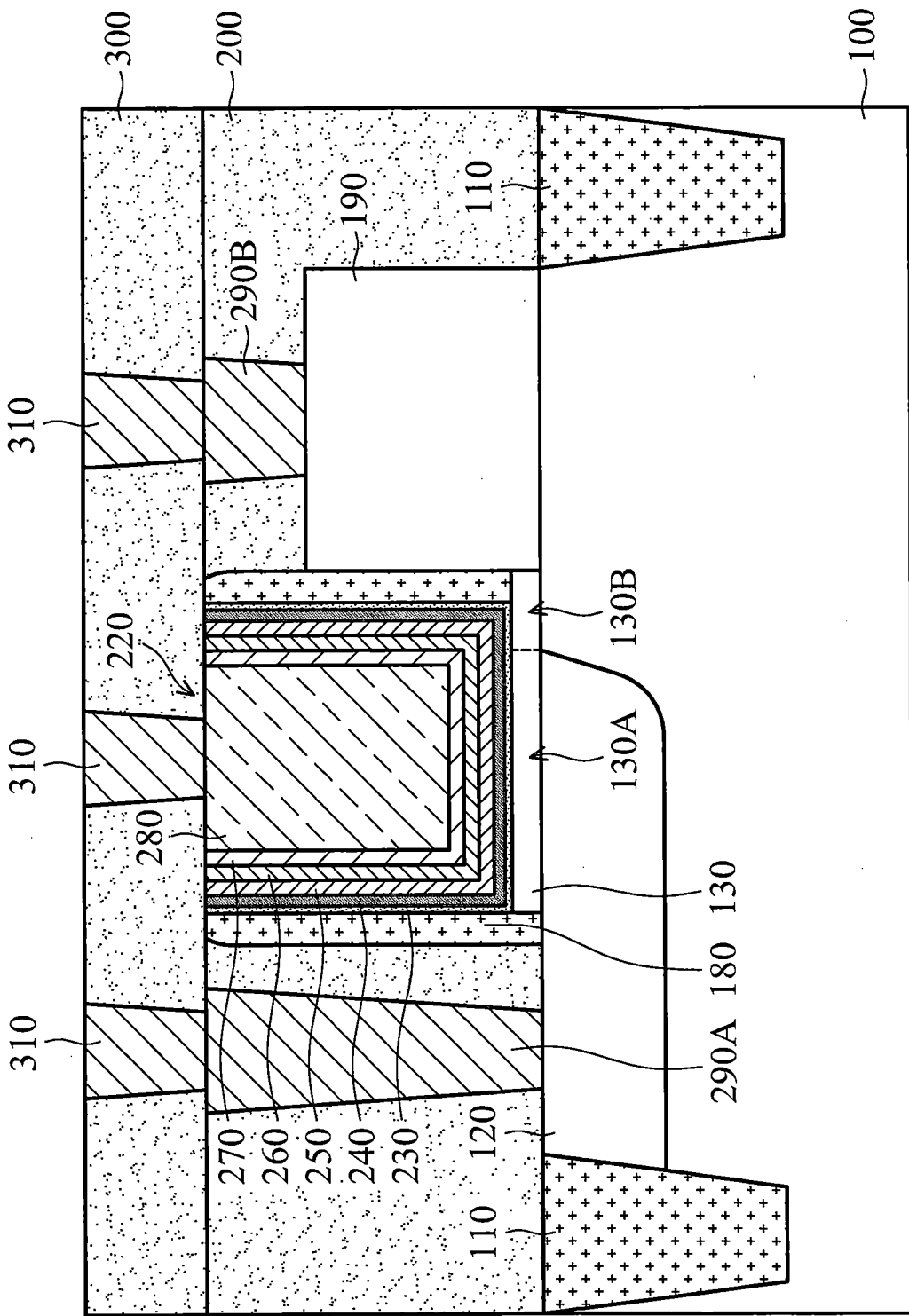
第1E圖



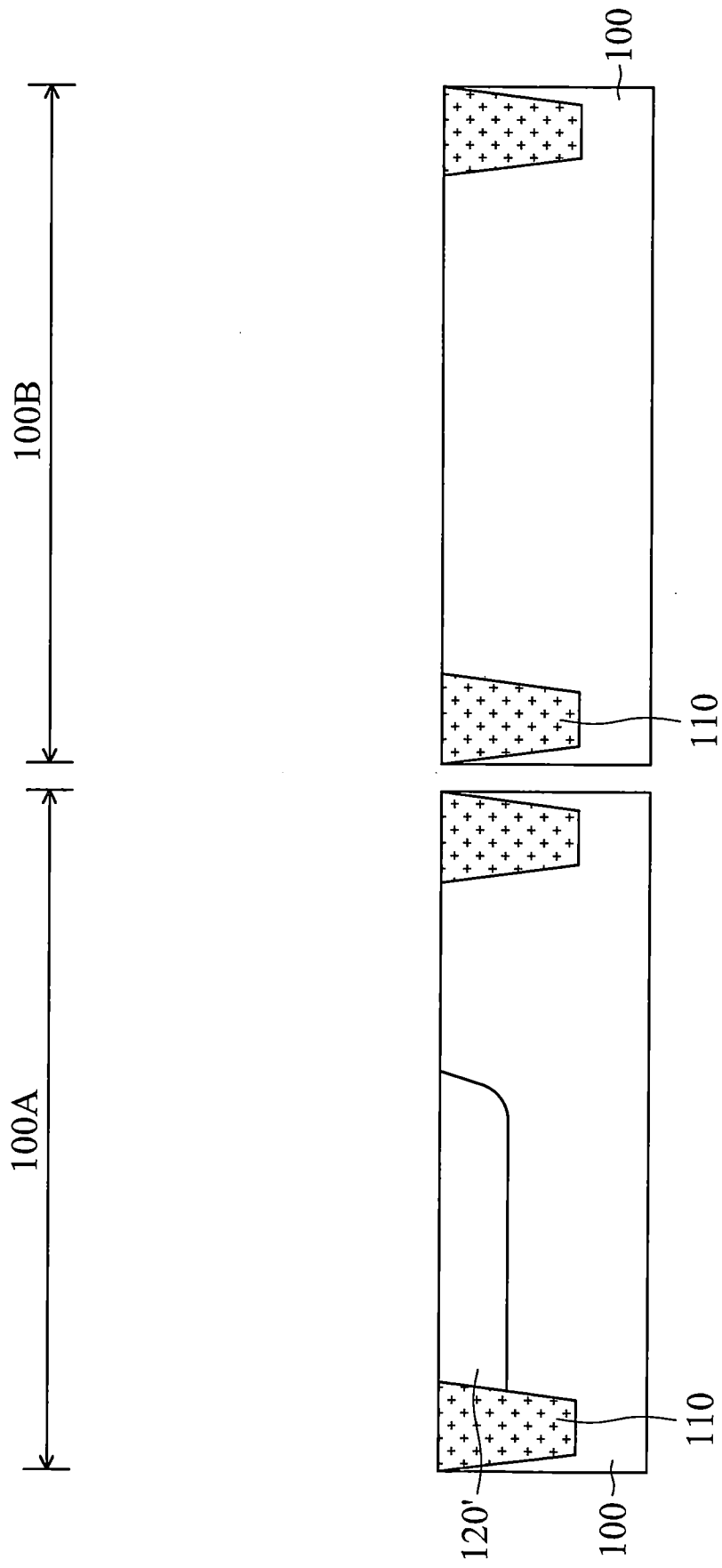
第1F圖



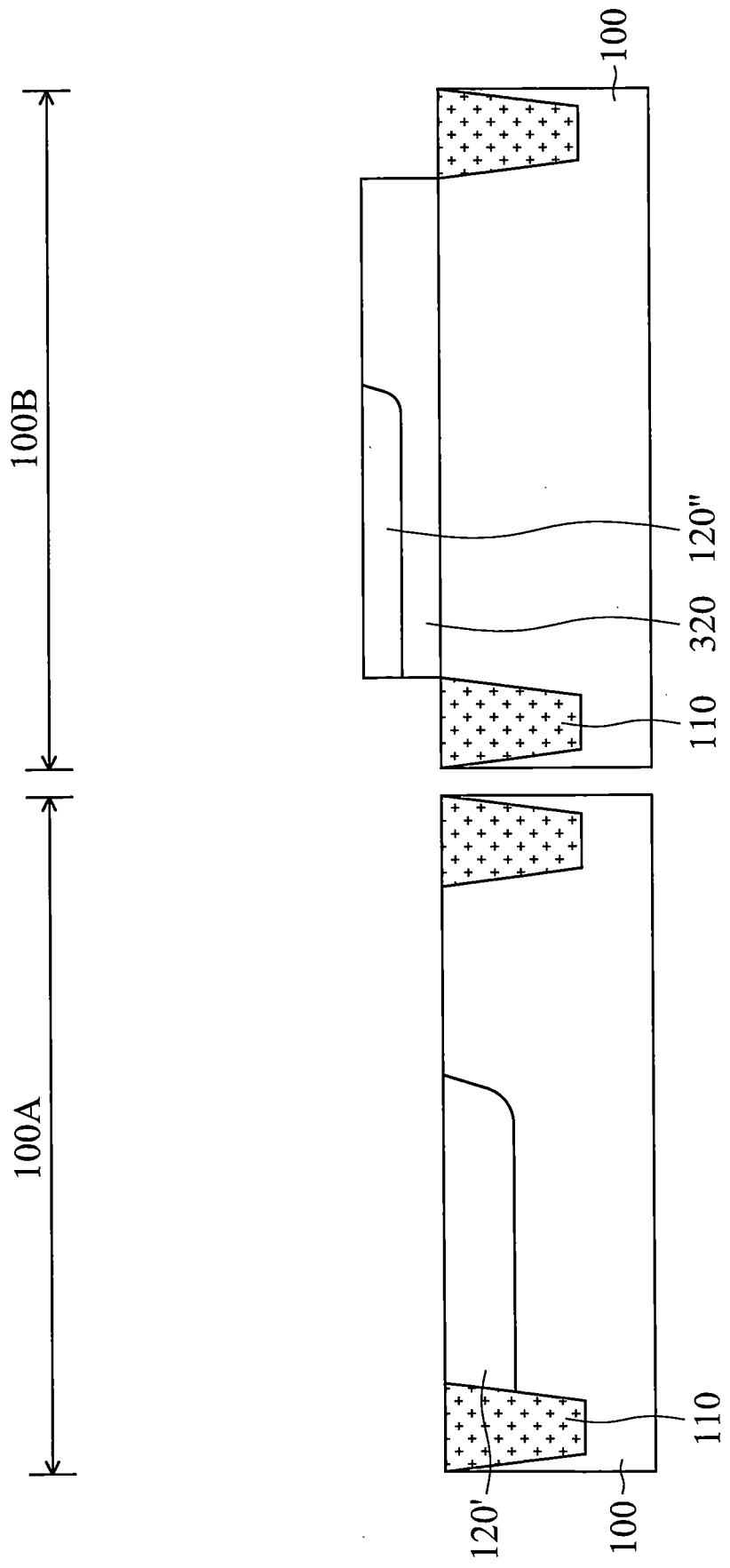
第1G圖



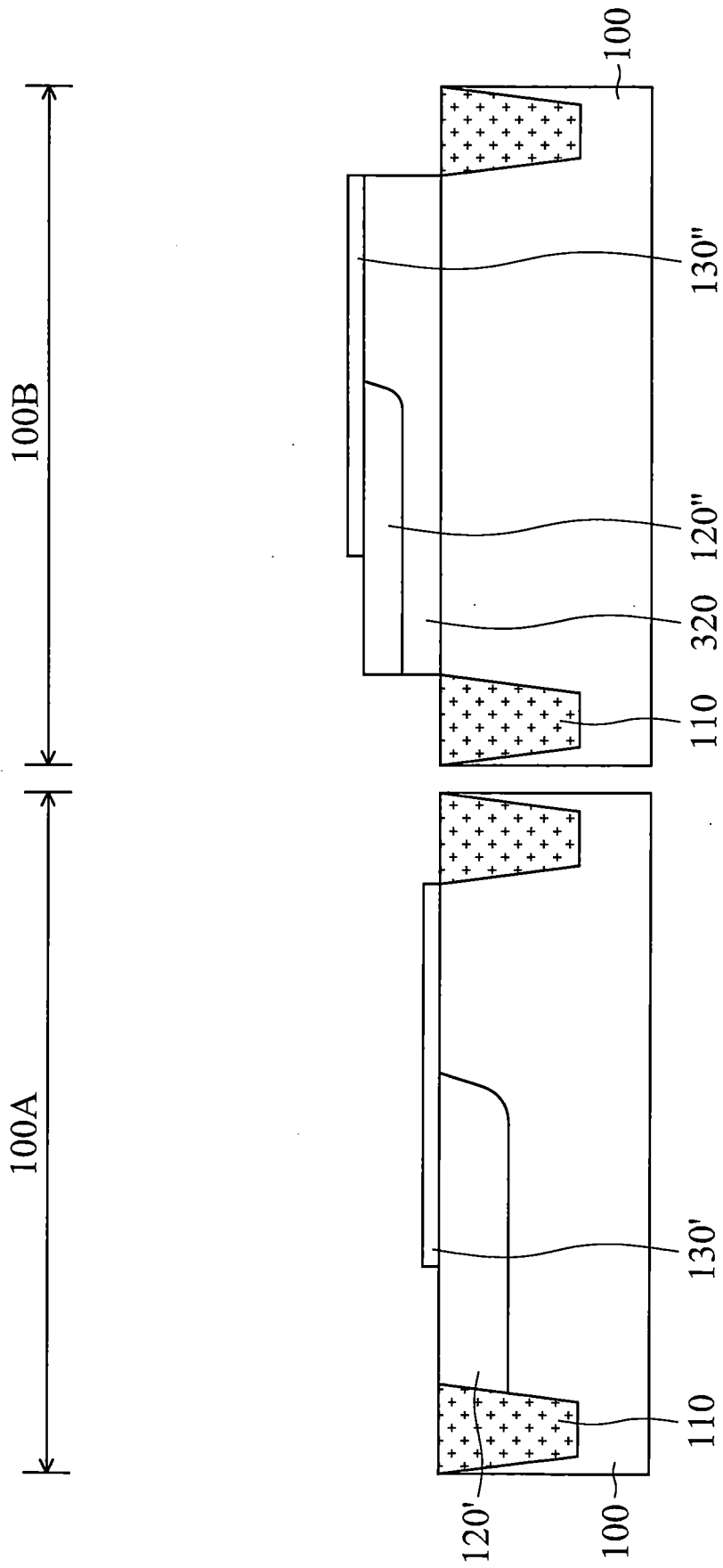
第2圖



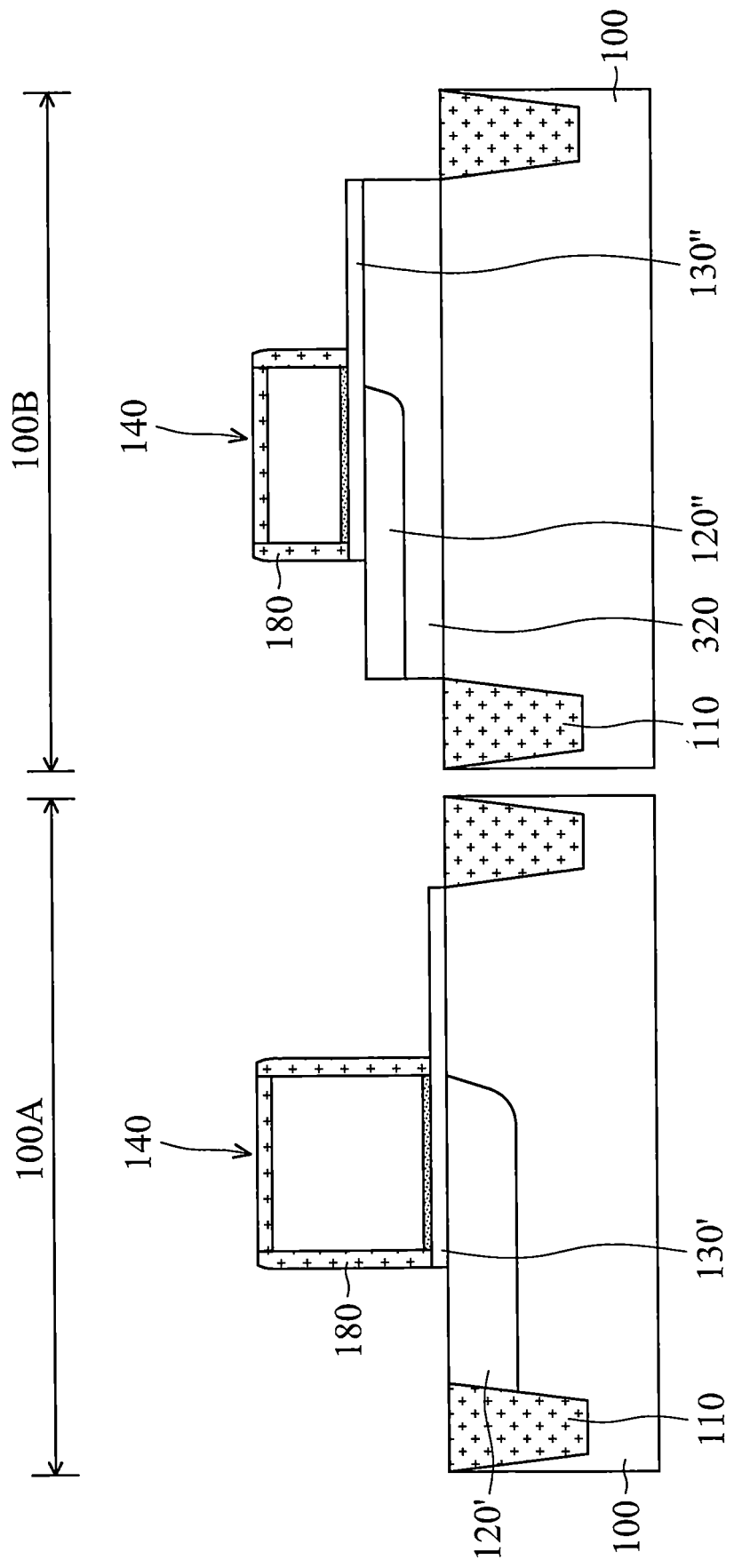
第3A圖



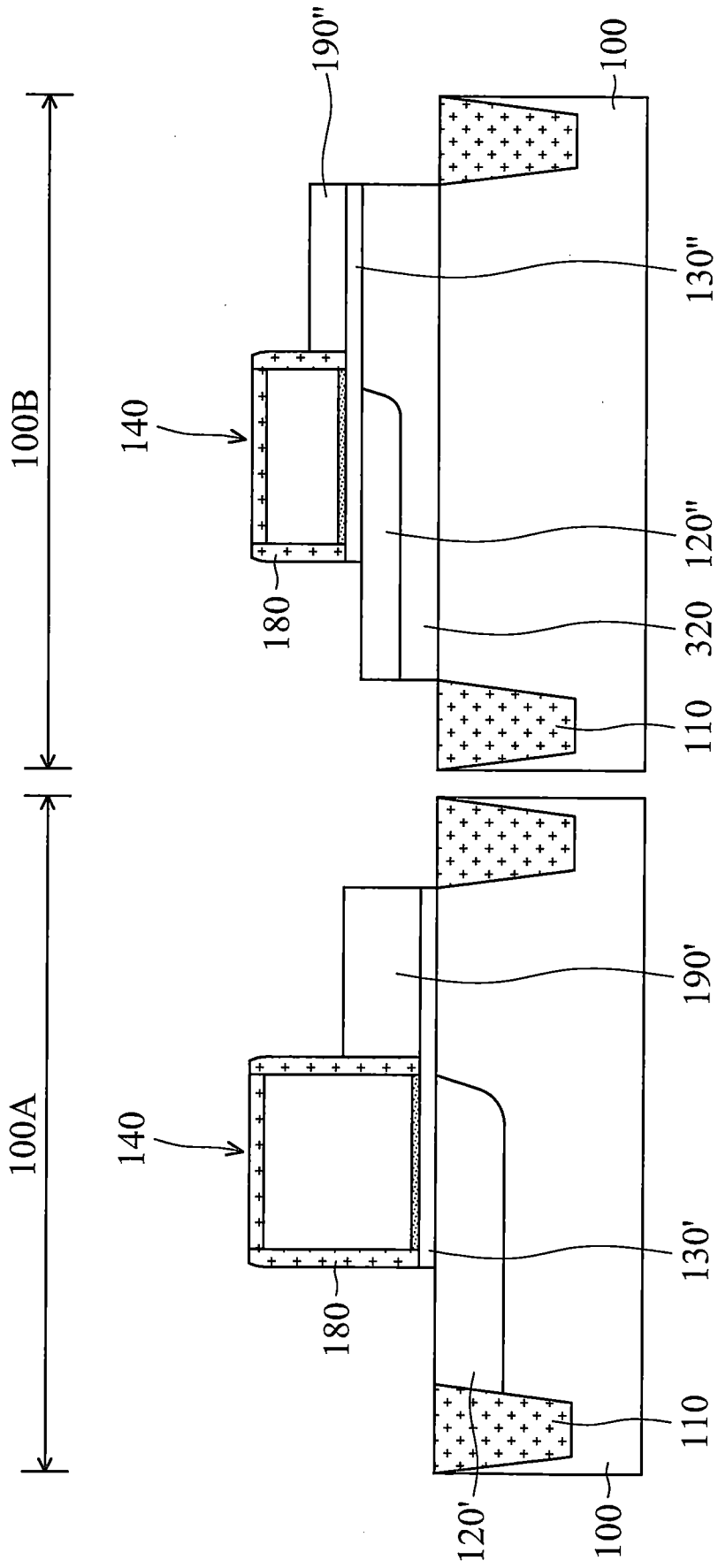
第3B圖



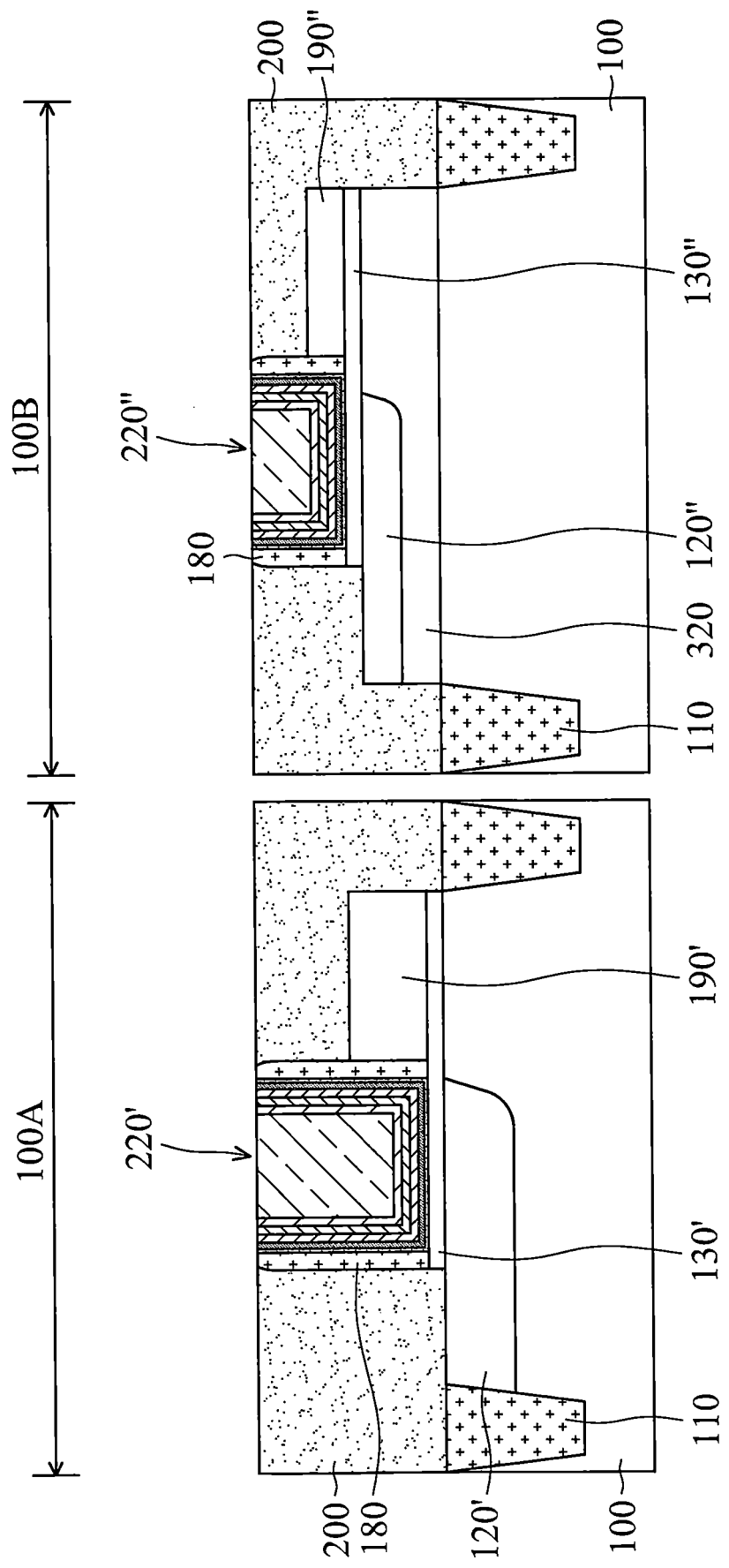
第3C圖



第3D圖



第3E圖



第3F圖

