



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201730792 A

(43)公開日：中華民國 106 (2017) 年 09 月 01 日

(21)申請案號：105105078

(22)申請日：中華民國 105 (2016) 年 02 月 22 日

(51)Int. Cl. : G06F17/50 (2006.01)

(71)申請人：國立交通大學(中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市東區大學路 1001 號

(72)發明人：郭治群 GUO, JYH-CHYURN (TW)；林彥穎 LIN, YEN-YING (TW)

(74)代理人：高玉駿；楊祺雄

申請實體審查：有 申請專利範圍項數：6 項 圖式數：6 共 30 頁

(54)名稱

高精確度之半導體元件參數萃取方法

A HIGH PRECISION SEMICONDUCTOR DEVICE PARAMETERS EXTRACTION METHOD

(57)摘要

一種高精確度之半導體元件參數萃取方法，提供第一、第二多閘指元件，及長通道元件，量測第一、二多閘指元件的第一、二本質閘極電容值並與其閘指數量求得截距與斜率，計算多閘指元件的雜散電容值，及量測長通道元件的通道單位面積電容值，以得到多閘指元件的閘極長度與等效總通道寬度，令多閘指元件呈通道關閉狀態，進行去嵌化而計算多閘指元件的本質 Y 參數，並求得多閘指元件通道關閉狀態的閘極汲極電容值與閘極源極電容值，再執行三維電容模擬得多閘指元件的總雜散電容值，包含閘指側壁邊緣電容(C_{of})與閘指端邊緣電容($C_{f(poly_end)}$)。然後，將通道關閉狀態下之閘極汲極電容值與閘極源極電容值扣除總雜散電容值，得到源極/汲極延伸區與閘極交疊區電容值，以計算得到多閘指元件的源極/汲極延伸區與閘極交疊區長度。

The invention provides a high precision semiconductor device parameters extraction method, which comprises the following steps: providing a first multi-finger device, a second multi-finger device, and a long channel device, measuring a first intrinsic gate capacitance of the first multi-finger device and a second intrinsic gate capacitance of the second multi-finger, determining an intercept (β) and slope (α) according to the first intrinsic gate capacitance, the second intrinsic gate capacitance, a first gate fingers number of the first multi-finger device, and a second gate fingers number of the second multi-finger device, computing a parasitic gate capacitance composed of the gate sidewall fringing capacitance (C_{of}) and the gate finger-end fringing capacitance ($C_{f(poly_end)}$), and determining an inversion channel capacitance per unit area ($C_{ox(inv)}$) from the long channel device, calculating a gate length (L_g) according to the β , C_{of} , and $C_{ox(inv)}$ as well as an effective channel width (W_{eff}) according to the α , $C_{f(poly_end)}$, L_g , and $C_{ox(inv)}$, openM1 deembedding is performed on a Y-parameters to achieve an intrinsic Y-parameters at the off-state, which can be used to determine a off-state gate-to-drain capacitance and a off-state gate-to-source capacitance, a gate to source/drain fringing capacitances consisted of C_{of} and $C_{f(poly_end)}$ are calculated by Raphael simulation, a source/drain extension to gate overlap capacitance is obtained by subtracting the gate to source/drain fringing capacitances from the off-state gate-to-drain capacitance and the off-state gate-to-source capacitance, calculating a source/drain extension to gate overlap length.

指定代表圖：

符號簡單說明：

- 100 . . . 步驟
- 200 . . . 步驟
- 300 . . . 步驟
- 400 . . . 步驟
- 500 . . . 步驟
- 600 . . . 步驟
- 700 . . . 步驟
- 800 . . . 步驟

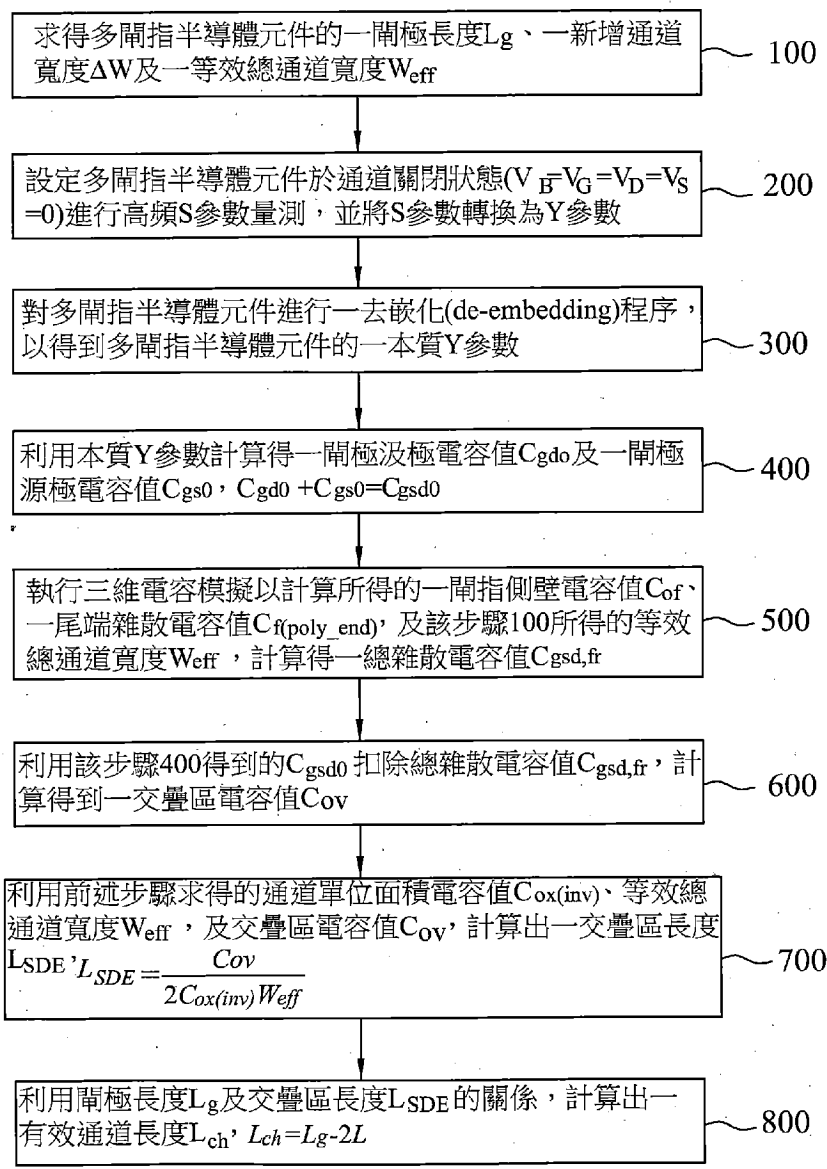


圖1



【中文發明名稱】 高精確度之半導體元件參數萃取方法

【英文發明名稱】 A high precision semiconductor device parameters extraction method

【中文】

一種高精確度之半導體元件參數萃取方法，提供第一、第二多閘指元件，及長通道元件，量測第一、二多閘指元件的第一、二本質閘極電容值並與其閘指數量求得截距與斜率，計算多閘指元件的雜散電容值，及量測長通道元件的通道單位面積電容值，以得到多閘指元件的閘極長度與等效總通道寬度，令多閘指元件呈通道關閉狀態，進行去嵌化而計算多閘指元件的本質Y參數，並求得多閘指元件通道關閉狀態的閘極汲極電容值與閘極源極電容值，再執行三維電容模擬得多閘指元件的總雜散電容值，包含閘指側壁邊緣電容(C_{of})與閘指端邊緣電容($C_{f(poly_end)}$)。然後，將通道關閉狀態下之閘極汲極電容值與閘極源極電容值扣除總雜散電容值，得到源極/汲極延伸區與閘極交疊區電容值，以計算得到多閘指元件的源極/汲極延伸區與閘極交疊區長度。

【英文】

The invention provides a high precision semiconductor device parameters extraction method, which comprises the following steps: providing a first multi-finger device, a second multi-finger device, and a long channel device,

第1頁，共3頁(發明摘要)

measuring a first intrinsic gate capacitance of the first multi-finger device and a second intrinsic gate capacitance of the second multi-finger, determining an intercept (β) and slope (α) according to the first intrinsic gate capacitance, the second intrinsic gate capacitance, a first gate fingers number of the first multi-finger device, and a second gate fingers number of the second multi-finger device, computing a parasitic gate capacitance composed of the gate sidewall fringing capacitance (C_{of}) and the gate finger-end fringing capacitance ($C_{f(poly_end)}$), and determining an inversion channel capacitance per unit area ($C_{ox(inv)}$) from the long channel device, calculating a gate length (L_g) according to the β , C_{of} , and $C_{ox(inv)}$ as well as an effective channel width (W_{eff}) according to the α , $C_{f(poly_end)}$, L_g , and $C_{ox(inv)}$, openM1 deembedding is performed on a Y-parameters to achieve an intrinsic Y-parameters at the off-state, which can be used to determine a off-state gate-to-drain capacitance and a off-state gate-to-source capacitance, a gate to source/drain fringing capacitances consisted of C_{of} and $C_{f(poly_end)}$ are calculated by Raphael simulation, a source/drain extension to gate overlap capacitance is obtained by subtracting the gate to source/drain fringing capacitances from the off-state gate-to-drain capacitance and the off-state gate-to-source

capacitance, calculating a source/drain extension to gate overlap length.

【指定代表圖】：圖（1）。

【代表圖之符號簡單說明】

100 步驟

500 步驟

200 步驟

600 步驟

300 步驟

700 步驟

400 步驟

800 步驟

【發明說明書】

【中文發明名稱】 高精確度之半導體元件參數萃取方法

【英文發明名稱】 A high precision semiconductor device parameters extraction method

【技術領域】

【0001】 本發明是有關於一種半導體元件參數的萃取方法，特別是指一種金屬氧化物半導體場效電晶體的閘極、源極/汲極延伸區與通道等相關參數的萃取方法。

【先前技術】

【0002】 近年來，電子產品發展趨於輕薄短小，促使應用於電子產品中的積體電路尺寸的設計也隨之微小化。就以奈米級多閘指(multi-finger, MF)狀結構的金屬氧化物半導體場效電晶體(metal oxide semiconductor field effect transistor, MOSFET)而言，爲了達到更高的最大震盪頻率與更低的高頻雜訊，藉由同時變化閘指寬度(finger width, W_F)與閘指數目(finger number, N_F)，可有效降低閘極電阻，使具有閘指狀結構的金屬氧化物半導體場效電晶體廣泛使用於現有的射頻電路設計。

【0003】 隨著元件縮小至奈米等級，其源極/汲極延伸區 (source/drain extension, SDE) 將明顯影響元件電性完整性 (electrical integrity)、次臨界漏電流 (subthreshold leakage current)、交疊區電容 (overlap capacitance) 等重要特性的參數。源極/汲極延伸區 (SDE) 具有的超淺接面 (ultra-shallow junction, USJ) 能有效抑止短通道效應 (short channel effects, SCE)，但可能會導致增加源極/汲極延伸區 (SDE) 的電阻及較低的驅動電流。此外，源極/汲極延伸區與閘極的交疊區長度 (L_{SDE}) 也是另一重要參數，其中，閘極長度 (L_g) 扣除源極/汲極延伸區 (SDE) 與閘極的交疊區長度 (L_{SDE}) 即為有效通道長度 (L_{ch})。在固定閘極長度 (L_g) 條件下，較大的交疊區長度 (L_{SDE}) 將導致較短的有效通道長度 (L_{ch})，並可能增加源極至汲極的漏電流。

【0004】 目前常見的其中一種萃取閘極長度 (L_g) 與源極/汲極延伸區與閘極交疊區長度 (L_{SDE}) 的方法，是準備兩個試片，對其中一個試片上的元件使用掃描式電子顯微鏡 (SEM) 進行閘極長度 (L_g) 的量測，再對其中另一個試片上的相同佈局尺寸的元件進行電性量測以決定其源極/汲極延伸區與閘極交疊區長度 (L_{SDE})。然而，兩個試片會存在既有的製程變異 (process variation)，來自不同試片的同一佈局尺寸元件往往無法得到相等的閘極長度 (L_g)，且製程變異所佔比重隨著元件微縮而增加，在奈米元件造成太大誤差。此

外，SEM屬於破壞性量測，此方法不僅費時與增加耗材成本且無法保證量測重現性。再者，一般的萃取方法通常僅考慮二維情況，而忽略了如閘指尾端邊緣電容 (poly-finger-end fringing capacitance) 的三維效應，因此，前述方法並無法應用於射頻電路常使用的多閘指元件。

【0005】 因此，爲了提升半導體元件尤其是奈米元件的電性分析與模擬設計的精準度，準確地萃取出射頻電路常用的多閘指元件的源極/汲極延伸區(SDE)與閘極的交疊區長度(L_{SDE})以及有效通道長度(L_{ch})爲本領域相關技術人員的一重要課題。

【發明內容】

【0006】 因此，本發明之目的，即在提供一種高精確度之半導體元件參數萃取方法，適用於萃取一多閘指半導體元件的閘極、源極/汲極延伸區與通道等相關參數，該多閘指半導體元件包括一源極主動區、一汲極主動區、一位於該源極主動區與該汲極主動區之間的通道，及一位於該通道上方的閘極，該源極主動區與該汲極主動區分別具有一源極延伸區與一汲極延伸區，該源極延伸區及該汲極延伸區與該閘極的部份交疊，而具有一交疊區長度。上述元件結構爲一單閘指元件，而多閘指元件乃是沿著通道長度方向重複上述單閘指元件結構，且相鄰閘指間共用源極或汲極。

【0007】 於是，本發明高精確度之半導體元件參數萃取方法包含以下步驟：

【0008】 提供一第一多閘指元件、一第二多閘指元件，及一長通道元件，且該第一多閘指元件與該第二多閘指元件的佈局條件為固定總通道寬度(W_{tot})條件下，同時變化其閘指數(N_F)與閘指寬度(W_F)，即 $W_{tot}=W_F \times N_F$ 為定值。

【0009】 利用高頻量測裝置量測該第一多閘指元件與該第二多閘指元件的S參數並轉換成一Y參數，然後進行去嵌化而得到本質Y參數。由此本質Y參數計算而得到一本質閘極電容值，其中包括閘極至通道的一本質通道電容、源極/汲極延伸區與閘極的一交疊區電容以及閘極至源極/汲極的一雜散電容。依此程序得到該第一多閘指元件的一第一本質閘極電容值及該第二多閘指元件的一第二本質閘極電容值。

【0010】 根據該第一本質閘極電容值與該第二本質閘極電容值對應於該第一多閘指元件與該第二多閘指元件的閘指數量的線性關係，以求得一截距(β)與一斜率(α)。

【0011】 執行一三維電容模擬，計算該多閘指元件的一雜散電容值，包含閘指側壁邊緣電容(C_{of})與閘指端邊緣電容($C_{f(poly_end)}$)。

【0012】 使用一高頻量測裝置量測該長通道元件的S參數並轉換成一Y參數，然後進行去嵌化而得到本質Y參數。由該本質Y參數而得到一本質閘極電容值，之後根據佈局已知通道寬度與長度計算其通道面積，以求得一通道單位面積電容值($C_{ox(inv)}$)。

【0013】 根據該截距(β)、該閘指側壁邊緣電容(C_{of})，及該通道單位面積電容值($C_{ox(inv)}$)以計算該多閘指元件的一閘指長度(L_g)。根據該斜率(α)、該閘指端邊緣電容($C_{f(poly_end)}$)，及該通道單位面積電容值($C_{ox(inv)}$)以計算該多閘指元件的一新增通道寬度(ΔW)，並換算得到一等效總通道寬度(W_{eff})。

【0014】 令該多閘指元件呈通道關閉狀態，並使用該高頻量測裝置量測該多閘指元件的一S參數並轉換成一Y參數。

【0015】 提供該多閘指元件一虛擬開路測試結構，而使用該高頻量測裝置量測該虛擬開路測試結構進行一去嵌化程序，並計算該多閘指元件的一本質Y參數。

【0016】 根據該本質Y參數，計算該多閘指元件的一閘極汲極電容值，及一閘極源極電容值。

【0017】 執行一三維電容模擬，計算該多閘指元件的一閘指側壁邊緣電容值，及一閘指尾端邊緣電容值，並計算得到一總雜散電容值。

【0018】 將該通道關閉狀態之該閘極汲極電容值與該閘極源極電容值扣除該總雜散電容值，得到一源極/汲極延伸區與閘極的交疊區電容值。

【0019】 根據該等效總通道寬度、該通道單位面積電容值，及該源極/汲極延伸區與閘極交疊區電容值，計算得到該多閘指元件的該源極/汲極延伸區與閘極的交疊區長度。

【0020】 本發明之功效在於，利用該非破壞性高頻量測，精確決定出通道關閉狀態的該閘極汲極電容值與該閘極源極電容值，及利用三維電容模擬，精確決定出該閘指側壁邊緣電容值與該閘指尾端邊緣電容值，而能快速且準確計算得到該源極/汲極延伸區與閘極的交疊區長度，並可有效反應出三維佈局效應。

【圖式簡單說明】

【0021】 本發明之其他的特徵及功效，將於參照圖式的實施方式中清楚地呈現，其中：

圖 1 是一流程圖，說明本發明高精確之半導體元件參數萃取方法的一量測流程；

圖 2 是一示意圖，說明本發明的一多閘指半導體元件；

圖 3 是一沿圖 2 的 III-III 直線的剖面側視圖，輔助說明圖 2 的該多閘指半導體元件；

圖 4 是一本質閘極電容值對一閘指數目的關係圖，說明一多閘指元件的本質閘極電容值與閘指數的線性關係；

圖 5 是一流程圖，說明利用 Raphael 模擬閘極側壁邊緣電容值及利用閘極長度與閘極側壁邊緣電容值的線性方程式，進行迭代以萃取多閘指元件的閘極長度；及

圖 6 是一閘極長度與閘極側壁邊緣電容值的關係圖，說明多閘指元件的閘極長度與閘極側壁邊緣電容值的線性關係。

【實施方式】

【0022】 在本發明被詳細描述之前，應當注意在以下的說明內容中，類似的元件是以相同的編號來表示。

【0023】 參閱圖 1~圖 3，本發明高精確之半導體元件參數萃取方法的一實施例包含一步驟 100~一步驟 800，可藉由電腦執行一模擬軟體與參數迭代萃取流程來實施，應用於萃取如圖 3 的一多閘指半導體元件 M 的一交疊區長度 L_{SDE} 。

【0024】 具體地說，該多閘指半導體元件 M 於本實施例中是以奈米級金屬氧化物半導體場效電晶體 (MOSFET) 為例作說明，但並不限於此，如圖 2 之該多閘指半導體元件 M 包括一本體 B、多條沿一方向間隔排列的閘指 G_f 、多個形成於該本體 B 上，並分別位於該等閘指 G_f 兩側邊的源極主動區 S(OD) 與汲極主動區 D(OD)。每一該

閘指 G_f 具有一閘極 G 及位於該閘極 G 相對兩端的接觸窗 $G(CT)$ ，每一該源極主動區 $S(OD)$ 具有位於其頂面的多個接觸窗 $S(CT)$ ，每一該汲極主動區 $D(OD)$ 具有多個位置與該源極主動區 $S(OD)$ 的接觸窗 $S(CT)$ 相對應的接觸窗 $D(CT)$ 。如圖3所示，該源極主動區 $S(OD)$ 與該汲極主動區 $D(OD)$ 分別具有一源極延伸區 $S(E)$ 與一汲極延伸區 $D(E)$ ，該源極延伸區 $S(E)$ 及該汲極延伸區 $D(E)$ 分別與位於一通道上方的該閘極 G 部份交疊，而分別具有一交疊區長度 L_{SDE} 。本發明該萃取方法即是可用以萃取前述該半導體元件的每一個閘指 G_f 的通道長度參數。

【0025】 首先，執行該步驟100，藉由發明人的美國第8,691,599 B2核准公告專利已揭示透過提供一長通道元件及至少兩個具有不同閘指數目的多閘指元件進行量測，而求得半導體元件因淺溝隔離(STI)製程產生的一新增通道寬度 ΔW ，及一等效總通道寬度 W_{eff} 的方法，因此，以下配合美國第8,691,599 B2核准公告專利概略並補充說明該步驟100。

【0026】 爲了更有效增進準確度與可靠性，首先，提供一爲單閘指(single finger)結構的長通道元件及至少兩個具有不同閘指數目(finger number, N_F)但總通道寬度(total width, W_{tot})相同的的第一多閘指元件與第二多閘指元件；接著，進行一去嵌化(de-embedding)動作後，量測得該第一多閘指元件的第一本質

閘極電容值 $C_{gg(DUT,OM1)}$ 與該第二多閘指元件的一第二本質閘極電容值 $C_{gg(DUT,OM1)}$ ；配合參閱圖4，再根據該第一本質閘極電容值 $C_{gg(DUT,OM1)}$ 與該第二本質閘極電容值 $C_{gg(DUT,OM1)}$ 對應該第一多閘指元件與該第二多閘指元件的閘指數 N_F 的線性關係，以求得一斜率 α ，其中，X軸代表閘指數目 N_F ，Y軸代表本質閘極電容值 $C_{gg(DUT,OM1)}$ ，且該直線與Y軸交點的截距為 β ；利用三維模擬軟體例如Raphael，計算該多閘指半導體元件的一閘指端邊緣電容值 $C_{f(poly_end)}$ ；使用高頻量測裝置例如向量網路分析儀(vector network analyzer)，求得該長通道元件的一通道單位面積電容值 $C_{ox(inv)}$ ；最後，根據該斜率 α 、該閘指端邊緣電容值 $C_{f(poly_end)}$ ，及該通道單位面積電容值 $C_{ox(inv)}$ 計算出該新增通道寬度 ΔW ，並以下列公式(1)換算得到該等效總通道寬度 W_{eff} ：

$$W_{eff} = (W_F + \Delta W) \times N_F \dots\dots\dots(1)$$

【0027】 要補充說明的是，由於該長通道元件為單閘指結構且其閘指長度與寬度均遠大於該第一多閘指元件與該第二多閘指元件的閘指長度與寬度，因此，該長通道元件的尺寸夠大乃至於製程中造成的尺寸變異(critical dimension variation)效應可被忽略，因此，可藉此長通道元件準確得知該通道單位面積電容值 $C_{ox(inv)}$ 。

【0028】 另外要補充說明的是，於正常情況下，該長通道元件的一閘極長度 L_g 等同於已知的佈局尺寸的閘極長度 L_{layout} ，即 $L_g=L_{layout}$ ，不需萃取；然而，多閘指元件的佈局尺寸的閘極長度 L_{layout} 是依據設計準則所容許的最小尺寸(minimum rule)進行，因此，多閘指元件真正的閘極長度 L_g 與佈局尺寸的閘極長度 L_{layout} 的差異不可忽略，即 $L_g \neq L_{layout}$ 。藉由美國第8,691,599 B2核准公告專利所揭示的元件結構並配合以下步驟流程而求得多閘指元件的閘極長度 L_g 。

【0029】 再次參閱圖4，根據該第一本質閘極電容值 $C_{gg(DUT,OM1)}$ 與該第二本質閘極電容值 $C_{gg(DUT,OM1)}$ 對應該第一多閘指元件與該第二多閘指元件的閘指數 N_F 的線性關係如圖4所示，該直線與Y軸交點的截距 β ，與多閘指元件的閘極長度 L_g 關係式可以下列公式(2)表示：

$$\beta = (C_{ox(inv)}L_g + C_{of})W_{tot} \dots\dots\dots(2)$$

【0030】 其中， C_{of} 代表閘極側壁邊緣電容值(gate sidewall fringing capacitance)，即為多閘指元件中之該閘指 G_f 側壁至源極的接觸窗 $S(CT)$ 與汲極的接觸窗 $D(CT)$ 的一邊緣電容值 $C_{g,CT}$ ，與該閘指 G_f 側壁至該源極主動區 $S(OD)$ 與該汲極主動區 $D(OD)$ 的一邊緣電容值 $C_{g,Diff}$ 的總和，其關係式如下列公式(3)：

$$C_{of} = C_{g,CT} + C_{g,Diff} \dots\dots\dots(3)$$

【0031】 該總通道寬度 W_{tot} 則可表示如下列公式(4)：

$$W_{tot} = W_F \times N_F \dots\dots\dots(4)$$

【0032】 其中， W_F 為單一閘指寬度(finger width， W_F)，而 N_F 則為閘指數目。

【0033】 將公式(2)改寫而表示如下列公式(5)，並從該公式(5)可得知該閘極長度 L_g 的關係式如下列公式(6)所示：

$$C_{of} = \frac{\beta}{W_{tot}} - C_{ox(inv)} L_g \dots\dots\dots(5)$$

$$L_g = \frac{\beta}{W_{tot} C_{ox(inv)}} - \frac{C_{of}}{C_{ox(inv)}} \dots\dots\dots(6)$$

【0034】 再配合地參閱圖5與圖6，根據前述步驟流程，該閘極長度 L_g 與該閘極側壁邊緣電容 C_{of} 可由該圖5的流程圖求得。由圖5的流程可知，首先，利用Raphael三維模擬計算及公式(3)的定義求得一初始的閘極側壁邊緣電容 C_{of} ；另外，藉由圖4得知該 β 值與計算該總通道寬度 W_{tot} ，並將初始閘極長度設定為佈局尺寸，代入公式(5)求得該閘極側壁邊緣電容 C_{of} 。假若閘極長度初始值即佈局尺寸與真實的閘極長度 L_g 的值相接近時，藉由Raphael三維模擬計算配合公式(3)所得到的閘極側壁邊緣電容 C_{of} ，及利用公式(5)所得到的閘極側壁邊緣電容 C_{of} 也應相接近，換句話說，假若利用兩種方式求得的閘極側壁邊緣電容 C_{of} 恰好為同一數值時，則初始值即為該閘極長度 L_g 。

【0035】 一般狀況下，初始值與真實值有相當大差異，因此，必須以迭代方式更新閘極長度 L_g 與閘極側壁邊緣電容 C_{of} ，也就是說，將模擬計算得的該初始的閘極側壁邊緣電容 C_{of} 代入公式(6)而萃取出一經第一次更新的閘極長度 L_g ，此時，將該經第一次更新的閘極長度 L_g 代帶入Raphael三維模擬而求得一經第一次更新的模擬所得閘極側壁邊緣電容 C_{of} ，同時也代入公式(5)而求得一經第一次更新的公式計算所得閘極側壁邊緣電容 C_{of} ，然後比較兩者之差異以決定是否繼續迭代更新步驟，直到模擬所得與公式計算所得的閘極側壁邊緣電容 C_{of} 收斂至幾近於同一數值。此時，根據公式(6)代入最終更新的閘極側壁邊緣電容 C_{of} ，計算所得的閘極長度 L_g 即為真實的閘極長度。要說明的是，上述迭代更新步驟可逼近真實的閘極長度 L_g 與閘極側壁邊緣電容 C_{of} ，經廣泛驗證其所需迭代次數一般在六次以內即可收斂。本發明應用於90奈米CMOS製程技術的多閘指元件的實施例，如圖6所示，為依照圖5的步驟流程求得的閘極長度 L_g 與閘極側壁邊緣電容 C_{of} 的關係圖。

【0036】 於該步驟100求得該閘極長度 L_g 、該新增通道寬度 ΔW ，及該等效總通道寬度 W_{eff} 後，執行該步驟200。

【0037】 首先，該步驟200是藉由佈局軟體於該多閘指半導體元件M形成分別電連接於該閘指 G_f 的接觸窗 $G(CT)$ 、該源極主動區 $S(OD)$ 的接觸窗 $S(CT)$ ，及該汲極主動區 $D(OD)$ 的接觸窗 $D(CT)$

的金屬層，並分配連接該閘指 G_f 的接觸窗 $G(CT)$ 與連接該汲極主動區 $D(OD)$ 的接觸窗 $D(CT)$ 的金屬層分別作為量測的第一連接埠(port-1)與第二連接埠(port-2)，從而構成該多閘指半導體元件結構。根據已建立的多閘指半導體元件結構，去除閘指 G_f 及其上的接觸窗 $G(CT)$ ，去除源極主動區 $S(OD)$ 及其上的接觸窗 $S(CT)$ ，去除汲極主動區 $D(OD)$ 及其上的接觸窗 $D(CT)$ ，從而構成一虛擬開路測試結構，相關虛擬開路測試結構見美國第8,691,599 B2核准公告專利，於此不加以贅述。利用該多閘指半導體元件與該虛擬開路測試結構，可進行高頻 S 參數量測並轉換為 Y 參數，以進行開路去嵌化程序而得到本質 Y 參數。

【0038】 接著，將該多閘指半導體元件 M 的閘極電壓 V_G 、源極電壓 V_S 、汲極電壓 V_D ，及本體電壓 V_B 設定為 $0V$ ，使該多閘指半導體元件 M 於呈通道關閉狀態(off-state)的條件下，使用如前述的該向量網路分析儀量測該多閘指半導體元件 M 的散射參數 S (scattering parameter, S parameter)，接著，透過矩陣轉換方式，將該散射參數 S 轉換為 Y 參數。

【0039】 然後進行該步驟300，為了完全去除探針、矽基板與金屬層連線所產生的寄生成份，藉由執行該步驟300以進行去嵌化動作。由於本實施例的該多閘指半導體元件 M 為多閘指結構的金屬氧化物半導體場效電晶體，因此，當該多閘指半導體元件 M 於高頻下

操作時，其特性會被連接的金屬層所影響，所以量測該多閘指半導體元件M的高頻參數，必須扣除金屬層連接對散射參數S所造成的影響，此步驟即為去嵌化程序。

【0040】 該去嵌化程序是以該網路分析儀量測該虛擬開路測試結構的一寄生散射參數S，並透過矩陣轉換方式，將該寄生散射參數S轉換為寄生Y參數，再根據前述量測該多閘指半導體元件M並轉換得到的Y參數進行去嵌化動作而扣除寄生Y參數得到一本質Y參數。

【0041】 得到該多閘指半導體元件M的該本質Y參數後，執行該步驟400，以該本質Y參數透過下列公式(7)求得該多閘指半導體元件M的一閘極汲極電容值 C_{gd0} 及一閘極源極電容值 C_{gs0} ：

$$C_{gd0} = C_{gs0} = -\frac{\text{Im}(Y_{12})}{\omega} \Big|_{V_{DS}=V_{GS}=0V} \dots\dots\dots(7)$$

【0042】 其中， ω 代表角頻率(angular frequency)， $\text{Im}(Y_{12})$ 為 Y_{12} 的虛數部分，來自閘極/汲極之間的耦合電容。該閘極汲極電容值 C_{gd0} 是於該多閘指半導體元件M呈通道關閉狀態(off-state)下($V_{DS}=V_{GS}=0V$)透過該第一連接埠(port-1)連至閘極與該第二連接埠(port-2)連至汲極量測而得。由於一般CMOS元件佈局與結構的汲極與源極是對稱的，並且在通道關閉狀態下其電壓均設定為零，即 $V_D=V_S=0V$ ，所以該閘極汲極電容值 C_{gd0} 會等於該閘極源極

電容值 C_{gs0} ，並定義該閘極汲極電容值 C_{gd0} 與該閘極源極電容值 C_{gs0} 的總和為 C_{gsd0} 而可表示如下列公式(8)所示：

$$C_{gsd0} = C_{gd0} + C_{gs0} = -2 \frac{\text{Im}(Y_{12})}{\omega} \Big|_{V_{DS}=V_{GS}=0V} \dots\dots\dots(8)$$

【0043】 要說明的是，該閘極汲極電容值 C_{gd0} 與該閘極源極電容值 C_{gs0} 加總的 C_{gsd0} 是包含了一閘極 G 至源極主動區 S(OD)/汲極主動區 D(OD) 的一總雜散電容值 $C_{gsd,fr}$ ，及一閘極 G 源極/汲極延伸區(SDE)的一交疊區電容值 C_{ov} 。因此，可將其三者關係以下列公式(9)表示：

$$C_{gsd0} = C_{gsd,fr} + C_{ov} \dots\dots\dots(9)$$

【0044】 隨後執行該步驟500來求得該總雜散電容值 $C_{gsd,fr}$ 。首先，根據元件佈局與製程參數，建立該多閘指半導體元件 M 的三維結構，並利用 Raphael 執行三維電容模擬，以計算該閘指 G_f 的側壁至該源極主動區 S(OD) 與該汲極主動區 D(OD) 的邊緣電容值 $C_{g,Diff}$ ，及該閘指 G_f 的側壁至該源極接觸窗 S(CT) 與該汲極接觸窗 D(CT) 的邊緣電容值 $C_{g,CT}$ 的總合，得到一閘指側壁雜散電容值 C_{of} ；並計算該閘指 G_f 兩端的該接觸窗 G(CT) 至源極主動區 S(OD) 與該汲極主動區 D(OD) 的電容值，及該閘指 G_f 兩端的該接觸窗 G(CT) 至該源極接觸窗 S(CT) 與該汲極接觸窗 D(CT) 的總合，得到一閘指尾端雜散電容值 $C_{f(poly_end)}$ 。其中，該總雜散電容值 $C_{gsd,fr}$

與閘指側壁雜散電容值 C_{of} 及閘指尾端雜散電容值 $C_{f(poly_end)}$ 的關係式可表示成下列公式(10)：

$$C_{gsd,fr} = C_{of} \times W_{eff} + C_{f(poly_end)} \times N_F \dots\dots\dots(10)$$

【0045】 其中，該閘指側壁雜散電容值 C_{of} 等於兩邊緣電容值 $C_{g,Diff}$ 、 $C_{g,CT}$ 的總合(即公式(3)： $C_{of}=C_{g,Diff}+C_{g,CT}$)；該等效總通道寬度 W_{eff} 與該閘指數 N_F 的關係則如公式(1)所示。

【0046】 在得知該閘指側壁雜散電容值 C_{of} 及該閘指尾端雜散電容值 $C_{f(poly_end)}$ 而計算得該總雜散電容值 $C_{gsd,fr}$ 後，執行該步驟600而透過該步驟400所求得的閘極汲極電容值 C_{gd0} 及閘極源極電容值 C_{gs0} 的總和 C_{gsd0} 來扣除總雜散電容值 $C_{gsd,fr}$ ，以得到該源極/汲極延伸區(SDE)與閘極交疊產生的該交疊區電容值 C_{ov} 。

【0047】 即，根據公式(8)及公式(9)的關係，而可將公式(10)改寫成下列公式(11)，以計算出該交疊區電容值 C_{ov} ：

$$C_{ov} = -2 \frac{\text{Im}Y_{12}}{\omega} - C_{of} \times W_{eff} - C_{f(poly_end)} \times N_F \dots\dots\dots(11)$$

【0048】 接著執行該步驟700，利用前述求得的通道單位面積電容值 $C_{ox(inv)}$ 、交疊區電容值 C_{ov} ，及等效總通道寬度 W_{eff} 配合下列公式(12)的關係，求得一交疊區長度 L_{SDE} ：

$$L_{SDE} = \frac{C_{ov}}{2C_{ox(inv)}W_{eff}} \dots\dots\dots(12)$$

【0049】 最後，執行該步驟800，根據圖5的步驟流程求得的閘極長度 L_g 以及步驟700所得的交疊區長度 L_{SDE} ，並根據圖3的定

義，該多閘指半導體元件M的一有效通道長度 L_{ch} 可由下列公式(13)計算得知：

$$L_{ch} = L_g - 2L_{SDE} \dots\dots\dots(13)$$

【0050】 本發明高精準確之半導體元件參數萃取方法可有效取得合理且正確的該交疊區長度 L_{SDE} 及該有效通道長度 L_{ch} ，透過三維雜散電容模擬可精確決定閘指側壁雜散電容值 C_{of} 與閘指尾端雜散電容值 $C_{f(poly_end)}$ ，而適用於射頻電路常使用的多閘指元件，從而可快速且準確計算得到該交疊區長度 L_{SDE} 及該有效通道長度 L_{ch} 。

【0051】 綜上所述，本發明高精確度之半導體元件參數萃取方法，利用高頻電性量測並經過該去嵌化動作得到具可靠度的本質Y參數，並配合非破壞性的三維電容模擬，可精確的預測三維佈局效應對於閘極雜散電容的影響，及快速且準確計算得到該交疊區長度 L_{SDE} 與該有效通道長度 L_{ch} ，從而可應用於各種不同佈局方式與大範圍尺寸的金屬氧化物半導體場效電晶體，故確實能達成本發明之目的。

【0052】 惟以上所述者，僅為本發明之實施例而已，當不能以此限定本發明實施之範圍，凡是依本發明申請專利範圍及專利說明書內容所作之簡單的等效變化與修飾，皆仍屬本發明專利涵蓋之範圍內。

【符號說明】

【0053】

100 …… 步驟

200 …… 步驟

300 …… 步驟

400 …… 步驟

500 …… 步驟

600 …… 步驟

700 …… 步驟

800 …… 步驟

M …… 多閘指半導體元件

B …… 本體

S(OD) …… 源極主動區

D(OD) …… 汲極主動區

G_f …… 閘指

G …… 閘極

G(CT) …… 接觸窗

S(CT) …… 接觸窗

D(CT) …… 接觸窗

S(E) …… 源極延伸區

D(E) …… 汲極延伸區

L_g …… 閘極長度

$C_{g,CT}$ …… 邊緣電容值

$C_{g,Diff}$ …… 邊緣電容值

L_{SDE} …… 交疊區長度

L_{ch} …… 有效通道長度

【發明申請專利範圍】

【第1項】 一種高精確度之半導體元件參數萃取方法，適用於萃取一多閘指半導體元件的通道參數，該多閘指半導體元件包括一源極主動區、一汲極主動區、一位於該源極主動區與該汲極主動區之間的通道，及一位於該通道上方的閘指，該源極主動區與該汲極主動區分別具有一源極延伸區與一汲極延伸區，該源極延伸區及該汲極延伸區與該閘極的部分交疊，而具有一交疊區長度，該萃取方法包含以下步驟：

提供一第一多閘指元件、一第二多閘指元件，及一長通道元件，且該第一多閘指元件與該第二多閘指元件的總通道寬度($W_{tot}=W_F \times N_F$)相等，但閘指寬度(W_F)與閘指數量(N_F)不同；

進行一去嵌化動作後，量測該第一多閘指元件的第一本質閘極電容值及該第二多閘指元件的第二本質閘極電容值；

根據該第一本質閘極電容值與該第二本質閘極電容值對應於該第一多閘指元件與該第二多閘指元件的閘指數量的直線關係，以求得一斜率；

執行一三維電容模擬，計算該多閘指半導體元件的一雜散電容值；

使用一高頻量測裝置量測該長通道元件，以求得一通道單位面積電容值；

根據該斜率、該雜散電容值，及該通道單位面積電容值以計算該多閘指半導體元件的一新增通道寬度，並換算得到一等效總通道寬度；

令該多閘指半導體元件呈通道關閉狀態，並使用該高頻量測裝置量測該多閘指半導體元件的一S參數並轉換成一Y參數；

提供該多閘指半導體元件一虛擬開路測試結構，而使用該高頻量測裝置量測該虛擬開路測試結構進行一去嵌化動作，並計算該多閘指半導體元件的一本質Y參數；

根據該本質Y參數，計算該多閘指半導體元件的一閘極汲極電容值，及一閘極源極電容值；

執行一三維電容模擬，計算該多閘指半導體元件的一閘指側壁雜散電容值，及一閘指尾端雜散電容值，並計算得到一總雜散電容值；

將該閘極汲極電容值與該閘極源極電容值扣除該總雜散電容值，得到一交疊區電容值；及

根據該等效總通道寬度、該通道單位面積電容值，及該交疊區電容值，計算得到該多閘指半導體元件的該交疊區長度。

【第2項】 如請求項1所述的高精確度之半導體元件參數萃取方法，其中，該多閘指半導體元件的閘極具有一閘極長度，根據該閘極長度與該交疊區長度計算該多閘指半導體元件閘極的一有效通道長度。

【第3項】如請求項1所述的高精確度之半導體元件參數萃取方法，其中，該多閘指半導體元件的該源極主動區與該汲極主動區分別具有多個源極接觸窗與汲極接觸窗，該閘指具有二相對二端的接觸窗，該閘指側壁雜散電容值是計算該閘指側壁至該源極主動區與該汲極主動區的邊緣電容值，及該閘指的側壁至該源極接觸窗與該汲極接觸窗的邊緣電容值的總合，該閘指尾端雜散電容值是計算該閘指兩端的該接觸窗至源極主動區與該汲極主動區的電容值，及該閘指兩端的該接觸窗至該源極接觸窗與該汲極接觸窗的總合。

【第4項】如請求項1所述的高精確度之半導體元件參數萃取方法，其中，使用該高頻量測裝置分別量測該第一多閘指元件與該第二多閘指元件產生的一閘極電容值，再使用該高頻量測裝置量測一虛擬開路測試結構分別於該第一多閘指元件與該第二多閘指元件產生的一寄生電容值，並根據該第一多閘指元件與該第二多閘指元件產生的該閘極電容值與該寄生電容值計算，而得到該第一多閘指元件與該第二多閘指元件的該第一本質閘極電容值，及該第二本質閘極電容值。

【第5項】如請求項1所述的高精確度之半導體元件參數萃取方法，其中，該每一多閘指元件的總通道寬度相同。

【第6項】如請求項4所述的高精確度之半導體元件參數萃取方法，其中，該閘極電容值是利用該高頻量測裝置量測該多閘指半導體元件而產生一S參數，並根據矩陣轉換方式，將該S參數轉換成一Y參數，再根據該Y參數計算而得。

第3頁，共3頁(發明申請專利範圍)

【發明圖式】

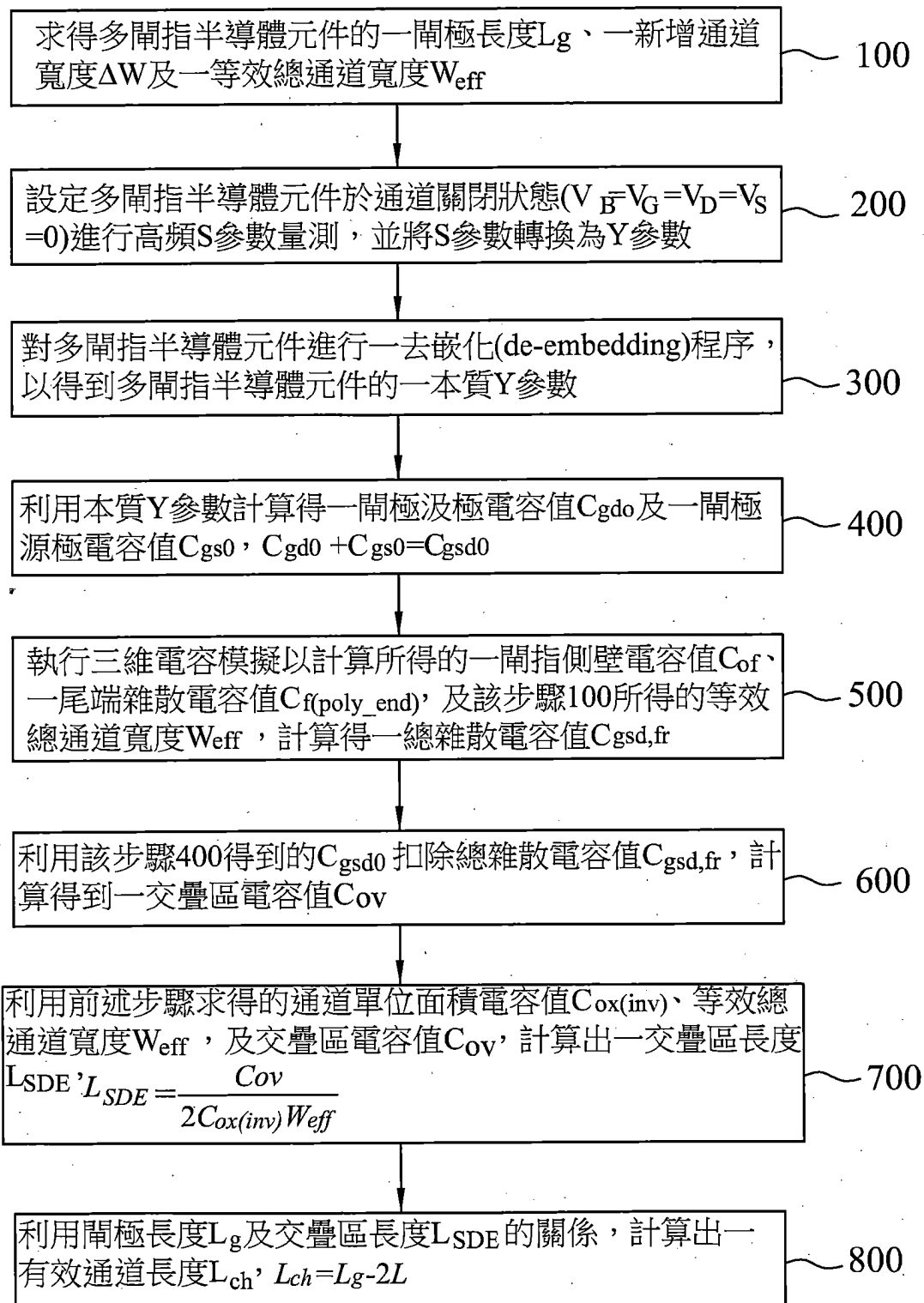


圖1

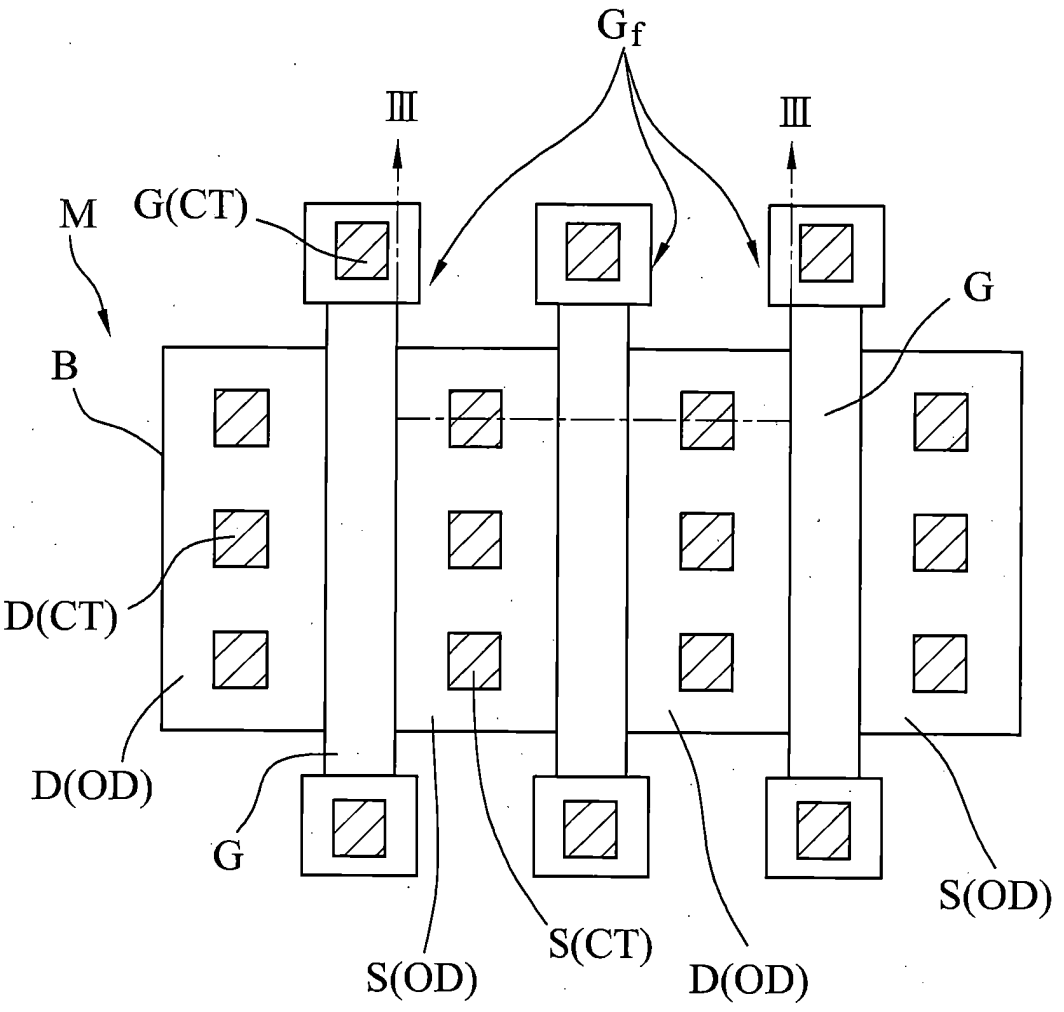


圖2

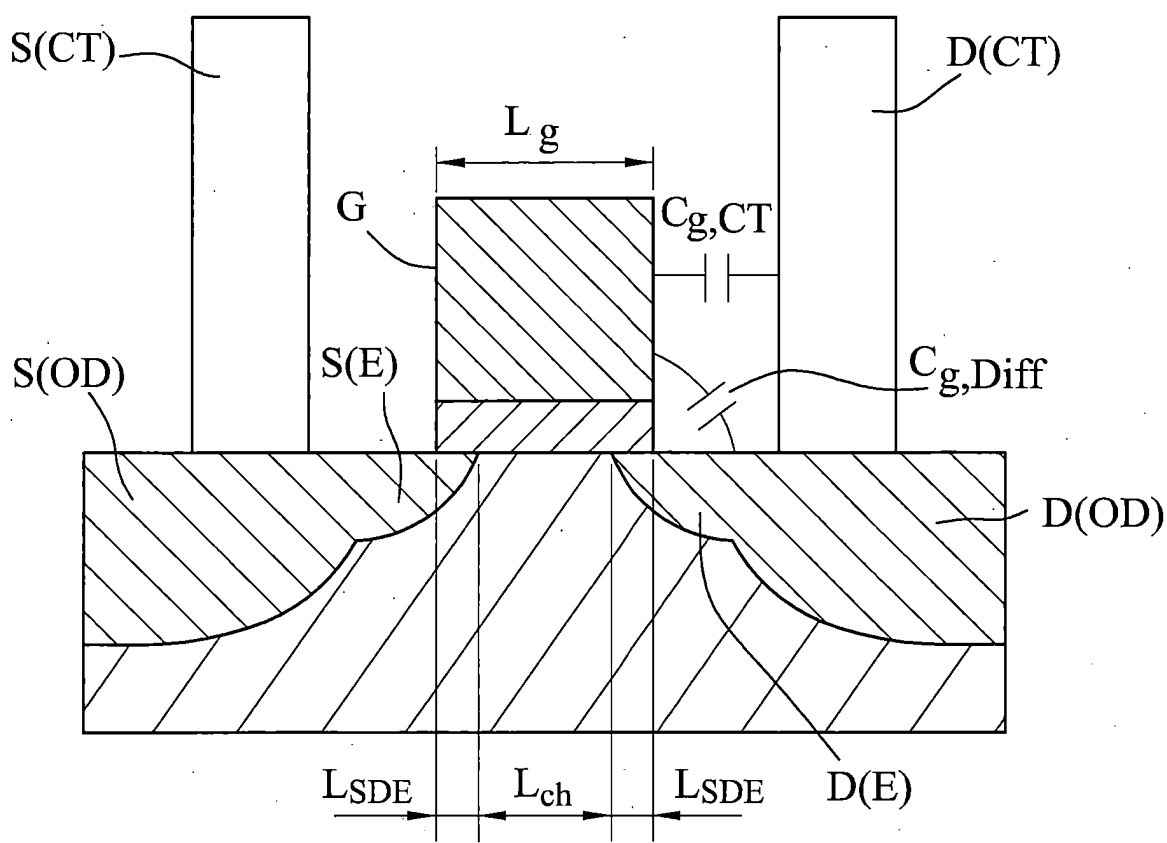


圖3

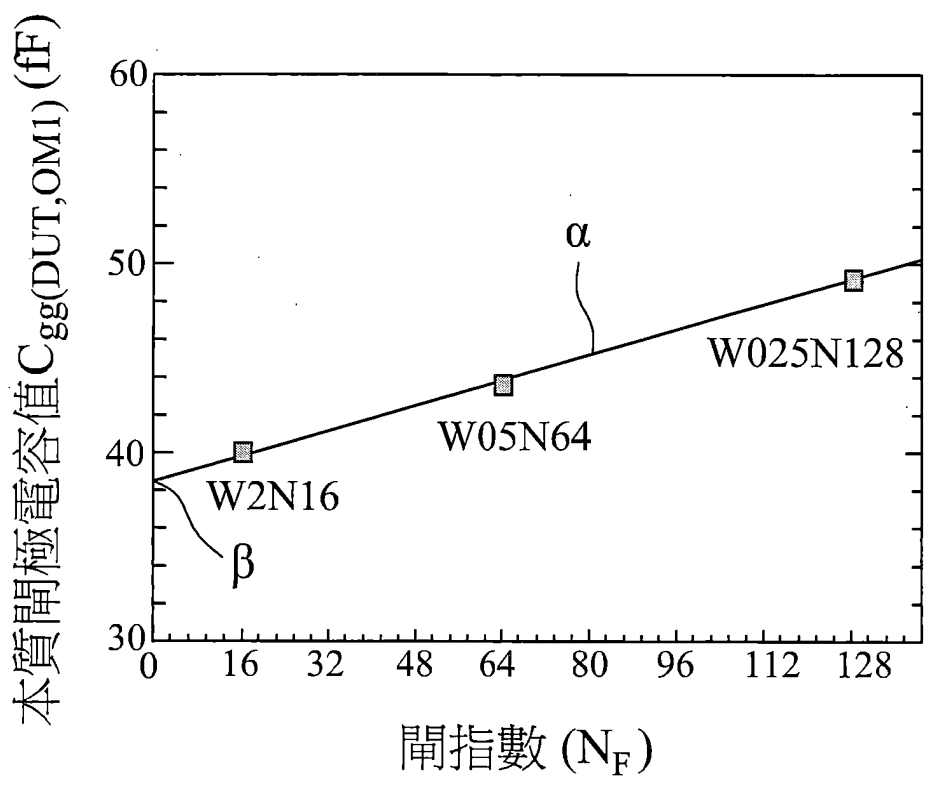
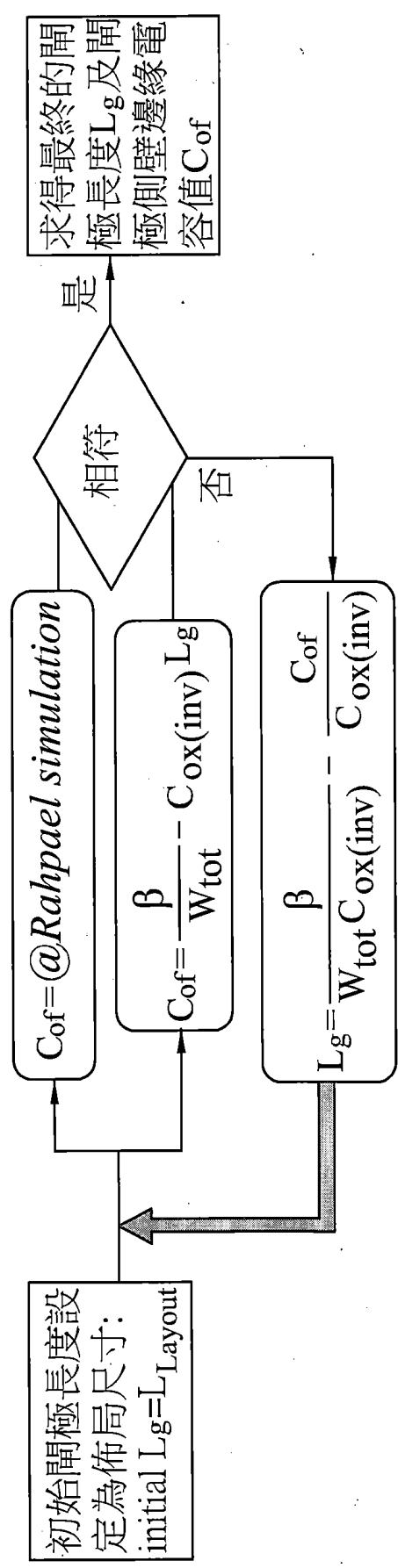


圖4



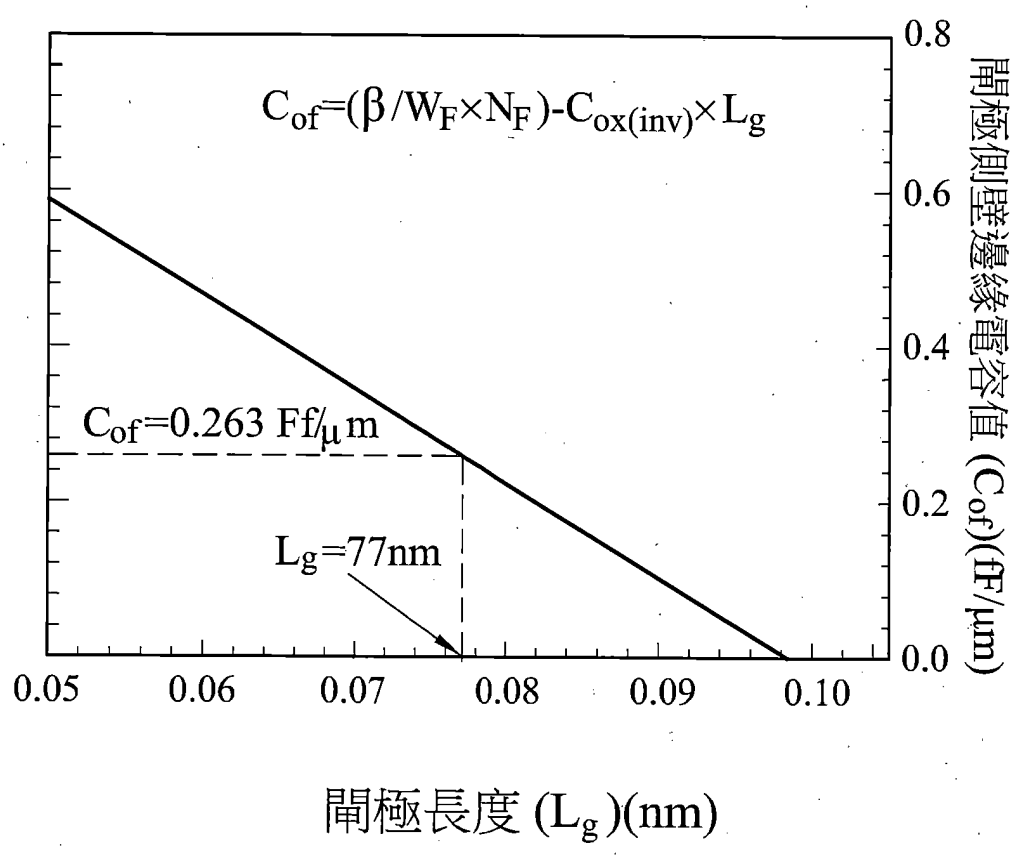


圖6