

# 國立交通大學

## 電機與控制工程學系

### 碩士論文

一個具成本效益以最小弦波誤差為基礎應用於  
三角積分類比數位轉換器之內建自我測試設計

A Cost-Effective BIST Design for  $\Delta$ - $\Sigma$  ADCs  
Based on the Sinusoidal Minimum Error Method

研究生：周勇成

指導教授：洪浩喬 教授

中華民國九十八年七月

一個具成本效益以最小弦波誤差為基礎應用於  
三角積分類比數位轉換器之內建自我測試設計

A Cost-Effective BIST Design for  $\Delta$ - $\Sigma$  ADCs  
Based on the Sinusoidal Minimum Error Method

研究生：周勇成

Student : Yung-Cheng Chou

指導教授：洪浩喬 博士

Advisor : Dr. Hao-Chiao Hong

國立交通大學 電機資訊學院

電機與控制工程學系

碩士論文

A Thesis

Submitted to Department of Electrical and Control Engineering College of  
Electrical Engineering and Computer Science

National Chiao-Tung University

In Partial Fulfillment of the Requirements

for the Degree of Master

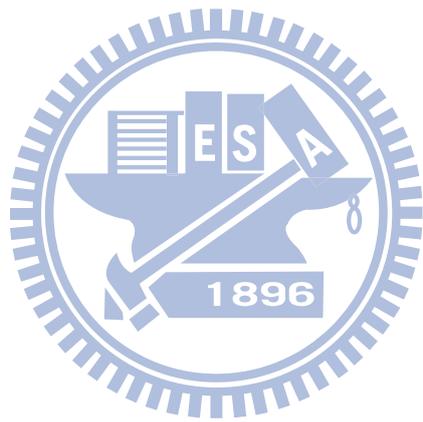
In

Electrical and Control Engineering

July 2009

Hsinchu, Taiwan, R.O.C

中華民國九十八年七月



# 一個具成本效益以最小弦波誤差為基礎應用於 三角積分類比數位轉換器之內建自我測試設計

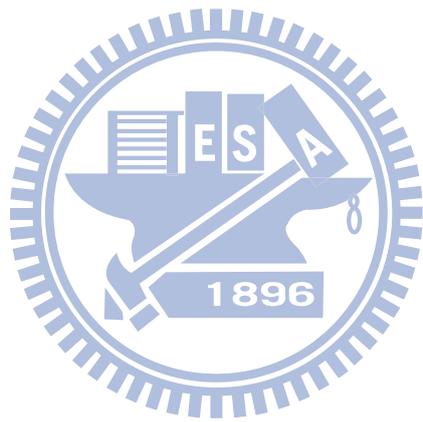
研究生：周勇成

指導教授：洪浩喬 博士

國立交通大學電機與控制工程學系碩士班

## 摘 要

本論文提出一個具有高成本效益之全數位內建自我測試電路，來測試三角積分類比數位轉換器之訊號對總雜訊與諧波失真比(SNDR)。我們使用了一加入數位可測性設計之二階三角積分類比數位轉換器當做待測電路。我們所提出之改進版本的全數位內建自我測試設計使用了基於弦波最小誤差(Sinusoidal Minimum Error, SME)的演算方法。在硬體實現方面，我們使用一組數位積分器來取代基準訊號產生器使得此電路較原本的設計更節省 1/4 左右的晶片面積，並且成功解決了因為使用積分器，而造成內建自我測試電路計算出來的雜訊與諧波失真含有額外偏移誤差的問題。除此之外，我們對於測試激發訊號產生器的位元刪減也對硬體面積的簡化做了一些貢獻。因此我們由以上的兩種方法，在不犧牲任何測試精準度或是測試頻寬的情況下完成了一個更低成本的內建自我測試電路設計。經由電路合成軟體合成結果得知：所提出的內建自我測試設計只使用了原先四分之三的晶片面積。我們並利用 FPGA 搭配一個數位可測性設計之二階三角積分類比數位轉換器的晶片進行量測，量測結果顯示我們的 BIST 設計可以測試 Peak SNDR 小於 80dB 之三角積分類比數位轉換器並且維持平均測量誤差在 0.2dB 以下。最後，本論文將會簡單介紹經濟部科專計畫 (HOY project) 研發之無線測試技術與本論文相關之聯結。所提出之全數位的內建自我測試方法配合此無線測試平台將能夠實現可攜帶式的測試平台。



# A Cost-Effective BIST Design for $\Delta$ - $\Sigma$ ADCs Based on the Sinusoidal Minimum Error Method

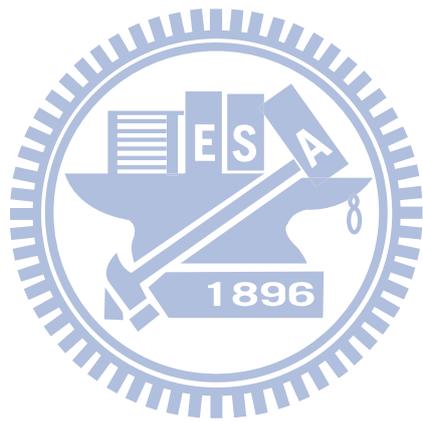
Student : Yung-Cheng Chou

Advisor : Dr. Hao-Chiao Hong

Institute of Electrical and Control Engineering  
National Chiao-Tung University

## Abstract

In this thesis we present a cost-effective all-digital built-in-self-test (BIST) circuit design for testing the signal-to-noise and distortion ratio (SNDR) of  $\Delta$ - $\Sigma$  ADCs. A second-order  $\Delta$ - $\Sigma$  ADC with a design-for-digital-testability (DfDT) circuit is used as the device under test (DUT). The proposed all-digital BIST design is based on the sinusoidal minimum error (SME) method. Regard to the hardware implementation, we replaced a set of reference signal generator with a digital integrator to save about one-fourth chip area. We also addressed the issue that the BIST total-harmonic-distortions-plus-noise (THD+N) result may contain an extra offset error caused by the integrator. Besides, we truncate the signals of the stimulus generators so as to reduce the hardware overhead. With all these approaches, we achieve a low-cost BIST design without compromise of testing accuracy and testing bandwidth. The circuit synthesis results show that the proposed BIST design occupies only three-fourth area of the original one. We used a FPGA board and a DfDT second-order  $\Delta$ - $\Sigma$  ADC testchip to conduct experiments. The measurement results show that the proposed BIST design can test a  $\Delta$ - $\Sigma$  ADC with a peak SNDR less than 80dB, and the average error between BIST results and the corresponding FFT analysis ones is less than 0.2 dB. Since this thesis is a part of project HOY founded by Ministry of Economic Affairs, we will brief how to apply the proposed BIST design to the HOY wireless test platform at the end of this thesis. It will be shown that with the proposed all-digital BIST method and the results of other subprojects, it is possible to implement a portable test platform for mixed-signal circuits.



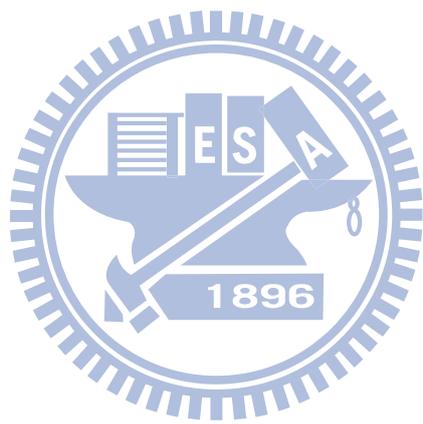
## 誌 謝

本論文能夠順利完成，必須要感謝許多人的協助與指導，首先最要感謝的是我的指導老師洪浩喬教授，研究所學習的這段期間，不厭其煩的在學生我遇到研究挫折與失敗時給我指導與方向，即使學生常常遇到瓶頸而無法達到老師期望的目標，老師卻未曾停止那份對所有學生的鼓勵與鞭策，在這裡要向老師說聲感謝。再來，感謝來指導我口試的三位教授：黃俊郎教授、張順志教授、與李順裕教授，在這木棉花盛開而許多學子即將畢業口試的初夏之際還能夠不辭辛勞地撥冗從各地前來，謝謝所有教授。

而父母之愛，恩重如山，自幼至今父母對孩兒關愛有加，除了撫育我讓我衣食無缺不需操心家中經濟來源匱乏之外，對我的人格成長與價值觀的養成更有著深遠的影響與重要的意義，每當在成長過程中遇到任何問題，父母總是第一個傾聽我的聲音、給予我支持與保護的人，在我離開家鄉遠赴異地求學時，你們也不忘聯繫與遠程前來關心我的生活，我要跟你們說，爸媽，辛苦了，非常感謝你們這二十幾年來的付出。

再來，要感謝所有在學校認識的學長們，無論是博士班、碩士班、甚至是其他實驗室的學長，你們各有各的特色，有的是我在數位生活上的好伙伴，有的同我有上批踢踢一盡鄉民本分的嗜好，有的志向遠大讓我望其項背，有的則經常帶領學弟我出遊認識其他不同學校學生增進社交能力，感謝你們成為我研究所可以學習的對象。

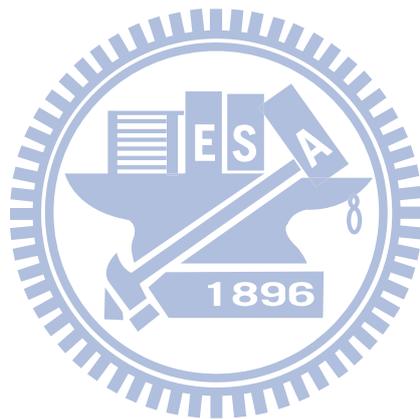
而實驗室的兩位同級同學們，由於年齡距離的相近讓我們碩士一年級的生活有如在混亂之世並肩作戰的情感，我這一生，如履薄冰，研究所求學時，每每總是在危機即將來臨之前獲得你們兩位的協助，讓我安然度過所有的考驗，這段時

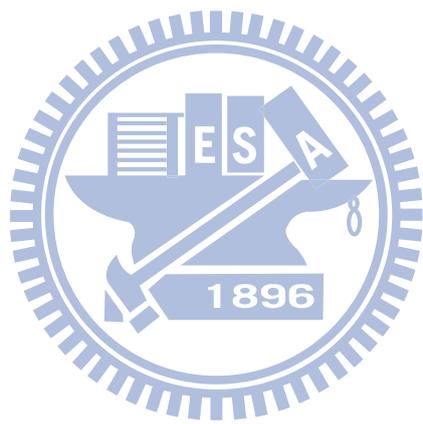


間的同窗之誼，我將永遠不會忘記，謝謝你們。也要感謝所有的學弟，雖然和你們相處的時間並不長，但你們的熱心為實驗室增添了一股歡樂的氣氛，因為有你們讓實驗室變的更強壯、更有活力。

另外感謝一位在碩二時認識的朋友，除了父母、老師、與同學之外，對我幫助良多。能夠在異地遇到來自同一家鄉的人，暢談著家鄉的美好，同時在沮喪時把酒互吐不快，實乃萬分珍貴之幸運，即使畢業了仍然會帶著這份感謝之情繼續走下去。

最後，感謝所有曾經幫助過我、指點過我以及閱讀本論文的人，您的指教將是讓我更臻完美的動力。

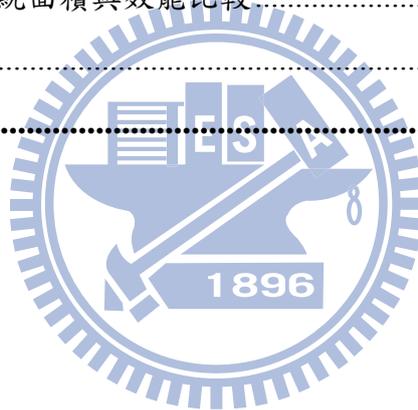




# 目錄

中文摘要.....	I
英文摘要.....	II
目錄.....	IX
圖目錄.....	XI
表目錄.....	XV
<b>第一章 緒論.....</b>	<b>1</b>
1.1 研究動機與目的.....	1
1.2 使用內建自我測試來降低類比電路之測試成本.....	2
1.3 經濟部科專H O Y計畫無線測試平台.....	3
1.4 基本概念.....	6
1.5 待測 $\Delta$ - $\Sigma$ 類比數位轉換器之介紹.....	12
1.6 自我測試電路之整體架構及規格.....	14
1.7 論文章節組織.....	16
<b>第二章 回顧<math>\Delta</math>-<math>\Sigma</math> ADC之內建自我測試方法.....</b>	<b>17</b>
2.1 普遍ADC之重要效能參數測試.....	17
2.2 從時域演算法獲得動態參數之自我測試方法.....	25
2.3 兩種使用CSWF演算法之內建自我測試架構.....	30
<b>第三章 以SME為基礎之內建自我測試方法.....</b>	<b>39</b>
3.1 弦波最小誤差測試方法.....	39
3.2 以SME為基礎之BIST架構討論與分析.....	43
3.3 數位振盪器設計.....	46
3.4 改良型的SME演算法內建自我測試電路架構.....	56

3.5	改善積分器電路所帶來的測量問題.....	58
3.6	簡化供給待測ADC測試輸入之振盪器.....	63
3.7	輸出響應分析器.....	65
3.8	內建自我測試系統運作流程.....	66
<b>第四章</b>	<b>H O Y 計畫無線測試平台.....</b>	<b>73</b>
4.1	經濟部科專之H O Y 計畫無線測試平台.....	73
4.2	Wrapper與BIST之協同運作方式.....	75
<b>第五章</b>	<b>以H O Y 無線平台進行內建自我測試電路量測結果.....</b>	<b>81</b>
5.1	測試環境與測試設定.....	81
5.2	量測結果.....	83
<b>第六章</b>	<b>總結與未來方向.....</b>	<b>89</b>
6.1	內建自我測試系統面積與效能比較.....	89
6.2	結論與未來方向.....	91
<b>參考文獻</b> .....		<b>95</b>



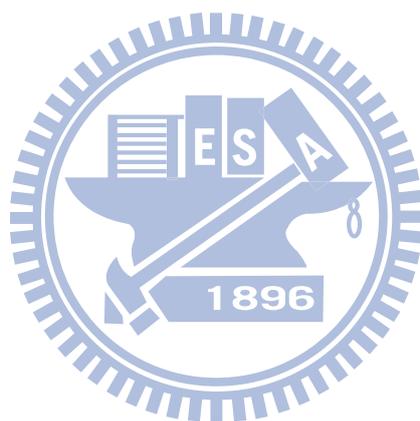
## 圖目錄

圖 1.1.1	測試花費所佔生產成本比例 .....	1
圖 1.2.1	待測物與測試電路關係圖 .....	3
圖 1.3.1	傳統測試方法 .....	4
圖 1.3.2	使用內建自我測試電路 .....	4
圖 1.3.3	內建自我測試電路加上HOY無線通訊模組 .....	4
圖 1.3.4	HOY無線測試平台結構圖 .....	5
圖 1.4.1	量化示意圖 .....	6
圖 1.4.2	未經過超頻取樣訊號的能量頻譜密度分佈情形 .....	8
圖 1.4.3	經過M倍超頻取樣訊號的能量密度分佈情形 .....	8
圖 1.4.4	降頻濾波 .....	9
圖 1.4.5	預先誤差補償 .....	10
圖 1.4.6	一階三角積分調變器 .....	10
圖 1.4.7	三角積分調變器搭配超頻取樣與降頻濾波操作 .....	11
圖 1.5.1	具有數位可測性設計之二階 $\Delta$ - $\Sigma$ 類比數位轉換器 .....	12
圖 1.6.1	待測物端整體系統架構圖 .....	14
圖 2.1.1	DNL與INL非線性誤差 .....	18
圖 2.1.2	斜坡輸入測試訊號與理想輸出柱狀圖 .....	19
圖 2.1.3	弦波輸入測試訊號與輸出柱狀圖 .....	20
圖 2.1.4	基於柱狀圖演算法之測試電路方塊圖 .....	20
圖 2.1.5	八點分成兩個四點的DFT運算圖 .....	22
圖 2.1.6	使用FFT得到之八點運算圖 .....	23

圖 2.1.7	基於FFT演算法之測試方塊圖 .....	23
圖 2.2.1	目標待測物的輸出能量密度頻譜圖 .....	26
圖 2.2.2	控制弦波密合法演算過程示意圖 .....	28
圖 2.2.3	CSWF之測試電路架構圖 .....	30
圖 2.3.1	直接數位頻率合成實現CSWF演算法架構圖 .....	31
圖 2.3.2	直接數位頻率合成實現CSWF演算法實際測試環境 .....	33
圖 2.3.3	放大器與電容電感形成的震盪器 .....	34
圖 2.3.4	二階數位振盪器 .....	34
圖 2.3.5	以內建數位振盪器現CSWF演算法架構圖 .....	35
圖 3.1.1	弦波最小誤差測試操作步驟 .....	43
圖 3.2.1	基準訊號相位差對應最大可測得解析度 .....	45
圖 3.2.2	第一版以SME演算法實現之內建自我測試電路 .....	46
圖 3.3.1	無損式數位積分振盪器 .....	47
圖 3.3.2	迴路係數 $a_{12}a_{21}$ 對應輸出振盪頻率 .....	48
圖 3.3.3	振盪器輸出 - 振幅 0.5 之 22kHz 餘弦波頻譜 .....	49
圖 3.3.4	將三角積分調變器移至迴路內的無乘法振盪器 .....	50
圖 3.3.5	三階三角積分調變器 .....	51
圖 3.3.6	雜訊轉換方程式產生的雜訊塑形效果 .....	52
圖 3.3.7	多了可變增益A的振盪器 .....	53
圖 3.3.8	以五個移位器與加法器實現可變增益A .....	54
圖 3.3.9	使用可變增益增加測試頻寬比較圖 .....	55
圖 3.4.1	以積分器簡化之SME演算法內建自我測試電路 .....	56
圖 3.4.2	經由雙線性轉換得出之數位積分器電路 .....	58
圖 3.5.1	實際輸出與自我測試電路在低頻時的差異 .....	59
圖 3.5.2	積分器零點-極點圖 .....	60
圖 3.5.3	帶有偏移誤差量的基準正弦波訊號 .....	60
圖 3.5.4	積分器之基準正弦訊號影響內建自我測試電路測試結果 .....	61

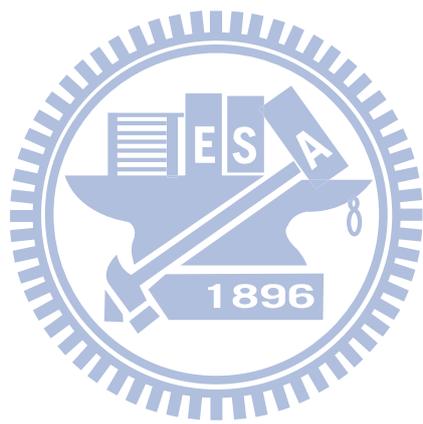
圖 3.5.5	對積分電路做預先偏移誤差補償 .....	62
圖 3.5.6	使用預先偏移誤差補償後的結果 .....	62
圖 3.6.1	對三階 $\Delta-\Sigma$ 調變器進行簡化 .....	63
圖 3.6.2	BSG_MUT之調變器進行位元刪減後的效能影響 .....	64
圖 3.7.1	測試系統中屬於輸出響應分析器的範疇 .....	65
圖 3.7.2	估算器與串列乘法器 .....	66
圖 3.8.1	S1 計算偏移誤差 .....	67
圖 3.8.2	S3-1 計算主頻率係數 $A_S$ .....	67
圖 3.8.3	S3-2 計算主頻率係數 $A_S$ .....	68
圖 3.8.4	S3-3 計算主頻率係數 $A_S$ .....	68
圖 3.8.5	S5-1 計算主頻率係數 $A_C$ .....	69
圖 3.8.6	S5-2 計算主頻率係數 $A_C$ .....	69
圖 3.8.7	S7-1 計算總雜訊與諧波失真能量大小 .....	70
圖 3.8.8	S7-2 計算總雜訊與諧波失真能量大小 .....	70
圖 3.8.9	S7-3 計算總雜訊與諧波失真能量大小 .....	71
圖 3.8.10	S7-4 計算總雜訊與諧波失真能量大小 .....	71
圖 4.1.1	內建自我測試電路加上HOY無線通訊模組 .....	73
圖 4.1.2	HOY無線測試平台系統方塊圖 .....	74
圖 4.1.3	使用一組測試頭同時測試多組目標待測物 .....	75
圖 4.2.1	Wrapper與待測物間的傳遞資料 .....	76
圖 4.2.2	資料輸入 .....	77
圖 4.2.3	輸入模式時序圖 .....	78
圖 4.2.4	閒置等待 .....	78
圖 4.2.5	閒置模式時序圖 .....	78
圖 4.2.6	資料輸出 .....	79
圖 4.2.7	輸出模式時序圖 .....	79
圖 5.1.1	BIST電路與HOY測試平台環境 .....	82

圖 5.2.1	-6.02dB、1.085kHz之能量頻譜密度比較 .....	85
圖 5.2.2	-6.02dB、1.085kHz之雜訊能量頻譜密度 .....	85
圖 5.2.3	-6.02dB、23.4kHz之能量頻譜密度比較 .....	86
圖 5.2.4	-6.02dB、23.4kHz之雜訊能量頻譜密度 .....	86
圖 5.2.5	-6.02dB之頻率掃描 .....	87
圖 5.2.6	-60dB之頻率掃描 .....	87
圖 5.2.7	1.085kHz之動態範圍掃描 .....	88
圖 6.2.1	1kHz輸出的第二及第四諧波 .....	92



## 表目錄

表 1 - 1	待測ADC與BIST之系統規格 .....	15
表 2 - 1	不同ADC參數測試方法之比較表 .....	25
表 2 - 2	兩種不同CSWF實現方法之比較表 .....	37
表 3 - 1	以較寬頻域振盪器實現之自我測試電路面積比較 .....	55
表 3 - 2	無乘法、較寬頻域數位振盪器以及積分器比較 .....	58
表 3 - 3	經過調變器位元刪減的振盪器面積變化比較 .....	64
表 4 - 1	Wrapper與BIST間介面訊號 .....	77
表 5 - 1	三種BIST電路邏輯閘數比較表 .....	81
表 5 - 2	BIST電路與HOY測試平台之測試設定 .....	83
表 5 - 3	實際測量結果誤差表 .....	88
表 6 - 1	對 $\Delta$ - $\Sigma$ ADC之五種不同內建自我測試方法結果比較表 .....	90



# 第一章 緒論

## 1.1 研究動機與目的

在現代的積體電路設計當中，隨著製程技術的進步以及客戶端需求的增加，使得 System On a Chip(SOC)觀念的應用越來越為盛行。典型的來說，一個 SOC 架構的設計通常會包含數位電路、類比電路、混合訊號及射頻電路在內，這些電路彼此之間會有互相干擾影響的情況發生，同時不同設計的電路需要用到的測試方法以及自動測試儀器(Automated Test Equipment, ATE)也不盡相同，造成測試上的困難。另一方面，如圖 1.1.1 所示(斜紋：研發成本，格紋：類比測試成本，點狀：數位測試成本)，根據 Roberts (Gordon W. Roberts)在 1997 年的統計，測試成本占整體積體電路量產成本近一半，而類比部分的測試成本又比數位部份多更多。如何有效降低混合信號積體電路的測試成本將是 IC 設計產業的研究人員所不可或缺的課題。而本篇論文將會研究如何對特定架構的類比電路提出更低生產成本的測試解決方案。

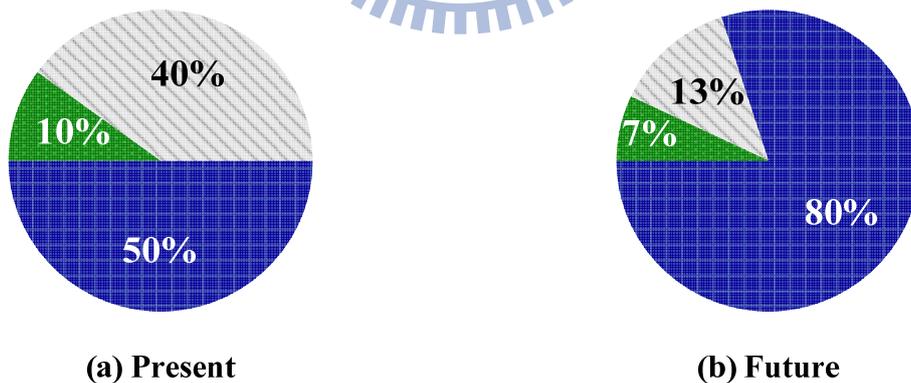


圖 1.1.1 測試花費所佔生產成本比例

Sunter 在 1998 年提到：雖然類比電路所佔的電晶體數目較少，但是類比電路缺乏一般標準的可測性設計以及內建的自我測試訊號源產生器，所以類比電路的測試開發時間並不低。由以上數點原因我們可以得知，若能使用便宜的內建自我測試技術(Built-In-Self-Test, BIST)在電路中，將可以改善 SOC 設計中各個

不同功能電路需要不同複雜測試方法的問題，並且同時也可以減少單一類比電路測試成本過高的問題。

## 1.2 使用內建自我測試來降低類比電路之測試成本

對於數位電路測試而言，隨著錯誤模型(fault model)的建立、自動掃描鏈(scan-chain)與自動測試樣本產生軟體的成熟，讓數位電路的測試建立在一套標準化的制度當中。而類比電路相較起來不能像數位電路般的用例如布林函數(Boolean equation)等封閉形式的表示來建立工作特性的模型。類比電路在傳統測試時通常要仰賴一高精確度之訊號產生器與輸出響應分析器，無論是由 spectral-based：直接使用類比訊號產生器，將輸出經由帶通濾波器陸路波後分析、或是 DSP-based：使用數位電路、記憶體加上類比數位轉換器產生類比訊號之測試方法，寬頻、高速之訊號產生器與準確即時的輸出響應分析器皆是造成混合訊號自動測試機台(Mixed-Signal Automatic Test Equipment)昂貴的原因。

因此若能在待測物研發階段加入可數位測試之設計(Design-for-Digital-Testability, DfDT)，則使用全數位內建自我測試電路於待測電路中便成為另一個降低測試成本的方案。而在積體電路設計中，有著高解析度特性的超取樣三角積分調變器/類比數位轉換器(Delta-Sigma Modulator/ADC)早已被廣泛的應用，例如語音、通訊系統、數位音響系統，並且其高解析度、低雜訊敏感度的特性也讓其常用作測試訊號源產生器，其中最能代表一個 ADC 的效能參數便是訊號對雜訊與諧波失真比(Signal to Noise-plus-Distortion Ratio, SNDR)，因此本論文將會研究一個三角積分類比數位轉換器之內建自我測試方法，其基本架構與概念如下圖所示：

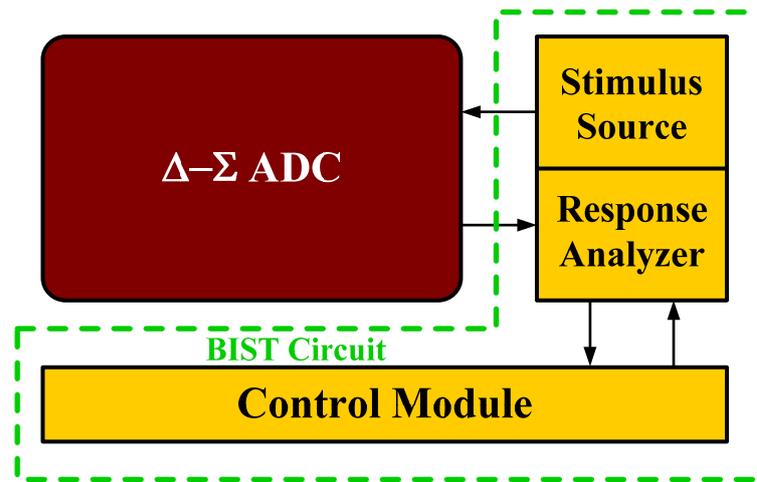


圖 1.2.1 待測物與測試電路關係圖

圖中待測物為我們的  $\Delta-\Sigma$  ADC，右半邊與數位 BIST 電路連接，而 BIST 電路受到控制模組執行整個測試流程。除了待測物之外，額外加上的部份包含：

- (1) 測試訊號產生器(Stimulus Source)
- (2) 待測物輸出響應分析器(Response Analyzer)
- (3) 控制模組(Control Module)

使用內建自我測試方法的好處除了內建的測試訊號源可以減少傳統測試時，測試機台環境對於待測  $\Delta-\Sigma$  ADC 造成的雜訊影響之外，最主要的優點是溝通介面變成全數位，全數位使得輸入輸出有著極高的抗雜訊能力，同時能夠使用純數位的自動測試機台大大降低測試所需成本。

### 1.3 經濟部科專H O Y計畫無線測試平台

由以上小節可知使用內建全數位自我測試電路於類比電路上可帶來許多好處，但是即使使用了內建的激發測試訊號源而節省了使用混合信號測試儀器的成本，我們仍需少量的使用數位的自動測試儀器。而國科會的H O Y計畫無線測試平台正是為了達成全自動內建測試而研究之解決方案，以下將依序由傳統、內建自我測試、全自動無線內建自我測試來簡介此計劃之研究成果，以了解本論文研究主題與國科會H O Y計畫在測試領域的整體概念，而在本論文的末尾章節將會

有更完整的介紹。

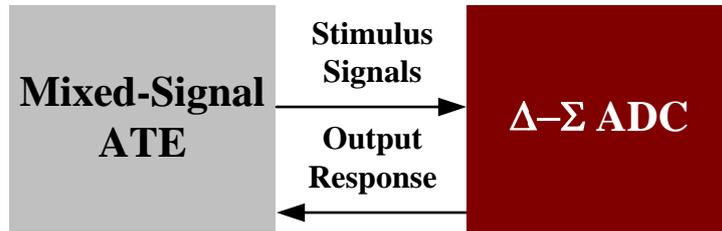


圖 1.3.1 傳統測試方法

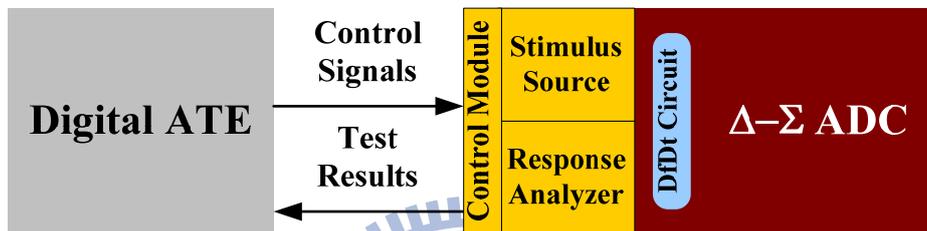


圖 1.3.2 使用內建自我測試電路

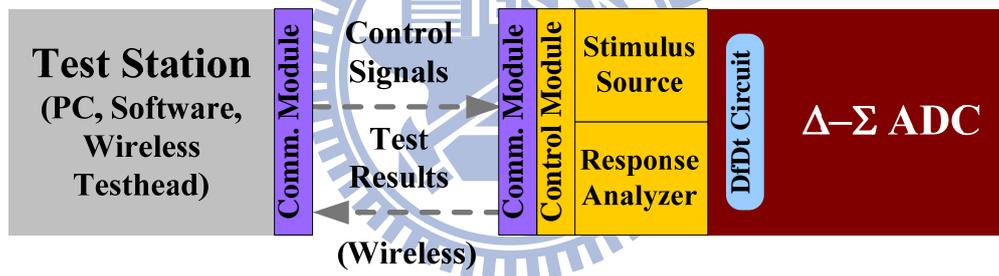


圖 1.3.3 內建自我測試電路加上 HOY 無線通訊模組

如上圖 1.3.1 所示，對於一個  $\Delta-\Sigma$  ADC 測試而言，最傳統的測試方法便是使用混合信號自動測試儀器，此儀器將會輸入一類比激發測試訊號並接收待測物產生之輸出響應並即時的做分析。而圖 1.3.2 正是本章第二小節所提及的內建自我測試電路方法，其中主要包含有激發訊產生器、輸出響應分析器以及其他控制模組等等。與圖 1.3.1 所示的傳統測試法比較起來，可以看出加入自我測試電路之後，全數位的輸入輸出介面讓我們只需要使用數位自動測試儀器以及輸入少量的控制訊號便可以獲得測試結果。接下來的圖 1.3.3 說明了國科會 HOY 計畫無線測試平台的概念：在測試電路中額外加上一塊通訊模組，此模組透過無線傳

輸，負責接收來自右方測試端少許的控制訊號，在待測物端指引內建自我測試電路開始工作，而在測試完成之後再負責將結果回傳給測試端。

此無線平台完整結構如圖 1.3.4 所示，左半部為使用者 A T E 端，右半部為待測物 D U T 端，兩者間透過無線通訊模組進行溝通。A T E 端包含一工作站、對應軟體以及無線測試頭，從控制電路透過 R F 通訊模組與 D U T 端進行資料交換。而 D U T 端除了我們原本的待測物與內建自我測試電路之外，還包含有與各種不同待測物相對應的 Test Wrapper，以及固有的通訊模組。

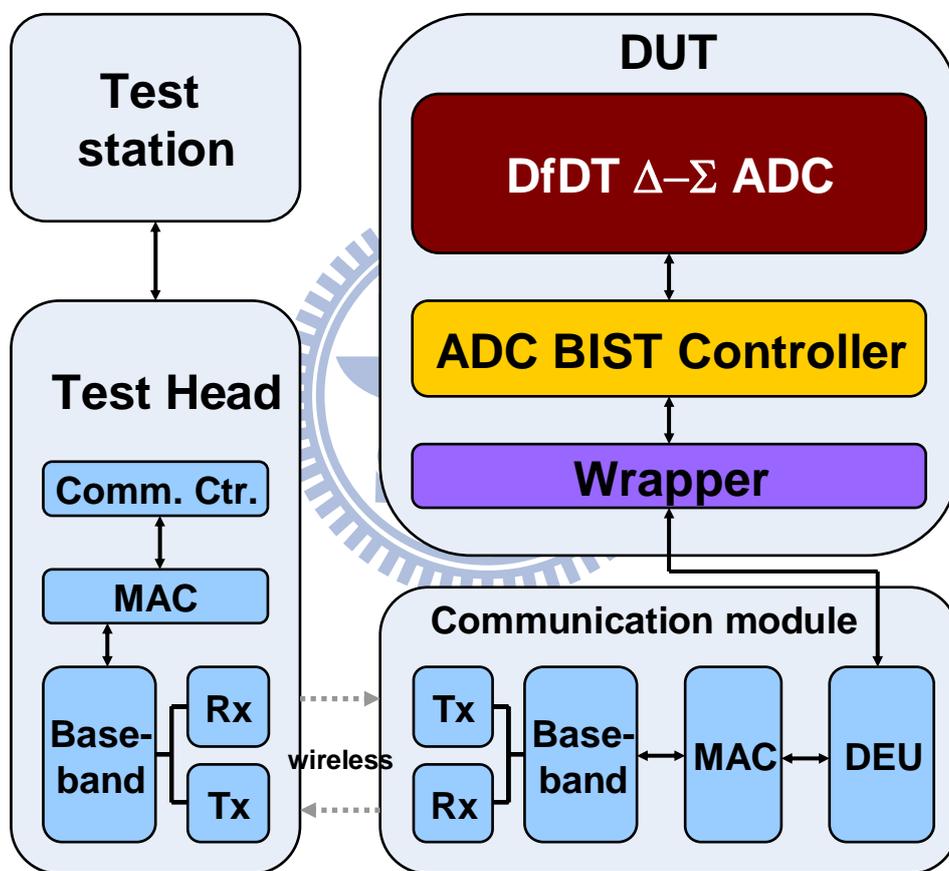


圖 1.3.4 HOY 無線測試平台結構圖

此無線測試平台便是希望透過再增加額外少許的電路來達成無需任何傳統測試設備、不需探針接觸之無線測試環境。往後只要研發客製化(Customized)的內建自我測試電路便可讓便宜、可靠、快速、簡易、可攜帶式的測試方案成為可能。

## 1.4 基本概念

接下來的這個章節，我們將會依序簡介量化(Quantization)、超頻取樣(Oversampling)、降頻濾波(Decimation Filter)，最後是三角積分調變( $\Delta$ - $\Sigma$  Modulation)，此基本概念與之後的閱讀息息相關，因此將會先做說明。

### 一、 量化：

由於電腦僅能處理離散的數位訊號，但大部分與人類生活相關的訊號如：聲音、溫度、濕度、重量、顏色等等皆是連續的類比訊號，因此要將訊號做處理通常必須先將其感測為電壓經由電路轉化成數位訊號，此感測並賦予數位表示碼的過程稱為量化。

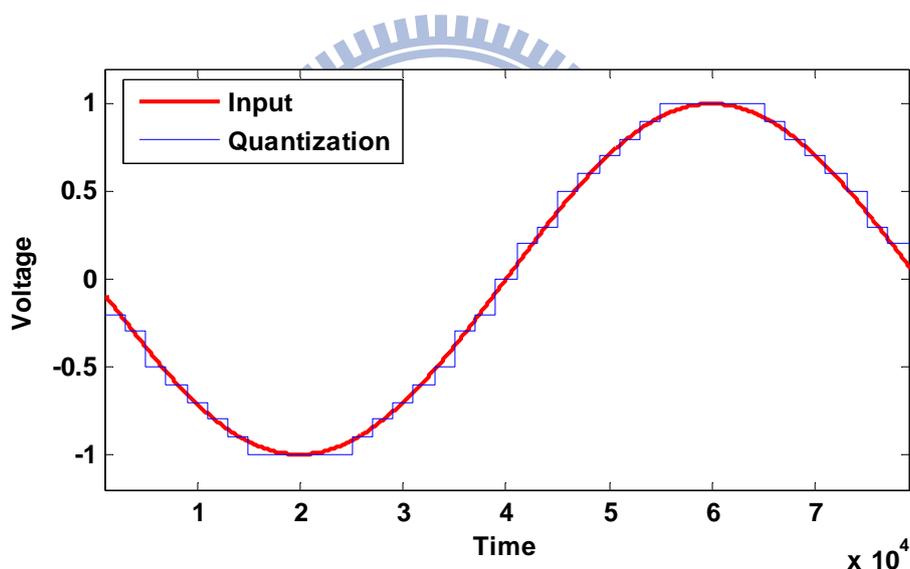


圖 1.4.1 量化示意圖

如上圖 1.4.1 所示為一弦波(平滑弦波)經過量化後的結果(量化後帶有鋸齒的波)，如果我們將一弦波用 4 個位元表示便可以得到 2 的 4 次方也就是 16 種表示法，依序從 0, 1, 2, 3...15，因此介於各表示數字之間多餘的部份將會被捨去，捨去的部份就會造成量化誤差(Quantization Error)，其中量化誤差可表示為下式：

$$V_Q = \left[ \frac{1}{T} \int_{-T/2}^{T/2} V_Q^2 dt \right]^{1/2} = \left[ \frac{1}{T} \int_{-T/2}^{T/2} V_{LSB}^2 \left( \frac{-t}{T} \right)^2 dt \right]^{1/2} = \frac{V_{LSB}}{\sqrt{12}}$$

$V_Q$  為量化誤差， $T$  為一個週期時間長度， $V_{LSB}$  為量化位元每個最小可表示刻度之間的值， $t$  為時間單位。

而先前提過之訊號對雜訊與諧波失真比是我們對待測物所關心的效能指標參數。經由把訊號大小除以雜訊與諧波失真大小的比值便可以獲得 SNDR，對於我們的待測電路而言，輸入訊號可以用富利葉表示式表示成各種弦波的組合，所以針對一峰對峰大小為  $V_{REF}$ ，量化位元為  $N$  Bit，最小可表示刻度為  $V_{LSB}$  的弦波訊號而言，SNR 可由下式 1.1 算出：

$$\begin{aligned} SNR &= 20 \log \left( \frac{V_{\sin \text{ wave}(rms)}}{V_{\text{quantization}(rms)}} \right) = 20 \log \left( \frac{V_{REF} / 2\sqrt{2}}{V_{LSB} / \sqrt{12}} \right) \\ &= 20 \log \left( \sqrt{\frac{3}{2}} 2^N \right) = 6.02N + 1.76 \text{ dB} \end{aligned} \quad (1.1)$$

## 二、超頻取樣：

以上介紹了量化以及 SNDR，為了要提升 SNDR 大小，常用的一種技術便是超頻取樣。為何超頻取樣能夠有效增加 SNDR？首先我們假設量化過程以及電路中所產生的雜訊為白雜訊(White Noise)，也就是在各個頻率皆有相同的能量密度，並且能量的總和為一定值。對於一頻寬為  $f$  的訊號源，經由取樣頻率為  $f_s$  的取樣過程之後，在頻譜上的能量分布可用下圖 1.4.2 表示， $X$  為平均雜訊能量密度的大小：

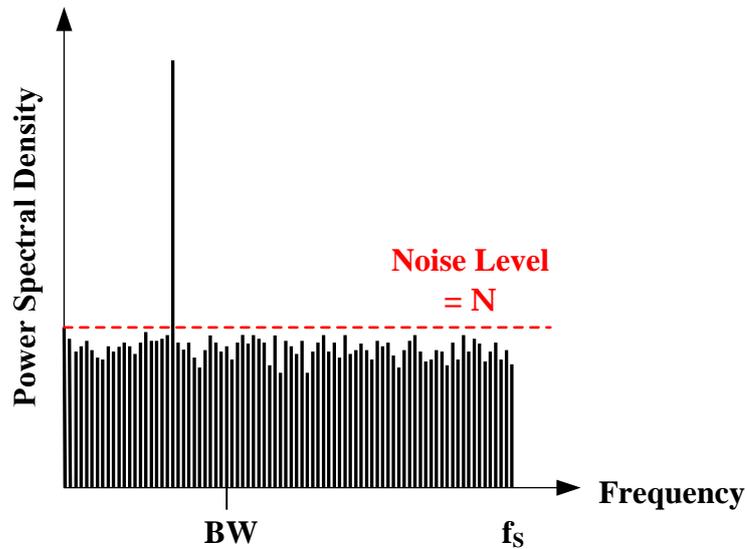


圖 1.4.2 未經過超頻取樣訊號的能量頻譜密度分佈情形

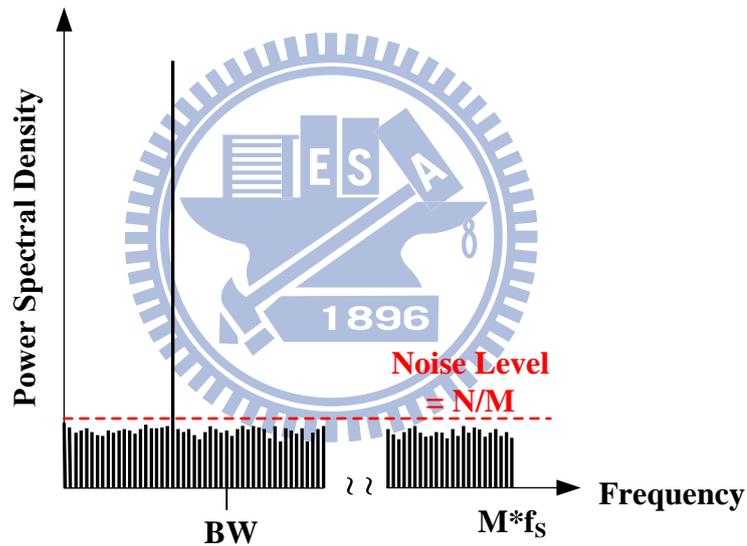


圖 1.4.3 經過 M 倍超頻取樣訊號的能量密度分佈情形

由圖 1.4.2 可以看出有一個主要頻率即為訊號成分，而底下斜線部份為雜訊，雜訊部份的總和約為  $f_s * X$ ，接下來經過 M 倍的超頻取樣之後，因為之前訊號及雜訊的能量總和會是一個定值，所以：

$$f_s * X = \text{constant} = (M * f_s) * (X / M)$$

因此平均雜訊能量密度的大小會變成原本的  $1/M$ ，在頻寬內的平均雜訊能量密度將會成反比的降低，使得 SNR 上升，如圖 1.4.3。

### 三、降頻濾波：

由上面段落可知超頻取樣理論上可成反比的降低頻軍雜訊能量密度，不過因為雜訊的總和能量不變，所以我們必須加上一個頻寬為  $f$  的低通濾波器，將頻寬以外的部分去除，同時做降頻的動作將訊號回覆成原本的取樣頻率，示意圖如下：

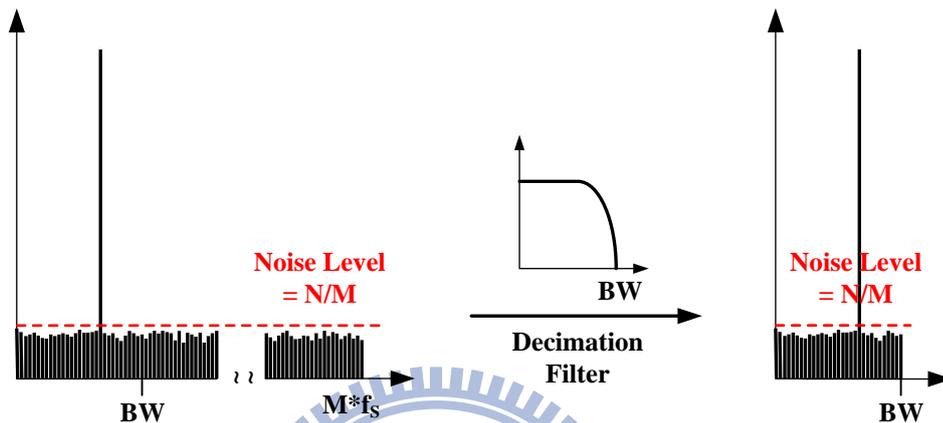


圖 1.4.4 降頻濾波

### 四、三角積分調變：

最後要簡介的是三角積分調變方法，此調變法是把高解析度的訊號使用脈衝密度調變(Pulse-Density Modulation, PDM)轉換成低解析度訊號的方法，透過選擇適當的雜訊轉換方程式(Noise Transfer Function, NTF)訊號轉換方程式(Signal Transfer Function, STF)，此調變器將會把調變過程中產生的平均量化雜訊在頻譜上轉移到相對高頻的地方，並且配合之前介紹的超取樣與降頻濾波的技术，可以顯著的增加訊號對雜訊比。三角積分調變法的精神如下圖所示：

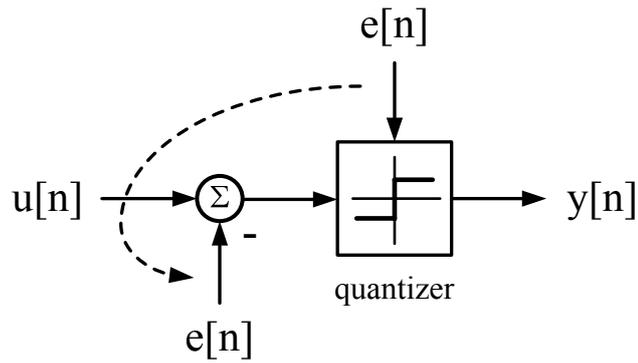


圖 1.4.5 預先誤差補償

如圖 1.4.5，當我們用低解析度量化器(quantizer)把高解析度輸入訊號  $u[n]$  作低解析度的量化動作(如一位元)時，可以視為在量化過程當中加入一個很大的量化誤差(quantization error)  $e[n]$ ，如果我們能夠捕捉此種誤差並且在量化之前預先加以去除，可以使得量化之後的訊號仍保有一定程度的訊號對雜訊比。而一個實際可行的方法是把前一次的量化誤差預先去除。

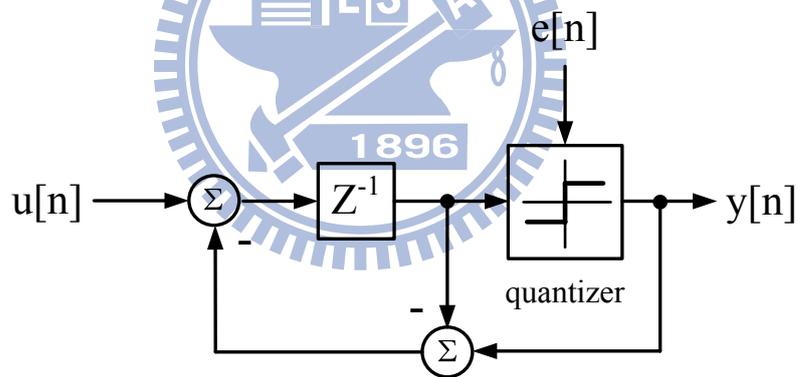


圖 1.4.6 一階三角積分調變器

把量化誤差預先去除的方法如圖 1.4.6，量化後的輸出訊號  $y[n]$  減去量化前的輸入訊號  $y[n] - e[n]$  等於量化雜訊  $e[n]$ ，將此雜訊與輸入訊號預先做消除並經過一個延遲之後再量化的電路，即為一階三角積分調變器。時域與頻域上分別可以表示為下兩式(1.2)、(1.3)。

$$y[n] = u[n - 1] + (e[n] - e[n - 1]) \quad (1.2)$$

$$Y(z) = U(z) \cdot z^{-1} + E(z) \cdot (1 - Z^{-1}) \quad (1.3)$$

因此對於訊號而言，訊號轉換函式為  $z^{-1}$  而有著大小不變相位延遲的輸出響應；對於量化雜訊而言，雜訊轉換函式等於  $(1-z^{-1})$ ，為一個在低頻有零點的高通濾波器，具有把量化雜訊成份往高頻做雜訊塑形 (noise-shaping) 的效果。另外相對於雜訊轉換函式為  $(1-z^{-1})^n$ ， $n$  階的三角積分調變器而言，在頻寬內的雜訊功率可由下式 1.4 求出：

$$\begin{aligned}
 P_{noise} &= \int_{-f_b}^{f_b} E_{RMS}^2 \cdot |1-z^{-1}| df = \frac{V_{LSB}}{12} \frac{\pi^{2n}}{2n+1} \left( \frac{2f_b}{f_s} \right)^{2n+1} \\
 &= \frac{V_{LSB}}{12} \frac{\pi^{2n}}{2n+1} \left( \frac{1}{OSR} \right)^{2n+1}
 \end{aligned} \tag{1.4}$$

其中  $f_b$ 、 $f_s$ 、 $E_{RMS}$ 、 $V_{LSB}$ 、 $n$ 、 $OSR$  分別為頻寬、取樣頻率、量化雜訊功率方均根植、最小量化刻度、雜訊轉換函式階數、超取樣頻率。由式 1.3 觀察可知：增加  $1/V_{LSB}$ 、 $OSR$  以及階數  $n$  可以有效降低頻寬內雜訊功率。

因此使用三角積分調變器搭配超頻取樣與降頻率波，以圖 1.4.7 表示，通常會有三個步驟：(1)把訊號經過超頻取樣，如圖 1.4.2 與圖 1.4.3 降低頻寬內雜訊提高取樣訊號品質(2)將取樣後的信號輸入三角積分調變器，其中的 1-bit 量化器會加入許多量化雜訊，三角積分調變器會把這些雜訊塑型到高頻的部份，降低頻寬內雜訊大小(3)調變後的訊號經過特定系統（如一個轉移函數為 1 的類比數位轉換器）之後，在系統輸出級接上一降頻濾波器，能夠濾除頻寬外雜訊還原頻寬內的訊號。

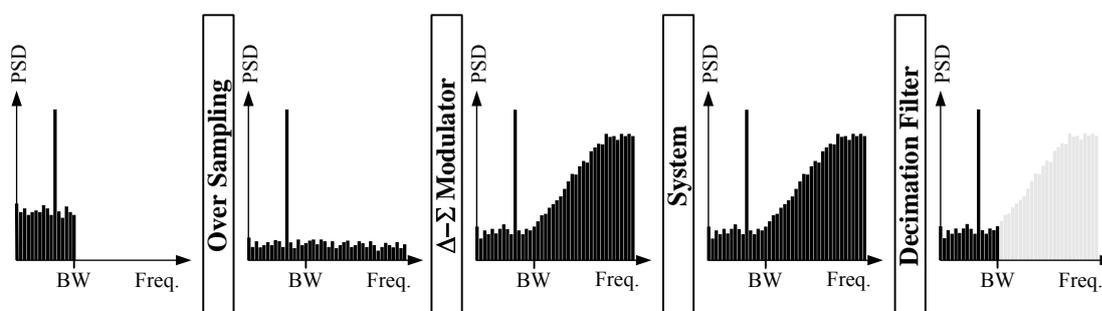


圖 1.4.7 三角積分調變器搭配超頻取樣與降頻濾波操作

## 1.5 待測 $\Delta$ - $\Sigma$ 類比數位轉換器之介紹

如同本章第二節所提及，為了要搭配使用內建自我測試電路，我們必須要將待測物增加DfDT電路，而此部分先前已經由我的指導老師交大電控系洪浩喬教授完成。此篇於2007年在TVLSI期刊發表之研究成果[1]使得一個基於三角積分調變技術的類比數位轉換器能夠在加入極少開關與控制電路的情況下，接受數位訊號當作測試輸入，以下將簡介其工作原理與優點。

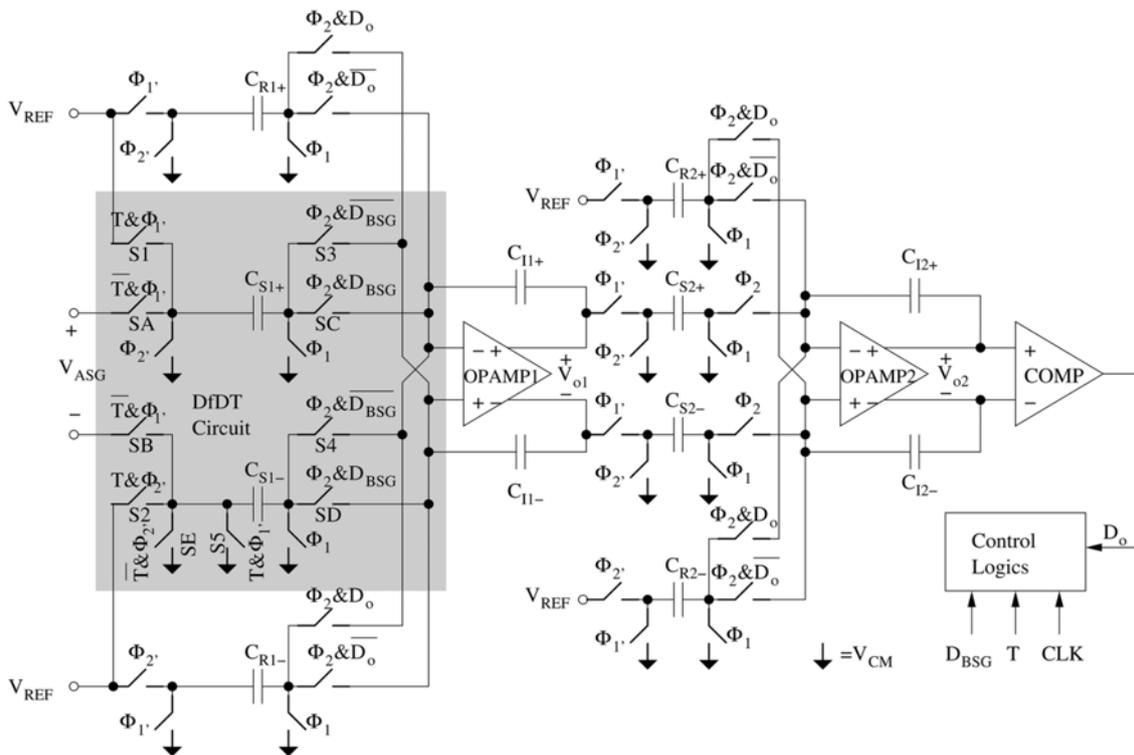


圖 1.5.1 具有數位可測性設計之二階  $\Delta$ - $\Sigma$  類比數位轉換器

如圖1.5.1所示，此待測物為一加入數位可測性設計之二階 $\Delta$ - $\Sigma$ 類比數位轉換器，灰色陰影區塊(S1~S5 & SA~SE)代表新增的數位可測試設計電路。整個經過數位可測性設計過後之電路在接受內建測試的時後，會如同一個包含有1-bit之D/A converter、一個類比數位轉換器、與一個類比響應擷取器(analog response extractor, ARE)之電路一般工作。

基本上此電路由兩個疊加的積分器與一個比較器所組成。整個電路可分為兩種操作情形：普通模式與工作模式。兩種模式由測試控制訊號T切換，第一級積分器也就是左方灰色陰影部分在不同模式下其中的開關會相對應變化。當在普通模式時，訊號T會被設成邏輯0，數位激發測試訊號  $D_{BSG}$  會被設成邏輯1，因此S1~S5五個開關會關閉，輸入  $V_{ASG}$  由SA~SD開關經電容  $C_{S1+}$  與  $C_{S1-}$  取樣送到後級正常工作。

而在工作模式時，訊號T將被設為邏輯1，開關SA、SB、SE關閉。在相位  $\Phi_1$  時電容  $C_{S1+}$  與  $C_{S1-}$  會先取樣  $V_{REF}$ ，而在相位  $\Phi_2$  時會把先前取樣的電荷根據數位激發測試訊號  $D_{BSG}$  的值，經由開關S3、S4、SC、SD決定如何轉移到電容  $C_{I1+}$  與  $C_{I1-}$  上。因此整個第一級電路可以看作1-bit的數位/電荷轉換器(digital-to-charge converter)，而1-bit兩點決定轉換曲線的特性讓此架構沒有任何的非線性效應。

此設計的特點在於重複使用待測物本身具備的元件，例如有操作放大器、電容、比較器以及大多數原本的開關。這項特點帶來了以下幾項的好處：

- (1) 低成本效益：對於此架構來說，額外的成本負擔只有五個開關與負責控制相位的時脈操作電路。
- (2) 高測量精準度與錯誤覆蓋率(fault coverage)：除了SA、SB、SE這三個開關之外，其餘所有元件在測試時都有充分的在運作當中。所以此數位可測性電路在測試時可以測出大部分元件是否正常工作或是有錯誤(開路或短路等等)。除此之外如果發生效能參數上的錯誤，例如放大器之開迴路增益、單一增益頻寬、位移誤差、電容不匹配效應、開關電路的時脈滲入效應、電荷重新分配效應等等，在普通模式與測試模式時幾乎完全相同並且都會發生，因此可以達到很高的測量精準與錯誤覆蓋率。
- (3) 具有全速測試的能力：由於在普通模式與測試模式時，最具有影響電路特性的元件，也就是操作放大器，都有相同的操作環境，所以並不需要為了為待測物做測試而把工作頻率調低。

以上許多優良的特性，讓我們若借助該電路架構當做整個內建自我測試系統

的待測物，可以更真實的驗證所提出的內建自我測試電路是否有應得的效益，而以下小節將會對待測物與內建自我測試電路的整體運作關係與規格做簡單介紹。

## 1.6 自我測試電路之整體架構及規格

簡如下圖所示為待測物端之整體架構圖，除了以圓角狀方塊表示的待測物本身、其餘方形方塊皆是為了實現內建自我測試而增加的數位電路：由激

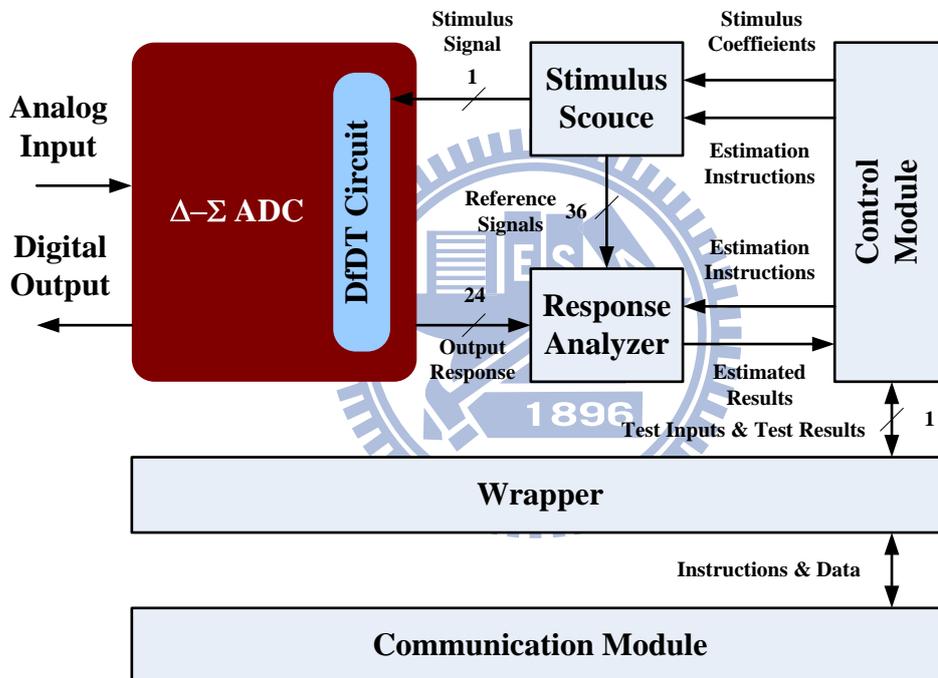


圖 1.6.1 待測物端整體系統架構圖

發訊號源、輸出響應分析器與控制模組組成的的BIST電路、以及客製化 (customized)的wrapper與使用者端做溝通的通用無線通訊模組。

當電路在正常工作模式下即把左方的類比訊號轉換成數位訊號輸出。而在測試模式時，系統關閉類比輸入，wrapper把通訊模組接收到的指令以及測試資料傳送給BIST的控制器，BIST便開始給予激發訊號源頻率以及振幅等參數並且送入

1-bit的PDM訊號給待測物產生輸出響應，之後響應分析器同時接收到輸出響應以及激發訊號源產生的36-bit參考訊號(reference signal)便可以計算出待測物的偏移誤差(offset)、主訊號能量係數( $A_s, A_c$ )、以及雜訊與諧波失真能量(power of noise plus harmonic distortion)。

下表1-1為本論文探討待測ADC與BIST之系統規格，此為一可用於音頻處理之ADC，其工作取樣頻率為6.144MHz，超頻取樣比為128，頻寬為24kHz，訊號對雜訊與總諧波失真比為76dB。一般而言，測試訊號輸入源必須比待測物精準十倍以上，所以以此SNDR最高為76dB左右的ADC而言，給予的輸入測試訊號SNDR最小需求約為96dB，另外輸入的測試訊號的頻寬也必須在24kHz的範圍之內皆能保持96dB的SNDR。

表 1 - 1 待測 ADC 與 BIST 之系統規格

<b><math>\Delta</math>-<math>\Sigma</math> ADC 系統規格</b>	
系統工作取樣頻率	6.144MHz
超頻取樣比	128
訊號頻寬	24kHz
訊號對雜訊及諧波失真比	$\leq 76\text{dB}$
<b>BIST 系統規格</b>	
訊號頻寬	24kHz
訊號對雜訊及諧波失真比	$\geq 96\text{dB}$

## 1.7 論文章節組織

本章節說明了研究 BIST 的動機與目的，並簡介了 BIST 電路的工作方式與系統架構來測量待測 ADC 的 SNDR 效能參數。接下來的第二章，將先回顧各種 ADC 測試的重要規格參數以及其傳統上使用的測量方法，接下來檢視過去用於內建自我測試電路測量 SNDR 的方法並介紹兩種使用此理論實現的架構，最後將兩者比較並說明其尚可改進之處。接著在第三章，針對過去方法所不足之部分，引出本論文之主要核心 — Sinusoidal-Minimum-Error (SME) Based BIST Scheme 的運算原理，並且介紹當做測試訊號激發輸入的數位弦波產生器，以及如何使用補償增益來大幅提高弦波產生器原本的不足頻寬，最後列出實現此 SME BIST 所需之電路元件。再來便由本章提出之模型來設計我們的 BIST 電路，探討 SME BIST Scheme 電路可以加以簡化參考弦波訊號產生器來節省晶片面積的研究，來提出一個更具成本效益比的 BIST 電路基礎模型，並且對於簡化參考弦波訊號產生器產生之偏移誤差累積的問題，提出不需要過多額外電路便能夠改善消除至可接受範圍的方法，最後介紹 BIST 電路運算步驟與完整測試流程圖。第四章會對本章第三小節所介紹之經濟部科專計畫 HOY 無線測試平台計畫做更詳細的介紹，並且著重在 wrapper 電路與 BIST 電路之間簡單的 I/O 入關係。第五章將會有根據第三章架構搭配第四章介紹之無線測試平台把以 Verilog code 實現的電路燒錄在 FPGA 板上與待測 ADC 做測量分析。最後在第六章，討論本論文之成本效益與電路仍可改進的架構部份，來做一總結。

# 第二章 回顧 $\Delta-\Sigma$ ADC 之內建自我測試方法

在進入最重要的第三章節之前，我們將在第二章先回顧對於一個 ADC 測試而言，不同目標效能參數所使用的不同測試理論，接下來檢視過去用於計算出其中最重要的效能參數(SNDR)的各種自我內建測試方法，並且加以比較分析，點出之前使用內建自我測試系統方法的各種設計難點以及在測試上的不足性。由於內建自我測試除了精準度之外，會著重在該電路是否能擁有良好的成本效益比，因此設計成本與當成內建自我測試的適合度是我們的第一優先考量。

## 2.1 普遍 ADC 之重要效能參數測試

類比與混合測試電路(Analog and Mixed-Signal, AMS circuits)常在 SOC 系統中佔有最關鍵的地位。AMS 電路有著各種可能的電路架構設定，因此其測試方法需要非常詳細的客製化。對於極能代表類比電路性質的 ADC 而言，依照不同設計與應用大致可將測試種類分為直流參數測試(DC Parameter Testing)與交流參數測試(AC Parameter Testing)，而測試方法所使用之理論也大致可分為基於時域(time-domain based)與基於頻域(frequency-domain based)兩種不同的分析方式，以下將分成三個部份，前兩部份就兩種不同測試種類加以簡介，第三部份將會做總結並且決定內建自我測試的方向：

### 一、 時域測試(直流參數)：

廣義的如輸出輸入電壓電流、偏移誤差(offset error)、阻抗匹配(impedance)，或是其他更詳細的參數，例如放大器的開迴路增益(open-loop gain)、電壓調節器的負載調節(load regulation)等皆屬於直流參數測試所涵蓋的範圍。而 ADC 在直流參數測試中較重要的且複雜的兩

項測試分別為微分非線性誤差(Differential Nonlinearity Error, DNL)與積分非線性誤差(Integral Nonlinearity Error, INL)，此兩項非線性誤差代表在輸入電壓從零到滿刻度間的中間特性誤差，也就是實際值與理想轉換曲線之間的偏移量。如下圖 2.1.1 所示為一 ADC 之輸入電壓  $V_i$  (以  $V_{LSB}$  乘以量化後之數位輸出碼表示)與數位輸出碼(以最低有效位元 LSB 表示)之對應關係圖，(a)為理想轉換特性曲線，(b)為實際轉換特性曲線。DNL 表示的意義為當輸出數位碼每增加一個最低有效位元的量時，對應輸入所需增加的電壓大小與理想應增加之 1 個  $V_{LSB}$  大小相差之值；INL 則代表對應於同一特定之數位輸出碼的情況下，實際所需輸入之電壓與理想轉換曲線上電壓相差值。

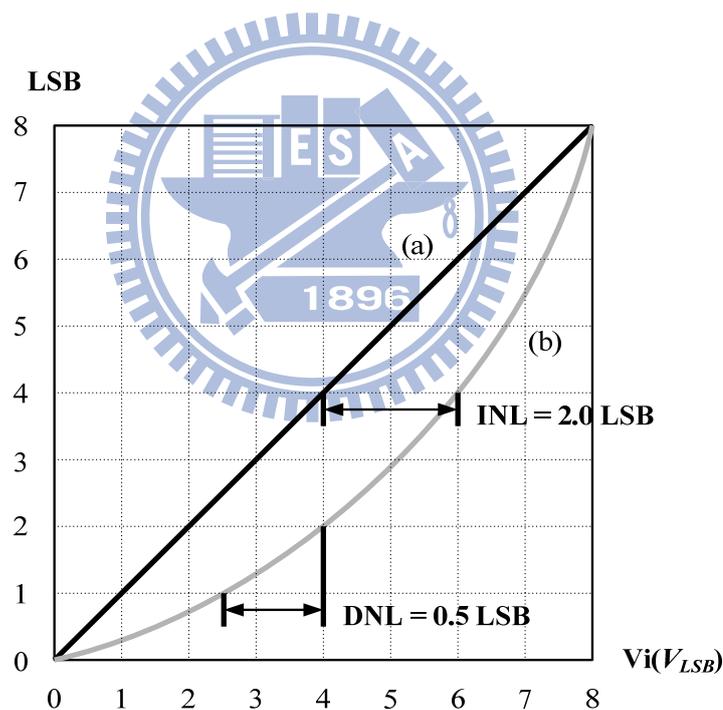


圖 2.1.1 DNL 與 INL 非線性誤差

而在現今 IC 產業界測量以上類比數位轉換器靜態參數最常使用也極有效率的方法便是使用柱狀圖機率分布法(histogram)。柱狀圖機率分布法又名為編碼密度測試(Code Density Testing)，是一種藉由紀錄類比數位轉換器量化輸出碼來加以統計分析的測量方式。根據紀錄一個類比數位轉

換器所有的輸出碼，我們可以統計給予不同電壓輸入時，對應輸出數位碼佔整體輸出碼的比例，或是使用相關的數學軟體去加以分析便可以得到此類比數位轉換器的特性參數。通常在使用此種測試方法時最常輸入的測試訊號為斜坡(ramp)函數與弦波(sine wave)函數，藉由此兩種輸入可以從柱狀圖得出許多有效的資訊。舉例，給予如下圖 2.1.2 左方的斜坡輸入時，對於待測轉換器以  $V_{LSB}$  區分的各個不同區段的量化電壓而言，由於輸入波形斜率固定，單位時間被內量化成同一數位碼的個數應該一致，所以理論上右方每個對應輸出碼的次數應該是完全相同的。

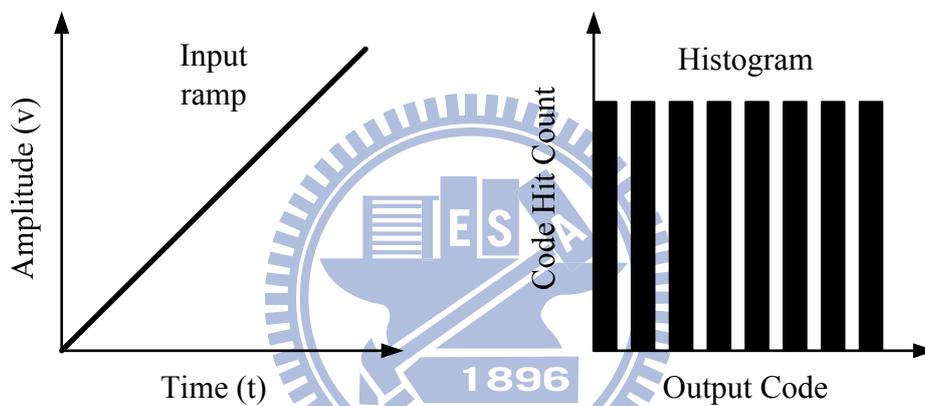


圖 2.1.2 斜坡輸入測試訊號與理想輸出柱狀圖

相對於斜坡函數而言，如圖 2.1.3 弦波函數的輸出柱狀圖會呈現一個碗形，這是由於弦波在一個週期不同區域單位時間內出現的數位碼個數並不一致，在斜率絕對值較小的波峰波谷出現的個數會大於斜率絕對值較大的地方。

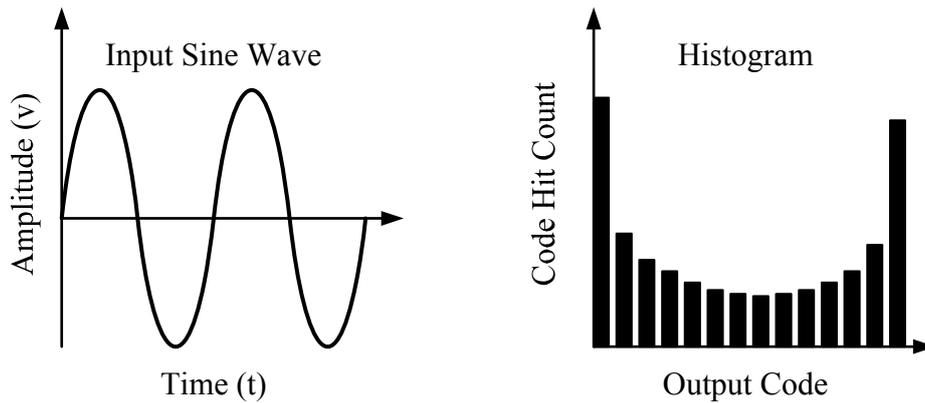


圖 2.1.3 弦波輸入測試訊號與輸出柱狀圖

若是在單一晶片上實現柱狀圖機率分布法需要有：(1)具備多功能的數學運算邏輯單元(Arithmetic Logic Unit)(2)大量的記憶體(3)較複雜的控制電路。這是因為當使用柱狀圖機率分布法時，需要比對記錄下來的資料與理想的柱狀圖資料去做運算，因而，我們需要兩個記憶體單元來儲存理想柱狀圖與實際柱狀圖，而每個記憶體單元的大小會與 $2^n$ 成正比， $n$ 為待測類比數位轉換器的有效位元(Effective Number of Bits, ENOB)。最後還需要一個操作整體電路工作流程的控制單元。

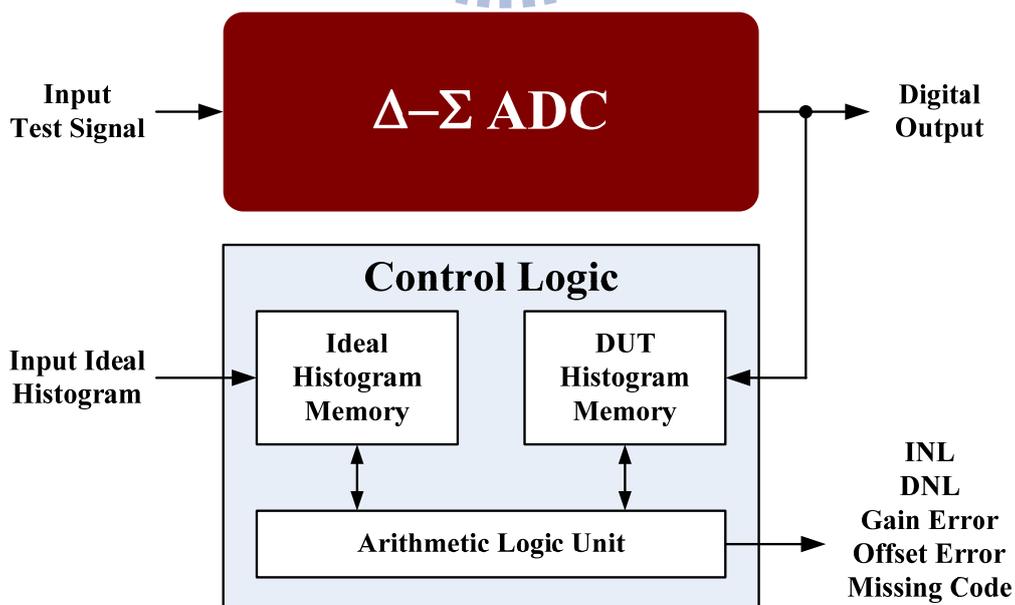


圖 2.1.4 基於柱狀圖演算法之測試電路方塊圖

## 二、 頻域測試(交流參數)：

頻域測試對應到一個電路的交流參數，像是電路的頻寬、相位、(諧波)失真、雜訊等等都是交流參數。而評量這些參數對電路造成的總和影響，通常可以用訊號對雜訊比(Signal to Noise Ratio, SNR)，訊號對雜訊與總諧波失真比(SNDR)，與無雜散動態範圍(Spurious Free Dynamic Range, SFDR)來當作效能標準，其中又以可以算出類比數位轉換器有效位元的訊號對雜訊與總諧波失真比最為重要。有效位元  $N$  之計算方法如下式：

$$ENOB = \frac{SNDR - 1.76}{6.02} \quad (2.1)$$

以上這些交流參數在大部份應用上常比直流參數來的更重要，然而卻無法像直流參數那樣可以容易直接顯示許多時域的資訊，我們需要一種可以對待測物直接看出這些非理想效應的表示方法，因此，把輸出響應在時域上的資訊使用快速傅立葉轉換(Fast Fourier Transform, FFT)表示成不同頻率大小對應能量密度的圖形是一個有效的辦法。

使用快速傅立葉轉換做測試是基於離散傅立葉轉換 (Discrete Fourier Transform, DFT)改良的快速演算法，離散傅立葉轉換告訴我們，使用與離散傅立葉級數(Discrete Fourier Transform, DFS)類似的性質：把一段取樣過後的訊號拓展成無限長度時間軸上的週期性訊號，經由轉換表示成頻譜上一連串不同頻率成分(正弦波與餘弦波或其指數形式

$e^{j(2\pi/N)kn}$ ，頻率為  $2\pi/N * n$  的整數倍， $N$  為取樣點個數)累加的和。如下式 2.2， $x[n]$  為取樣過後的訊號，序列  $X[k]$  為不同頻率成分對應的係數，也就是  $x[n]$  經 DFT 轉換後在頻譜上的展現，另外式 2.3 為  $X[k]$  的 DFT 逆轉換：

$$x[n] = \sum_{k=0}^{N-1} X[k] e^{j(2\pi/N)kn} \quad (2.2)$$

$$X[k] = \sum_{n=0}^{N-1} x[n] e^{-j(2\pi/N)kn} \quad (2.3)$$

而快速傅立葉轉換可以降低原本 DFT 的龐大運算量，觀察式 2.3 可發現計算每一點  $X[k]$  值需要  $N-1$  次的複數乘法，所以對於  $N$  點的  $X[k]$  值需

要  $N*(N-1)$  次的運算量。根據 FFT 的原理，並且利用  $W_N$  的對稱性，若  $N$  為 2 的倍數，我們可以把  $x[n]$  分為基數與偶數部份去計算  $X[k]$  如下式 2.4:

$$\begin{aligned}
 X[k] &= \sum_{r=0}^{(N/2)-1} x[2r]W_N^{2rk} + W_N^k \sum_{r=0}^{(N/2)-1} x[2r+1]W_N^{2rk} \\
 &= G[k] + W_N^k H[k] \quad W_N = e^{-j(2\pi/N)}
 \end{aligned}
 \tag{2.4}$$

因此針對八個點的離散富立葉轉換可簡化成下圖：

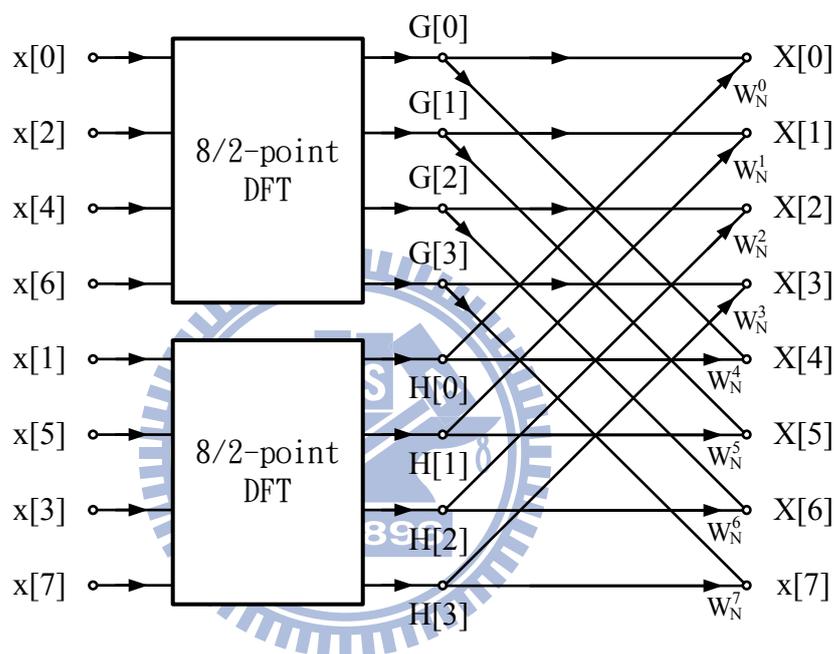


圖 2.1.5 八點分成兩個四點的 DFT 運算圖

由上運算圖可看出，相較於原本的  $N*(N-1)$  次乘法，拆解後的圖形只需要  $2*(N/2)*(N/2-1)+N$  次的乘法運算，因此只要對  $N$  大於 2 而言使用拆解後的方法便可以有效降低運算量。

因此若  $N$  為 2 的幕次方便可以把取樣後的點繼續拆解成  $\log_2 N$  個兩點的 DFT 的加乘的和。配合著  $W_N$  的週期性，便可導出如下 2-6 快速富立葉轉換圖：

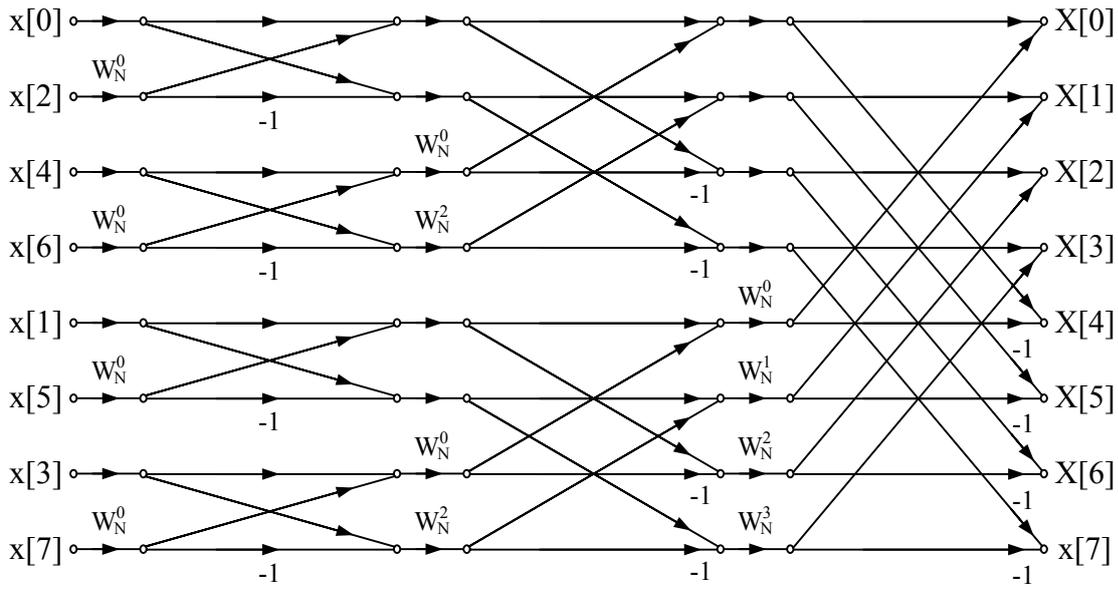


圖 2.1.6 使用 FFT 得到之八點運算圖

觀察上圖可知，FFT 所需的乘法運算量為  $N \log_2 N$ ，對於較大的  $N$  值而言，甚至可以省下數十到數百倍的運算量(例如  $N=1024$ ，原本 DFT 與 FFT 便相差了約一百倍的乘法運算)。

如下圖 2.1.7，與柱狀圖機率分布法類似，要使用基於快速富立葉頻譜分析方法當做內建自我測試時，給定一組輸入測試訊號，把輸出數位碼暫存在記憶體當中爾後加以運算。而 FFT 分析方法的自我運算同樣也需要一組記憶體來儲存待測 ADC 取樣後的資料，此記憶體大小與待測 ADC 位元數和取樣點數成正比。

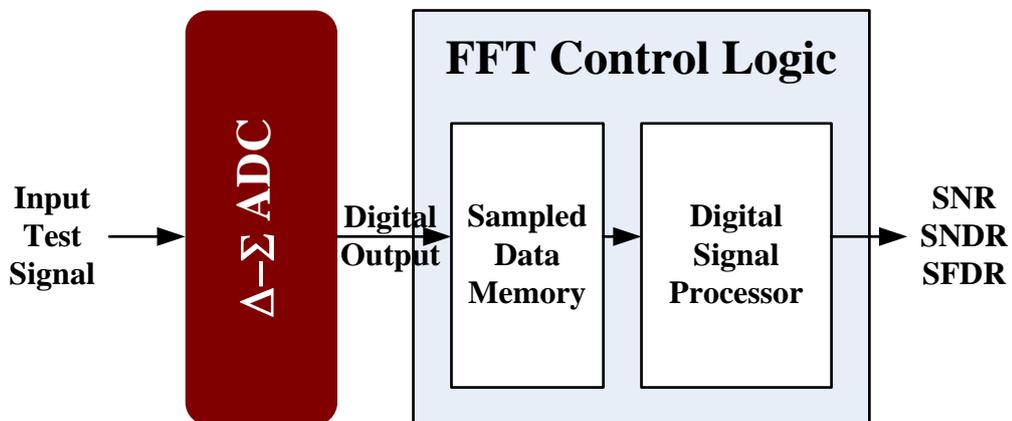


圖 2.1.7 基於 FFT 演算法之測試方塊圖

### 三、 總結：

無論是基於時域或是基於頻域的 ADC 測試方法都有重要的應用以及精準的測試結果，但是對於內建自我測試系統而言，成本的考量是最重要的問題，在許多特定的狀況下甚至可以為了節省晶片面積做出犧牲(例如頻寬或解析度)。而使用柱狀圖機率分布測試法與使用快速富立葉轉換來得到 ADC 的效能參數皆存在著需要使用大量且與資料量成正比的記憶體面積負擔，對於 FFT 而言更需要一個強而有力的數位訊號處理器，在目前的 IC 產業之中，除非這些記憶體單元與龐大的運算處理器在待測物或是 SoC 系統中有其他必須的用途，否則額外增加的硬體面積將會佔去晶片大部分的可用空間。

另外，在之前兩部份並未詳細提及的測試訊號輸入部分，在自我測試電路系統中通常佔有很大的面積比例。因為許多的待測 ADC 並無法像本論文所研究的對象具有數位可測性的設計，要不使用外部的類比測試訊號輸入，直接在電路內產生高品質的弦波訊號並且能夠調整振幅、頻率的類比測試訊號是非常困難的。使用外部數位訊號加上內置的類比數位轉換器去產生測試訊號是一個可行的辦法，但是前提是必須保證此轉換器先能正常運作，因而又增加更多的測試成本。

下表 2-1 把之前所提及的 ADC 常用兩種測試方法做一總結，可以看出兩者區別在於測試參數不同的部份。雖然兩種測試方法都能有效的得到效能參數，但是對於大部分的 $\Delta$ - $\Sigma$ ADC 而言，SNDR 往往是效能

表 2 - 1 不同 ADC 參數測試方法之比較表

	柱狀圖機率分布法 (Histogram)	快速富立葉轉換 (Fast Fourier Transform)
準確程度	精準	精準
硬體元件	大量記憶體與複雜的數學 運算單元	大量記憶體與數位訊號處 理器
測試速度	慢	慢
測試參數	靜態參數 (SNR, SNDR, SFDR)	動態參數 (INL, DNL)

決定性的指標，而柱狀圖機率分布法並無不適用於得到動態參數，因此本論文將會研究探討對於一個有數位可測性設計的三角積分類比數位轉換器的 SNDR 自我測試方法。下一小節將會介紹其他研究學者之前所提出的解決方法，並且加以比較分析。

## 2.2 從時域演算法獲得動態參數之自我測試方法

如同前一小節第二部份所提及，由頻域獲得 ADC 的 SNDR 等動態參數是精準且方便的方法，這是因為我們對一段有限長度等於  $N$  的樣本資料做轉換之後獲得了其在頻譜上  $N$  點的能量頻譜密度圖。如下圖 2.2.1 所示，給待測物輸入一個 1kHz，振幅為 0.5 滿刻度值(full-scale)的弦波訊號，對其量化後的輸出做 FFT 分析。圖中看似連續的頻譜由  $N$  點的離散資料所構成，由這些資料得到 SNDR 等等參數非常容易，只需把圖 2.2.1 上各頻率分量所需的點相加便可輕易算出雜訊與總諧波失真( $P_{THD+N}$ )的能量與主要頻率的能量大小。這方便的計算卻同時也限制了 FFT 演算法在內建自我測試設計上的應用。這是因為在  $P_{THD+N}$  累加完成之前，要計算不同頻率分量上的每一點大小都需要時域上所有取樣的點來完成 FFT，因

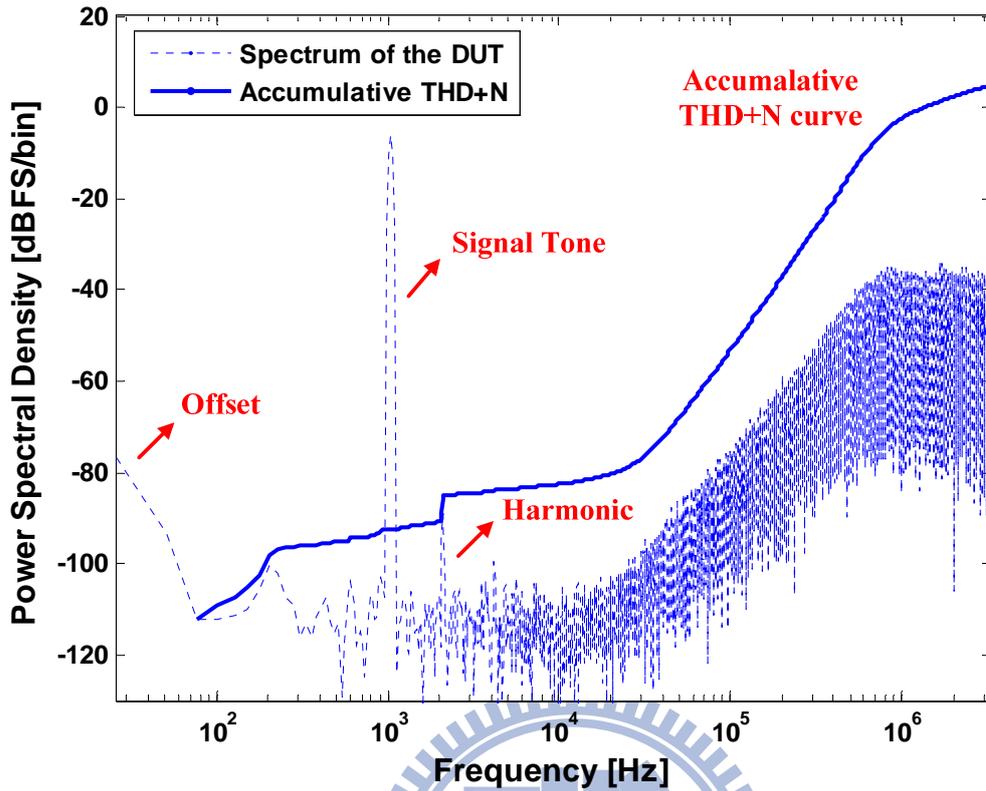


圖 2.2.1 目標待測物的輸出能量密度頻譜圖

此如同前述，一個與待測 ADC 轉換位元乘上取樣點數大小成正比的記憶體區塊勢必要在電路當中使用。

為了要簡化之前運算  $P_{THD+N}$  所需的硬體，因此從之前研究人員的文獻參考，可以得出一種直接由時域的現有資料獲取頻域上所有雜訊與總諧波能量累加的和，此種技巧稱作控制弦波密合法(Controlled Sine Wave Fitting, CSWF) [2]。控制弦波密合法最主要的精神是利用現有的測試訊號產生器生成一組參考訊號，調整參考訊號來與待測 ADC 輸出響應密合而計算量化及其他非理想效應造成的雜訊等等的能量大小，其介紹如下：

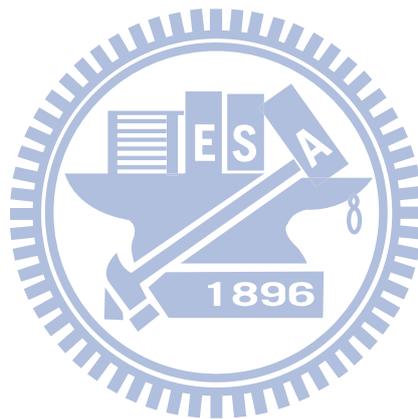
當我們用  $P(f_m)$  表示頻率  $f_m$  對應的能量功率大小時，從頻譜上  $M$  點的能量分布資訊要獲得雜訊與諧波失真的功率總和使用了下式 2.5

$$P_{THD+N} = \frac{1}{M} \sum_{m=1}^M P(f_m) - P(f_x) \quad f_x = \text{test frequency} \quad (2.5)$$

而在 CSWF 演算法當中，提出了在內建自我測試系統上使用時域得到  $P_{THD+N}$  的方法，與使用 FFT 最大差別就是把整數週期內的輸出響應減去其中主頻率的大小，接下來剩餘的部份  $res[n*T]$  即為雜訊與總諧波，爾後直接平方累加然後取平均值，如式 2.6

$$P_{THD+N} = \frac{1}{N} \sum_{n=1}^N res[n*T]^2 \quad T = \text{sampling period} \quad (2.6)$$

整個 CSWF 演算法可用下圖 2.2.2 表示：(1) 首先將測試訊號  $i[n]$  輸入待測 ADC (2) 為了要得到輸出響應  $x[n]$  剩餘的 THD+N 的部份，必須找出輸出響



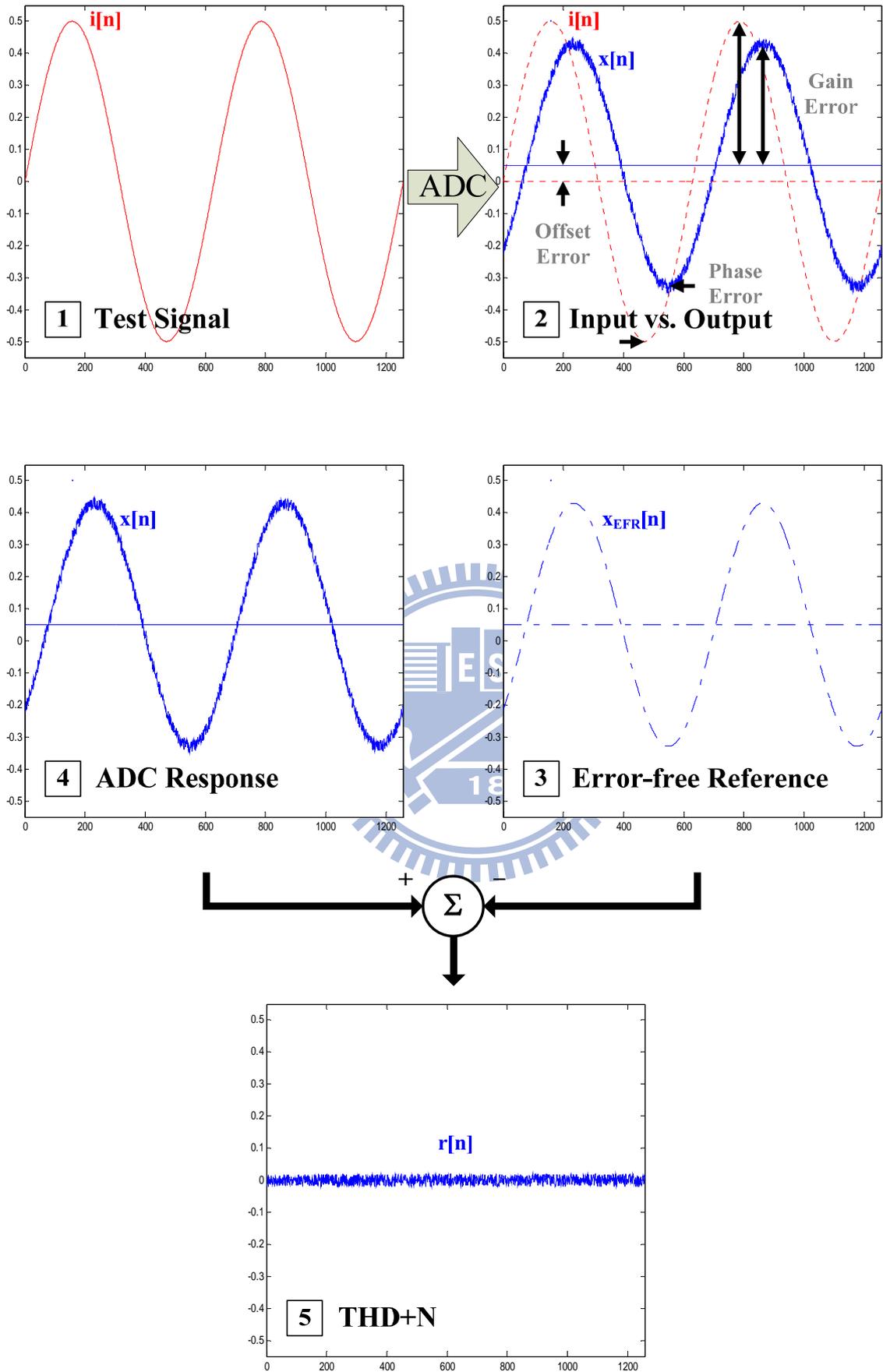


圖 2.2.2 控制弦波密合法演算過程示意圖

應中主頻率與原始輸入訊號的的偏移誤差、增益誤差、相位誤差(3)找出誤差之後，把資訊交給訊號產生源，再製一個無誤差(error-free)的基準訊號  $x_{ERF}[n]$  (4) 根據此基準訊號與輸出響應相減的結果便可得到如同(5)中 THD+N 在取樣時間點上分布的情形  $r[n]$ ，由於再製此無誤差訊號如同找出一個與輸出響應大小頻率相位相同，但沒有雜訊的訊號來做密合的動作，因此被稱作控制弦波密合演算法。數學表示式如下：

$$x_{ERF}[n] = i[n + phase\_error] * gain\_error + offset\_error$$

$$r[n] = x[n] - x_{ERF}[n]$$

$$P_{THD+N} = \frac{1}{M} \sum_{m=1}^M r^2[n]$$

使用 CSWF 可帶來最主要的好處便是我們只需要數個固定的暫存器，來儲存單筆輸出響應的資料以及訊號產生源提供的基準訊號來給減法器、乘法器、累加器去做運算。每當時域上一筆 THD+N 的資料計算完畢送至累加器之後，便可以把該筆資料丟棄，而這些暫存器的大小完全不會隨著取樣點的增加而增加。

如下圖為 CSWF 作者提出之電路測試架構，其中需求的測試與基準訊號產生源並不是一個內建的電路，而是把三角積分調變器產生的 PDM 後級加上簡單的二階 RC 低通濾波器來達成，利用三角積分調變器可以用較高的超取樣比把有效訊號頻寬變窄的優點，能夠讓後級的 RC 濾波器變的容易設計。此電路實現 CSWF 讓主頻率弦波密合減去的方式是把相同測試頻率的基準訊號乘上輸出響應對測試訊號振幅的比值，經過相位補償器來產生無誤差的基準訊號，交給能量估算器 (Power Estimator) 運算。

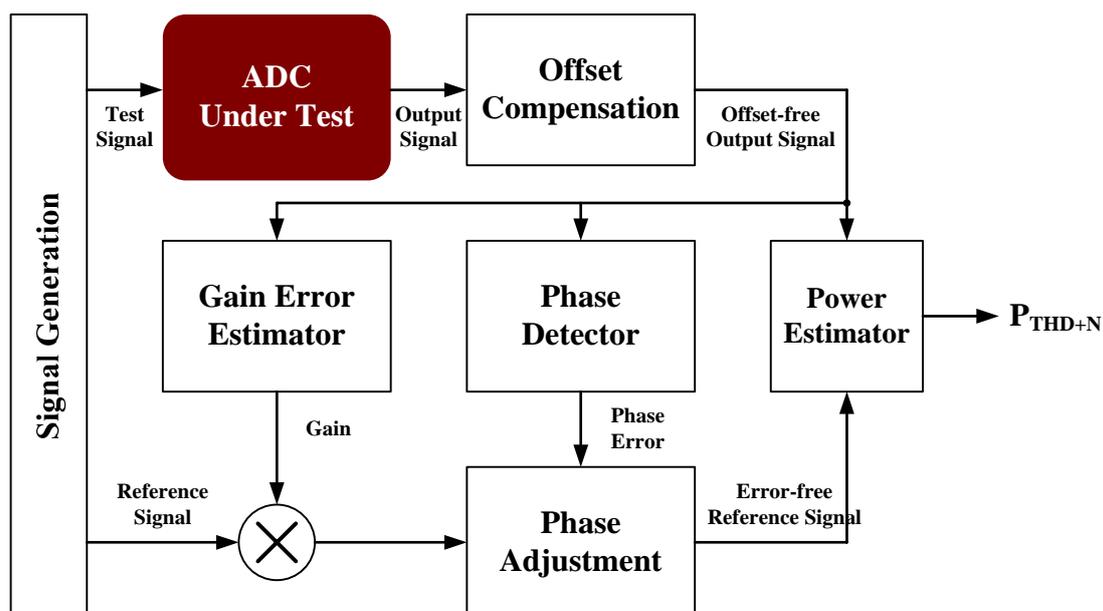


圖 2.2.3 CSWF 之測試電路架構圖

雖然此架構能夠大大節省記憶體的使用，但是外接的訊號產生器為類比訊號，必須考慮到雜訊干擾的問題，在實際測試當中也必須儘可能的靠近待測 ADC，由此可以看出外部的訊號輸入源所帶來的測試不便也不容忽視，因此下一小節將介紹兩種根據 CSWF 演算法研究的內建自我測試系統，低成本且足夠精準度的內部測試訊號產生方法可以改善外部測試訊號輸入的問題。

## 2.3 兩種使用 CSWF 演算法之內建自我測試架構

無論是使用何種方法測試待測 ADC，通常最重要的是要解決測試訊號與用來計算的參考訊號精準度問題，測試訊號的產生有很多種，如數位頻率合成(Direct Digital Frequency Synthesis, DDS) [5]或是無損式數位濾波積分器(Lossless Discrete Integrator Biquad Filter, LDI Biquad Filter) [6]。數位頻率合成有著極高的精準度，不過其實現方式需要藉由查表來得到結果將會耗費龐大的硬體面積。而無損式數位濾波積分器架構當中所須要的兩個並列乘法器(parallel multiplier)也是硬體負擔的主要原因。以下將介紹兩個同樣都是依據 CSWF 演算法，但利用不同訊號產生技巧所提出的內建自我測試電路架構：

一、以直接數位頻率合成來實現 CSWF 演算法：

文獻[7]中提出了使用查表方式來實現訊號產生器的方法，由於在 CSWF 演算法最後一步計算  $P_{THD+N}$  時需要兩個訊號源：一個給予待測物的激發測試訊號，另一個用來當作參照的基準訊號，如果使用查表的方式將會需要兩個很大的記憶體區塊，因此在下篇文獻[8][9]中假設待測物為一個應用在立體音具有左右兩個單元的  $\Delta-\Sigma$  ADC。如下圖 2.3.1，每一個  $\Delta-\Sigma$  ADC 由  $\Delta-\Sigma$  調變器與濾除高頻雜訊的降頻濾波器所組成，因此我們可以在測試右聲道的 ADC 時利用左聲道閒置的降頻濾波器產生基準訊號，反之亦然。如此一來可以大幅降低所需儲存記憶的面積。

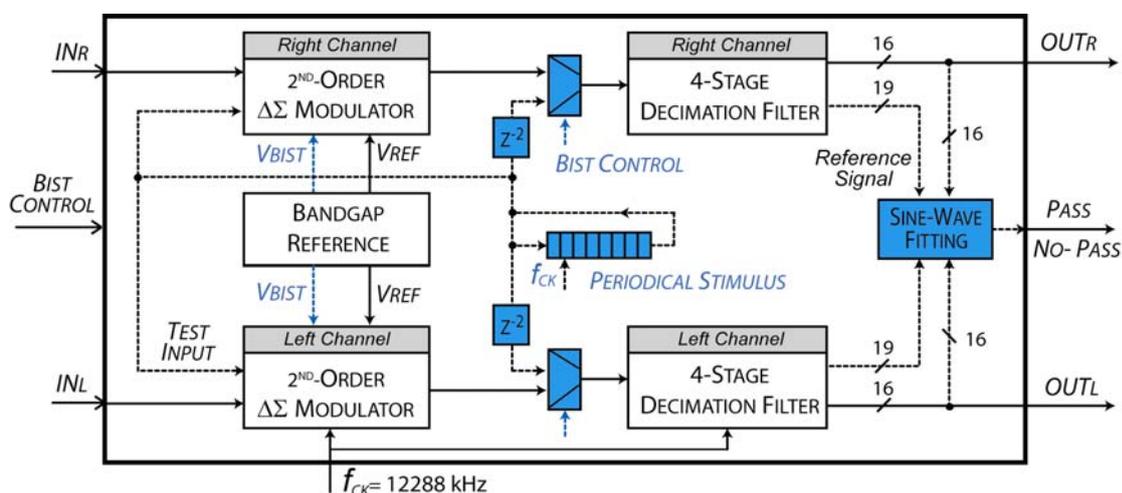


圖 2.3.1 直接數位頻率合成實現 CSWF 演算法架構圖

此待測 ADC 最高頻寬為 22.05kHz，取樣頻率為 12.288MHz，在正常工作模式下，二階的  $\Delta-\Sigma$  調變器把輸入訊號轉換成 1-bit 的位元流，然後交給四級的數位降頻濾波器把頻帶之外的雜訊濾除，產生最高 16 位元精準度的輸出。而在測試模式時，一段存在位移暫存器中的單一位元流資料週期性的重複輸出，來提供 19 位元精準度的測試輸入。而為了要讓待測 ADC (左聲道或右聲道) 能夠接受到類比的輸入，作者做了與本論文待測物近似的數位可測性設計：利用大部分類比設計中常會有的電路-帶隙參考電壓源 (bandgap reference voltage)，來把單一位元流資料轉換成類比的輸入給

待測 ADC。並且在同一時間把一樣的位元流資料輸入給另一聲道的降頻濾波器，因此產生了具有 19 位元精準度的基準訊號。由於二階的待測  $\Delta$ - $\Sigma$  ADC 其相位偏移是已知的兩個時脈週期，因此只需要簡單的運用兩個 1 位元的暫存器便可以調整輸出響應訊號與基準訊號的相位差，省去 CSWF 演算法中麻煩的相位偵測步驟。

而最重要的訊號產生過程，作者使用了 2252 個 1 位元的暫存器來保存輸入測試訊號，使用暫存器的好處是可以先在外圍運用軟體設計高階的  $\Delta$ - $\Sigma$  調變器得到非常高精準度的測試訊號之後再輸入電路內部。而測試輸入訊號的頻率必須滿足同調性取樣(coherent sampling)，可由下式 2.7 算出：

$$\frac{f_{stimulus}}{1} = \frac{f_{sampling}}{2252} = 5456 \text{ (Hz)} \quad (2.7)$$

讓周期數越低可以等倍數的降低資料暫存器的使用，因此等於 1 是最好的選擇。接下來的步驟，就遵循著(1)計算偏移誤差(2)計算增益誤差(3)計算雜訊能量，等等步驟進行。

作者提出的架構雖然可以讓輸入訊號達到極高的準確程度，但是整個架構卻具有一些未盡如人意的缺點。首先，此架構假設了待測物 ADC 在測試模式運作時具有額外閒置的降頻濾波器，大多數實際應用中並不是非常幸運的擁有此條件，因而對於許多普遍的 ADC 而言必須還要再把降頻濾波器的額外成本考慮進去。第二，觀察 2.7 式可發現，要測試 ADC 對較高頻輸入的性能表現只需使用較少個數的資料暫存器(例如 10912Hz 的測試訊號僅需使用 1126 個暫存器)，但是若要偵測 ADC 偏低頻(一般語音系統最重視的頻帶約在 1~5kHz 之間)的表現便需實際地增加暫存器的個數。因此系統硬體負擔會隨著測試頻帶最低頻的範圍增加而增加。第三，作者在計算輸出響應振幅來產生密合後的基準訊號時，使用了下列兩式：

$$Amp = 2 \cdot \frac{1}{N} \cdot \frac{1}{Amp_{ref}} \cdot \sum_{i=1}^N S_{out}[i] \cdot S_{ref}[i] \quad (2.8)$$

$$S_{ref\_fitted}[i] = Amp \cdot \frac{1}{Amp_{ref}} \cdot S_{ref}[i] + DC \quad (2.9)$$

其中  $Amp$ 、 $Amp_{ref}$ 、 $N$ 、 $S_{out}[i]$ 、 $S_{ref}[i]$ 、 $S_{ref\_fitted}[i]$ 、 $DC$  分別為振幅、基準訊號振幅、取樣點數、ADC 輸出響應訊號、基準訊號、密合過的基準訊號。可以得知在計算密合訊號的同時必須使用除法的架構，因此除了本來就必須使用的並列乘法器之外又多了一個除法器，除法器的架構在自我內建電路當中通常會佔有不少大小的晶片面積，因而極少採用。第四，作者實際測試時使用了如下圖 2.3.2 的環境，在最後應用 CSWF 演算法時並非使用真正的內建測試電路，而是把測試資料存起來之後使用 Matlab 數學軟體來實現，此種測試方法會造成測試時間的拉長，雖然只需要使用便宜的數位測試機台便可進行測試，但並且無法直接得到效能參數，仍然需要對輸出資料作額外的分析，後段的操作與 FFT 演算法並無太大不同。

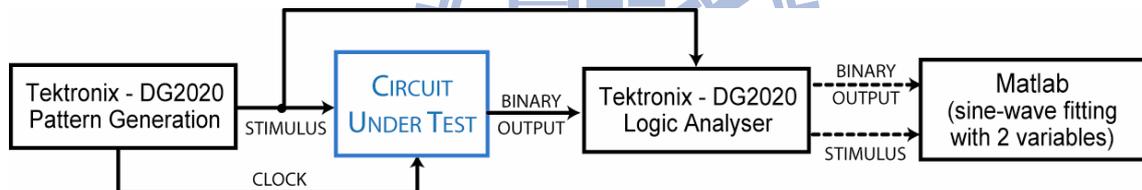


圖 2.3.2 直接數位頻率合成實現 CSWF 演算法實際測試環境

## 二、以無損式數位濾波積分器來實現 CSWF 演算法：

由上篇論文可知，對待測 ADC 進行自我測試所遭遇到最大的問題幾乎都來自於測試訊號源的產生，而本段所要介紹的另一種實現方法是本實驗室學長根據原始 CSWF 作者提出之理論的研究成果[3][4]。其使用兩個簡單的內建數位震盪器能在電路進行測試時同時提供輸入測試訊號與輸入基準訊號，以更低且固定的電路面積成本，在理論上達成頻寬內任意頻率、振幅的測試。無損式數位濾波積分器的電路架構類似於一個由放大器與電容電感組成的震盪器，(圖 2.3.3，其振盪頻率為  $\omega_0 = \frac{1}{\sqrt{LC}}$ ) 主要由兩個轉

換方程式為  $\frac{1}{(1-Z^{-1})}$  與  $\frac{Z^{-1}}{(1-Z^{-1})}$  的數位積分器所組成，如下圖 2.3.4 的

二階數位振盪器其特徵方程式為

$$Z^2 + (a_{12}a_{21} - 2)Z + 1 = 0 \quad (2.9)$$

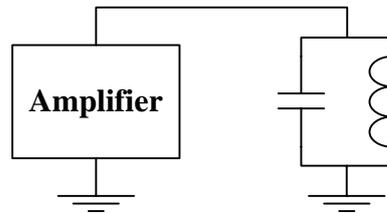


圖 2.3.3 放大器與電容電感形成的震盪器

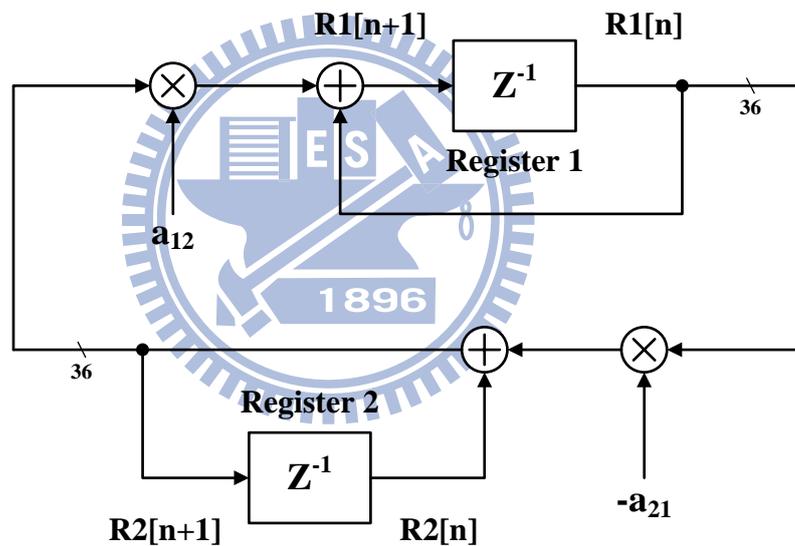


圖 2.3.4 二階數位振盪器

求出此數位震盪器特徵方程式的兩個根，可以得到極點的表示為

$$z_{1,2} = e^{\pm j \cos^{-1} \left( 1 - \frac{a_{12}a_{21}}{2} \right)}, \text{ 因此調整 } a_{12} \text{ 與 } a_{21} \text{ 的值來決定振盪頻率 } \omega_m,$$

$$\omega_m = \cos^{-1} \left( 1 - \frac{a_{12}a_{21}}{2} \right), \text{ 而振幅與相位則由兩個暫存器的值來決定。除此之}$$

外在迴路中加入一個二階的 $\Delta$ - $\Sigma$ 調變器來簡化此數位震盪器所需的乘法器，並且可同時將輸出的多位元數位弦波調變成待測 ADC 所需要的一位元



的特性，但是由於該數位振盪器只使用了二階的 $\Delta$ - $\Sigma$ 調變器，頻寬內的雜訊無法被濾除到足夠低的程度，使得迴路振盪的極點稍稍偏移了複數平面的 $Z$ 單位圓，此情形隨著頻率增加而更嚴重，最後能產生足夠精準的輸出只能到達6kHz左右。在6kHz的範圍之內，量測誤差與輸出FFT相減之後的誤差平均只有0.86dB。

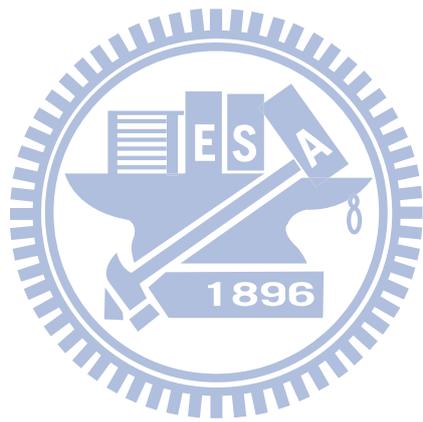
### 三、 比較與評估

下表 2-2 為總比較表，可以看出使用數位頻率合成將不會遭遇到測試訊號頻寬不足或是精準度不夠的問題，但可能會額外使用的降頻濾波器與低頻所需增加的暫存器面積將給硬體成本負擔帶來潛在的威脅。而使用內建數位振盪器無論在面積、測試精準度、動態範圍都比第一種方法來的更為優良，但使用數位振盪器帶來優點卻也造成了頻寬遠遠不足的限制。



表 2 - 2 兩種不同 CSWF 實現方法之比較表

	數位頻率合成	內建數位振盪器
位元流長度	2252	$2^{18}$
量測頻帶	5.5~24kHz	1~6kHz
訊號產生器	11.5k	2.35k/per
輸出響應分析器	(estimated)	5.6k
測試誤差	<1dB	<0.75dB
動態範圍	Up to -12dB	Up to -6dB
測試時間	30ms	128ms
總系統面積	>11.5k	11.9k
備註	總系統面積為估計值 不包含降頻濾波器	量測頻寬與動態範圍 受限於訊號產生器



# 第三章 以 SME 為基礎之內建自我測試方法

CSWF 演算法本身提供了良好的測試方式讓待測 ADC 藉由簡單的估算法便可以得出雜訊能量的大小，但是測試訊號產生器是個始終存在的且最值得考慮的問題，除此之外，使用 CSWF 演算法還有兩個需要注意的地方：(1)使用 CSWF 演算法中有待克服的地方其中之一便是相位補償，雖然  $\Delta$ - $\Sigma$  ADC 等具有固定相位延遲的待測物有簡單的解決辦法，但是對於類比濾波器等具有不固定相位延遲的待測物便很難進行相位偵測與補償的動作。(2)CSWF 演算法雖然可以測得待測 ADC 的 SNDR 效能參數，但對於某些其他應用，如求出第二諧波、第三諧波能量功率大小或是 SFDR、SNR 等等卻完全無法適用。因此，接下來要介紹本論文的主題：以弦波最小誤差演算法為基礎之內建自我測試方法，配合著寬頻域型的數位弦波產生器，可以在完整音頻的頻帶內，達成高精準度內建自我測試的目的，並且克服 CSWF 演算法兩個根本性的不足點。

## 3.1 弦波最小誤差測試方法

回顧之前的 CSWF 演算法，當我們已知待測 ADC 測試訊號輸入頻率時，在輸出端使用一個 Error-free 的訊號去密合輸出響應，相減得到雜訊在時域上的情形。BOSER 在[10]中提出了可測試超取樣 ADC 的 SME 演算法，同樣的也是使用類似弦波密合的技巧去得到一個主頻訊號，而最大的差異點有二：(1)SME 演算法同時在時域上與頻域上做運算，由離散傅立葉轉換表示式求得輸出響應在頻域上主頻的大小，並非如同 CSWF 演算法複製一個弦波來取得主頻訊號。(2)SME 演算法明確定義了有限頻寬內各個倍頻諧波的表示式，因此我們可以根據不同輸入設定求得各個倍頻上的分量。

使用弦波密合器技巧時，必須要產生一個與輸入測試源無誤差的弦波來表示

主頻率訊號，此弦波在 SME 演算法中也稱作模版(template)，而之前 CSWF 演算法中對輸出響應  $x[n]$  所使用的模板為  $\check{x}[n]$ ，表示式如下：

$$x[n] = \underbrace{\check{x}[n]}_{\substack{\text{CSWF} \\ \text{template}}} + \underbrace{e[n]}_{\substack{\text{residue} \\ \text{noise}}} \quad \check{x}[n] = \underbrace{A_0}_{\text{offset}} + \underbrace{A_1 \cos(n\omega_{in}T + \phi_1)}_{\text{signal}} \quad (3.1)$$

由式 3.1 中可知，對於單一頻率輸入的輸出響應  $x[n]$  而言，CSWF 演算法把所有諧波失真的分量以及待測 ADC 所產生的量化誤差、熱雜訊等等通通包含在一個殘留誤差函數  $e[n]$  之中，模版只代表了主頻率本身的訊號(即偏移  $A_0$ 、振幅  $A_1$ 、相位  $\phi_1$  等)。而在 SME 演算法中，用做密合的模板為一個包含主頻率弦波，且還加入了  $k-1$  項其餘部分倍頻諧波分量的函數  $\hat{x}[n]$ ，如下式：

$$x[n] = \underbrace{\hat{x}[n]}_{\substack{\text{SME} \\ \text{template}}} + \underbrace{e[n]}_{\substack{\text{residue} \\ \text{noise}}} \quad (3.2)$$

$$\hat{x}[n] = \underbrace{A_0}_{\text{offset}} + \underbrace{A_1 \cos(n\omega_{in}T + \phi_1)}_{\text{signal}} + \underbrace{\sum_{k=2}^K A_k \cos(k \cdot n\omega_{in}T + \phi_k)}_{\text{significant harmonic tones}}$$

理論上，由於待測 ADC 所產生的非線性效應，在 3.1 式下方右邊第三項， $k$  應該有無限項，但事實上大部分的較高階諧波項其值過於微小，以致於在 DFT 頻譜上他們的存在並不具有太多實質上的意義。因此在 SME 演算法中，模板包含的  $K-1$  項諧波分量將根據待測 ADC 的輸出響應以及使用者自訂的精確度做調整，殘留誤差函數  $e[n]$  只包含了部份的諧波成分，而其他有意義的諧波則在 SME 演算法模板中被清楚的定義出來。

而由 2-1 節回顧可知，一段有限長度為  $N$  的離散時間訊號  $x[n]$  可用離散傅立葉轉換對表示，如下兩式：

$$x[n] = \sum_{k=0}^{N-1} X[k] e^{j(2\pi/N)kn} \quad (3.3)$$

$$X[k] = \sum_{n=0}^{N-1} x[n] e^{-j(2\pi/N)kn} \quad (3.4)$$

當  $x[n]$  屬於實數序列時，可以利用其 DFT 轉換  $X[k]$  與  $X[N-k]$  共軛的特性，將  $\hat{x}[n]$  表示成如同 3.2 的形式，進一步整理即為離散時間傅立葉係數的表示方法，如下：

$$x[n] = \underbrace{\hat{x}[n]}_{\substack{\text{SME} \\ \text{template}}} + \underbrace{e[n]}_{\substack{\text{residue} \\ \text{noise}}} \quad (3.5)$$

$$\hat{x}[n] = \underbrace{A_0}_{\text{offset}} + \underbrace{\sum_{k=1}^{N-1} A_k \cos(k \cdot n\omega_{in}T) + B_k \sin(k \cdot n\omega_{in}T)}_{\text{signal + harmonic tones}}$$

(1) 上式中，可以根據需求自訂的  $K-1$  項的諧波分量在 DTFT 上由  $N-2$  項所取代，並且把相位  $\phi_k$  展開之後表示成正弦與餘弦的形式，式 3.5 的第二項在  $k=1$  時就是主頻率的大小， $A_1$ 、 $B_1$  可用求離散時間傅立葉係數的方式求得，並令  $A_1 = A_C$ 、 $B_1 = A_S$  代表餘弦與正弦上各自的分量，總整理如下：

**(A) output response = template + residue noise**  
**= offset + signal + harmonics + residue noise**

$$x[n] = \underbrace{A_0}_{\text{offset}} + \underbrace{A_C \cos(n\omega_{in}T) + A_S \sin(n\omega_{in}T)}_{\text{signal}} + \underbrace{\sum_{k=1}^{N-1} A_k \cos(k \cdot n\omega_{in}T) + B_k \sin(k \cdot n\omega_{in}T)}_{\text{harmonics}} + \underbrace{e[n]}_{\substack{\text{residue} \\ \text{noise}}} \quad (3.6)$$

**(B) signal tone**

$$\text{signal tone} = A_C \cos(n\omega_{in}T) + A_S \sin(n\omega_{in}T) \quad (3.7)$$

**(C) signal tone coefficients  $A_S$  &  $A_C$**

$$A_S = \frac{2}{N} \sum_{n=0}^{N-1} \sin(n\omega_{in}T) \cdot x_{AC}[n] \quad A_C = \frac{2}{N} \sum_{n=0}^{N-1} \cos(n\omega_{in}T) \cdot x_{AC}[n]$$

$$x_{AC}[n] = x[n] - \frac{1}{N} \sum_{n=0}^{N-1} x[n] \quad (3.8)$$

**(D) THD + N = output response - offset - signal**

$$r[n] = x[n] - A_0 - [A_C \cos(n\omega_{in}T) + A_S \sin(n\omega_{in}T)] \quad (3.9)$$

由上 3.8 與 3.9 式，SME 演算法是先從頻域上求得係數，得知主頻率在各時間點上大小之後，利用與 CSWF 演算法一樣弦波密合的技巧來計算雜訊功率。因此如下圖 3.1.1 所式，整個以弦波最小誤差為基礎的內建自我測試方法[11]主要分為三個步驟：

Step 1. 計算偏移誤差

$$offset = \frac{1}{N} \sum_{n=0}^{N-1} x[n] = A_0 \quad x_{AC}[n] = x[n] - A_0 \quad (3.10)$$

Step 2. 計算主頻率係數  $A_S$  與  $A_C$

$$A_S = \frac{2}{N} \sum_{n=0}^{N-1} \sin(n\omega_{in}T) \cdot x_{AC}[n], \quad A_C = \frac{2}{N} \sum_{n=0}^{N-1} \cos(n\omega_{in}T) \cdot x_{AC}[n] \quad (3.11)$$

Step 3. 計算雜訊與總諧波失真能量功率

$$P_{THD+N} = \frac{1}{N} \sum_{n=0}^{N-1} (x[n] - A_0 - A_S \sin(n\omega_{in}T) - A_C \cos(n\omega_{in}T))^2 \quad (3.12)$$

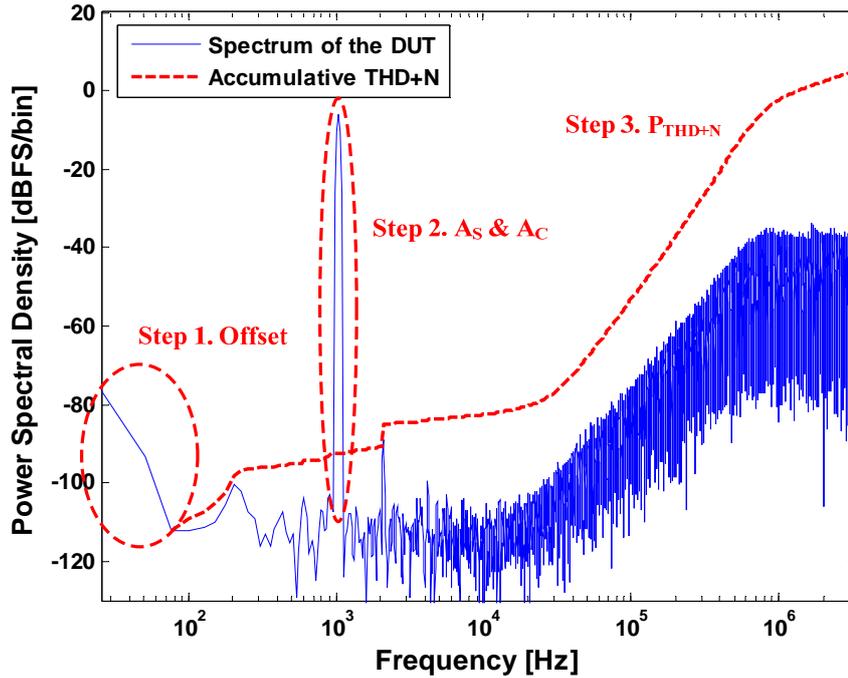


圖 3.1.1 弦波最小誤差測試操作步驟

## 3.2 以 SME 為基礎之 BIST 架構討論與分析

首先，先不考慮測試所需輸入之訊號產生器來源的問題，觀察 3.1 節 SME 演算法的三個步驟與圖 3.1.1，可以發有一個重要的假設必須成立：正常的測試操作情況下，對於不同時間兩次相同的測試訊號輸入而言，待測 ADC 所產生的輸出結果，特別是最低頻的成分，在頻譜上兩次的結果必須要非常相近。這是因為我們在分別執行三個操作步驟時我們假設輸出響應  $x[n]$  為一組固定不變的值，然而實際上在計算偏移誤差、主頻率的兩個係數、以及雜訊能量時，總共需要讓待測 ADC 接受四次的測試訊號，若是待測 ADC 輸出響應的偏移誤差每次結果都有一定程度的差距，最後一步驟計算雜訊能量時，前次得出的  $A_0$  與該次  $x[n]$  平均值兩者之間的誤差會造成結果不準確。此點可由以下說明，回顧 3.12 式：

$$P_{THD+N} = \frac{1}{N} \sum_{n=0}^{N-1} (x[n] - A_0 - A_S \sin(n\omega_in T) - A_C \cos(n\omega_in T))^2 \quad (3.12)$$

假設主頻率係數在正常的情況下進行計算，但第一步驟偏移誤差與第三步驟偏移

誤差相差  $\Delta A_0$ ，第三步驟輸出響應可表示為：

$$x[n] \cong \Delta A_0 + A_0 + A_S \sin(n\omega_{in}T) + A_C \cos(n\omega_{in}T) + r[n] \quad (3.13)$$

在如上情況下，把 3.13 式代入 3.12 式可發現：

$$\begin{aligned} \hat{P}_{THD+N} &= \frac{1}{N} \sum_{n=0}^{N-1} (\Delta A_0 + r[n])^2 \\ &= \Delta A_0^2 + \frac{1}{N} \sum_{n=0}^{N-1} (2\Delta A_0 \cdot r[n] + r[n]^2) \cong \Delta A_0^2 + P_{THD+N} \end{aligned} \quad (3.14)$$

在此使用了  $\hat{P}_{THD+N}$  及  $P_{THD+N}$  分別表示偏移誤差不固定的雜訊功率以及待測 ADC 原始的雜訊功率，當我們對一個實際頻寬內原始雜訊能量功率平均約為 -80dB 的待測 ADC 進行測試時，若  $\Delta A_0$  等於 0.005 滿刻度值，由 3.14 式可知道不固定的偏移誤差讓計算出的雜訊功率由正確的 -80dB 變成 -78.06dB，這將會明顯錯估待測 ADC 的性能，造成量測結果可信度降低。因此在使用 SME 演算法等需要分析待測 ADC 多次輸出的內建自我測試架構之前，必須要先確保待測 ADC 偏移誤差的不固定範圍在合理可接受的範圍內，所幸，幾乎所有適用此測試方法的待測 ADC 皆擁有此特性，讓 SME 演算法的精確度不致受到偏移誤差變動所影響。

在討論過了以上確定 SME 演算法能適用的基礎之後，便可以開始分析此架構的設計要點。而影響測試結果最重要的非訊號產生源莫屬，也就是數位振盪器，對於 SME 演算法而言總共需要三組數位振盪器，一組輸入給待測 ADC，另外兩組當做基準訊號(reference signal)。給待測 ADC 的數位振盪器稱作 BSG\_MUT，回顧表 1-1，BSG\_MUT 的最低解析度需要比待測 ADC 高上 20dB，即 96dB，如此輸出響應才能足夠真實的反映待測 ADC 的真實效能，頻寬也必須達到 24kHz，而基準訊號稱作 BSG\_SIN 與 BSG\_COS，這兩者的相位差要儘可能的接近 90 度，才不會讓產生的主頻率訊號有相位偏移影響計算結果。下圖 3.2.1 為不考慮硬體位元寬度時，基準訊號兩者之間的相位差對應最大可測得之 SNDR，對於我們的待測物而言基準訊號相位差需要小於 0.01 度才可正常工作。

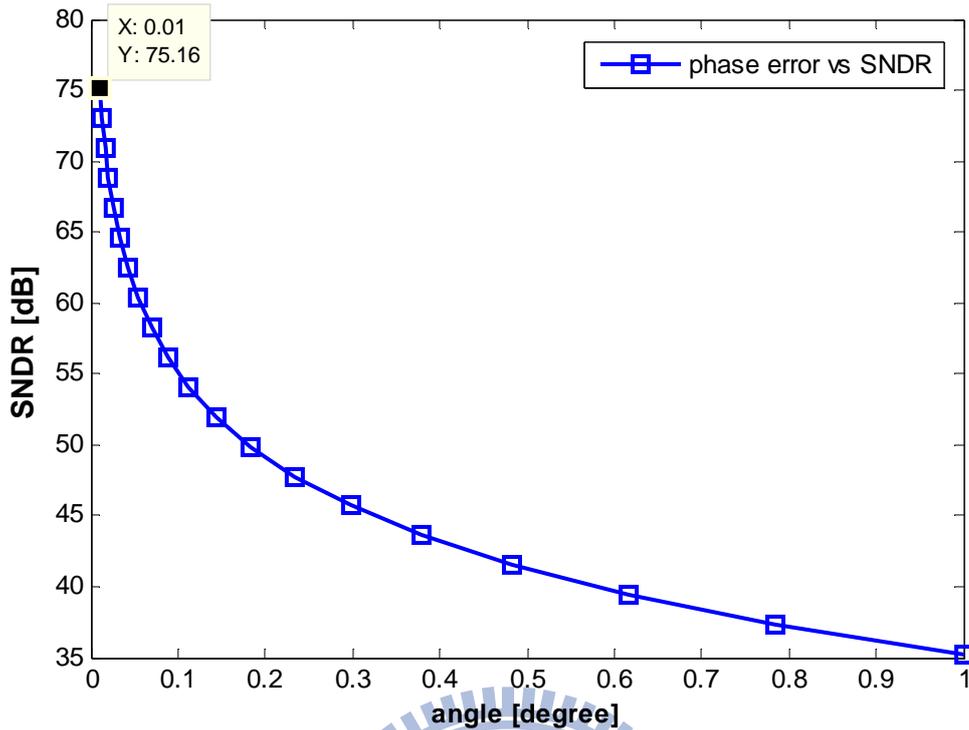


圖 3.2.1 基準訊號相位差對應最大可測得解析度

除了數位振盪器之外，SME 演算法同時還需要其他運算元件，下圖 3.2.2 為一個以 SME 演算法所提出之內建自我測試電路架構[12]，包含待測 ADC(AUT)，三組數位振盪器(BSG1、BSG2、BSG3)，一個串列乘法器與估算器，三組暫存器分別存放偏移誤差、主頻率大小、以及雜訊能量大小等係數。此架構雖然比起之前介紹的兩種 CSWF 內建自我測試方法有著更高的測試精準度，但是由於硬體上使用了三組寬頻域的數位振盪器，比起 CSWF 演算法而言總面積將會大幅增加。因此在下一小節將會先介紹數位振盪器架構的設計，接著會提出一個改良型的硬體架構來實現 SME 演算法，在測試精準度以及硬體面積之間取得平衡。

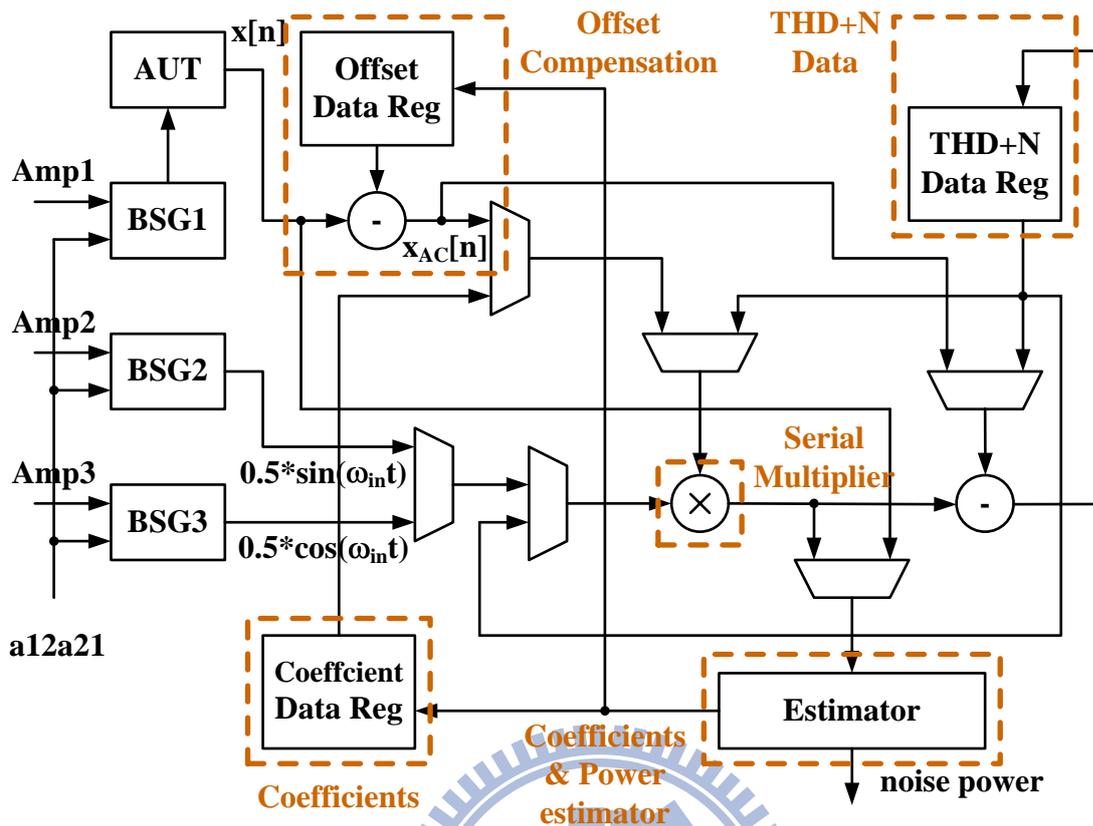


圖 3.2.2 第一版以 SME 演算法實現之內建自我測試電路

### 3.3 數位振盪器設計

如圖 3.3.1 為 Tuner 所提出的無損式數位積分振盪器[13]，同第二章第三節圖 2.3.4，由兩個轉換方程式為  $\frac{z^{-1}}{1-z^{-1}}$  與  $\frac{1}{1-z^{-1}}$  的積分器所構成，閉迴路中含有兩個可變的迴路係數  $a_{12}$ 、 $-a_{21}$ ，決定整個振盪器的輸出振盪頻率，暫存器 R1 與 R2 的初始值則影響振幅與相位。無損式數位積分振盪器如同圖 2.3.3 由放大器、電容、電感組成的振盪器一般， $a_{12}$ 、 $-a_{21}$  兩個係數的些微誤差並不會影響振盪的情況，只會稍稍影響振盪的頻率。

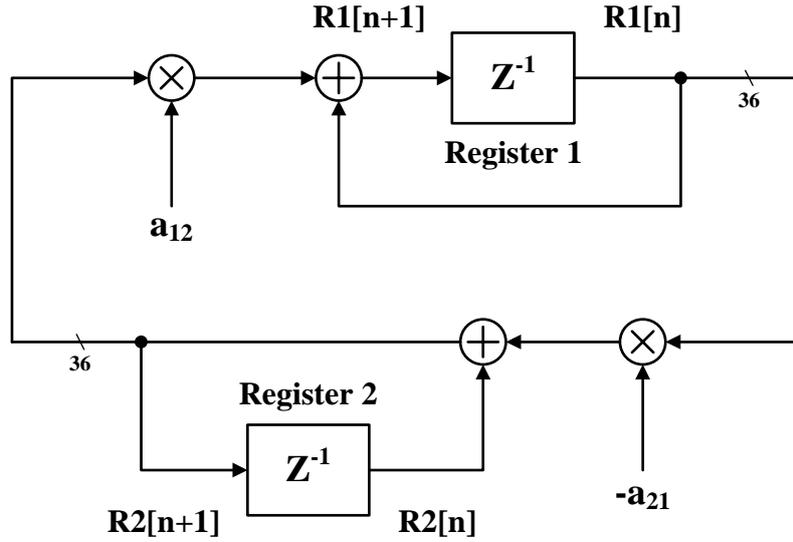


圖 3.3.1 無損式數位積分振盪器

令兩個暫存器的輸出值為  $R1(n)$  與  $R2(n)$ ，推導此電路方塊的特徵方程式，可以列出兩個差分方程式：

$$R1[n+1] = R1[n] + a_{12} * R2[n+1] \quad (3.15)$$

$$R2[n+1] = R2[n] + [-a_{21}] * R1[n] \quad (3.16)$$

進一步將式 3.15 與 3.16 整理合併，並且執行  $Z$  轉換可得：

$$z^2 R1[n] + z(a_{12}a_{21} - 2)R1[n] + R1[n] = 0 \quad (3.17)$$

所以特徵方程式即為式 3.18，兩個根為式 3.19：

$$z^2 + (a_{12}a_{21} - 2)z + 1 = 0 \quad (3.18)$$

$$z_{1,2} = \left(1 - \frac{a_{12}a_{21}}{2}\right) \pm \frac{1}{2} \sqrt{a_{12}a_{21}(a_{12}a_{21} - 4)} \quad (3.19)$$

相對於係數  $a_{12}a_{21}$  在  $(0, 2]$  與  $(2, 4)$  的兩段區間時，兩個根  $z_{1,2}$  的表示式為：

$$z_{1,2} = \begin{cases} e^{\pm j \cos^{-2}\left(1 - \frac{a_{12}a_{21}}{2}\right)} & \text{for } 0 < a_{12}a_{21} \leq 2 \\ e^{\pm j \left(\pi - \cos^{-2}\left(1 - \frac{a_{12}a_{21}}{2}\right)\right)} & \text{for } 2 < a_{12}a_{21} < 4 \end{cases} \quad (3.20)$$

相對於取樣頻率  $f_s$  產生的振盪頻率  $\omega_{in}$ ：

$$\omega_{in} = \begin{cases} f_s * \frac{\cos^{-1}(1 - \frac{a_{12}a_{21}}{2})}{2\pi} & \text{for } 0 < a_{12}a_{21} \leq 2 \\ f_s * \frac{(\pi - \cos^{-1}(1 - \frac{a_{12}a_{21}}{2}))}{2\pi} & \text{for } 2 < a_{12}a_{21} < 4 \end{cases} \quad (3.21)$$

因此，適當的調整迴路係數  $a_{12}a_{21}$  便可以準確的控制振盪頻率，把  $a_{12}a_{21}$  對產生的振盪頻率  $0 \sim \frac{f_s}{2}$  正規化作圖如下：

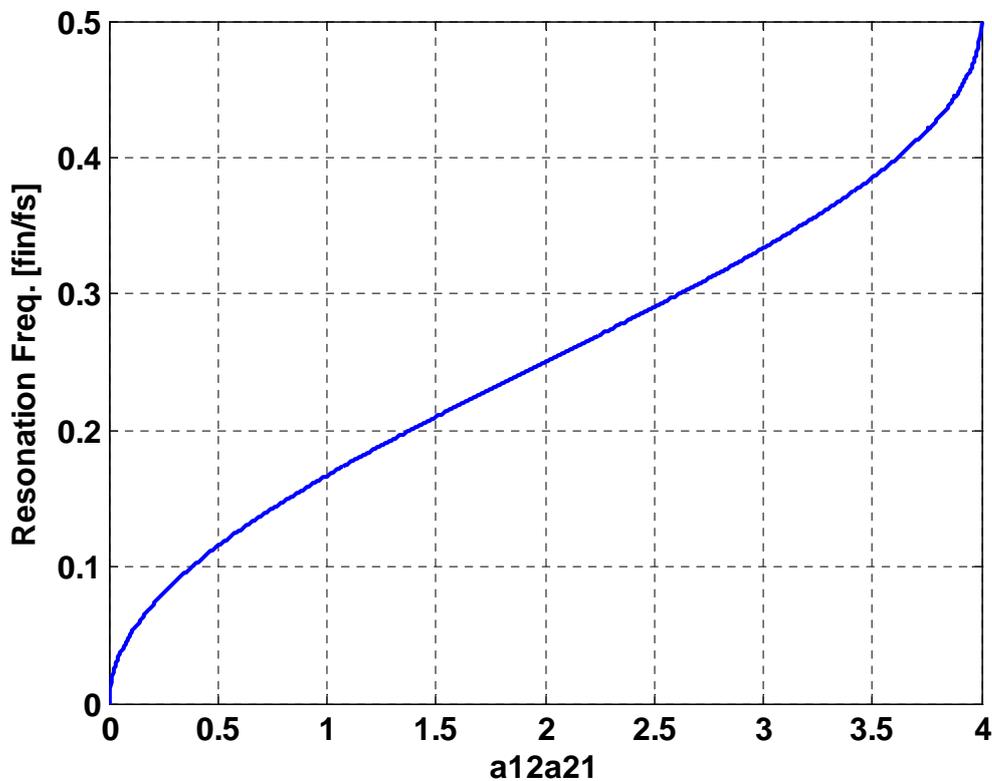


圖 3.3.2 迴路係數  $a_{12}a_{21}$  對應輸出振盪頻率

除了振盪頻率之外，回憶之前提及可由  $R1[n]$ 、 $R2[n]$  初始狀態決定數位振盪器振幅、相位的性質，將數位輸出  $R1[n]$  表示成振幅為  $A$ 、相位  $\phi$  的弦波如下式：

$$R1[n] = A \sin(n\omega_{in}T + \phi) \quad (3.22)$$

$$R1[0] = A \sin(\phi) \quad (3.23)$$

將  $n=0$  代入 3.15 與 3.16 式，並且利用上方兩個表示式，列出  $A$ 、 $\phi$  與暫存器初

始值的關係式為：

$$A = \frac{(1 - a_{12}a_{21})R1[0] + a_{12}R2[0]}{\sin(\omega_{in}T + \phi)} \quad (3.24)$$

$$\phi = \tan^{-1} \left( \frac{R1[0]\sin(\omega_{in}T)}{R1[0](1 - a_{12}a_{21} - \cos(\omega_{in}T)) + a_{12}R2[0]} \right) \quad (3.25)$$

由上可知無論是  $A$  或  $\phi$  皆受到迴路係數  $a_{12}a_{21}$  影響，而  $A$ 、 $\phi$  的值由  $R1[0]$ 、 $R2[0]$  以及彼此的影響決定。若要產生一個振幅為 0.5 的 22kHz 正弦波，首先要設定  $a_{12}a_{21}$ ，接下來令  $\phi = 0^\circ$ ，則  $R1[0] = 0$  代入 3.24 式決定  $R2[0]$ ，三個參數設定好之後便可以開始啟動振盪。而若  $\phi \neq 0^\circ$  時，例如  $90^\circ$ ，則可令 3.25 式分數下方  $R1[0](1 - a_{12}a_{21} - \cos(\omega_{in}T)) + a_{12}R2[0] = 0$  與 3.35 式求解聯立方程式的答案。振盪產生的輸出頻譜如下圖 3.3.3：

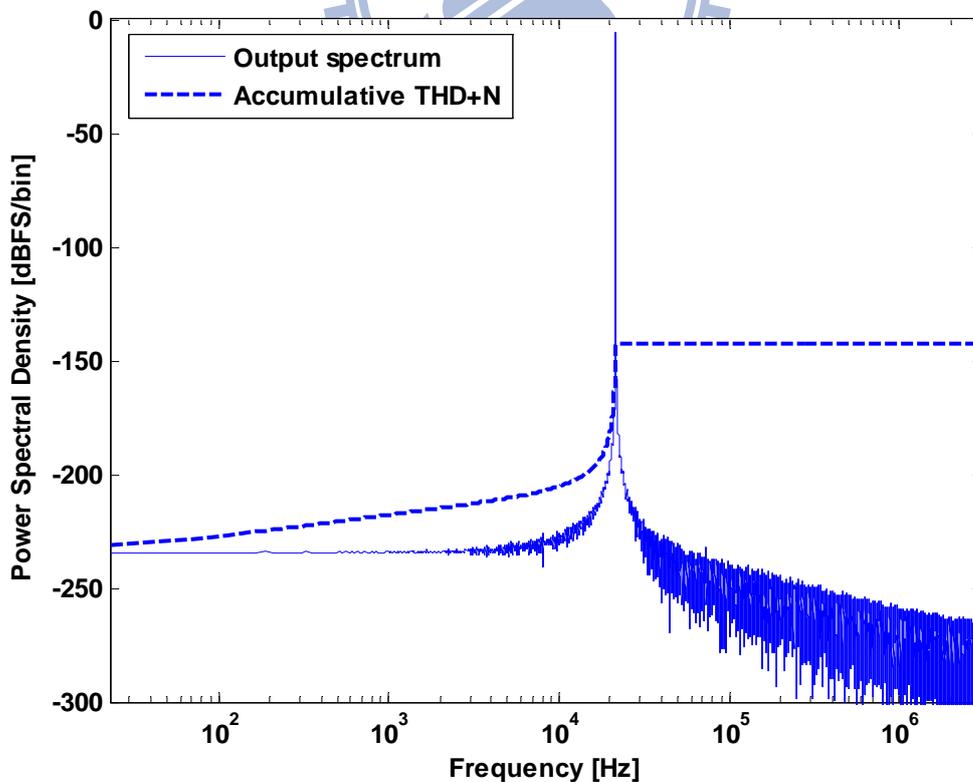


圖 3.3.3 振盪器輸出 - 振幅 0.5 之 22kHz 餘弦波頻譜

雖然以 36 位元的寬度實現以上數位振盪器的架構可以符合測試準度要求，但是其中的  $a_{12}$ 、 $a_{21}$  係數需要兩個並列乘法器，以 36 位元寬度而言將會大幅增加自我測試硬體的面積。而根據 Albert K. Lu 提出的無乘法器(multiplier-free)架構[14]，如圖 3.3.4 粗線所示，將三角積分調變器插入到迴路當中以節省掉原本 36 位元並列乘法器。根據第一章第四節：一個三角積分調變器把多位元的輸入調變成低解析度的一位元 PDM 訊號，同時在過程中使用的一位元量化器會等效於在輸出加入許多量化誤差。圖 3.3.4 告訴我們，由於調變器的 STF=1，因此振盪器在幾乎保持原本正常運作狀態的情況下，能夠讓調變後的一位元輸出利用簡單的 1x36 位元乘法器，也就是簡單的多工器與原本圖 3.3.1 的  $a_{21}$  係數相乘，而在量化過程中產生的雜訊將會被塑形到訊號頻帶以外的地方。相對於  $a_{21}$ ， $a_{12}$  可以被選擇為 2 的冪次方來簡化硬體需求，因此在此架構中完全不需要任何乘法器。

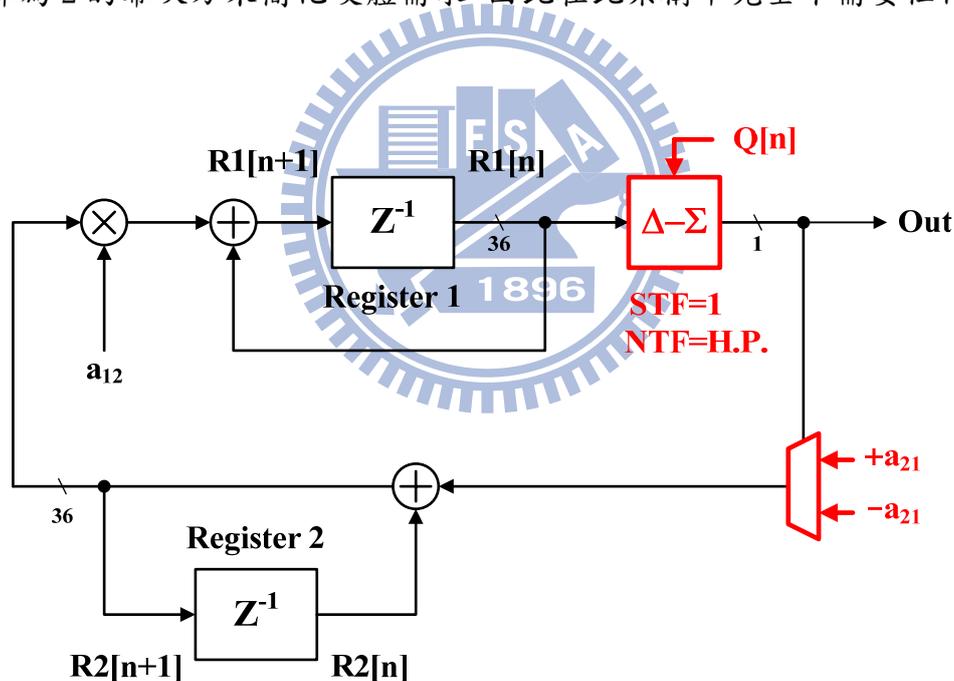


圖 3.3.4 將三角積分調變器移至迴路內的無乘法振盪器

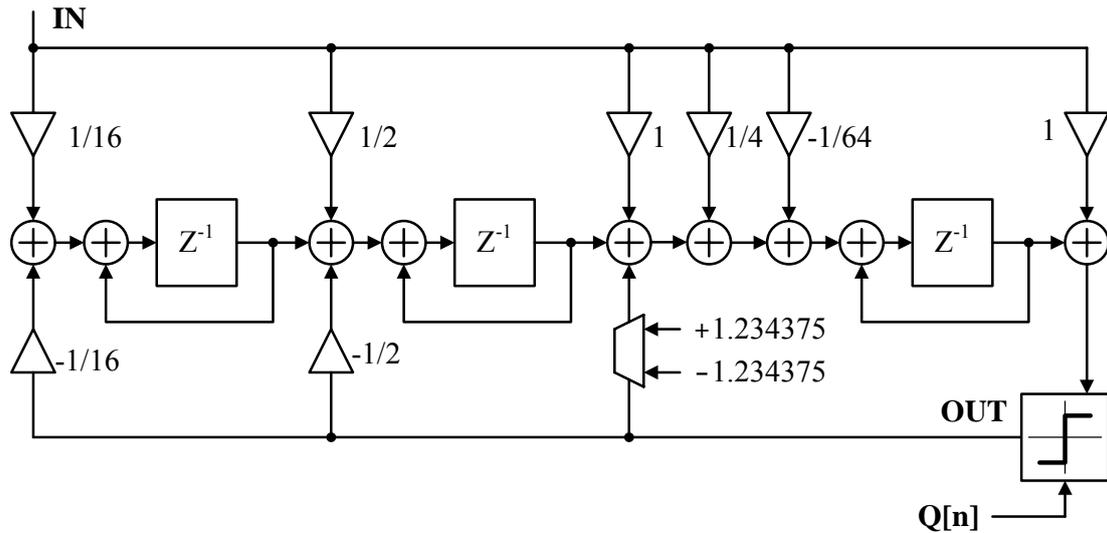


圖 3.3.5 三階三角積分調變器

上圖 3.3.5 為數位振盪器中所使用的三階三角積分調變器架構圖，所有的係數皆採用 1/2 的倍數以節省硬體資源，輸入  $IN$  與輸出  $OUT$  間的轉換程式為  $OUT(z) = IN(z) \cdot STF(z) + Q(z) \cdot NTF(z)$ ，其中  $STF$  與  $NTF$  為：

$$STF(z) = 1$$

$$NTF(z) = \frac{1}{\frac{1}{16}DI(z)^3 + \frac{1}{2}DI(z)^2 + \left(1 + \frac{1}{4} - \frac{1}{64}\right)DI(z) + 1} \quad (3.26)$$

$$DI(z) = \frac{z^{-1}}{1 - z^{-1}}$$

$NTF$  在頻譜上產生的響應如圖 3.3.6 短斷線所示，轉換的能量大小隨著頻率增加而增加，形狀呈現出一個往高頻上升的斜坡，除此之外在下方加入了此振盪器的輸出頻譜，由粗點線代表振盪器輸出的累加雜訊能量可以看出其雜訊的確受到  $NTF$  所塑形，分布狀況與雜訊轉換方程式的頻譜形狀相似，因此抑制了 24kHz 頻帶內的雜訊並把其推展到高頻區段。

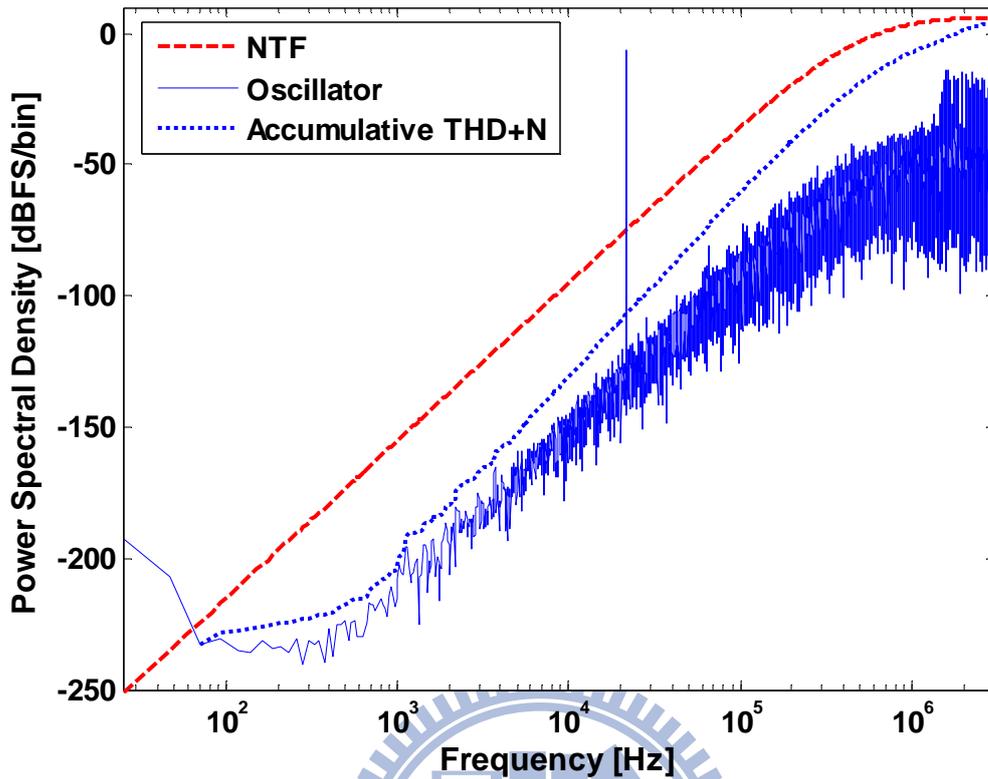


圖 3.3.6 雜訊轉換方程式產生的雜訊塑形效果

調變後的結果雖然具有極大的優點，但是新加入的調變器卻給振盪頻寬帶來決定性的限制，主要原因是因為調變器改變了原始電路的特徵方程式，讓振盪在頻帶內高頻區段時變的不穩定。首先重新推導數位振盪器的新特徵方程式：

$$\left( z^2 + (a_{12}a_{21} - 2) \cdot z + 1 \right) + \underbrace{\frac{a_{12}a_{21} \cdot z \cdot Q(z) \cdot NTF(z)}{R1(z)}}_{\text{extra term}} = 0 \quad (3.27)$$

與原本的 3.18 式相比多出了右方的額外項，由於振盪器要穩定振盪必須要使  $z$  落在單位圓上，而新增的額外項會讓  $z$  稍稍偏離單位圓。由圖 3.3.2，在振盪頻率較低時， $a_{12}a_{21}$  趨近於零，因此特徵方程式的額外項可以被忽略，但是當輸出振盪頻率增加讓  $a_{12}a_{21}$  變大，使得  $\frac{a_{12}a_{21} \cdot z \cdot Q(z) \cdot NTF(z)}{R1(z)}$  不可被忽略時，振盪的平衡情形便會被破壞而不穩定。

使用三階三角積分調變器時，Albert K. Lu 提出的架構在振盪頻率超過 10kHz

之後其 SNDR 便會下降到 95dB 以下，低於我們在第一章所要求的目標 96dB，這將會明顯的限制內建自我測試的應用頻寬。因此需要使用另一種振盪頻域較寬的數位振盪器[15]，如下圖 3.3.7：

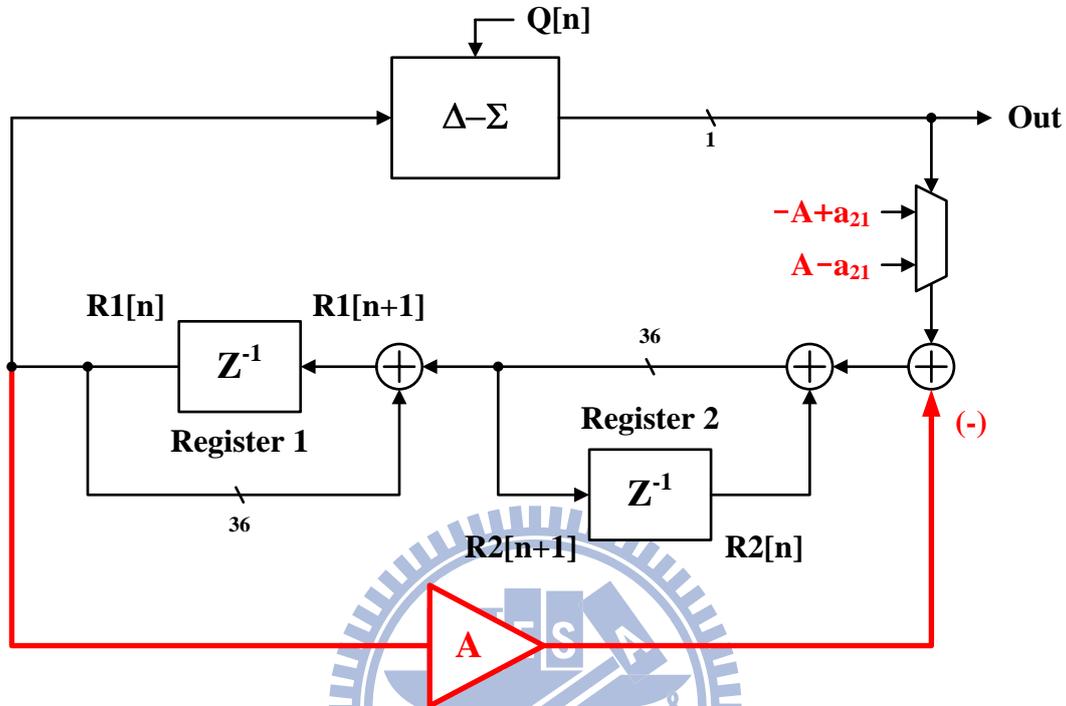


圖 3.3.7 多了可變增益 A 的振盪器

此數位振盪器在迴路當中加入了可變增益 A，讓特徵方程式變為：

$$\left(z^2 + (a_{12}a_{21} - 2) \cdot z + 1\right) + \underbrace{\frac{(a_{12}a_{21} - A) \cdot z \cdot Q(z) \cdot NTF(z)}{R1(z)}}_{\text{with gain } A} = 0 \quad (3.28)$$

注意到新的特徵方程式與原本的式子只相差在第二個額外項的  $(a_{12}a_{21} - A)$  部分，當可變增益 A 的大小被設定為接近  $a_{12}a_{21}$  時， $(a_{12}a_{21} - A) \approx 0$ ，額外項也會近似於零，會讓特徵方程式變成原本的：

$$\left(z^2 + (a_{12}a_{21} - 2) \cdot z + 1\right) + \underbrace{0}_{\text{with gain } A} = 0 \quad (3.29)$$

使得因為插入三角積分調變器多出來的  $NTF(z)$ ，對較高頻振盪的區域影響變小。雖然改進過的數位振盪器能夠讓振盪維持穩定，但可變增益 A 相當於一個乘法器，和使用三角積分調變器節省乘法器使用帶來的好處正好互相抵消，因此實

際在應用時的可變增益 A 是以五個移位器與四個加法器來取代，在測試頻寬與硬體面積取得平衡，如下圖 3.3.8：

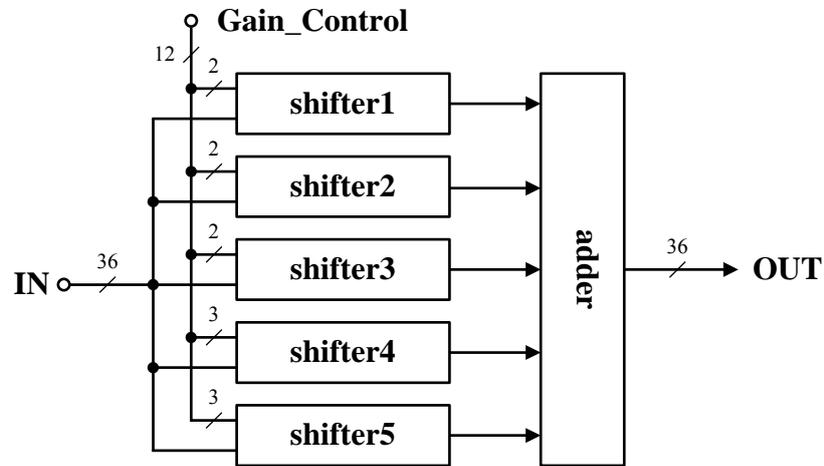


圖 3.3.8 以五個移位器與加法器實現可變增益 A

使用此種方法實現的可變增益 A，其中的每個位移器都有著 2 或 3 位元的增益控制訊號，且每個位移器可位移的寬度皆經過設計以期在 1~24kHz 的頻帶間能產生最多組也最趨近於目標測量頻率的  $a_{12}a_{21}$ 。

下圖 3.3.9 為原本插入三角積分調變器與使用可變增益之後的數位振盪器輸出比較圖，原先在訊號對雜訊斜坡失真比要求大於 96dB 的情況下約只能在 12kHz 以下的頻寬量測，但是使用了可變增益 A 之後讓振盪情形在 22kHz 的頻寬之內皆能穩定。

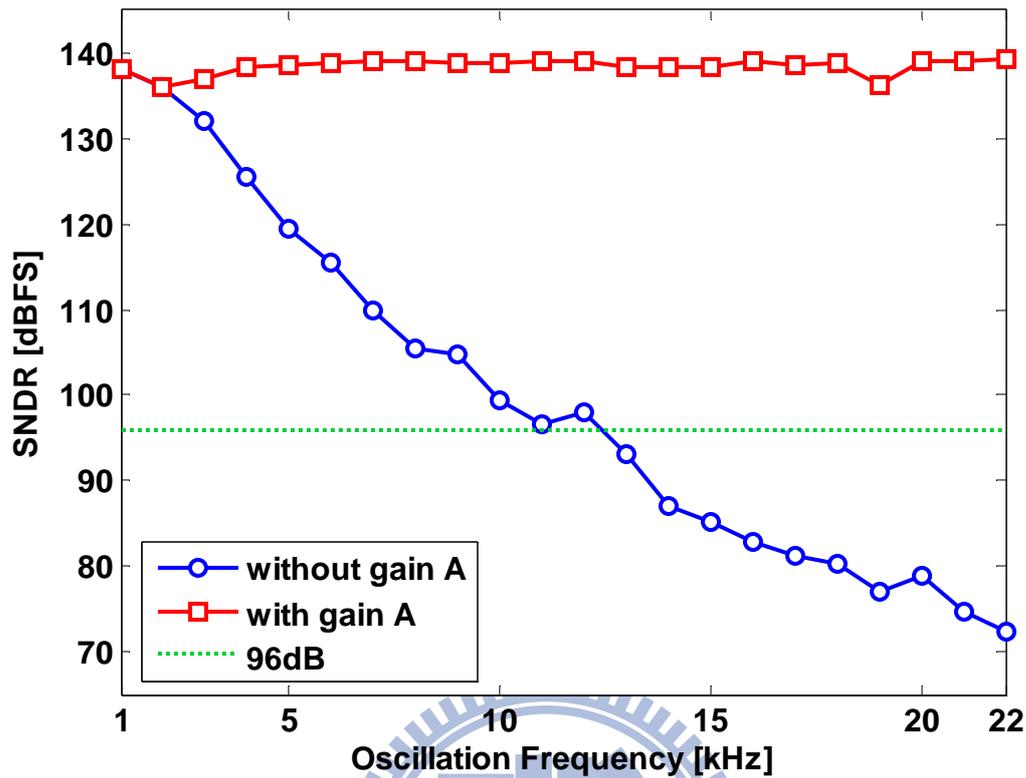


圖 3.3.9 使用可變增益增加測試頻寬比較圖

雖然以上方法有效的在硬體面積與測試頻寬之間取的平衡，但是如表 3-1 所示，此種頻域較寬的振盪器比原本的無乘法振盪器面積大了一倍以上，並且根據 SME 的演算法我們將會需要三組振盪器，加上輸出響應分析器與測試資料的傳送與儲存模組總共使用了約 25k 個邏輯閘，其中一個振盪器便佔了總面積的四分之一。因此相對於只需使用兩組訊號產生器便可以進

表 3 - 1 以較寬頻域振盪器實現之自我測試電路面積比較

	Multiplier -Free Oscillator	Wider -Frequency Oscillator	Output Response Analyzer	Scan-In & Scan-Out	Total BIST System
Gate Count	3.05k	6.32k	4.14k	1.6k	25k

行量測的 CSWF 演算法而言，增加測試頻寬所帶來的硬體消耗來的更難以令人接

受，因此在下小節將提出能夠節省一組數位振盪器，同時在不損失測量精確度之下的硬體改進架構。

### 3.4 改良型的 SME 演算法內建自我測試電路架構

下圖 3.4.1 展示了改良過後的電路架構，左方的三組訊號源會根據控制電路的輸入產生想要的測試訊號，BSG\_MUT 產生 1 位元的 PDM 訊號經過待測 ADC 之後產生輸出響應  $x[n]$ ， $x[n]$  消除偏移誤差後得到的  $x_{AC}[n]$  便可以與基準訊號 BSG\_COS、BSG\_SIN 透過估算器求得主頻率係數  $A_S$ 、 $A_C$ ，計算  $P_{THD+N}$  會使用到的係數都會被存在右方的四個暫存器之內，最後一步驟計算完

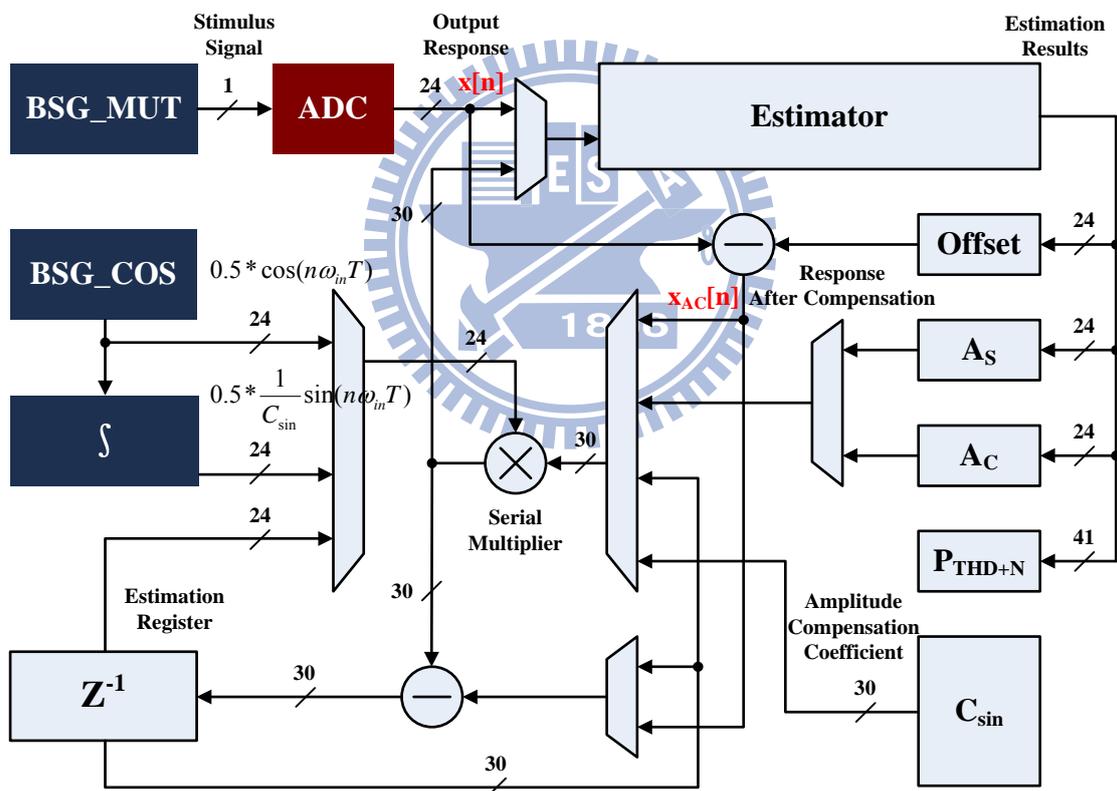


圖 3.4.1 以積分器簡化之 SME 演算法內建自我測試電路

$P_{THD+N}$  所有的暫存器會被清空等待下一次的測試入設定。由於演算法本身為固定，因此我們仍然需要三組訊號源，但是除了供給待測物的數位振盪器必須要能任意控制振幅、相位、頻率之外，另外兩組基準訊號的振幅與相位卻是永遠固定，差別只在頻率必須隨著測試信號做改變，因此我們能夠從兩個基準訊號著手來簡

化硬體電路。由於兩個基準訊號 BSG\_COS 與 BSG\_SIN 相位相差 90 度，若是將其中的一組訊號積分便可以得到所需求的另一組訊號，在圖中我們使用了積分符號代表數位積分器的電路方塊，由於 cosine 波積分後不含負號，計算上較直觀也較方便，因此選擇將 BSG\_COS 做積分，經過數位積分器後如下式：

$$0.5 * \cos(n\omega_{in}T) \xrightarrow{\int} 0.5 * \frac{1}{C_{\sin}} \sin(n\omega_{in}T) \quad (3.30)$$

需要做振幅補償的係數為  $C_{\sin} = \frac{\pi \cdot f_{in}}{f_s}$ ，因此在圖 3.4.1 電路中需要額外增加一個振幅補償暫存器。

而積分器電路則是使用雙線性轉換(bilinear transform)，把 s 平面上實際對應到 z 平面的點經過一階近似映射到 z 平面上，如下式：

$$\begin{aligned} z &= e^{sT} \\ s &= \frac{1}{T} \ln(z) = \frac{2}{T} \left[ \frac{z-1}{z+1} + \frac{1}{3} \left( \frac{z-1}{z+1} \right)^3 + \frac{1}{5} \left( \frac{z-1}{z+1} \right)^5 + \frac{1}{7} \left( \frac{z-1}{z+1} \right)^7 + \dots \right] \quad (3.31) \\ &\approx \frac{2}{T} \frac{z-1}{z+1} \approx \frac{2}{T} \frac{1-z^{-1}}{1+z^{-1}} \end{aligned}$$

而因為對某函數  $h(t)$  的積分對應到 s 平面上的拉普拉斯轉換為

$L\left(\int h(t) dt\right) = \frac{1}{s} H(s)$ ，因此積分器電路的轉換方程式即可近似為：

$$\boxed{\int} \approx \frac{1}{s} = \frac{T}{2} \frac{1+z^{-1}}{1-z^{-1}} \quad (3.32)$$

由 3.32 式可得出積分器硬體電路很簡單地由兩個暫存器與一個加法器所構成，如下圖 3.4.2，其硬體電路比起單一個振盪器少了 3 個暫存器與 15 個加法器，大幅降低了內建自我測試的成本。

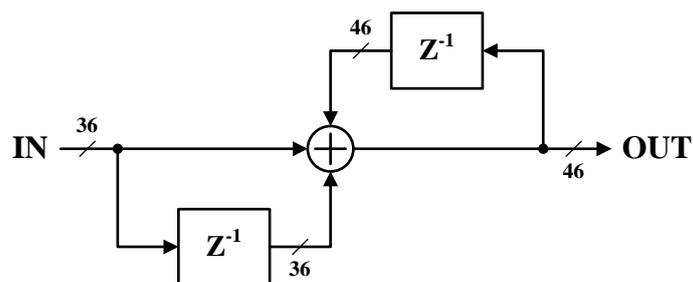


圖 3.4.2 經由雙線性轉換得出之數位積分器電路

下表 3-2 就邏輯閘數大小，比較了之前兩種使用三階三角積分濾波器與數位積分器之間的硬體耗費程度，可以得知使用了可變增益 A 的振盪器比無

表 3 - 2 無乘法、較寬頻域數位振盪器以及積分器比較

	Multiplier -Free Oscillator	Wider -Frequency Oscillator	Bilinear -Transform Integrator
Gate Count	3.05k	6.32k	1.1k
percentage	48.3%	100%	17.4%

乘法振盪器多了一倍以上的面積，而使用積分器則大幅降低了較寬頻域振盪器 82.6% 的面積。

### 3.5 改善積分器電路所帶來的測量問題

圖 3.5.1 為使用積分器實現之 SME 演算法架構其實際待測物輸出響應頻譜與自我測試電路計算之雜訊頻譜圖，測試頻率為 5kHz，輸入振幅為 0.5，自我測試電路計算之 SNDR 結果與實際待測物的 SNDR 相差 1.1dB，而未使用積分器的結果誤差平均只有 0.3dB。造成測試誤差如此大的原因是因為內建的自我測試電路將主頻率消除之後，剩下的雜訊與諧波失真在頻譜上卻含有一個很大的低頻分量，

正常而言自我測試的雜訊頻譜在主頻率以外的地方應

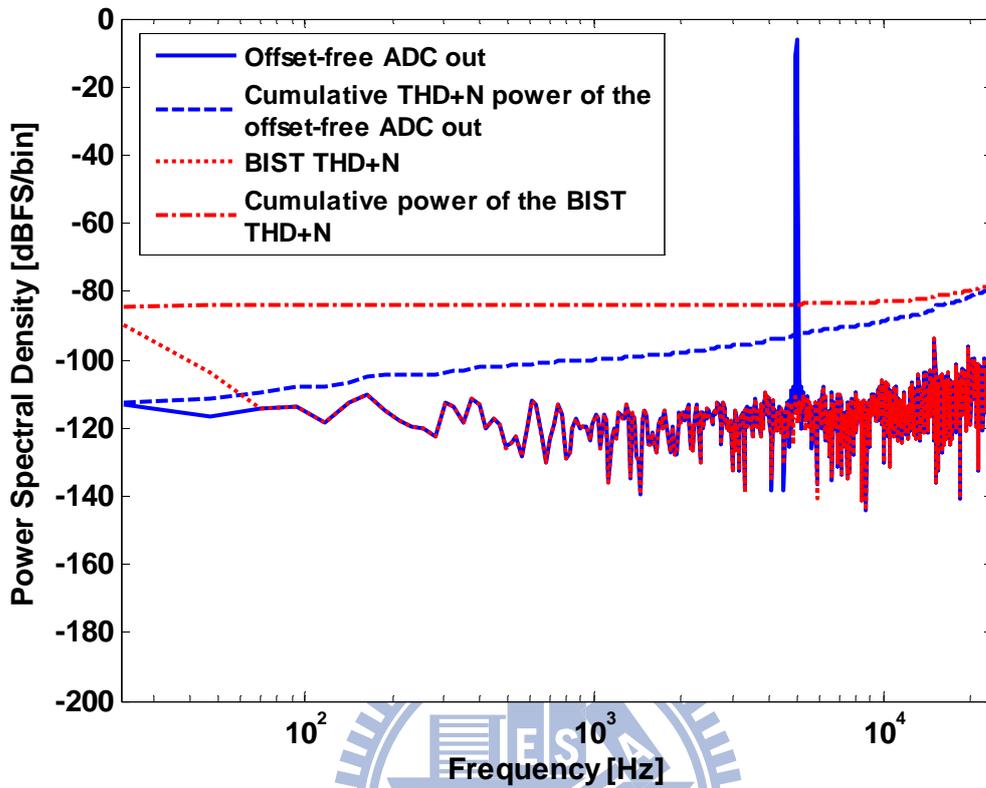


圖 3.5.1 實際輸出與自我測試電路在低頻時的差異

該要與輸出響應的頻譜幾近重合，但此分量成份讓計算出來的雜訊能量累加曲線從低頻就開始分歧，直到其他頻率的能量累加足夠時兩條曲線才漸漸重合。

至於為何在使用積分器電路之後才產生額外的低頻偏移成分呢？由積分電

路的轉換方程式中含有  $\frac{1+z^{-1}}{1-z^{-1}}$  可知其零點-極點圖如下：

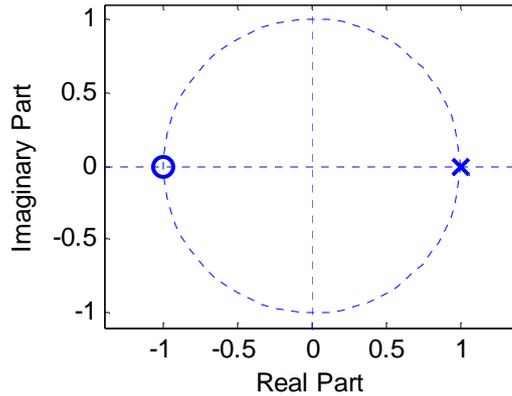


圖 3.5.2 積分器零點-極點圖

在最低頻以及最高頻分別產生的極點與零點使得積分電路像一個低通濾波器，把輸入中任何微小的偏移量放大。回顧圖 3.4.2 的積分電路其輸出輸入關係為：

$$OUT[n] = IN[n] + IN[n-1] + OUT[n-1] \quad (3.33)$$

因此若對於每筆輸入  $IN[n]$  帶有少許的偏移成分  $\Delta$  使得  $IN[n] \Rightarrow IN[n] + \Delta$ ，則帶入 3.33 式可將其改寫為：

$$\begin{aligned} OUT[n] &= IN[n] + \Delta + IN[n-1] + \Delta + \\ &\quad IN[n-1] + \Delta + IN[n-2] + \Delta + \\ &\quad IN[n-2] + \Delta + IN[n-3] + \Delta + \dots \\ &= IN[n] + IN[n-1] + OUT[n-1] + (2n-1) \cdot \Delta \end{aligned} \quad (3.34)$$

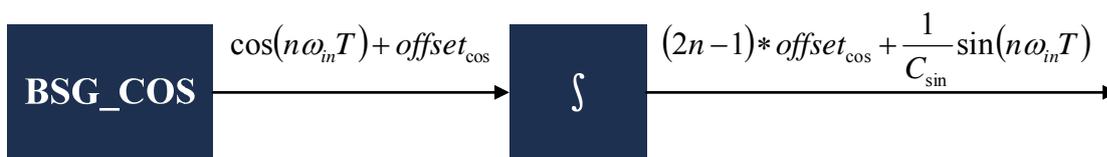


圖 3.5.3 帶有偏移誤差量的基準正弦波訊號

因此輸出結果如上圖，基準餘弦訊號振盪器其中帶有可忽略的餘弦偏移誤差量  $offset_{cos}$ ，在經過積分電路之後被放大了  $(2n-1)$  倍加入到輸出的基準正弦波當中，基準正弦波會隨著振盪時間的增加使其正弦偏移誤差上升。而由下式得知在自我測試電路最後一步消除主頻率成分的同時也產生了大小為  $A_s \cdot (2n-1) \cdot offset_{cos}$  的系統偏移誤差量。

$$\begin{aligned}
& x[n] - A_0 - A_C \cos(n\omega_{in}T) - A_S \underbrace{\sin_{offset}(n\omega_{in}T)}_{\text{reference sin with offset}} \\
& = x[n] - A_0 - A_C \cos(n\omega_{in}T) - A_S (\sin(n\omega_{in}T) + (2n-1) \cdot offset_{\cos}) \quad (3.35) \\
& = x[n] - A_0 - A_C \cos(n\omega_{in}T) - A_S \sin(n\omega_{in}T) - A_S \cdot (2n-1) \cdot offset_{\cos}
\end{aligned}$$

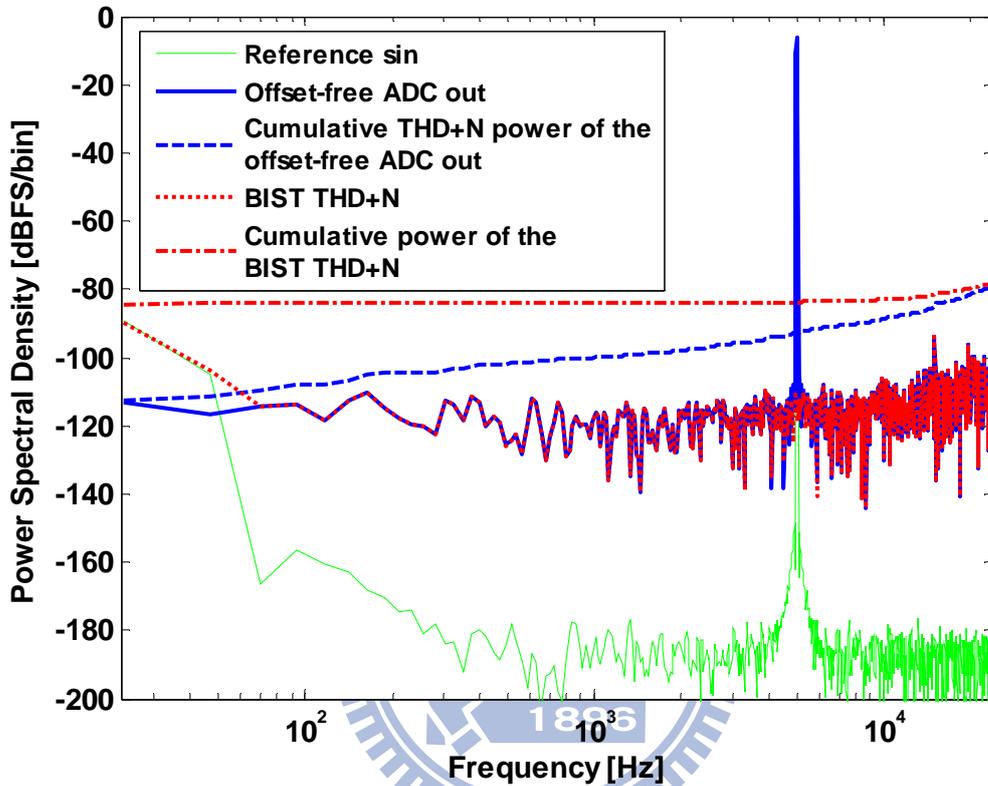


圖 3.5.4 積分器之基準正弦訊號影響內建自我測試電路測試結果

將基準正弦波訊號加入到圖 3.5.1 成為圖 3.5.4，發現其低頻部份的曲線主宰著內建自我測試計算雜訊能量的結果，也再一次的驗證了之前的推導過程。

對於輸入的餘弦波振盪器而言，其數位輸出在相同設定下必定有著固定的正弦偏移誤差量  $offset_{\cos}$ ，因此如下圖 3.5.5 在積分電路之前插入一個減法器，以去除  $offset_{\cos}$  的影響，除此之外因為能表示  $offset_{\cos}$  的位元數有限，以及積分電路的結果將會刪減至 36 位元，積分輸出仍然會帶有一定大小的正弦偏移誤差  $offset_{\sin}$ ，此誤差也可預先求得並將其輸入到積分電路中去除。

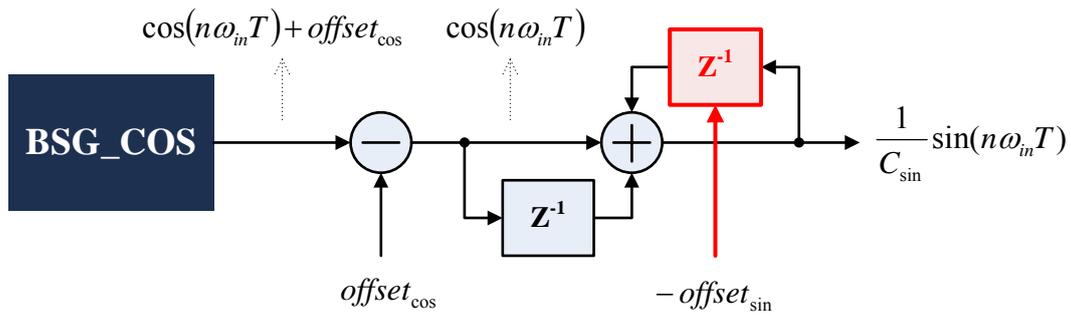


圖 3.5.5 對積分電路做預先偏移誤差補償

使用預先偏移誤差補償之後的結果如下圖 3.5.6，同樣在 5kHz，振幅 0.5 的測試設定下，可以看出其正弦偏移誤差量已經下降至 -120dB 不再影響著自我測試的結果，而所需額外使用的電路只有一個減法器以及儲存  $offset_{cos}$  此係數的暫存器。

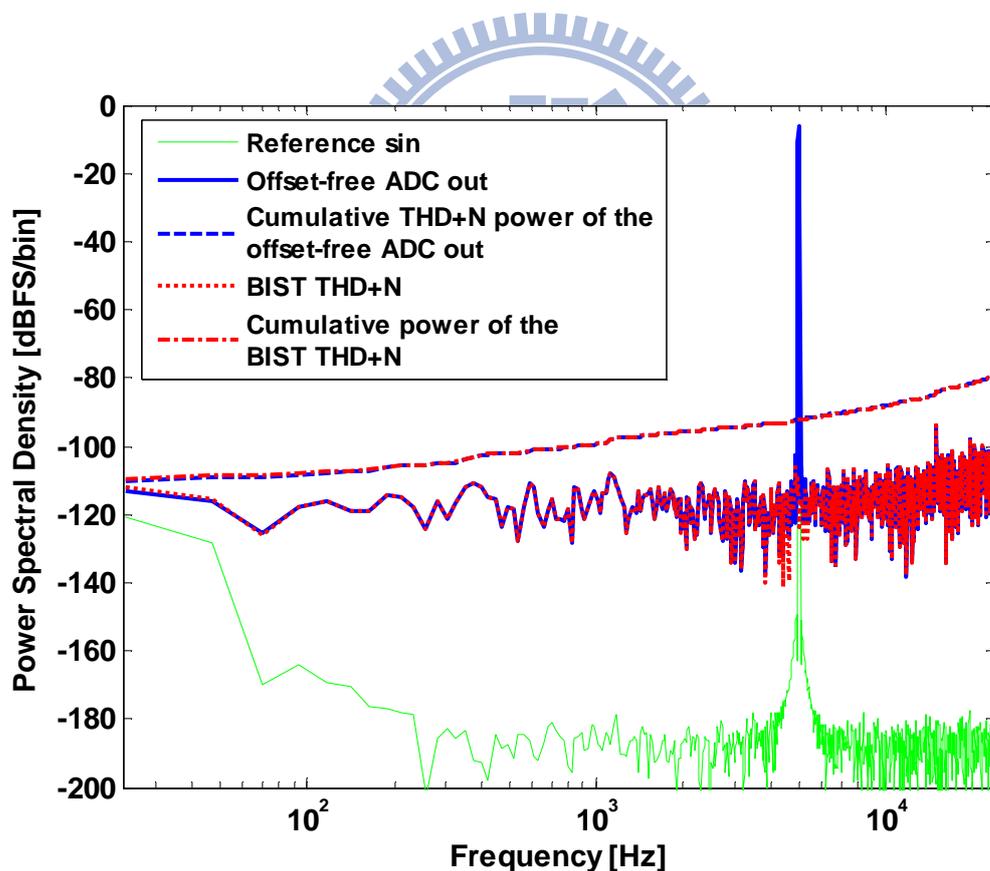


圖 3.5.6 使用預先偏移誤差補償後的結果

### 3.6 簡化供給待測 ADC 測試輸入之振盪器

除了將一組產生基準訊號的數位振盪器簡化之外，另外對於供給待測 ADC 測試輸入的 BSG\_MUT 數位振盪器也可以進行簡化，與之前不同的是，對於給予待測 ADC 所使用的振盪器不需如同基準訊號源振盪器一樣準確，其輸出之 SNDR 只要在 96dB 以上便可以進行足夠精準的測量。下圖為之前介紹過振盪器中的三階三角積分調變器，由左而右分為三級，由於振盪器的輸出內含 1 位元的量化器，因此可在前三級對輸入(IN)以及輸出回授的訊號(OUT)進行位元刪減(truncation)的動作。注意到如果我們在最靠近輸入，也就是第一級的地方進行刪減，則該級之後

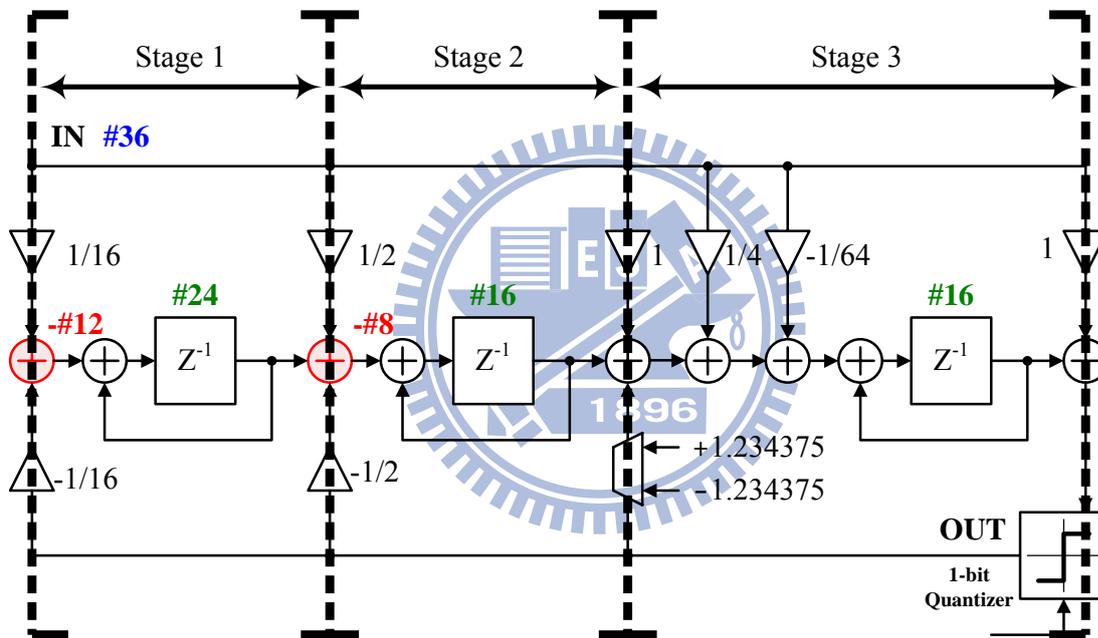


圖 3.6.1 對三階  $\Delta-\Sigma$  調變器進行簡化

的所有加法器以及暫存器都可以進行同樣位元數的刪減，除此之外，對於某級的位元刪減量能夠與之前某級的刪減量合併。因此在兼顧硬體簡化與 SNDR 的雙重需求下選擇從第一級進行最大量的位元刪減，直到振盪器輸出 SNDR 降低至無法符合要求時再對第二級進行位元刪減。如圖所示簡化後分別在第一與第二級做了 12 與 8 位元的刪減，對簡化後的數位振盪器在振幅 0.5，各個頻率時的輸出 SNDR 作圖如下，

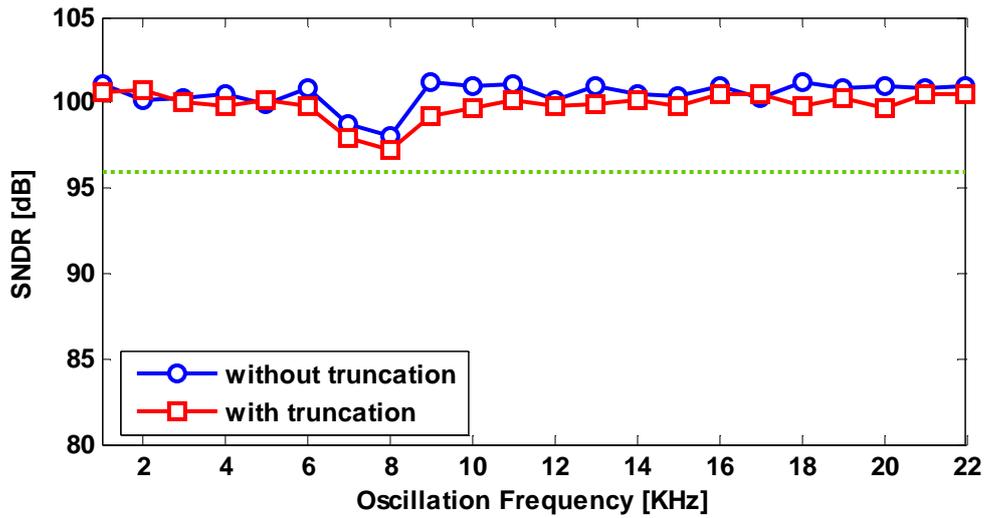


圖 3.6.2 BSG\_MUT 之調變器進行位元刪減後的效能影響

可以看出簡化後的輸出效能略為下降，但都還維持著 96dB 以上的水準，而將無乘法振盪器、較寬頻域振盪器以及經過調變器位元刪減的振盪器三者面積比較如下表，節省了約 0.82k 個邏輯閘數。

表 3 - 3 經過調變器位元刪減的振盪器面積變化比較

	Multiplier -Free Oscillator	Wider -Frequency Oscillator	BSG_MUT With Truncation
Gate Count	3.05k	6.32k	5.5k
percentage	48.3%	100%	87%

### 3.7 輸出響應分析器

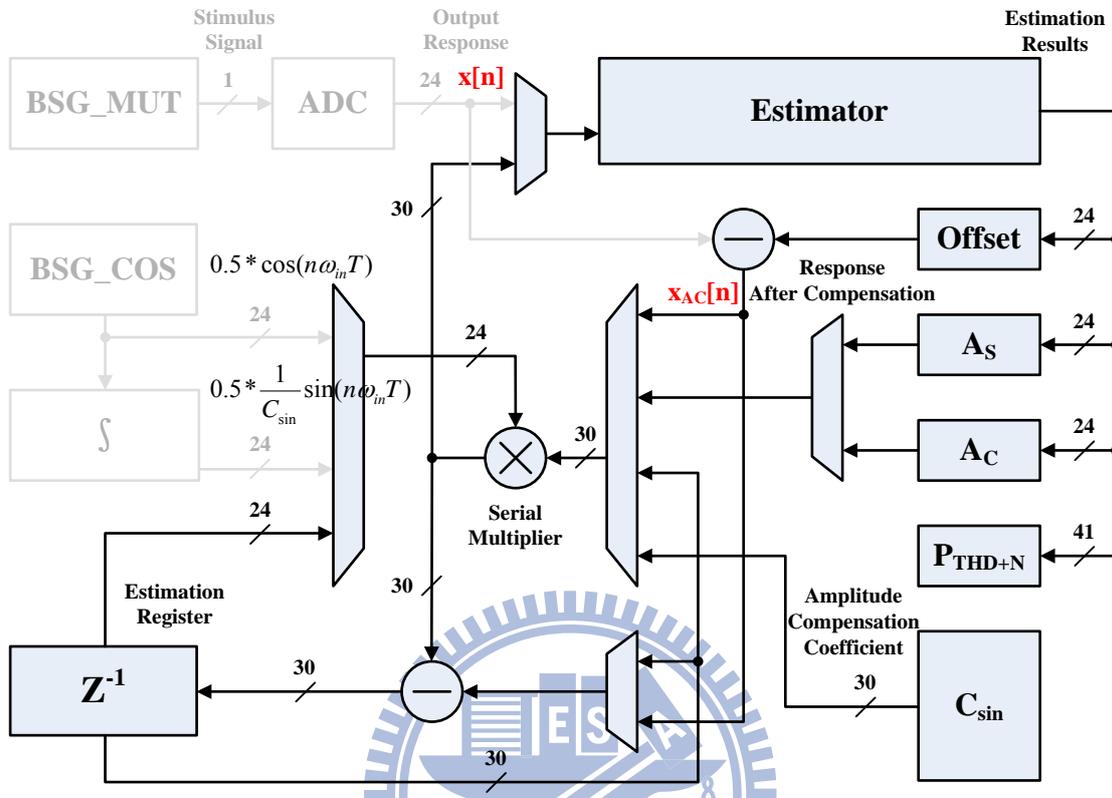


圖 3.7.1 測試系統中屬於輸出響應分析器的範疇

上圖 3.7.1 將待測 ADC、振盪器、積分電路以淡色隱藏突顯出輸出響應分析器佔有的部份，主要包含用來做能量累加以及訊號移位、分派的估算器，還有一個在 128 時脈週期內完成運算的串列乘法器，其餘部分含有一個計算暫存器、一個振幅補償係數暫存器、四個計算結果暫存器、以及未畫出的兩個偏移補償暫存器與控制單元。除了串列乘法器使用 Radix-4 布斯編碼(Booth-Encoding)而面積略大之外，其餘電路包含控制單元其硬體耗費皆不高，而估算器則只是使用簡單的累加器。圖 3.7.2 分別為估算器以及串列乘法器的簡單架構圖。

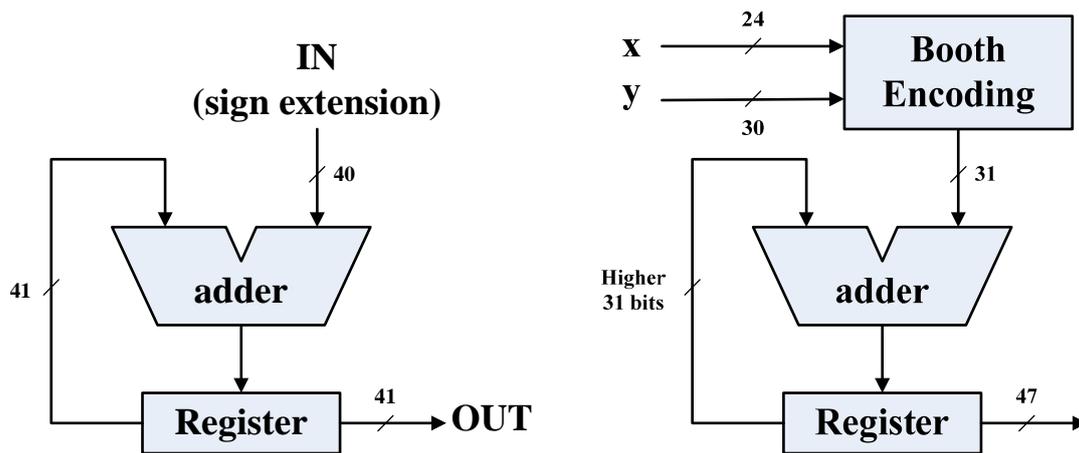


圖 3.7.2 估算器與串列乘法器

### 3.8 內建自我測試系統運作流程

以弦波最小誤差為基礎的內建自我測試系統共有 (1) 計算偏移誤差 (2) 計算主頻率係數  $A_s$  與  $A_c$  (3) 計算雜訊與總諧波失真能量功率等三個步驟，而電路的實際運作流程則分為七個操作步驟：

- S1 計算偏移誤差
- S2 重新設定 BSG
- S3 計算主頻率係數  $A_s$
- S4 重新設定 BSG
- S5 計算主頻率係數  $A_c$
- S6 重新設定 BSG
- S7 計算總雜訊與諧波失真能量大小

其中 BSG 需要在第 3、5、7 步驟開始之前必須要重新設定使其振盪一段時間才能正常計算，因此偶數操作步驟時 BIST 皆處於閒置等待 BSG 設定完成的狀態。1、3、5、7 操作步驟的電路運作情形可由下列 10 張圖代表：

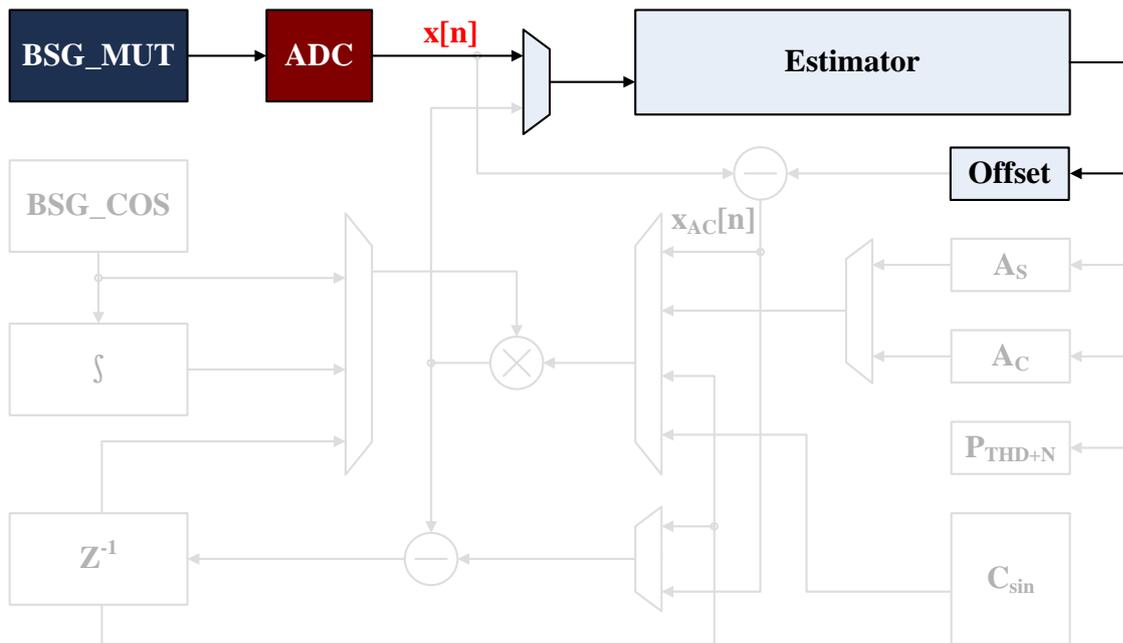


圖 3.8.1 S1 計算偏移誤差

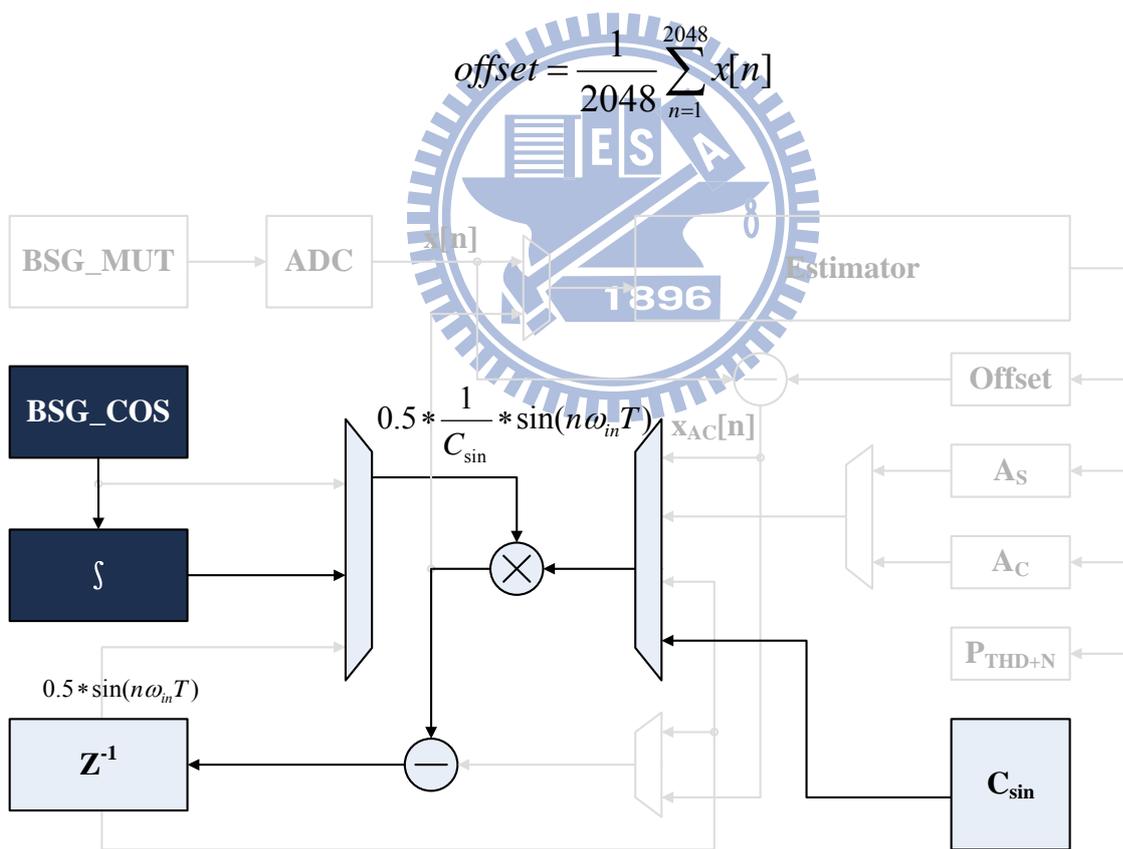


圖 3.8.2 S3-1 計算主頻率係數  $A_S$

$$0.5 * \frac{1}{C_{\sin}} * \sin(n\omega_{in}T) * C_{\sin} = 0.5 * \sin(n\omega_{in}T)$$

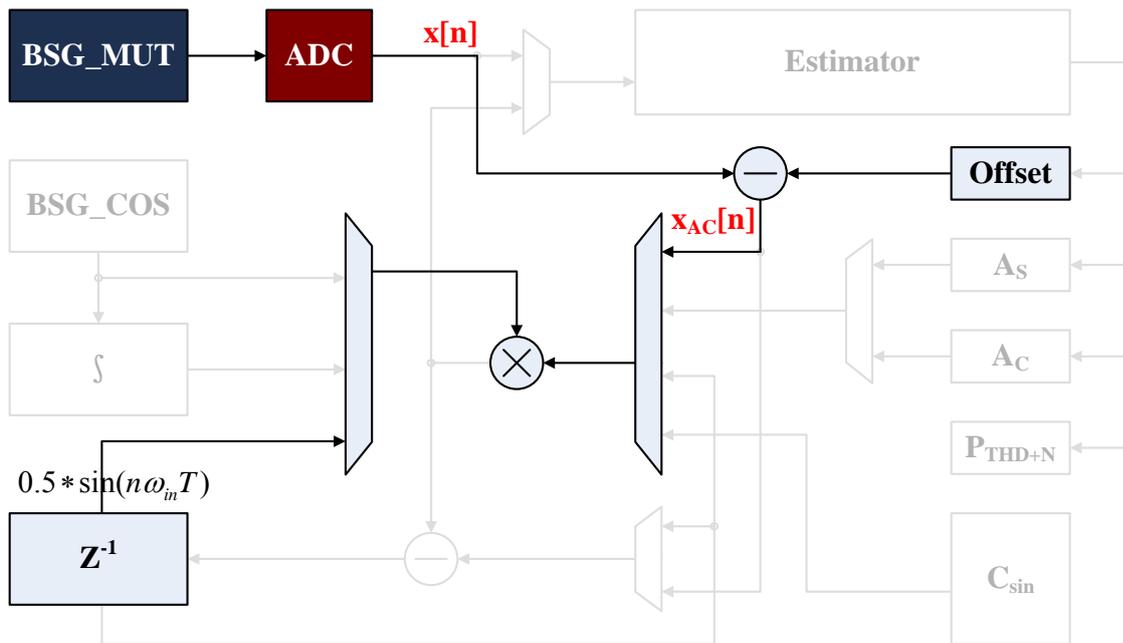


圖 3.8.3 S3-2 計算主頻率係數  $A_s$

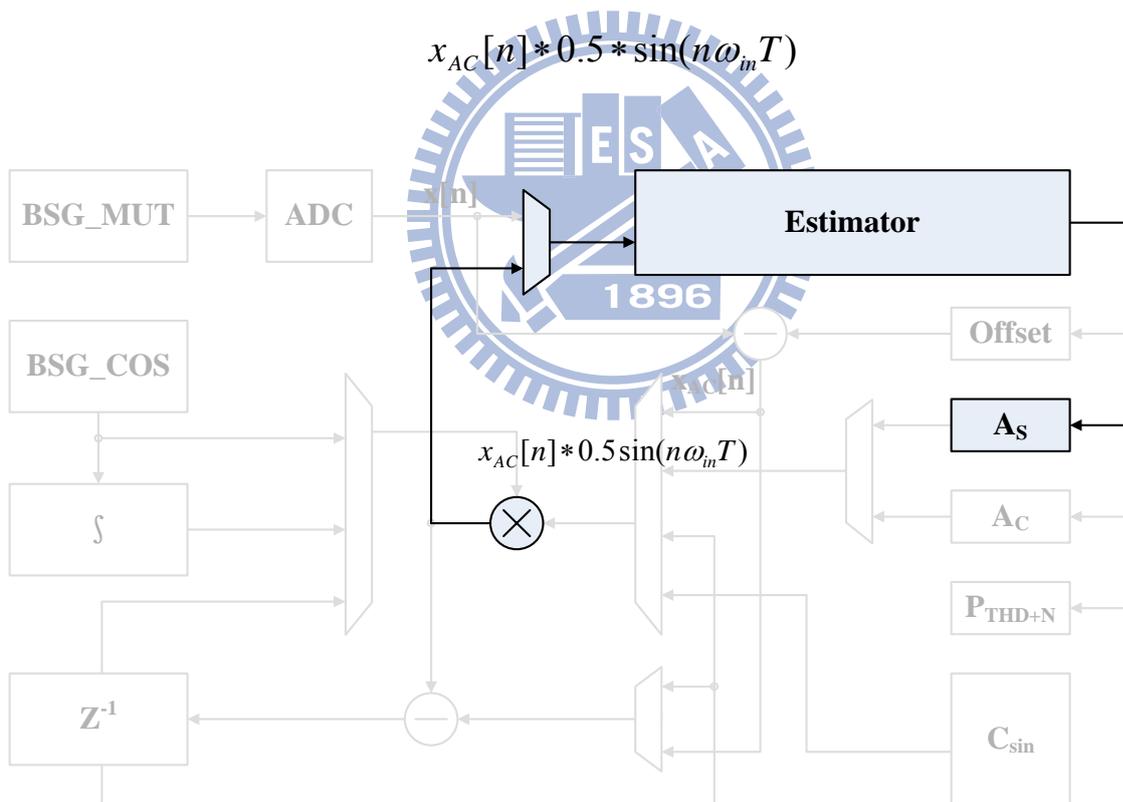


圖 3.8.4 S3-3 計算主頻率係數  $A_s$

$$A_s = \frac{2}{2048} \sum_{n=1}^{2048} x_{AC}[n] * 0.5 \sin(n\omega_{in}T)$$

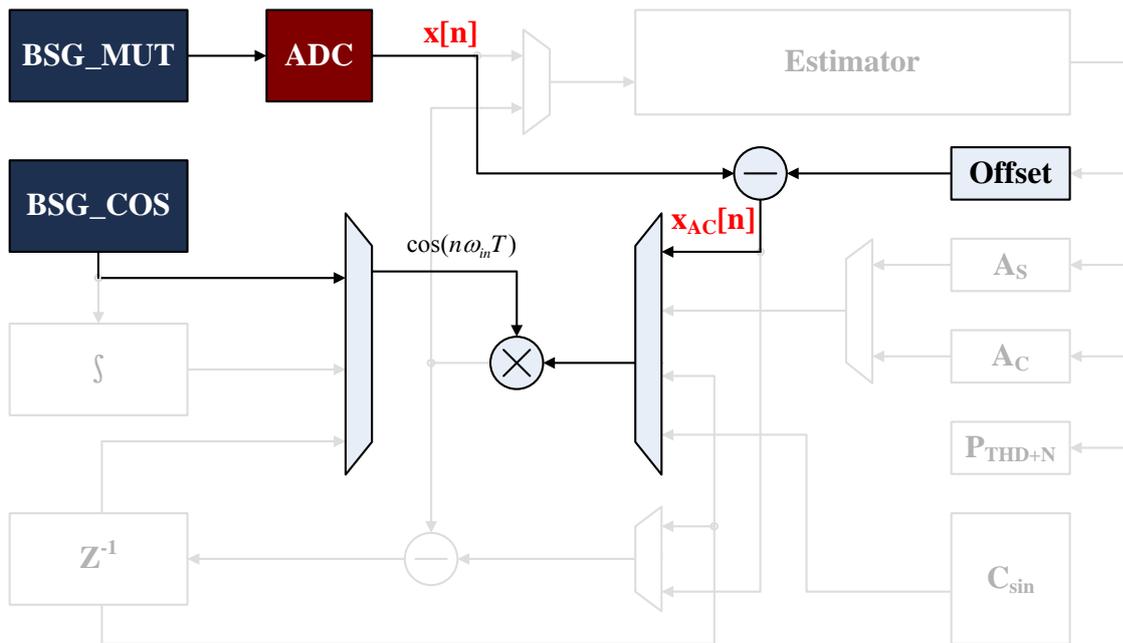


圖 3.8.5 S5-1 計算主頻率係數  $A_C$

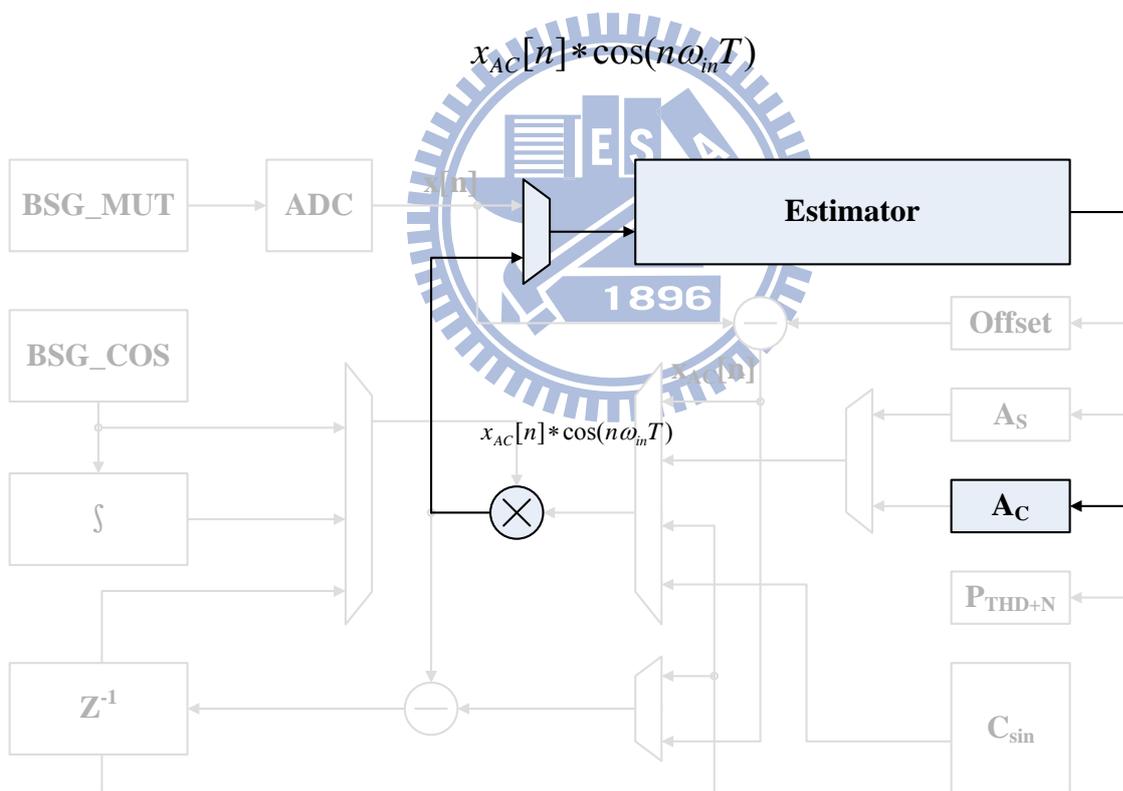


圖 3.8.6 S5-2 計算主頻率係數  $A_C$

$$A_C = \frac{2}{2048} \sum_{n=1}^{2048} x_{AC}[n] * 0.5 \cos(n\omega_m T)$$

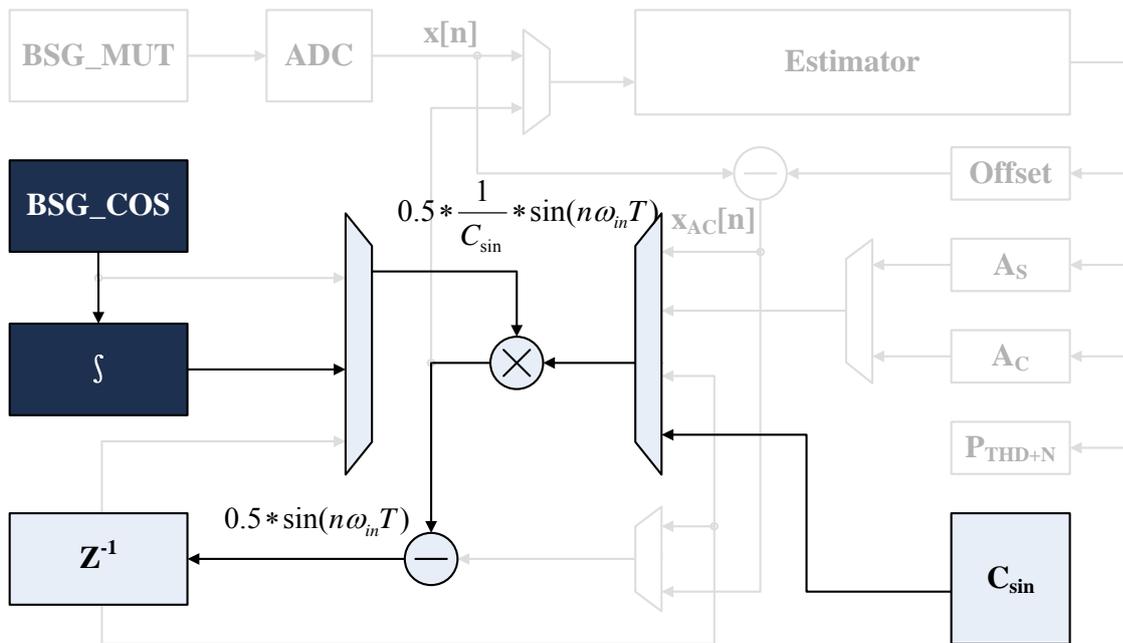


圖 3.8.7 S7-1 計算總雜訊與諧波失真能量大小

$$0.5 * \frac{1}{C_{\sin}} * \sin(n\omega_{in}T) * C_{\sin} = 0.5 * \sin(n\omega_{in}T)$$

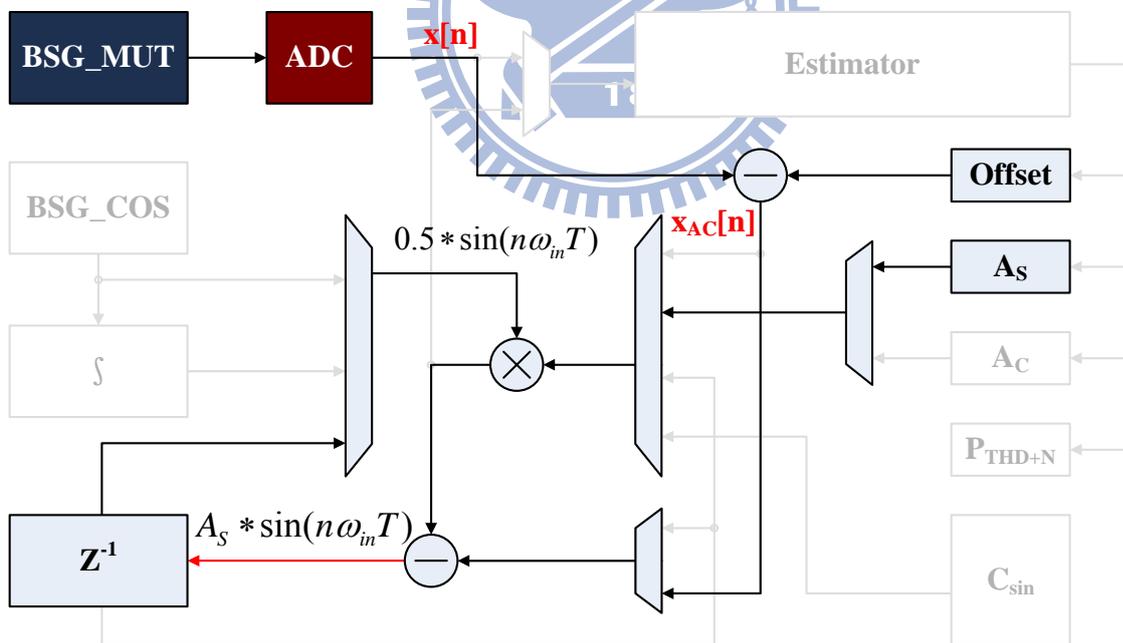


圖 3.8.8 S7-2 計算總雜訊與諧波失真能量大小

$$x_{AC}[n] - A_S * \sin(n\omega_{in}T)$$

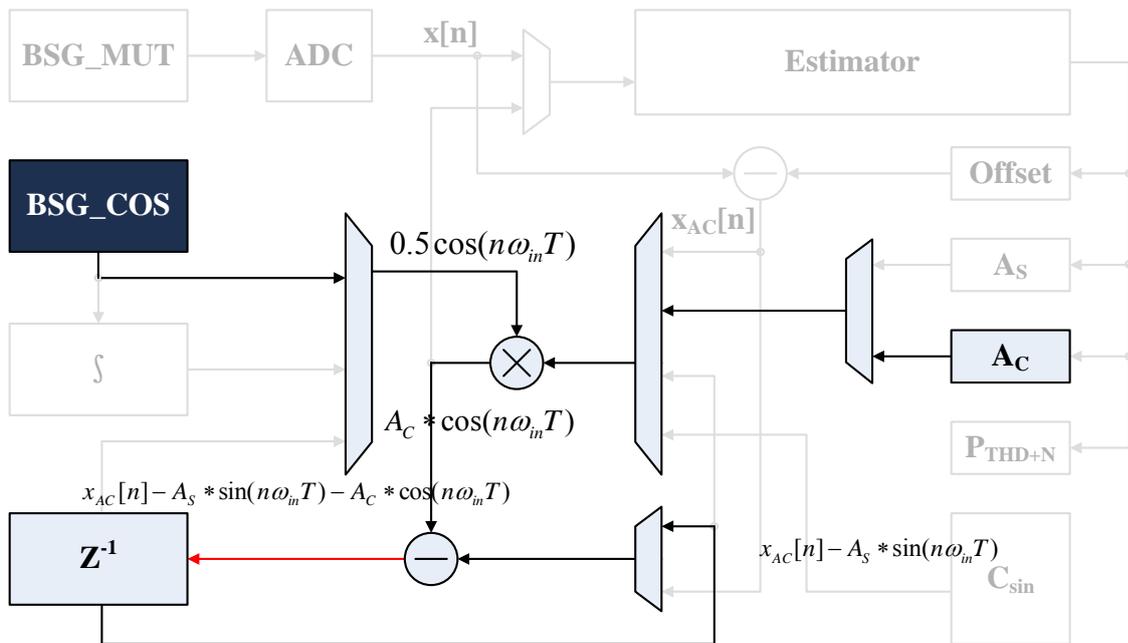


圖 3.8.9 S7-3 計算總雜訊與諧波失真能量大小

$$x_{AC}[n] - A_S * \sin(n\omega_{in}T) - A_C * \cos(n\omega_{in}T)$$

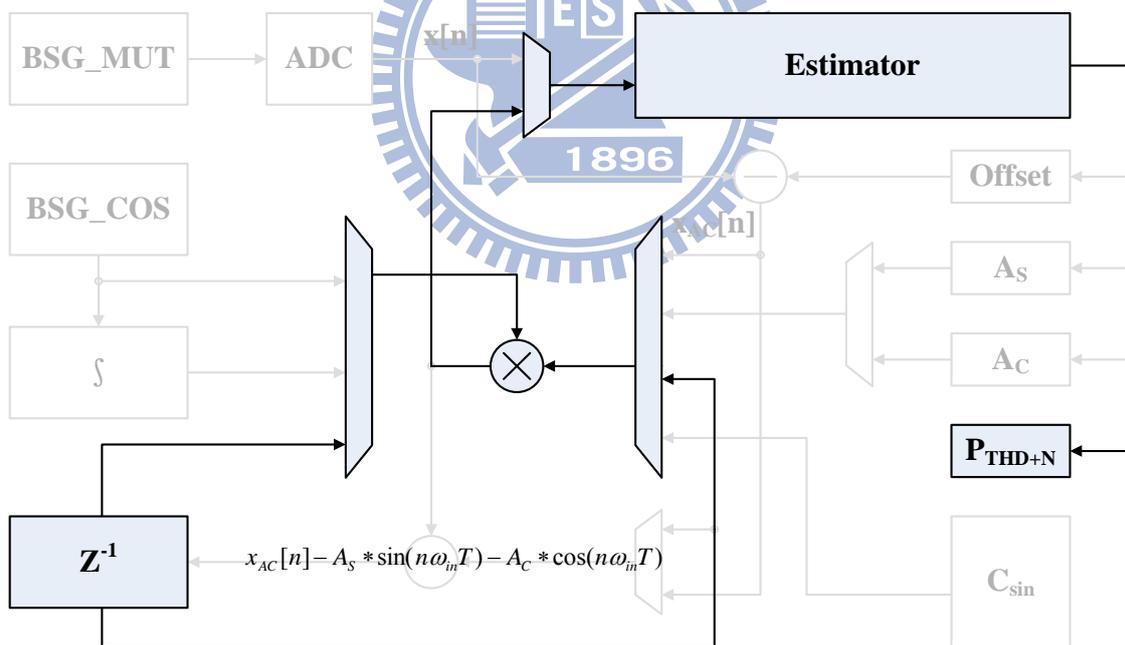
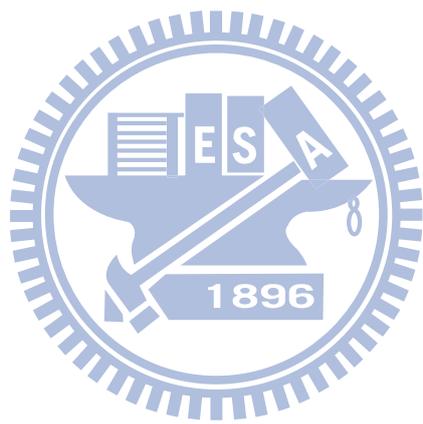


圖 3.8.10 S7-4 計算總雜訊與諧波失真能量大小

$$P_{THD+N} = \frac{1}{2048} \sum_{n=1}^{2048} \{x_{AC}[n] - A_S * \sin(n\omega_{in}T) - A_C * \cos(n\omega_{in}T)\}^2$$



# 第四章 HOY 計畫無線測試平台

## 4.1 經濟部科專之HOY計畫無線測試平台

回顧 1-3 節之圖 1.3.3 與 1.3.4 如下，將內建自我測試電路搭配上特定的控制與無線通訊模組，便可以如圖 4.1.1 進行無線測試。而經濟部科專之 HOY 計畫便是一個提供完整解決測試經費問題的平台，如圖 4.1.2 此平台分為測試台端 (Automatic Test Equipment, ATE) 與待測物端 (Device Under Test, DUT)，在 DUT 端來說，對於特定的待測物而言必須要先保證一個能夠使用全數位溝通介面進行測試的 BIST 電路，在此前提能被滿足的情況下，此計劃之研究便能夠提供使用者對應每一個不同 BIST 電路有不同訊號分派方式來進行測試工作的溝通模組-Test Wrapper，除了 Wrapper 需要做客製化的修改以外，其餘元件皆為固定不變的模組。而此 Wrapper 與包含有 Tx、

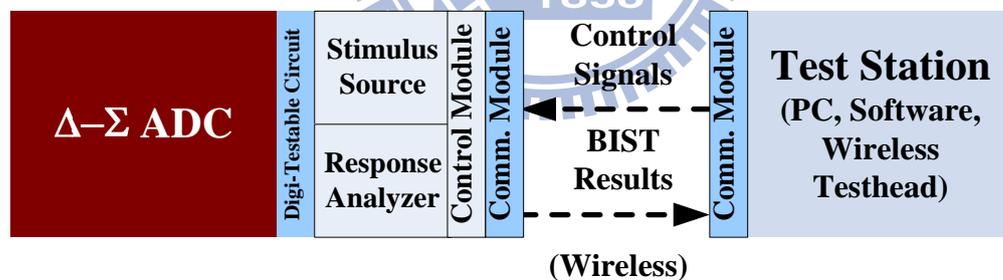


圖 4.1.1 內建自我測試電路加上 HOY 無線通訊模組

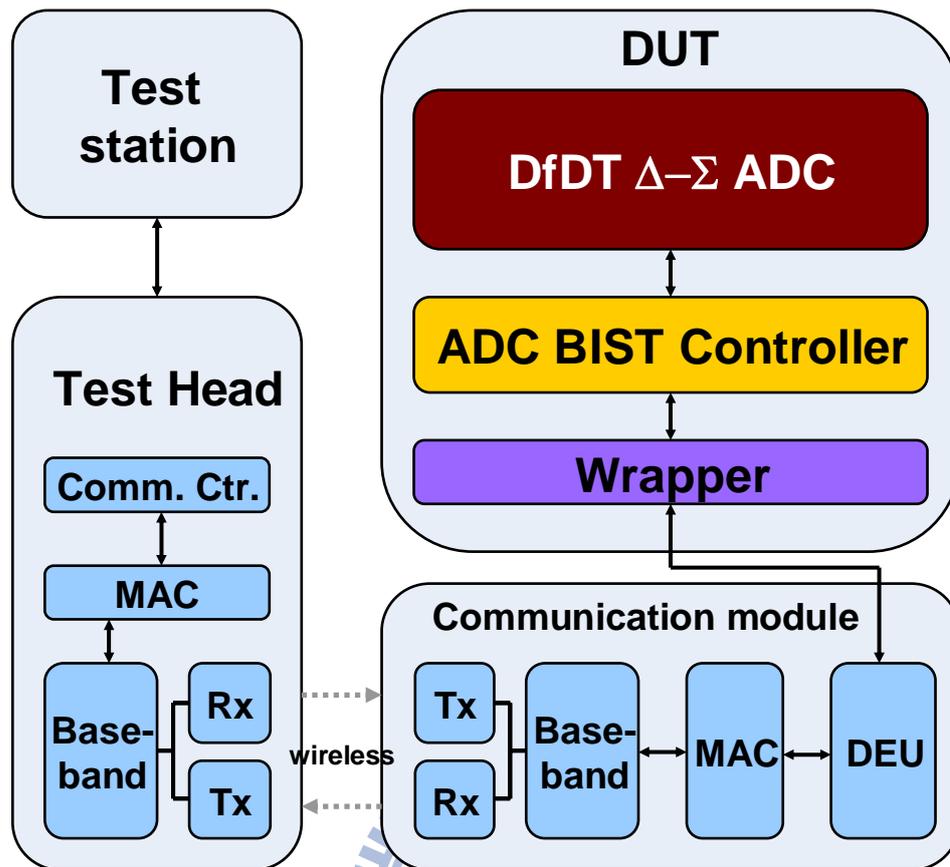


圖 4.1.2 HOY 無線測試平台系統方塊圖

Rx、Base-Band、MAC、DEU 的通訊模組間具有設計過的溝通協定，讓通訊模組透過無線傳輸使 ATE 端的使用者能對待測物進行資料輸入、效能測試、結果輸出的動作。而 ATE 端也包含了固定的無線測試頭，只要接上一台具有 linux 工作站的便宜個人電腦，修改測試軟體對應不同的 Wrapper 動作便可套用在許多不同種類的待測物上。因為配合著待測物使用 BIST 電路相當於將傳統的結果分析儀器全部內建在同一個晶片裡，因此加上 HOY 無線測試平台的無線傳輸能力讓使用者能夠真正的接上電源就進行可攜式測試，另外還有一個極大的優點如下圖 4.1.3，只要只用一組測試頭髮射測試指令便可以在有限的距離內儘可能的對最多個待測物做測試，有效的節省測試時間以及成本。

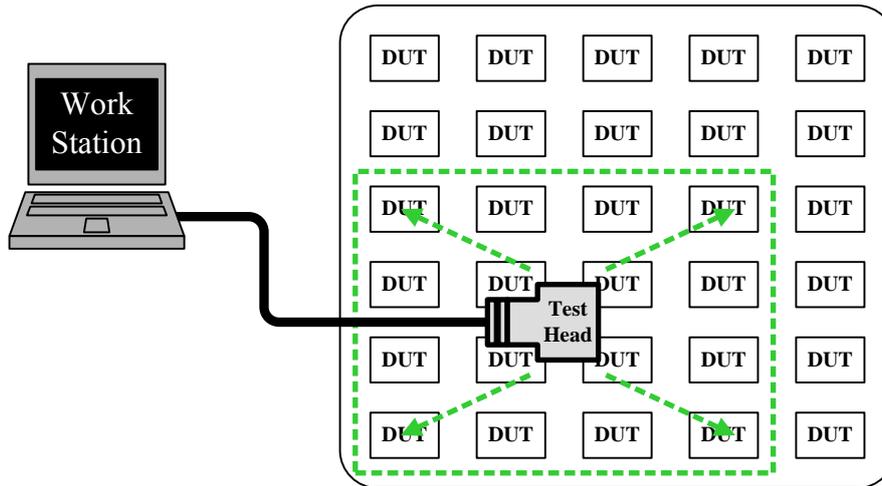


圖 4.1.3 使用一組測試頭同時測試多組目標待測物

## 4.2 Wrapper 與 BIST 之協同運作方式

這個小節將對和 BIST 電路工作息息相關的 Wrapper 詳細說明其工作方式。首先介紹 Wrapper 與 BIST 之間的主要傳遞資料，圖 4.2.1 中 Wrapper 會將 ATE 端傳來的四筆資料：振幅(Amp)、頻率( $a_{12}a_{21}$ )、偏移補償係數( $offset_{\sin}$ 、 $offset_{\cos}$ )、振幅補償係數( $C_{\sin}$ )總共 197 位元依序串列傳輸給 DUT 端中 BIST 的暫存器，Amp 與  $a_{12}a_{21}$  用來設定數位振盪器， $offset_{\sin}$ 、 $offset_{\cos}$  會校正積分器， $C_{\sin}$  則會補償積分器的輸出。等待 BIST 電路告知測試完成之後便開始把四組計算結果：偏移誤差(offset)、主頻率正弦係數( $A_S$ )、主頻率餘弦係數( $A_C$ )、雜訊與總諧波失真能量( $P_{THD+N}$ )共 113 位元串列傳回 ATE 端。

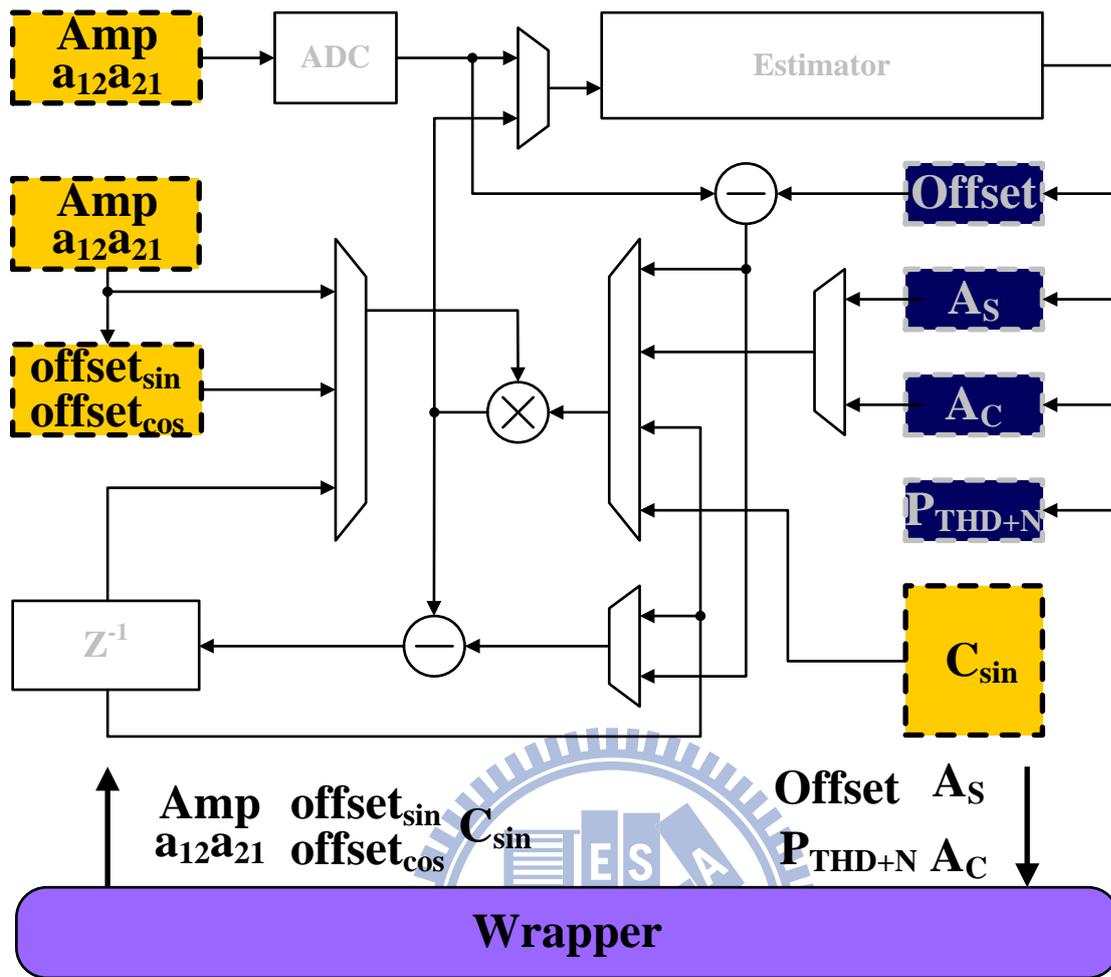


圖 4.2.1 Wrapper 與待測物間的傳遞資料

而資料之間傳遞的溝通協定主要簡單的由 REQ\_B(BIST 要求輸出結果)、ACK\_A(ATE 端資料收付確認)、FiValid(輸入資料有效性)三條訊號組成，詳細資料如下表 4-1：

表 4 - 1 Wrapper 與 BIST 間介面訊號

SIGNAL	FUNCTION	BITWIDTH
CLK	System Clock	1
RESET	Reset BIST	1
DIR	Scan In/Scan Out direction	1
FBC	Function Begin/Cancellation	1
FSI_B	Scanned-In Data	1
FSO_B	Scanned-Out Data	1
FiValid	Valid Data/Invalid Data	1
ACK_A	Wrapper Acceptation Acknowledgement	1
REQ_B	BIST Results Request	1

接下來將 Wrapper 分成三個模式詳細說明其工作方式，在第一個模式下 DIR 訊號被設為 0 告知 BIST 電路目前處於資料輸入模式，並且由 FiValid 的值讓 BIST 判定接收到的 FSI\_B 為無用或是有效的測試輸入資料。

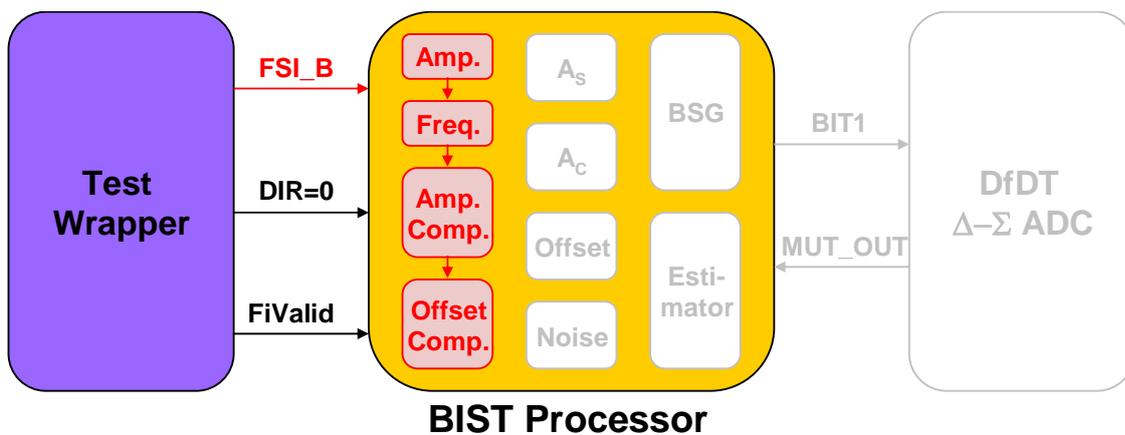


圖 4.2.2 資料輸入

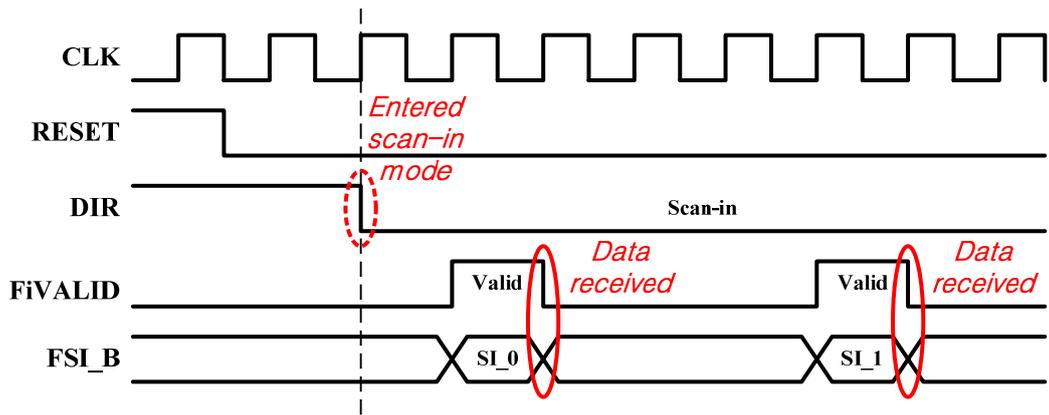


圖 4.2.3 輸入模式時序圖

當資料輸入完畢，進入第二個模式升起 FBC 訊號讓 BIST 電路啟動測試，此時 Wrapper 為閒置狀態，並且隨時檢查 REQ\_B 訊號是否為 1，若發現一次為 1 表示 BIST 測試完畢，開始進入資料輸出模式。

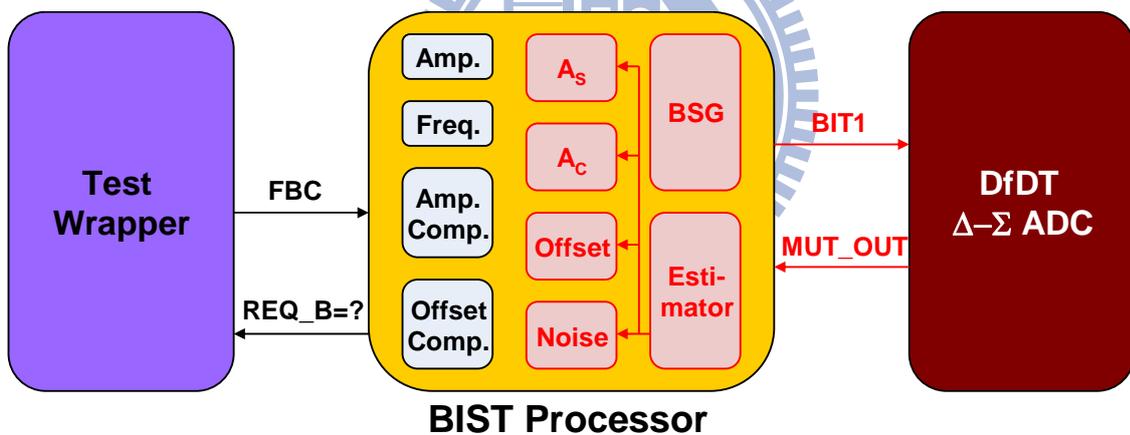


圖 4.2.4 閒置等待

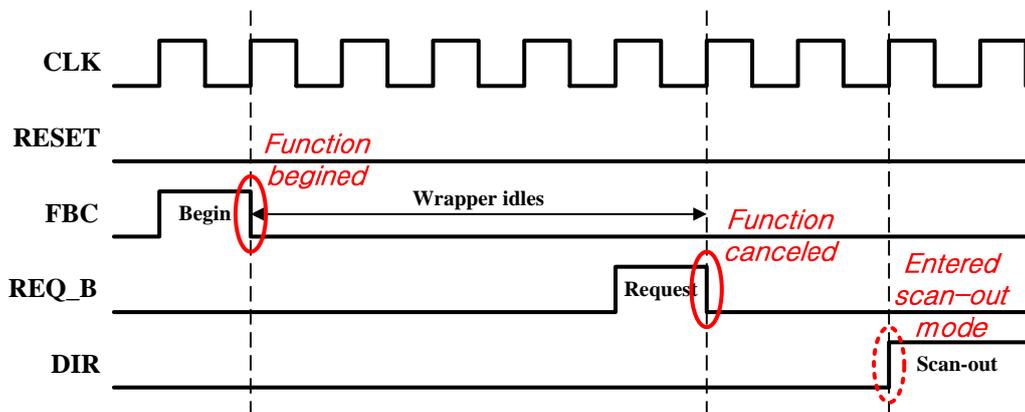


圖 4.2.5 閒置模式時序圖

當進入第三模式時，DIR 為 1 告知 BIST 電路為資料輸出模式，此時若 ACK\_A 為 1 則表示 Wrapper 接收到上一筆資料，準備再接收 BIST 電路下一筆資料，所以 BIST 電路會釋出計算結果同時升起 REQ\_B 告知 Wrapper 為有效資料，Wrapper 接收儲存之後會升起 ACK\_A 表示確認，如此重複。

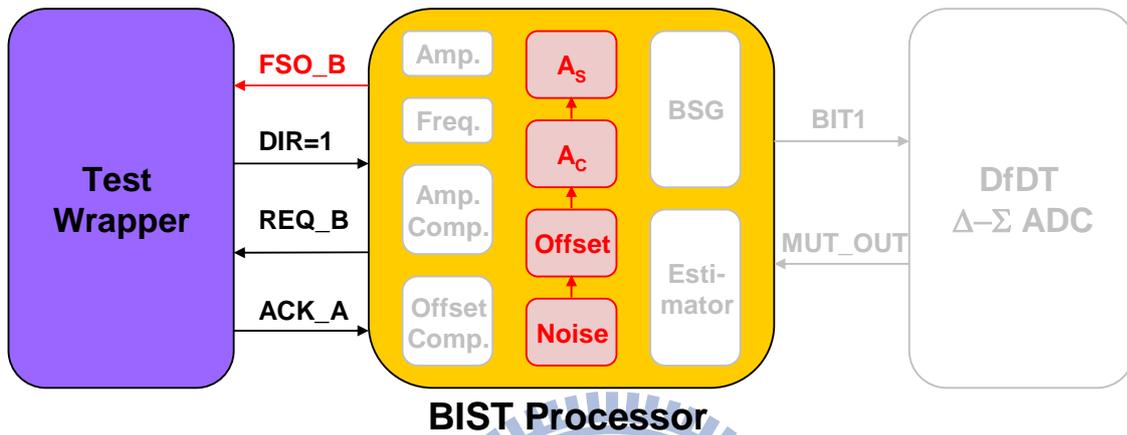


圖 4.2.6 資料輸出

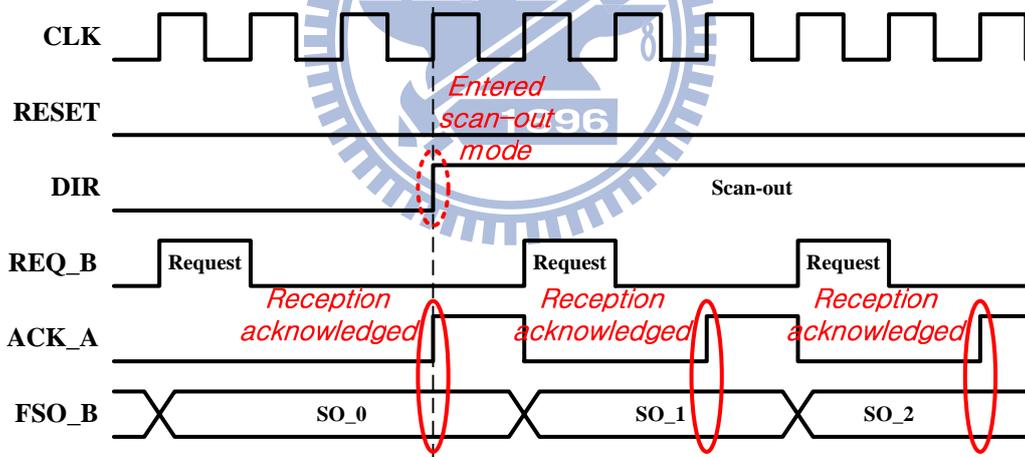
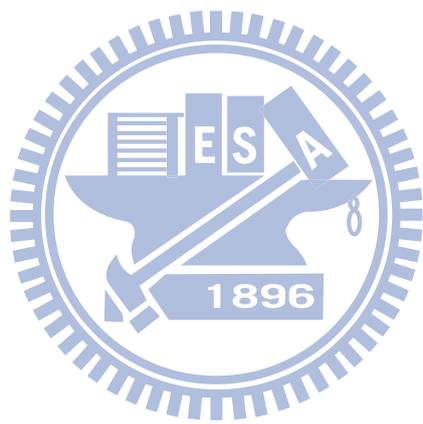


圖 4.2.7 輸出模式時序圖



# 第五章 以H O Y無線平台進行內建自我測

## 試電路量測結果

### 5.1 測試環境與測試設定

首先將第四章弦波最小誤差實現之內建自我測試電路架構以 MATLAB 數學軟體模擬待測 ADC 的行為共同用 MATLAB 進行模擬確定無誤之後，將其以 Verilog 硬體描述語言撰寫實際電路架構，使用 Cadence 公司之 NC-Verilog 軟體進行電路邏輯層級的行為模擬，確定模擬結果與 MATLAB 撰寫之程式碼完全沒有差別之後，再使用 0.18um 製程，SYNOPTIS 公司之合成軟體 Design Compiler 合成後帶有時間延遲的基礎元件層進行模擬、時間分析與面積大小分析，合成完的結果與之前比較如下表所示：

表 5 - 1 三種 BIST 電路邏輯閘數比較表

	CSWF (BSGx2)	SME (BSGx3)	SME (Integrator)
BSG_MUT	2.35k	6.32k	6.32k
BSG_SIN	2.35k	6.32k	5.5k
BSG_COS	N/A	6.32k	N/A
Integrator	N/A	N/A	1.1k
ORA	5.6k	4.14k	3.44k
SI/SO	1.6k	1.6k	1.4k
Total BIST System	11.9k	25k	17.76k

由於要配合著待測 ADC、BIST 電路、Wrapper、無線通訊模組、以及使用測試頭、工作站來作測量才能夠驗證這整個測試平台的完整性，因此將 BIST 的 verilog 程式碼使用 Quartus II 燒錄至 HOY 無線測試平台專用的 FPGA 版進行量測。測試環境由下圖 5.1.1 表示，同之前所述分為 ATE 端與 DUT 端，在 DUT 端包含兩個部份，第一塊是由洪浩喬教授所設計的類比板，含有之前提及可接受數位測試訊號的  $\Delta$ - $\Sigma$  ADC，另一塊則是把 BIST 電路、Wrapper、以及無線通訊模組內的 Base-Band、MAC、DEU 等等所有純數位電路的部份全部燒錄在一塊 DUT FPGA 板上，這兩塊板間只有兩條資料線的溝通。另外在 ATE 端方面，測試頭內含的數位電路是全部燒錄在 ATE FPGA 版裡，並使用 USB 介面的傳輸方式與工作站溝通，而 ATE 端與 DUT 端兩者間的傳輸介面則是先行使用兩條跳線的方式略過無線的 RF 連結。最後，為了驗證此內建自我測試電路電路之有效性，我們會將 DUT 板上 BIST 電路所計算出的雜訊與諧波失真與實際待測 ADC 的輸出響應經由安捷倫邏輯分析儀(Agilent 16702B Logic analysis System, LA)將兩者都擷取出來觀察頻譜

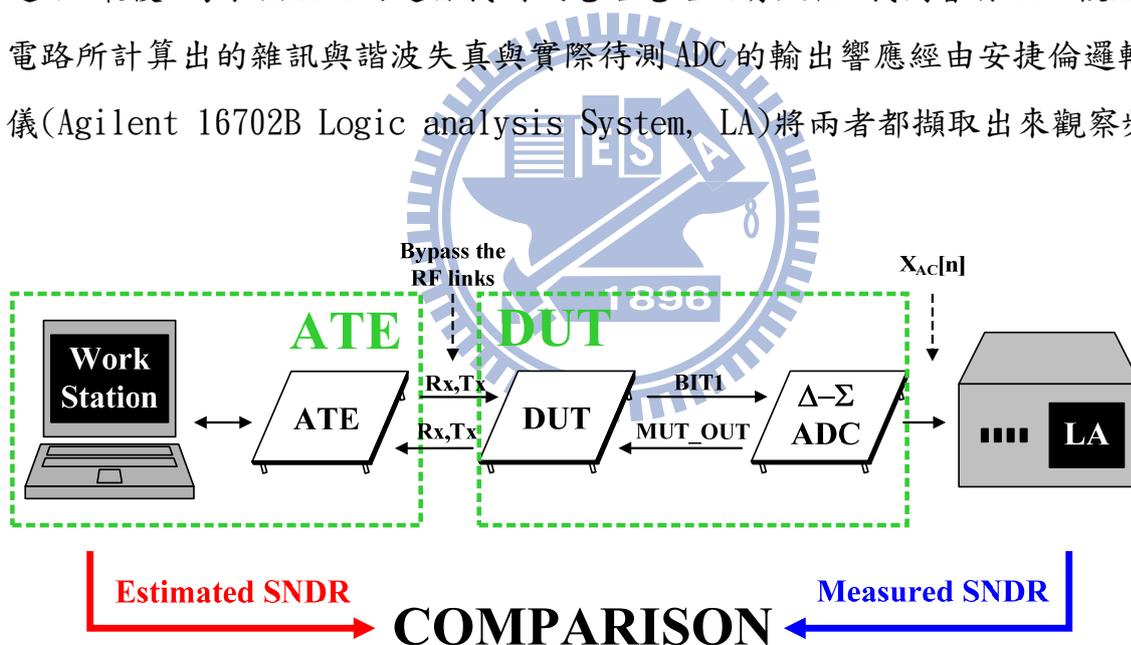


圖 5.1.1 BIST 電路與 HOY 測試平台環境

上的能量分布情形，另外在 ATE 端我們會將接收到的 113 位元測試結果轉換成 SNDR (Estimated SNDR)，與邏輯分析儀擷取的實際輸出響應經過 FFT 計算得到的 SNDR (Measured SNDR) 來比較兩者間的誤差。

環境建構完成之後，所使用的測試設定如下表 5-2，其中最大可輸入與輸出量分別為 256 與 128 位元，wrapper 操作在 500kHz，而內建自我測試電路的工作

頻率原本設定為與待測 ADC 相同的 6.144MHz，但受限於 FPGA 版只能提供 BIST 40MHz 除頻後的工作時脈，因此設定為  $40 \div 6 = 6.66\text{MHz}$ ，系統進行一次測試所需的時間為 0.236 秒。

表 5 - 2 BIST 電路與 HOY 測試平台之測試設定

Scanned -In	Scanned -Out	Wrapper Frequency	BIST Frequency	Clock Count	Testing Time
197/256 bits	113/128 bits	500kHz	6.66MHz	$6 \times 2^{18}$	0.236 sec

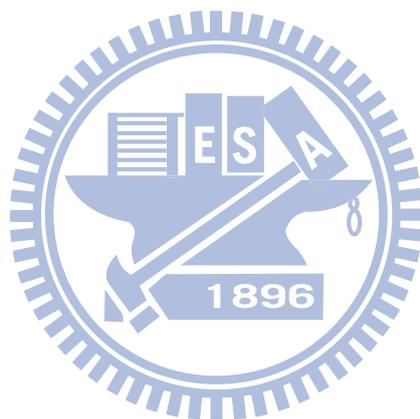
## 5.2 量測結果

在理想的情況下，BIST 電路計算出的雜訊與實際待測物的輸出響應在頻譜上除了主頻率以外的地方會重合，這表示 BIST 電路精準的計算出主頻率的係數並且將其從輸出響應中完全消除。由於 BIST 計算出的雜訊已經先行扣除待 BIST 計算出的待測 ADC 偏移誤差，因此所有量測結果中輸出響應頻譜的來源也是擷取測試電路中已經扣除偏移誤差的訊號。而待測 ADC 的輸出 SNDR 隨著測試輸入振幅的增加而增加，在振幅為 0.5, 即 -6dB 時有著最高的 SNDR，因此將設定於 -6dB 輸入時輸入 1~22kHz 以 1kHz 的間隔進行頻率掃描，另外也在振幅較低的 -60dB 時進行同樣的動作。另外值得注意的是，由於待測 ADC 的操作頻率配合著 BIST 電路升頻至 6.66MHz，因此所有原本設定的測試頻率將會變為  $6.66 \div 6.144 \approx 1.085$  倍，所以實際上的最高測試頻率約為  $22 \times 1.085 = 23.87 \text{ kHz}$ 。

接續四頁分別為五個部份的實際量測結果，第一部份的圖 5.2.1，在 -6.02dB、1.085kHz 時待測 ADC 輸出與 BIST 計算結果在頻譜上幾乎完全重合，其 SNDR 誤差只有 0.04dB，換算成線性刻度約只有百分之 0.46 的差距，此值比待測 ADC 接收同樣兩次相同輸入所得的兩次輸出之 SNDR 相減值來的更小，而圖 5.2.2 中 BIST 計算出的雜訊頻譜在 1.085kHz 附近的能量密度與雜訊的能量密度大小都在相近的層級，可以得知計算結果已經把主頻率的成分消除的非常乾淨。第二部

份圖 5.2.3 則是在最高頻附近的頻譜，同樣的也可以看出兩條曲線幾近重合，而圖 5.2.4 中的雜訊頻譜也並未出現主頻率的成分。

第三部份與第四部份把振幅分別設定在 $-6\text{dB}$ 、 $-60\text{dB}$ ，將測試頻率由 $1\text{kHz}$ 調整至 $22\text{kHz}$ 進行頻率掃描，繪製 BIST 電路與實際輸出響應之間 SNDR 的差別。由結果得知無論是在較高或較低振幅時，最大誤差都不超過 $0.43\text{dB}$ ，平均誤差都不超過 $0.2\text{dB}$ 。最後第五部份在 $1.085\text{kHz}$ 時對待測 ADC 測試其輸入振幅的動態範圍，由圖 5.2.7 可知 BIST 計算的結果最大誤差 $0.50\text{dB}$ 、平均誤差 $0.16\text{dB}$ ，忠實的描繪出 ADC 的動態範圍曲線。



一、 -6.02dB、1.085kHz 之能量頻譜密度比較(圖 5.2.1、圖 5.2.2)

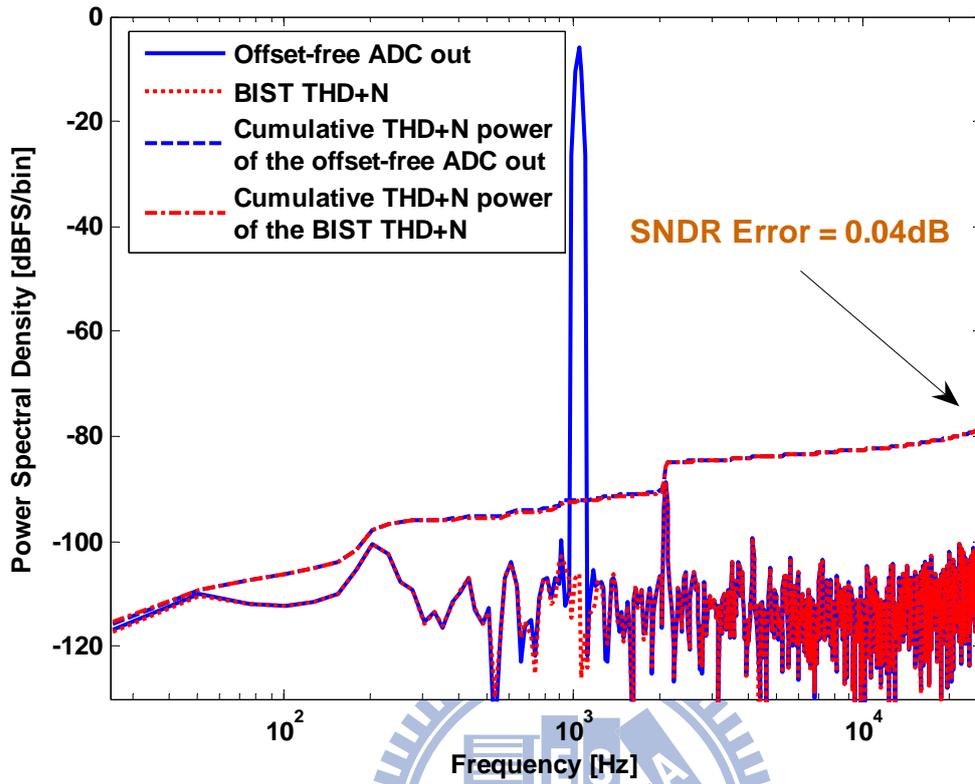


圖 5.2.1 -6.02dB、1.085kHz 之能量頻譜密度比較

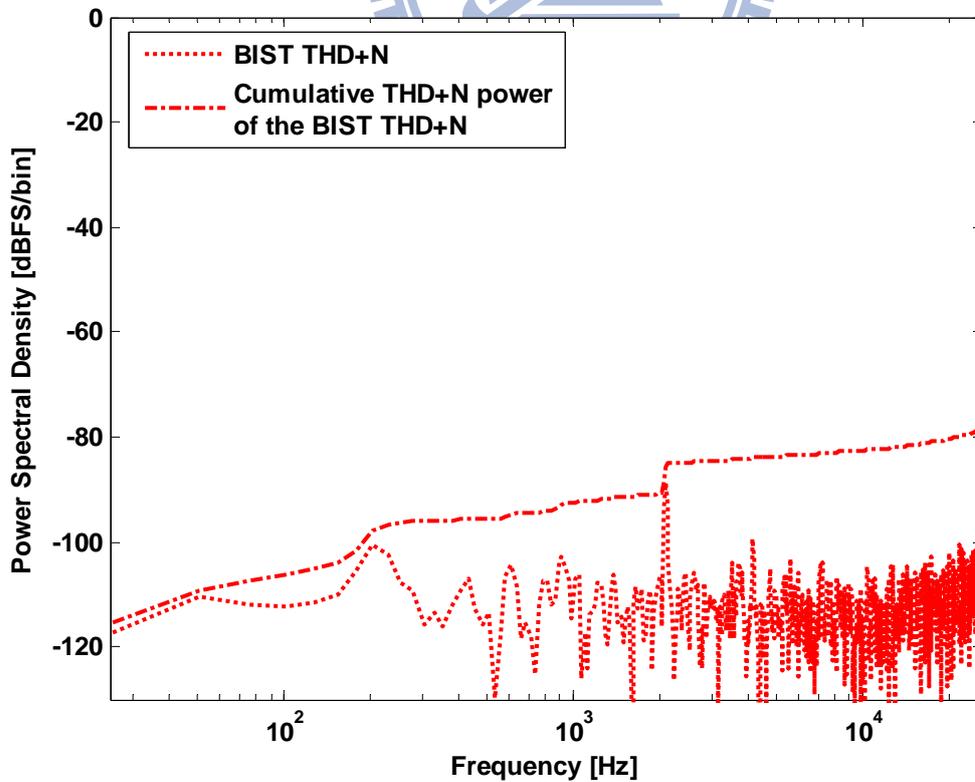


圖 5.2.2 -6.02dB、1.085kHz 之雜訊能量頻譜密度

二、 -6.02dB、23.4kHz 之能量頻譜密度比較(圖 5.2.3、圖 5.2.4)

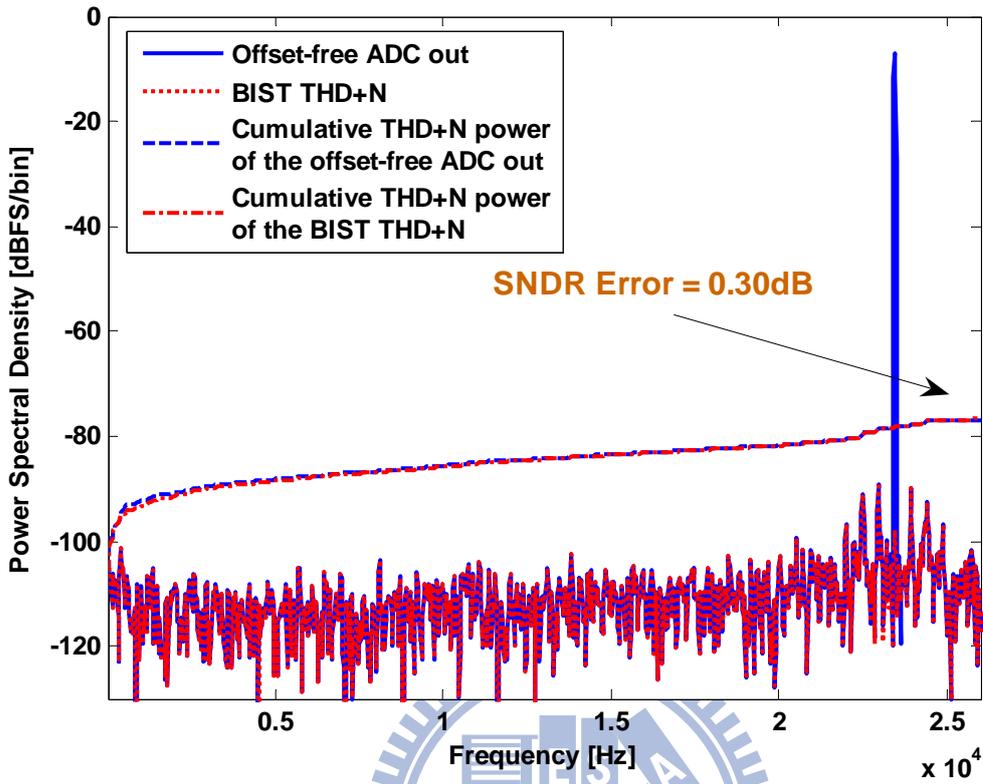


圖 5.2.3 -6.02dB、23.4kHz 之能量頻譜密度比較

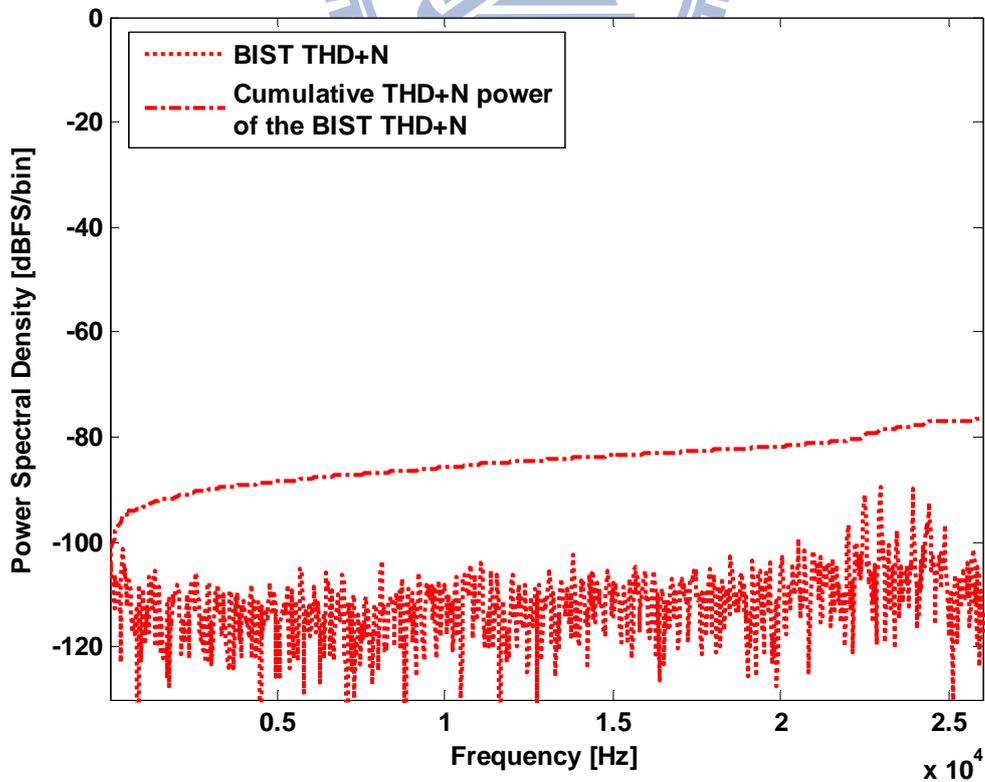


圖 5.2.4 -6.02dB、23.4kHz 之雜訊能量頻譜密度

三、 -6.02dB 之頻率掃描(圖 5.2.5)

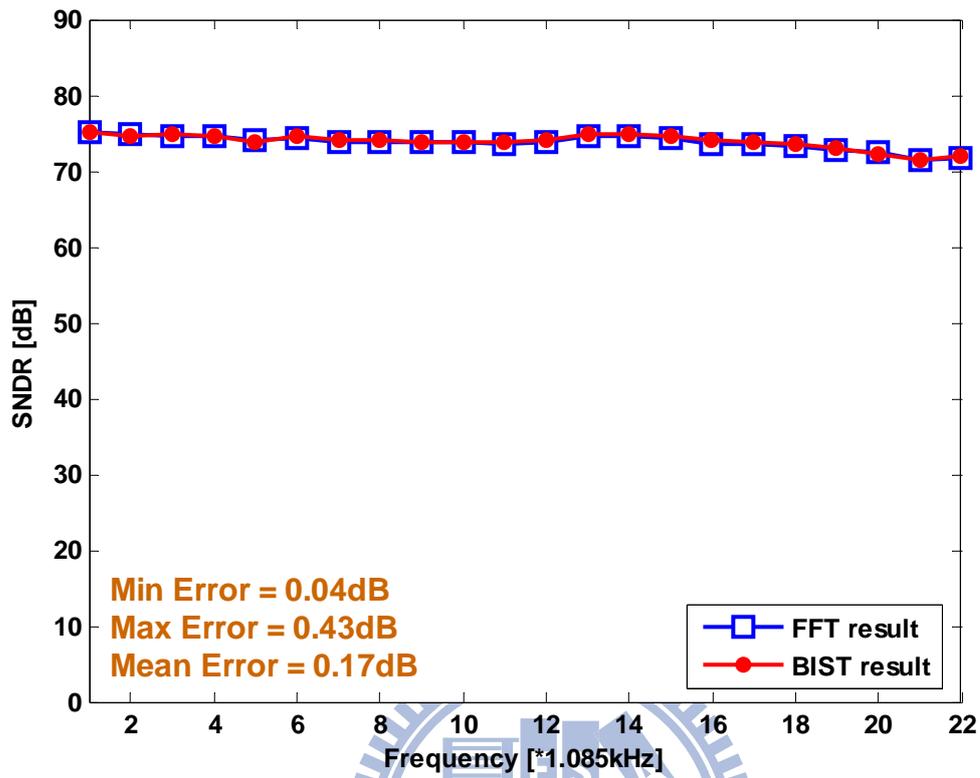


圖 5.2.5 -6.02dB 之頻率掃描

四、 -60dB 之頻率掃描(圖 5.2.6)

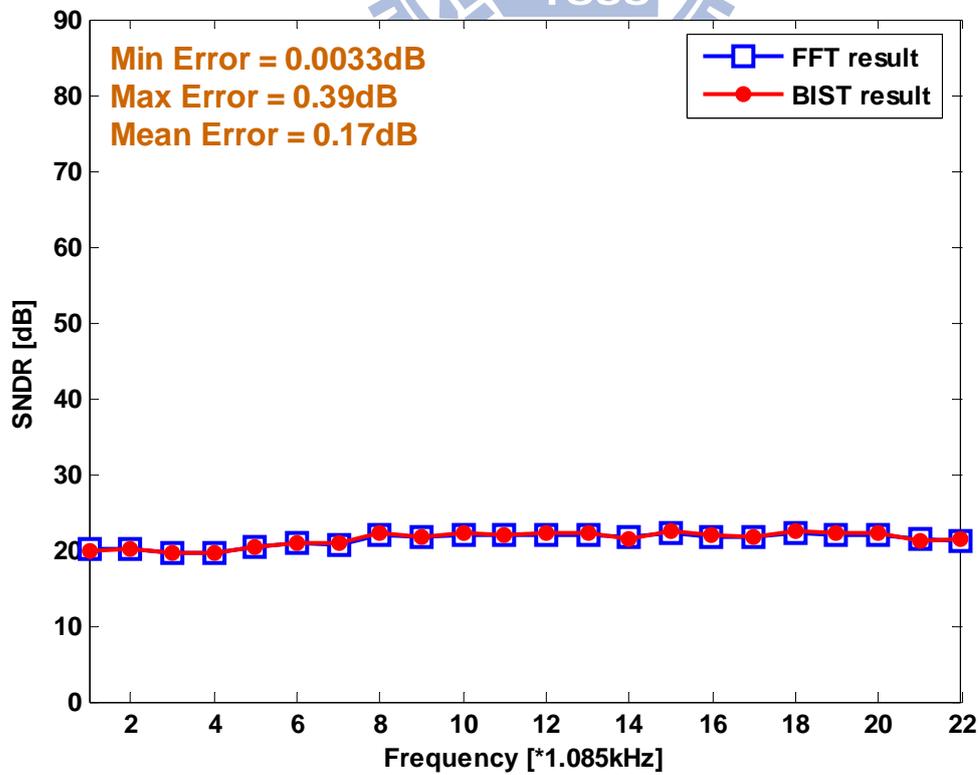


圖 5.2.6 -60dB 之頻率掃描

五、 1.085kHz 之動態範圍掃描(圖 5.2.7)

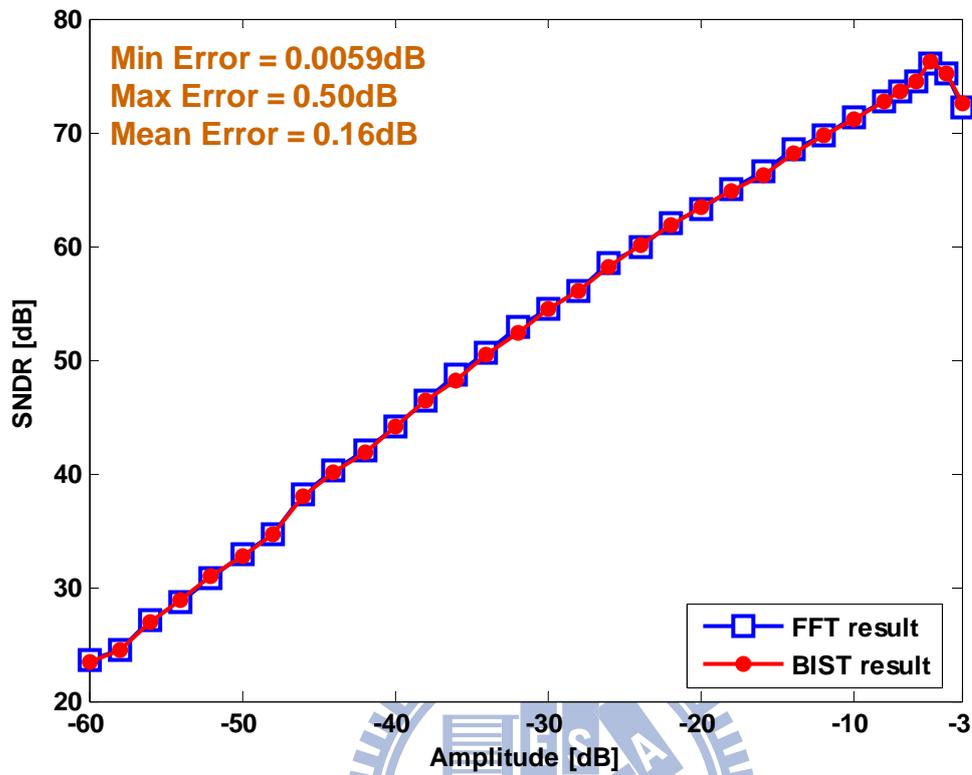


圖 5.2.7 1.085kHz 之動態範圍掃描

最後，將所有量測結果誤差記如下表 5-3：

表 5 - 3 實際測量結果誤差表

	-6dBFS @ 1 ~ 22kHz	-60dBFS @ 1 ~ 22kHz	1.085kHz @ -3 ~ -60dB
Min Error	0.04dB	0.0033dB	0.0059dB
Max Error	0.43dB	0.39dB	0.50dB
Mean Error	0.17dB	0.17dB	0.16dB

## 第六章 總結與未來方向

### 6.1 內建自我測試系統面積與效能比較

表 6-1 比較了五種不同 BIST 電路實現的結果，前三種使用 CSWF，後兩種則是 SME，而除了第一種外其餘的待測 ADC 皆是使用洪浩喬教授之具有可測性設計的  $\Delta-\Sigma$  ADC。五種 BIST 電路由左而右依序是 Luis 使用 shift register 的架構，接下來兩種分別使用了二階、三階的 BSG，再來是使用三個三階寬頻域 BSG 的架構，最右邊則是本論文所提出使用積分器簡化電路的架構。首先看到第一個 Luis 的架構，其產生測試訊號的方式雖然可以大幅提高輸入訊號的精準度，但如同第二章第三節所述這種方法卻仰賴待測 ADC 先天需要有一個額外降頻濾波器的配合，也在低頻量測時造成硬體面積過大，另外其論文中提及量測輸入振幅受限於使用帶隙電壓源造成待測 ADC 飽和的影響必須被衰減至 -12dB 降低其可測得之動態範圍，因此總結此種測試方式在各方面都不是非常完善。而另外兩種使用 CSWF 方法實現的 BIST 電路的測試結果受限於訊號產生源的設計，所以測試精準度與頻寬略嫌不足。第四種使用 SME 的架構最大的缺點是在於硬體面積過大，比起 CSWF 的演算法增加了近一倍的邏輯閘數。而本論文的架構在維持測試頻寬為 23.4k 的情況下，只使用了原本 70% 也就是 17.3k 的面積就達成一樣的結果，並且完全不犧牲掉任何測試精準度。

表 6 - 1 對  $\Delta$ - $\Sigma$  ADC 之五種不同內建自我測試方法結果比較表

	Embedded SNDR Self-Test [ITC 07']	SDMB CSWF 2-order [JETTA 08']	SDMB CSWF 3-order [submitted]	SME BSGx3	SME BSGx2
Approach	Controlled Sine Wave Fitting			Sinusoidal Minimum Error	
Test Input	Bandgap	Design-for-Digital-Testability			
Signal Generation	11.5k	4.70k	6.10k	18.96k	12.11k
ORA	N/A	5.6k	5.6k	4.14k	3.43k
SI/SO	N/A	1.6k	1.6k	1.6k	1.4k
Total BIST System	>>11.5k	11.9k	13.3k	25k	17.3k
Bit-Stream Length	2252@ 5kHz	$2^{18}$	$2^{18}$	$2^{18}$	$2^{18}$
Test Bandwidth	One Shot	8kHz	16kHz	23.4 kHz	23.4 kHz
BIST Error	<1dB@ -60~-12dB  <2dB@ -98~-12dB	<0.75dB @Avg.	<0.65dB @Avg.	<0.273dB @Avg.	<0.2dB @Avg.

## 6.2 結論與未來方向

在本文中，我們提出了一個具有成本經濟效益的內建自我測試電路，並且完成了與經濟部科專的 HOY 計畫測試平台的連接以及驗證測試，此結果對於日益增加的電路測試花費而言提供了另一套可行性的成本降低方案。此以 SME 演算法實現之 BIST 將一組數位振盪器簡化成積分器之後其合成總邏輯閘數為 17.3k，而測試頻寬可以到達頻帶內的最高頻率，並且量測結果指出由 BIST 計算而得的 SNDR 與實際輸出響應經 FFT 電路所得之 SNDR 平均只有不到 0.2dB 的誤差。

由於 CSWF 是以振幅、頻率、相位、偏移誤差等複製弦波的方式來產生主頻率訊號，因此對於其餘在頻譜上特定倍數的諧波失真分量無法一一求得。回顧 3-5 式如下，將一段有限長度為  $N$  的訊號  $x[n]$  可以用離散富立葉的形式來表示，在 SME 演算法中我們利用了兩組相位差 90 度的基準弦波訊號求出  $k=1$  時的主頻率係數  $A_1 = A_c$ 、 $B_1 = A_s$ ，因此如圖 6.2.1 可改變振盪器頻率算出  $A_2$ 、 $B_2$ ， $A_4$ 、 $B_4$  以求得待測 ADC 輸出響應在其他頻率上的諧波能量大小。這對於本論文實現的 BIST 電路架構而言只需簡單的更改測試輸入的設定，便可測得 SNR、SFDR 等等效能的資訊。

$$x[n] = \underbrace{\hat{x}[n]}_{\substack{\text{SME} \\ \text{template}}} + \underbrace{e[n]}_{\substack{\text{residue} \\ \text{noise}}} \quad (6.1)$$

$$\hat{x}[n] = \underbrace{A_0}_{\text{offset}} + \underbrace{\sum_{k=1}^{N-1} A_k \cos(k \cdot n \omega_{in} T) + B_k \sin(k \cdot n \omega_{in} T)}_{\text{signal + harmonic tones}}$$

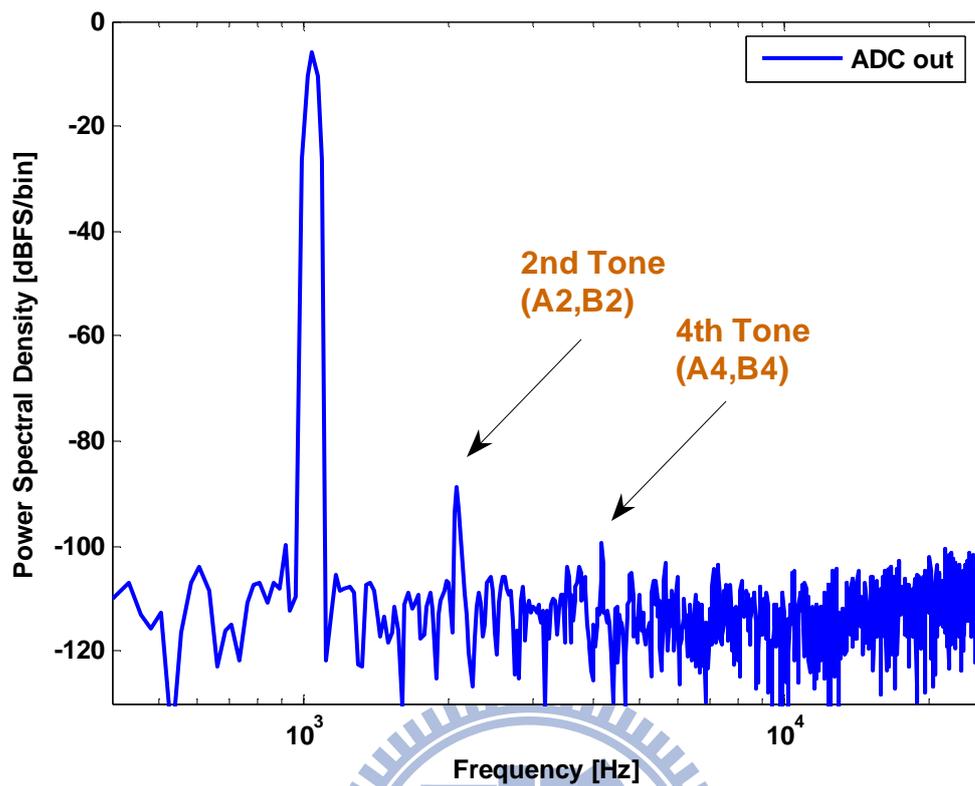
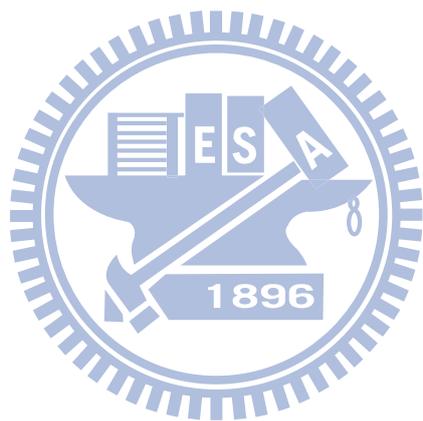
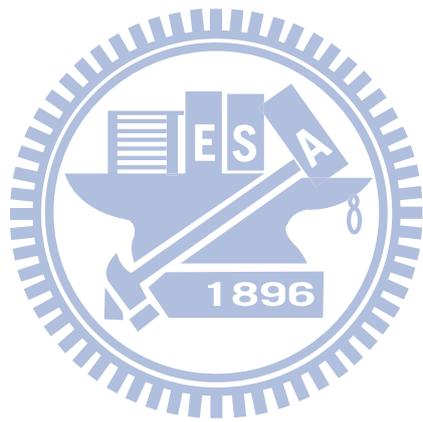


圖 6.2.1 1kHz 輸出的第二及第四諧波

最後，此 BIST 電路最大的面積消耗仍然是在數位振盪器的部份，即使只使用了兩組，卻已經佔用了 12.11k 的大小，相當於使用 CSWF 演算法的整體 BIST 電路的面積，如何研究出相同精準度但卻面積更小的數位振盪器仍是未來最重要的研究方向之一。





## 參考文獻

- [1] H. -C. Hong, "A Design-for-Digital-Testability Circuit Structure for  $\Delta$ - $\Sigma$  Modulators," *IEEE Transactions on Very Large Scale Integration (TVLSI) systems*, p.1341-1350,2007
- [2] H. Mattes and S. Sattler and C. Dworski, "Controlled Sine Wave Fitting for ADC Test," *Proceedings of International Test Conference*, p. 963-971, 2004
- [3] H. -C. Hong and S. -C. Liang, "A Cost Effective Output Response Analyzer for  $\Delta$ - $\Sigma$  Modulation Based BIST Systems," *15<sup>th</sup> Asian Test Symposium*, p.255-261, 2006
- [4] H. -C. Hong, S. -C. Liang, and H. -C. Song, "A Cost Effective BIST for Second-Order  $\Sigma$ - $\Delta$  Modulator," *IEEE*, 2008
- [5] H. T. Nicholas, III, H. Samueli, "A 150-MHz direct digital frequency synthesizer in 1.25 $\mu$ m CMOS with -90dBc spurious performance," *IEEE J. of Sol.-State Circuit*
- [6] L. T. Bruton, "Low sensitivity digital ladder filters," *IEEE Trans. Circuits Syst.*, vol. CAS-22, p. 168-176, Mar. 1975
- [7] H. T. Nicholas, III, H. Samueli, and B. Kim, "The optimization of direct digital frequency synthesizer performance in the presence of finite word length effects," *Proc. 42nd Ann. Freq. Control Symp. USERACOM, Ft.Monmouth, NJ, May 1988*, p.357-363.
- [8] Luis Rolindez, Salvador Mir, Ahcene Bounceur and Jean-Louis Carbonero, "A SNDR BIST for  $\Delta$ - $\Sigma$  Analogue-to-Digital Converters," *Proceedings of the 24th IEEE VLSI Test Symposium*, 2006
- [9] Luis Rolíndez, Salvador Mir, Jean-Louis Carbonéro, Dimitri Goguet and Nabil Chouba, "A Stereo Audio  $\Sigma$ - $\Delta$  ADC Architecture with Embedded SNDR

- Self-Test,” *International Test Conference*, 2007
- [10] Bernhard E. Boser, Klaus-Peter Karmann, Horst Martin, and Bruce A. Wooley, “Simulating and Testing Oversampled Analog-to-Digital Converters,” *IEEE Transactions on Computer-Aided Design*, p.668-674, 1988
- [11] A.R. El-Koubysi, Y. Guo, and M.S.P. Lucas, “TESTING THE PERFORMANCE OF DELTA-SIGMA ADCs,” *IEEE*, 1992
- [12] Frank frank frank
- [13] L. E. Tuner, “A fully programmable digital oscillator,” *CMC Workshop, Kingston*, June 1992
- [14] Albert K. Lu, Gordon W. Roberts, and David A. Johns, “A High-Quality Analog Oscillator Using Oversampling D/A Conversion Techniques,” *IEEE Transactions on Circuits and Systems-II: Analog and Digital Signal Processing*, p.437-442 vol. 41. NO. 7, JULY 1994
- [15] Xavier Haurie and Gordon W. Roberts, “A Design, Simulation and Synthesis Tool for Delta-Sigma-Modulator-Based Signal Sources,” *IEEE*, p.715-718, 1996
- [16] Hsin-Wen Ting, Bin-Da Liu, and Soon-Jyh Chang, "A Time Domain Built-In Self-Test Methodology for SNDR and ENOB Tests of Analog-to-Digital Converters," *Proceedings of the 13th Asian Test Symposium*, 2004
- [17] David Macii, Fernando Pianegiani, Paolo Carbone, and Dario Petri, "A Stability Criterion for High-Accuracy  $\Delta$ - $\Sigma$  Digital Resonators," p.577-583, *IEEE Transactions on Instrumentation and Measurement*, vol. 55, NO. 2, April 2006
- [18] Chiheb Rebai, Dominique Dallet, and Philippe Marchegay, "Signal Generation Using Single-Bit Sigma-Delta Techniques," p.1240-1244, *IEEE Transactions on Instrumentation and Measurement*, vol. 53, NO. 4, August 2004
- [19] X. Haurie and G. W. Roberts, “Arbitrary-Precision Signal Generation for Bandlimited Mixed-Signal Testing” , *International Test Conference*, October 1995
- [20] Hao-Chiao Hong and Sheng-Chuan Liang, "A Cost Effective Output Response Analyzer for  $\Delta$ - $\Sigma$  Modulation Based BIST Systems," *Proc. Asian Test Symposium*, pp. 255-264, Nov. 2006