

國立交通大學

材料科學與工程所

碩士論文

鎳金屬墊層及 SOP 銅錒墊結構的共晶錫鉛錒錫
接點之電遷移研究

**Electromigration study in eutectic SnPb solder
joints with Ni under-bump-metallization and
solder-on-pad surface finish**

研究生：吳岱霖

指導教授：陳智 教授

中華民國九十八年八月

鍬金屬墊層及 SOP 銅錒墊結構的共晶錫鉛錒錫接點之電遷移研究

**Electromigration study in eutectic SnPb solder joints with Ni
under-bump-metallization and solder-on-pad surface finish**

研究生： 吳岱霖 Student： Tai-Lin Wu

指導教授： 陳智 Advisor： Chih Chen



Submitted to Department of Materials Science and Engineering

College of Engineering

National Chiao Tung University

in partial Fulfillment of the Requirements

for the Degree of Master in

Material Science and Engineering

August 2009

Hsinchu, Taiwan, Republic of China

中華民國九十八年八月

鎳金屬墊層及 SOP 銅錫墊結構的共晶錫鉛錫接點之電遷移研究

學生：吳岱霖

指導教授：陳智

國立交通大學材料科學與工程學系

摘 要

近年來由於電子產品對攜帶性以及效能的要求不斷的提升，元件發展的也走向輕、薄、短、小的趨勢，因此接點的密度也隨之提升，在錫接點中的電遷移也成爲一熱門的研究領域。本研究使用鎳金屬墊層，基板端爲銅墊層，並經過 SOP(solder on pad)的表面處理，錫和預錫的成分都是共晶錫鉛。電遷移研究結果可以看到經過通電測試後，晶片端的陰極沒有明顯的孔洞生成，但是可以觀察到錫原子回填的現象；在基板端的陰極則可以觀察到沿著銅墊層與錫接點介面產生環狀的孔洞，是整個迴路中破壞最嚴重之處。會造成此種破壞是因爲當電子流進入銅墊時，由於銅有較低的電阻率，電子流會在銅墊內散佈，當電子流入錫接點時，電子流聚集形成一環狀電流密度較高的區域，加上銅原子在錫內較容易被電子流推動，於是在陰極基板端的錫接點造成孔洞的生成。

Electromigration study in eutectic SnPb solder joints with Ni under-bump-metallization and solder-on-pad surface finish

Student: Tai-Lin Wu

Advisor: Dr. Chih Chen

Department of Materials Science and Engineering, National Chiao

Tung University

Abstract

As the performance and device density of electronic products continuous to increase, electromigration has become an important reliability issue. In this study, electromigration study is conducted in eutectic SnPb solder joints with Ni under-bump-metallization and solder on pad (SOP) surface finish. We observed that there is severe damage on the substrate side, and the damage on chip side is not obvious. The damages on substrate side included void formation, dissolution of copper, and intermetallic compound formation. The voids almost separated Cu pad from the solder. We used microstructure analysis and 3-dimension simulation to investigate the electromigration mechanism in the area between SOP/ Cu surface finishes and solder. The higher diffusion rate of Cu in the eutectic SnPb solder was responsible for the serious void formation in the surface of the SOP and the solder layers. Therefore, the surface becomes the weakest region during electromigration.

誌謝

首先要感謝我的指導教授 陳智博士，在老師的悉心教導之下，使我得以一窺銻錫電遷移領域的奧妙。老師做學問的嚴謹態度，是我輩學習的典範；在待人處事上，老師也是我們的榜樣。老師鼓勵並補助我們出國參與研討會，開拓了我的視野，在此我要對陳智老師致上我最高的謝意。另外要感謝謝宗雍教授、吳耀銓教授以及陳信文教授對於我的論文所給予的指導與意見。

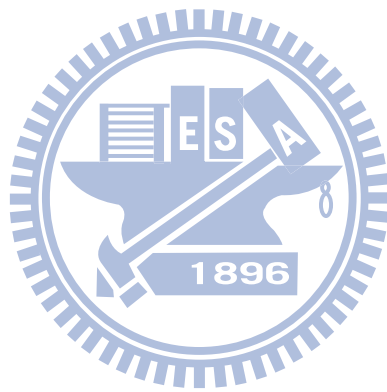
對於 CC lab 的大家，我要感謝實驗室的阿丸學長，常提供我在實驗上寶貴的意見；世緯學長給予實驗和模擬上的協助；翔耀學長以及蔡頭在 IR 上幫了許多忙；還有帶我開始做實驗的 ppp。一起揮灑汗水的聖翔學長，迷戀星巴克的筱芸學姊，實驗認真的詠湟學長，熱愛慢跑以及棒球的健民學長、幽默的寬寬哥，FIB 很罩的漢文，志忠，要一起畢業的龍哥、建志，佳凌、羊咩、小蕨、馨瑩...，謝謝你們大家，豐富了我這兩年生活，祝大家之後一切順心。

最後要感謝我的媽媽以及天上的爸爸，謝謝你們對我的支持與鼓勵，是我努力向前的原動力，還有女友 chear，一路走來所給予的關心、陪伴以及包容。感謝你們的支持，讓我順利完成了論文，並帶給我人生莫大的喜悅。

目錄

摘要.....	I
Abstract	II
誌謝.....	III
目錄.....	IV
圖目錄.....	VI
第一章 序論.....	1
1-1. 電子封裝簡介.....	1
1-2. 研究動機.....	3
第二章 文獻回顧.....	6
2-1 電遷移理論.....	6
2-2 焊錫接點的電遷移行為.....	7
2-2.1 錫與鉛受電遷移作用下的擴散行為.....	7
2-2.2 通電造成的相分離.....	8
2-2.3 電流集中效應.....	8
2-2.4 焦耳熱效應與 TCR 效應.....	9
2-3 電遷移造成焊錫凸塊的破壞機制.....	10
2-3-1 電遷移下造成孔洞的生成.....	10
2-3-2 銅金屬墊層快速溶解.....	11
2-4 減緩電遷移現象的討論.....	12
UBM 厚度的改變.....	12
2-5 熱遷移效應的影響.....	13
第三章 試片結構及實驗方法、步驟與結果.....	22
3-1. 試片製備.....	22
3-2. 實驗方法.....	23
3-2-1. 銲錫電阻變化的量測.....	23
3-2-2. 利用通電結構的 TCR effect 校正焊錫的溫度.....	24
3-2.3 試片破壞模式的觀察.....	24
3-3 使用模擬軟體分析焊錫接點內的電流密度.....	25
第四章 結果與討論.....	30
4-1 焊錫接點破壞模式分析.....	30
4-1.1 銲錫剖面觀測.....	30
4-1.2 介金屬化合物大量生成.....	32
4-1.3 固定電流改變溫度下的破壞模式比較.....	34
4-1.4 semi in-situ 的觀測.....	37
4-2 焊錫接點溫度的校正.....	38
4-3 模擬焊錫接點電流密度分佈.....	39

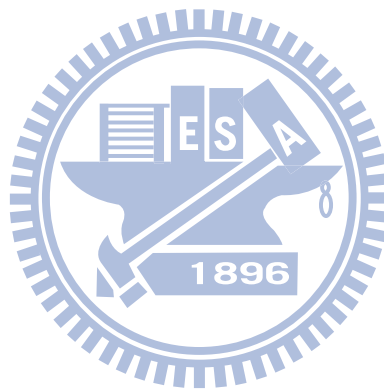
第五章 結論.....56
參考文獻.....57



圖目錄

圖 1-1 各封裝層級示意圖.....	5
圖 1-2 覆晶接合示意圖.....	5
圖 1-3 Kelvin structure 在半導體電性量測示意圖.....	6
圖 2-1 無鉛錒錫內部電流密度分布模擬[9].....	14
圖 2-2 錒原子及鉛原子在共晶錒錫內在不同溫度下的擴散行為[10].....	15
圖 2-3 有限元素分析焊錒接點內部電流密度示意圖[12].....	16
圖 2-4 (a)焊錒接點內部橫截面上的溫度分佈情形[14].....	17
圖 2-4 (b)當施加 0.59 安培時，使用 IR 量測到的鋁導線溫度分佈[14].....	17
圖 2-5 (a)-(c)孔洞生成與成長在 125 °C 施加電流密度 $2.25 \times 10^4 \text{ A/cm}^2$ 之不同階段 SEM 影像[15].....	18
圖 2-6 (a)鬆餅狀孔洞生成在 IMC 與焊錒介面 (b) 對孔洞生成所建立的數學模型 [16].....	19
圖 2-7 銅墊層快速反應示意圖[17, 18].....	20
圖 2-8 (a)5 μm 厚銅墊層施加 $2.25 \times 10^4 \text{ A/cm}^2$ 的破壞情形。(b) 10 μm 厚銅墊層施加 $3 \times 10^4 \text{ A/cm}^2$ 於 100 °C, 100 小時後其破壞情形。(c) 50 μm 厚銅墊層施加 $6.75 \times 10^4 \text{ A/cm}^2$ 於 100 °C, 100 小時後其破壞情形[21, 22].....	21
圖 3-1 焊錒接點結構示意圖.....	26
圖 3-2 TCR 效應關係圖.....	27
圖 3-3 遠紅外線觀測儀.....	27
圖 3-4 使用 EDS 對晶片端介金屬化合物分析.....	28
圖 3-5 三維模擬模型結構示意圖.....	29
圖 4-1 焊錒接點測試前的結構及相分佈情形.....	41
圖 4-2 130°C, 1.6 A 下經過 607 小時，電子流方向由左上到下.....	41
圖 4-3 100°C, 1.6 A 下經過 1443 小時(a)電子流方向由下到右上，截面的 SEM 影像(b)第二橫截面，電子流方向由左流入向上流出，截面 SEM 影像.....	42
圖 4-4 (a) 100 °C 1.6 A 下經過 1164 小時，二次橫截面 OM 影像 (b) 二次橫截面在焊錒與銅焊墊介面處，孔洞生成示意圖.....	43
圖 4-5 130°C, 1.6 A 下經過 525 小時，電子流方向由左上到下.....	44
圖 4-6 130°C, 1.6 A 下經過 525 小時(a) 電子流方向由下到右上，截面的 SEM 影像(b) 電子流方向由左上到下，截面的 SEM 影像.....	45
圖 4-7 100°C, 1.6 A 下經過 1164 小時通電測試(a) 電子流方向由下到右上，截面的 SEM 影像(b) 電子流方向由左上到下，截面的 SEM 影像.....	46
圖 4-8 100 °C、1.6 A 下，紅外線熱顯像儀量測到的溫度分佈.....	47
圖 4-9 100 °C 0.8 A semi in-situ 觀測(a) 電子流方向由下到左上，截面的 SEM 影像(b) 電子流方向由右上到下，截面的 SEM 影像.....	48

圖 4-10 一對焊錫接點內部鉛原子電、熱遷移作用下受力方向示意圖.....	49
圖 4-11 TCR 校正電阻對應溫度的關係.....	50
圖 4-12 一對焊錫接點內部電流密度的三維模擬.....	51
圖 4-13 平行銅導線方向上焊錫接點內部電流密度的三維模擬.....	51
圖 4-14 模擬鉍錫接點底層之電流密度分佈。.....	52
圖 4-15 (a) 模擬鉍錫接點剖面電流密度分佈情形。(b) 模擬鉍錫底層的電流密度分佈情形。.....	53
圖 4-16 模擬孔洞生成之後(a) 鉍錫接點剖面電流密度分佈情形。(b) 鉍錫底層的電流密度分佈情形。.....	54



第一章 序論

1-1. 電子封裝簡介

今日半導體科技迅速的發展，電路的設計也日漸複雜，元件尺寸也不斷的縮小，爲了符合各式各樣需求的封裝技術陸續被開發出，依照使用不同的技術以及接合的過程可以將封裝分爲三個層級，如圖 1-1 [1]所示：第一層的封裝，是將IC晶片接合到基板上，並完成晶片與基板間線路的連接以及密封保護之製程(Chip to Module)；第二層的封裝，是將第一層接合好的元件組合至印刷電路板上的製程(Module to Board)；而第三層的封裝，則是將印刷電路板組裝在主機板之上(Board to Mother Board)。本研究在探討第一層級的封裝。

隨著今日電子產品對於性能以及可攜性的需求不斷提升，並且目前積體電路的發展依就遵循著摩爾定律，即每十八個月電路的複雜度會倍增，因此矽晶片上電晶體的數目越來越多，對於I/O的需求數目也不斷提昇，爲了因應這樣的需求，覆晶封裝技術逐漸被應用到高腳數，高性能之原件電路連線上。相較於傳統的周列式(Peripheral Array)打線封裝，由於覆晶封裝採取的是面積陣列(Area Array)的方式，能夠提供更高的I/O數目，除此之外還具有體積小、低電子遲滯性、散熱佳、自組裝特性(Self-Alignment)。覆晶接和沿自IBM 公司在1960s 所

提出的C4 (Controlled Collapse Chip Connection)[2]製程，如圖 1-2，是在晶片的表面長出錫鉛凸塊(Solder Bump)，將晶片與陶瓷基板接合。目前覆晶接合主要應用在處理器以及繪圖晶片等較高階產品的封裝上。

一直以來，錫料的選擇都採用含鉛的錫鉛合金為主，因為錫鉛錫錫具有以下優點：共晶錫鉛(Sn63Pb37，熔點為 183 °C)相較於無鉛錫具有低熔點的特性，可以在較低的溫度下完成銲接；共晶錫鉛錫與銅的介面能小，因此接觸角小，可以避免剝離(Spalling)的發生；鉛可以提供錫良好的延展性，減低受到外在衝擊時的影響。

近年來，由於對環保議題的重視，以及鉛對人體健康的危害，世界各國紛紛訂定了相關法令，以限制鉛的使用：歐盟於2006年七月起實施「限用有害物質指令」(RoHS)[3]法案，限制了大部分電子產品中鉛的使用；日本則規畫一個時程[4]，在2005年之後全面禁止國內電子元件有鉛的成分。使用無鉛錫，除了環保的考量外，也因為含鉛錫中會有少量的 Pb^{210} 同位素，他衰退成 Pb^{206} 同時會生成Bi和放出 α 粒子，當粒子通過矽晶片時會生成電子電洞對，可能對原件的電容產生影響，造成”Soft Error”發生。

1-2.研究動機

由於銅在空氣中很容易氧化生成氧化銅，而製造完成的基板不會馬上與錫鉛接和，因此銅墊層需要經過表面處理以防止氧化的發生。常使用的表面處理方式有：有機錫接保錫劑 (Organic Solderability Preservative, OSP)；錫鉛預墊層 (Solder on Pad, SOP)；鍍金 (Electroless Nickel immersion Gold, ENIG)；噴錫(HASL)；化銀 (Immersion Silver)；化錫(Immersion Tin) 等方式。SOP因具有好的潤濕性，並且預錫(pre-solder)可以保護銅墊層不發生腐蝕和氧化，也不會有Au / Ni 中金原子擴散的問題，因此SOP是未來很有機會被採用的表面處理方式之一。

ENIG 是經常採用的表面處理方式之一，由於無電鍍鍍層具有擴散阻障層的功用，因此銅墊層不至於與錫鉛起太劇烈的反應；反觀錫鉛預墊層中，在回錫之後銅墊層直接與錫鉛接觸，銅很容易會與錫鉛發生反應，生成大量的介金屬化合物 (Intermetallic compound, IMC)，造成銅墊層的消耗；並且在電遷移的作用下會在銅與錫鉛的界面有孔洞的生成，這些孔洞會造成錫鉛接點電阻的上升，甚至可能是造成接點破壞的主要因素。考量銅與錫鉛反應速率相當快，由於鍍

與銲錫的反應較緩慢，在晶片端使用鎳墊層可以降低墊層的消耗速率，延後破壞發生的時間，達到延長使用壽命的目的。本研利用四點量測技術研究銲錫接點在電遷移作用下的破壞，觀察鎳金屬墊層以及銅銲錫預墊層搭配共晶錫鉛銲錫的情況下，銲錫接點在電遷移作用之下的破壞模式以及過程中發生的冶金反應。



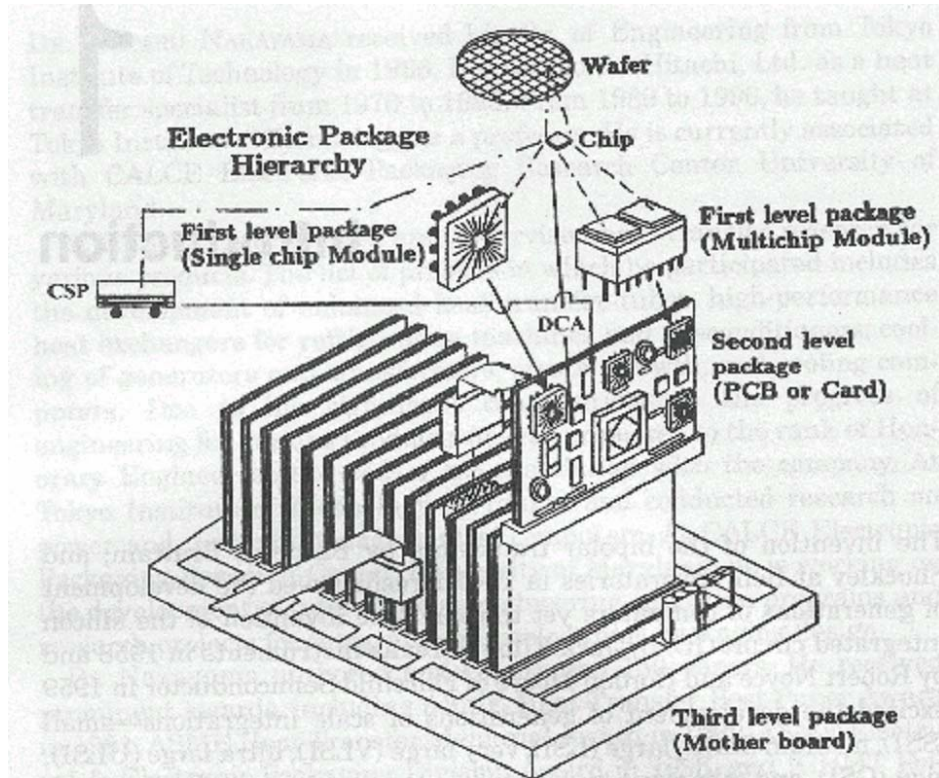


圖 1-1 各封裝層級示意圖。

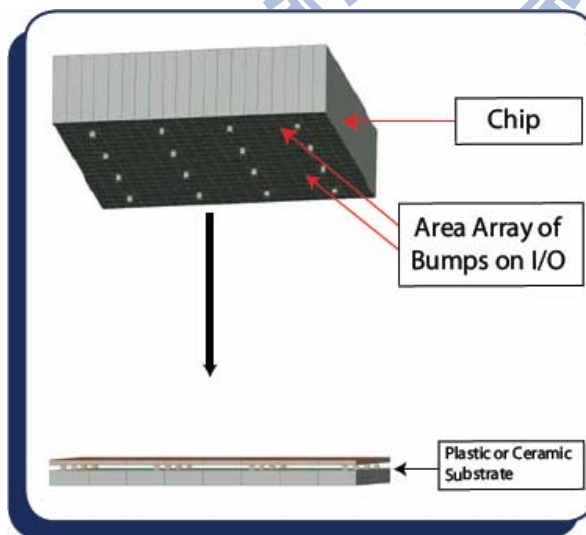


Figure 1-2 Flip Chip Assembly

圖 1-2 覆晶接合示意圖。

第二章 文獻回顧

2-1 電遷移理論

電遷移造成的破壞，第一次被發現是在 20 世紀中，在積體電路的導線中觀察到，此後便有許多相關研究投入電遷移的領域。

西元1994年Skaupy 提出電子風 (Electron Wind) 的觀念，來量化電遷移所造成的質量傳送。對於電遷移相關議題的研究現況，K. N. Tu 於2003年發表於JAP[5]的論文中，有一完整的探討，包括積體電路中導線以及鉍錫內部的電遷移。金屬部份的電遷移，是由Paul S. Ho 與 Thomas Kwok[6]首先提出研究。Seith 與Wever 也以定位點的運動，來量測質量遷移的位移量。此電遷移觀測的方式，也成為日後的標準方法。

對於電遷移通量的計算，下列式子是 Nernst-Einstein 所提出的：

$$J = \frac{Ne\rho}{kT} Z^* jD = \frac{Ne\rho}{kT} Z^* jD_0 \exp\left(-\frac{Q}{kT}\right) \quad (2-1)$$

$$J = \frac{Ne\rho}{kT} Z^* jD = \frac{Ne\rho}{kT} Z^* jD_0 \exp\left(-\frac{Q}{kT}\right) \quad (2-1)$$

式中J為電遷移通量， ρ 為電留密度，T為絕對溫度， Z^* 是有效電荷數， D_0 是擴散係數，Q則是活化能。從其相關研究中推導出 Blech 結構在不同的線寬 (10, 3, 1 μ m) 下的飄移速率分別為16、49、66 nm/h，

而活化能則是 $0.73 \pm 0.12 \text{ eV}$ [7, 8]。

在Kuo Ning Chiang, Chien Chen Lee 等人發表在APL (2006) 的著作[9]提出，當無鉛錫經過通電後可以發現有在陰極有明顯的孔洞生成與介金屬化合物聚集。如圖2-1實驗提出影響實際使用的破壞過程，不僅僅在於錫接點，同時也可能發生在鋁或是銅導線處；同時對於電遷移的活化能計算，以 Black's Equation：

$$MTTF = A \frac{1}{j^n} \exp\left(\frac{Q}{kT}\right) \quad (2-2)$$

對上式取對數，可以改寫成如下：

$$\ln(MTTF) = \ln A - n \ln J + \frac{Q}{kT} \quad (2-3)$$

2-2 錫錫接點的電遷移行爲

2-2.1 錫與鉛受電遷移作用下的擴散行爲

D. Gupta, K. Vieregge 等人[10]係利用 ^{210}Pb 與 ^{113}Sn 放射性質的同位素來追蹤，在不同溫度下錫與鉛的擴散行爲。由實驗結果可知，在 120°C 以上，鉛原子的擴散速率比錫快，而在 120°C 以下，錫原子則擴散的比鉛快如圖2-2(a)。在溫度低於 400°K 時，作Arrhenius 的關係圖推出此時的Pb Tracer 與Sn Tracer 活化能分別為 84.8 kJ/mol 與 77 kJ/mol ，而其 δD_i^0 分別為 $7 \times 10^{-10} \text{ m}^3/\text{s}$ 與 $7 \times 10^{-12} \text{ m}^3/\text{s}$ 。從量

測的結果算得介面能為 150 mJ/m^2 。當溫度高於 400 °K 其 δDi^0 會從Arrhenius 的關係式快速的上升，到接近晶界擴散在多晶鉛與錫鉛合金的狀況，如圖2-2(b)。

2-2.2 通電造成的相分離

Jong-Kai Lin, Jin-Wook Jang 等人[11]，對無電鍍鎳UBM 的共晶錫鉛覆晶接點測試中觀察到通電後發生相分離的現象。同時也發現到，在 150 °C 下，電流密度為 5.1×10^4 安培/平方公分以上，經過 30 小時的通電時間，就可以觀察到明顯的相分離，富鉛相被推往陽極側聚集，同時伴隨嚴重的IMC成長，但不會發生明顯的孔洞生成在通電過程中。



2-2.3 電流集中效應

覆晶錫鉛封裝中，錫鉛接點連接了晶片端的內導線以及基板端的導線，由於覆晶封裝的特殊結構，電流流經的錫鉛截面積比流經內導線的截面積要大兩個維度，因此在內導線與錫鉛交界處會有很大的電流密度差異；且由於錫鉛的電阻率與內導線相比小非常多，所以當電子流流至內導線與錫鉛的交會處時，電子傾向循最小電阻路徑移動，大部分的電子會集中流入錫鉛中，而不是繼續在內導線中傳遞，於是

發生所謂的電流集中效應。

在Everett C. C.等人的研究中[12]提及導線與鉚錫凸塊幾何形狀的差異造成鉚錫凸塊內部的電流集中情形，鉚錫內部電流密度分布分析結果如圖 2-3 所示，並由實驗的結果證實此現象會造成鉚錫凸塊中電流集中處有孔洞生成，且使鉚錫在電遷移可靠度測試的結果不如預期，結果推得如在設計中引入可減緩電流集中效應的方法，可以提高鉚錫凸塊的電遷移測試可靠度。

2-2.4 焦耳熱效應與TCR效應

焦耳熱效應是James Prescott Joule於1841年所發現的[13]，當一個帶電量 q 的粒子通過一電位差為 V 的電場時會受到電場的加速，運動期間每一次與原子發生碰撞都會造成一些能量損失，而轉換成爲原子的動能或是震動能，再以熱能的方式表現出來進而導致溫度上升。實驗結果發現，金屬線在通電下所產生的熱能正比於電阻與電流二次方的乘積，引入歐姆定律 $V=IR$ ，則焦耳熱能(電功率)可以表示爲

$$P=I^2R=J^2 \rho V \quad (2-4)$$

式中 P 代表熱能， I 是電流， R 爲電阻， J 是電流密度， V 表金屬體積， ρ 是金屬材料的電阻率，經由實驗證實，當通過覆晶鉚錫接

點的電流大於1 A時，則所產生的焦耳熱效應便不能夠忽略。

在高於絕對零度時，原子會在其晶格平衡位置上不斷的振動。隨著溫度上升，其震動的振幅也越大，因此電子在通過金屬導體時的阻礙也越大，而電子所受的阻力將會反應在電阻上，即所謂的 TCR 效應(Temperature Coefficient of Resistance effect)。

$$TCR = \frac{R_f - R_0}{R_0} \frac{1}{T_1 - T_0} \quad (2-5)$$

S.H. Chiu等人 [14]由模擬結果提出由鋁導線進入銲錫交界處有熱點存在，並利用紅外線顯像儀量測焦耳熱效應造成的溫升，發現主要發熱源的確來自於鋁導線，並且驗證熱點的存在，如圖 2-4，此乃為目前最直接可以量測到銲錫球在電遷移測試下溫度的技術，由於焦耳熱效應以及TCR效應將進一步造成電阻上升。

2-3 電遷移造成銲錫凸塊的破壞機制

2-3-1 電遷移下造成孔洞的生成

Everett C. C. Yeh,等人[15]研究顯示，Al/Ni(V)/Cu 所構成的薄膜UBM結構，總厚度為1 μ m，在125°C下通以 2.25×10^4 A/cm²的電流密度，在電遷移可靠度測試中，同時記錄電位的變化，發現當孔洞生成在UBM 與銲錫凸塊的介面處時，電位有些微的變化，當孔洞延著

此介面生長與橫越整個接觸面積時，電位會快速上升，並且發現到，孔洞生成的凝核時期，需要較長的時間，一旦孔洞生成，即快速的生長而導致迴路開路如圖 2-5。

在 K. N. Tu 等人[16]的研究中，使用95.5Sn-4.0Ag-0.5Cu 錒錫球搭配Al/Ni(V)/Cu 薄膜UBM 如圖 2-6 時，在146°C 電流密度為 $3.67 \times 10^3 \text{ A / cm}^2$ 的測試下，電阻上升15%後觀測到鬆餅狀的孔洞生成在介金屬化合物與錒錫凸塊的界面處，再經過6小時後孔洞橫越了整個界面，並提出數學模型以解釋孔洞在界面成長的情形，利用此模型可以推算出，在不同的測試條件下孔洞的生長速率及其對應的孔洞大小，最後經由實驗結果來驗證，發現數學理論值與實驗結果十分吻合。

2-3-2 銅金屬墊層快速溶解

Y. H. Lin, C. M. Tsai, Y. C. Hu, Y. L. Lin與C. R. Kao等人發表在J.Mater. Res. 18 (2003) [17]與J. Electron. Mater. 34 (2005) [18]的研究顯示出不同於過去文獻中的破壞機制。研究中發現利用5 μm厚的銅墊層與錒錫做接合時，在100 °C、 $2 \times 10^4 \text{ A / cm}^2$ 的測試條件下，電遷移會造成銅墊層的快速消耗，最後錒錫延著銅墊層的方向回填，使銅導線亦反應形成斷路，促使覆晶錒鉛錒錫接點的可靠度大幅下降，圖 2-7 為該研究中觀察銅墊層消耗的情形。

C. Y. Liu, Lin Ke, Y. C. Chuang與S. J. Wang等人在JAP, Vol. 100 (2006) 的研究[19]對銅墊層消耗造成的電遷移破壞作了一系列的分析。該研究中對於銅膜的反應速率、介金屬化合物的成長與反應形成的微結構分佈都有很詳細的探討。

2-3-3 銅銲墊與焊錫間孔洞的生成

M.H. Chu 與 Chih Chen 等人於 2008 的著作指出[20]，當使用 SOP 以及銅墊層時，由於銅墊層會將電子流分散，當電子流匯集進入銲錫接點時在接點底部周圍形成一圈電流密度較高的區域，因此銲錫接點主要的破壞模式為在銲錫接點與銅墊層介面產生孔洞，


2-4 減緩電遷移現象的討論

UBM 厚度的改變

Jae-Woong Nah等人[21,22]研究厚度分別為 5、10 與 50 μm 的銅墊層接在 20 μm 銲錫凸塊上進行電遷移測試，如圖(2-8)，並利用數值模擬法去探討銲錫凸塊內電流密度分佈的情形，模擬結果顯示銲錫內部的電流密度隨著銅墊層的厚度增加而下降，當銅墊層的厚度到達

50 μm 時，電流集中效應發生的位置已由墊層與鋅錫的界面，轉到銅墊層的內部，銅抵抗電遷移的能力比鋅錫高兩個維度，因此可以降低電遷移對鋅錫凸塊的破壞。對照實驗可以看到類似的結果，50 μm 的破壞模式為銅墊層的快速溶解，及大量的介金屬化合物生成，此兩種材料都比鋅錫抗電遷移，有較長的平均壽命(MTTF)；而10 與 20 μm 的破壞主要是由電遷移造成。

2-5 熱遷移效應的影響



在 H.Y. Hsiao 與 Chih Chen 等人發表在 APL 2009 的研究[23]指出。藉由鋅錫接點在施以交流電的情況下對無鉛錫銀鋅錫做即時的觀察。由於施加的是交流電，因此可以摒除電遷移的作用，單純對熱遷移的效應進行討論，從實驗的結果可以看到，在晶片端(即熱端)可以觀察到錫原子聚集所造成的隆起，得到的結論為鋅錫接點中錫原子在熱遷移作用下會往熱端移動。

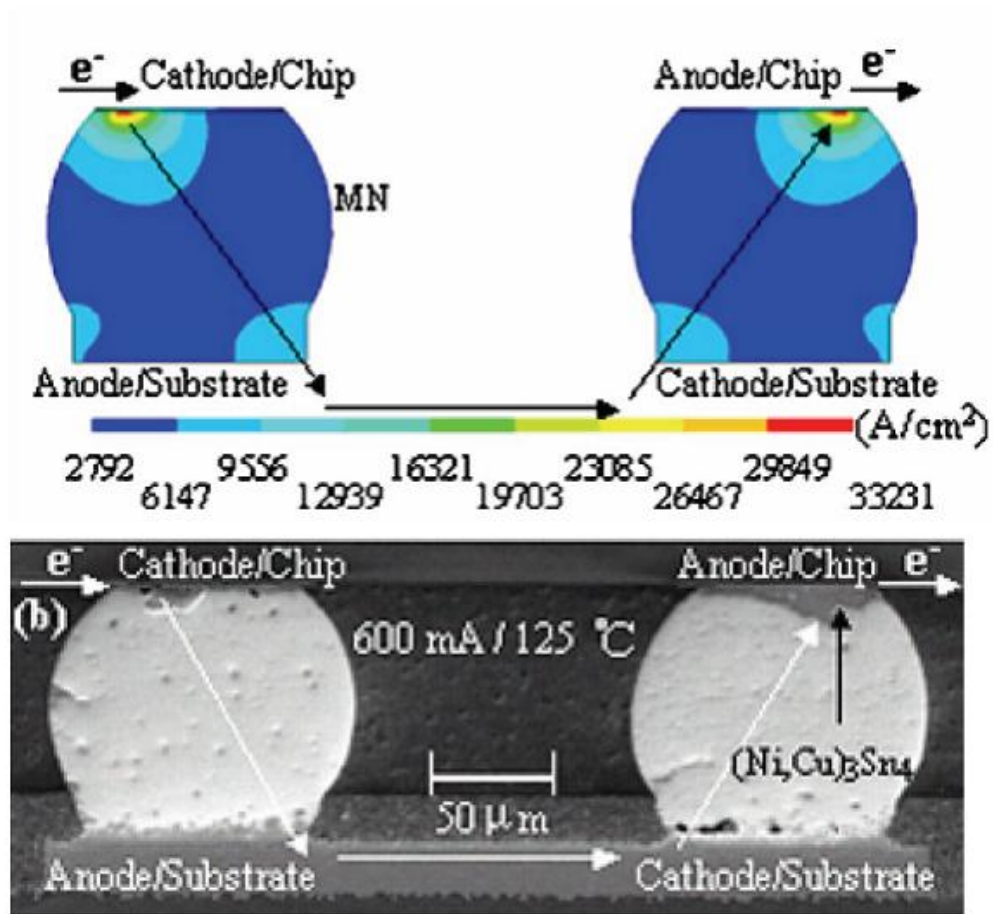


圖 2-1 上圖為無鉛鉚錫內部電流密度分布模擬。下圖為無鉛鉚錫經過 1431 小時通電，電流密度為 $1.68 \times 10^4 \text{ A/cm}^2$ 之 SEM 影像，孔洞生成於電子流由導線進入鉚錫處[9]。

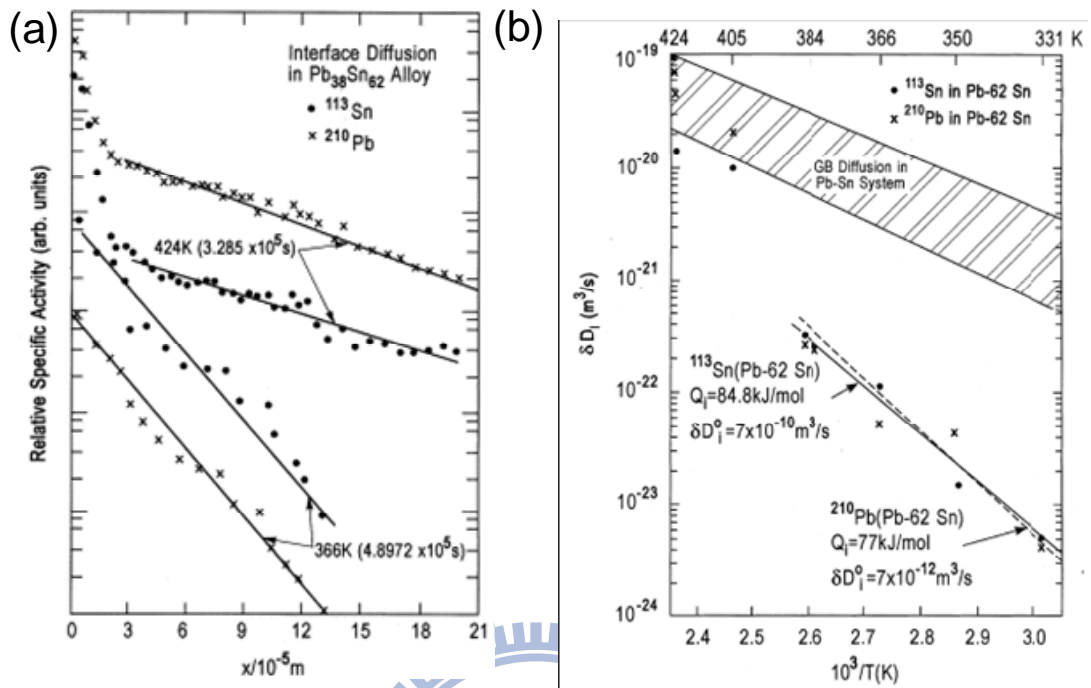


圖 2-2 錫原子及鉛原子在共晶鉛錫內在不同溫度下的擴散行為[10]。

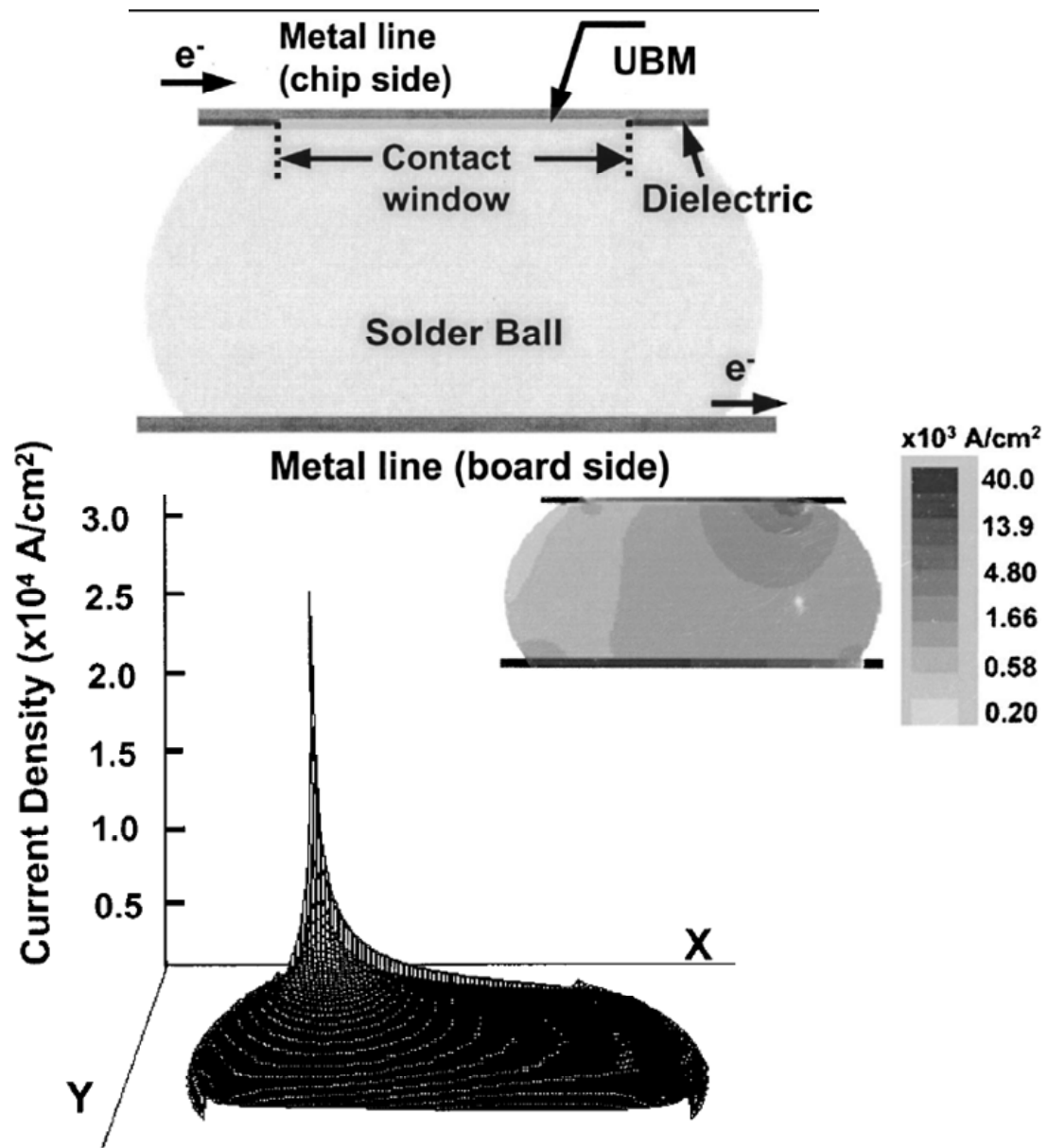


圖 2-3 有限元素分析鉛錫接點內部電流密度示意圖[12]。

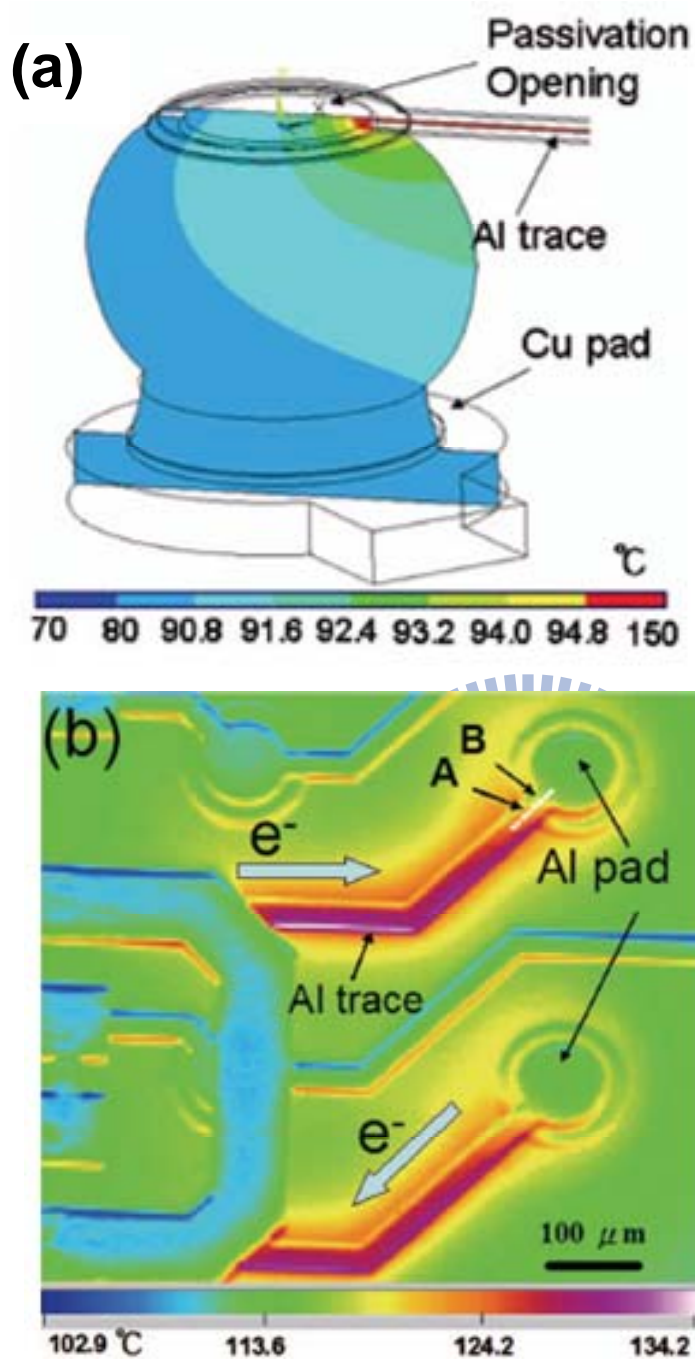


圖 2-4 (a) 錫錫接點內部橫截面上的溫度分佈情形，可以看到在接近鋁導線入口處有一熱點存在。(b) 當施加 0.59 安培時，使用 IR 量測到的鋁導線溫度分佈[14]。

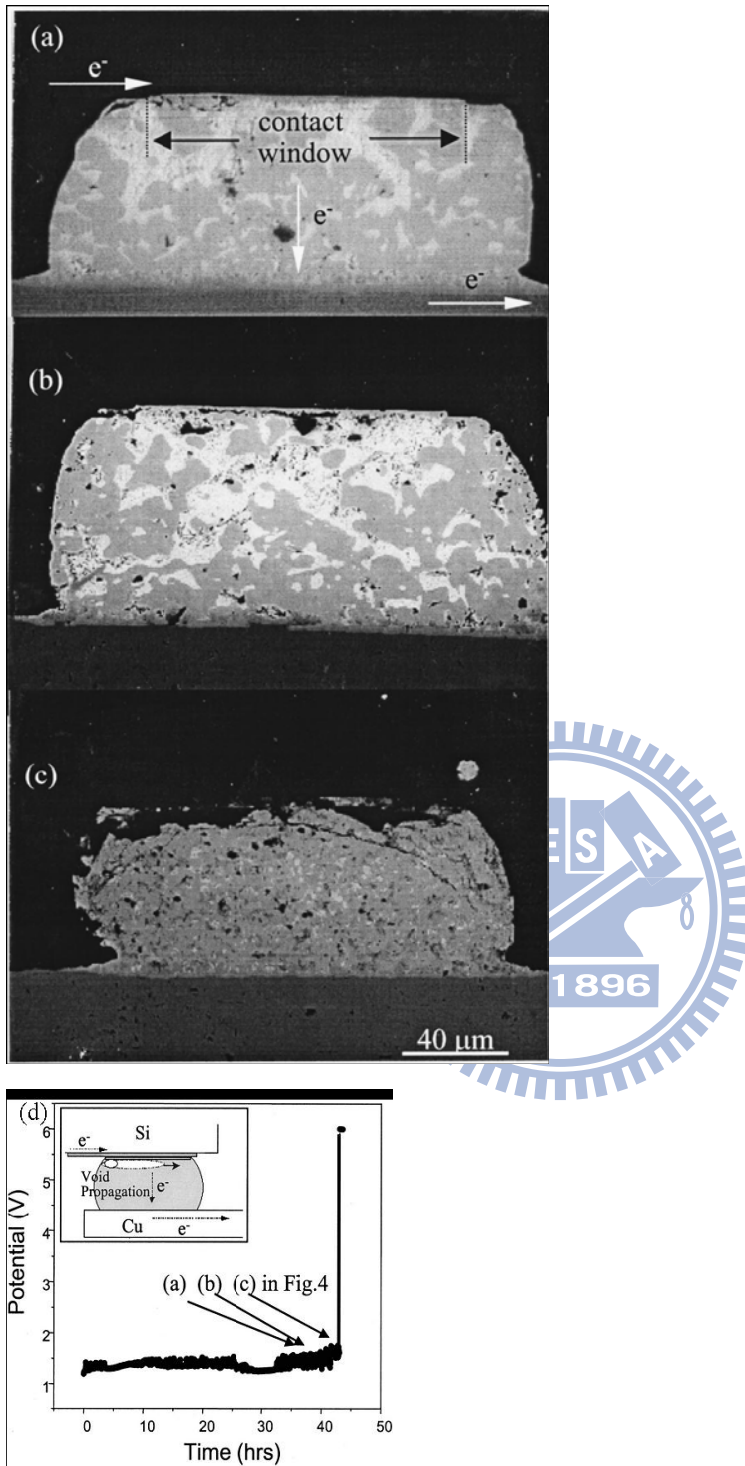


圖 2-5(a)-(c) 孔洞生成與成長在 $125\text{ }^{\circ}\text{C}$ 施加電流密度 $2.25 \times 10^4\text{ A/cm}^2$ 之不同階段SEM影像。(d)：(a)-(c)對應到電位與時間關係圖[15]。

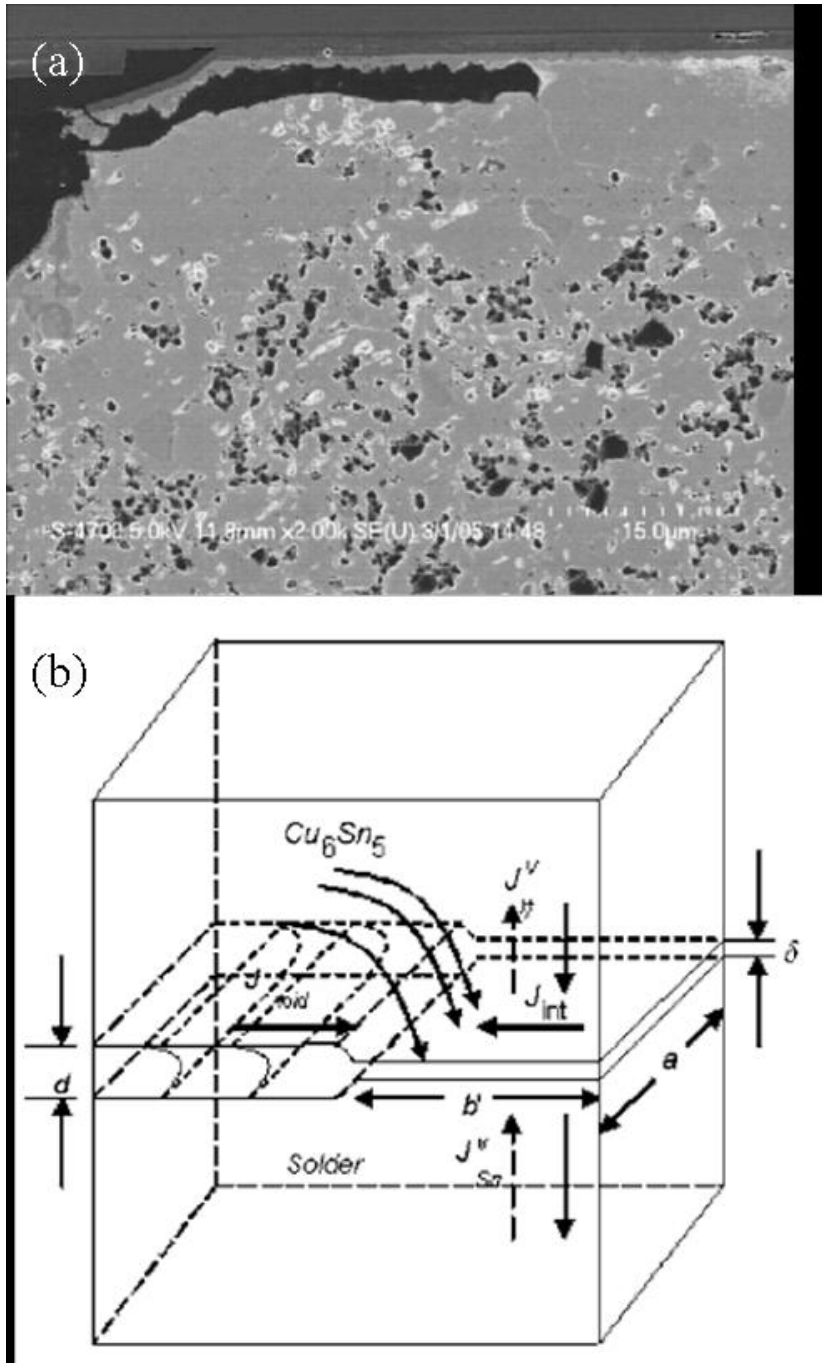


圖 2-6 (a) 鬆餅狀孔洞生成在 IMC 與錫錫介面。(b) 對孔洞生成所建立的數學模型[16]。

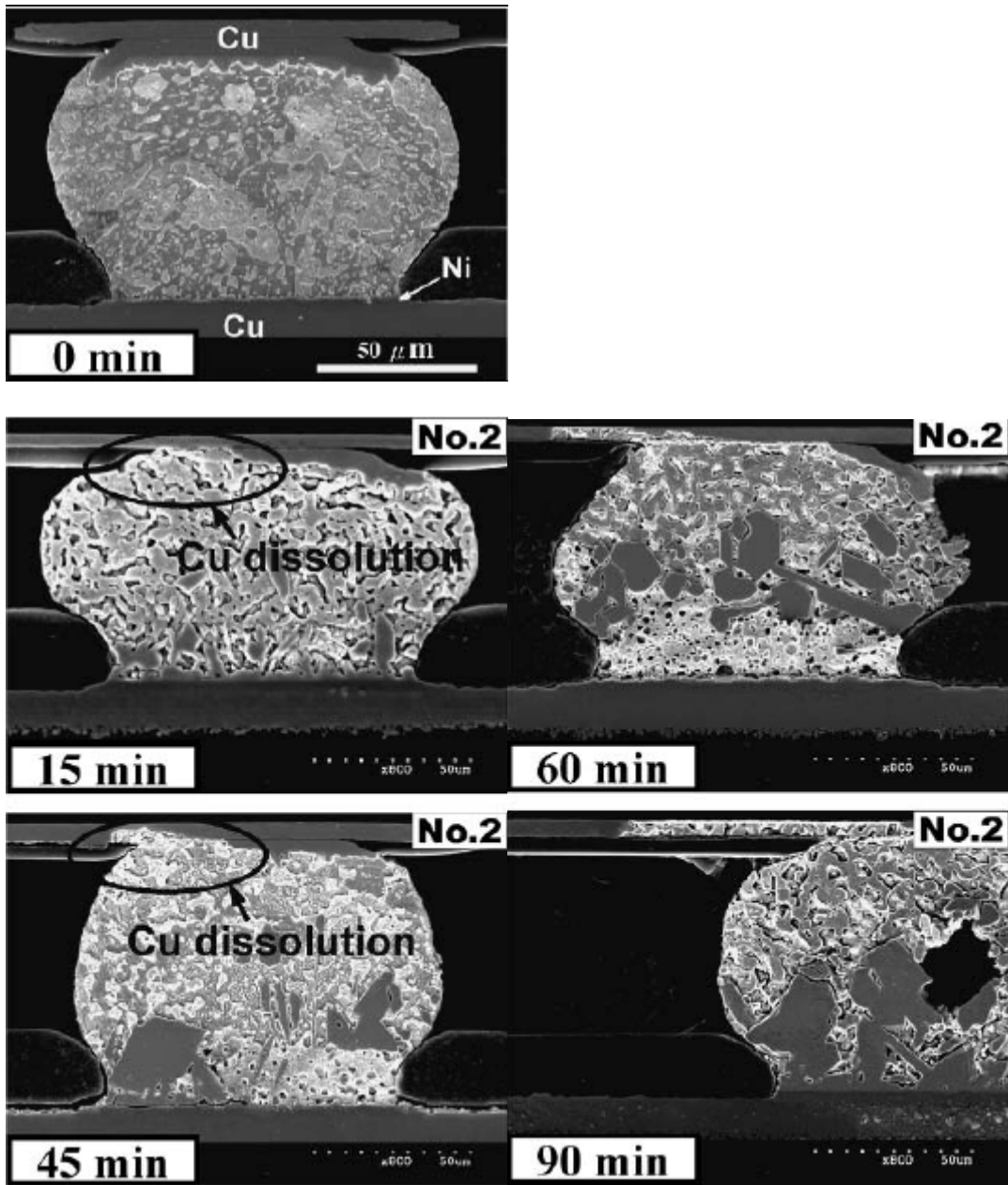


圖 2-7 銅墊層快速反應示意圖[17，18]。

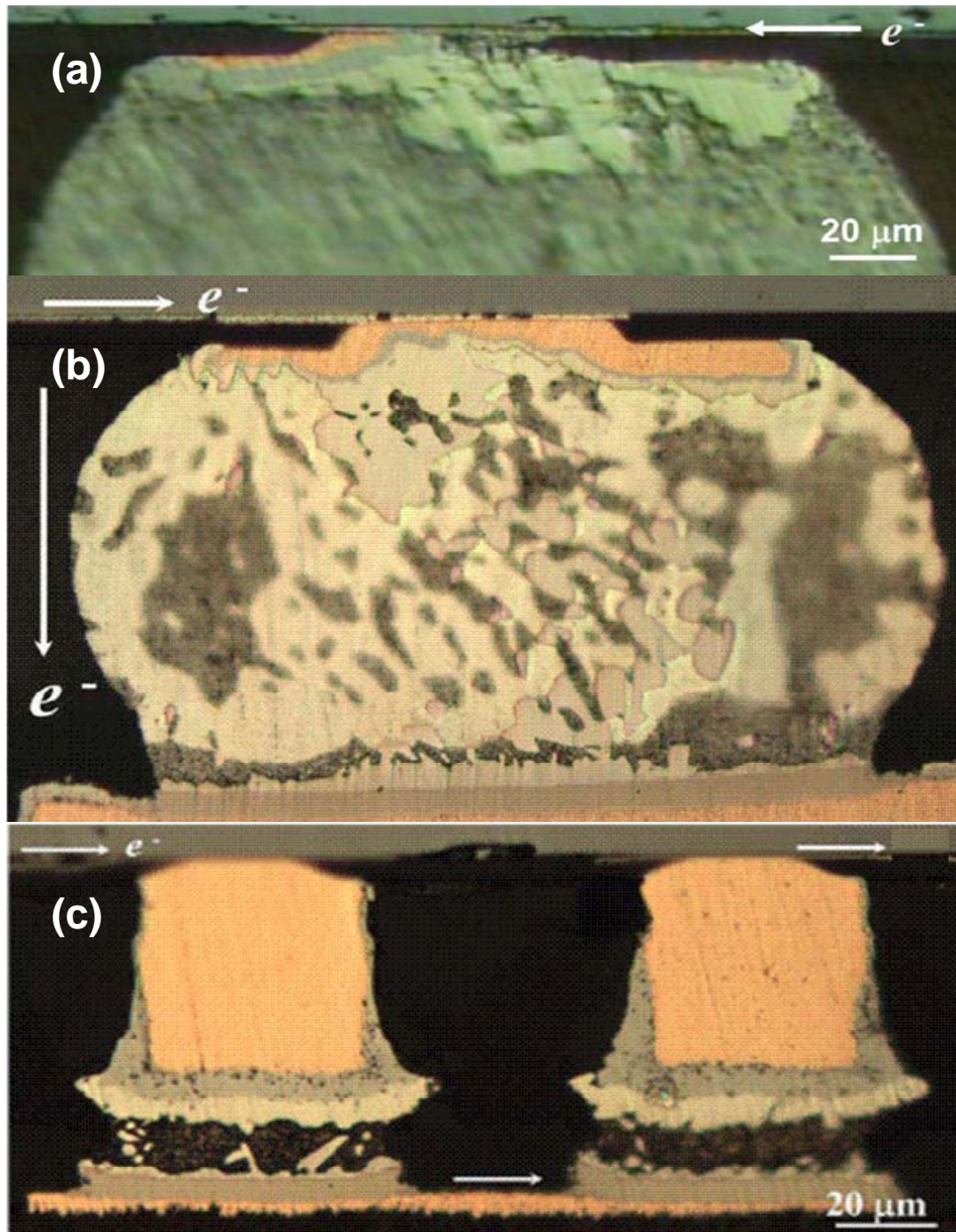


圖2-8 (a) 5 μm 厚銅墊層施加 $2.25 \times 10^4 \text{ A/cm}^2$ 的破壞情形。(b) 10 μm 厚銅墊層施加 $3 \times 10^4 \text{ A/cm}^2$ 於 100°C ，100 小時後其破壞情形。(c) 50 μm 厚銅墊層施加 $6.75 \times 10^4 \text{ A/cm}^2$ 於 100°C ，100 小時後其破壞情形 [21, 22]。

第三章 試片結構及實驗方法、步驟與結果

3-1. 試片製備

本實驗的試片，是由高雄日月光半導體製造公司所提供錫鉛覆晶封裝試片。試片結構如圖 3-1。所使用的 UBM (under-bump metallization) 種類為 Ti / Cu / Ni，厚度分別為 0.1 μm / 0.5 μm / 2 μm 。其中 Ti / Cu 層是以濺鍍的方式鍍在晶片端上，Ni 層則是用電鍍的方式生長。銲錫接點高為 100 μm ，直徑為 110 μm ，UBM 與鋁導線接觸面的直徑 (Contact Opening) 為 90 μm ，上方金屬墊層直徑 (UBM Opening) 為 110 μm 。連接銲錫接點的鋁導線寬為 65 μm 厚為 1.5 μm ，銲錫接點間距 (Pitch) 為 270 μm 。使用的銲料為共晶錫鉛銲錫，預錫 (Presolder) 成分同樣是共晶錫鉛。基板的部份，使用 FR4 基板，而基板上的銅銲墊厚度為 20 μm 。

3-2. 實驗方法

3-2-1. 銲錫電阻變化的量測

本研究中使用的電源供應器與量測儀器為電流源Keithley 2400 與資料交換器 (Data switch) Agilent E34970A 配合有二十個獨立頻道的Agilent E34901A 模組，這兩組儀器在量測時間小於 90 天、100 mV 的量測範圍下，電壓的量測精確度範圍約為 $5\mu\text{V}$ 。使用資料交換器量測到通電結構(包含兩顆銲錫接點及接點間的鋁導線)的初始電阻值約在 $135\text{ m}\Omega$ 左右。研究中所量到的初始壓降值介於 $2.2\sim 2.5 \times 10^6\ \mu\text{V}$ ，大於所能量測的範圍的 $5\mu\text{V}$ ，因此可以保證所量得的值是可信的。

且上述兩儀器皆符合通用儀器通訊協定，同時支援序列埠與 GPIB 控制介面，配合上適當的軟體便可利用在遠端對量測做穩定、長期、精確的連續控制，在本研究中即利用美國國家儀器公司所開發的圖形化儀器控制軟體LabVIEW，作為資料擷取及儀器控制的工具。

3-2-2. 利用通電結構的 TCR effect 校正鉚錫的溫度


在通過一定電流下觀察電遷移的影響的同時，也必須考慮電流通過所造成的焦耳熱效應。因此鉚錫接點內部的溫度不會恰好等於加熱盤的溫度，我們採用通電結構 TCR (Temperature Coefficient of Resistance) 效應來量測鉚錫的溫度。首先，由於四點量測的特性，我們可以量測不同溫度下通電結構的電阻值，我們先將試片放入加熱爐中，待試片達熱平衡後，通以0.2安培的電流，加熱爐的溫度由攝氏50度開始，間格為25度，逐次升溫到攝氏175度，量測通電結構在不同溫度條件下的電阻值，再利用通電結構的電阻值對溫度作圖，得到如圖 3-2。為了避免所量測出 TCR 關係式受到焦耳熱效應的影響，我們採用0.2 安培的電流，並用紅外線顯像儀 IR (Infrared Scope) 來確認，其焦耳熱效應不到攝氏1°C。然而，將實際電遷移測試下的通電結構電阻帶入此TCR 關係式，就可以得知通電結構的實際溫度。

3-2.3 試片破壞模式的觀察

當試片電阻上升達設定值時，便停止通電。接著使用紅外線觀測儀，如圖 3-3 觀察鋁導線是否斷路。接著從水平方向依序使用120、600、1200、2500、4000 SiC砂紙研磨，至接近試片的中心處，再使

用1、0.3與0.05 μm 氧化鋁粉進行拋光，拋光結束後在試片的表面澱鍍上一層白金，除了能增加用掃描式電子顯微鏡(SEM)觀測時試片的導電度，還能防止試片氧化。觀察試片的破壞時會用到的儀器分別有 JEOL 6500 掃描式電子顯微鏡(SEM)，光學顯微鏡(OM)，並利用X光能量分佈圖譜(EDS，Energy Dispersive Spectroscopy)來鑑定局部成分以及介金屬化合物的組成。經由EDS分析，從圖 3-4 可知，在晶片端生成的介金屬化合物為 $(\text{Cu,Ni})_6\text{Sn}_5$ 。

3-3 銲錫接點內電流密度的模擬軟體分析



爲了了解電流在銲錫接點內電流聚集效應的程度，研究中建立三維的有限元素模型，如圖 3-5。研究使用的分析軟體爲ANSYS，分析的流程可以分爲三階段，分別是前處理、求解、與後處理。在前處理的階段，建立了銲錫的實體模型，給定材料的特性參數，並且將模型網格化(mesh)。在求解階段，則是給予適當的邊界條件，本研究中是給予電壓及電流值，而施加的電流值爲 1.6 安培。而後處理階段則是觀察並分析所得到的結果，可以分爲表列或者圖示，本研究採用圖示顯示模擬結果。

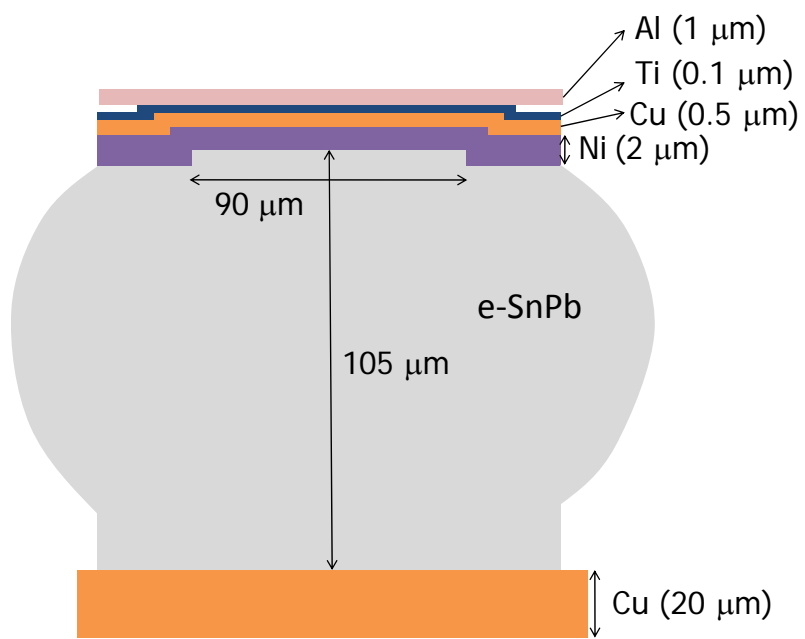
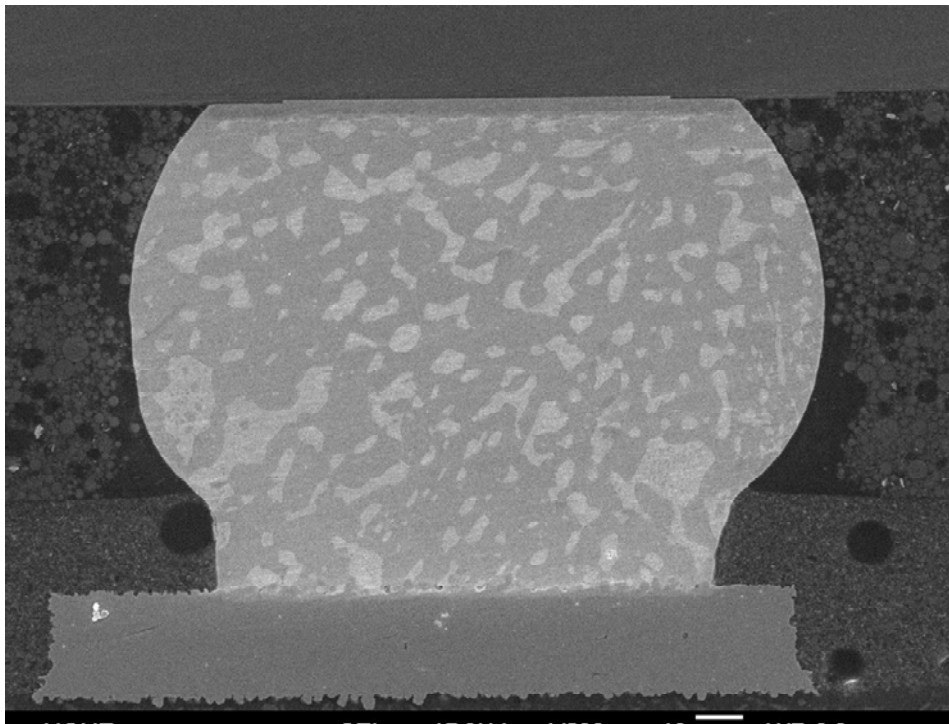


圖 3-1 銲錫接點結構示意圖。

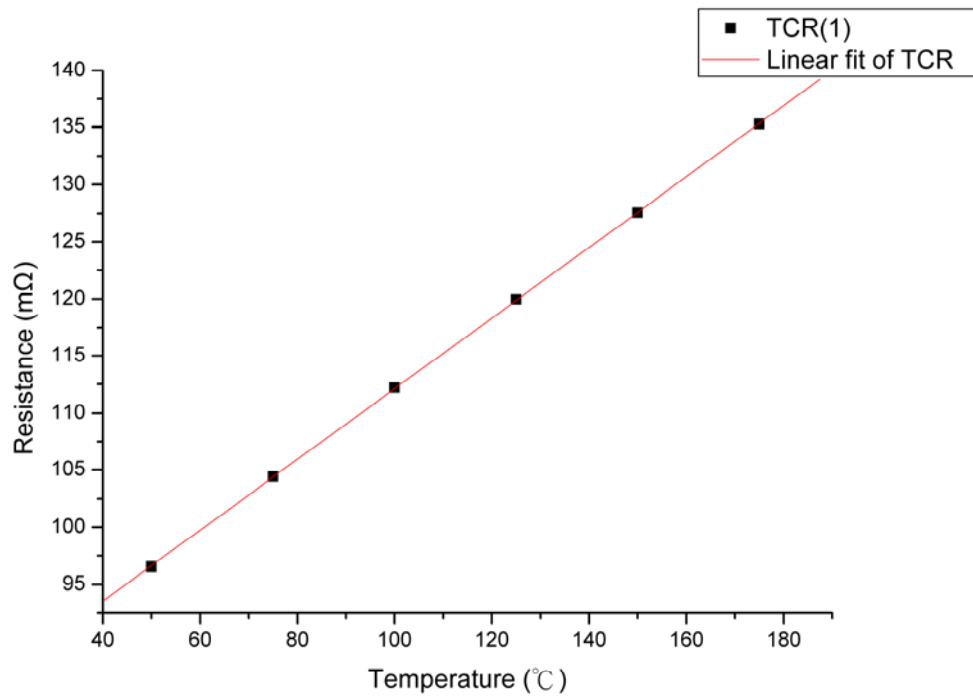


圖 3-2 TCR 效應關係圖。

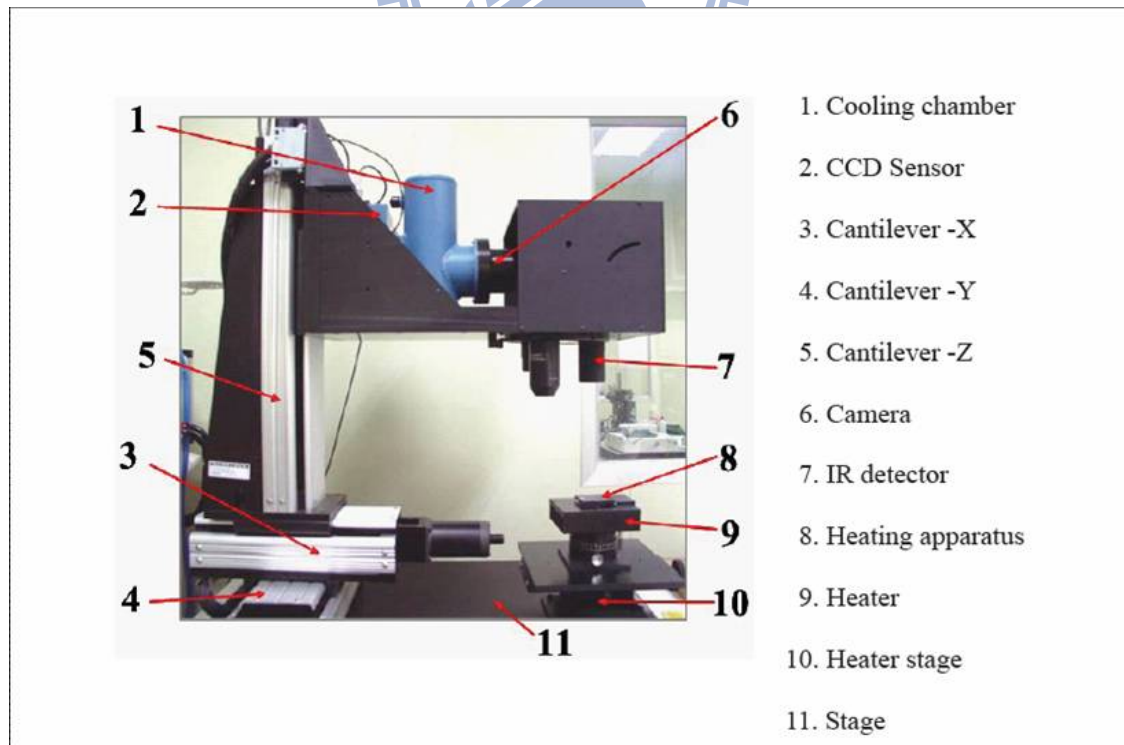


圖 3-3 紅外線觀測儀。

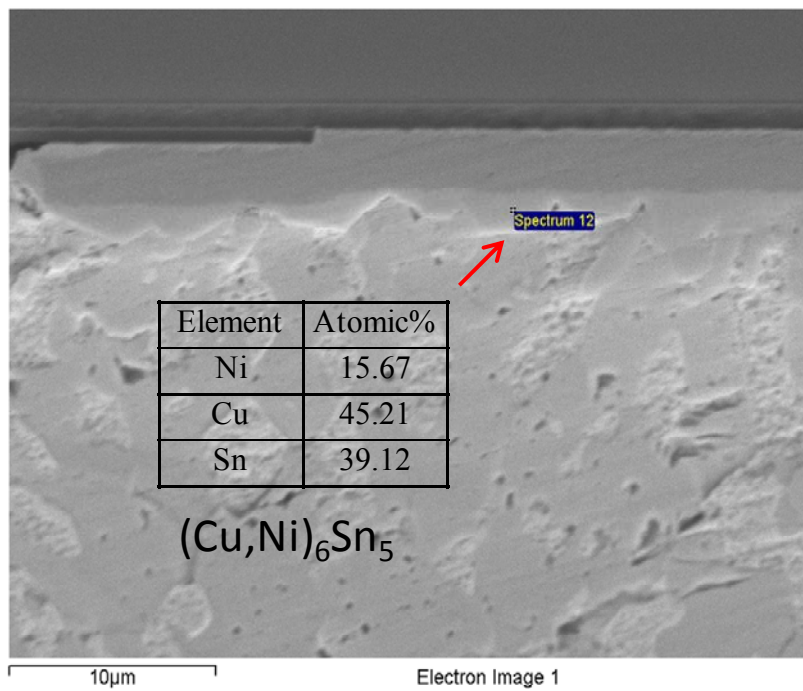


圖 3-4 使用 EDS 對晶片端介金屬化合物分析。



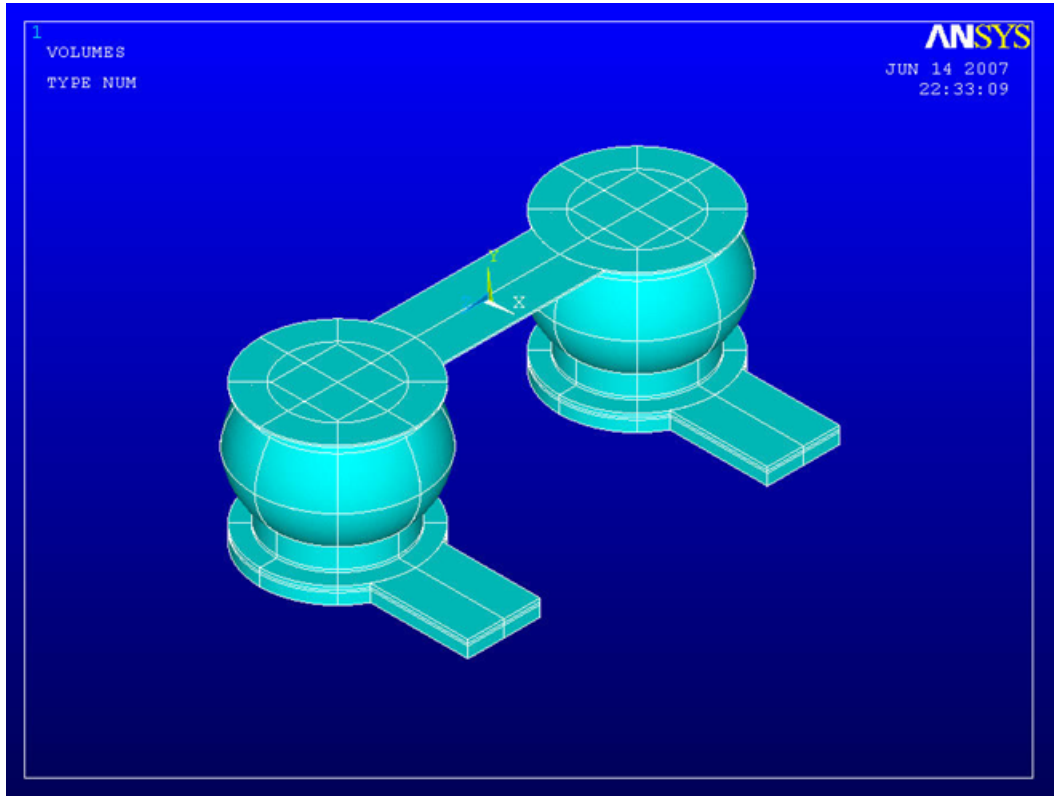


圖 3-5 三維模擬模型結構示意圖。



第四章 結果與討論

4-1 銲錫接點破壞模式分析

4-2 銲錫接點溫度的校正

4-3 模擬銲錫接點電流密度分佈

4-1 銲錫接點破壞模式分析

4-1.1 銲錫剖面觀測

根據以往的經驗，由於在鋁導線流入銲錫接點會產生電流聚集效應，加上電流通過造成的焦耳熱效應，造成溫度上升，材料的擴散速率也變快；並由於電子風力的作用，在銲錫接點的陰極端會是張應力區，綜合上述原因，孔洞常會生成在電子流方向由晶片流向基板的銲錫接點的陰極端，孔洞的生成與擴展會導致銲錫接點電阻上升，也是經常觀察到的破壞機制。

圖 4-1 可以看到，銲錫接點在通電之前的形貌，可以看見富鉛相與富錫相均勻的分布。圖 4-1 中較亮的部分是富鉛相，較暗的部分則是富錫相，會造成這樣的差異是因為鉛的原子序較大，能夠反射的電子訊號較多，因此 SEM 接收到的訊號也較強。在測試之前，靠近晶片端鎳墊層與銲錫會反應生成 $(\text{Ni,Cu})_3\text{Sn}_4$ 以及 $(\text{Cu,Ni})_6\text{Sn}_5$ 兩種介金

屬化合物；而在基板端則只能觀察到 Cu_6Sn_5 生成。

圖 4-2 中可以看到經過 607 小時施以 1.6 安培電流的情形，可以看到明顯的相分離現象，由於電子流是由晶片端流向基板端，並且在測試條件 $130\text{ }^\circ\text{C}$ 下鉛是主要擴散載子，因此鉛原子在電遷移作用下被推往基板端累積，於是銅鍍墊表面累積一層富鉛相，而錫原子則被推往反方向，在晶片端產生富錫相的聚集。

在電遷移的作用下，由於原子從陰極端被推往陽極端，使得在陽極端有較多的原子能夠反應生成介金屬化合物，因此經常可以看到兩端介金屬化合物厚度有差異，即所謂的極化現象(Polarity Effect)。通常在陽極端會生成較厚介金屬化合物，但是仍需考量鍍錫的組成以及兩端金屬墊層的選用。在圖 4-2 中，由於電遷移造成相分離的發生，富鉛相包覆住銅鍍墊，而鉛原子並不會與銅原子反應，並且作用像一層擴散阻障層，阻擋錫原子與銅墊層發生反應；而富錫相直接與鍍墊層接觸，加劇了錫原子和鍍墊層間的反應，促使介金屬化合物的生成；因此可以看到，雖然銅原子和鍍原子的反應速率相差非常大，在電子流從晶片端流向基板端的鍍錫接點中，卻可以在陰極端和陽極端看到介金屬化合物生成的量相差不大的情況。

當我們將一對已經研磨至中心的一對鍍錫接點，圖 4-3(a)， $100\text{ }^\circ\text{C}$ 下施以 1.6 A 經過 1443 小時，轉換其研磨方向，沿著平行銅導線的

方向研磨至電子流方向相上的銲錫接點中心，此方式可以觀察到電子流由銅銲墊進入銲錫的位置，也是整個銅墊層與銲錫接點介面電流密度最高之處，由於此處的高電流密度，因此推論在此會發生較嚴重的電遷移破壞。如圖 4-3(b)，可以看到在第二橫截面的影像中，在銲錫接點的下方，銲錫與介金屬化合物的界面處，生成了兩個大孔洞，孔洞的生成對於銲錫接點電阻上升會有明顯的貢獻。圖 4-4(a)為 100 °C 施加 1.6 安培經過 1164 小時的銲錫接點，經過二次截面研磨處理，但是並未研磨至銲錫接點中心處，研磨的深度如圖 4-4(b)所示，由光學顯微鏡影像可以看到銲錫接點與銅銲墊間有一明顯的孔洞，對照研磨深度可知，此孔洞為銲錫接點與銅銲墊介面的環狀孔洞，可以證實銲錫與銅銲墊的界面，由於電子流由銅銲墊聚集匯入銲錫接點，因此會產生一圈環狀的孔洞。

4-1.2 介金屬化合物的生成

圖 4-5 中，在電子流從晶片端流向基板端的銲錫接點中，在 130 °C 1.6 安培下經過 525 小時的通電，可以在接點上方靠近晶片端有大量的介金屬化合物生成，經過 EDS 成份分析可知在靠近 UBM 的介金屬化合物是 $(\text{Ni,Cu})_3\text{Sn}_4$ ，而遠離 UBM 的則是 $(\text{Cu,Ni})_6\text{Sn}_5$ 。令人好奇的是介金屬化合物中含有銅的成分，但是基板端的銅墊層在考量電

遷移以及熱遷移的情況下，銅原子皆不會發生往晶片端移動的現象(電遷移作用下銅原子會順著電子流動的方向移動，在此為由晶片端向板端；而當溫度梯度足夠大時銅原子會往冷端(在此為基板端)產生熱遷移)，為了確定介金屬化合物中的銅原子是否來自基板端，我們分析 SEM 影像上的介金屬化合物面積，並進行以下的計算：

在計算之前，我們進行一些假設，以方便後續的討論，假設如下：

1. 迴錫時，錫中溶入的銅達到飽和濃度 (220 °C 下，共晶錫鉛可以溶 0.18 wt% 的銅)
2. 迴錫時錫中溶解的銅和鎳墊層上方 0.5 μm 的銅膜全數與錫進行反應，生成 Cu_6Sn_5 介金屬化合物；2 μm 的鎳墊層完全反應，生成 Ni_3Sn_4 介金屬化合物。
3. 將錫球簡化成為圓柱體 (直徑 = UBM opening (110 μm)，高 = bump height (105 μm))

計算時先求得介金屬化合物與錫的體積比，再使用式子 4-1 轉換成兩者的面積比：

$$\left(\frac{V_{\text{Cu}}}{V_{\text{solder}}}\right)^{1/3} = \left(\frac{A_{\text{Cu}}}{A_{\text{solder}}}\right)^{1/2} \quad \text{--(4-1)}$$

式中 V 代表體積，A 表示面積

並且考慮銅原子與錫原子反應生成 Cu_6Sn_5 介金屬化合物時體積會有 5% 的收縮[24]，而鎳原子與錫反應生成 Ni_3Sn_4 時則會有 10.7% 的體積收縮[24]。

經由計算得到： $A_{\text{Cu}_6\text{Sn}_5, \text{Cu pad}} = 317.6 \text{ (um}^2\text{)}$ $A_{\text{Ni}_3\text{Sn}_4} = 1921.4 \text{ (um}^2\text{)}$

$A_{\text{Cu}_6\text{Sn}_5, \text{Cu film}} = 603.9 \text{ (um}^2\text{)}$

$A_{\text{total}} = A_{\text{Cu}_6\text{Sn}_5, \text{Cu pad}} + A_{\text{Ni}_3\text{Sn}_4} + A_{\text{Cu}_6\text{Sn}_5, \text{Cu film}} = 2842.9 \text{ (um}^2\text{)}$

$A_{\text{IMC}} = 2140 \text{ (um}^2\text{)}$

由計算結果可知，若是考慮回錫時銅墊層的溶解、鎳金屬墊層以及鎳金屬上方的銅膜全部參與反應，足以生成與 SEM 影像上數量相當的介金屬化合物，因此推論在通電時基板端只有很少量銅原子會擴散到晶片端，反應生成介金屬化合物。至於為何經由計算求得的介金屬化合物數量會多於 SEM 影像上觀測到的，推論是由於尚有未反應的鎳金屬墊層存在。

4-1.3 固定電流改變溫度下的破壞模式比較

圖 4-6 為在 130 °C 下施以 1.6 安培經過 525 小時之後經研磨拋光

之後一對鐳錫接點的 SEM 影像。其在 Passivation Opening 處的電流密度為 2.52×10^4 安培/平方公分，圖 4-6(a)電子流方向由下方流向接點的右上方，在電遷移作用下鉛原子被推向晶片端，在晶片端形成一層富鉛相將鎳金屬墊層包覆著，阻擋了錫原子與鎳墊層進行反應，因此在晶片端只有少量的介金屬化合物生成；而富錫相則累積在基板端，錫原子與銅原子反應生成較晶片端多的介金屬化合物，並且可以看到在鐳錫接點下方與銅墊層相接界面的角落處有孔洞的生成，是整個鐳錫接點中最明顯的破壞。圖 4-6(b)電子流方向從左上方流入鐳錫接點，由下方流出。由於電子流方向的不同使得富鉛相聚集在基板端，富錫相則聚集在晶片端，可以看到靠近晶片端的鎳墊層已經消耗掉大部分，並且在晶片端生成許多介金屬化合物，其成分分別為 $(\text{Ni,Cu})_3\text{Sn}_4$ 以及 $(\text{Cu,Ni})_6\text{Sn}_5$ ，並且可以在晶片端靠近電流聚集區可以看到發生介金屬化合物產生了一個開口，推測是電遷移作用下所造成的，在介金屬化合物的開口處可以看到有錫原子發生回填的現象，如圖 4-6(b)，由於錫與鉛的界面能很高，因此錫與鉛接著不是很好，於是造成電阻的上升。

圖 4-7 為在 100°C 下施以 1.6 安培經過 1164 小時之後一對鐳錫接點的 SEM 影像。圖 4-7(a)電子流方向由下方流向接點的右上方截面的 SEM 影像。可以觀察到銅墊層有明顯的消耗，並且在鐳錫接點底

部的角落及中央都有孔洞的生成，孔洞的相對位置在銲錫與介金屬化合物的界面。圖 4-7(b)為電子流方向由左上到下的截面 SEM 影像。可以看到在靠近電流集中的區域有電遷移造成的孔洞生成，並且由於測試的溫度較低，與 130 °C 的情況相比在晶片端反應生成的介金屬化合物明顯少了許多，同樣的可以看到介金屬化合物有一個小開口，以及介金屬化合物開口處發生錫回填的現象。

在一般的情況下，破壞容易發生在電子流方向向下的銲錫接點當中，以形成鬆餅狀孔洞的方式進行。但是從以上的比較可以看到，在兩個測試條件下，銲錫接點下方都觀察到空孔的生成，因此破壞也有可能是由於電子流向上接點中空孔所造成的。

觀察圖 4-5(b)與 4-6(b) 在這些電子流方向向下的銲錫接點中可以發現一個共通現象，即晶片端的介金屬化合物被電子流推動發生 **Spalling**，並且在缺口處皆觀察到錫原子回填的現象，顯示這是一種常發生的破壞模式。關於為何會產生這樣的破壞，解釋如下。本實驗所採用的測試條件加熱盤溫度分別為 100 °C、130 °C，在這兩個溫度下鉛是電遷移的主要擴散載子，因此鉛原子會被電子流推往陽極端，錫原子則被反推聚集在陰極端，並且藉由紅外線熱影像儀對銲錫接點的量測，當所施加的電流為 1.6 安培時，銲錫接點內部有 10 °C 的

溫差，即 $1000\text{ }^{\circ}\text{C} / \text{cm}$ 的溫度梯度，如圖 4-8，足以使錫原子發生熱遷移而往晶片端移動，這也是為什麼在晶片端可以觀察到錫回填的現象。

4-1.4 Semi In-situ 的觀測

上述部分對於銲錫接點的觀察，都是在當 Dasiy-chain 結構電阻上升到我們所設定的破壞條件後，將試片拋光研磨至接近銲錫接點中央，再使用電子顯微鏡進行觀察。我們對於破壞過程中，不同階段的破壞情形也相當感興趣，因此先將試片進行研磨，再通以電流，利用 Semi In-situ 的方式，觀察通電過程中破壞的演進，接下來的部分將對這部分進行探討。

圖 4-9(a)是電子流方向由下到左上的銲錫接點，在 $130\text{ }^{\circ}\text{C}$ 下通以 0.8 A 的電流，在 Passivation Opening 處的電流密度為 2.5×10^4 安培/平方公分。在圖 4-9 (a)中可以觀察到在銲錫接點左上角處，電子流流入導線的部分，在此處有較高的電流密度，電子風力將原子推往此處累積，因而造成凸塊(Hillock)的生成，而在銲錫接點的下方，由於電遷移的作用將原子向上推動，可以觀察到有凹陷的情形，這些現象與文獻中所描素的現象吻合。圖 4-9 (b)是電子流方向由右上到下的銲錫接點，由於電子風力的作用可以在銲錫接

點右上角處看到凹陷的現象，在接點底部則發生原子堆積生成凸塊，由 BEI 的影像中可以明顯的看見在 Hillock 的底部看見兩個對比不同的相，富鉛相與富錫相在 Hillock 底部形成相分離。對於此現象的討論如下，在測試條件為 130 °C 時電遷移作用下鉛原子是主要擴散載子，鉛原子會順著電子流的方向被推動，同時考慮熱遷移的作用，當有一個溫度梯度存在時，鉛原子會往低溫處移動，因此在電子流向下的接點中，鉛原子受到電遷移和熱遷移的作用力是在相同方向上，這也是為什麼可以在鉚錫接點的底部觀察到相分離的發生；然而對於電子流向上的接點來說，鉛原子受到電遷移與熱遷移的力卻是反向的，兩力抵消的因此無法看到明顯的相分離，關於鉚錫接點中電遷移與熱遷移的作用力如圖 4-10 所示。

4-2 鉚錫接點溫度的校正

為了進行加速測試，我們將試片貼在加熱盤上通以適當電流值。然而當電流通過鉚錫接點時所產生焦耳熱效應，會使得鉚錫接點內部的溫度上升，高於加熱盤的溫度。我們希望實驗是在固態下進行，為了避免鉚錫接點內部的溫度高於共晶錫鉛的熔點 (183°C) 而造成在液態下通電的情況，因此我們考慮通電結構的

TCR 效應，來確保通電測試的初期銲錫接點內部的溫度是在熔點以下的。

由於金屬材料具有電阻隨溫度變化呈線性的關係，即所謂的 TCR 效應，因此我們可以藉由量測一未知溫度金屬的電阻值，經由電阻與溫度的關係反推得到該金屬所處的環境溫度。我們量測電阻與溫度的關係是藉由以下方式，將試片放入加熱爐中，利用四點量測對試片從 50°C 到 175°C (以 25°C 作為間隔) 進行電阻量。

將資料點透過線性迴歸得到的線段如圖 4-11，其方程式為

$$R = 81.17573 + 0.30953 \times \text{Temp.}$$



4-3 模擬銲錫接點電流密度分佈

爲了想要了解銲錫接點內部電流分佈的情況，本研究中使用 ANSYS 軟體對銲錫接點內部電流密度分佈進行三維模擬。圖 4-12 是一對銲錫接點及鋁導線中電流密度的分佈，所施加的電流爲 1.6 安培，由於在模擬時兩顆銲錫接點內的狀況是對稱的，因此僅對左側的銲錫接點進行討論。從圖 4-12 可以看到銲錫接點內部右上角落(區域 1)是電流密度最高的區域，這個區域的電流密度可以達到 63178 安培/平方公分，另外看到銲錫接點與銅墊層的交界

面，區域 3 與區域 4 的電流密度分別為 19881 安培/平方公分和 15473 安培/平方公分，有靠近銲錫接點內側電流密度分佈較密集的趨勢。比較銲錫接點上方區域 1 的電流密度與區域 2 的電流密度值，相差可以到 10 倍之多；反觀銲錫接點底部區域 3 和區域 4，只有 1.3 倍的差異，由此可知銲錫接點下方的銅銲電對於均勻分散電流有極佳的效果。

圖 4-13 是平行銅導線方向上截面的電流密度分佈情形，圖中區域 1 的電流密度值為 **21215** 安培/平方公分，區域 2 的電流密度值為 **14824** 安培/平方公分，在銅導線與銲錫接點接觸的前端有較高的電流密度。比較圖 4-12 中之區域 3、區域 4 以及圖 4-12 中區域 1、區域 2，可以得到在銅墊層與銲錫接點的介面上，電流密度最大值發生在銅導線與銲錫接點接觸的前端，但是由於銅有較低的電阻率，因此整個介面上的電流密度是相對均勻的分佈。

圖 4-14 為銲錫接點底層之電流密度分佈，電子流的方向從左下方流入，因此可以看到最大值出現在靠近左下方處，電流密度值為 25418 安培/平方公分。並且可以看到在銲錫接點底層周圍的電流密度較中心處要高，也可以用於解釋為何會在銲錫接點底層周圍生成環狀孔洞。

圖 4-15 (a)電子流方向由基板端到晶片端的鐳錫接點的剖面電流密度分佈圖，下端為銅導線，可以看到在銅導線進入鐳錫接點處有較高的電流密度分佈。圖 4-15 (b)是在焊錫底部電流密度分佈的情形。可以看到靠近電子流流入的區域，電流密度呈現較高的情形，因此假設孔洞會先在此處生成。接著看到圖 4-16 (a)一樣是電子流方向由基板端往晶片端的鐳錫接點剖面電流密度分佈，不同處在於假設在圖 4-16 (a)中電流密度較高的區域已經有孔洞生成。從圖 4-16 (a)可以看到在遠離電流進入區電流密度，有明顯的增加。圖 4-16 (b)孔洞生成之後，焊錫底層的電流密度分佈。可以看到最大電流密度區已經轉移到旁邊兩個角落處，並且可以看到周圍是電流密度較高的區域，可以解釋為什麼在焊錫底部周圍可以觀察到孔洞的生成。

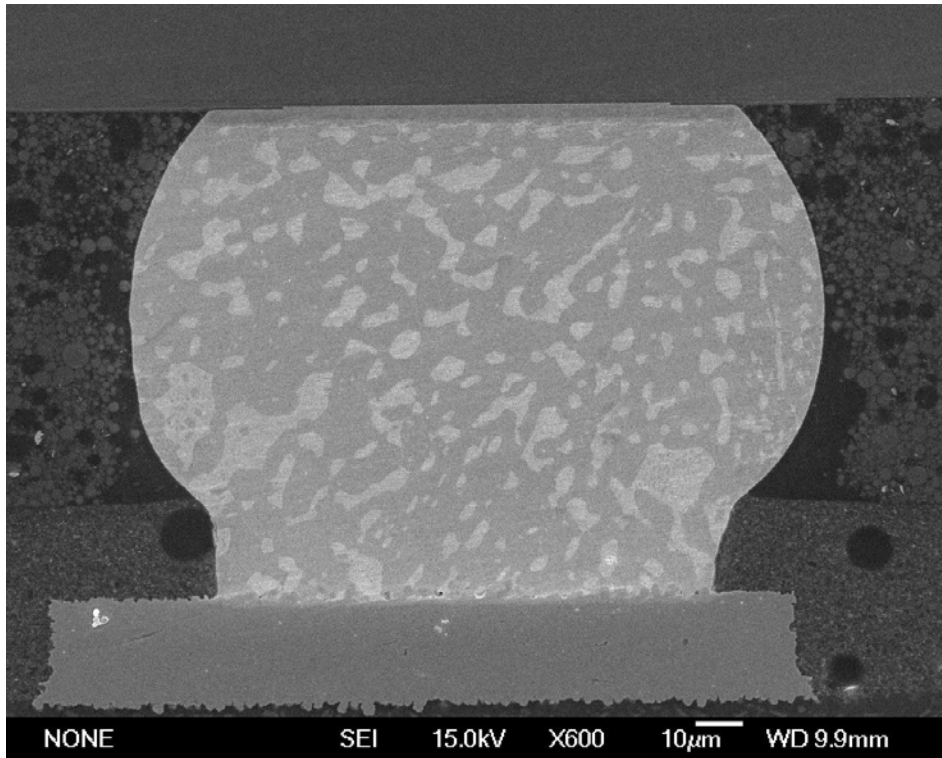


圖 4-1 銲錫接點測試前的結構及相分佈情形。

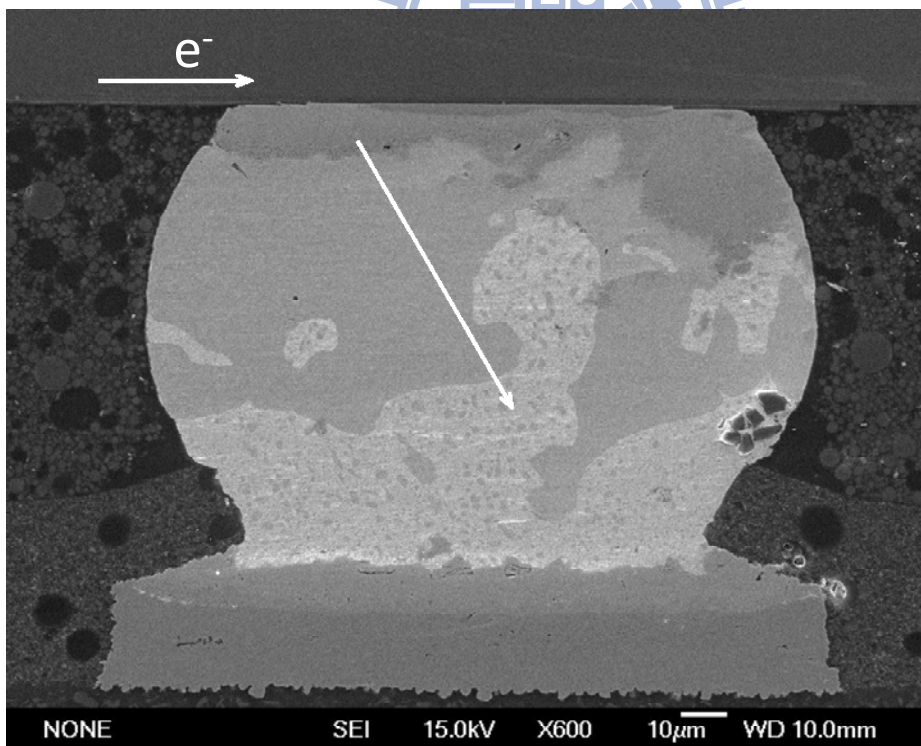


圖 4-2 130°C, 1.6 A 下經過 607 小時，電子流方向由左上到下。

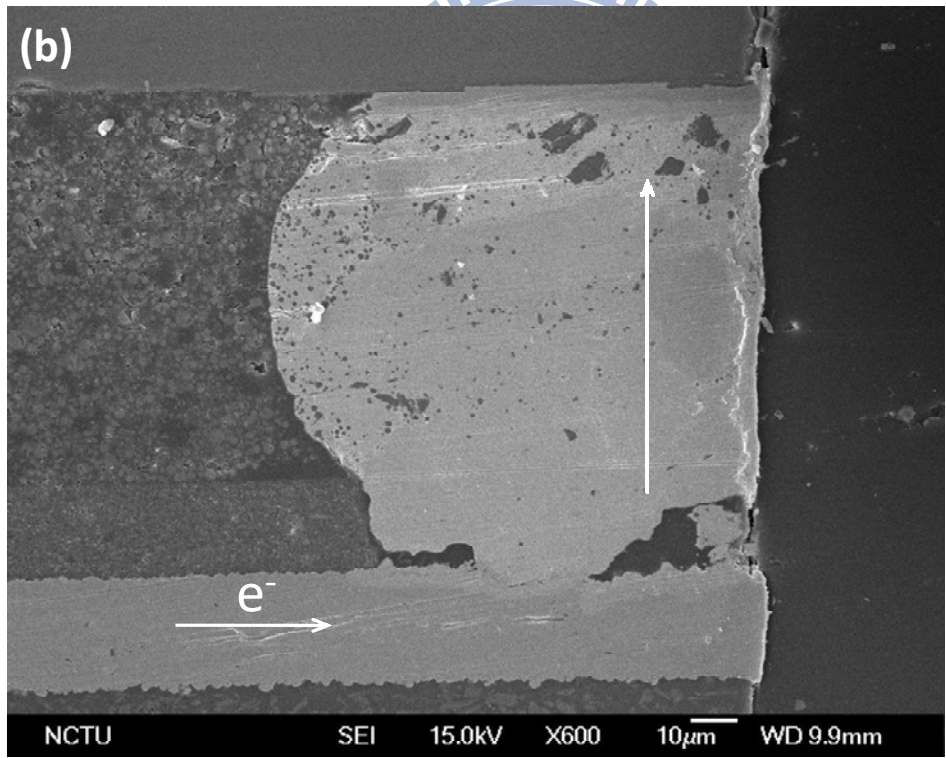
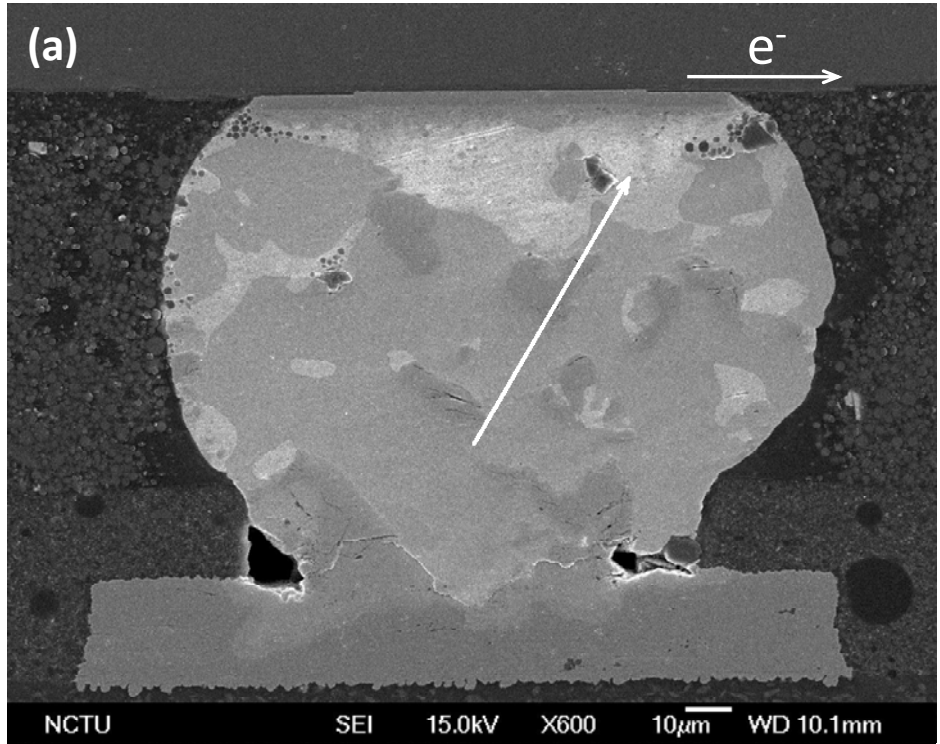


圖 4-3 100°C, 1.6 A 下經過 1443 小時

(a) 電子流方向由下到右上，截面的 SEM 影像。

(b) 第二橫截面，電子流方向由左流入向上流出，截面 SEM 影像。

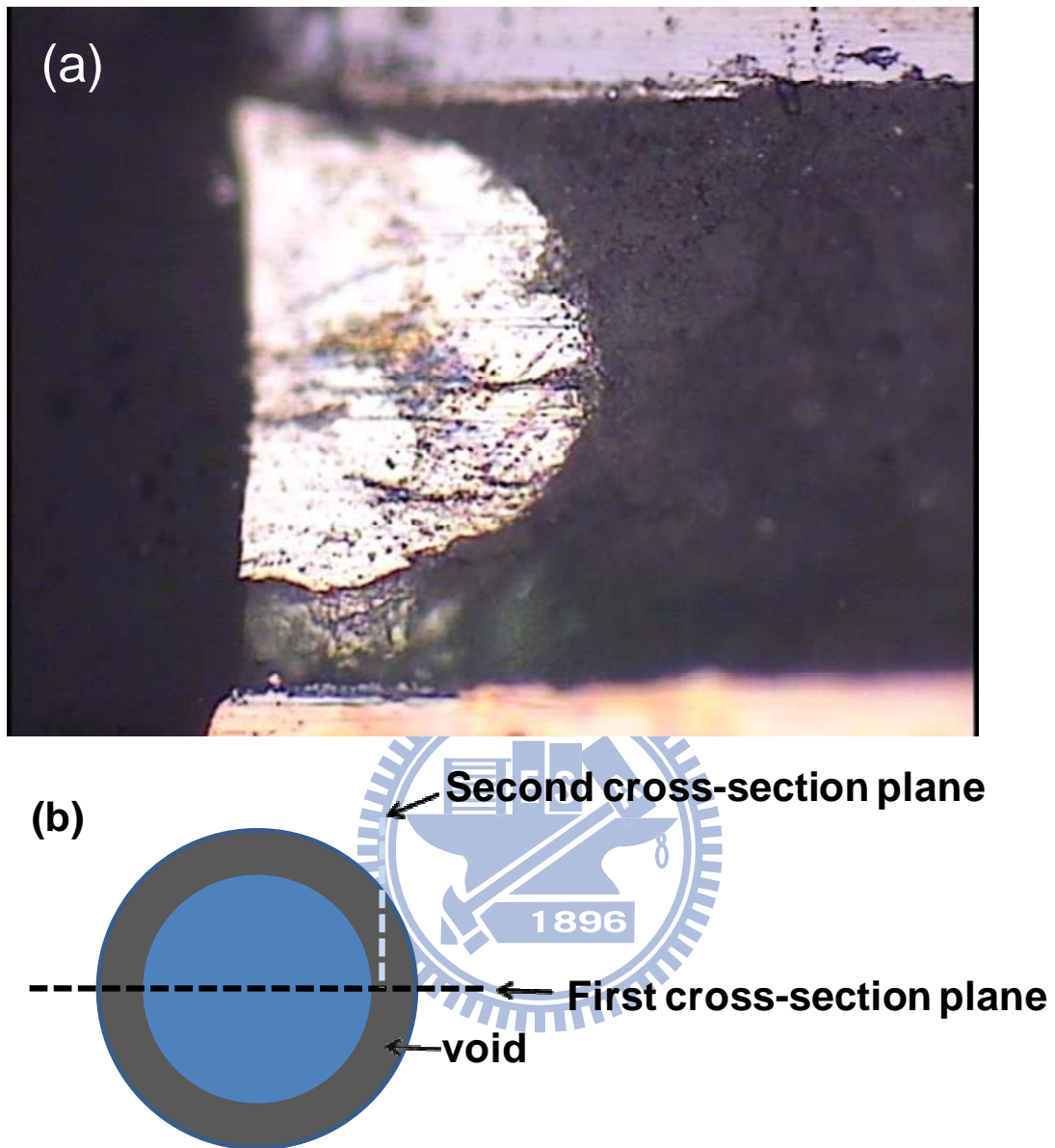


圖 4-4

(a) 100 °C 1.6 A 下經過 1164 小時，二次橫截面 OM 影像。

(b) 二次橫截面在銲錫接點底層，環狀孔洞生成示意圖。

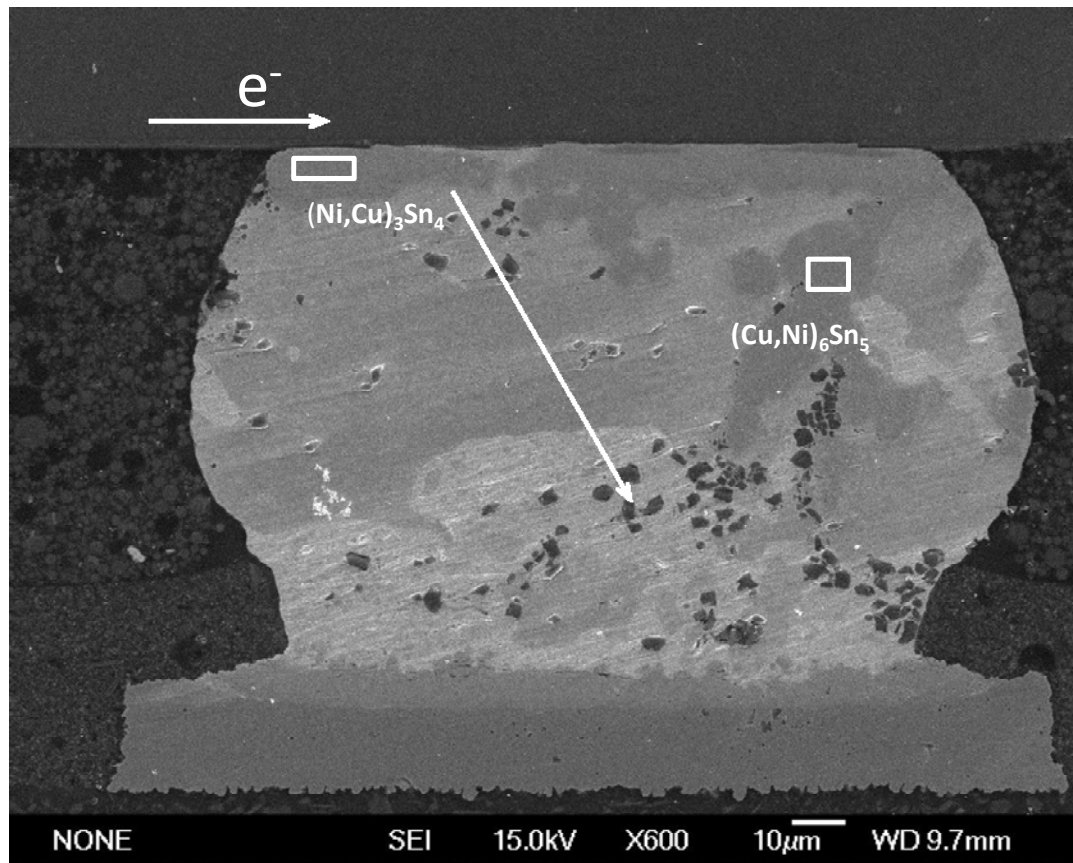


圖 4-5 130 °C, 1.6 A 下經過 525 小時, 電子流方向由左上到下方。

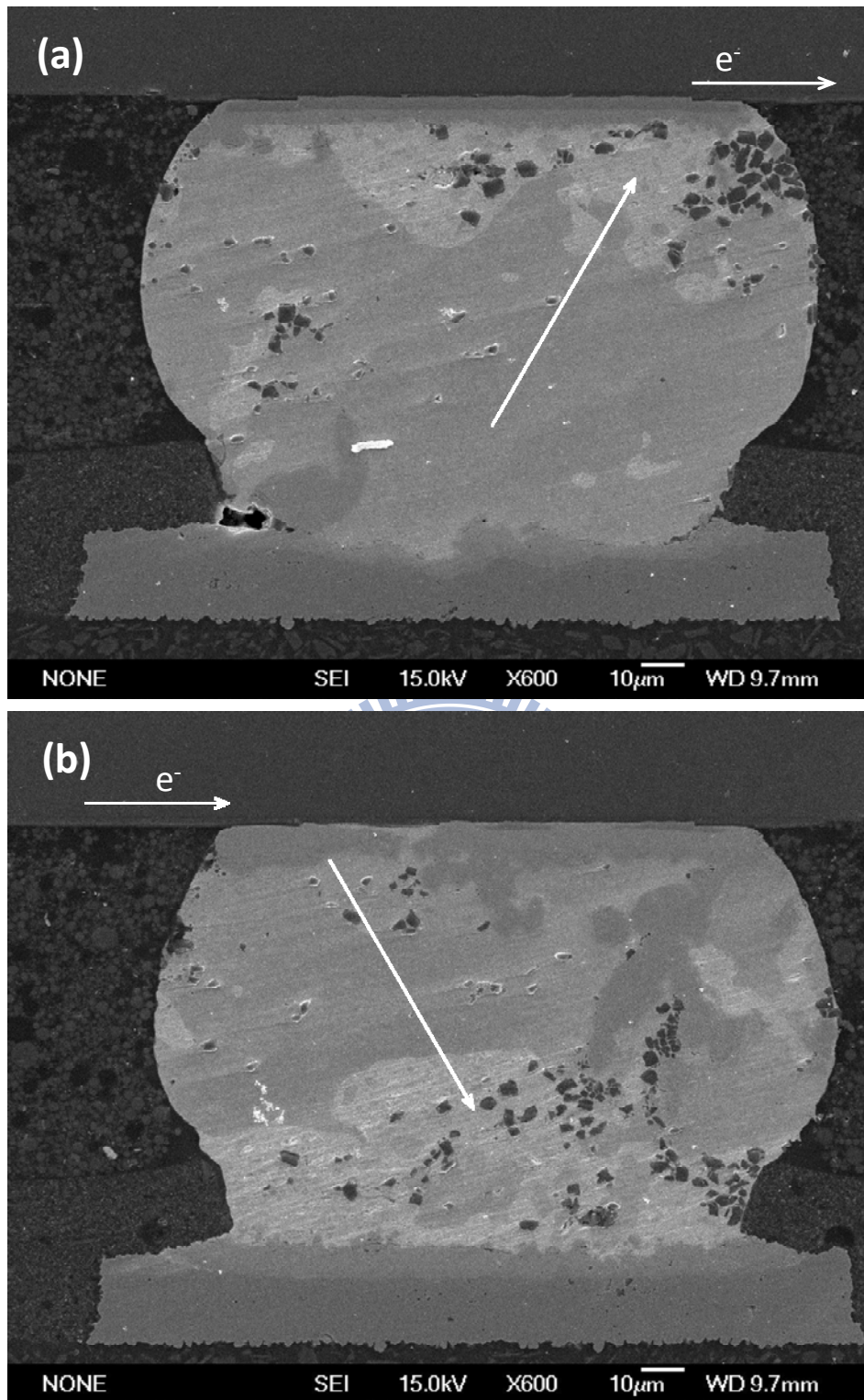


圖 4-6 130°C, 1.6 A 下經過 525 小時

(a) 電子流方向由下到右上，截面的 SEM 影像。

(b) 電子流方向由左上到下，截面的 SEM 影像。

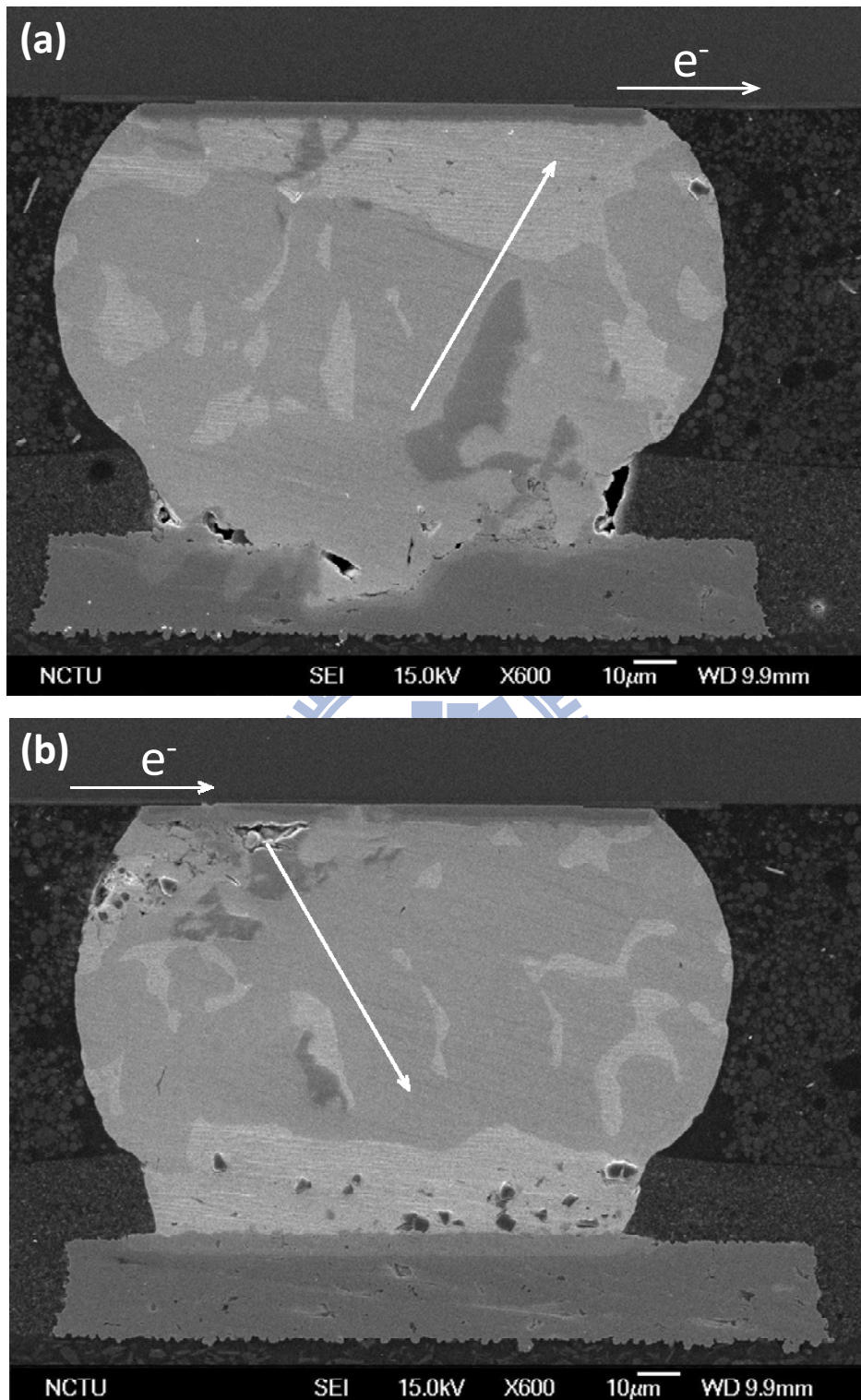


圖 4-7 100°C, 1.6 A 下經過 1164 小時通電測試

(a) 電子流方向由下到右上，截面的 SEM 影像。

(b) 電子流方向由左上到下，截面的 SEM 影像。

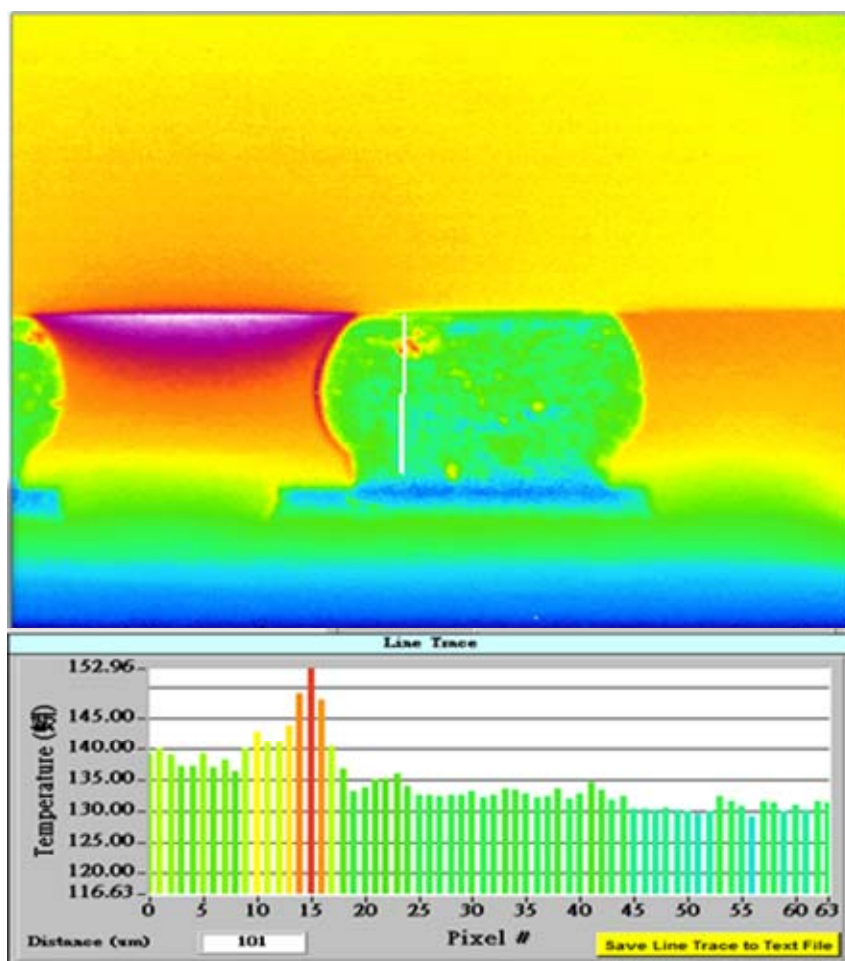


圖 4-8 100 °C、1.6 A 下，紅外線熱顯像儀量測到的溫度分佈。

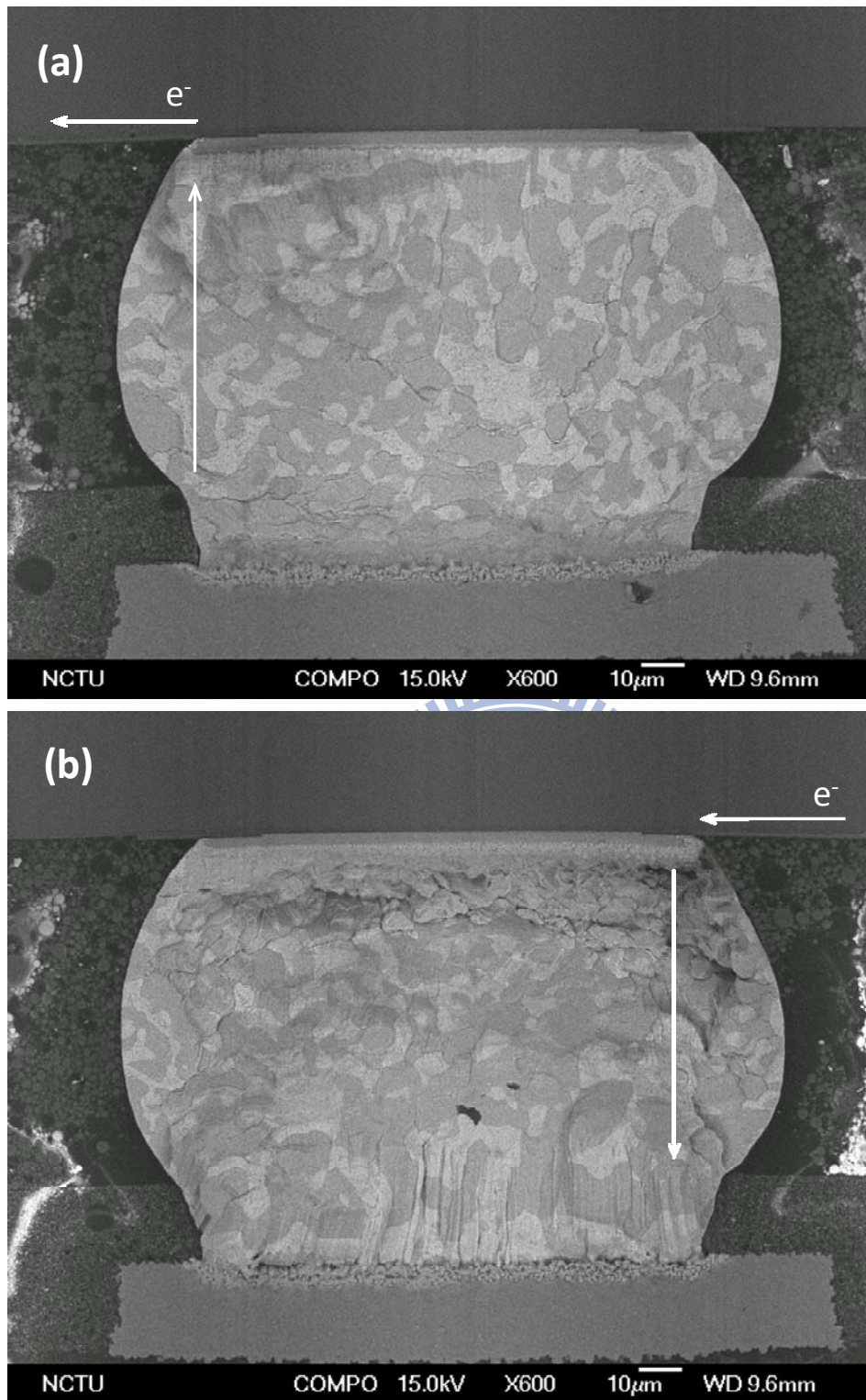


圖 4-9 100 °C 0.8 A semi in-situ 觀測

(a) 電子流方向由下到左上，截面的 SEM 影像。

(b) 電子流方向由右上到下，截面的 SEM 影像。

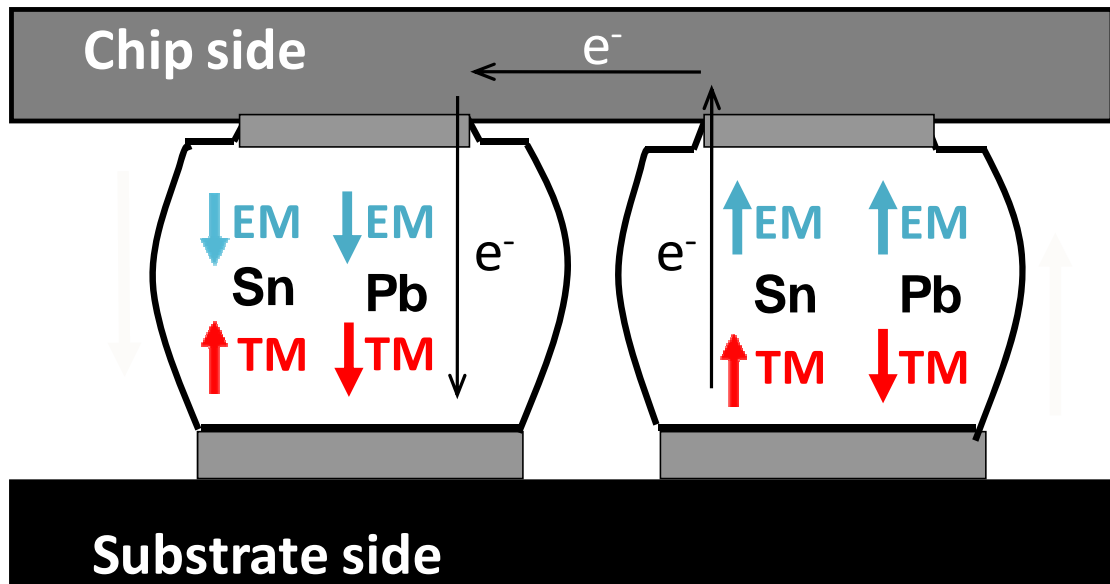


圖 4-10 一對銲錫接點內部鉛原子電、熱遷移作用下受力方向示意圖。



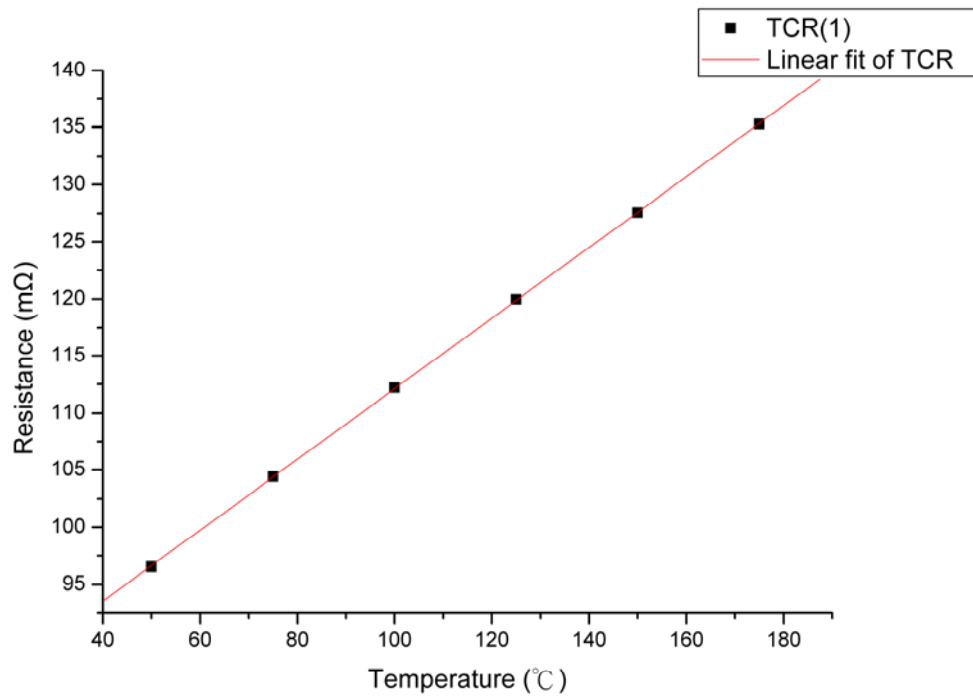


圖 4-11 TCR 校正電阻對應溫度的關係。



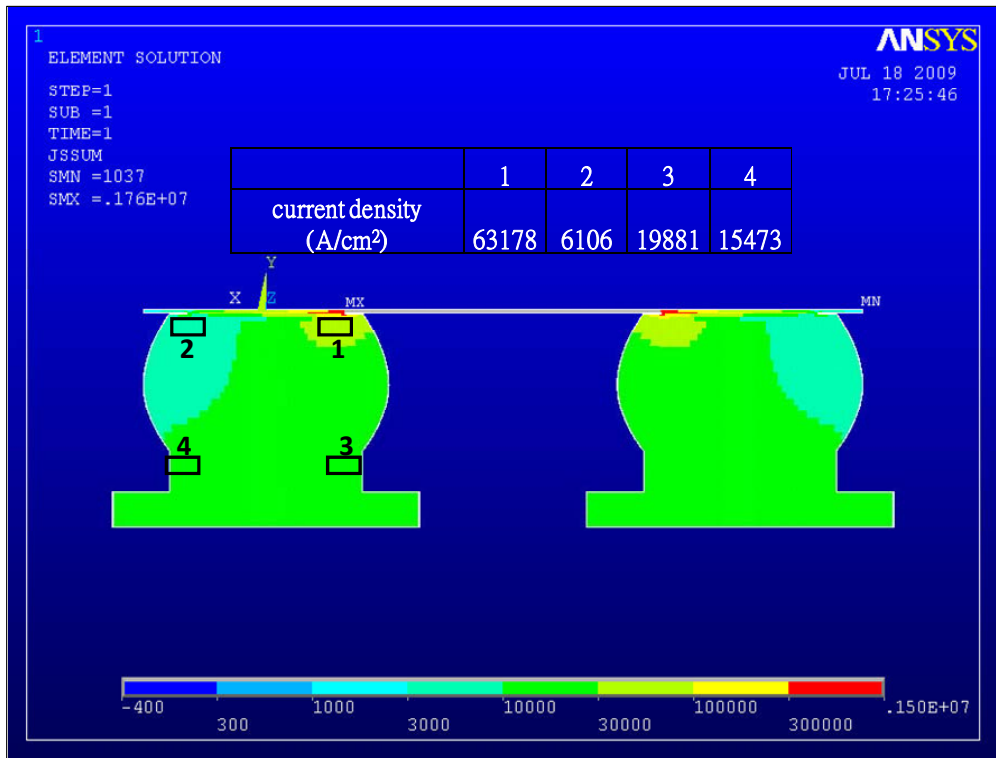


圖 4-12 一對銲錫接點內部電流密度的三維模擬。

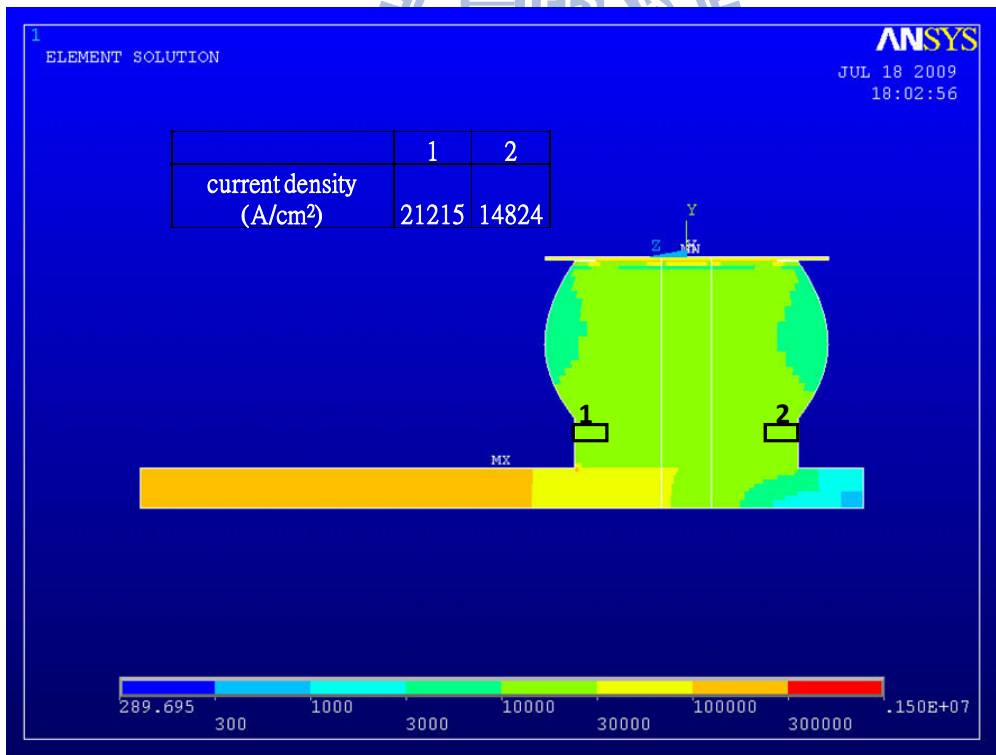


圖 4-13 平行銅導線方向上銲錫接點內部電流密度的三維模擬。

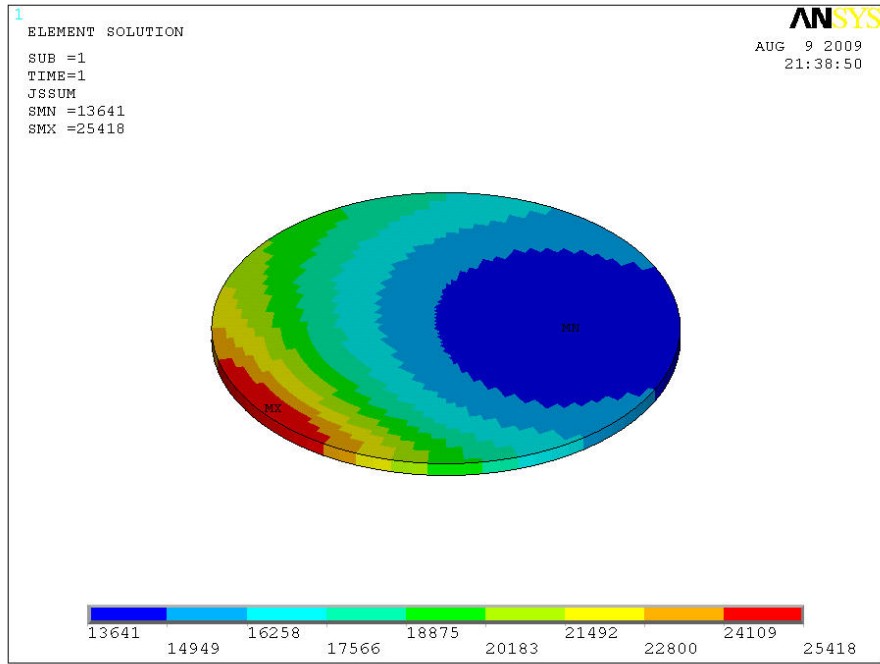


圖 4-14 模擬銲錫接點底層之電流密度分佈。



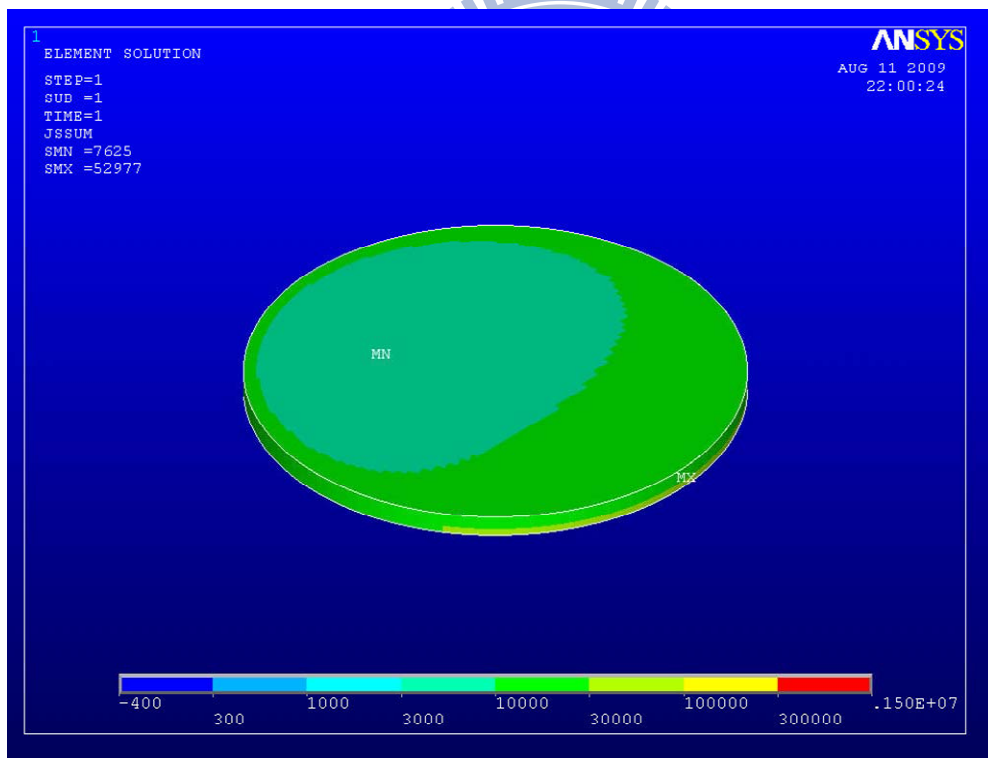
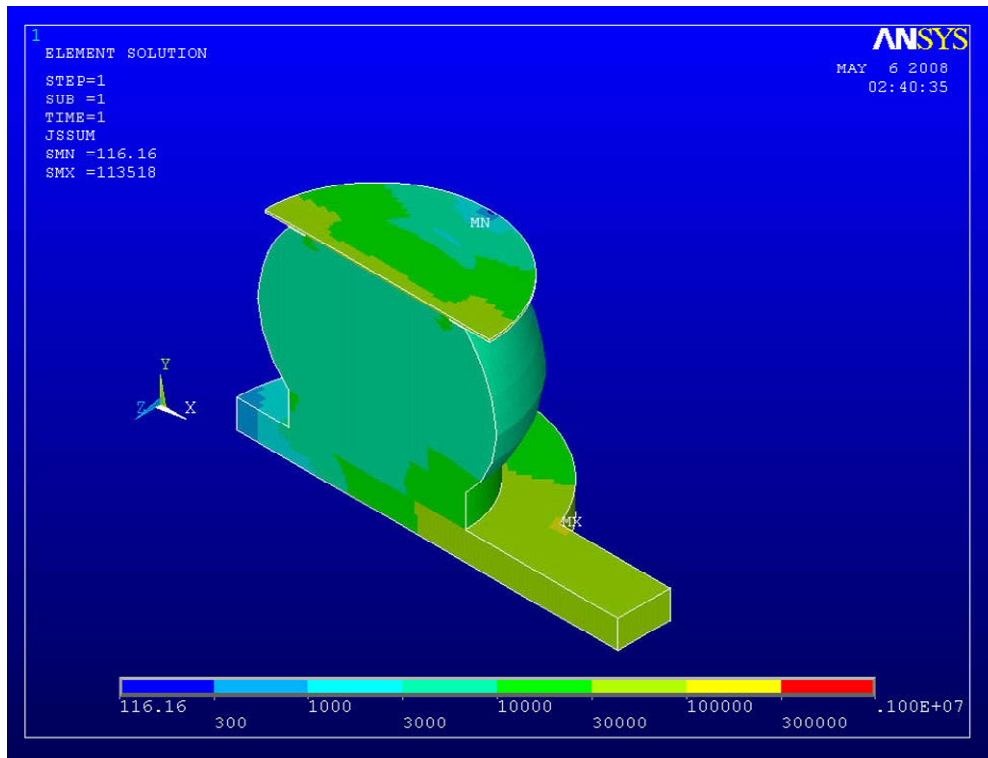


圖 4-15 (a) 模擬錫接點剖面電流密度分佈情形。(b) 模擬錫錫底層的電流密度分佈情形。

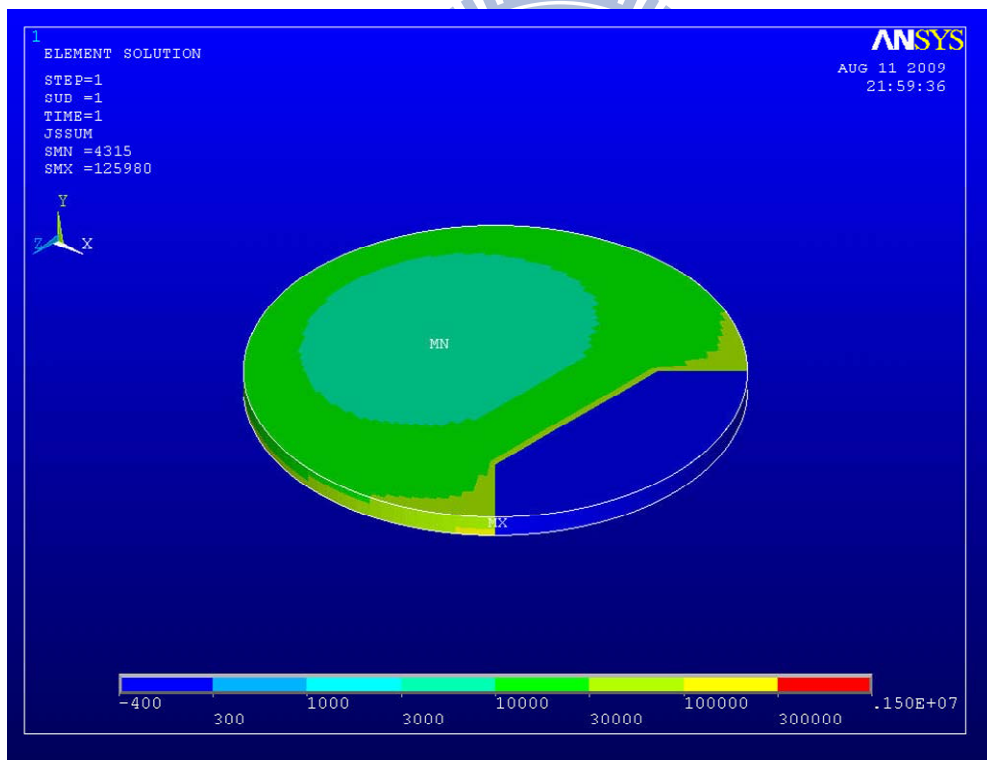
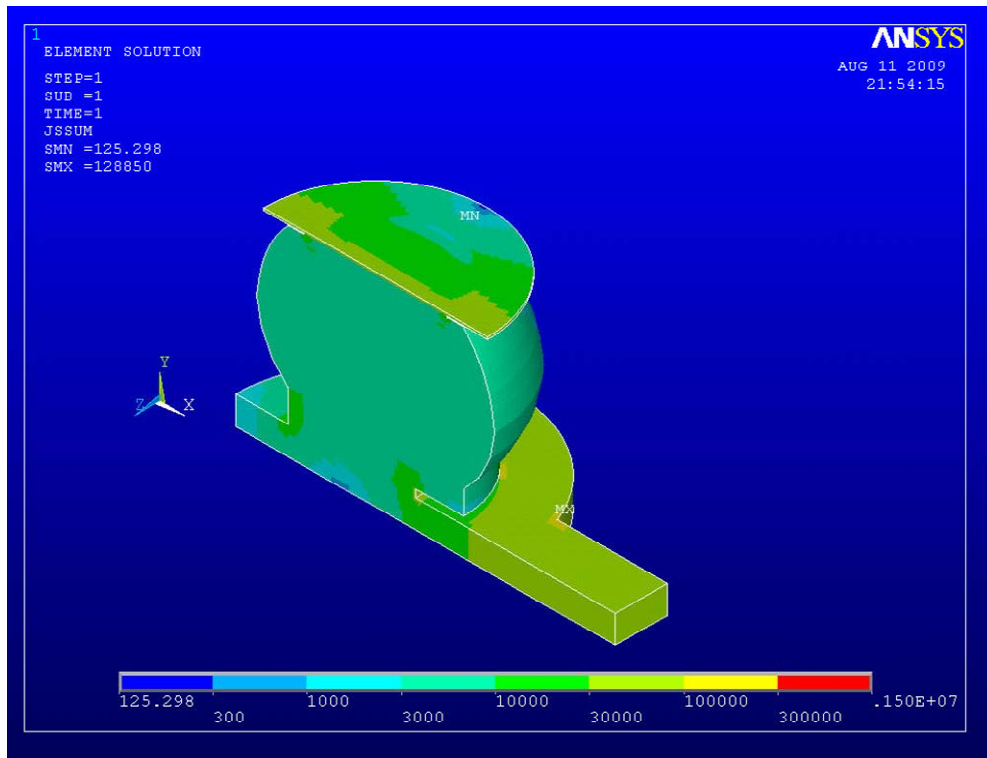


圖 4-16 模擬孔洞生成之後(a) 錫銲接點剖面電流密度分佈情形。
(b) 錫銲底層的電流密度分佈情形。

第五章 結論

在升溫加速測試下觀察共晶錫鉛銲錫搭配鎳金屬墊層以及銅墊層的破壞模式，在晶片端的陰極可以觀察到介金屬化合物層被電子流推離，錫原子回填與鋁墊層接觸的現象，由於錫原子與鋁導線的界面能高，因此接著並不好，造成電阻上升；在基板端的陰極則觀察到有明顯孔洞的生成，由二次截面影像可以清楚的觀察到孔洞生成在銅墊層與銲錫接點周圍一圈電流密度較高的區域，此介面的孔洞可能對電阻上升造成相當大的貢獻。



參考文獻

1. Intel Technology Journal, 9, 4, (2005).
2. V. B. Fiks, Soviet Physics – Solid State, 1, pp.14-28, (1959).
3. European Union Waste in Electrical and Electronic Equipment (WEEE) Directive, 3rd Draft, May (2000).
4. Japanese Ministry of Health and Welfare Waste Regulation on Un-Reusable Pb, June (1998).
5. K.N.Tu, Recent advances on electromigration in VLSI of interconnects, J. Appl. Phys, 94, pp. 5451-5473, (2003).
6. P. S. Ho and T. Kwok, Rep. Prog. Phys., vol. 52, pp. 301-348, (1989).
7. I. A. Blech and C. Herring, Appl. Phys. Lett. 29, 131,(1976).
8. T. L. Shao, S. W. Liang, T. C. Lin, and Chih Chen, (WEEE) Directive, 3rd Draft, May (2000).
9. Y.L.LIN, Y.S. LAI, C.M. TSAI, and C.R. KAO Journal of ELECTRONIC MATERIALS, Vol. 35, No. 12, (2006).
10. D. Gupta, K. Vieregge, and Gust, V.47, No. 1, pp.5-12, (1999).
11. J. K. Lin, J.W. Jang, and Jerry White, ECTC (2003).pp.816-821.
12. C. C. Yeh, W. J. Choi, K. N. Tu, P. Elenius, and H. Balkan, Appl. Phys. Lett. Vol. 80, 580, (2002).
13. Joule, J.P. Philosophical Magazine, Vol. 19, PP. 260; Scientific Papers 65(1841).
14. S. H. Chiu, T. L. Shao, and Chih Chen, Appl. Phys. Lett.88,022110,

(2006).

15. E. C. C. Yeh, W. J. Choi, and K. N. Tu, P. Elenius, and H. Balkan, Appl.Phys. Lett. Vol.80, Issue4, pp. 580-582 (2002).
16. Lingyun Zhang, Shengquan Ou, Joanne Huang, K. N. Tu, Stephen Gee and Luu Nguyen, Appl. Phys. Lett. Vol.88, Issue, 012106 (2006).
17. H. Lin, C. M. Tsai, Y. C. Hu, Y. L. Lin, and C. R. Kao, J.Electron. Mater. Vol. 34, 27, (2005).
18. C. Hu, Y. H. Lin, C. R. Kao, and K. N. Tu, J. Mater. Res. Vol. 18, 2544, (2003).
19. C. Y. Liu, Lin Ke, Y. C. Chuang, and S. J. Wang, JAP Vol. 100, 083702, (2006).
20. M.H. Chu and Chih Chen, Failure mechanism in SnCu solder bumps with Al/Ni(V)/Cu thin-film UBM and OSP surface finishes (2008)
21. Jae-Woong Nah, J. O. Suh, and K. N. Tu, Seung Wook Yoon, Vempati Srinivasa Rao, and Vaidyanathan Kripesh and Fay Hua J. Appl. Phys. Vol.100, Issue 12, 123513 (2006).
22. Jae-Woong Nah, Kai Chen, J. O. Suh, and K. N. Tu, ECTC (2007) pp. 1450-1455.
23. H.Y. Hsiao and Chih Chen, Appl. Phys. Lett. **94**, 092107 (2009).
24. Howard D. Blair, Tsung-Yu Pan, John M. Nicholson, ECTC (1998) pp.259-267.