

保溫材鈣金屬污染對閘極氧化層的影響之影響及防治

學生：余典衛

指導教授：張翼 博士

國立交通大學工學院專班半導體材料與製程設備組碩士班

摘 要

對於電晶體而言，閘極氧化層的好壞是很重要的關鍵，因此在半導體元件製程中，矽晶片表面的金屬污染所造成的良率和元件可靠度下降的後果，也一直是半導體製程中令人關心的問題。因此每一個半導體廠莫不戰戰兢兢地使用化學用品，氣體，製程相關材料及潔淨之無塵室。在常見的污染物有微塵粒，金屬，及有機物，而其中又以金屬對元件之電特性影響最大。在 VLSI 製程中，若晶圓遭受到金屬雜質的污染，則製作出來的元件的電氣特性將會惡化，如閘氧介電質崩潰電壓、漏電流...等電性惡化現象。

不同種類與程度的金屬雜質導致閘極氧化層崩潰與退化是明顯可見的，鐵與鎳金屬雜質在高濃度的時候會使得薄氧化層的特性嚴重惡化。鈣金屬雜質使得崩潰電荷的衰減並且使漏電流與電應力引發漏電流的大量增加，另外銅金屬雜質會造成較多的中間能隙陷阱密度。而鋅金屬雜質對於元件的平帶電壓有較大的影響。

本論文針對本研究針對半導體廠常用之保溫材內所添加之鈣對半導體元件電性之影響作了有系統之分析。實驗結果看來，發現鈣金屬對閘極氧化層影響非常明顯。由上述之結果可以幫助積體電路製造業充分掌控鈣之

污染，所可能造成之電性異常問題，以提高良率。



Insulation Material Calcium metal Pollution on the Impact of
Gate Oxide Layer of Influence and Control

Student : Tien-Wei Yu

Advisor : Dr. Yi Chang

Program of Semiconductor Material and Process Equipment
College of Engineering
National Chiao Tung University

ABSTRACT

For transistors, the gate oxide layer is very important key to good or bad, so the semiconductor device manufacturing process, the silicon surface of the metal contamination caused by the decline in yields and components reliability of the consequences of the semiconductor manufacturing process has been is cause for concern. So each one semiconductor plant did not dare in fear the use of chemical products, gas, process-related materials and clean the clean room. Common pollutants in the dust grains, metals, and organic matter, rather Among them, the components of the electrical characteristics of metal on the greatest impact. In VLSI manufacturing process, if the wafer exposed to the pollution of metallic impurities, then the produced components will deteriorate the electrical properties, such as the gate oxide dielectric breakdown voltage, leakage current and other electrical ... deteriorated.

Different types and levels of metal impurities lead to gate oxide breakdown and degradation is visible, iron and nickel-metal impurities in high concentrations when the thin oxide layer would make a serious deterioration in the characteristics. Calcium metal impurities makes the collapse of the charge

decay and to make electrical stress induced leakage current and a significant increase in leakage current, while copper impurities will cause more energy gap trap density in the middle. The zinc metal impurities in the flat-band voltage for the components have a greater impact. .

In this paper, semiconductor plant for the purpose of this study of the insulation material used in the added calcium on the electrical properties of semiconductor components were made by a systematic analysis of the impact. The results seem, found that calcium metal on the gate oxide is very obvious impact. From the above results can help the integrated circuit manufacturing industry to fully control the calcium of the contamination, which may cause the electrical abnormalities in order to increase yield.



誌謝

在這春暖花開的日子裏，即將結束研究生的生涯，在此特別要感謝我的指導教授 張翼博士，這些日子以來孜孜不倦的教導，尤其論文的撰寫方面，都是利用休假的時間為我們指導，不管在學習上或生活上都給予我們非常寶貴的經驗，可以說亦師亦友。同時要感謝 張立博士、戴寶通博士擔任學生的畢業口試委員，並給予學生諸多寶貴的建議。

另外要謝謝眾多同學相互鼓勵一起度過這些年共同學習的時光，讓我有個美好的回憶。

最後僅將本貢獻及成果獻給我摯愛的妻子 詩茜及女兒 侑誼，在我進修這段時間有妳們的全力支持，讓我可以無後顧之憂在課業上衝刺。在此向我的家人及所有關心我的親友們，致上我最真誠的感謝。

目錄

中文摘要	i
英文摘要	iii
誌謝	v
目錄	vi
表目錄	vii
圖目錄	viii
第一章、	緒論.....	1
1.1	研究背景.....	1
1.2	研究動機與目的.....	3
1.3	論文架構.....	4
第二章、	文獻回顧.....	5
2.1	氧化層崩潰電壓模式.....	5
2.2	元件受到金屬污染的薄氧化層之崩潰電壓.....	6
2.3	晶片受到金屬污染的薄氧化層表面粗糙度.....	8
第三章、	實驗相關原理.....	10
3.1	金氧半二極體電容.....	10
3.2	超薄 MOS diode 的小訊號等效電路模型.....	14
3.3	氧化層與半導體介面上的缺陷.....	17
3.4	金半功函數差與氧化物電荷.....	19
3.5	介面陷阱電荷.....	20
3.6	Howarth-Nordheim 穿隧電流.....	20
第四章、	剖析與驗證 C-V 量測量測技術.....	26
4.1	序論.....	26
4.2	準靜態 C-V 量測(HP-4155C).....	26
4.3	高頻 C-G-V 量測(HP-4284).....	41
第五章、	污染物來源分析、驗證及防治措施.....	45
5.1	個案失效模式.....	45
5.2	實驗方法與步驟.....	46
5.3	樣本複製實驗.....	52
5.4	樣本量測結果.....	65
5.5	爐管污染途徑改善方式建議及成效.....	72
第六章、	結論.....	75
參考文獻	76
自傳	77

表目錄

表 4-1 GOI 利用兩種不同 Dit 萃取法，求得之介面態密度值.....	45
表 5-1 個案機台環境 particle count 比較表.....	49
表 5-2 SiN 爐管進行機台保養當日環境 ICP-MS data 比較表.....	50
表 5-3 樣本製作流程圖.....	53
表 5-4 氧化層厚度及應用範圍.....	60
表 5-5 改善前後 particle OCAP rate 對照表.....	74



圖目錄

圖2-1 鎳金屬污染電性表現.....	7
圖2-2 銅金屬污染電性表現.....	7
圖2-3 鐵金屬污染電性表現.....	7
圖2-4 鋅金屬污染電性表現.....	7
圖2-5 不同金屬污染於950°C爐管製程後Si表面Haze數.....	9
圖2-6 Haze:0.5 由AFM量測到RMS-roughness 0.41nm.....	9
圖2-7 Haze:0.2 由AFM量測到RMS-roughness 0.32nm.....	9
圖3-1 金氧半二極體的結構圖.....	11
圖3-2 偏壓下氧半二極體電容的能帶圖與電荷分佈.....	13
圖3-3電容電壓曲線上的三種不同狀態區域.....	14
圖3-4超薄氧化物的金氧半二極體電容之小信號等效電路模型.....	16
圖3-5典型金氧半二極體所形成的缺陷與電荷.....	19
圖3-6 能帶圖.....	21
圖3-7 介面陷阱電荷對金氧半二極體的電容電壓曲線之影響.....	22
圖3-8 計算平帶電容與電壓的步驟示意圖.....	24
圖4-1 光的強弱對CV曲線的影響.....	27
圖4-2 QSCV在關燈與開燈下的表現.....	29
圖4-3 QSCV量測程序圖.....	30

圖4-4 4155及4156採用矩形近似法以求得積分時間.....	30
圖4-5 電容積分時間對QSCV的影響.....	33
圖4-6 漏電流補償效應示意圖.....	34
圖4-7 漏電流補償對CV曲線的影響.....	35
圖4-8 文獻中補償效應對CV曲線的影響.....	36
圖4-9 GOI進行補償前後的C-V變化情形.....	38
圖4-10 20Å的SiO ₂ 在不同頻率下的電導值.....	43
圖4-11 Dit求取法=高低頻CV法.....	43
圖4-12 Dit求取法=G-V法.....	43
圖5-1 個案崩潰電壓失效模式.....	45
圖5-2 個案fail sites與氧化爐管monitor wafer defect count成正比.....	45
圖5-3 崩潰電壓異常wafer TEM照片.....	47
圖5-4崩潰電壓異常wafer SEM照片.....	47
圖5-5含金屬雜質化學溶液經氧化製程後所形成之defect.....	48
圖5-6異常機台進行particle counter檢測.....	49
圖5-7個案機台環境defect 經氧化爐管後SEM照片.....	50
圖5-8管路保溫材照片.....	51
圖5-9加熱套保溫材EDX分析.....	51
圖5-10樣本結構示意圖.....	52

圖5-11 SPM Process Bath示意圖.....	56
圖5-12 LOCOS 示意圖.....	61
圖5-13 一個氧化程式主要步驟.....	62
圖5-14氧化爐管示意圖.....	63
圖5-15保溫材外觀及E-DEX成份分析.....	65
圖5-16電性量測分布圖.....	66
圖5-17 Vbd測試方式.....	67
圖5-18 Wafer 上defect分佈與Vbd 分佈示意圖.....	68
圖5-19 EMMI定位出weak point示意圖.....	68
圖5-20 Defect TEM照片.....	69
圖5-21經氧化爐管後Wafer表面defect SEM照片.....	69
圖5-22 I-V curve on a Ca contaminated wafer.....	70
圖5-23 I-V curve on a normal wafer.....	70
圖5-24 CV curve on a abnormal wafer.....	71
圖5-25 CV curve on a normal wafer.....	72
圖5-26污染源進入機台路徑示意圖.....	72
圖5-27 Partition示意圖.....	73
圖5-28 Fan motor power regulator 示意圖.....	73
圖5-29改善措施執行後particle trend chart.....	74