

# 第一章、緒論

## 1.1 研究背景

對於電晶體而言，閘極氧化層的好壞是很重要的關鍵,因此在半導體元件製程中，矽晶片表面的金屬污染所造成的良率和元件可靠度下降的後果，也一直是半導體製程中令人關心的問題。因此每一個半導體廠莫不戰戰兢兢地使用化學用品，氣體，製程相關材料及潔淨之無塵室。在常見的污染物有微塵粒，金屬，及有機物，而其中又以金屬對元件之電特性影響最大。在 VLSI 製程中，若晶圓遭受到金屬雜質的污染，則製作出來的元件的電氣特性將會惡化，如閘氧介電質崩潰電壓、漏電流...等電性惡化現象。

不同種類與程度的金屬雜質導致閘極氧化層崩潰與退化是明顯可見的，鐵與鎳金屬雜質在高濃度的時候會使得薄氧化層的特性嚴重惡化。鈣金屬雜質使得崩潰電荷的衰減並且使漏電流與電應力引發漏電流的大量增加，另外銅金屬雜質會造成較多的中間能隙陷阱密度。而鋅金屬雜質對於元件的平帶電壓有較大的影響。隨著積體電路技術進入深次微米的時代，元件尺寸越作越小，製程之步驟也愈來愈複雜。例如 MOSFET 元件中之閘極氧化層由原先之幾百埃降至四十埃(\*)左右，而薄氧化層在超大積體電路技術中一直是非常受重視的，氧化層的可靠性會使產品良率降低，而直接影響的則是整個生產成本，影響

到整個產品之競爭力，故製作高品質的超薄閘極氧化層已成為現今研究的重點。然而，除了電漿充電效應對薄氧化層的傷害外，金屬微量污染物對薄氧化層可靠性的影響亦不可忽視。深次微米製程使得晶圓遭受到更多的製程步驟，隨之而來的可能造成 MOSFET 元件受到更多金屬微量污染物所造成內在的缺陷，因而使得元件的特性退化，造成 yield limiting。一些不利的影響是可以發現的，例如互補式金氧半元件的 Gate Oxide Integrity，動態隨機處理記憶體的 Refresh Time 的性能，CCD 的 Dark Current，雙載子電晶體與二極體的特性退化。因此每一個半導體廠莫不戰戰兢兢地使用化學用品，氣體，製程相關材料及潔淨之無塵室。在常見的污染物有微塵粒，金屬，及有機物，而其中以金屬對元件之電特性影響最大。在 ULSI 製程中，若晶圓遭受到金屬雜質的污染，則製作出來的元件的電氣特性將會惡化退化，如閘氧介電質崩潰電壓、漏電流及少數載子復合活期。一般金屬雜質的污染源，主要是來自洗淨材料的化學品，純水及氣體的金屬雜質和製程所引發的，如離子植入，會造成重金屬的污染。因離子植入之反應腔為不銹鋼材質，當離子植入時因離子撞擊內壁而造成重金屬的污染。而在部分 LPCVD 爐管所使用之保溫棉因含金屬成份，若未有效管理或控制，透過工廠回風途徑，將嚴重造成嚴重污染。很明顯地，越薄之氧化層

厚度，其容忍微量金屬之程度就越低，也就是越敏感。因此如何控制金屬污染，尤其是超薄化層之元件已成為刻不容緩的課題[1,2]。

## 1.2 研究動機與目的

LPCVD 爐管保溫材添加許多鈣金屬，其污染可能所引發的問題在金屬-氧化層-半導體(MOS)元件上非常的多，但是關於這方面的相關文獻卻非常的少。部份文獻指出，一旦鈣金屬污染時，經過高溫爐管後將造成晶圓表面 roughness，影響 GOI 特性。若保溫材所摻雜之鈣金屬未妥善管理，不只造成附近環境充滿了含鈣金屬微粒子，更容易透過回風運作或 carrier 進入化學清洗槽形成交互污染問題可能導致元件損壞，良率變低。根據金屬-氧化層-半導體製程的實際流程，當鈣金屬微粒子透過 carrier 進入化學清洗槽或回風機制進入氧化爐管，殘留在晶片表面上的鈣金屬將於影響矽氧化過程，而其對元件的影響也需要深入研究。

本論文主要只針對兩個部分。

第一、主要是假設氧化層爐管因鈣污染而影響矽表面氧化後之粗糙度。

第二、當鈣金屬污染時，探討元件可能的影響且藉著電流-電壓測量，擷取各元件基本參數，對照污染後元件電性會受到什麼樣的影響。

### 1.3 論文架構

本論文主要架構如下：

第一章、緒論：研究背景、研究動機及研究目的。

第二章、文獻回顧：金屬污染在 silicon 製程對 GOI 電性文獻之參考。

第三章、實驗相關原理。

第四章、剖析與驗證 C-V 量測量測技術。

第五章、污染物來源分析、驗證及防治措施。

第六章、結論：為本研究結果的說明。





## 第二章、文獻回顧

### 2.1 氧化層崩潰電壓模式

薄氧化層的崩潰機制可分成三種模式。第一種為 A 模式崩潰(A Mode)，也就是所謂的剛開始短路，大部分都是由脆弱的缺陷(Weak Spots)造成，例如金屬雜質存在於氧化層裡面或氧化層本身有很多的孔洞(Pin Hole)。其崩潰電場為最低( $< 2\text{MV/cm}$ )，此種模式的崩潰會造成產品良率的損失，其發生的原因與製程（顆粒、有機污染、金屬雜質）的原因。第二種為模式 C(C Mode)，這是種本質崩潰(Intrinsic Breakdown)，其崩潰電場為最高( $> 8\text{MV/cm}$ )為材料本身所限制的正常現象，不容易發生可靠性問題。而第三種為模式 B(B Mode)，此種崩潰介於模式 A 與 C 之間，為外質性(Extrinsic Breakdown)的崩潰，大部份要用電性的應力後才才能顯現出來，雖不會發生立即的故障，但在正常操作中卻隱藏故障發生的機會所以又稱為隱藏性的缺陷(Latent defect)，至於發生的原因一般認為可能與因缺陷造成局部等效厚度減少有關。而金屬雜質所造成薄氧化層崩潰(Metal Contamination Induced Breakdown)則是屬於 A 或 C 模式崩潰的一種。金屬雜質所造成薄氧化層的初始介電層崩潰通常是由於區域性高電場的建立，造成在氧化層中較脆弱之缺陷(Weak Spots)的電荷捕捉效應。當區域的電場達到一個本質上的臨界值時，電流便開始穿透薄氧化層，而產生了崩潰的現象。

這個薄氧化層中脆弱缺陷的原因被歸咎於金屬雜質、異質材料的缺陷、表面的粗糙度、晶格缺陷與其他異質界面異常的影響。而其中以金屬雜質是主要造成薄氧化層崩潰的機制並對於超薄氧化層之元件的可靠性影響最為嚴重[5,6]。

一般金屬雜質的污染來源，主要是來自潔淨材料的化學品、純水及氣體和製程所造成的金屬雜質，例如離子佈植會造成重金屬的污染，因離子佈植之反應腔為不銹鋼材質，當離子植入時因離子撞擊內壁而造成重金屬的污染，而在活性離子蝕刻與光阻灰化製程也會造成金屬污染。金屬雜質的影響除了產生脆弱鍵結與缺陷之外，還會穿透氧化層界面造成區域性的氧化層厚度的減少，使得氧化層界面的粗糙增加。另外，可能在氧化層界面附近形成一些金屬矽化物，這些都會影響薄氧化層崩潰的機制。而金屬雜質所引起的崩潰效應不只是本質性的失效(Intrinsic Failure)，也是種隨機性的失效(Random Failure)，這兩種的失效模式對於次微米元件的可靠性是相當受到重視的[1,2]。

## 2.2 元件受到金屬污染的薄氧化層之崩潰電壓

以現有的文獻得知，金屬離子的確會影響元件介電層的特性，污染的元件其閘極氧化層的崩潰電壓明顯降低。圖 2-1~2-4 顯示元件受到鎳、銅、鐵、鋅污染的薄氧化層之 Yield 與不同濃度之相關性。

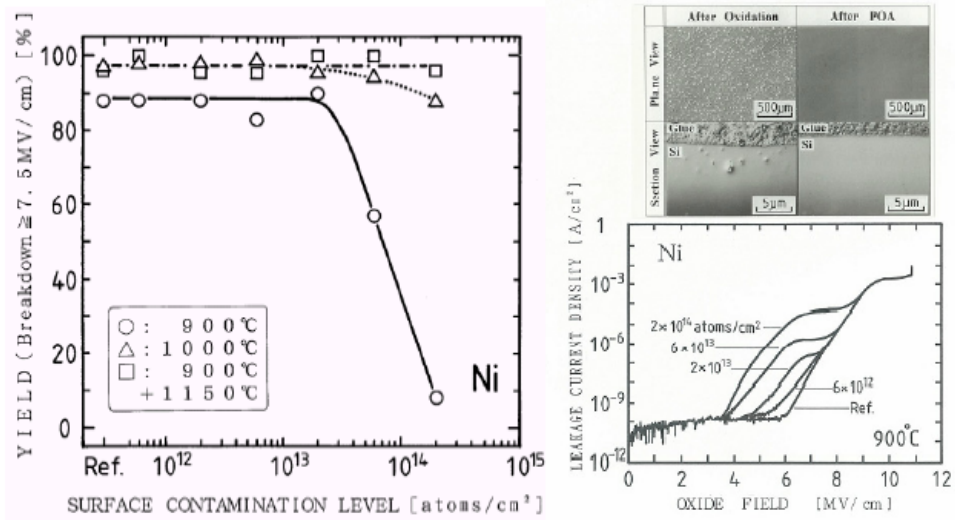


圖 2-1 鎳金屬污染電性表現

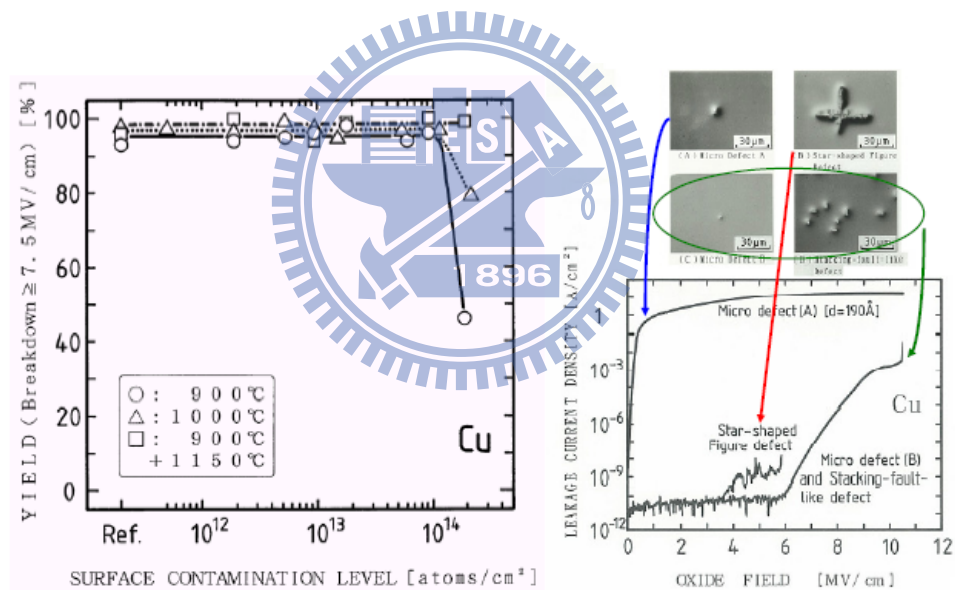


圖 2-2 銅金屬污染電性表現

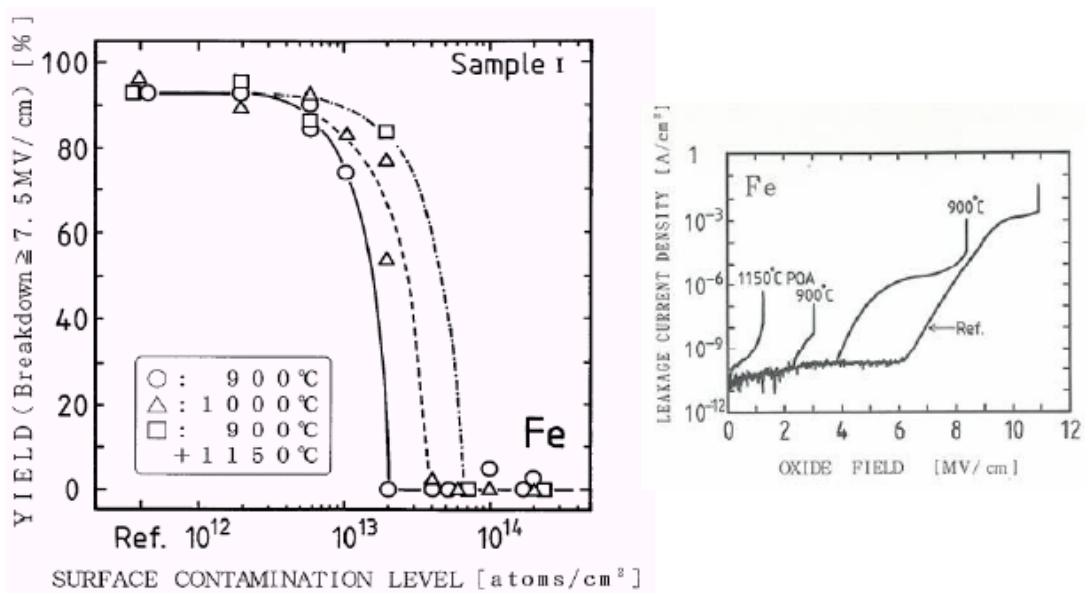


圖 2-3 鐵金屬污染電性表現

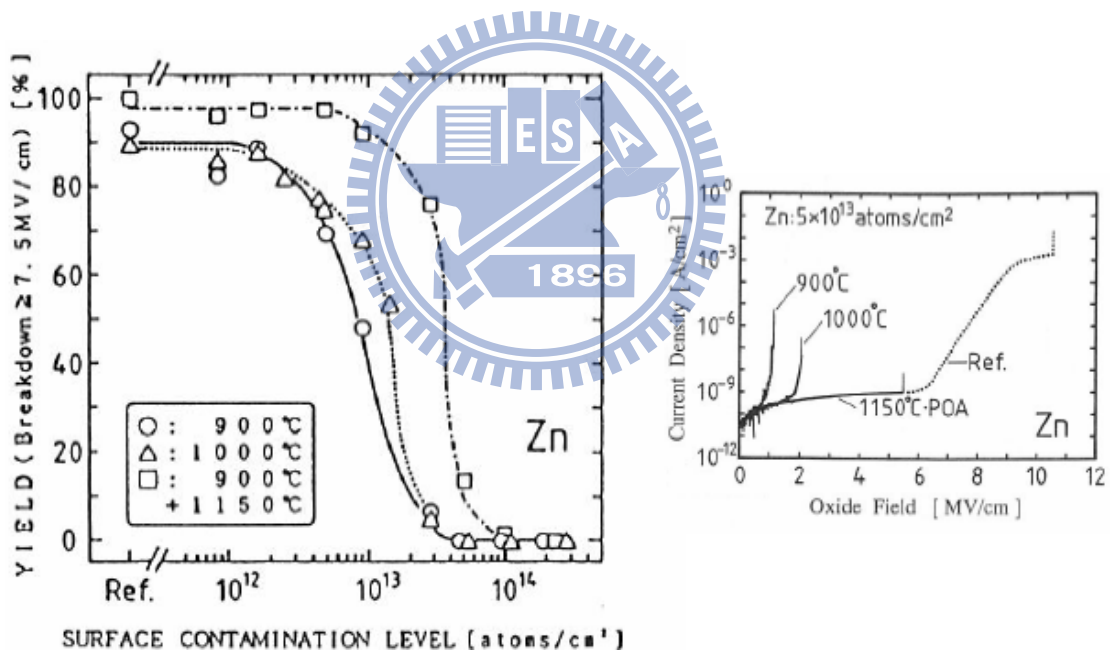


圖 2-4 鋅金屬污染電性表現

### 2.3 晶片受到金屬污染的薄氧化層表面粗操度

圖 2-5 顯示晶片受不同金屬污染於後續 950°C 爐管製程後，Si 表面粗操度。其中鈣所量到之 Haze 數大於其它金屬，而圖 2-6、圖 2-7 則是 Haze 數與 AFM 所量測之粗操度做關聯性比較顯示正相關。因此鈣金

屬污染於高溫製程時將惡化 Si 表面粗糙度，影響電性表現[3,4]。

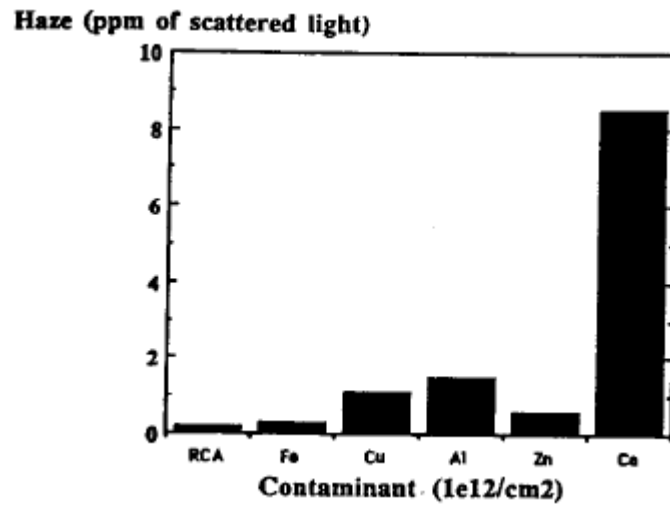


圖 2-5 不同金屬污染於 950°C 爐管製程後 Si 表面 Haze 數

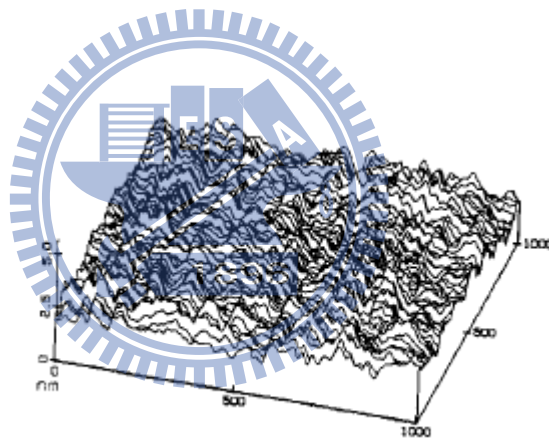


圖 2-6 Haze:0.5 由 AFM 量測到 RMS-roughness 0.41nm

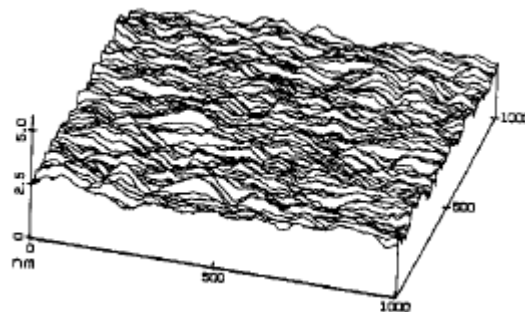


圖 2-7 Haze:0.2 由 AFM 量測到 RMS-roughness 0.32nm

## 第三章、實驗相關原理

### 3.1 金氧半二極體電容

由於所有半導體元件的可靠度、穩定性與其表面情形有密切的關係，而在研究半導體的表面時，金氧半二極體(MOS diode)是最有用的元件，所以我們將借助金氧半二極體來分析其介面特性，圖2-1即金氧半二極體的結構圖。我們使用電容量測時所利用的原理為：在金屬閘極加上固定的直流(DC)偏壓再加上一個微小的不同頻率之交流(AC)訊號，因為交流訊號的緣故加在閘極端的偏壓大小會不斷的變化，所以吸引的電荷量也會不斷的變化，故我們只要得到電荷的變化量，再除以電壓的變化量，便可以得到電容值  $C$

$$C = \frac{dQ}{dV} \quad (3-1)$$

我們再來要說明一下理想的金氧半二極體電容在三種不同的偏壓下所形成的三種不同狀態，如圖3-2所示，在此我們以p-type的Substrate為例。第一種狀態為當我們在金屬閘極加上一個負偏壓，此時在氧化層與半導體的介面的能帶會向上彎曲，且在介面附近會吸



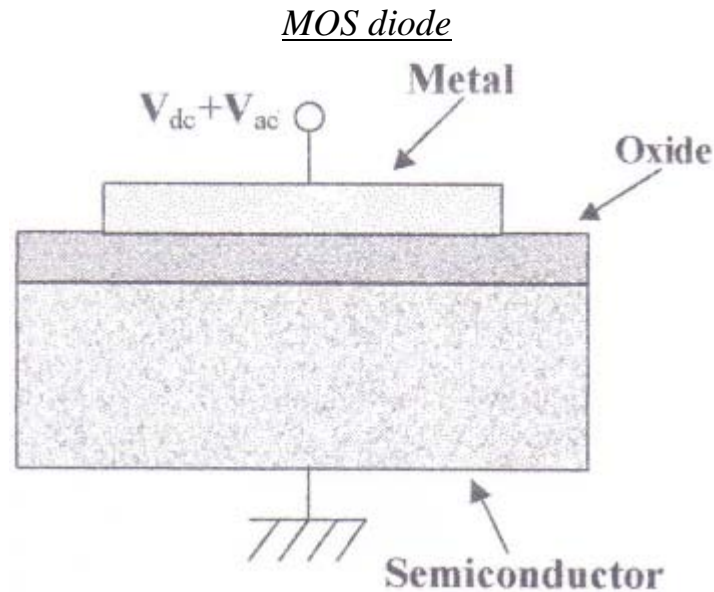


圖3-1 金氧半二極體的結構圖

引一些電洞，使電洞數目變得更多，並且都堆積在介面附近，故此種情況叫聚積(Accumulation)，量測所得的電容便等於氧化層的電容。第二種狀態為當偏壓變為小的正偏壓時，此時能帶向下彎曲，介面附近的電洞會被排斥開，使其形成一層空乏區，此狀態稱為空乏

(Depletion)，所量得的電容為氧化層電容再串聯一個空乏區電容，故

所得的電容慢慢的變小。第三種狀態為當閘極加上一個很大的正偏壓

時，能帶更加向下彎曲，使得介面附近不僅會形成空乏區，且會吸引

一些電子過來，而當少數載子電子變的比多數載子電洞還多時，表面

會形成反轉現象，此狀態稱為反轉(Inversion)，若此時量測的頻率為

高頻的話，所得的電容仍為氧化層的電容再串聯一個空乏區的電容，



並由於空乏區的大小已經到達一個極限，所以電容值會為一個定值，而若量測的頻率為低頻的話，此時的少數載子的結合-產生率能趕上低頻訊號的變化，使得電荷的變化都發生在介面附近，因此所得的電容便會慢慢便大，恢復至氧化層電容的大小。三種狀態所對應的電容電壓曲線圖如3-3所示。



### Accumulation

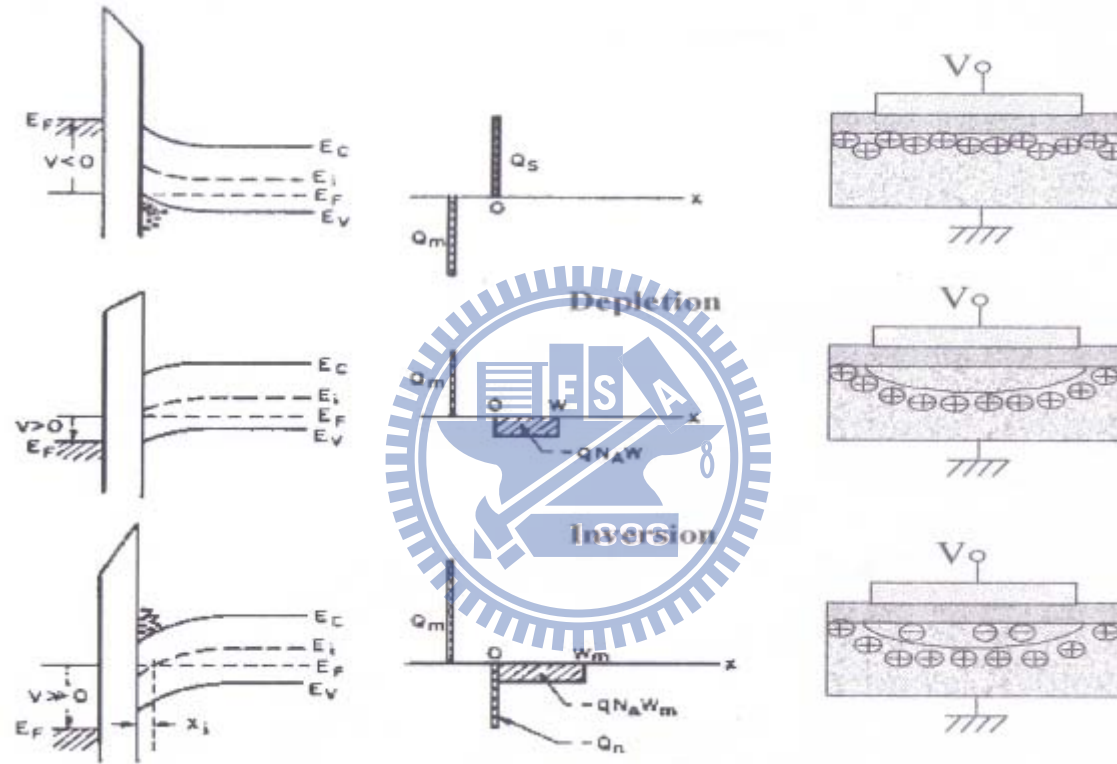


圖3-2偏壓下氧半二極體電容的能帶圖與電荷分佈

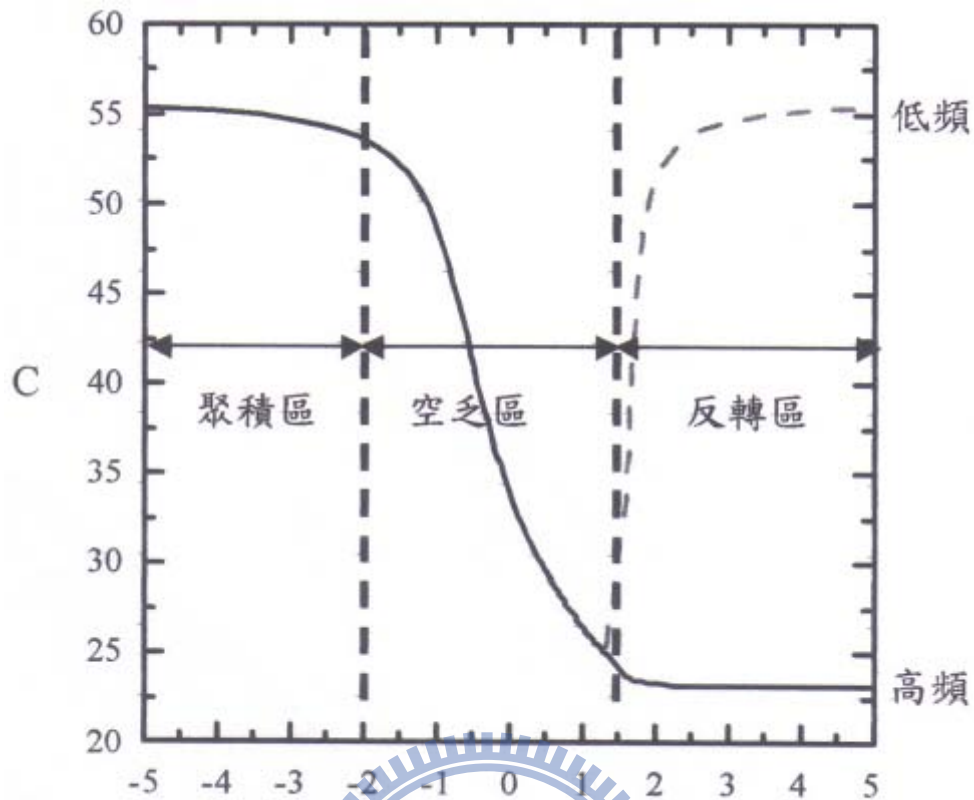


圖3-3電容電壓曲線上的三種不同狀態區域

### 3.2 超薄MOS diode的小訊號等效電路模型

通常在 $150\text{\AA}$ 以下的超薄氧化層所形成的金氧半二極體，在做電容—電壓量測時，使用不同頻率量測會得到不同的結果，也就是色散 (dispersion) 現象，這是因為串聯與並聯寄生電阻間的影響所致，所以我們利用一個小信號等效電路模型，經由一個下面的方法去計算，便可從兩個不同頻率量得的阻抗得到一個與頻率無關的精確電容

值，得到精確的電容值後才可以去求得研究介面的相關特性

[10,11]。當我們使用LCR METER量測時所用的模型為電容  $C$  與電

導  $G$  的倒數所並聯的雙元件電路，即為圖3-4(a)，但實際上由於超薄

的介電質會造成漏電流變大，使得介電質的電阻  $R_p$  不再可以忽略，

所以實際的電路應為圖3-4(b)的三元件電路，同時也因為基板電阻  $R_s$

的影響，在高頻量測時會因不同的量測頻率得到不同的結果，故為得

到正確的電容值  $C$ ，我們比較兩個模組，便可推導出精確電容的計算

公式，因此只要我們有兩種不同頻率下所得的結果，便可代入公式得

到精確的電容值  $C$ 。我們可以從圖3-4(a)等效電路推算出其阻抗為

$$Z = \frac{D - j}{\omega C(1 + D^2)} \quad (3-2)$$

再推算出圖2-4(b)等效電路的阻抗為

$$Z = R_s + \frac{R_p(1 - j\omega C_{MOS}R_p)}{1 + \omega^2 C_{MOS}^2 R_p^2} \quad (3-3)$$

其中  $D = \frac{G}{\omega C}$  為消散因子， $G$  與  $C$  為量測值、 $\omega = 2\pi f$  為角頻率

將精確電路阻抗的表示式(3-2)與量測電路阻抗的表示式(3-3)的虛部

相等後可得到

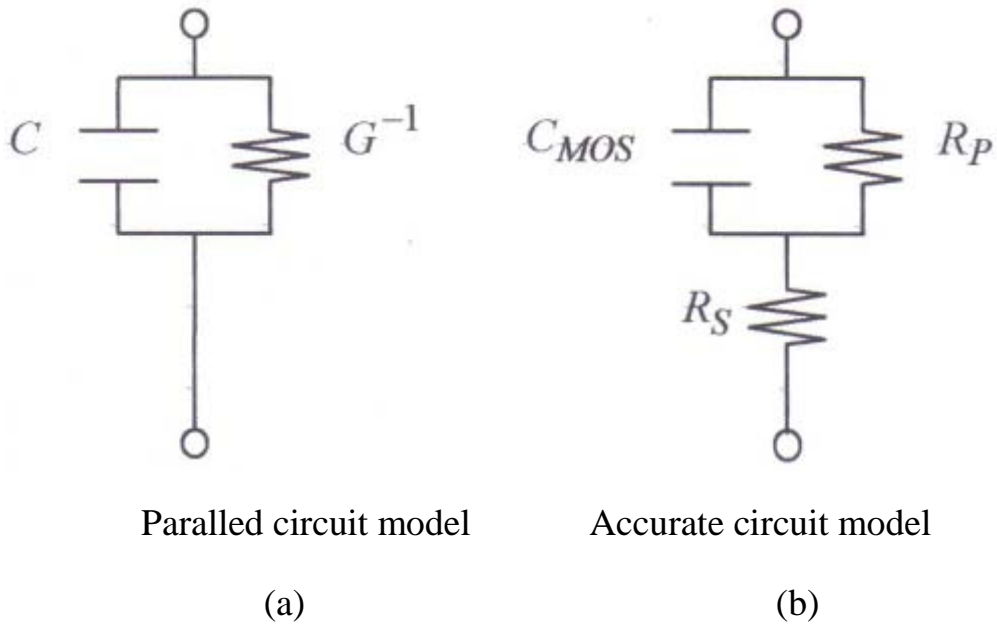


圖3-4超薄氧化物的金氧半二極體電容之小信號等效電路模型

$$\frac{1 + \omega^2 C_{MOS}^2 R_P^2}{C_{MOS} R_P^2} = \omega^2 C (1 + D^2) \quad (3-4)$$

量測兩個頻率的電容值與消散因子代入式(3-4)並相減後可解出實際的精確電容值

$$C_{MOS} = \frac{f_1^2 C_1 (1 + D_1^2) - f_2^2 C_2 (1 + D_2^2)}{f_1^2 - f_2^2} \quad (3-5)$$

其中  $C_1$  和  $D_1$  為在頻率  $f_1$  的量測值， $C_2$  和  $D_2$  為在頻率  $f_2$  的量測值。

經由比較兩等效模組阻抗的虛部我們也可以得到串聯與並聯的電阻

$$R = \frac{D}{\omega C (1 + D^2)} - \frac{R}{1 + \omega^2 C_{MOS}^2 R_P^2} \quad (3-6)$$

和

$$R_p = \frac{1}{\sqrt{\omega^2 C C_{MOS} (1 + D^2) - \omega^2 C_{MOS}^2}} \quad (3-7)$$

### 3.3 氧化層與半導體介面上的缺陷

在氧化物與半導體的介面上與氧化物本身存在許多缺陷。圖3-5即為典型的金氧半二極體所會形成的缺陷與電荷。這些介面陷阱與氧化物電荷可分為四種，分別為可移動的游離電荷(mobile ionic charge)：它通常是由鈉鉀等鹼金屬離子所形成，在高溫或高偏壓的操作下，可以在氧化層內移動。氧化物陷阱電荷(oxide trapped charge)：它通常是由氧化物本身的缺陷所形成，一般來說它是屬於中性的，並可以抓住電子或電洞於氧化物內，使氧化物充電，例如可用 X 光線輻射或熱電子注入所形成。固定的氧化物電荷(fixed oxide charge)：它通常是由不完全的氧化所形成，並且與氧化過程、退火狀況及半導體的晶格方向有關。最後是介面陷阱電荷(interface trapped charge)：通常是由於晶體表面週期性晶格受到截斷所形成的斷鍵而形成的，也與半導體的晶格方向有關，並且它能在很短的時間內進行電荷交換作用。由於上述這些缺陷的存在會影響到金氧半二極體的特性，所以通

常將之熱處理以減少缺陷的數目，在製程時也會特





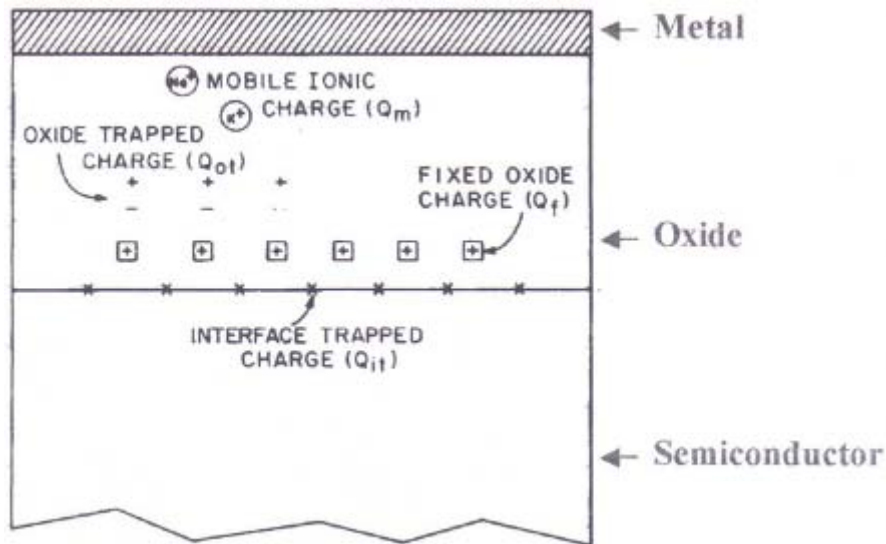


圖3-5典型金氧半二極體所形成的缺陷與電荷

別小心避免受到污染，減少受污染而產生的缺陷。



### 3.4 金半功函數差與氧化物電荷

我們先考慮金屬氧化物半導體為獨立狀態也就是為接觸在一起的時候，圖3-6(a)所示。在此我們以P型的半導體為例，通常在金屬與半導體間的功函數差並不為零，因此一旦結合在一起時，在熱平衡下，費米能階為定值，其真空能階必為連續，所以為了調節功函數的差，半導體能帶必須向下彎曲，如圖3-6(b)所示，此時若想要將能帶拉平回到平帶狀態便必須在閘極金屬上加上一電壓，此電壓便稱為平帶電壓，而此電壓的大小便為金屬與半導體的功函數差。而事實上因

為氧化層電荷的存在，也會對平帶電壓有所影響，並將會影響到金氧半二極體的特性，所以我們可以得到一個平帶電壓的公式

$$V_{FB} = \phi_{ms} - \frac{Q_{ox}}{C_{ox}} \quad (3-8)$$

其中  $\phi_{ms}$  為金半功函數差， $Q_{ox}$  即等於可移動離子電荷、氧化層陷阱電荷與固定氧化層電荷三者總和 ( $Q_m + Q_{ot} + Q_f$ )，上式又可寫為

$$V_{FB} = V_{FB}^0 - \frac{Q_{ox}}{C_{ox}} = V_{FB}^0 - \frac{qN_{ox}}{C_{ox}} \quad (3-9)$$

其中  $V_{FB}^0$  為不受氧化層電荷影響的平帶電壓即為  $\phi_{ms}$ ， $N_{ox}$  為氧化層電荷密度，所以只要我們知道半導體摻雜的濃度及金屬的功函數並且由實驗所得的平帶電壓，便可以計算出氧化層電荷密度。

### 3.5 介面陷阱電荷

我們將使用 Terman Method 去做介面陷阱電荷的計算，此方法可在室溫、高頻下的量測而去求得介面態密度 (interface state density)  $D_{it}$ ，使用此方法必須頻率要高，要高得介面陷阱電荷對交流



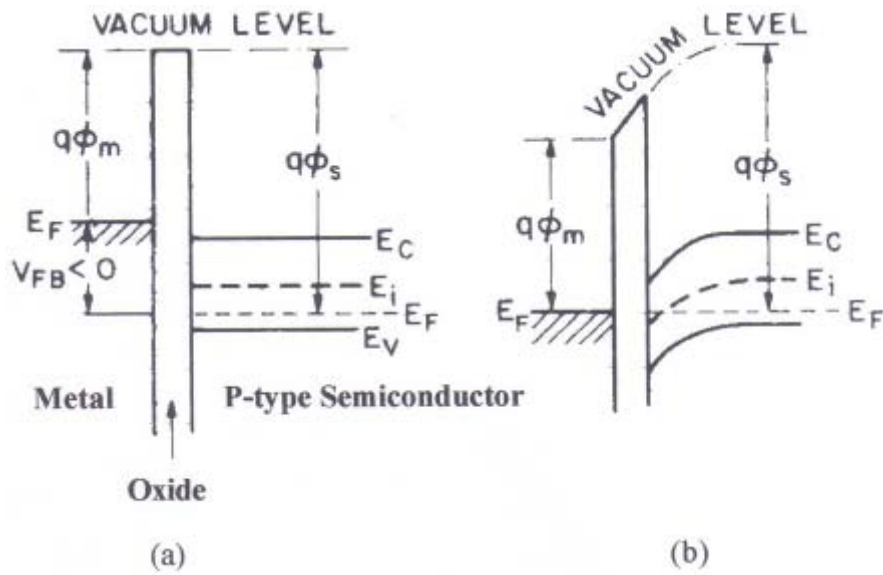


圖3-6 (a)各自獨立的金屬、氧化物、半導體之能帶圖  
(b)熱平衡下的金氧半二極體之能帶圖

的小信號沒反應，但此時會受到變化緩慢的閘極直流信號的影響，因此所量得的電容電壓曲線會沿著電壓軸延展，使曲線變得較為平緩，如圖3-7所示。所以我們可以得到出計算介面能態密度的計算

公式

$$D_{it} = \frac{C_{ox}}{q} \left[ \left( \frac{d\psi_s}{dV_g} \right)^{-1} - 1 \right] - \frac{C_{dep}(\psi_s)}{q} \quad (3-10)$$

其中  $\psi_s$  為表面電位， $V_g$  為閘極偏壓， $C_{dep}$  為空乏區的電容，可利用下面的式子得到

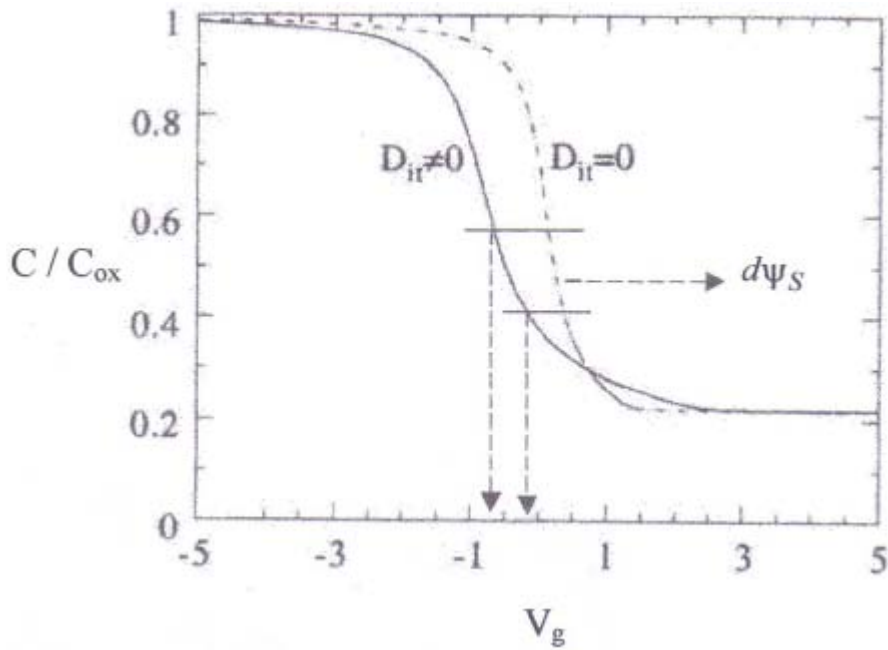


圖3-7 介面陷阱電荷對金氧半二極體的電容電壓曲線之影響

$$\frac{1}{C_{meas}} = \frac{1}{C_{oxide}} + \frac{1}{C_{dep}} \quad (3-11)$$

式中的  $C_{meas}$  為量測值

我們利用 Matlab 去計算出一個理想的電容曲線，然後將理想與實驗兩條曲線間的微小差異帶入公式，來求得介面能態密度。其計算步驟為：先比較量測值與模擬值，找出相近的電容值，再由量測值求出  $dV_g$ 、由計算值求出  $d\psi_s$ 、求出  $C_{dep}$ ，最後在全部代入公式便可求出介面能態密度  $D_{it}$ ，如圖3-7所示。

而在計算出一條逼近實驗曲線的理想曲線後，我們可以得到一些電氣的參數，如半導體的摻雜濃度(dopant concentration)、氧化物的介電係數、平帶電容與電壓等，並且我們可以利用所得到的介電係數去計算得到等效的二氧化矽厚度(equivalent oxide thickness)EOT。

氧化物的介電係數我們可以利用平行板電容的公式去求得

$$C = \epsilon \frac{A}{d} \quad (3-12)$$

式中的  $A$  為閘極金屬的面積， $d$  為氧化層的厚度

在求得氧化物的介電係數之後，我們可以再利用它去求得等效的二氧化矽厚度EOT

$$EOT = \frac{\epsilon_{SiO_2}}{\epsilon_{oxide}} d_{oxide} \quad (3-13)$$

式中的  $\epsilon_{SiO_2}$  為傳統二氧化矽的介電係數( $\sim 3.9$ )， $\epsilon_{oxide}$  為所求得的氧化物介電係數， $d_{oxide}$  氧化物的厚度。

平帶電容與電壓的計算步驟為：先找出模擬計算值中零偏壓時的電容值，再將找出的電容值與量測所得的電容值比對，找出相對應的電壓值，此時電壓值即為平帶電壓  $V_{FB}$ ，電容值即為平帶電容  $C_{FB}$ 。圖3-8 即為計算平帶電容與電壓的步驟示意圖。

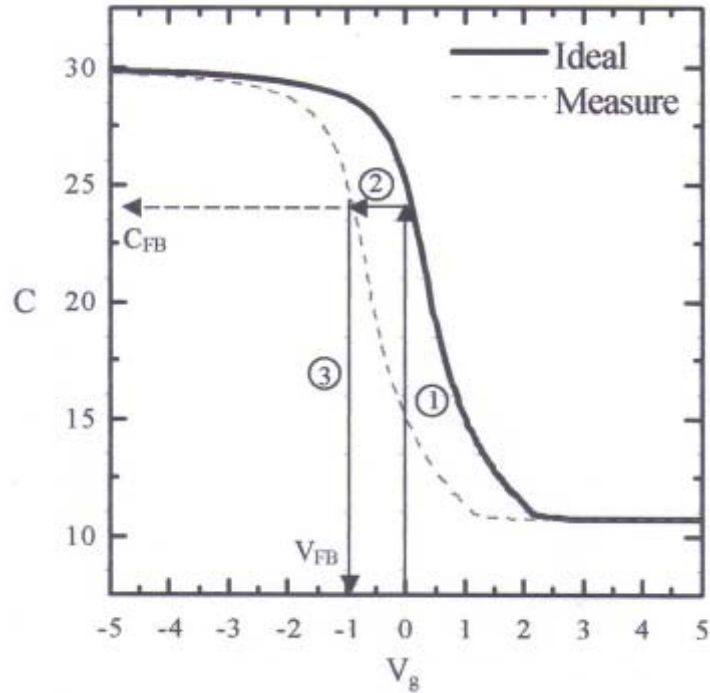


圖3-8計算平帶電容與電壓的步驟示意圖

### 3.6 Fowler Nordheim穿隧電流

當量測電流曲線時，若加上的偏壓很大則會使得氧化層的能障變成三角形，此時電子會穿隧過此三角形能障而形成電流，此電流便稱為Fowler Nordheim穿隧電流，此電流的大小為

$$J \sim E^2 \exp\left[-\frac{4\sqrt{2m^*}}{3q\hbar E}(\Phi)^{3/2}\right] \quad (3-14)$$

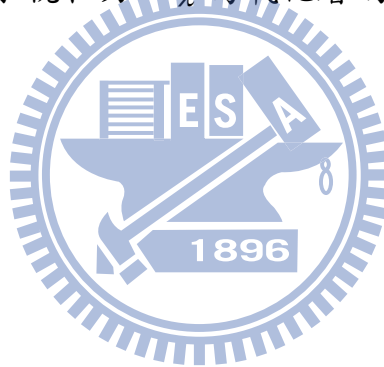
其中  $E$  為氧化層上的電場強度， $m^*$  為氧化層的等效電子質量， $\Phi$  為電子穿隧的能障高度，我們還可以計算得到  $\log(J/E^2)$  對  $1/E$  的斜率

$$S = \frac{d[\log(J/E^2)]}{d(1/E)} = -\frac{4\sqrt{2m^*}}{3q\hbar}(\Phi)^{3/2} \log e \quad (3-15)$$

在正向偏壓下所得到的能障高度即等於氧化層與半導體的導電位差

$$\Phi^+ = \Delta E_C = \chi_s - \chi \quad (3-16)$$

其中  $\chi_s$  為半導體的電子親和力， $\chi$  為氧化層的電子親和力





## 第四章、剖析與驗證C-V量測量測技術

### 4.1 序論

此章中我們將針對本研究裡的量測機台其CV量測原理、設定與功能作一剖析並加以驗證，以確使我們在量測過程中，能對問題及結果作出正當判斷與評析，進而增加量測速度與準確性，而透過驗證後的某些結果，不僅能適用於本研究的量測設備更適用於擁有相關功能的機台，故透過本章的剖析與驗證，將可對CV量測有更進一步的了解與認識。

本文中所使用的CV量測機台為準靜態的HP-4155C與高頻的HP-4284 LCR meter，DUT的來源為標準製程下GOI晶片 (Poly-Si/SiO<sub>2</sub>/P-well) 與本研究下所製作的MIS元件。

### 4.2 準靜態C-V量測(HP-4155C)

這一節中，將針對4155C其內部相關CV談定功能與一般CV量測時文獻建議的量測方法作一驗證與討論，共分成下列三點進行探討：

#### 1. 探討光對CV量測的影響

在一般電性量測過程中，光是不被允許的，同理在C-V量測中，光的隔絕與否仍是我們關切的重點。但究竟光的加入會如何影響整體C-V曲線的變化呢？為此我們選擇以GIO晶片來探討光的存在對C-V曲線的影響，實驗結果如下圖所示：

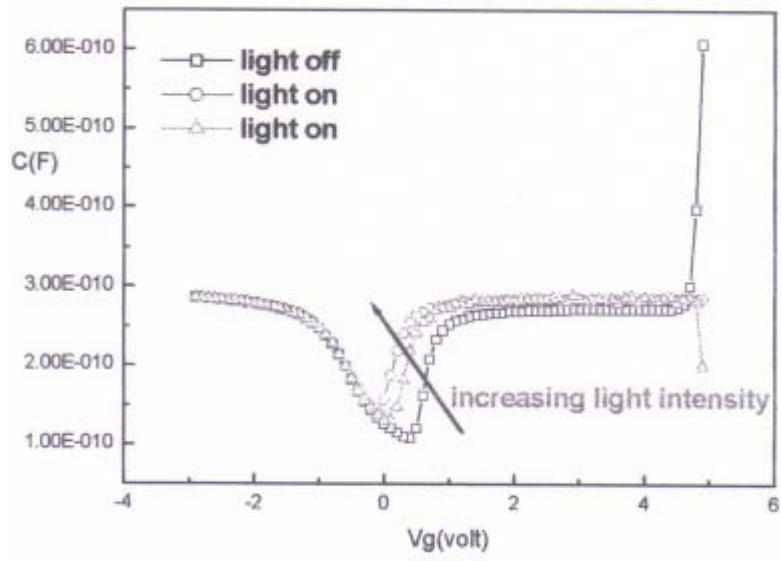
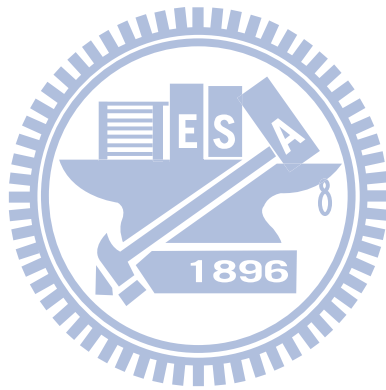


圖4-1：DUT=GOI，光的強弱對CV曲線的影響



透過上圖，我們得知光的確嚴重影響了量測的結果，透過光的激發，發現到C-V提早進入反轉區，換言之空乏區的寬度隨之縮短一提升了最低值的電容，另一方面，從圖4-1中，發現到雖然光影響了量測的正確性，但圖形在反轉區及累增區的值並不受光的有無而產生誤差，而且C-V的整個特性在加入光這個因子下，也都能順利產生，換言之，使用者可依需求來選擇量測的過程中加入光線以縮短其量測時間，但如需要正確無誤的曲線以萃取參數時，就得將光從實驗的過程中徹底屏除。

除了上述針對光對C-V曲線的影響所作的實驗外，安傑倫的 Application notes – Evaluation of Gate Oxides Using a Voltage Step Quasi-Static CV Method的內文中也提到了相同的實驗結果，此結果

不但佐證了光效應實驗的正確性外，更再一次強調了光對C-V曲線的影響性，如下圖4-2所示：

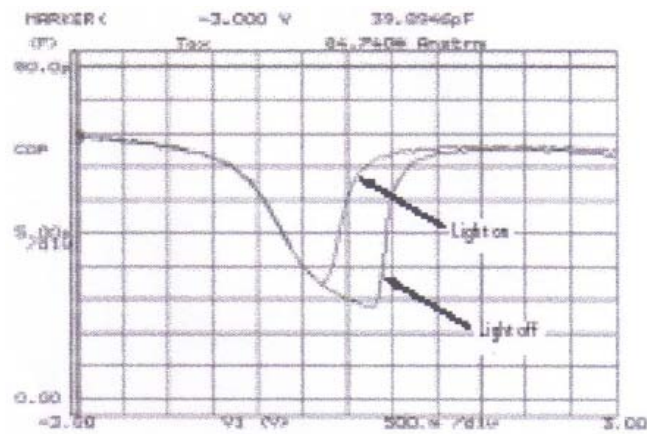


圖4-2：QSCV在關燈與開燈下的表現[4-1]

最後，透過上述二圖及隨之而來的假設，對於光對量測結果的影響，整理出以下結論：

1. 光的加入影響了圖形在空乏區與弱反轉區的差異，使得圖形及早進入反轉區，也影響了圖形的最低點。換言之，也影響了介面密度的正確萃取(high-low frequency method)。

2. 光並不影響整個曲線的產生，因此量測過程申可先透過光，加速整個量測速率，如能得到C-V特性時，再關掉燈源進行緩慢但精準的量測。
3. 此法不僅適用於HP-4155，亦可適用於其他量測設備。

## 2. 探討積分時間效應

積分時間效應是針對正HP-4155此機台而言，此參數值設定的多寡將嚴重影響CV量測的精準性，圖4-3是4155C在執行C-V量測時的程序圖：

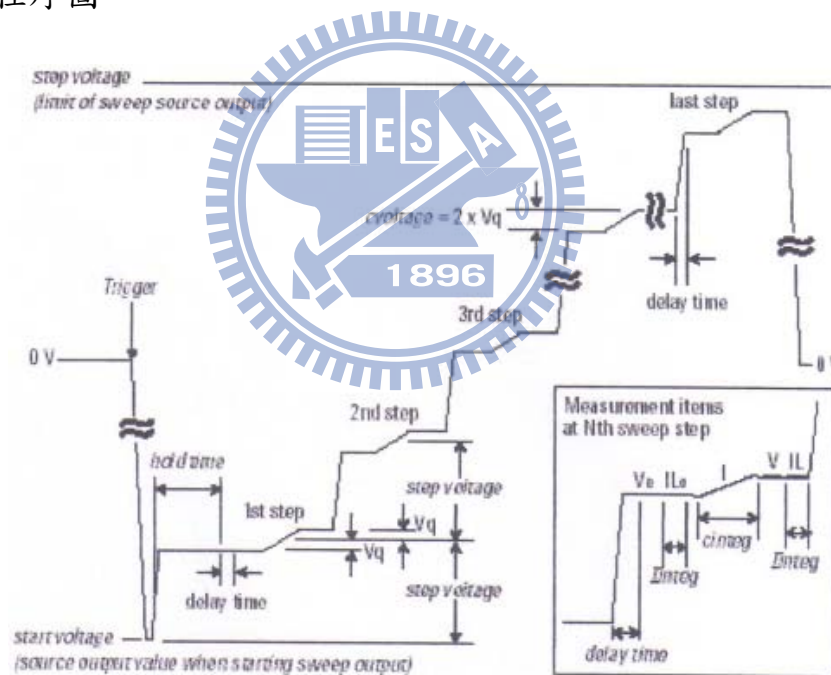


圖4-3：QSCV量測程序圖

其內部電容運算公式為：

$$C = \frac{\Delta Q_{\text{Cap}}}{V - V_0} = \frac{\Delta Q_{\text{Total}} - \Delta Q_{\text{Leak}}}{V - V_0}$$

$$= \frac{\left( \sum_k I_k \cdot \Delta t_{\text{PLC}} \right) - \left( (0.5)(I_L - I_{L_0})(2 \cdot \text{cinteg} - (j - 0.5) \cdot \Delta t_{\text{PLC}}) \right)}{V - V_0} \quad [4-1]$$

我們知道4155C，其電容運算是透過一個步階電壓的給予，對應出相對電流，利用精準的計時電路，得出精準時間，最後透過下列



式子得出電容：

$$C = \frac{Q}{V} = \frac{I \times C_{int\ eg}}{V_0 - V_1} \quad [4-2]$$

式子4-1與4-2其實所代表的意義是一樣的，可以說4-2式是4-1式的簡式，而他們所透露的訊息是一樣的一積分時間對整個量測結果的重要性，那到底積分時間如何影響量測結果呢？安傑倫所發的應用文章(application notes)-Evaluation of Gate Oxides Using a Voltage Step Quasi-Static CV Method裡提到4155C對於積分時間的定義：

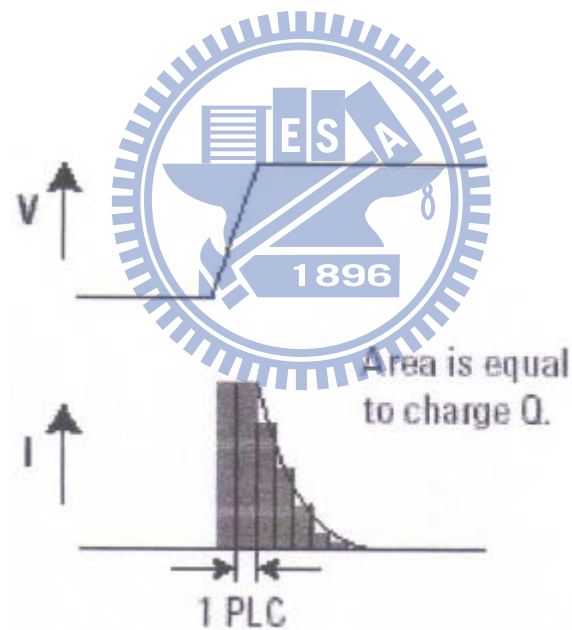


圖4-4：4155及4156採用矩形近似法以求得積分時間



圖4-4闡述了機台內部的近似法，因此為了讓4155C積分的時間盡可能符合實際時間，可利用對Cinteg(電容積分時間)的拉長來達到此目的，為了證明此論點我們特地以GOI樣品作了以下實驗：

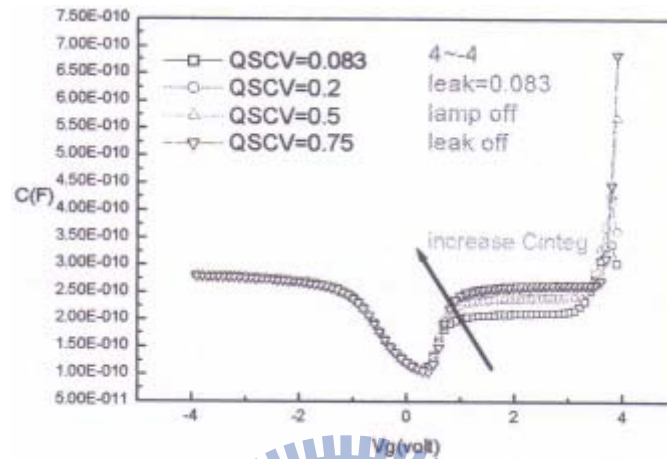


圖4-5：電容積分時間對QSCV的影響

透過實驗結果，的確驗證了積分時間的拉長，使得電容的計算更為精準，但一般來說其設定值又不能太長，以避免積分了不必要的雜訊，影響了曲線的平滑度，一般來說Cinteg=0.75s便已足夠。

### 3. 探討漏電流補償效應(Leak=IL-IL0)

漏電流補償效應可說是HP4155C為了當元件氧化層厚度進入40Å所作的一量測技術上的改善，回顧式子4-1，發現到整體電容的計算是由積分所得的電荷扣除因漏電流所導致的電荷，而得到最後精準的電容值，

$$C = \frac{\Delta Q_{\text{Cap}}}{V - V_0} = \frac{\Delta Q_{\text{Total}} - \Delta Q_{\text{Leak}}}{V - V_0}$$

$$= \frac{\left( \sum_k I_k \cdot \Delta t_{\text{PLC}} \right) - \left( (0.5)(I_L - I_{L_0})(2 \cdot \text{cinteg} - (j - 0.5) \cdot \Delta t_{\text{PLC}}) \right)}{V - V_0}$$

文獻中曾對此技術以一簡單圖示表示，如圖4-6：

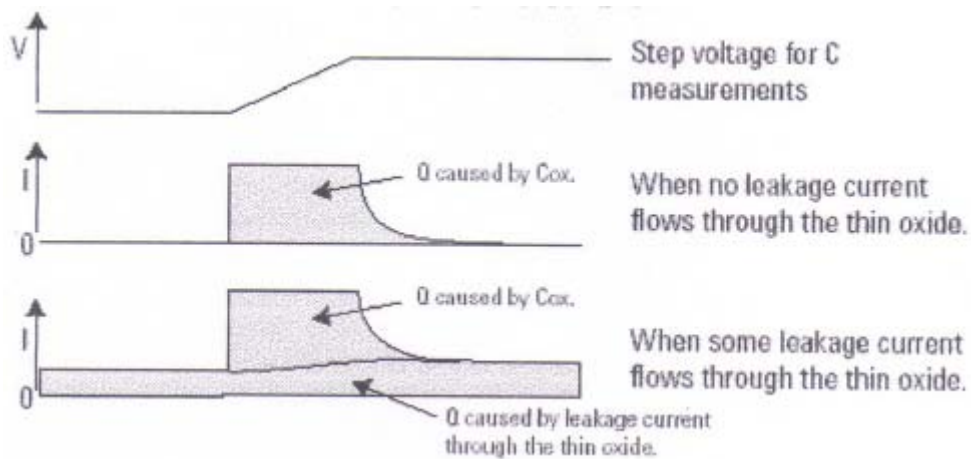


圖4-6：漏電流補償效應示意圖

透過文獻的介紹，似乎只要透過補償，我們便可得到精準的電容值，但當我們利用兩種不同結構的樣品去作實驗時，發現不是透過補償便能得出正確的CV圖形，而是有條件限制，現在我們就兩種補償狀況提出說明，並為之下一正確結論，以得一補償的最佳時機：

情況一：(樣品－  $\text{Al}/\text{Y}_2\text{O}_3/\text{Si}/\text{Al}$ )

量測結果如下

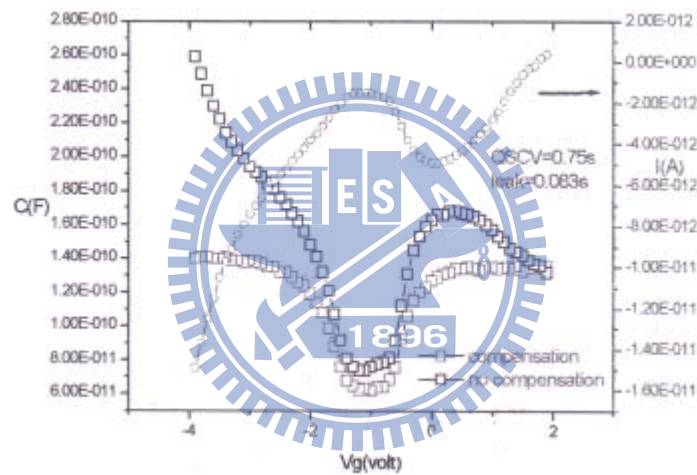


圖4-7：漏電流補償對CV曲線的影響

驗證結果與文獻裡所提到補償對CV曲線的影響並無不同，文獻結果如下所示：

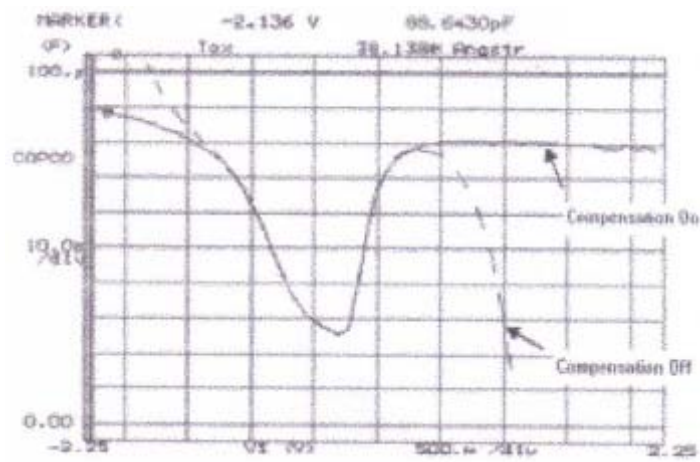


圖4-8：文獻中補償效應對CV曲線的影響



透過文獻的闡述與實驗的證明，可對此一情況下一結論如下。

結論：

圖4-11中，藍線代表的是機器中定義的LEAK，但並不是純納的 $I_g$ ，而是定義成 $LEAK=IL-ILO$ ，觀察圖4-11中未補償前的CV圖形，發現到其特性並不理想，並隨著LEAK的趨勢而反應，故推測介電層中LEAK已疊加至積分電流，並主宰了積分電流的大小，而影響了量測的準確性，因此我們需透過補償的功能，還原並得到原始CV曲線，最後透過實驗與文獻的結果，證明了情況一中，補償對它的影響。

情況二：(樣品-GOI)

在情況二中，我們以GOI為研究樣本，結果發現在C-V量測結果中，LEAK的數量級與前述情況並無太大差異，但在透過補償後，卻使CV特性磁線變得較差，如圖4-9所示

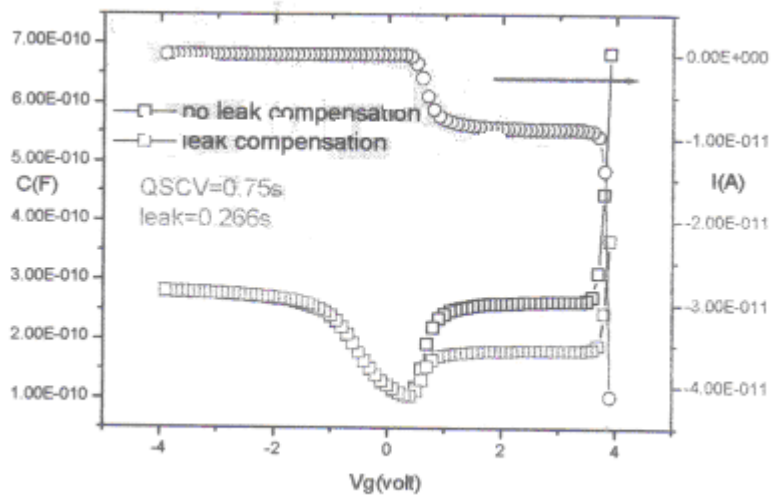


圖4-9：GOI進行補償前後的C-V變化情形

此情況與一般文獻所提的情況並不相同，從圖中所示，發現我們並不須對它進行補償，但問題在此，為什麼此漏電流大小與情況一差不多，而不需補償呢？針對這點，我做了下列假設：

首先，觀察整體LEAK的情況，發現到只有在反轉區才有LEAK，緊接著思考到量測的方向及量測前所加入的光激發，最後我們得到此一電流實乃量測前為了增加少數載子時，加光所產生的，當電壓慢慢從反轉區掃回累增區時，此激發的能量以

定電流型態被放出並偵測到，故此電流乃capacitive current之一，非漏電流之成分，不能扣除，一但扣除，C-V特性在反轉區便會失真。

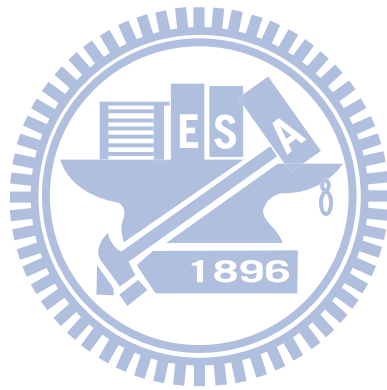
最後，再替4155C裡所量得的LEAK：下定義，它並非一般的 $I_g$ ，其公式化定義為 $LEAK-IL-IL0$ ，而它雖定義為漏電流，但發現到它其實無法辨識電流的成分(SMU偵測)，因此才會發生補償效應的不一致。

#### 4. 結論

最後，透過上述三點的驗證與文獻的參考，整理出下列幾點在準靜態C-V量測時，所須注意的重點及應有的概念：

1. 量測的過程中，可先透過光進行掃描，以快速得知樣品是否擁有CV特性，如果特性能得，再進行暗區及依照機台功能進行細部設定。(適用任何機台)
2. 量測前可先照光，以激發少數載子形成反轉區，得到良好特性。(適用任何機台)
3. 4155C裡的電容積分時間，是量測參數的重點所在，其他如hold time、delay time參數雖有影響，但並非關鍵要素，換言之，其他量測設備，也定有關鍵參數的設定及注意事項，這便需使用者去發現及探討，以其能確認量測的精準性。

4. 4155C裡的補償功能，是其改良後之傲人功能，但補償的條件及LEAK的定義卻影響著其使用的時機，因此在進行補償前，需思考其電流來源，再加以利用其功能，最後定能掌握其奧秘。
5. 如能徹底對1~4點進行了解，對於準靜態電容的量測，會有更佳的掌握與認識。





### 4.3 高頻C-G-V量測(HP-4284)

#### - 介面態密度萃取方法之選擇

一般來說，MIS電容萃取介面態密度的方法可分為電容法與電導法，其中電容法中以高-低頻率法與Terman法為主[4-2,4-3]。

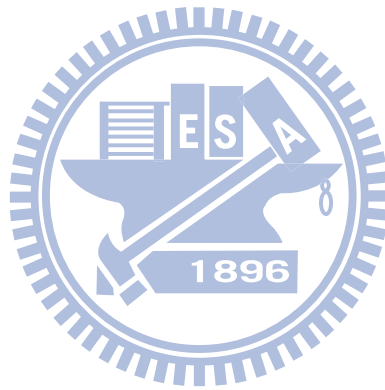
高-低頻率法乃比較高頻電容曲線與低頻曲線的差異，進而推算介面態密度的大小，然而在介電層厚度隨著元件微縮而減小下，使得以偵測電流為主的低頻C-V曲線變得難以量測，也使得此法在萃取介面態密度上，變得不可行而失去其存在價值。至於

Terman法，在2003年的AIP conference proceeding量測研討會上，提出此法將隨等效氧化層厚度(EOT)的減少，也將失去其準確性。

既然介面態密度法中以量取電容為主的技術失去其效用，因此便需有合適的方法取而代之，其中又以量測AC電導為主的電導法為最，詳細且複雜的電導法於1967年由Nicollian and Goetzgergen提出，此法可以精準計算出interface states，但由於其複雜且需要較多的資料，故我們選擇以G-V method(改良後)去monitor我們的介面狀況，以便能快速得知其好壞，而進行製程的改良，此原理在上一章中曾提起並詳細描述，故在此便不多做介紹。

圖4-10[4-2]為G-V曲線在不同頻率下的變化情況，圖中可發現在較大的負偏壓下，電導因電流穿隧而提高。電導值在較高的頻

率下也顯得比較高(此頻散現象已被證明為串聯電阻所引起)。在空乏區中，可發現電導值也因介面態密度的存在，而產生一尖端值，當我們校正因串聯電阻及電流穿隧所影響的額外電導值後，便能從此尖端值萃取介面態密度。



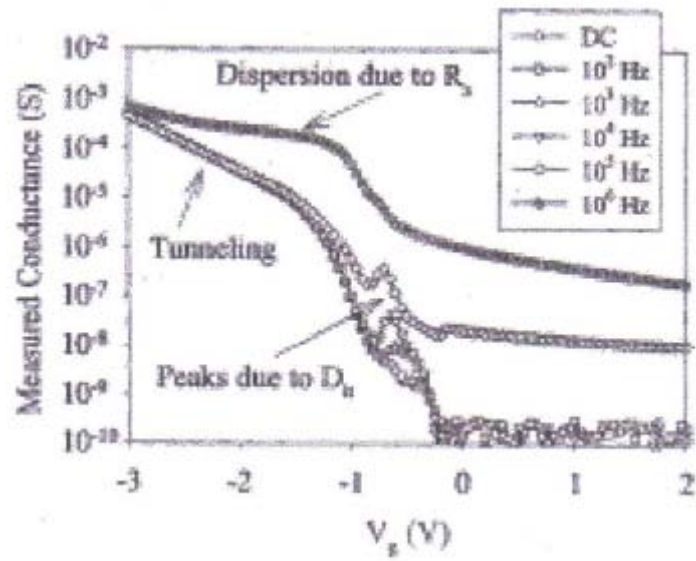


圖4-10：20Å的SiO<sub>2</sub>在不同頻率下的電導值

圖4-11與4-12為GOI晶片透過高低頻電容法與電導法(G-V method)求取的介面態密度值，可發現透過G-V method所求的D<sub>it</sub>較接近理論值，因此在透過文獻上的闡述與GIO晶片的驗證後，本文便決定採取G-V method以快速且較不失真的方式得知介面的品質並以製程上的改良。

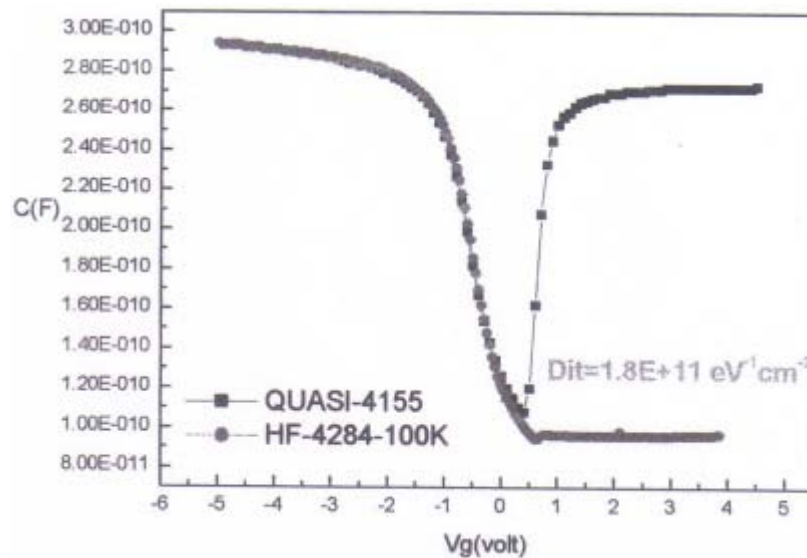


圖4-11：D<sub>it</sub>求取法=高低頻CV法

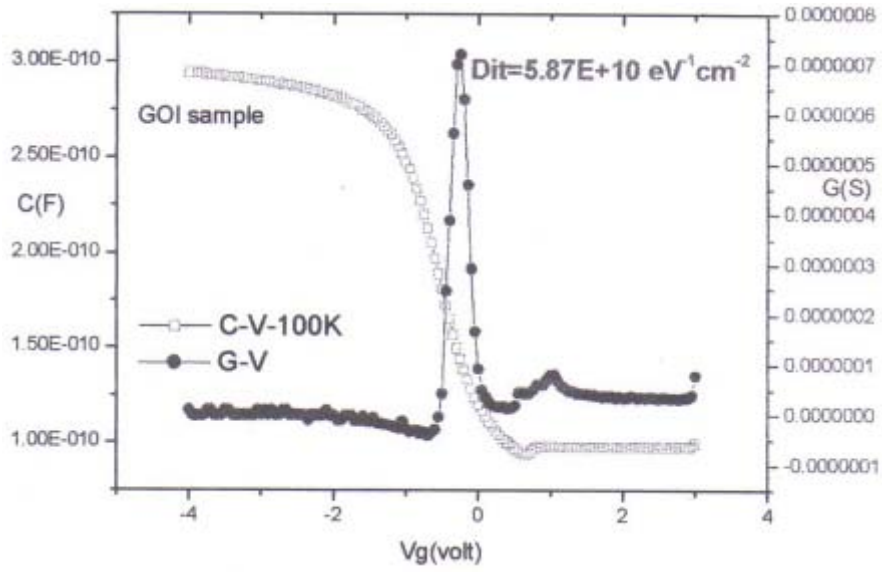


圖4-12：Dit求取法=G-V法

下表4-1為GOI利用兩種不同Dit萃取法，求得之介面態密度值

	理論值	High-low frequency method	G-V method
Dit值 ( $\text{eV}^{-1} \text{cm}^{-2}$ )	$\sim 10^{10}$	$1.8 \times 10^{11}$	$5.9 \times 10^{10}$

## 第五章、污染物來源分析、驗證及防治措施

此章節將針對本研究個案之失效模式及其可能之污染源進行分析

並以樣本作一驗證及提出防治措施。

### 5.1 個案失效模式

圖 5-1 所示個案崩潰電壓模式分佈於 A MODE(<5V)，B MODE(<12V)及 C MODE(>12V)。以崩潰電壓失效模式來判斷應是 defect 或金屬不純物所造成的。但並無直接證據說污染為何？

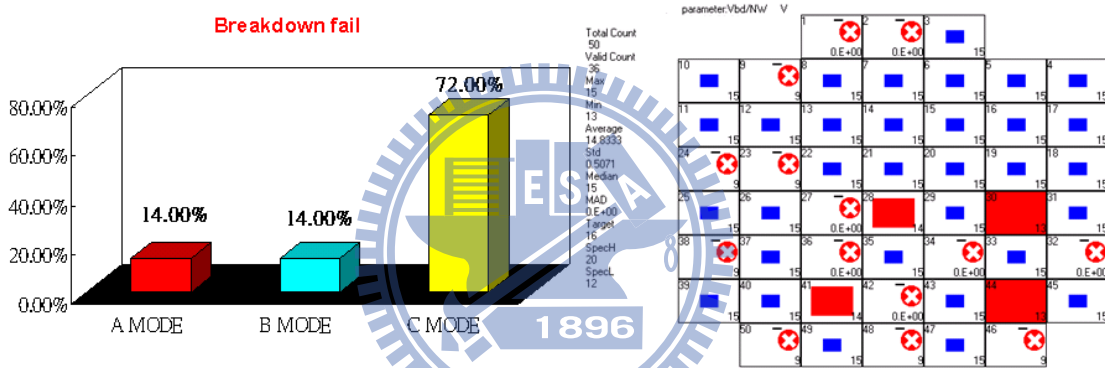


圖 5-1 個案崩潰電壓失效模式

此外，失效模式越嚴重，其對應氧化爐管 monitor wafer defect count 越嚴重，如圖 5-2 所示。因此判斷與氧化爐管 defect 有直接關聯性。

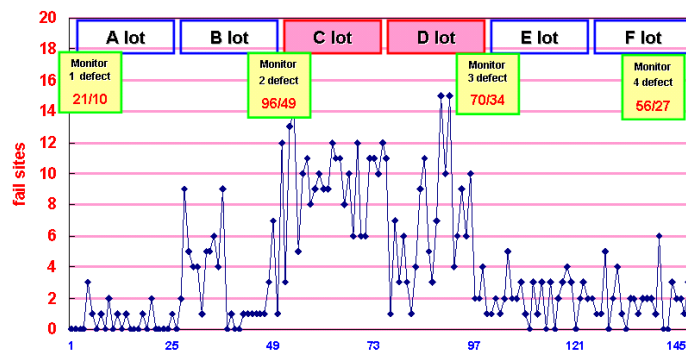


圖 5-2 個案 fail sites 與氧化爐管 monitor wafer defect count 成正比

## 5.2 實驗方法與步驟

### 5.2.1 失效原因分析及確認

個案失效模式須透過微光顯微鏡(Emission Microscope, EMMI)、掃描式電子顯微鏡(scanning electron microscope, SEM) 及穿透式電子顯微鏡(transmission electron microscope, TEM) 來檢視閘極氧化層狀況。由圖 5-3 所示可看到個案之 TEM 照片及圖 5-4 SEM 照片分析清楚可見 silicon substrate damage 同時 EDX 分析顯示 defect 含有鈣金屬成份。為確認鈣金屬污染是否會形成與圖 5-4 相同之 defect 外觀，我們將晶片表面故意滴上含有鈣金屬及其它金屬之化學溶液後進氧化爐管進行氧化製程，並以 SEM 觀察晶片表面之 defect。結果如圖 5-5 SEM 照片所示，我們發現唯有鈣金屬造成與個案相同之 defect 外觀，同時造成 silicon substrate damage。

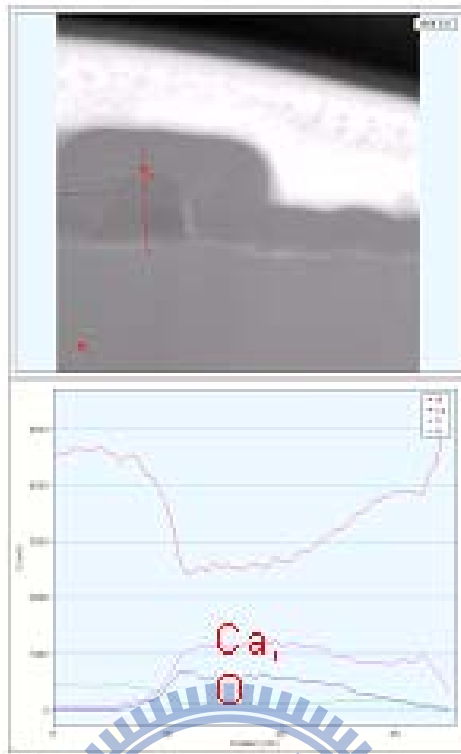


圖 5-3 崩潰電壓異常 wafer TEM 照片

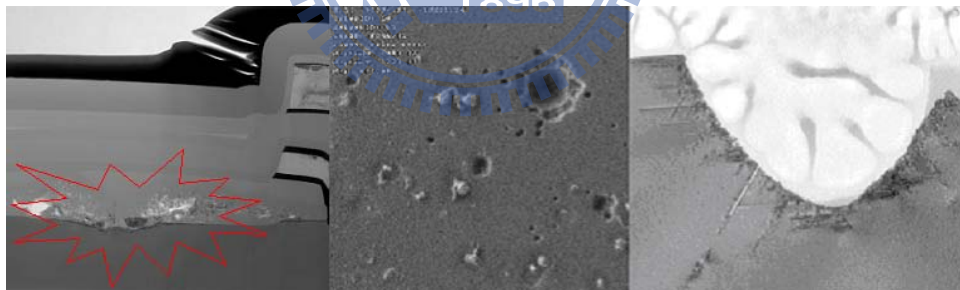


圖 5-4 崩潰電壓異常 wafer SEM 照片

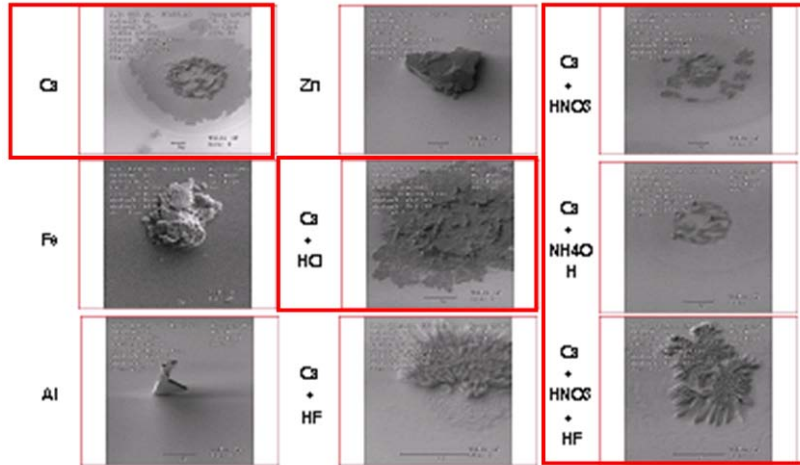


圖 5-5 含金屬雜質化學溶液經氧化製程後所形成之 defect

### 5.2.2 金屬污染來源確認

為了了解鈣金屬來源，我們針對氧化爐管週遭環境以 particle counter，以如圖 5-6 所示方式進行檢測，發現異常機台區域 particle count 遠高於正常機台，如表 5-1 所示。同時放置晶片於異常機台週遭環境再進氧化爐管後亦可見含鈣金屬所造成之 substrate damage 現象，如圖 5-7 所示。針對此一現象，我們將乾淨 wafer 置於維修區並作 ICP-MS 分析，發現當有 SiN 爐管進行機台保養時當日之 ICP-MS data 顯示含有極高之鈣金屬成份，如表 5-2 所示。經採樣後發現保養之機台所使用之加熱套保溫材，如圖 5-8 所示。材料經 EDX 分析後確認含有鈣金屬，如圖 5-9 所示。



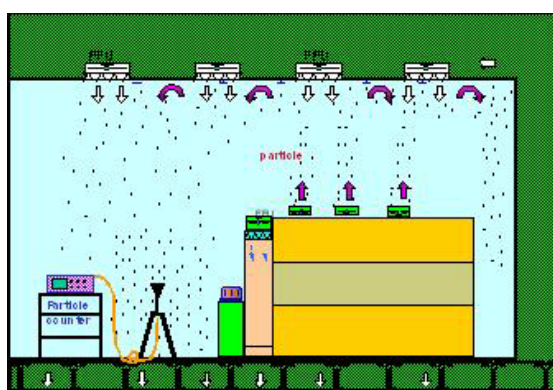


圖 5-6 異常機台進行 particle counter 檢測

異常區域機台			
A機台		B機台	
Particle Size	Particle Count	Particle Size	Particle Count
0.07	219	0.07	230
0.10	193	0.10	212
0.15	98	0.15	122
0.20	55	0.20	74
0.30	23	0.30	39
0.50	17	0.50	20
0.70	12	0.70	14
1.00	9	1.00	10
Total amount	626	Total amount	722

正常區域機台			
C機台		D機台	
Particle Size	Particle Count	Particle Size	Particle Count
0.07	93	0.07	58
0.10	79	0.10	49
0.15	28	0.15	17
0.20	10	0.20	12
0.30	4	0.30	8
0.50	3	0.50	3
0.70	3	0.70	1
1.00	1	1.00	1
Total amount	220	Total amount	150

表 5-1 個案機台環境 particle count 比較表

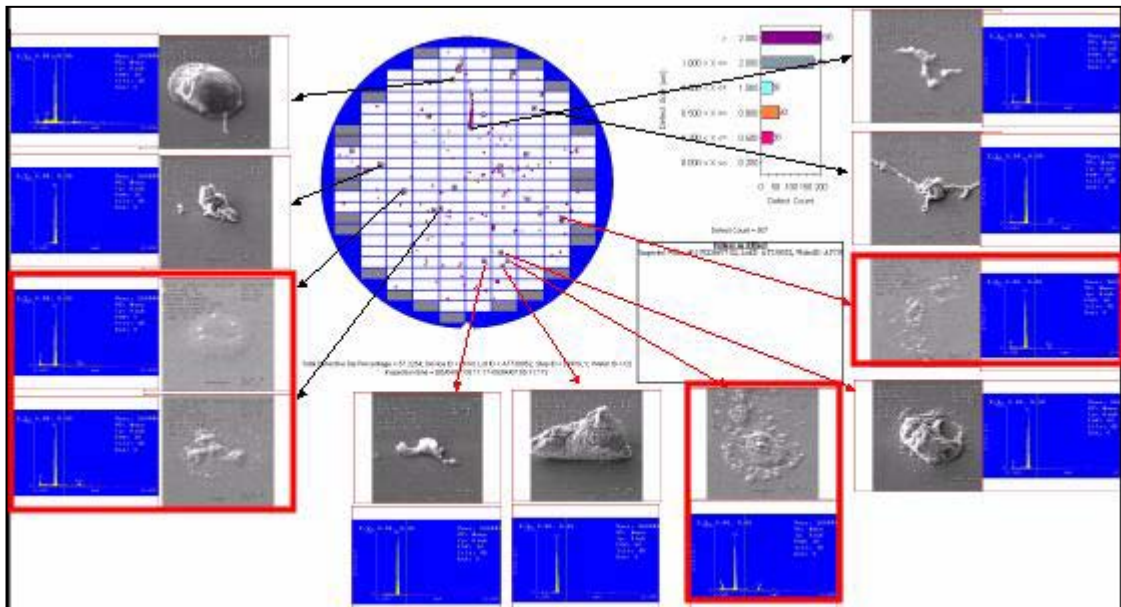
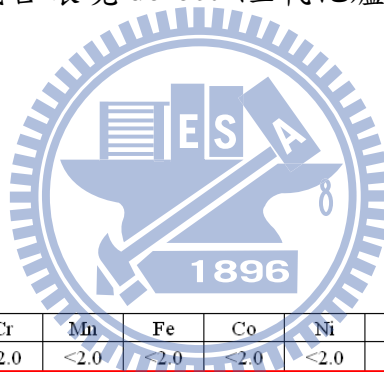


圖 5-7 個案機台環境 defect 經氧化爐管後 SEM 照片



單位 E<sup>9</sup> atoms/cm<sup>2</sup>

Na	Al	K	Ca	Cr	Mn	Fe	Co	Ni	Cu	Zn	Remark
<5.0	<4.0	<3.0	<3.0	<2.0	<2.0	<2.0	<2.0	<2.0	<2.0	<2.0	當日無 SiN 爐管機台保養
101.9	721.6	28.4	328.5	34.2	2.7	143.5	18.1	18.7	15.3	99.4	當日有進行 SiN 爐管機台保養

表 5-2 SiN 爐管進行機台保養當日環境 ICP-MS data 比較表



圖 5-8 管路保溫材照片

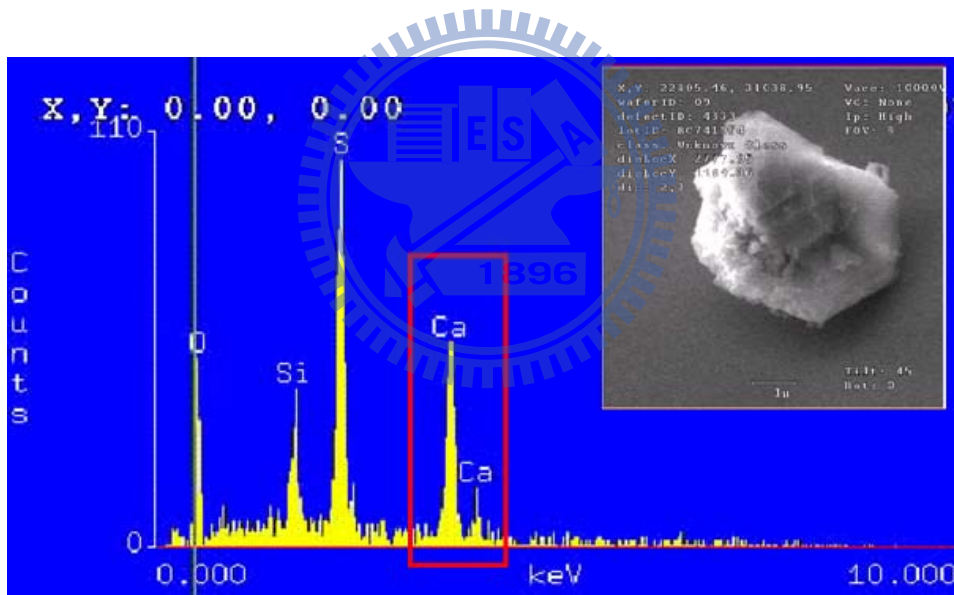


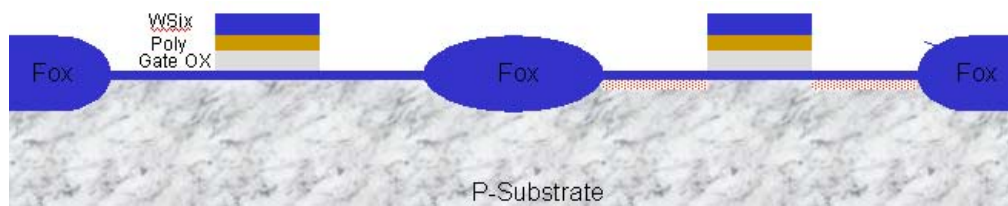
圖 5-9 加熱套保溫材 EDX 分析

### 5.3 樣本複製實驗:

為了了解鈣金屬對電性的影響，我們評估以 MOS 結構之樣本來進行電性量測，其中量測項目有: Vbd、I-V curve、CV curve。

#### 樣本結構

本研究樣本結構如下圖 5-10 所示



Isolation	LOCOS
Field Oxide	4000Å
Gate Oxide	70Å
WSix/Poly	1250Å/1500Å

圖 5-10 樣本結構示意圖

#### 5.3.2 製作流程

在了解樣品結構後，這一節將針對製作流程作一詳述，基本上整個製作的流程可分成下列幾個步驟先後進行-晶片清洗、氧化、Gate formation、Alloy。

在進入文字介紹前，可先透過表 5-3 對整個流程有大致認識:

表 5-3 樣本製作流程圖

Step	TITLE
1	晶片清洗
2	氧化層蝕刻及晶片清洗
3	薄氧化
4	氮化矽沉積
5	120(OD)層對準
6	顯影後檢查
7	SIN 乾蝕刻
8	Critical 層顯影後檢查
9	電漿清洗,(110C,15M)
10	光阻去除
11	Critical 層去除後檢查
12	晶片清洗
13	場氧化
14	氧化層蝕刻,(場氧化後)
15	氮化矽去除
16	氧化層蝕刻
17	晶片清洗,(勿停留超過 6hrs)
18	SAC 氧化
19	氧化層蝕刻
20	B-Clean
21	閘層氧化
22	Doped Poly 沉積
23	VAPOR HF 清洗
24	DCS WSi <sub>x</sub> 沉積
25	光阻覆蓋
26	P1 對準
27	顯影
28	乾蝕刻前烘烤
29	Poly(1)蝕刻
30	Polymer 去除及光阻去除
31	回火
32	WAT 測試

## 1. 晶片清洗

在每一道晶圓製程步驟都有潛在性的污染源，可能導致缺陷的生成以及元件特性失效。因每一道製程步驟之後以及每一道製程操作之前都必須做晶圓清洗動作，使其成為 IC 製程中重複使用頻率最高的步驟。而表面處理包括蝕刻、氧化、成膜、光阻去除以及經過化學機械研磨（post-CMP）殘留物去除之前和之後的清洗。晶圓表面可能存有不同種類的污染：微粒子（Particle）、有機殘留物（Organic）、以及無機（大部分是金屬（Metal-Ions））殘留物。晶圓清洗的目的是在移除這些污染物並控制表面之化學性生成超薄氧化物。1965 年發展出之 RCA 清洗法仍是目前最先進清洗技術的基礎。其典型流程從 SPM 去除有機重污染開始，接著以稀釋氫氟酸（DHF）浸泡些許時間。標準化的第一步清洗（SC1）使用 APM 以移除微粒子，而標準化的第二步清洗（SC2）則採用 HPM 以移除金屬物。高超音波（Megasonic）能量可加強去除微粒子的效能，使得 APM 成為室溫下微粒子有效的去除溶劑而不致產生任何明顯蝕刻。溶劑的組成比例及步驟的先後順序均可進行改變，但所有晶圓經過每一道化學品浸泡過後都需以超純水潤洗。近幾年來有許多新的變化，特別是在稀釋化學品的使用上，但絕大部份晶圓廠基本的清洗概念仍然根源於原始的 RCA 清洗法。一般典型濕式的清洗 RCA 流程會包含以下步驟：

- Piranha Clean 〈SPM ; H<sub>2</sub>SO<sub>4</sub>+H<sub>2</sub>O<sub>2</sub> 於 120-140°C 〉 硫酸+過氧化氫混合物；SPM 是典型使用於去除有機污染物。
- Dilute HF Clean (HF 或 DHF 於 20-25°C ) 氫氟酸或是稀釋氫氟酸；對特定區域進行氧化物、二氧化矽及氧化矽蝕刻去除並減少表面金屬含量。
- RCA Standard Clean 1 〈SC-1 又稱 APM ; NH<sub>4</sub>OH+H<sub>2</sub>O<sub>2</sub>+ H<sub>2</sub>O 於 65-80°C 〉 氫氧化銨+過氧化氫+去離子水混合物；APM 使氧化並輕微蝕刻而從表面移除微粒子；其亦可移除有機及部份金屬污染物，同時進行之氧化以及矽蝕刻將增加表面粗糙度。
- RCA Standard Clean 2 〈SC-2 又稱 HPM ; HCl+H<sub>2</sub>O<sub>2</sub>+H<sub>2</sub>O 於 65-85°C 〉 氯化氫/過氧化氫/去離子水混合；HPM 如同氧化劑，可從矽基板移除金屬污染物。
- 超純水 (UPW) 通常又稱作去離子水。超純水可稀釋化學品，可用做含臭氧成份水溶液，以及使用化學品清洗後的潤洗劑。

以下就 SPM、HF、APM 及 HPM 工作原理進行介紹:

### SPM工作原理

Piranha Clean (SPM) H<sub>2</sub>SO<sub>4</sub>/H<sub>2</sub>O<sub>2</sub>主要應用於有機物之去除，利用H<sub>2</sub>SO<sub>4</sub>之強氧化性來破壞有機物中之碳氫鍵結。一般是以H<sub>2</sub>SO<sub>4</sub> (98 wt%) : H<sub>2</sub>O<sub>2</sub> (31 wt%) = 4 : 1 之體積比例混合液在130°C溫度下進



行10—15分鐘之浸泡清洗，或依各廠家實驗推算出浸泡時間。硫酸（sulfuric acid）：此種物質被區分為具腐蝕性，對健康有害之物質。在由於硫酸與水混合時，會急具產生放熱現象（exothermic reaction），若水加入硫酸，硫酸會釋放大量的熱量，溫度急遽上升水會急速氣化而發生爆炸式濺射，而有危險性。所以在稀釋的時候要相當注意，通常硫酸〈密度高約為1.85 g/ml〉慢慢加入水〈密度低1g/ml〉中且作持續的攪拌；但是在機台運用中，是先放置硫酸後再緩緩加入雙氧水以幫浦循環攪動。由於硫酸與雙氧水的比例是4：1，硫酸占大比例，且Process Bath是屬於開放式，如圖5-11，即使有裝Lid，在Lid與Bath間亦有足夠空間讓硫酸放熱，不致於容器或循環管路爆裂。

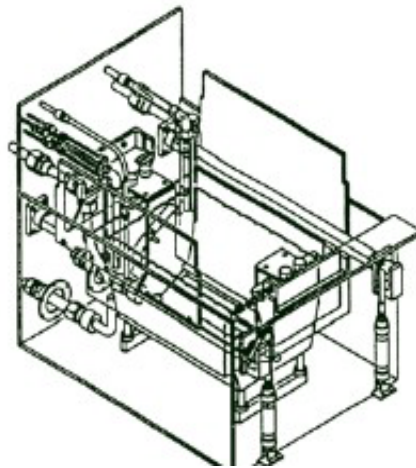


圖 5-11 SPM Process Bath 示意圖

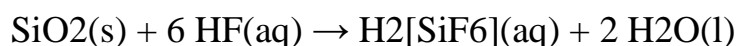


## HF 或 DHF 工作原理

氫氟酸或是稀釋氫氟酸（HF或DHF於20~25°C）蝕刻。主要應用於清除矽晶圓表面自然生成之二氧化矽層，由於此氧化物厚度有限（約在11.5 nm），一般均使用經稀釋處理之氫氟酸（以HF 1 wt%最為普遍）於室溫下與SiO<sub>2</sub> 形成H<sub>2</sub>SiF<sub>6</sub> 之方式去除之。清洗時間一般在15~30秒。緩衝式氧化物蝕刻劑（BOE或BHF；NH<sub>4</sub>F/HF/H<sub>2</sub>O）可用於取代一些蝕刻製程中的稀釋氫氟酸，但與緩衝式氧化物蝕刻劑接觸可能產生NH<sub>4</sub>F析出物及污染。HF也會蝕刻氮化矽，業界常在室溫下選擇以49%HF溶液為

蝕刻液，多用於控片回收或晶背蝕刻。

氫氟酸（Hydrofluoric Acid）：有刺激氣味及劇毒性，屬中等強度的酸，腐蝕性極強，對矽（硅）及二氧化矽有極強的侵蝕能力，並能夠溶解絕大多數無機氧化物，為半導體物質蝕刻劑（Etching Agent）。



## APM工作原理

RCA Standard Clean 1（SC-1又稱APM；NH<sub>4</sub>OH+H<sub>2</sub>O<sub>2</sub> + H<sub>2</sub>O於65~80°C）係利用氨水的弱鹼性活化矽晶圓及微粒子表面，使晶圓表面與微粒子間相互排斥而達到洗淨的目的；雙氧水也可將矽晶圓表面氧化，藉由氨水對二氧化矽的微蝕刻達到去除微粒子的效果。另外氨水與部

分過渡金屬離子易形成可溶性金屬錯合物，也可同時去除部分金屬不純物。此外，外加超音波震盪器，則是利用超音波所發出來的震波將加速微粒子與矽晶圓的剝離，而提高洗淨的功能。一般的APM製程是以NH<sub>4</sub>OH: H<sub>2</sub>O<sub>2</sub>:

H<sub>2</sub>O=0.05~1:1:5的體積比在70°C下進行，由於氨水的沸點較低且APM步驟容易造成表面微粗糙的現象，因此氨水與雙氧水濃度比例的控制 在所有洗淨製程中最為困難，卻也是影響製程良率的關鍵。

### HPM工作原理

RCA Standard Clean 2 〈SC-2又稱HPM；HCl+H<sub>2</sub>O<sub>2</sub> +H<sub>2</sub>O於65~85°C〉

HPM步驟在金屬雜質的去除上扮演重要的角色。由於一般的金屬氯鹽皆可輕易的溶於水中，因此HPM製程利用雙氧水氧化污染的金屬，再以鹽酸與金屬離子生成可溶性氯化物而溶解。製程中最常使用的是

HCl:H<sub>2</sub>O<sub>2</sub>:H<sub>2</sub>O=1:1:6的體積比，在70°C下進行5~10分鐘的清洗。HCL

（氫氯酸）氣體比空氣重是一種強酸，其水溶液俗名為〔鹽酸〕，某些金屬與鹽酸溶液反應，也可形成該金屬的氯化物。在金屬活動性順序列表中排在氫之前的金屬才可以與鹽酸反應而形成氯化物，比如鉀、鈉、鈣、鎂、鋁等。

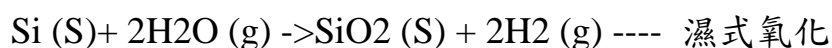
### 2. 氧化製程

## ■ 氧化層薄膜之應用

- 元件保護(Passivation)與隔離(Isolation): 場區氧化層(Field oxide) 及矽的局部氧化層(LOCOS)
- 表面保護(Surface passivation): 屏蔽氧化層(Screen oxide) , 襯墊氧化層(Pad oxide) , 阻擋用氧化層(Barrier oxide)
- 閘極氧化物介電質(Gate oxide)
- 摻雜阻障層(Masking Layer)
- 金屬層間之介電質(IMD)

## ■ 氧化機制

熱氧化法：當矽晶片暴露在含氧的環境中(如O<sub>2</sub>、H<sub>2</sub>O)，由於矽表面對O<sub>2</sub>及H<sub>2</sub>O具有高親和性，所以很快便會發生氧化反應。



其中濕式氧化氧化速率快，常用於場氧化層(Field Oxide)或LOCOS；

相對乾式氧化氧化速率慢，但電性品質佳，因此適用於厚度不厚但電性品質要求較高場合，如閘極氧化層(Gate Oxide)。

矽材料經氧化轉化為氧化矽比率和兩者的密度相關： $X_s = 0.46X_{ox}$ 。

影響矽氧化的因素：

- 氧化製程的種類：乾式或濕式。
- 氧化腔或管內的氣體壓力。
- 氧化腔或管內的溫度。
- 晶圓面的晶格方向。
- 氧化腔或管內的氣相添加物。

Name of the Oxide	Thickness	Application	Time in application
Native	15 - 20 Å	undesirable	-
Screen	~ 200 Å	Implantation	Mid-70s to present
Masking	~ 5000 Å	Diffusion	1960s to mid-1970s
Field and LOCOS	3000 - 5000 Å	Isolation	1960s to 1990s
Pad	100 - 200 Å	Nitride stress buffer	1960s to present
Sacrificial	<1000 Å	Defect removal	1970s to present
Gate	30 - 120 Å	Gate dielectric	1960s to present
Barrier	100 - 200 Å	STI	1980s to present

表5-4 氧化層厚度及應用範圍

### 3. 區域性矽氧化法(LOCOS)

在積體電路中，各元件活動區 (active area) 間要彼此電性隔離。

這種隔離可以用熱氧化矽來製作，例如區域性氧化法 (LOCOS) 就是

在 MOS 元件的局部區域成長氧化層，過程如圖 5-12 所示。

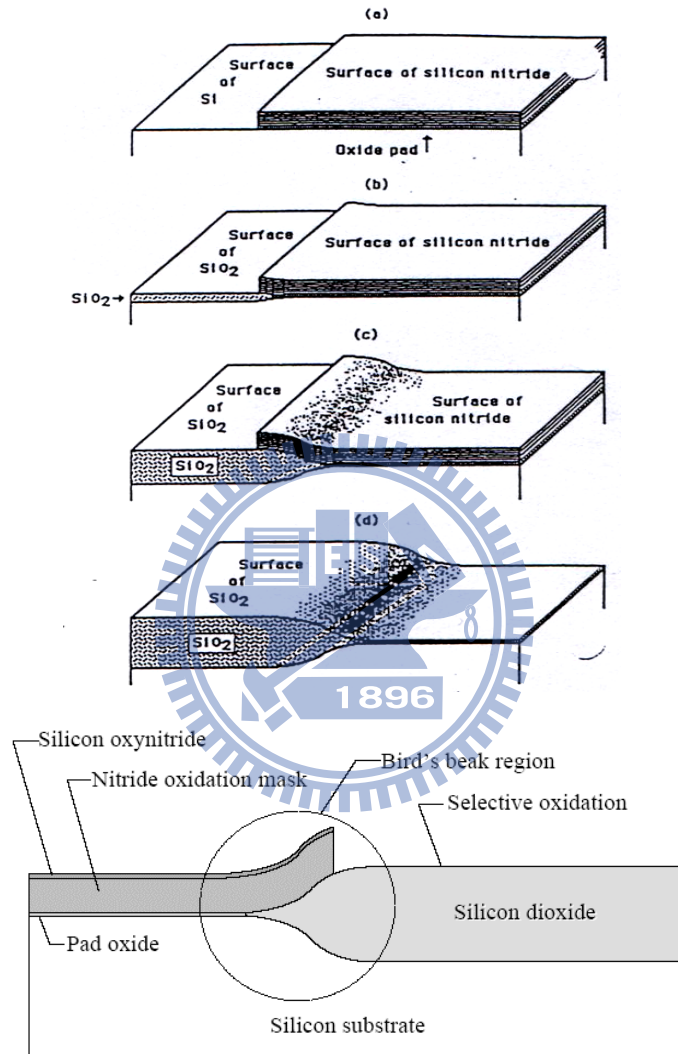


圖5-12 LOCOS 示意圖

#### 4. 氧化製程條件及主要步驟

熱氧化製程基本上分三個主要步驟:1.晶片送入爐管。2.進行熱氧化。3.晶片送出爐管。為了防止晶片送入高溫爐管時，晶片產生扭曲變形(Warping)的現象，所以晶舟(Boat，搭載矽晶圓的石英治具)移入與移出爐管的速度，必須控制在一個適當的範圍內。且晶片進出爐管的溫度也比熱氧化製程低，還需加入升溫(Ramp Up)及降溫(Ramp Down)兩個步驟，程序如圖 5-13 所示。圖 5-14 則為氧化爐管示意圖。

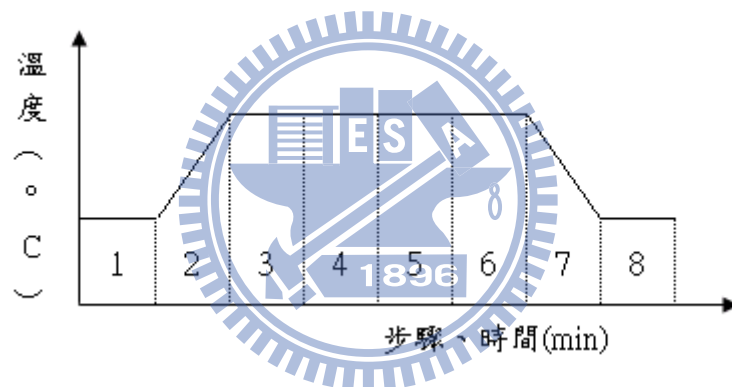


圖 5-13 一個氧化程式主要步驟

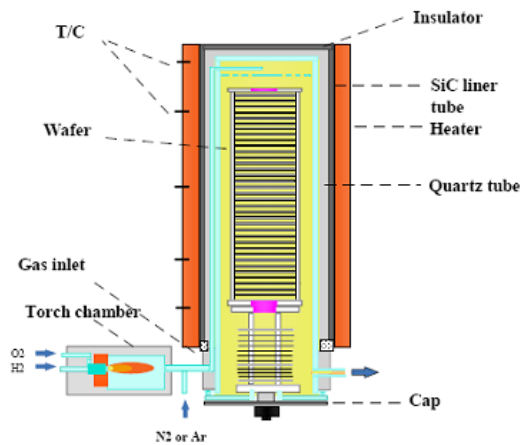
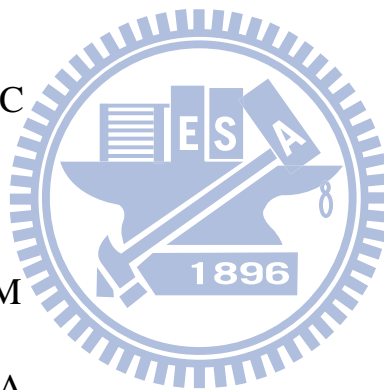


圖 5-14 氧化爐管示意圖

(1). 隔離層的製程條件(使用 Wet Oxidation)及步驟

■ 製程條件

- a. 溫度:900~1000°C
- b. 氣體:H<sub>2</sub>、O<sub>2</sub>
- c. 製程壓力:1 ATM
- d. SiO<sub>2</sub> 厚度:4000Å



■ 製程步驟

Step1: 晶片送入爐管，通入 N<sub>2</sub> 極少量 O<sub>2</sub>。

Step2: 升溫，溫度由 ST 升到製程溫度，升溫速率為 5°C~30°C/min。

Step3: 通大量 O<sub>2</sub> 讓爐管內充滿 O<sub>2</sub>。

Step4: H<sub>2</sub> 開始注入，但流量以緩升方式提高。

Step5: H<sub>2</sub> 及 O<sub>2</sub> 開始流入，濕式氧化反應進行。

Step6: 停止 H<sub>2</sub> 但 O<sub>2</sub> 仍流入。

Step7: 降溫，每分鐘降溫  $2^{\circ}\text{C} \sim 10^{\circ}\text{C}$ 。

Step8: 晶片退出爐管。

(2). 介電層的製程條件(使用 Dry Oxidation)

■ 製程條件

a. 溫度: $900 \sim 1000^{\circ}\text{C}$

b. 氣體: $\text{H}_2$ 、 $\text{O}_2$

c. 製程壓力:1 ATM

d.  $\text{SiO}_2$  厚度:70A

■ 製程步驟

Step1: 晶片送入爐管，通入  $\text{N}_2$  極少量  $\text{O}_2$ 。

Step2: 升溫，溫度由 ST 升到製程溫度，升溫速率為  $5^{\circ}\text{C} \sim 30^{\circ}\text{C}/\text{min}$ 。

Step3: 通大量  $\text{O}_2$  讓爐管內充滿  $\text{O}_2$ 。

Step4: 通入  $\text{O}_2$  及 DCE(Trans-LC)。

Step5: 通入  $\text{O}_2$ ，以消耗殘餘之 DCE。

Step6: 改通入  $\text{N}_2$  作回火(Anneal)。

Step7: 降溫，每分鐘降溫  $2^{\circ}\text{C} \sim 10^{\circ}\text{C}$ 。

Step8: 晶片退出爐管。





#### 5-4 樣本量測結果

本樣本使用 NMOS 電容作為測試元件，採用晶格方向(100)，阻值介於  $8\sim 12\Omega$  之間的 P-型八吋矽晶片，使用 LOCOS 的隔離結構。於晶片清洗後於 Silicon Wafer 表面製造保溫材污染，如圖 5-15 所示，後再進爐管進行 Oxidation 及後續的 Depo POLY 作 Upper Electrode，然後進 Photo, Etch 定義 Poly Line，製程結束，Wafer 送 WAT 量測，藉以探討鈣金屬雜質對薄閘極氧化層可靠性影響的程度。其中量測點如圖 5-16 所示。量測項目有 Vbd、IV。

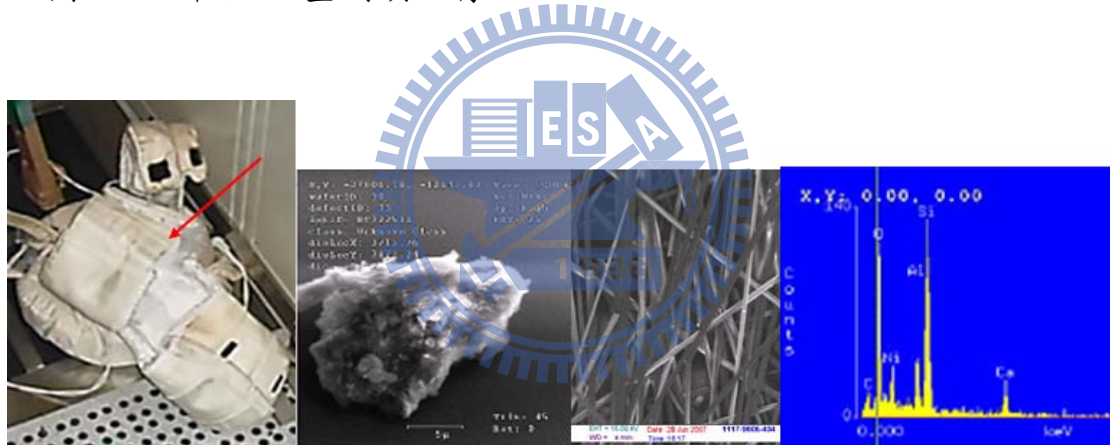


圖 5-15 保溫材外觀及 E-DEX 成份分析

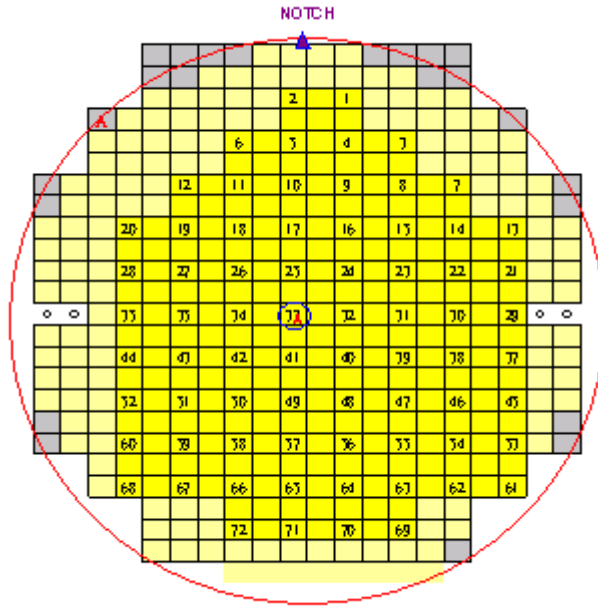


圖 5-16 電性量測分布圖

而 Vbd 測試方式如圖 5-17 所示。



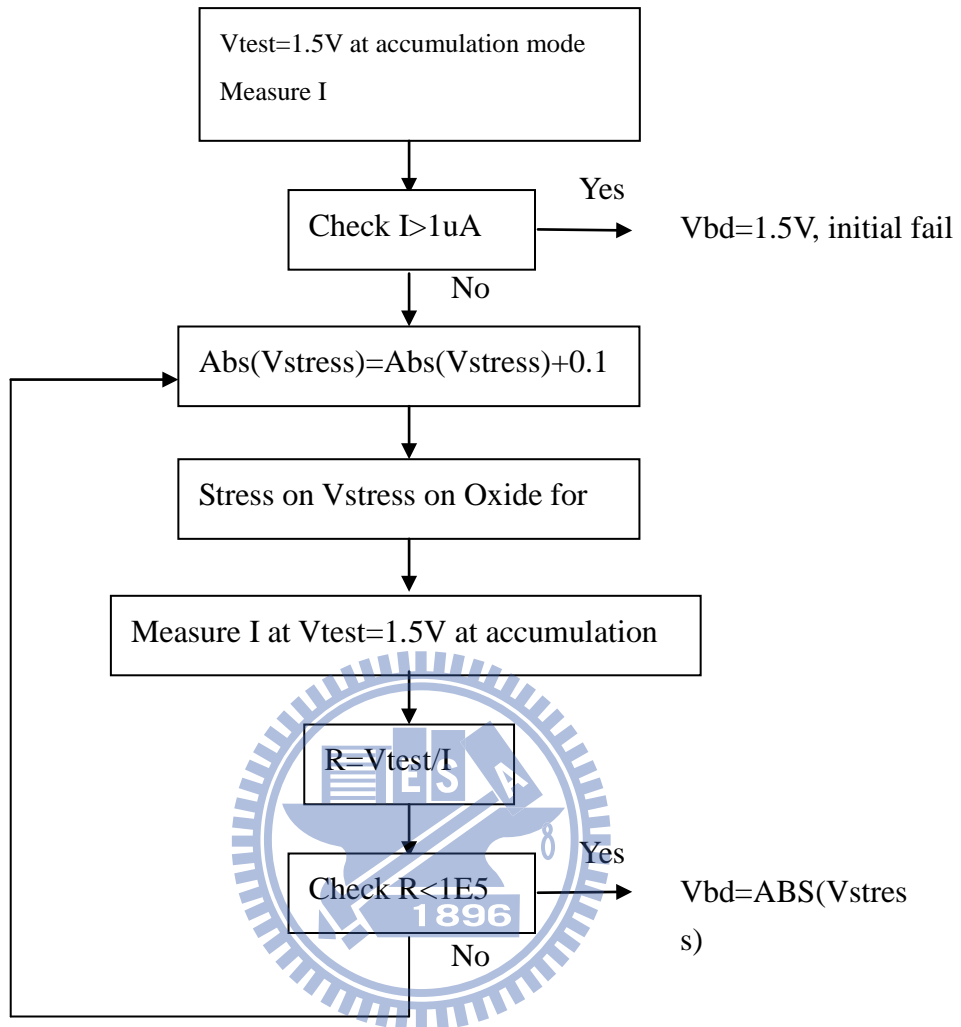


圖 5-17 Vbd 測試方式

#### 5.4.1 樣本崩潰電壓(Vbd)及 defect 於 wafer 分佈

樣本經開極氧化爐管後發現崩潰電壓降低，正常區域崩潰電壓大於 13V，但異常區域崩潰電壓低於 10V，且 defect 分佈與崩潰電壓異常區域重疊，如圖 5-18 所示。

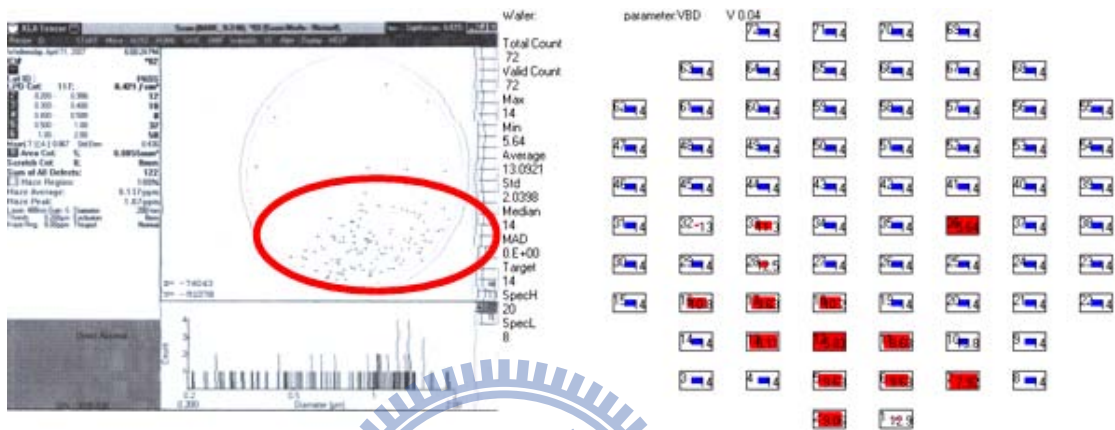


圖 5-18 Wafer 上 defect 分佈與 Vbd 分佈示意圖

#### 5.4.2 樣本 EMMI 及 TEM 照片分析

經由 EMMI 發現異常點，如圖 5-19 所示。透過如圖 5-20 所示之 TEM 照片可以發現 substrate 已 damage。

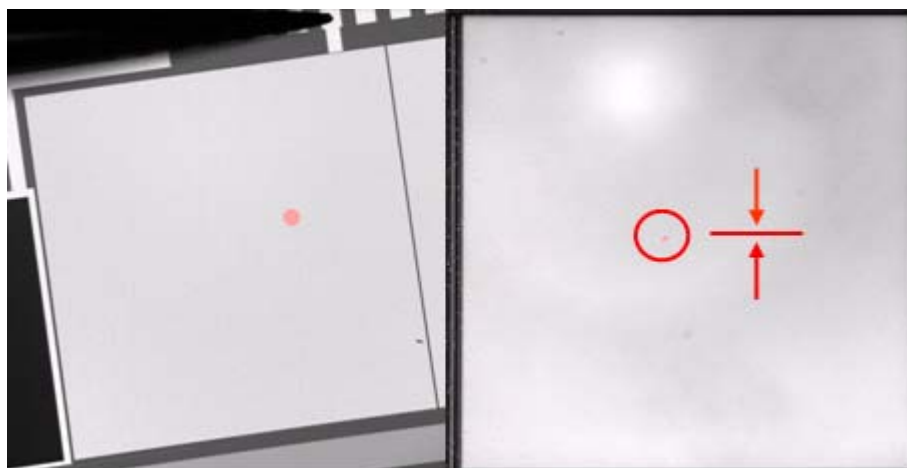


圖 5-19 EMMI 定位出 weak point 示意圖

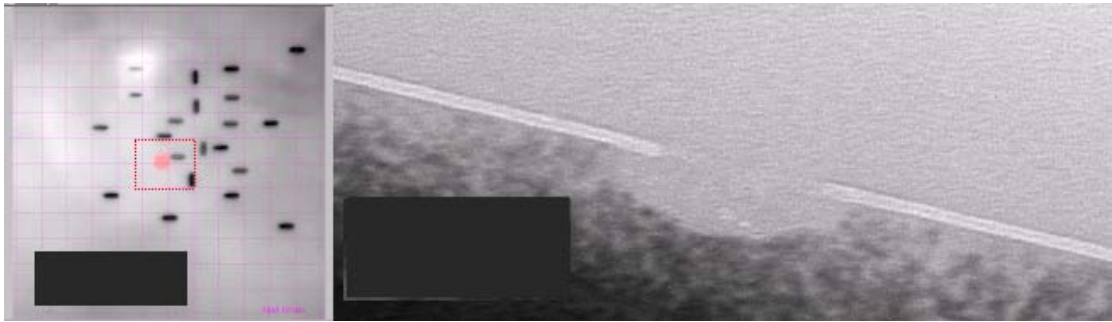


圖 5-20 Defect TEM 照片

#### 5.4.3 樣本 SEM 分析

晶片經開極氧化爐管後，表面 defect 分析發現有鈣金屬殘留並於晶片表面造成明顯坑洞，如圖 5-21 所示。



圖 5-21 經氧化爐管後 Wafer 表面 defect SEM 照片

#### 5.4.4 樣本 I-V Curve 量測結果

I-V curve 分析結果顯示受鈣污染之 wafer 提早 break down，如圖 5-22 所示，5-23 為正常 sample 。

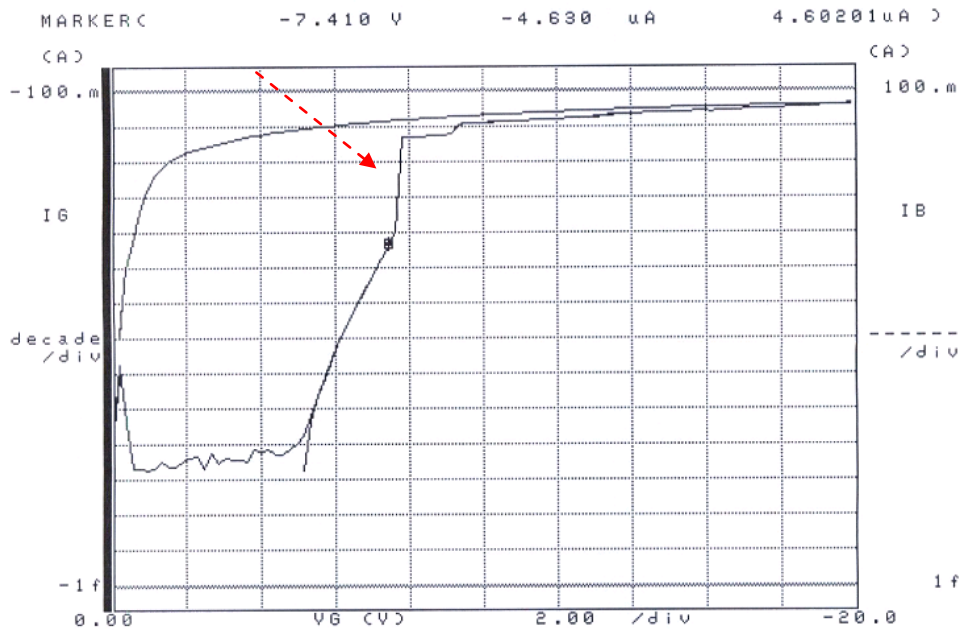


圖 5-22 I-V curve on a Ca contaminated wafer

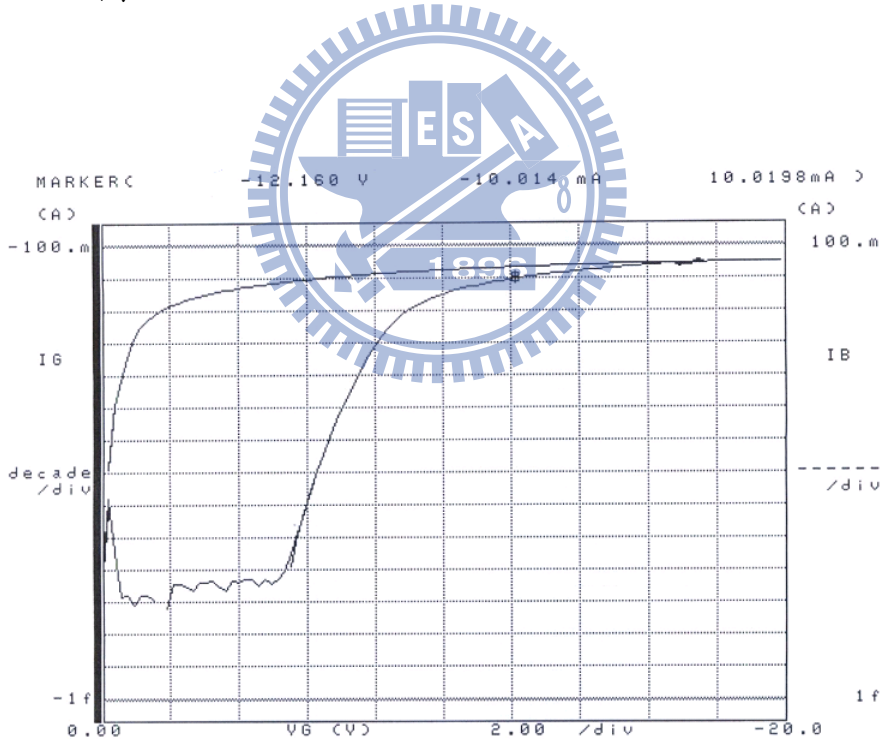


圖 5-23 I-V curve on a normal wafer

### 5.4.5 樣本 CV Curve 量測結果

如圖 5-24 所示為異常樣本，5-25 為正常樣本。

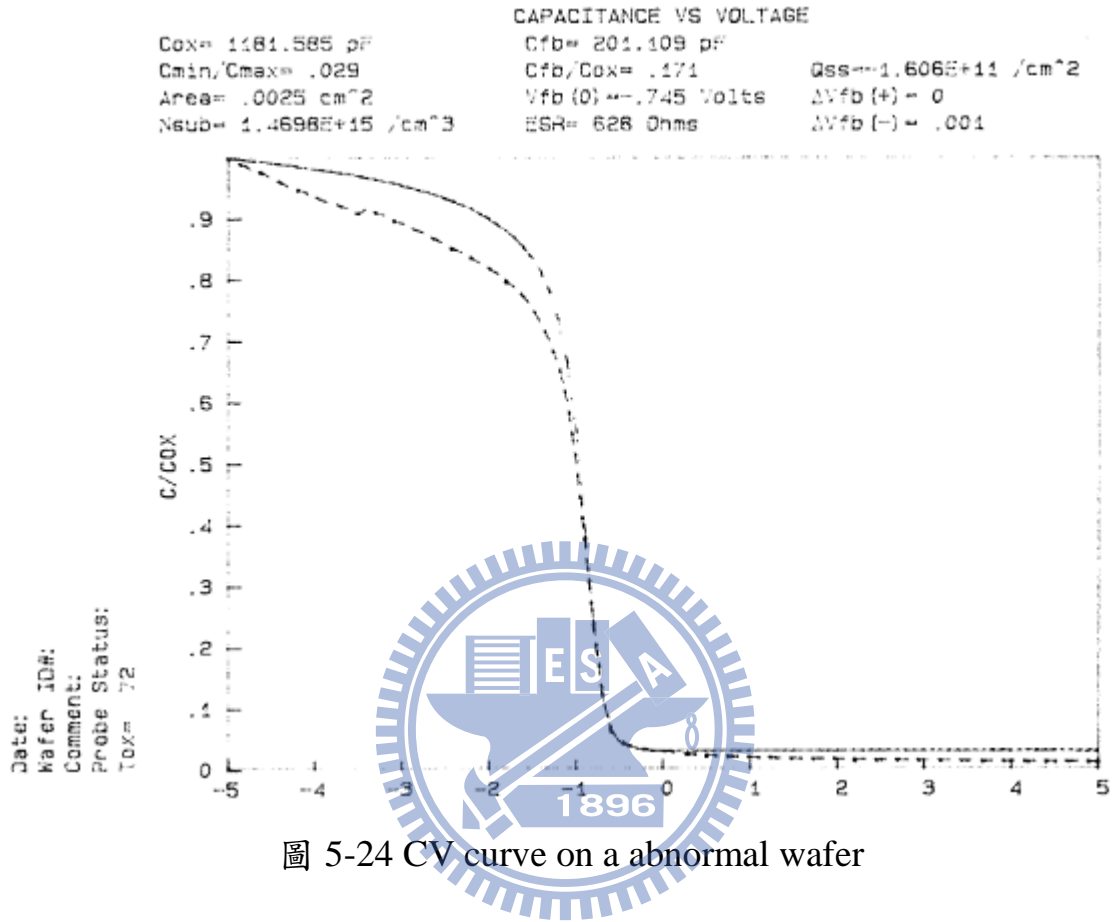


圖 5-24 CV curve on a abnormal wafer

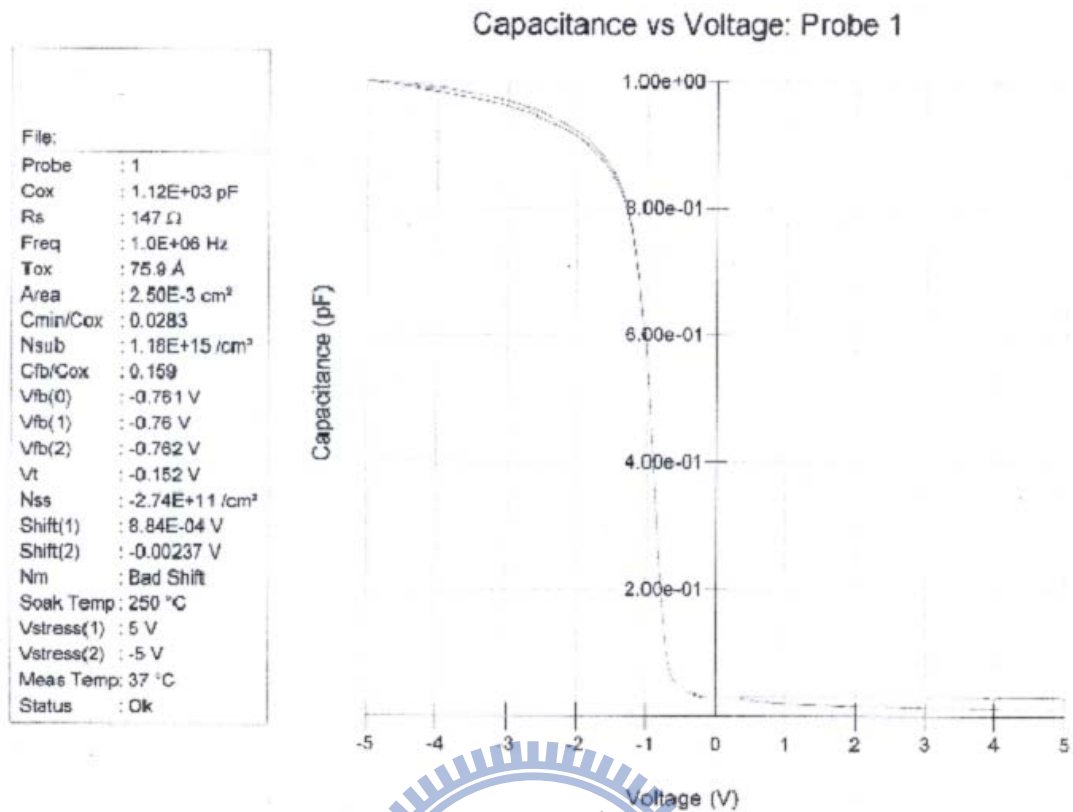


圖 5-25 CV curve on a normal wafer

### 5.5 爐管污染途徑改善方式建議及成效

針對個案之研究發現，污染源主要透過工程師無塵衣及工廠回風做媒介搭配機台相對環境為負壓狀態而進入氧化爐管造成 defect 所衍生之電性異常現象，機制如圖 5-26 所示。

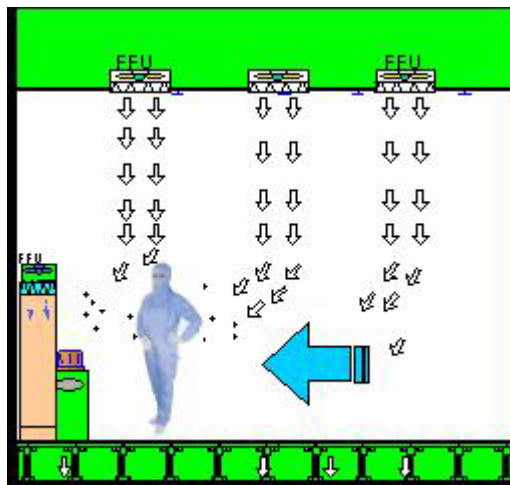


圖 5-26 污染源進入機台路徑示意圖



5.5.1 製作 partition 避免污染源進入機台，如圖 5-27 所示。

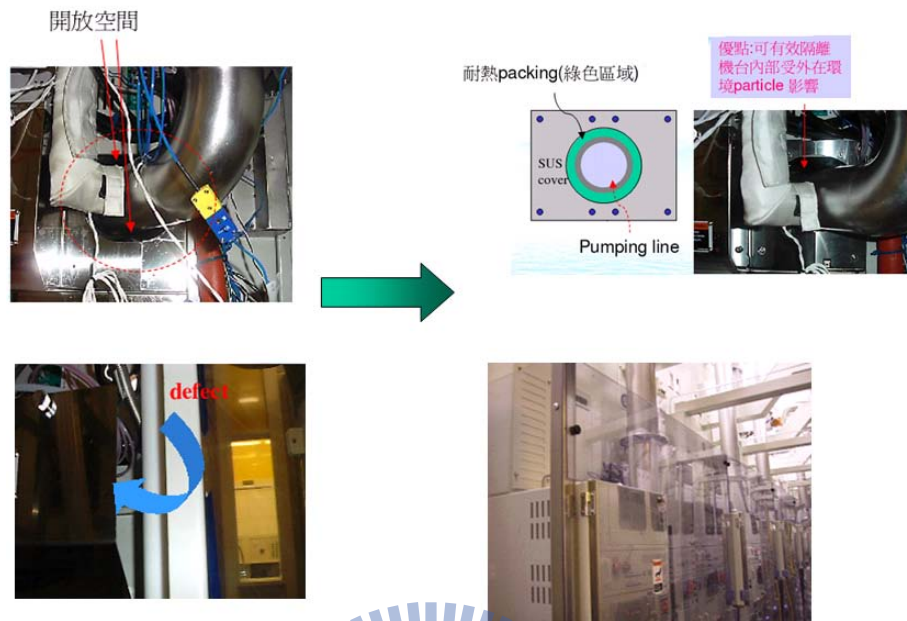


圖 5-27 Partition 示意圖

5.5.2 製作製作 Power Regulator 調整機台 fan motor efficiency，讓機台內部相對於外界環境呈現正壓，如圖 5-28 所示。

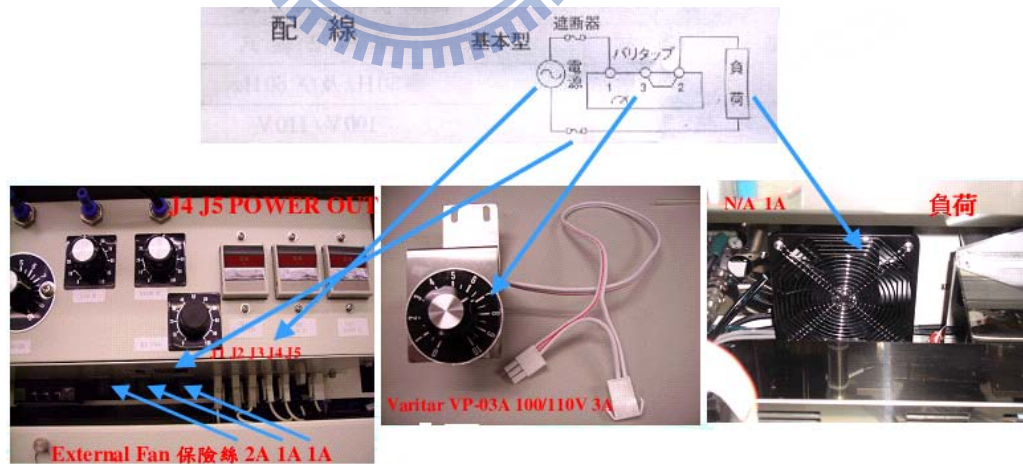


圖 5-28 Fan motor power regulator 示意圖

### 5.5.3 執行改善措施後之成效

透過改善後，如表 5-5 所示，看到機台 particile OCAP rate 明顯降低。圖 5-29 particle trend chart 亦顯示 defect count 降低。

改善前			
	A機台	B機台	C機台
Total Record	330	409	318
Total Point	2616	3238	2484
OOS(Record)	22(6.67%)	11(2.69%)	22(6.92%)

改善後			
	A機台	B機台	C機台
Total Record	158	193	196
Total Point	1252	1532	1550
OOS(Record)	1(0.63%)	0(0.00%)	0(0.00%)

如表 5-5 改善前後 particile OCAP rate 對照表

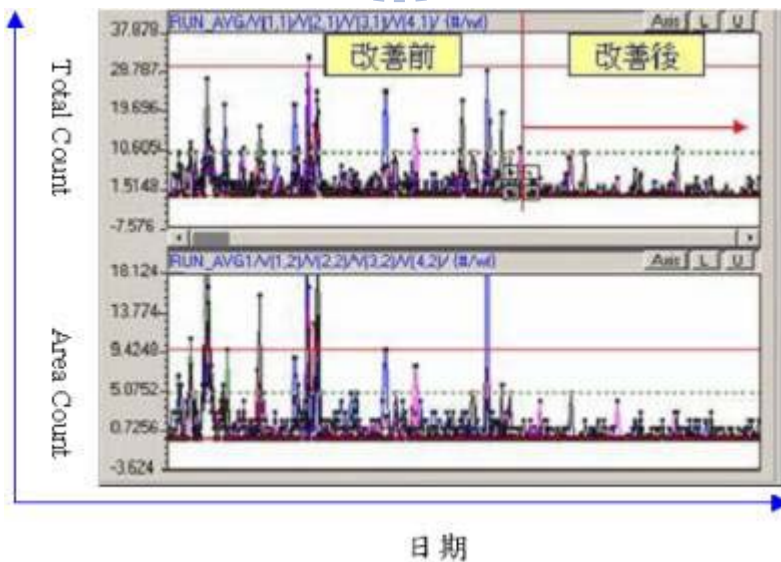


圖 5-29 改善措施執行後 particle trend chart

## 第六章 結論

隨著積體電路技術進入深次微米的時代，尺寸越作越小，製程之步驟也愈來愈複雜，而薄氧化層在 VLSI 技術中一直是非常受重視的，氧化層的可靠性會使產品良率降低，而直接影響的則是整個生產成本，影響到整個產品之競爭力，故製作高品質的超薄閘極氧化層已成為現今研究的重點。本文中由加熱套所形成之鈣金屬污染造成數量頗多的產品電性異常，由此可見金屬污染控制及其防範的重要性可想而知。

本研究針對產品受半導體廠常用之加熱套保溫材內所添加之鈣污染途徑進行解析，並對其對半導體元件電性之影響作了有系統之分析，同時提出有效的改善方法，此措施獲得極佳之 defect 改善。研究之結果可以幫助積體電路製造業充分了解鈣污染所可能造成之電性異常問題，並做防治措施，以提高良率。

## 參考文獻

1. V.Gorodokin, D.Zemlyanov, "METALLIC CONTAMINATION IN SILICON PROCESS" Electrical and Electronics Engineers in Israel, 2004. Proceedings. 2004 23rd IEEE Convention of Volume , Issue , 6-7 Sept.2004 Page(s): 157 – 160.
2. Beck, S.E.; George, M.A.; Bohling, D.A.; Shemanski, B.J.; McGuire, J.T.; Hames, G.A.; Wortman, J.J.; Lanford, W.A." Effects of microcontaminants in oxygen during gate oxide growth:interfacial effects and device reliability"Advanced Semiconductor Manufacturing Conference and Workshop. 1994. ASMC 94 Proceedings. IEEE/SEMI Volume , Issue , 14-16 Nov 1994 Page(s):100 – 106.
3. Verhaverbeke, S.; Meuris, M.; Mertens, P.W.; Heyns, M.M.; Philipossian, A.; Graf, D.; Schnegg, A. "The effect of metallic impurities on the dielectric breakdown of oxides and some new ways of avoiding them" Electron Devices Meeting, 1991. IEDM apos;91. Technical Digest., International Volume , Issue , 8-11 Dec 1991 Page(s):71 – 74.
4. Henley, W.B.; Jastrzebski, L.; Haddad, N.F." Effects of iron contamination of thin oxide breakdown and reliability characteristics" Reliability Physics Symposium, 1993. 31st Annual Proceedings., International Volume , Issue , 23-25 Mar 1993 Page(s):22 – 27.
5. 趙天生、柯富祥、陳志強、張廖貴術,“薄閘極氧化層之金屬雜質影響與可靠性探討”奈米通訊第六卷第三期.
6. 莊達人 ,“VLSI 製造技術”,高立圖書有限公司,2006,Page(s):483-485.

## 自傳

姓名：余典衛

性別：男

生日：1972年11月30日

籍貫：臺灣雲林縣

地址：高雄縣鳳山市文樂街36號3樓

學歷：國立雲林工專電機工程畢(77.9 ~ 82.6)

私立輔仁大學電子工程畢業(82.9 ~ 84.6)

國立交通大學工學院半導體材料與製程設備學程(93.9~99.6)

經歷：世界先進積體電路公司括擴散工程部技術副理

世界先進積體電路公司括擴散爐管設備副理

尚達積體電路公司蝕刻資深製程工程師

尚達積體電路公司蝕刻設備工程師