

國立交通大學

電機學院 電信學程

碩士論文

高速 IC 電路板電磁干擾解決方案研究

High-Speed IC Board-level EMI Solution Study

研究生：謝勝旺

指導教授：吳霖堃 教授

中華民國九十八年三月

高速 IC 電路板電磁干擾解決方案研究

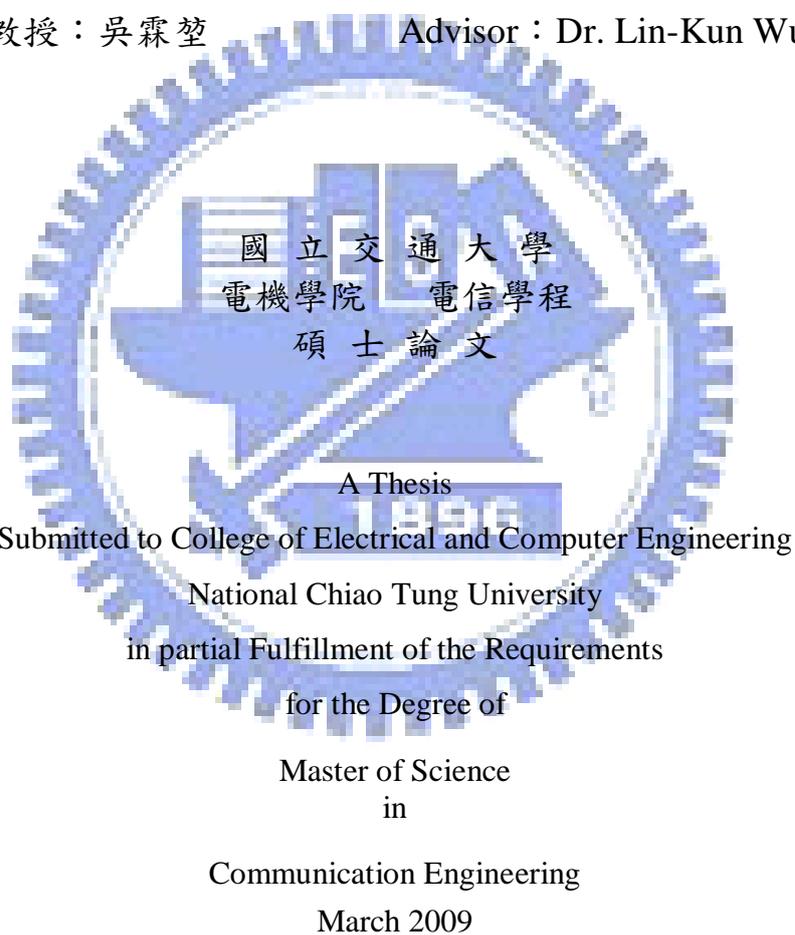
High-Speed IC Board-level EMI Solution Study

研究生：謝勝旺

Student : Sheng-Wang Hsieh

指導教授：吳霖堃

Advisor : Dr. Lin-Kun Wu



Hsinchu, Taiwan, Republic of China

中華民國九十八年三月

高速 IC 電路板電磁干擾解決方案研究

學生：謝勝旺

指導教授：吳霖堃博士

國立交通大學

電機學院

電信學程碩士班

摘要

本論文針對高速電路的電磁干擾問題，討論發生的理論機制。然後針對一個實際雙模手機電路板的電磁干擾問題，呈現系統性分析的方法，以快速找出干擾來源，並對此實施防制對策。

電路電磁干擾，主要來自地彈雜訊和同步切換雜訊。高頻切換電流迴路的電感值和路徑的長度影響著雜訊發生的強度。降低迴路的電感（例如放大導線寬度）和善用高頻、低頻的去耦合電容並聯使用，可以有效降低雜訊的發生。

最後降低實際電路雜訊的手法，利用時脈訊號的 FFT 頻域強度，可以找出時脈和干擾雜訊的關連性，從而找出雜訊來源。針對時脈雜訊來源採行 RC 電路降低時脈訊號強度，從而降低雜訊。對直接由 IC 幅射出來的雜訊，則採用軟性吸波材 (FAM) 或是導電性遮蔽，可以有效降低。

High-Speed IC Board-level EMI Solution Study

Student : Sheng-Wang Hsieh

Advisors : Dr. Lin-Kun Wu

Degree Program of Electrical and Computer Engineering
National Chiao Tung University

ABSTRACT

In this thesis, the purpose is to study the mechanism and theory of high speed print circuit board EMI issue. And then presents a real case of a dual-mode handset as demonstration for practical EMI solving technique and procedure,

The main EMI mechanism comes from Ground Bounce and Simultaneous Switching Noise (SSN). Main factors of EMI are inductance of high frequency switching current path and length of the path. Reducing the path inductance (such as by making wider PCB trace) and utilizing high frequency and low frequency de-coupling capacitor combination can both reduce the EMI strength.

When solving the real case of a dual-mode handset EMI, by investigating into clock signal frequency domain data from digital scope's FFT output, we can identify which clock signal contributing EMI output. Having identified the EMI source, we utilize RC circuit to reduce clock signal strength so as to make EMI strength lower. For direct EMI emitted from IC, we use flexible absorbing material (FAM) or conductive shielding as counter measure.

誌 謝

工作多年後重回校園，心情、感受和大學時完全不同。雖然其中有辛苦，但由師長、同學、學校得到的，絕對值得。上課所學的又恰巧給予目前工作很大啟發，助益甚大。

首先要感謝的是我的指導教授—吳霖堃老師，在他不厭其煩地教導和諸多鼓勵下，終於能完成論文。沒有吳老師的帶領，這篇論文是無法完成的。

其次，感謝朋友施文正在我信心不足時，給我打氣加油。感謝專班同學陳鴻麟，在課業和生活上的討論和相互勉勵。感謝專班助理林雅絃小姐持續不斷的協助。

最後感謝我的太太美月，這些年來我總是在外奔波的時間多，陪伴妳、秉潔、佩軒、昀哲的時間少。沒有妳的容忍，用心照顧我們的三個孩子，我是無法完成學業的。

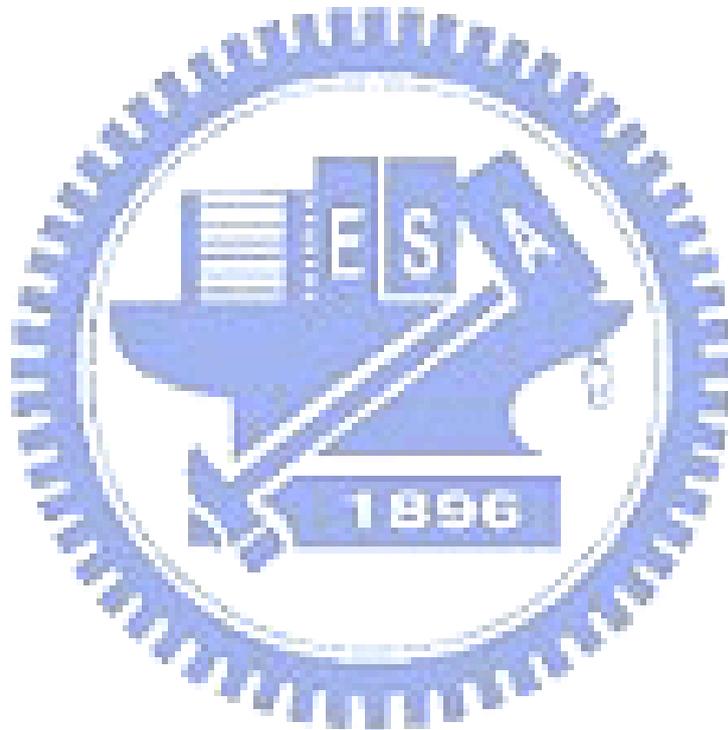
目 錄

中文摘要	-----	i
英文摘要	-----	ii
誌謝	-----	iii
目錄	-----	iv
表目錄	-----	v
圖目錄	-----	vi
第一章	簡介	1
1.1	電磁輻射形成的機制	3
1.2	理想的電流迴路	5
1.3	非理想的電流迴路	7
1.4	不連續迴路的電流迴路	7
1.5	去耦合電容的動作原	8
1.6	去耦合電容的真實特性	9
1.7	並聯的去耦合電容	11
1.8	研究標的及方法	12
第二章	現象分析與對策	15
2.1	標的電路板的EMI資料	15
2.2	分析	16
2.3	對策	28
第三章	實驗結果與討論	30
3.1	78MHz諧波	30
3.2	96MHz諧波	34
第四章	結論	44
參考文獻	-----	45

圖 目 錄

圖 1.1	理想 CMOS 電流迴路簡化模型[1]-----	6
圖 1.2	理想 CMOS 電流迴路在 PCB 上簡化模型-----	6
圖 1.3	非理想 CMOS 電流迴路簡化模型[1]-----	7
圖 1.4	非理想 CMOS 電流迴路在 PCB 上簡化模型-----	7
圖 1.5	真實電容的等效 <i>RLC</i> 電路-----	11
圖 1.6	真實電容的等效阻抗-----	11
圖 1.7	並聯真實電容的等效 <i>RLC</i> 電路-----	12
圖 1.8	並聯真實電容的等效阻抗-----	12
圖 1.9	電路板方塊圖-----	13
圖 1.10	CPU 時脈產生方塊圖-----	14
圖 2.1	原始電路板 EMI 掃描資料 30~300MHz-----	15
圖 2.2	原始電路板 EMI 掃描資料 300~1000MHz-----	16
圖 2.3	39MHz 信號路徑-----	19
圖 2.4	39MHz 信號路徑電流回流路徑一-----	20
圖 2.5	39MHz 信號路徑電流回流路徑二-----	20
圖 2.6	39MHz 通過貫孔前訊號波形-----	21
圖 2.7	39MHz 通過貫孔後訊號波形-----	22
圖 2.8	39MHz 通過貫孔前訊號 FFT 波形-----	22
圖 2.9	39MHz 通過貫孔後訊號 FFT 波形-----	23
圖 2.10	39MHz 通過貫孔前/通過後訊號 FFT 波形-----	23
圖 2.11	78MHz 信號路徑-----	24
圖 2.12	78MHz 信號路徑-----	24
圖 2.13	78MHz 信號路徑電流回流路徑一-----	25
圖 2.14	78MHz 信號路徑電流回流路徑二-----	25
圖 2.15	78MHz 訊號波形-----	26
圖 2.16	78MHz 訊號 FFT 波形-----	27
圖 2.17	銅箔環繞-----	28
圖 2.18	78MHz 採用 RC 衰減-----	29
圖 3.1	78MHz 對策實施後訊號波形-----	30
圖 3.2	78MHz 對策實施後 FFT 波形-----	31
圖 3.3	78MHz 通過貫孔前後訊號 FFT 波形比對-----	31
圖 3.4	使用 78MHz 諧波改善對策後 EMI 掃描資料 30~300MHz-----	32
圖 3.5	使用 78MHz 諧波改善對策後 EMI 掃描資料 300~1000MHz-----	33
圖 3.6	使用 ABSORBER #1 改善對策後 EMI 掃描資料 30~300MHz-----	35
圖 3.7	使用 ABSORBER #1 改善對策後 EMI 掃描資料 300~1000MHz-----	36
圖 3.8	使用 CPU shielding 14mm 改善對策後 30~300MHz-----	38

圖 3.9	使用 CPU shielding 14mm 改善對策後 300~1000MHz-----	39
圖 3.10	使用 CPU shielding 30mm 改善對策後 30~300MHz-----	40
圖 3.11	使用 CPU shielding 30mm 改善對策後 300~1000MHz-----	41
圖 3.12	使用 CPU shielding 全包覆及接地後 30~300MHz-----	42
圖 3.13	使用 CPU shielding 全包覆及接地後 300~1000MHz-----	43



第一章 簡介

今日的電子產品講究輕薄短小。雖然尺寸越來越小，卻有越來越多的功能放進產品中。以今日最普及的通訊產品為例，大家最常使用的產品就是手機了。今日的手機，已由單純的通話功能，進步到包含有通話、照相、錄影、收發電子郵件、衛星導航、手寫辨識等等功能，而這些手機的尺寸並沒有比以前的尺寸大，反而要更輕更薄。隨著更多功能的需求，更高計算能力的 CPU，更多周邊電路，更強的無線通訊電路，通通擠近更小的空間。於是採用更多層的 PCB 電路板，更密集的電路佈局，蔚為潮流，而電磁輻射的問題也就更為嚴重了。手機屬於消費性產品，又會放射強大的無線通訊功率，世界各國都訂定嚴格法規，以保障通訊系統和電磁輻射相容的正常運作。今後電子產品電磁輻射問題的挑戰只有更高。

輕薄短小的消費性電子產品除了面對更複雜的電路和更受限的尺寸空間外，還受限於越來越短的產品週期。產品開發速度地需求，不容許電磁輻射工程師和硬體工程師能夠好整以暇地，慢

慢嘗試可能的方法來解決產品電磁輻射的問題。面對這樣的挑戰，電磁輻射工程師和硬體工程師，唯有了解電磁輻射發生的原理和機制，熟悉防制電磁輻射的方法和技巧，才能夠對症下藥。在產品開始設計階段，就導入防治電磁輻射的設計，從源頭避免電磁輻射的產生。

在實作產品原型機時，常常遇到因為電磁輻射掃描結果無法符合法規標準，而必須變動設計，實行電磁輻射對策，而重新洗PCB 電路板、SMT 打件、送實驗室作電磁輻射掃描。這些事情不僅耗時、費力、又昂貴，有的時候因此需要重複一、二十回，延後二到三個月時間，影響產品開發時間又耗費大量金錢。因此，電磁輻射工程師和硬體工程師必須善用防治電磁輻射的分析手法和技巧，來縮短開發時間和減低開發費用。

本研究將探討常見的會發生在輕薄短小電子產品上的電磁輻射問題、機制，以及分析電磁輻射的手法和解決的技巧，並以實例說明。

1.1 電磁輻射形成的機制

電路運作時，由電源端所看到的等效負載會隨著訊號操作而改變，電源輸出電流值也因之變動，因此輸出電流不是固定不變，而是時時在改變。輸出電流變動的部份，亦即暫態電流，經由電流傳送路徑又造成電源層、地層(或參考層)的直流電壓位準變動。此一現象稱為地彈雜訊(Ground Bounce)。整個電流迴路路徑可視為一等效電感 L ，當暫態電流 $i(t)$ 流過這電流迴路時，產生的電壓降變化，也就是電源層和接地層之間的電壓變化 $V(t)$ 可以表示為

$$V(t) = L \cdot di(t) / dt \quad (1.1)$$

這個電壓變動稱之為 Δ -I 雜訊(Delta-I noise)。在數位電路中，位址匯流排或資料匯流排在同一時間變換進行資料變換，所造成的 Ground Bounce 又稱之為同步切換雜訊 (Simultaneous Switching Noise, SSN)。

電路系統通常以電源層和參考層(地層)的直流電壓準位為參

考電壓，暫態電流 $i(t)$ 流過電流迴路時引起的地彈雜訊和同步
切換雜訊必需在 IC 電路的允許範圍內，不然 IC 電路可能會無法
正常運作。通常產生的影響有：

1. 地彈雜訊在電源網路中四散傳播，影響 IC 電源穩定，從而影
響 IC 的正常運作和穩定度。
2. 數位系統中的邏輯電路的輸出驅動能力要靠電源電壓，當電源
電壓位準變動時，輸出邏輯位準也將跟著變動，因而降低訊邊
界(Noise Margin)。如果超出 IC 允許範圍，將造成電路的錯
誤切換(False Switching)，甚至損壞。
3. 對於壓控震盪器(Voltage Controlled Oscillator, VCO)而
言，電源準位的變動會造成 VCO 的參考電壓飄動，影響其輸出
頻率，增加 VCO 的相位雜訊。
4. 對放大電路來說，電源準位的變動，將影響電晶體的偏壓點，
是電晶體的工作點漂移原有的設定，從而影響放大電路的輸
出。
5. 在多層電路板中(Multi-layer PCB)，電源層和接地層之間形
成平行板的共振腔結構，暫態電流的某些高頻成分有機會激發

共振腔結構中的某些共振模態，這將引起整個電路板全面性的串音(Cross-talk)干擾。

6. 電源層和參考層(地層)的結構類似 Patch Antenna，暫態電流有可能通過此 Patch Antenna 的作用轉成電磁波輻射出去，造成電磁輻射超過法規標準。

因此，隨著工作頻率的提升，各種 IC 數量的增加，地彈雜訊的干擾只有越來越大，如何減低、消除電源雜訊成為重要的課題。而在眾多消除電源雜訊的方法中，最常用的是採用去耦合電容。

1.2 理想的電流迴路

典型的印刷電路板的電路，電流由電源，經由電源層(Power Plane)，進入發信端(通常是 IC 或電晶體)，經過輸出腳位流出，通過連接的導線，到達受信端。再通過受信端內部電路和地電位腳位，經由地層(Ground Plane)或稱之為參考層(Reference Plane)，再流回電源，形成一個完整的迴路。整個電流迴路路徑上都會有微電感。參考層通常是一個平面，因此將有無限個可能的流過路徑。而由交流觀點，高頻電流必定流經最小電抗路徑。

以圖 1.1 簡化的 CMOS 緩衝器電流迴路模型為例，當訊號由低準位轉態為高準位時，PMOS 導通時，電流經由電源層流過 PMOS，再流出導線。相對在參考層會產生出一個反向電流，反向回流到 CMOS 之電源，完成一個迴路。以圖 1.2 電流迴路在四層 PCB 電路板上簡化模型來看的話，導線通常會在 PCB 的上面第一、四層，第二層可為電源層，第三層為參考層或地層。在此模型時，電流迴路將是三維的流動，不限在二維空間。

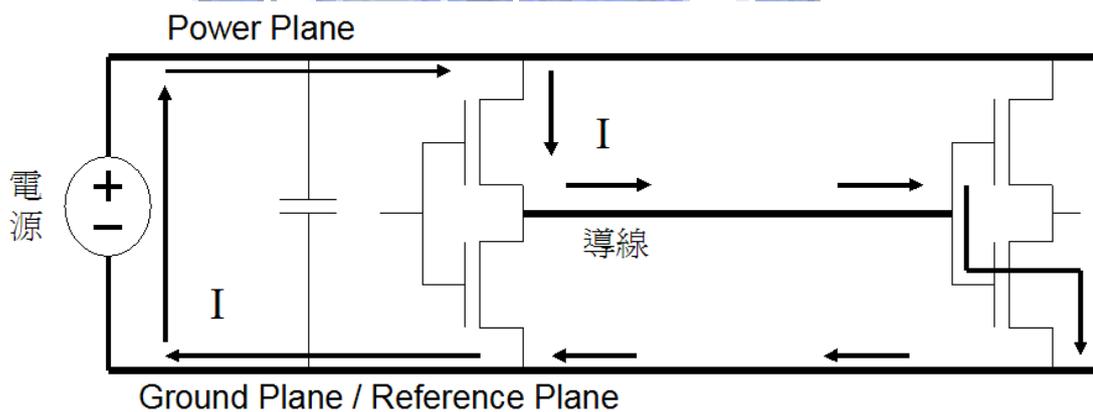


圖 1.1 理想 CMOS 電流迴路簡化模型 [1]

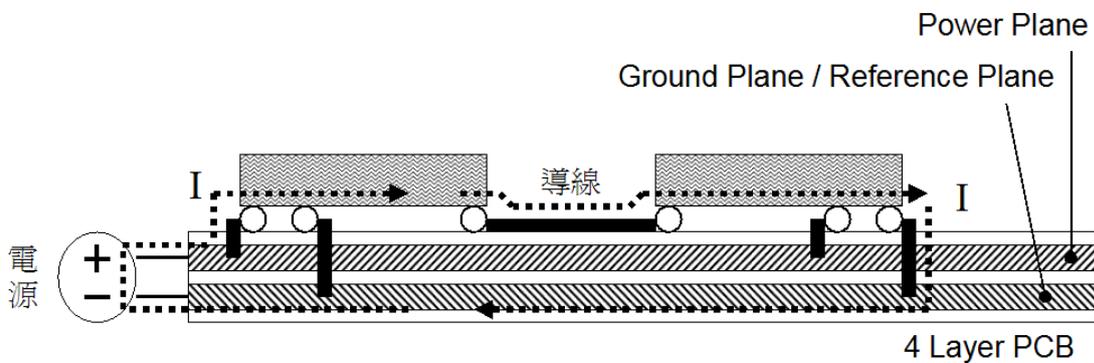


圖 1.2 理想 CMOS 電流迴路在 PCB 上簡化模型

1.3 非理想的電流迴路

理想的電流迴路中，路徑的電抗為 0。非理想的電流迴路路徑則存在電抗，在回流過程中電流會找到最小電抗路徑，尤其是經過電源層或是參考層的部份。當最小電抗路徑的長度越大，電抗也會增加，影響到訊號品質，並且容易產生不必要的電磁輻射。

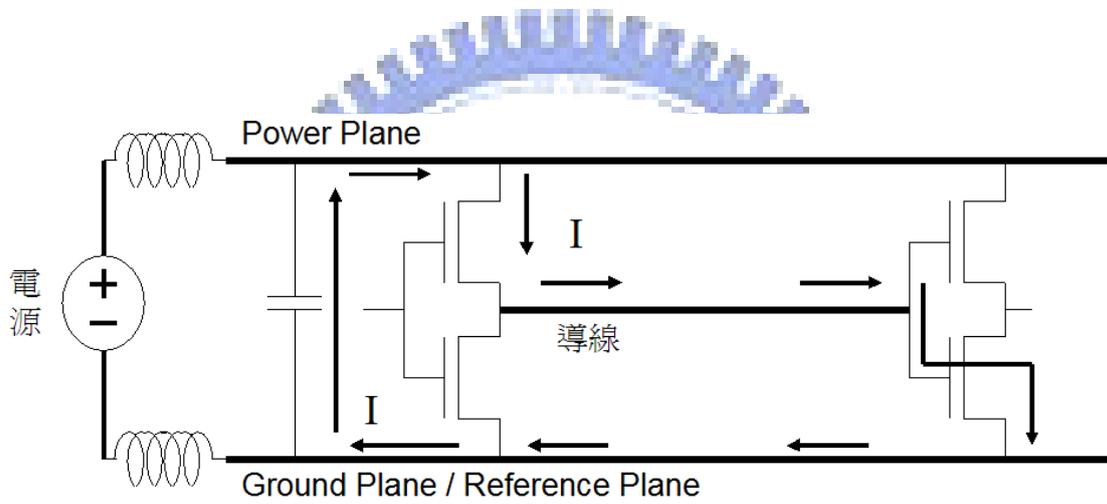


圖 1.3 非理想 CMOS 電流迴路簡化模型 [1]

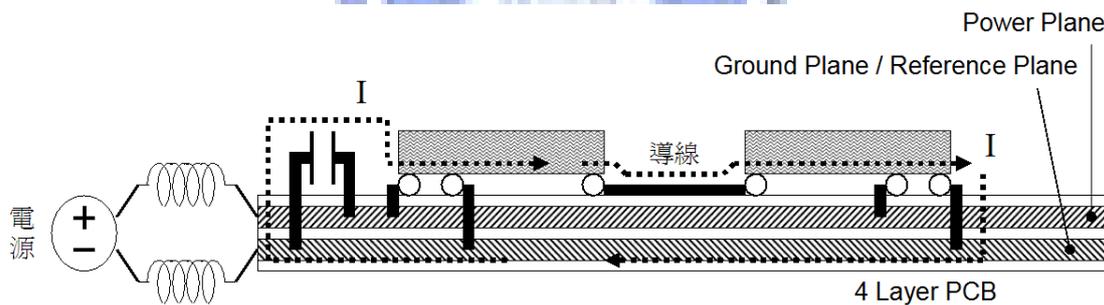


圖 1.4 非理想 CMOS 電流迴路在 PCB 上簡化模型

1.4 不連續迴路的電流迴路

硬體工程師在做高速數位電路設計時，常常很少考慮不連續迴路。它可能產生包含地彈雜訊、同步切換雜訊、和電磁輻射超過法規等嚴重問題，在此利用圖 1.3 和圖 1.4 CMOS 非理想電流迴路(Non-ideal Current Return Path) 討論。當訊號低準位轉為高準位時，PMOS 導通，因電源和電容間有電感存在，使高頻回流電流無法經過電源而回到電源層。因為電流迴路會選擇最小電抗路徑，此時將會經由電容產生一個迴路。此電容為區域去耦合電容，可以將高頻電流迴路縮短。區域去耦合電容愈靠近有源元件愈好，因為可以縮短路徑，減少高頻電流迴路的電抗，從而減少電磁輻射。如果區域去耦合電容值不夠大，或其路徑有較大電感(例如區域去耦合電容放在較遠離有源元件)，電流迴路總電抗變大，訊號品質將會受到很大影響，電磁輻射情形必定較差。

1.5 去耦合電容的動作原理

從時域的觀點，去耦合電容能提供有源元件的電路在高速切換時所需高頻電流，從而減少電壓降(Voltage Droop)。

從頻域的觀點，去耦合電容是一個低阻抗路徑，可以提供高

頻切換電流電源層和參考層(地層)之間的流動路徑，且先決條件為頻率和電容值夠大。理想電容的電抗公式為

$$Z_c = 1 / j\omega C \quad (1.2)$$

其為理想電容特性。因此，在電容值 C 夠大，或者頻率 ω 夠高時，去耦合電容的電抗值 Z_c 將可以小到接近 0，就能提供高頻電流由參考層流回到電源層的路徑。此時的耦合電容在電流迴路中可視為短路。

1.6 去耦合電容的真實特性

但是真實的電容不單純是只有電容特性，還包含有電阻性和電感性，可視為一個 RLC 電路，如圖 1.5 所示。 R_s 為等效串聯電阻(Equivalent Series Resistance)， L 為等效串聯電感，和電容本身 C 。其等效阻抗可以如下公式：

$$Z_c = \sqrt{R_s^2 + \left[2\pi fL - \frac{1}{2\pi fC}\right]^2} \quad (1.3)$$

此去耦合電容阻抗 Z_c 的自共振頻率 (Self Resonant Frequency) f_0 為：

$$f_0 = \frac{1}{2\pi\sqrt{LC}} \quad (1.4)$$

如圖 1.6 所示，當操作頻率發生在串聯共振頻率 f_0 時， Z_c 阻抗為最小值。當操作頻率小於共振頻率 f_0 時，此為電容性阻抗，主要由電容 C 決定阻抗特性。當操作頻率大於共振頻率 f_0 時，此為電感性阻抗，主要由電感 L 決定阻抗特性。隨著操作頻率提高，耦合電容阻抗也提高，此時就無法提供給做電流迴路的回流路徑。因此去耦合電容最好具有低等效串聯電感值、低等效串聯電阻值、和大的電容值。

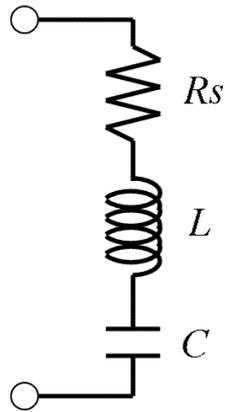


圖 1.5 真實電容的等效 RLC 電路

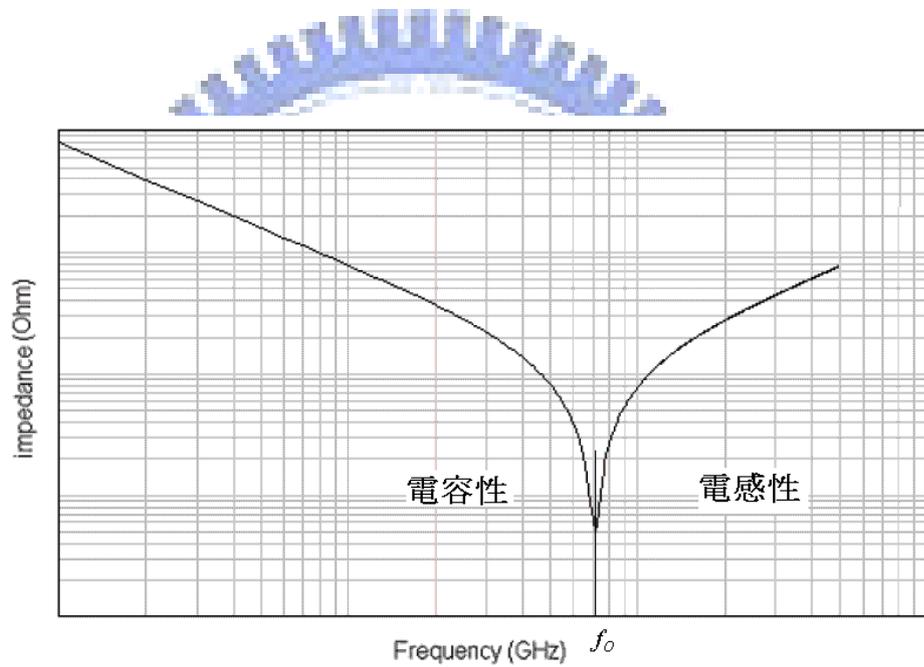


圖 1.6 真實電容的等效阻抗

1.7 並聯的去耦合電容

真實電容有其限的電容性範圍，要在單一去耦合電容達到高電容值、低電感值、和高共振頻率，並不容易，費用也會高。因

此可以採用組合方式，以較大容值、低共振頻率電容和小容值、高共振頻率電容並聯使用，如圖 1.7 所示。如此就可以以較低成本達成兼顧高頻和低頻特性，如圖 1.8 所示。

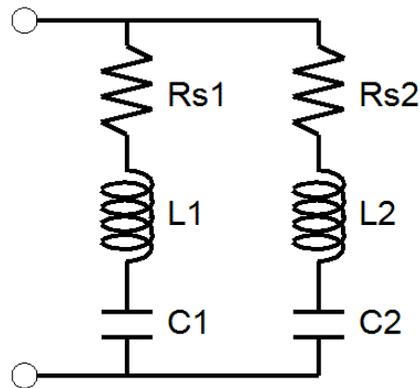


圖 1.7 並聯真實電容的等效 RLC 電路

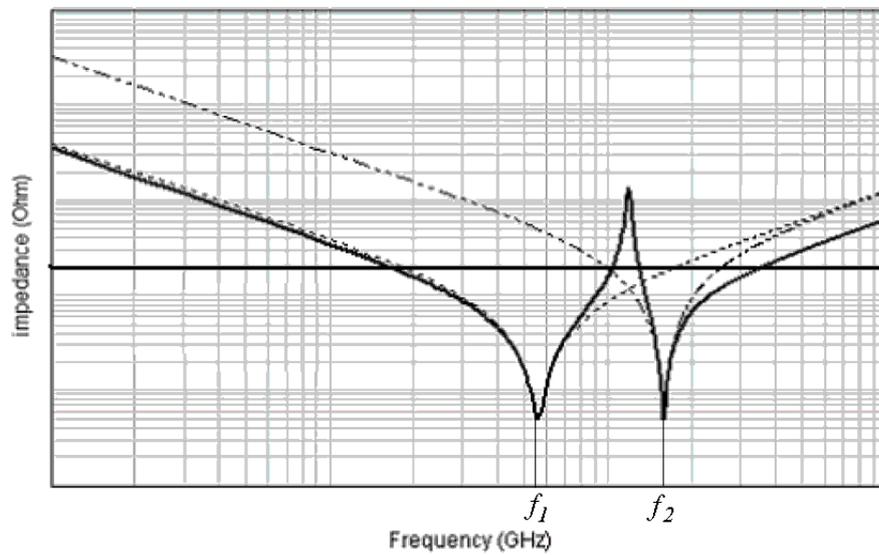


圖 1.8 並聯真實電容的等效阻抗

1.8 研究標的及方法

本研究以一 GSM+WiFi 雙模手機電路板為研究標的，電路板的 block diagram 如圖 1.9。

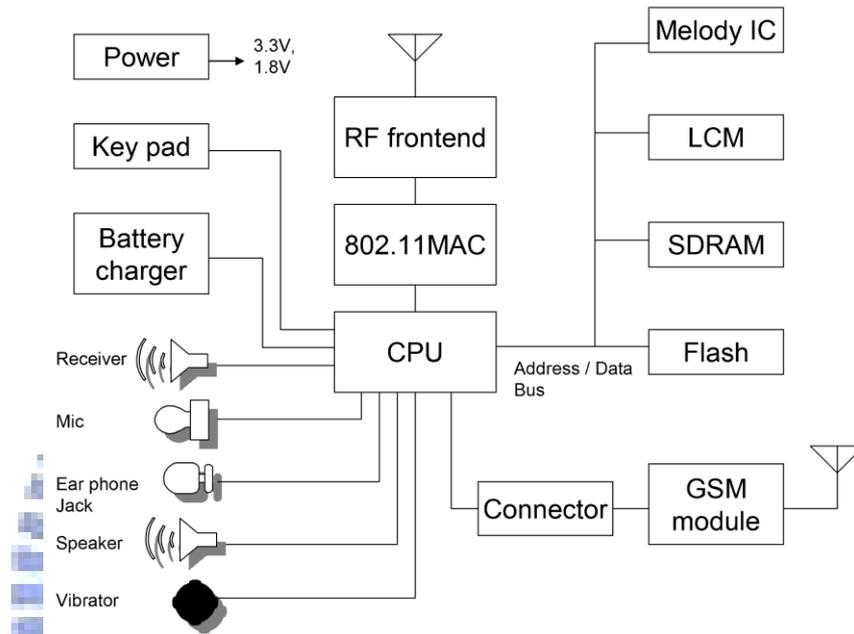


圖 1.9 電路板方塊圖

本電路的 clock source 皆由 CPU 的 PLL 迴路產生，然後再傳到 CPU 內部電路和外部周邊電路使用，如圖 1.10。主要的頻率包含：

1. CPU 內部使用：96MHz、14.72MHz、48MHz。
2. 傳出 CPU 提供給周邊電路和記憶體使用：32KHz、12MHz、13MHz、39MHz、48MHz、78MHz。其中 78MHz 輸出給 SDRAM 使用，39MHz 輸出給 LCM 使用。

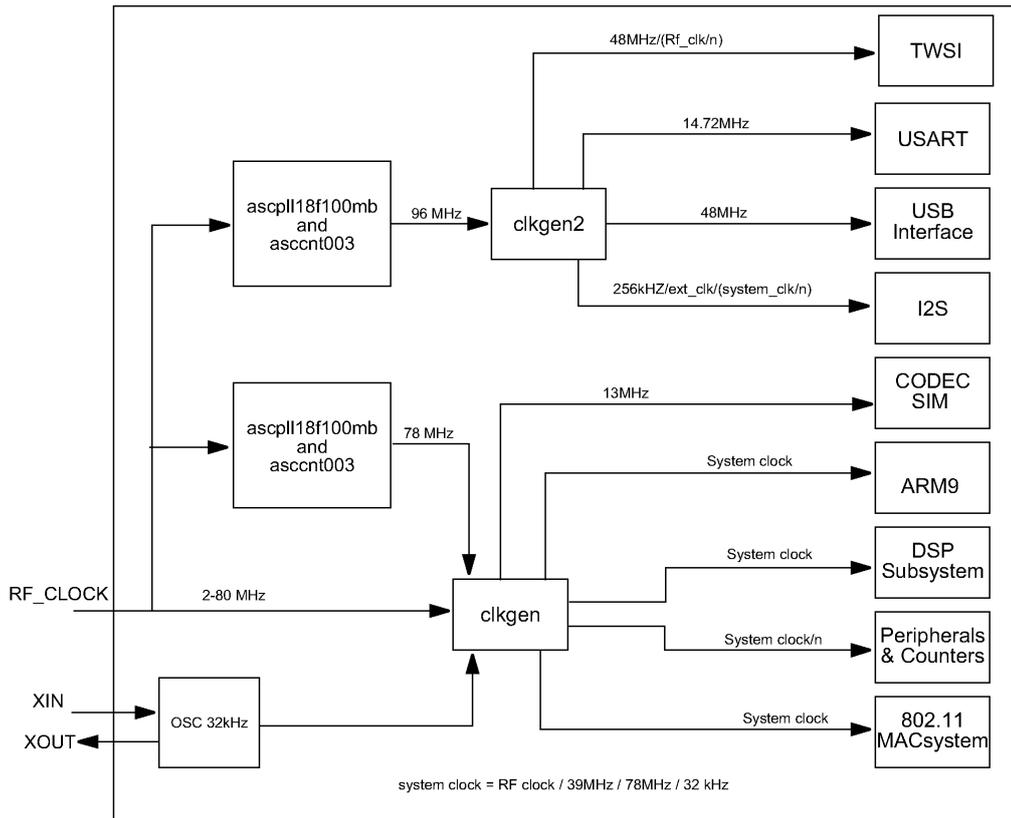


圖 1.10 CPU 時脈產生方塊圖

研究方法採用觀察 CPU 輸出時脈的時域波形、頻域波形，和由合格實驗室量測電磁輻射 30MHz 到 1000MHz 的資料，再以更改 PCB 的走線、變更電路設計、或採用外加銅箔、軟性吸波材 (Flexible Absorber Material, FAM) 實行對策，來改善电路板的電磁輻射。

第二章 現象分析與對策

2.1 標的電路板的 EMI 資料

經實驗室的掃描，得到資料如圖 2.1 (30MHz 到 300MHz)和圖

2.2(300MHz 到 1000MHz)。

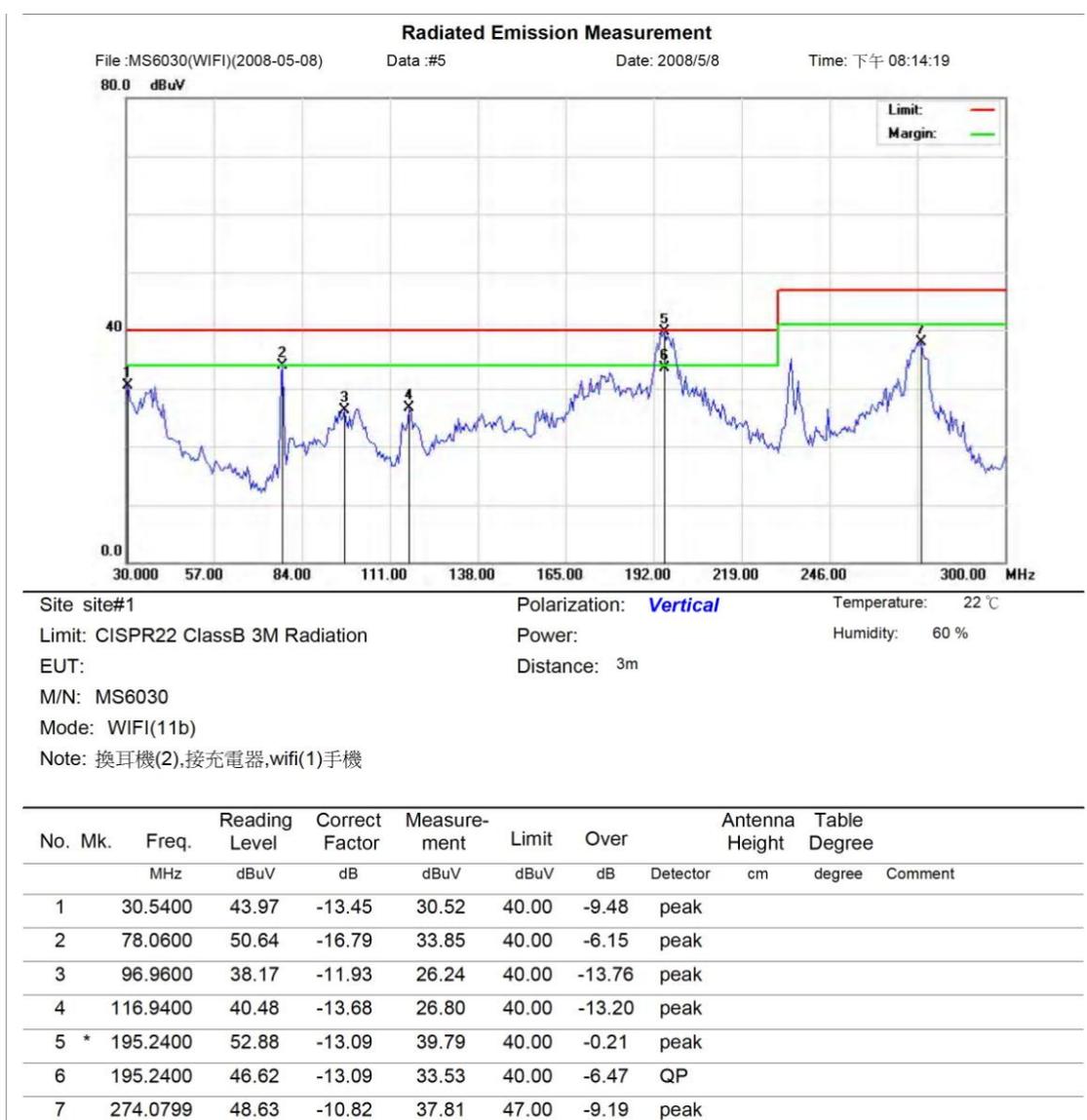


圖 2.1 原始電路板 EMI 掃描資料 30~300MHz

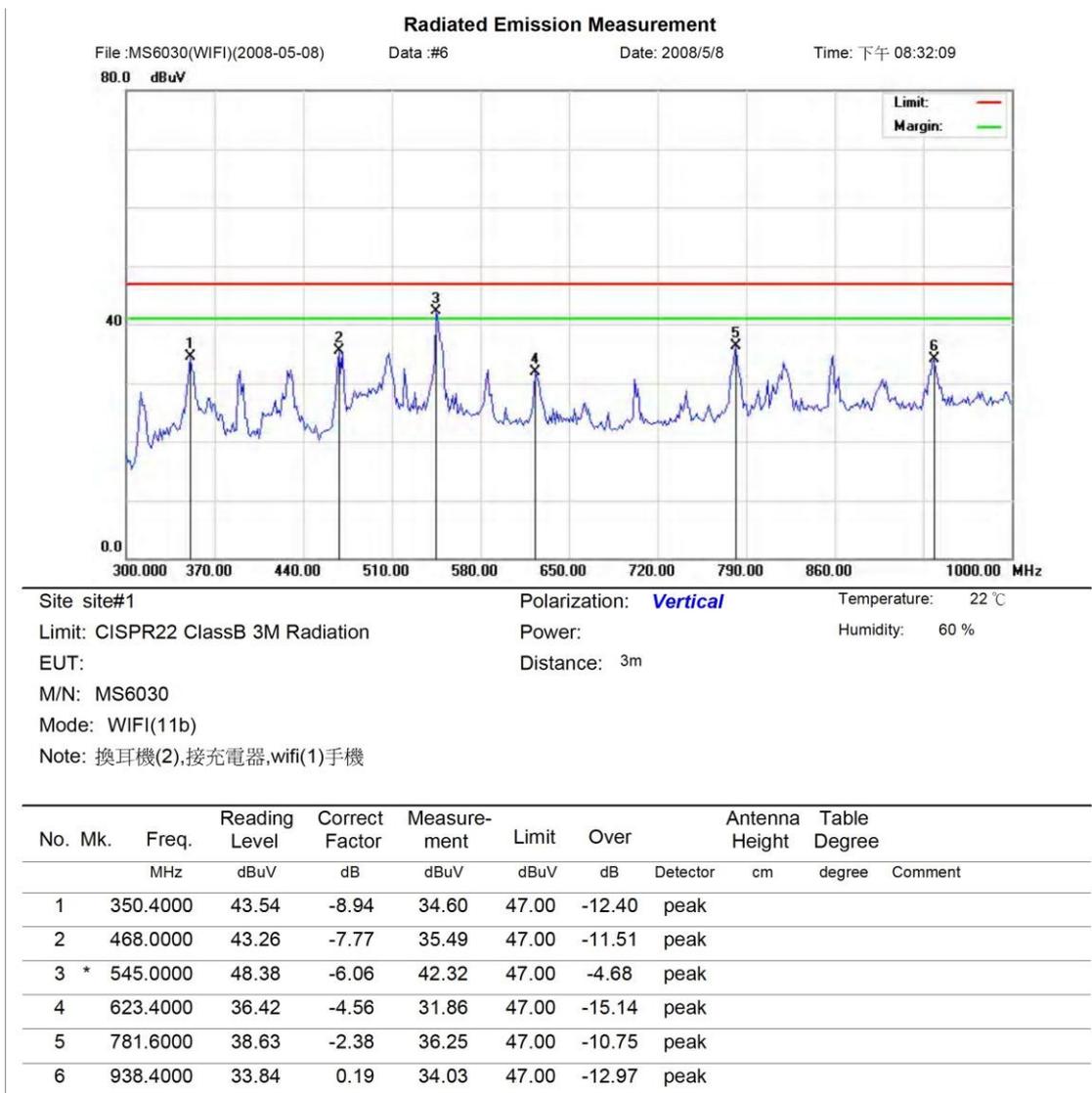


圖 2.2 原始電路板 EMI 掃描資料 300~1000MHz

2.2 分析

2.2.1 EMI 輻射來源

由圖 2.1 的資料，可以看到在 30MHz 到 300MHz 區段有五個主要高峰值的電磁輻射，而且都具有不小的強度，超出或接近法規

所容許的邊界。這五個高峰為 78.06MHz、96.96MHz、195.24MHz、274.08MHz、和大約是 232MHz 左右的未標示高峰。由前面圖 1.10 的 CPU 資料可以看到主要的 CLOCK 皆由 CPU 內部 PLL 產生，因此極可能 EMI 資料的諧波跟這些 CPU 的 CLOCK 有關聯。比對這些峰值和 CPU 的主要 CLOCK，可以解析成以下的關係式：

和 78MHz 的關係：

$$78.06\text{MHz} = 78\text{MHz} \times 1$$

$$232\text{MHz} = 78\text{MHz} \times 3$$

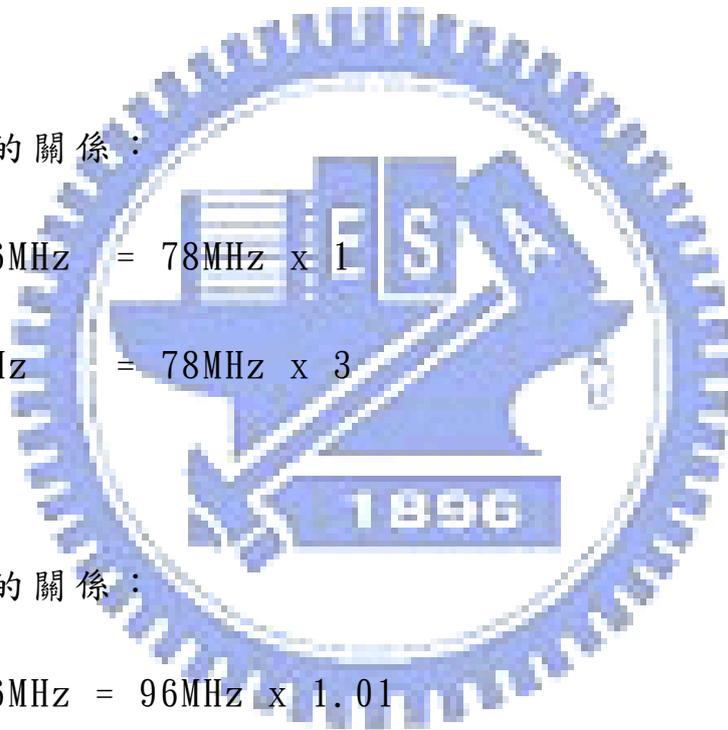
和 96MHz 的關係：

$$96.96\text{MHz} = 96\text{MHz} \times 1.01$$

$$195.2\text{MHz} = 96\text{MHz} \times 2.03 = 96.96\text{MHz} \times 2.01$$

和 39MHz 的關係：

$$274.08\text{MHz} = 39\text{MHz} \times 7.03$$



由圖 2.2 的資料，可以看到在 300MHz 到 1000MHz 區段係呈現有特定諧波的電磁輻射，其中 545MHz 的峰值超過法規的容許值。

測量得到這些峰值序列如下：

312MHz、350.4MHz、390MHz、429MHz、468MHz、507MHz、545MHz、
585MHz、623.4MHz、702MHz、781.6MHz、938.4MHz

比照前面對 30MHz 到 300MHz 區段的解析方式，比對這些峰值和 CPU 的主要 CLOCK，可以解析成以下的關係式：


$$312\text{MHz} = 78\text{MHz} \times 4 = 39\text{MHz} \times 8$$

$$350.4\text{MHz} = 39\text{MHz} \times 8.98$$

$$390\text{MHz} = 78\text{MHz} \times 5 = 39\text{MHz} \times 10$$

$$429\text{MHz} = 39\text{MHz} \times 11$$

$$468\text{MHz} = 78\text{MHz} \times 6 = 39\text{MHz} \times 12$$

$$507\text{MHz} = 39\text{MHz} \times 13$$

$$545\text{MHz} = 78\text{MHz} \times 6.99 = 39\text{MHz} \times 13.97$$

$$585\text{MHz} = 39\text{MHz} \times 15$$

$$623.4\text{MHz} = 78\text{MHz} \times 7.99 = 39\text{MHz} \times 15.98$$

$$702\text{MHz} = 78\text{MHz} \times 9 = 39\text{MHz} \times 18$$

$$938.4\text{MHz} = 78\text{MHz} \times 12.03 = 39\text{MHz} \times 24.06$$

由前面資料分析，將以上峰值的序列整理成三個系列的訊號：39MHz、78MHz、和 96MHz。底下針對這三者做分析：

2.2.2 39MHz 系列諧波

CPU 產生的 39MHz 信號路徑的電路簡圖如下：

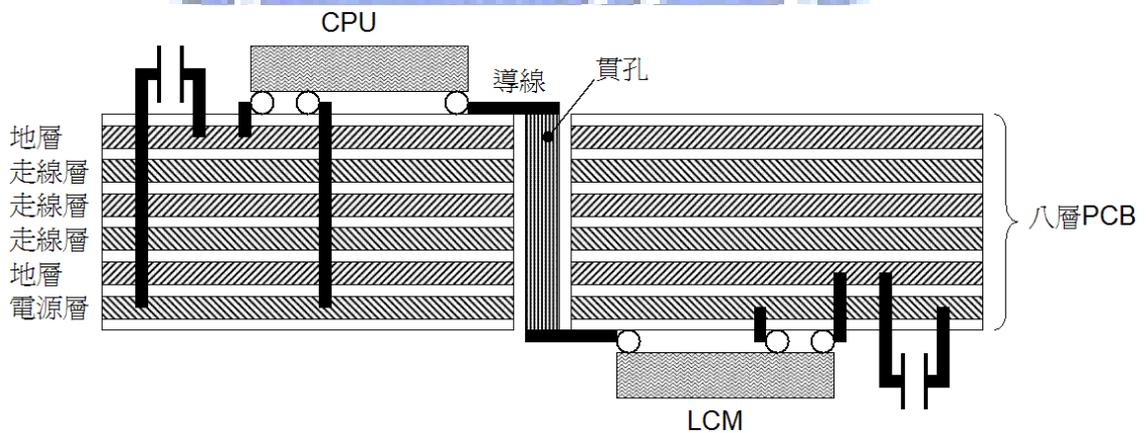


圖 2.3 39MHz 信號路徑

信號出 CPU 後，以貫孔穿越 PCB 到背面，然後直接進入 LCM。整個路徑並不長，如圖 2.3 所示。而在其高頻電流回流路徑上有許多貫孔和去耦合電容，因此也會有無數可能的回流路徑。其中兩個可能路徑如圖 2.4 和圖 2.5 所示。圖 2.4 是高頻電流流出 CPU

後，通過導線、貫孔、導線，進入 LCM，流出 LCM 進入地層(參考層)，再流過地層(參考層)到 CPU 的去耦合電容，進入電源層，流入 CPU 的電源腳，回到 CPU 訊號輸出腳，完成整個迴路。圖 2.5

則是高頻電流流出 CPU 後，通過導線、貫孔、導線，進入 LCM，

流出 LCM 進入地層(參考層)，再流過地層(參考層)到 LCM 的去耦合電容，進入電源層，流過電源層，流入 CPU 的電源腳，回到 CPU 訊號輸出腳，完成整個迴路。

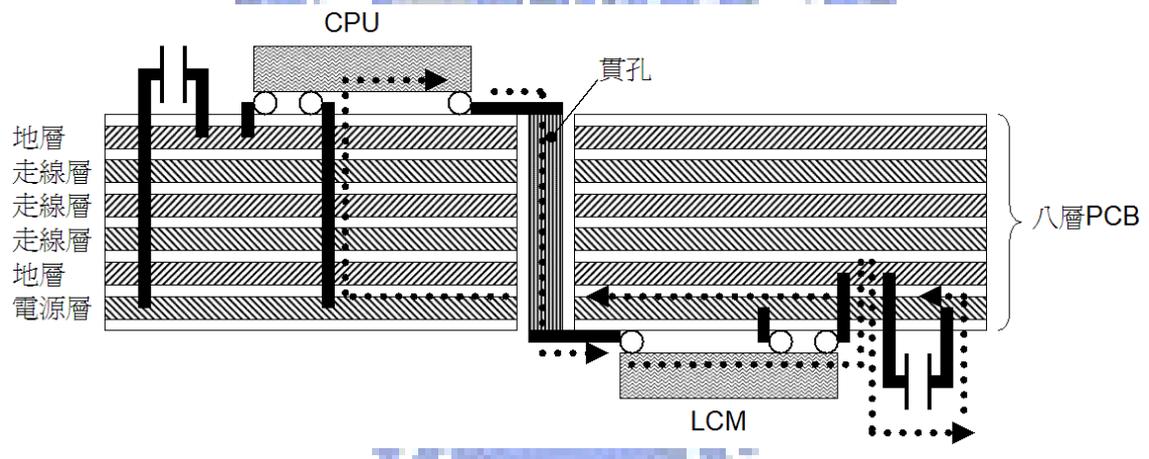


圖 2.4 39MHz 信號路徑電流回流路徑一

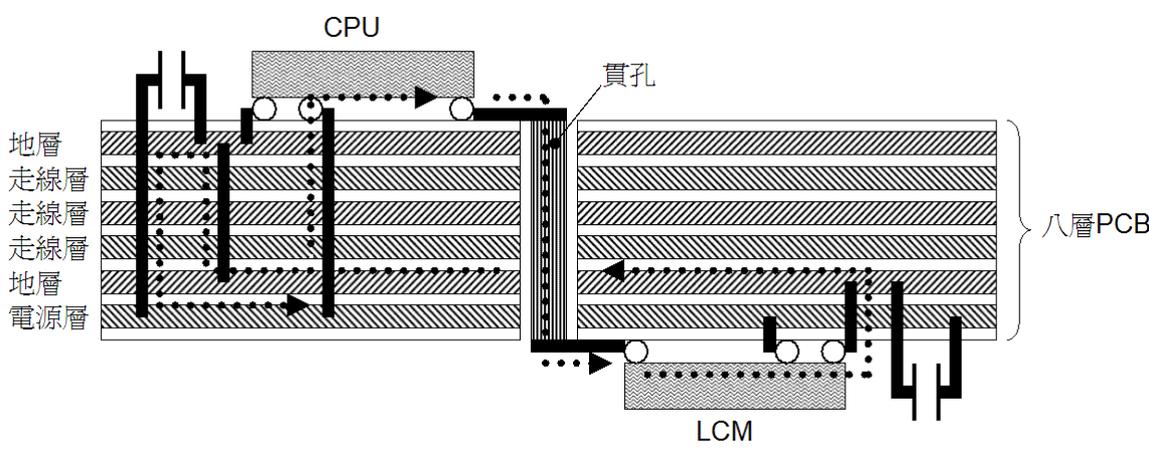


圖 2.5 39MHz 信號路徑電流回流路徑二

再以數位示波器觀察 39MHz 的時域訊號如圖 2.6 所示，由圖可見信號呈現強烈的 RING 現象，並不是良好的方波。圖 2.7 是 39MHz 通過貫孔後的波形，可看到通過貫孔有影響到 39MHz 訊號。開動數位示波器的 FFT 功能，觀察 39MHz 的頻域訊號如圖 2.8 所示，由圖可見信號呈現除了有奇次諧波外，並有偶次諧波存在。圖 2.9 則是通過貫孔後的頻域強度，可看到和圖 2.8 有些許不同。進一步，將圖 2.8 的值除以圖 2.9 的值，得到圖 2.10，代表通過貫孔前後的能量差異，可以看到在某些諧波有明顯的不同。

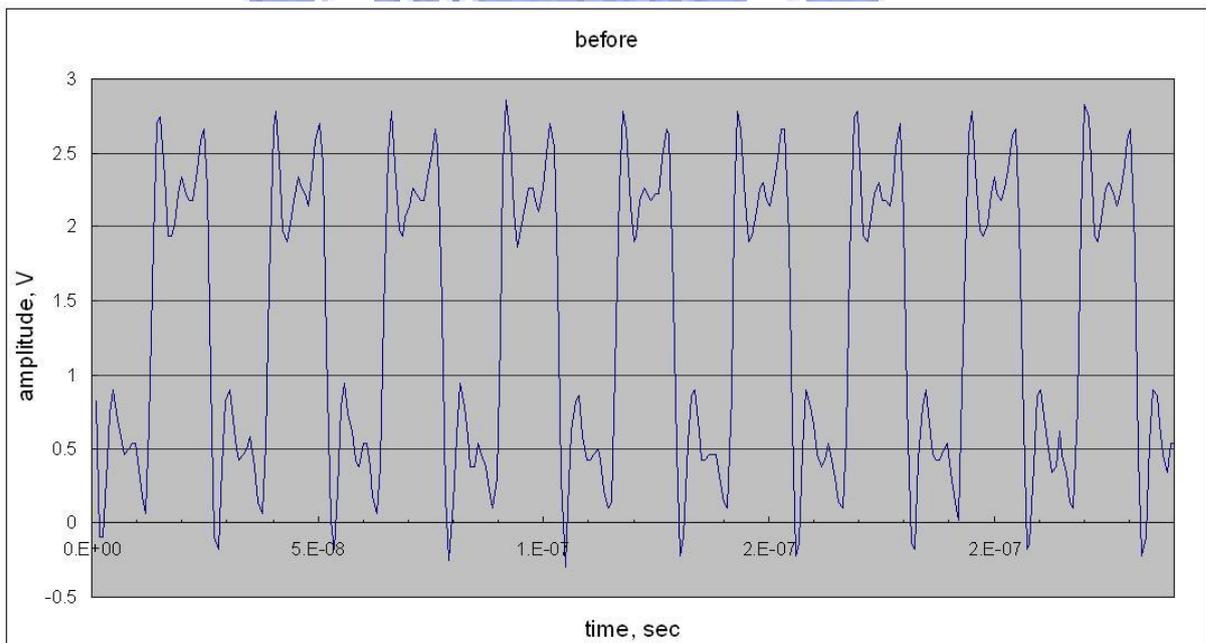


圖 2.6 39MHz 通過貫孔前訊號波形

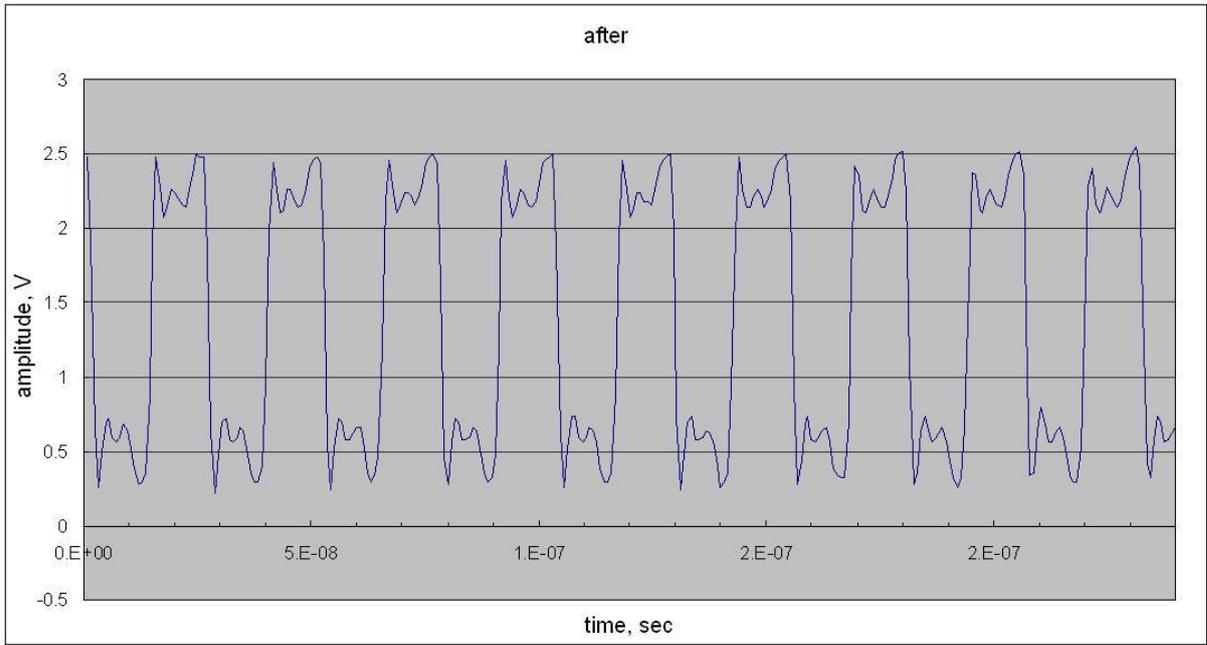


圖 2.7 39MHz 通過貫孔後訊號波形

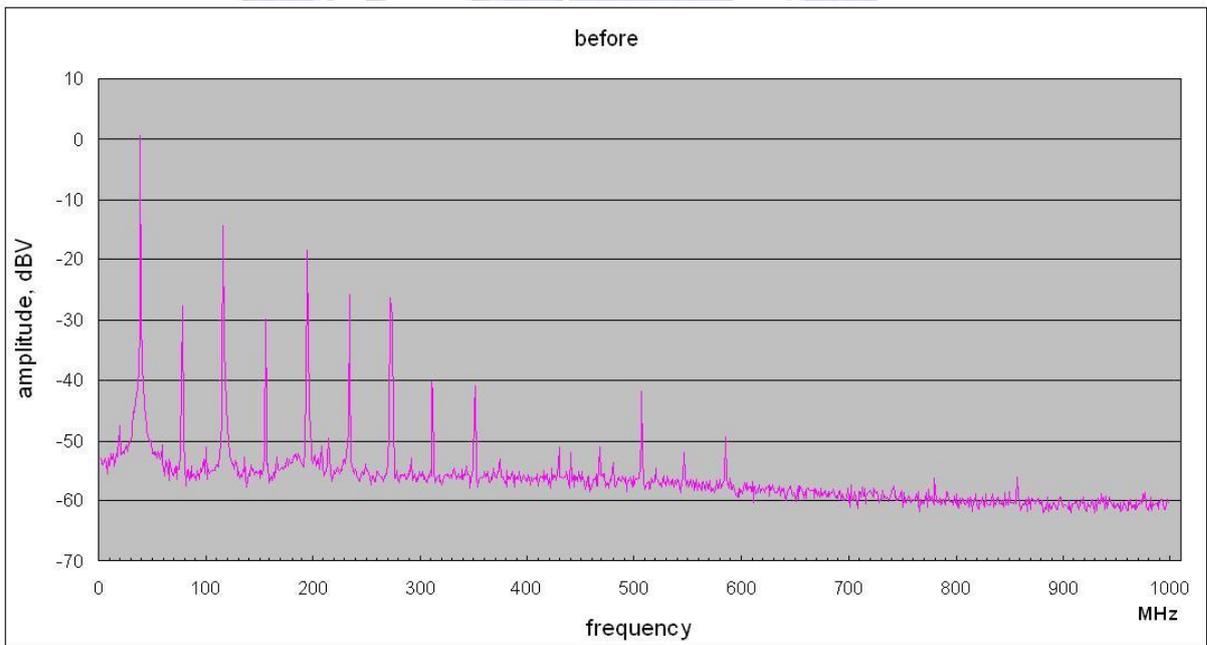


圖 2.8 39MHz 通過貫孔前訊號 FFT 波形

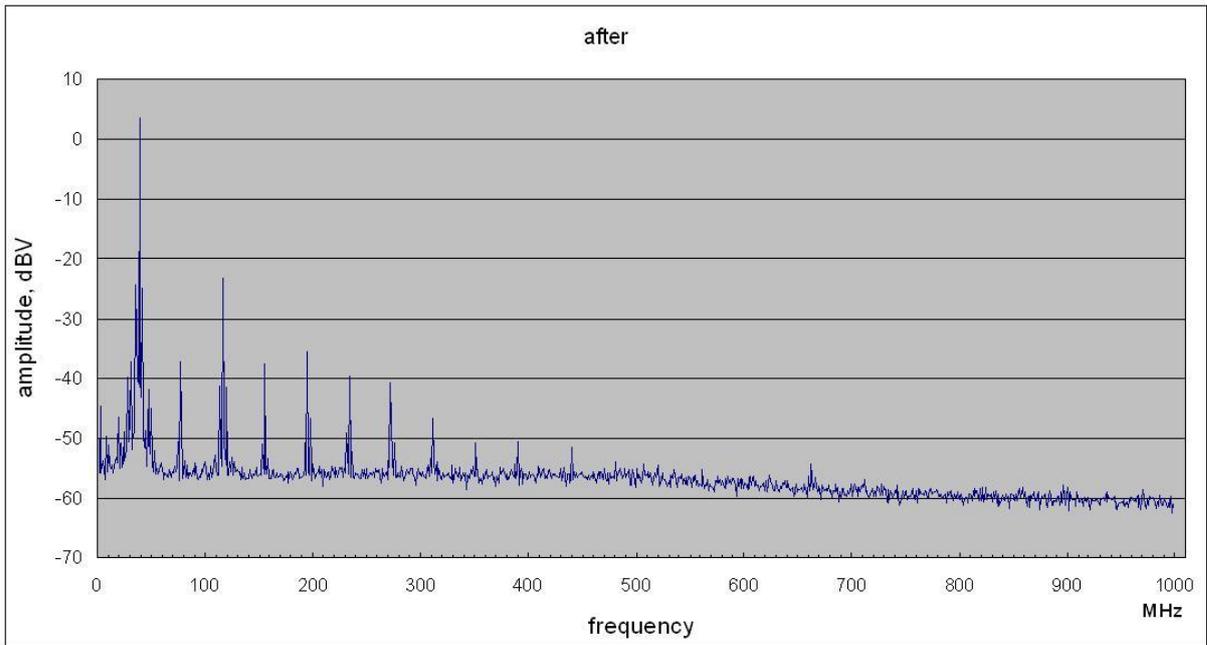


圖 2.9 39MHz 通過貫孔後訊號 FFT 波形

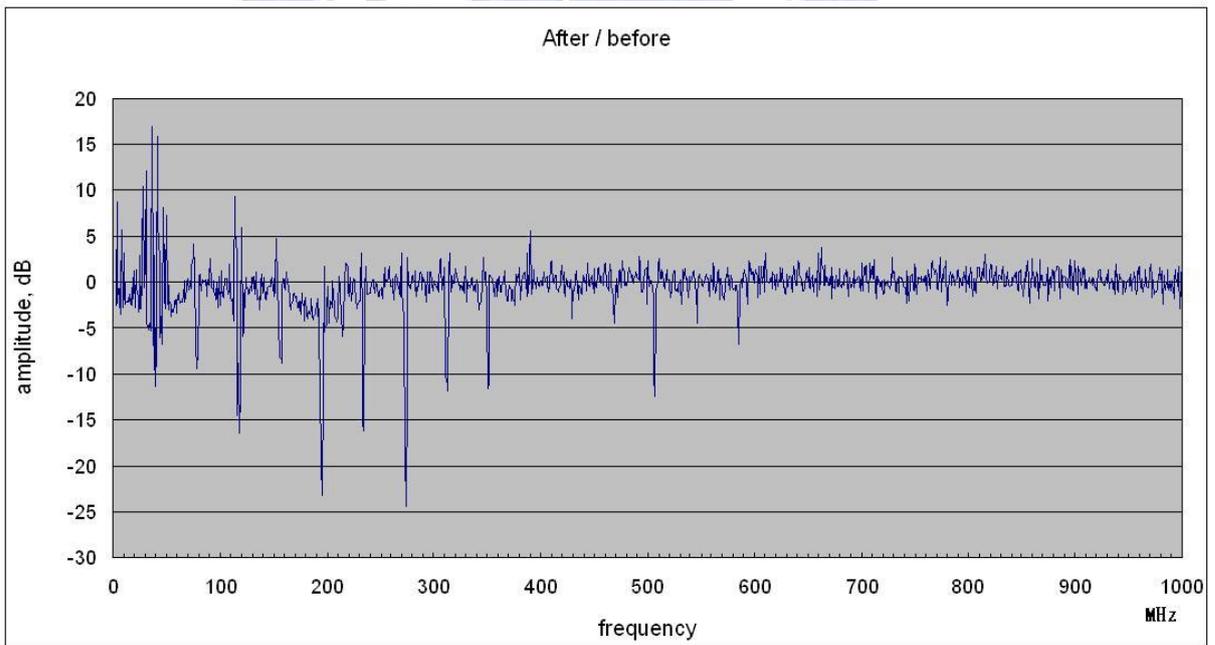


圖 2.10 39MHz 通過貫孔前/通過後訊號 FFT 波形

2.2.3 78MHz 系列諧波

CPU 產生的 78MHz 信號路徑的電路簡圖如下：

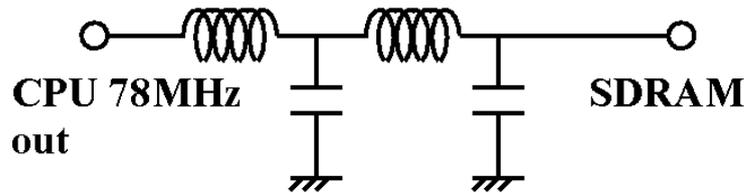


圖 2.11 78MHz 信號路徑

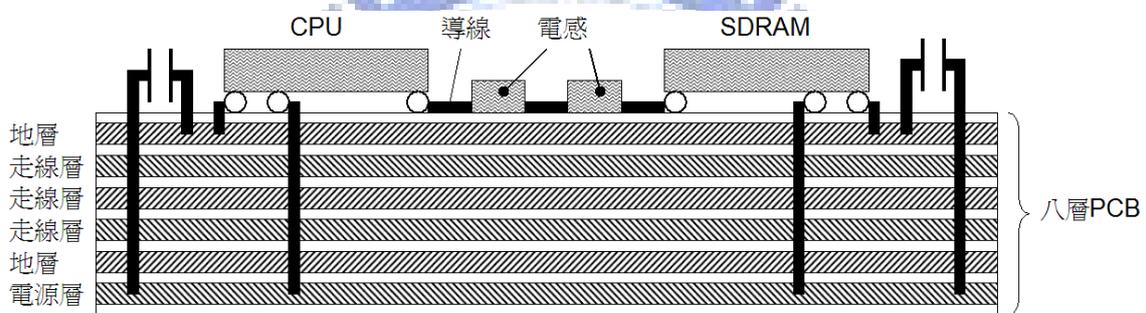


圖 2.12 78MHz 信號路徑

CPU 產生的 78MHz 信號，通過兩個 LC 的串接電路，然後進入 SDRAM，整個導線都在 PCB 第一層走線。LC 電路的作用是根据原廠提供的建議，用以改正 CPU 產生的 78MHz 的波形。

78MHz 的高頻電流回流路徑上有許多貫孔和去耦合電容，因此也會有無數可能的回流路徑。其中兩個可能路徑如圖 2.13 和圖 2.14 所示。圖 2.13 是高頻電流流出 CPU 後，通過導線、電感、

導線、電感、導線，進入 SDRAM，流出 SDRAM 進入地層(參考層)，再流過地層(參考層)到 CPU 的去耦合電容，進入電源層，流入 CPU 的電源腳，回到 CPU 訊號輸出腳，完成整個迴路。圖 2.14 則是高頻電流流出 CPU 後，通過導線、電感、導線、電感、導線，進入 SDRAM，流出 SDRAM 進入地層(參考層)，再流過地層(參考層)到 SDRAM 的去耦合電容，進入電源層，流過電源層，流入 CPU 的電源腳，回到 CPU 訊號輸出腳，完成整個迴路。

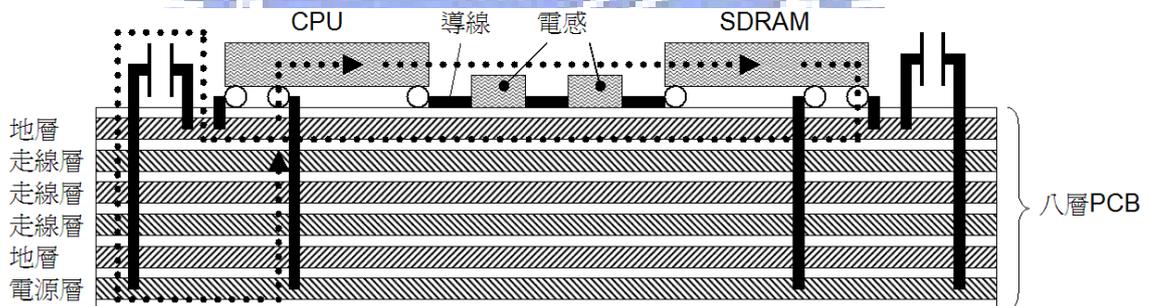


圖 2.13 78MHz 信號路徑電流回流路徑一

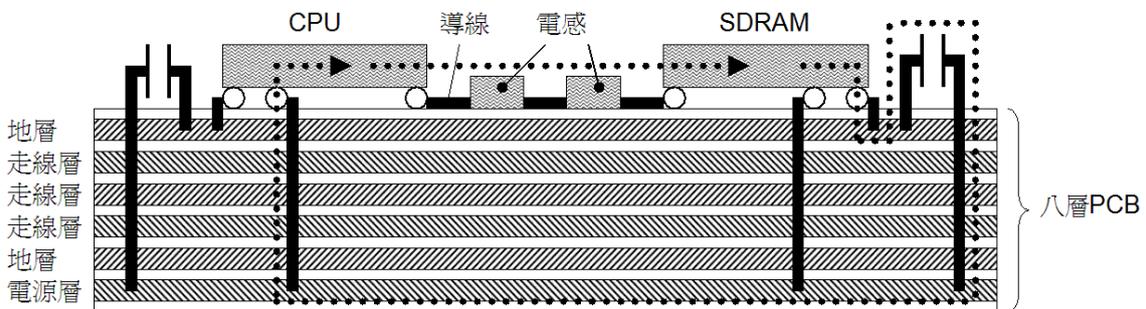


圖 2.14 78MHz 信號路徑電流回流路徑二

以數位示波器觀察 78MHz 的時域訊號如圖 2.15 所示，由圖可見信號也呈現強烈的 RING 現象，並不是良好的方波。開動數位示波器的 FFT 功能，觀察 78MHz 的頻域訊號如圖 2.16 所示，由圖可見信號呈現除了有奇次諧波外，並有偶次諧波存在。

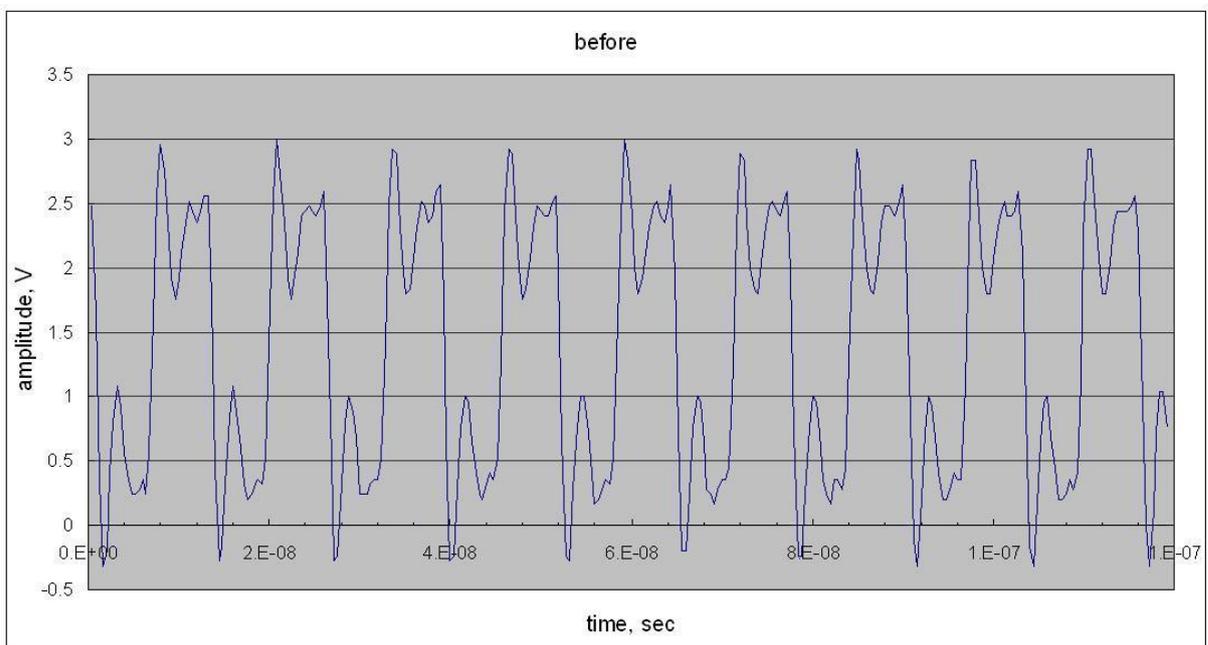


圖 2.15 78MHz 訊號波形

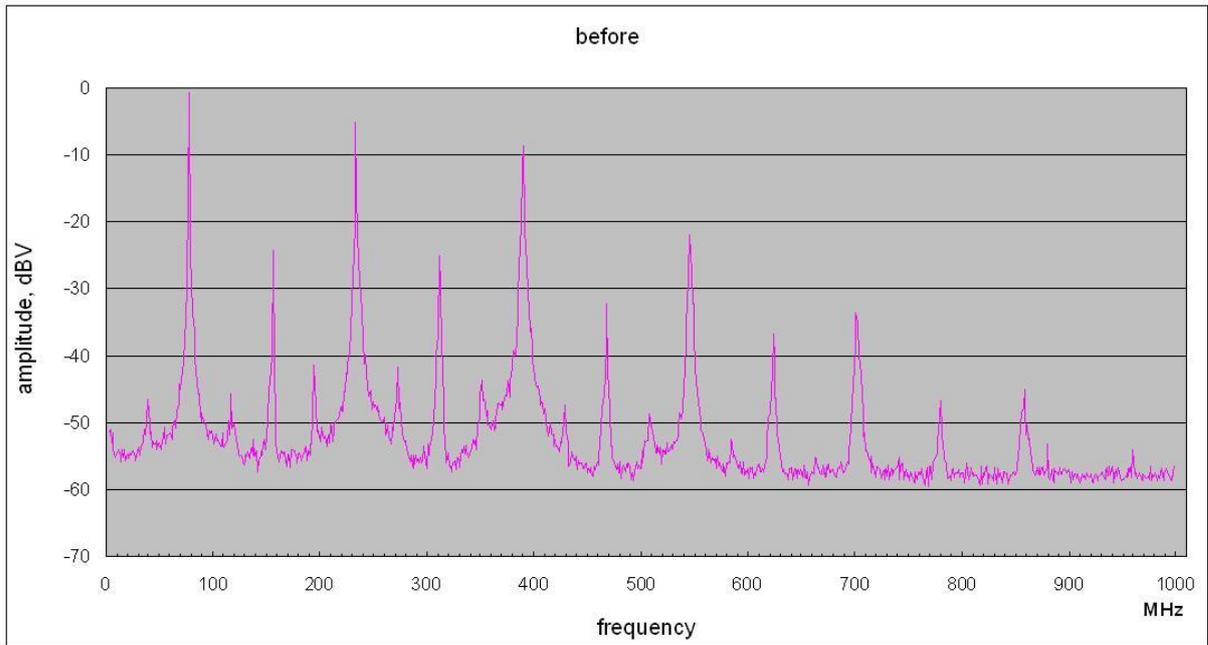


圖 2.16 78MHz 訊號 FFT 波形

2.2.4 96MHz 系列諧波

而由前面的 CPU 資料可以看到 96MHz 的 CLOCK 是 CPU 內部電路使用，並沒有輸出到 CPU 外，因此可能是由 CPU 內部電路直接產生 EMI 輻射。

2.3 對策

由以上分析結果，採取對策如下：

2.3.1 96MHz 諧波對策

因為 96MHz 的頻率是在 CPU 內部使用，並未有實體腳位輸出，因此將採用兩種方式：

1. absorber(電磁吸收材質)，直接貼附在 CPU 表面。
2. 銅箔遮蔽方式，覆蓋 CPU 表面，試圖來遮蔽電磁輻射。

CPU 的外觀尺寸為 25mmx25mm，因此 absorber 將裁切成 30mmx30mm 的大小。銅箔遮蔽則測試三種尺寸：12mmx12mm、30mmx30mm、環繞整個 PCB 並且接地層(參考層)(如圖 2.17)。

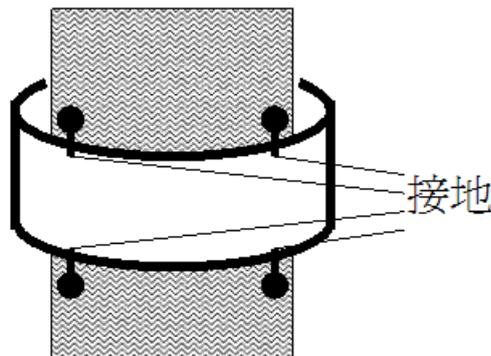


圖 2.17 銅箔環繞

2.3.2 78MHz 諧波對策

由圖 2.15 看到時域波形有 RING 現象，這可能是因為導線阻

抗不匹配的緣故。故改將原 LC 電路改採用 RC 來衰減高頻諧波，並維持信號強度在 SDRAM 可運作範圍，如圖 2.18 所示。

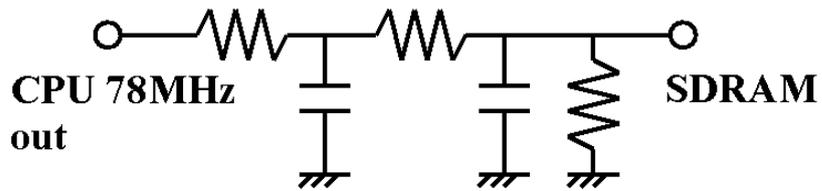


圖 2.18 78MHz 採用 RC 衰減

2.3.3 39MHz 諧波對策

因為受時間限制，故 39MHz 諧波對策沒有實行。



第三章 實驗結果與討論

3.1 78MHz 諧波

以示波器觀察實施對策後的 78MHz 訊號如圖 3.1。和前面圖 2.15 實施對策前的 78MHz 訊號比較，可看到波形的 RING 現象變小。開動示波器的 FFT 功能觀察訊號的頻域強度，如圖 3.2，和前面圖 2.16 實施對策前的 78MHz 訊號比較，可看到諧波的寬度變瘦，峰值也有變小。將圖 2.16 和圖 3.2 重疊得到圖 3.3，更可以看到明顯的差異。

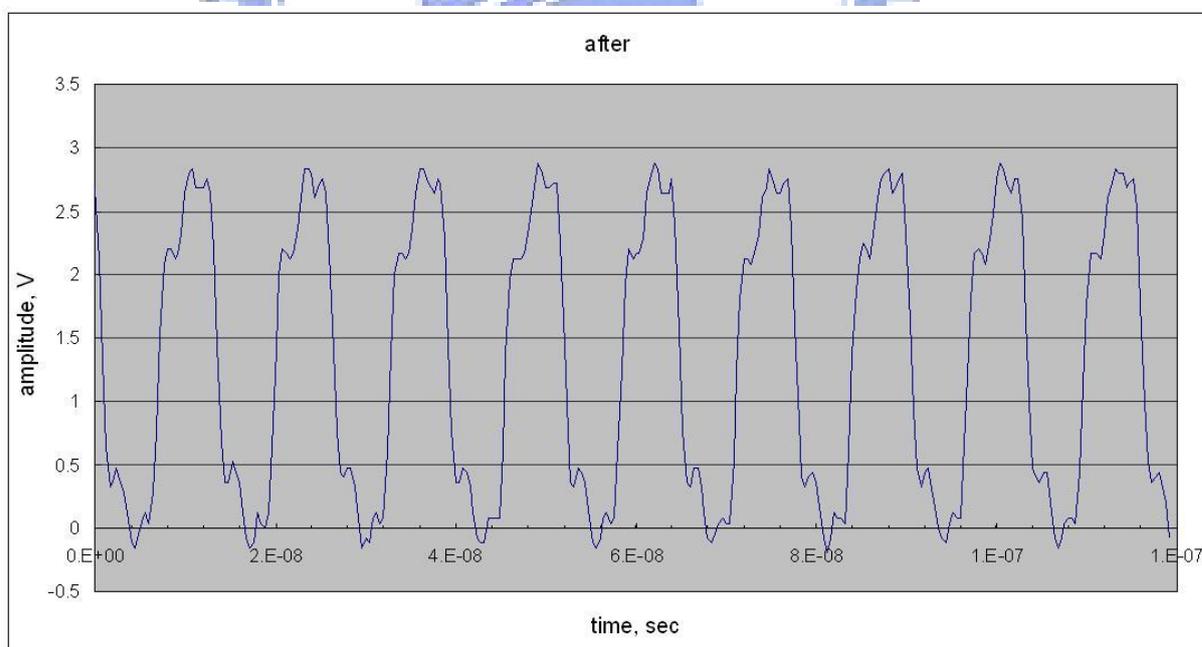


圖 3.1 78MHz 對策實施後訊號波形

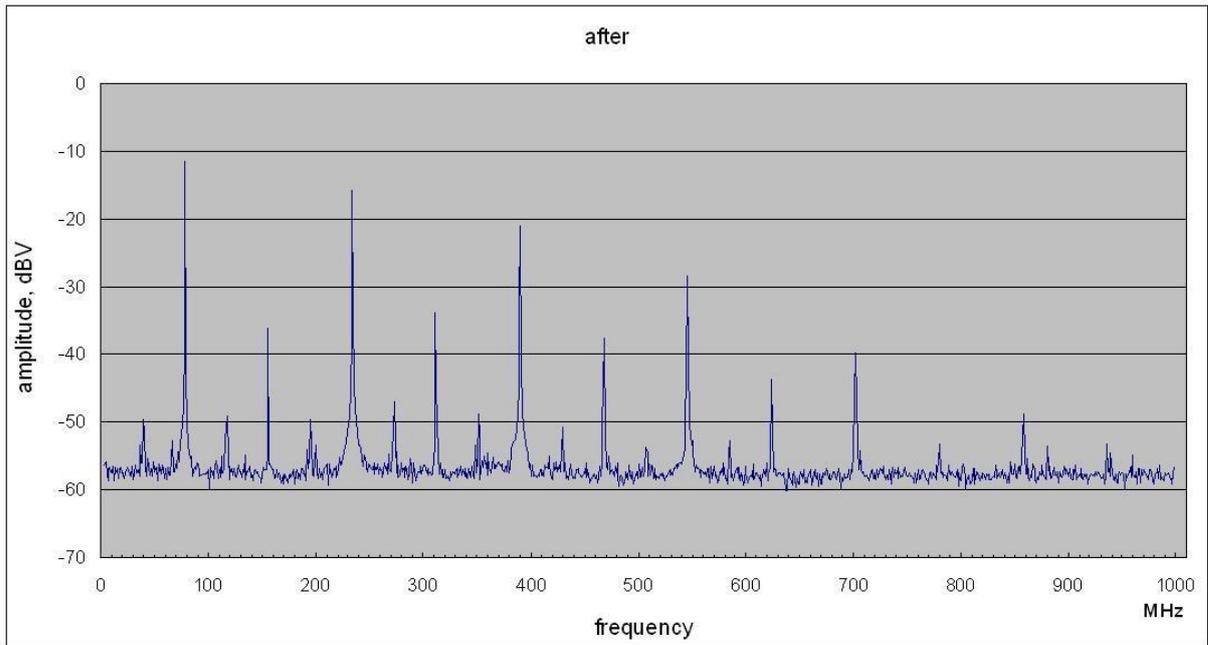


圖 3.2 78MHz 對策實施後 FFT 波形

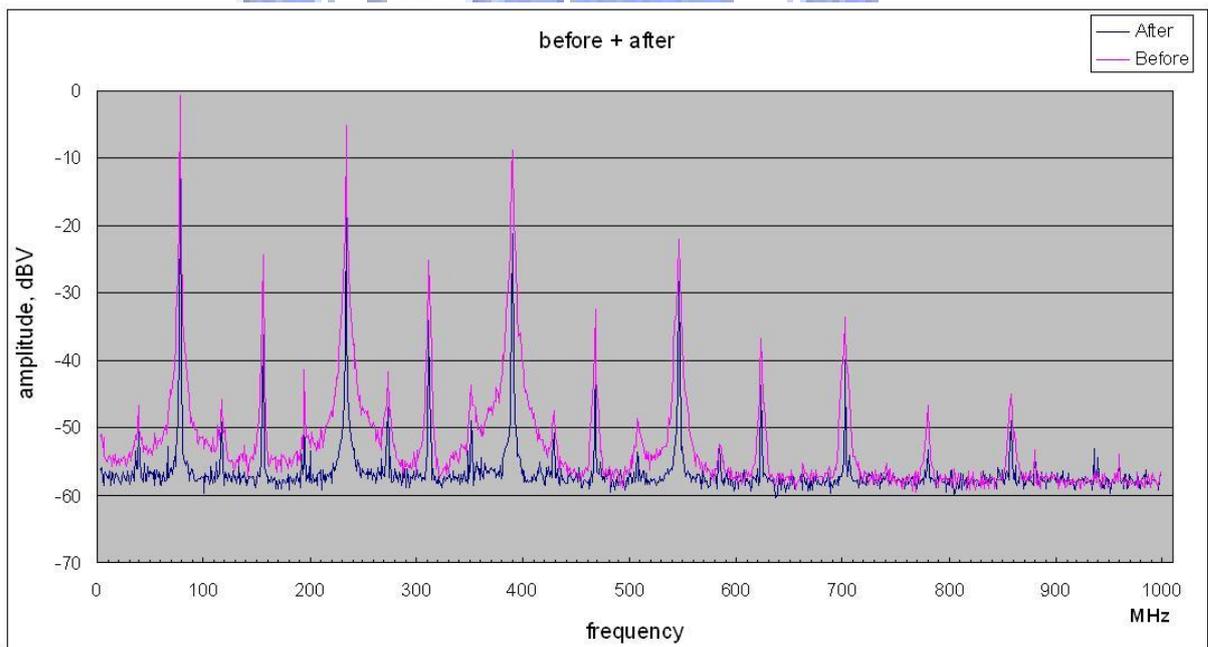


圖 3.3 78MHz 對策實施前後訊號 FFT 波形比對

電路板經過實驗室掃描 EMI，得到圖 3.4 和圖 3.5 電磁輻射資料，再和圖 2.1、圖 2.2 比較，在 232MHz、312MHz、390MHz、468MHz、545MHz、623.4MHz、702MHz、和 938.4MHz，都看到峰值變小，可

見實行的對策是有效的。

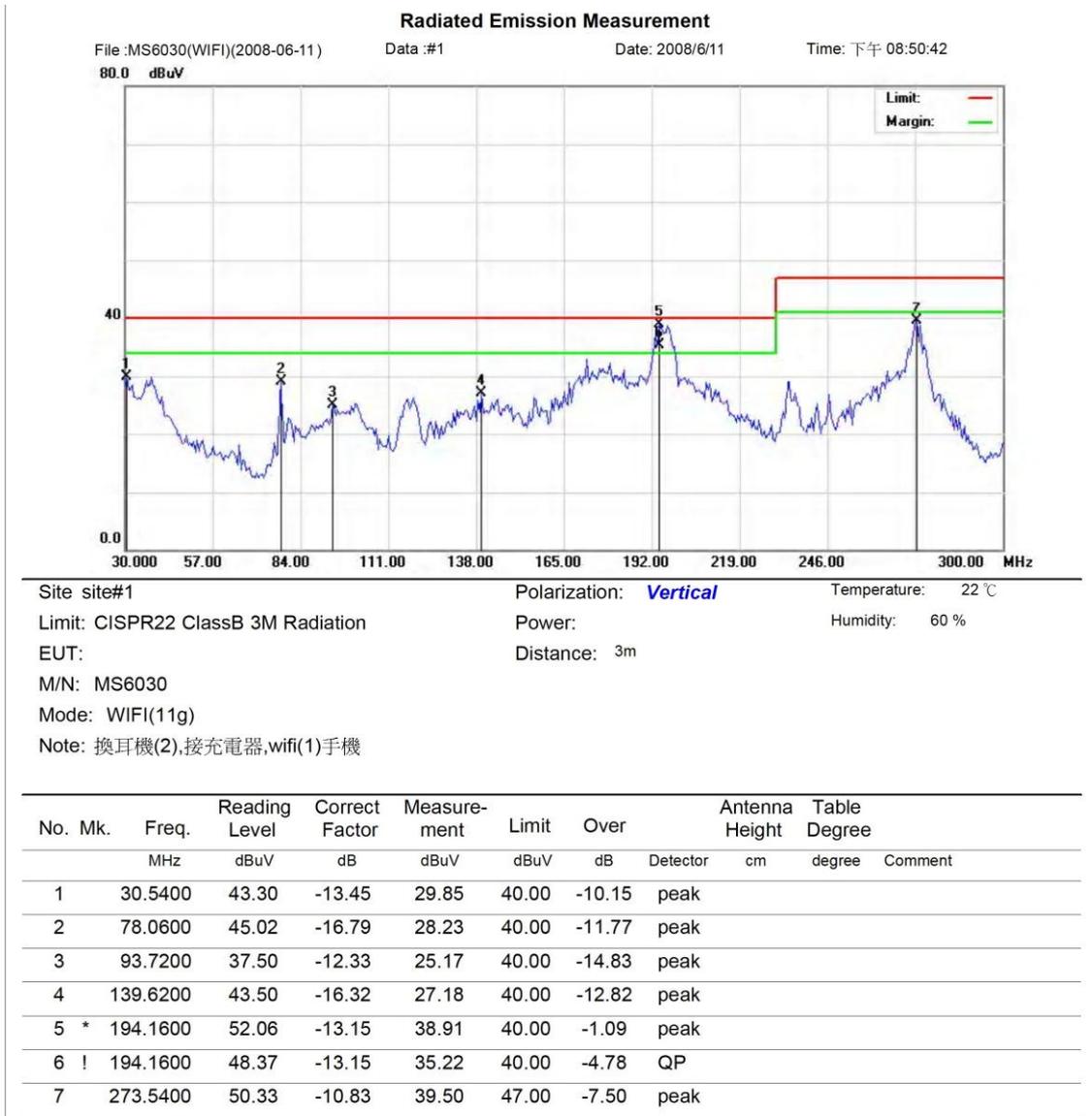


圖 3.4 使用 78MHz 諧波改善對策後 EMI 掃描資料 30~300MHz

Radiated Emission Measurement

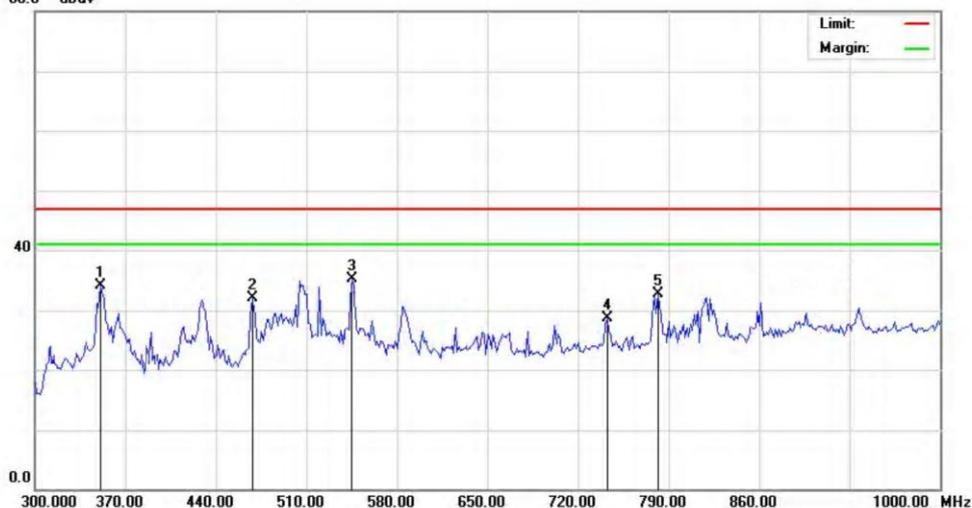
File :MS6030(WIFI)(2008-06-11)

Data :#2

Date: 2008/6/11

Time: 下午 08:54:59

80.0 dBuV



Site site#1	Polarization: Vertical	Temperature: 22 °C
Limit: CISPR22 ClassB 3M Radiation	Power:	Humidity: 60 %
EUT:	Distance: 3m	
M/N: MS6030		
Mode: WIFI(11g)		
Note: 換耳機(2),接充電器,wifi(1)手機		

No.	Mk.	Freq.	Reading Level	Correct Factor	Measurement	Limit	Over	Antenna Height	Table Degree	
		MHz	dBuV	dB	dBuV	dBuV	dB	cm	degree	Comment
1		350.4000	43.00	-8.94	34.06	47.00	-12.94	peak		
2		468.0000	36.42	-4.56	31.86	47.00	-15.14	peak		
3	*	545.0000	37.94	-2.38	35.56	47.00	-11.44	peak		
4		742.4000	32.00	-3.20	28.80	47.00	-18.20	peak		
5		781.6000	36.20	-4.56	31.64	47.00	-15.36	peak		

圖 3.5 使用 78MHz 諧波改善對策後 EMI 掃描資料 300~1000MHz

3.2 96MHz 諧波

3.2.1 使用 absorber

如圖 3.6 和圖 3.7 所示，和實施對策之前圖 3.4 和圖 3.5 比較，可看到在 195MHz 的峰值已大幅下降到法規容許範圍，由 38.91 dBuv 下降到大約是 31dBuv，改善了約 7.9dBuv。可見這 96MHz 諧波部份是由 CPU 幅射出來的，而且 absorber 可以有效的減低電磁輻射強度。



Radiated Emission Measurement

File :MS6030(WIFI)(2008-06-20) Data :#5 Date: 2008/6/20 Time: 下午 06:07:16



Site site #1 Polarization: **Vertical** Temperature: 22 °C
 Limit: FCC Class B 3M Radiation Power: Humidity: 60 %
 EUT: Distance: 3m
 M/N: MS6030
 Mode: WIFI(11g)
 Note: 耳機(2),接充電器,wifi(1)手機

No.	Mk.	Freq. MHz	Reading Level dBuV	Correct Factor dB	Measure- ment dBuV	Limit dBuV	Over dB	Detector	Antenna Height cm	Table Degree	Comment
1		46.7400	37.68	-11.94	25.74	40.00	-14.26	peak			
2		79.6800	41.06	-16.59	24.47	40.00	-15.53	peak			
3		86.7000	31.75	-14.20	17.55	40.00	-22.45	peak			
4		118.0200	36.00	-13.86	22.14	43.50	-21.36	peak			
5	*	176.3400	50.41	-14.55	35.86	43.50	-7.64	peak			
6		273.0000	44.56	-10.85	33.71	46.00	-12.29	peak			

圖 3.6 使用 ABSORBER #1 改善對策後 EMI 掃描資料 30~300MHz

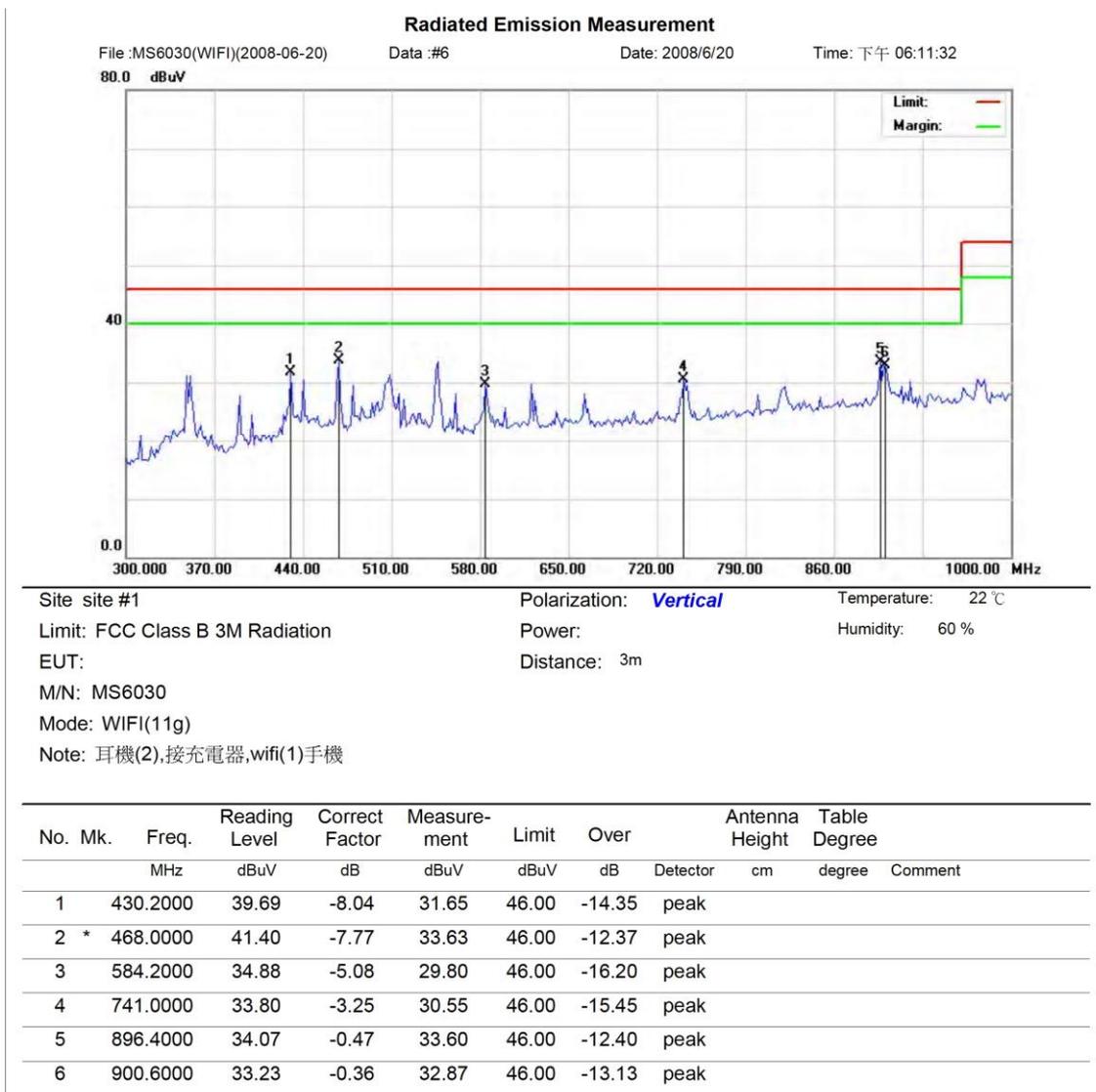


圖 3.7 使用 ABSORBER #1 改善對策後 EMI 掃描資料 300~1000MHz

3.2.2 使用銅箔遮蔽

使用 14mmx14mm 銅箔貼附在 CPU 上，效果如圖 3.8 和圖 3.9 所示，和實施對策之前圖 3.4 和圖 3.5 比較，可看到在 195MHz 的峰值並無明顯改善，由 38.91dBuV 變為 39.3dBuV，變動不大，

因此是無效的。使用 30mmx30mm 銅箔貼附在 CPU 上，效果如圖 3.10 和圖 3.11 所示，和實施對策之前圖 3.4 和圖 3.5 比較，可看到在 195MHz 的峰值並無明顯改善，由 38.91dBuv 變為 42.2dBuv，因此是一樣是無效的。使用 30mm 寬銅箔環繞整個 PCB 並且接地層(參考層)，效果如圖 3.12 和圖 3.13 所示，和實施對策之前圖 3.4 和圖 3.5 比較，可看到在 195MHz 的峰值有改善，由 38.91dBuv 變為 36.1dBuv，稍微降低 2.8dBuv，有一些效果。

由以上結果可知：

1. Absorber 效果比銅箔遮蔽好。
2. 銅箔遮蔽的方式，銅箔面積大再加上接地才會有效果。

Radiated Emission Measurement

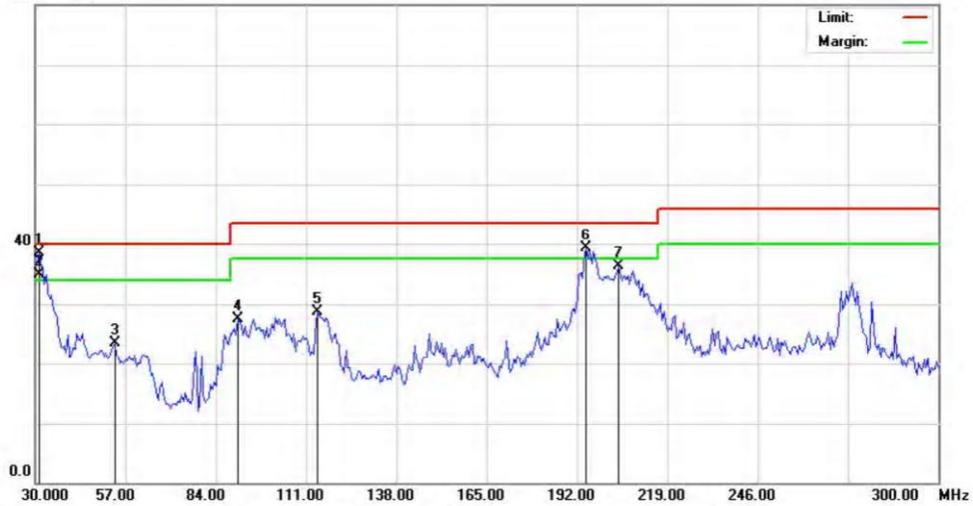
File :MS6030(WIFI)(2008-06-20)

Data :#1

Date: 2008/6/20

Time: 上午 09:32:14

80.0 dBuV



Site site #1

Polarization: **Vertical**

Temperature: 22 °C

Limit: FCC Class B 3M Radiation

Power:

Humidity: 60 %

EUT:

Distance: 3m

M/N: MS6030

Mode: WIFI(11g)

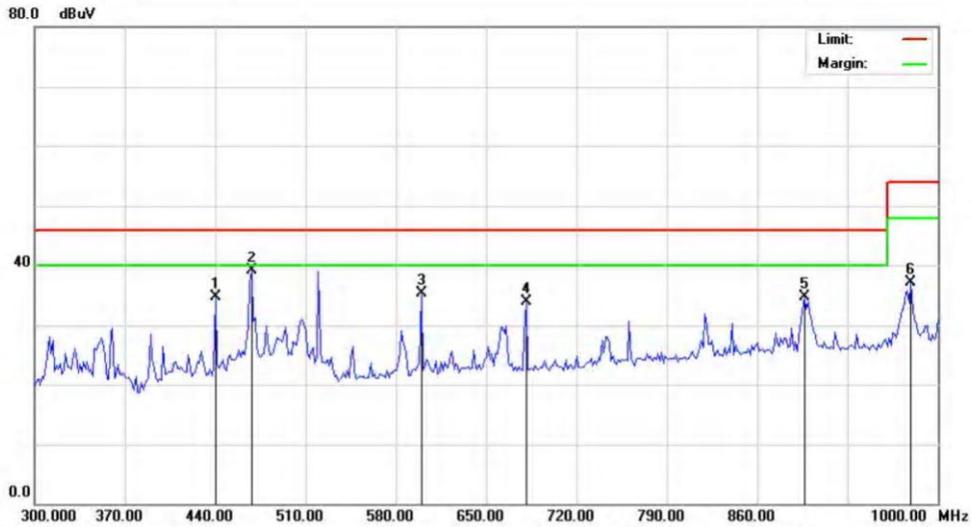
Note: 耳機(2),接充電器,wifi(1)手機

No.	Mk.	Freq. MHz	Reading Level dBuV	Correct Factor dB	Measure- ment dBuV	Limit dBuV	Over dB	Antenna Height cm	Table Degree degree	Comment
1	*	31.0799	51.99	-13.43	38.56	40.00	-1.44	peak		
2	!	31.0800	48.25	-13.43	34.82	40.00	-5.18	QP		
3		53.7600	35.79	-12.19	23.60	40.00	-16.40	peak		
4		90.4800	40.53	-13.07	27.46	43.50	-16.04	peak		
5		114.2400	41.87	-13.22	28.65	43.50	-14.85	peak		
6	!	194.7000	52.42	-13.12	39.30	43.50	-4.20	peak		
7		204.4200	49.40	-13.07	36.33	43.50	-7.17	peak		

圖 3.8 使用 CPU shielding 14mm 改善對策後 30~300MHz

Radiated Emission Measurement

File :MS6030(WIFI)(2008-06-20) Data :#2 Date: 2008/6/20 Time: 上午 09:36:29



Site site #1 Polarization: **Vertical** Temperature: 22 °C
 Limit: FCC Class B 3M Radiation Power: Humidity: 60 %
 EUT: Distance: 3m
 M/N: MS6030
 Mode: WIFI(11g)
 Note: 耳機(2),接充電器,wifi(1)手機

No.	Mk.	Freq.	Reading Level	Correct Factor	Measurement	Limit	Over	Antenna Height	Table Degree	
		MHz	dBuV	dB	dBuV	dBuV	dB	cm	degree	Comment
1		440.0000	42.76	-8.00	34.76	46.00	-11.24	peak		
2	*	468.0000	46.84	-7.77	39.07	46.00	-6.93	peak		
3		599.6000	40.26	-4.91	35.35	46.00	-10.65	peak		
4		680.8000	38.06	-4.10	33.96	46.00	-12.04	peak		
5		896.4000	35.15	-0.47	34.68	46.00	-11.32	peak		
6		979.0000	36.53	0.48	37.01	54.00	-16.99	peak		

圖 3.9 使用 CPU shielding 14mm 改善對策後 300~1000MHz

Radiated Emission Measurement

File :MS6030(WIFI)(2008-06-20)

Data :#5

Date: 2008/6/20

Time: 上午 10:10:56

80.0 dBuV



Site site #1

Polarization: **Vertical**

Temperature: 22 °C

Limit: FCC Class B 3M Radiation

Power:

Humidity: 60 %

EUT:

Distance: 3m

M/N: MS6030

Mode: WIFI(11g)

Note: 耳機(2),接充電器,wifi(1)手機

No.	Mk.	Freq. MHz	Reading Level dBuV	Correct Factor dB	Measure- ment dBuV	Limit dBuV	Over dB	Antenna Height cm	Table Degree	Detector	Comment
1		35.9400	32.85	-12.95	19.90	40.00	-20.10			peak	
2		52.1400	27.76	-12.18	15.58	40.00	-24.42			peak	
3		97.5000	38.84	-11.90	26.94	43.50	-16.56			peak	
4		116.9400	42.38	-13.68	28.70	43.50	-14.80			peak	
5	*	195.7800	55.33	-13.10	42.23	43.50	-1.27			peak	
6	!	200.1000	50.79	-13.18	37.61	43.50	-5.89			peak	

圖 3.10 使用 CPU shielding 30mm 改善對策後 30~300MHz

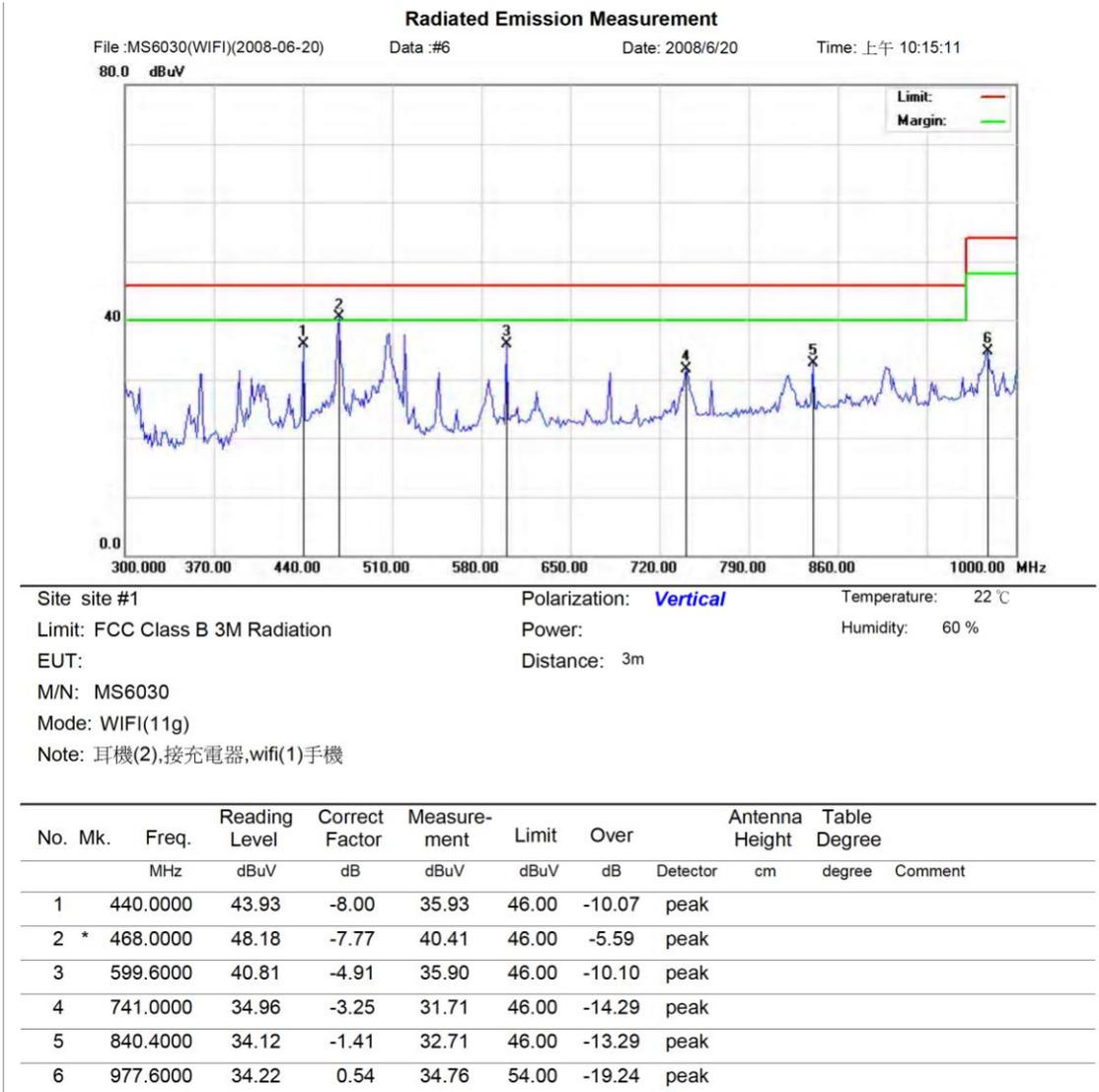


圖 3.11 使用 CPU shielding 30mm 改善對策後 300~1000MHz

第四章 結論

硬體工程師在產品開發，和進行產品的印刷電路板(PCB)佈線時，如果能在設計階段就加入電磁輻射防制手法，注意地彈雜訊(Ground Bounce)、同步切換雜訊(SSN)、高頻暫態電流路徑和非理想電流迴路的影響，預留去耦合電容的使用，就可以減少因為電磁輻射超出規範，而重新試作所浪費的費用和時間。萬一發生問題時，也比較容易找出解決方案。

電磁輻射防制手法兩個重點是：高頻暫態電流路徑的阻抗要越小越好，和利用去耦合電容縮短暫態電流路徑。去耦合電容可以採用並聯的低頻、中頻、和高頻電容組合，來達到降低費用並且提供寬頻帶的低阻抗電流回路。

而在產品試作時，利用觀察訊號時域波形和 FFT 頻域強度，可以快速找出可能電磁輻射源，再對此實施對策。可用對策包含放大電源走線線寬、匹配訊號線阻抗、選用合適的去耦合電容、採用 LC 或 RC 電路減低訊號能量。如果是由 IC 本身放射出來的電磁輻射，則可利用軟性吸波材(FAM)或是銅箔遮蔽來解決。

參 考 文 獻

1. S H. Hall, G. W. Hall and J. A. McCall, High-Speed Digital System Design, A Handbook of Interconnect Theory and Design Practices. 2.
2. Howard W. Johnson and Martin Graham, High-Speed Digital Design, A Handbook of Block Magic. Prentice Hall, 1993.
3. 陳怡龍，”分析 4/6 層印刷電路板貫孔結構的電感特性”國立交通大學電信工程系碩士論文 2005。
4. 劉家益，”高速 IC 電源導線佈線和電容設計方法對板級 電磁干擾影響探討”國立交通大學電信工程系碩士論文 2006。
5. A Wireless VoIP Processor Implementing the 802.11 Standard AT76C902 - Preliminary, Atmel.
6. 802.11a/b/g Baseband Controller AT76C517, Atmel.
7. 軟性電波吸收材(FAM)，冠磁企業股份有限公司。