

國立交通大學

電機學院 電信學程

碩士論文

60GHz 多晶片模組系統規劃與構裝技術之開發

Development of a 60GHz Multi-Chip Module System
Planning & Fabrication Technology



研究生：張資鑫 (Tzu-Hsin Chang)

指導教授：鍾世忠 博士 (Dr. Shyh-Jong Chung)

中華民國九十九年三月

60GHz 多晶片模組系統規劃與構裝技術之開發

Development of a 60GHz Multi-Chip Module System
Planning & Fabrication Technology

研究生：張資鑫

Student : Tzu-Hsin Chang

指導教授：鍾世忠 博士

Advisor : Dr. Shyh-Jong Chung



Submitted to College of Electrical and Computer Engineering
National Chiao Tung University
in partial Fulfillment of the Requirements
for the Degree of
Master of Science
in
Communication Engineering
March 2010

Hsinchu, Taiwan, Republic of China

中華民國九十九年三月

60GHz 多晶片模組系統規劃與構裝技術之開發

研究生：張資鑫

指導教授：鍾世忠 博士

國立交通大學電機學院電信學程碩士班

中文摘要



本篇論文描述開發一個 60GHz 頻段毫米波多晶片傳送接收模組，此模組應用於短距離、高頻寬家庭網路應用、IEEE802.15.3C、ECMA-387 等。

此篇論文中分別對毫米波多晶片模組的構裝技術進行探討，包含了共熔合金構裝技術、銀膠構裝技術及覆晶構裝技術。在此無線傳輸模組共包含了三大架構：發射器模組、接收器模組及空腔共振抑制設計-電磁能隙架構。整個完成後的 60GHz 毫米波射頻收發機模組的尺寸大小為 39.6 mm × 30.8 mm × 9 mm。

Development of a 60GHz Multi-Chip Module System Planning & Fabrication Technology

Student: Tzu-Hsin Chang

Adivisor: Dr. Shyh-Jong Chung

Degree Program of Electrical and Computer Engineering
National Chiao Tung University

ABSTRACT

This thesis proposes is a development of 60GHz millimeter-wave multi-chip RF front-end module, which is to be used for Wireless High Definition, IEEE802.15.3C, ECMA-387 etc.

This thesis introduced millimeter-wave multi-chip module fabrication technology, which include eutectic die attach technology、epoxy die attach technology and flip-chip attach technology. This transceiver module comprises a transmitter module, a receiver module and electromagnetic band gap structure. The overall size of the 60GHz multi-chip module is only 39.6 mm × 30.8 mm × 9 mm.

誌 謝

不經一番寒徹骨，焉得梅花撲鼻香。首先，感謝我的指導老師 鍾世忠 博士，謝謝老師這四年來細心教誨，不僅讓我在學識上有所增進，還有研究態度與執著，更是讓我受益良多。

另外感謝公司老闆 士培的體諒與包容，還有家鈺老闆、甲文老闆、蕙娜、志銘、珀彥、清文、鴻兒、清樺、家銘、志鴻、秀娥、文龍、大山、敏雄等人，感謝你們在我最需要的時候能夠扶持我一把，你們真是我生命中的貴人，沒有你們的幫助我沒有辦法走到現在。

同時也感學校丫信學長、佩華及 60GHz 研究小組小池、立翰、景德、鴻儒等夥伴們的幫忙，讓我在碩班留下美好的回憶。

最後，要感謝在天上保佑我的父親，我親愛的母親、弟弟、姐姐及姐夫，還有我最愛的老婆 蓓蓉，謝謝你們能體諒與包容我因工作和學業而無暇照顧家庭，並在我忙到很累時給予鼓勵與支持！



張資鑫 2010/MAR. 於交通大學

目 錄

	頁次
中文摘要.....	i
英文摘要.....	ii
誌謝.....	iii
目錄.....	iv
圖目錄.....	vi
表目錄.....	ix
第一章 緒論.....	1
1.1 研究背景簡介.....	1
1.2 60GHz 多晶片模組簡介.....	2
1.3 章節介紹.....	4
第二章 60GHz 毫米波收發器構裝製程與系統規劃.....	5
2.1 60GHz 毫米波收發器系統規劃.....	5
2.2 60GHz 毫米波收發器多晶片模組方塊圖.....	7
2.3 毫米波收發器銀膠製程技術.....	9
2.3.1 銀膠製程構裝技術.....	9
2.3.2 銀膠製程技術電路規劃.....	10
2.3.2 銀膠製程電路構裝結果.....	11
2.4 毫米波收發器合金共熔製程技術.....	12
2.4.1 合金共熔製程電路規劃.....	14
2.4.2 合金共熔製程電路構裝結果.....	15
2.5 毫米波收發器覆晶製程技術.....	16
2.5.1 覆晶製程電路規劃.....	20

2.5.2 覆晶製程電路構裝結果.....	21
2.6 構裝金屬載具基座設計.....	22
2.6.1 銀膠構裝製程金屬機構基座設計.....	22
2.6.2 合金共熔構裝製程金屬機構基座設計.....	23
2.6.3 覆晶構裝製程金屬機構基座設計.....	25
2.7 關鍵製程技術選擇與應用.....	25
2.7.1 銀膠構裝製程技術優缺點.....	26
2.7.2 合金共熔構裝製程技術優缺點.....	26
2.7.3 覆晶構裝製程技術優缺點.....	27
2.7.4 構裝製程技術總結.....	27
第三章 60GHz 毫米波多模組整合與量測.....	28
3.1 元件之間的耦合效應.....	28
3.2 共振抑制電磁能隙架構設計與應用.....	29
3.2.1 常見電磁能隙架構種類.....	30
3.2.2 電磁能隙位置架構規劃.....	31
3.2.3 電磁能隙架構設計與使用.....	32
3.3 60GHz 多晶片模組在傳送路徑上的量測.....	34
3.4 60GHz 多晶片模組在接收路徑上的量測.....	37
3.5 偏壓穩定電路及金屬基座設計.....	41
3.6 60GHz 多晶片模組對通量測與討論.....	44
第四章 結論.....	47
參考文獻.....	48
自傳.....	50

圖目錄

頁次

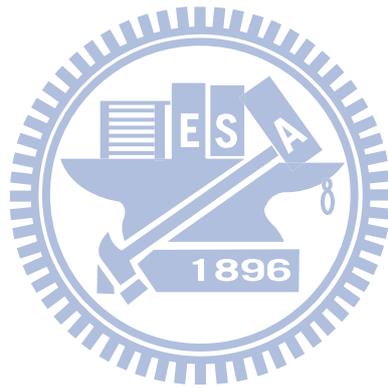
圖 1.1	Sony, Sharp, Hitachi, Samsung, Motorola 規劃 Wireless HD 應用..	2
圖 2.1	60GHz 毫米波多晶片模組潰出/入規劃位置圖	6
圖 2.2	60GHz 毫米波多晶片模組規劃位置圖	7
圖 2.3	60GHz 多晶片模組系統方塊圖	8
圖 2.4	銀膠製程構裝流程圖.....	9
圖 2.5	傳送器採用銀膠製程設計規劃圖(一).....	11
圖 2.6	傳送器採用銀膠製程設計規劃圖(二).....	11
圖 2.7	傳送器採用銀膠製程構裝完成圖(一).....	12
圖 2.8	傳送器採用銀膠製程構裝完成圖(二).....	12
圖 2.9	合金共熔製程構裝疊構圖.....	13
圖 2.10	銀膠製程構裝流程圖.....	13
圖 2.11	60GHz 發射器採用合金共熔製程構裝規劃圖	15
圖 2.12	60GHz 接收器採用合金共熔製程構裝規劃圖	15
圖 2.13	60GHz 發射器採用合金共熔製程構裝圖	16
圖 2.14	60GHz 接收器採用合金共熔製程構裝圖	16
圖 2.15	氧化鋁薄膜基板上製作金凸塊.....	17
圖 2.16	覆晶構裝機.....	17
圖 2.17	覆晶構裝疊構圖.....	18
圖 2.18	覆晶製程高頻訊號傳輸路徑.....	18
圖 2.19	覆晶構裝高頻訊號傳輸路徑疊構圖	19
圖 2.20	覆晶模組與金屬基座疊構圖.....	20
圖 2.21	60GHz 接收路進採用覆晶製程構裝規劃圖	21
圖 2.22	60GHz 發射路進採用覆晶製程構裝規劃圖	21

圖 2.23	60GHz 接收路徑進採用覆晶製程構裝圖	21
圖 2.24	60GHz 發射路徑進採用覆晶製程構裝圖	22
圖 2.25	銀膠製程構裝疊構圖	23
圖 2.26	合金共熔製程構裝機械機構基座設計參考圖	24
圖 2.27	合金共熔製程構裝機械機構基座完成圖	24
圖 2.28	合金共熔製程構裝模組與機械機構基座構裝圖	24
圖 2.29	合金共熔製程構裝疊構圖	25
圖 2.30	覆晶製程構裝金屬機構基座設計圖	25
圖 3.1	60GHz 毫米波多晶體模組潰出/入圖	28
圖 3.2	中心連結型 EBG Cell	30
圖 3.3	環狀型 EBG Cell	30
圖 3.4	平面時心型 EBG Cell	31
圖 3.5	混合型 EBG Cell	31
圖 3.6	3 維度 EBG Cell	31
圖 3.7	規劃 EBG 位置圖(一)	32
圖 3.8	規劃 EBG 位置圖(二)	32
圖 3.9	EBG 使用 HFSS 模擬俯視圖及其等效電路	33
圖 3.10	EBG 使用 HFSS 模擬側視圖	33
圖 3.11	EBG 量測結果	34
圖 3.12	EBG 構裝於上蓋圖	34
圖 3.13	NDL 量測設備及量測環境	35
圖 3.14	傳送路徑模組構裝完成圖	35
圖 3.15	傳送路徑 Gain-Frequency 圖	36
圖 3.16	傳送路徑在 58GHz Pin-Pout 關係圖	36
圖 3.17	傳送路徑在 60GHz Pin-Pout 關係圖	36
圖 3.18	傳送路徑在 62GHz Pin-Pout 關係圖	37

圖 3.19	傳送模組構裝於金屬基座.....	37
圖 3.20	接收路徑模組構裝完成圖.....	38
圖 3.21	接收路徑 Gain-Frequency.....	38
圖 3.22	接收路徑 58GHz 量測頻譜.....	38
圖 3.23	接收路徑 58GHz Pin - Pout.....	39
圖 3.24	接收路徑 58GHz Pin - Gain	39
圖 3.25	接收路徑 60GHz 量測頻譜.....	39
圖 3.26	接收路徑 60GHz Pin - Pout	40
圖 3.27	接收路徑 58GHz Pin - Gain.....	40
圖 3.28	接收器模組構裝於金屬基座.....	40
圖 3.29	BIAS Card 設計與製作.....	41
圖 3.30	金屬基座設計.....	41
圖 3.31	金屬基座製作.....	42
圖 3.32	60GHz 多晶片模組內部線路及排 Pin 對應電壓.....	42
圖 3.33	60GHz 多晶片模組外觀圖.....	42
圖 3.34	電壓調整器內部線路與金屬基座構裝圖.....	43
圖 3.35	60GHz 多晶片收發器與電壓調整氣組合圖.....	43
圖 3.36	60GHz 多晶片模組系統對通規劃.....	44
圖 3.37	發射器模組與 60GHz 天線整合圖.....	44
圖 3.38	接收器模組與 60GHz 天線整合圖.....	44
圖 3.39	發射器模組進行對通測試.....	45
圖 3.35	接收器模組進行對通測.....	45
圖 3.41	60GHz 多晶片模組進行對通測試.....	46
圖 4.1	60GHz 多晶片模組實體尺寸圖.....	47

表目錄

	頁次
表 2.1 覆晶製程高頻傳輸介電損耗表.....	19
表 2.1 覆晶製程與磅線比較表.....	20



第一章 緒論

1.1 研究背景簡介

近年來，由於高畫質電視(Full HD TV)的普及，以及可攜帶式的記憶裝置容量越做越大，這些大容量的記憶裝置被應用在可攜帶式及手持式的多媒體產品上面，而這些裝置最需要的就是超高速、短距離的資料傳輸，加上無線通訊(Wireless Communication)的技術日新月異，無線通訊產品也被廣泛的運用在每個人的生活當中，因此短距離超高速的無線傳輸技術也慢慢的被市場所重視。

這些產品不僅希望訊號傳輸的速度越快越好，又不需要訊號傳輸太遠而造成彼此之間的干擾，加上國際上不用執照的商用頻段不多，剛好 60GHz 能符合上列的需求。60GHz 是氧分子共振頻率，故 60GHz 訊號傳輸能量較易被氧分子吸收，所以傳輸的距離也沒辦法太遠，因而減少干擾遠方通訊的機會。對 60GHz 而言，因其頻帶寬度夠寬，利用 60GHz 頻帶的高頻寬傳輸，最高可到達 5Gbit/秒的傳輸速率，對於高畫質的影音標準(Wireless High Definition)1.5Gbit/秒便足足有餘。因此國際一些團體爭相的在 60GHz 頻段制定傳輸規格(Transformer Protocol)，希望未來 60GHz 頻段能應用在其所定義的規格上，如 Wireless HD、IEEE802.15.3C、ECMA-387 等。圖 1.1 為 Sony, Sharp, Hitachi, Samsung, Motorola 所規劃 Wireless HD 在家庭的應用。

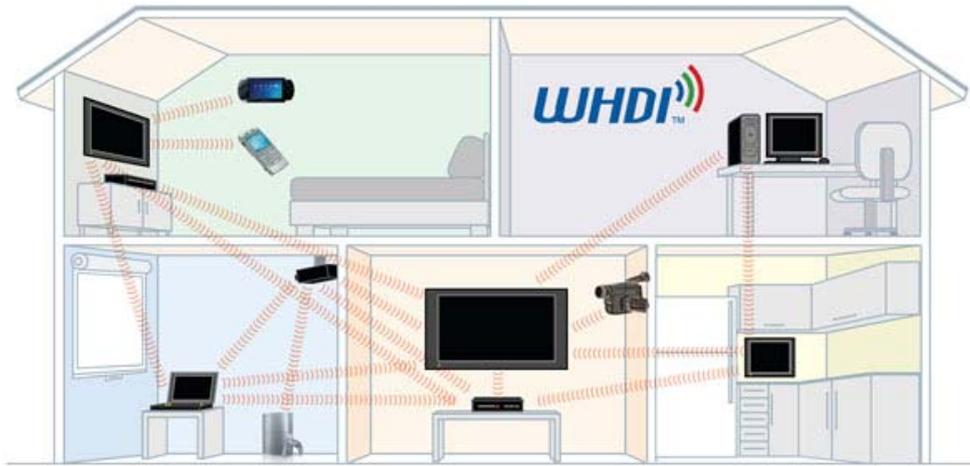


圖 1.1 Sony, Sharp, Hitachi, Samsung, Motorola 規劃 Wireless HD 應用

照片來源：<http://gizmodo.com/>

1.2 60GHz 多晶片模組簡介

60GHz 多晶片模組(Multi-Chip Module ; MCM)是採用 V 頻段(V-Band)裸晶片(Bare Die)與氧化鋁薄膜基板(Al₂O₃ Substrate - 10mil)構裝製作而成的發射器(Transmitter Module)及接收器模組(Receiver Module)，並使用陶瓷基板(Roger 4003 - 20mil)製作的分波器(Power Divider)及偏壓穩定電路，配合機械模組的設計，進而系統整合構裝進一個模組之中，就是收發器模組(Transceiver module)，此種構裝方式就是系統化封裝(System-on-Package ; SoP)。於 60 GHz 毫米波多晶片系統模組構裝時加入了空腔共振抑制設計-電磁能隙架構 (Electromagnetic Band Gap ; EBG)，電磁能隙架構等效並聯電感與電容效應，產生截止頻率(Stopbands)的共振頻率(Resonant Frequency)，達到防止傳送電路模組(Transmitter module)、接收電路模組(Receiver module)與本地訊號(Local signal)間相互干擾，並充分利用其構裝的空間，將其構裝於系統模組內部的上方，使整個系統模組能穩定的操作，且系統構裝模組能大幅縮減其所佔的空間，進而達到模組體積最小化。

本篇論文著重在 60G 毫米波 MCM 模組與模組間的構裝與整合，使系統模組

能降低高頻模組與模組間的干擾(Noise)、降低訊號傳遞損耗(Loss)、整合所產生的雜散電感(parasitic inductance)&雜散電容(parasitic capacitance)效應對電路的影響，進而保持整個訊號傳輸的整體性。多晶片模組(MCM)構裝可謂為表面黏著技術(SMT)過渡到晶圓層次整合(Wafer Scale Integration, WSI)構裝技術之代表；它不算是一項新型技術，早在 60 年代，MCM 的觀念即已被提出，初期 MCM 構裝被稱為晶片-基板接合(Chip-On-Board, COB)技術與混成積體電路(Hybrid Circuit)技術。隨著製程與材料技術的進步，多晶片模組構裝技術逐漸成熟，80 年代的許多大型電腦主機已採用多晶片模組構裝技術，但因消費性電子產品與個人電腦等部並不需要如此『先進』之構裝技術，它因此而沈寂了一段時日。隨著產品功能提升與高密度集積化的需求，多晶片模組構裝技術再度被提出，而成為目前構裝技術研究的熱門題目之一。多晶片模組構裝通常採用具有多層傳導連線結構(Multilayer Interconnection Structure, 或稱為積層連線結構)的基板，再以打線接合、卷帶式自動接合(TAB)或覆晶接合將 IC 晶片與基板接合，它是目前高密度、高性能 IC 構裝最重要的技術；目前熱門之 MCP (Multichip Package)、FCP (Few Chip Package)、SOP (System-on-a-Package)、SIP (System-in-a-Package) 等系統構裝技術事實上皆為多晶片模組技術概念之延伸。

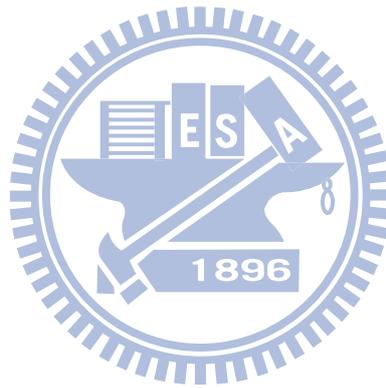
多晶片模組構裝技術可概分為基板的製作(Substrate Fabrication)與 IC 晶片接合(Chip Interconnection)技術兩大部份。基板可以陶瓷、金屬及高分子材料為基材，利用厚膜(Thick-film)、薄膜(Thin-film)、或共燒型(Co-fired)陶瓷模組等技術製成含電路連線結構之基板；IC 晶片與基板之接合部分則有打線接合、TAB 與覆晶接合技術。

毫米波機構組裝過程定義與測試是非常重要的，可以減少製造過程問題的產生，及簡化製造上的程序，降低製造的成本，對於製造出來的產品，相對的品質及電特性的驗證上都能達到水準上的要求。毫米波構裝技術開發頻率較高及尺寸的較小，電路的複雜度日益增高，因此模組間訊號轉接分析與設計、機構饋入/

出結構電磁分析與設計、模組耦合效應分析、空腔共振抑制設計、及構裝機構區間設計與電磁分析等，是非常關鍵的部分。

1.3 章節介紹

本篇論文共分四大章。第一章主要為緒論及毫米波技術的簡介，並且對近年來 60GHz 頻段制定傳輸規格應用作一些探討。第二章描述所提之射頻前端模組內部構裝製程技術，除了構裝製程的步驟之外，還詳細的描述其對應的金屬機構基座的注意要點。第三章則將所有模組個別量測，並將其組裝在金屬機構模組之內，並且整合了電磁共振抑制架構，進行模組系統量測。最後，在第四章做一個總結。



第二章 60GHz 毫米波收發器構裝技術與系統規劃

在本章節中，將詳細介紹毫米波收發器的構裝所需注意事項及構裝技術，進而實現了系統化封裝(System On Package ; SOP)整合的概念。首先要探討的是電路訊號潰入端、訊號潰出端及電源部分的潰入位置也需依照整體系統規劃及單一元件規格做相對的規劃，其中包含了高頻傳輸路徑 (Radio Frequency Path) 是否會有交錯，電源路徑是否跟高頻路徑有交錯，其結果對於系統組裝完成後的電特性及穩定性將會有很大的關連，將於 2.1 節中說明。構裝所需注意事項，系統規劃需包含哪些元件?系統路徑該如何規劃安排?將於 2.2 節中詳細說明。

在毫米波收發器模組中，使用 V 頻段的裸晶片(Bare Die)進行構裝，本節也將構裝製程分為下列三種來探討：

1. 銀膠製程構裝 (Epoxy Die attach) 技術
2. 合金共熔製程構裝 (Eutectic Die Attach) 技術
3. 和覆晶製程構裝(Flip-chip Die attach)技術

除了上列三種製程外，尚須配合磅線(Wire Bonding)的方式來連接 IC 進行高頻訊號或電源傳輸，將於 2.3~2.7 節中詳細說明。

2.1 60GHz 毫米波收發器系統規劃

在 60GHz 毫米波收發器系統中，共包含了兩個傳輸路徑，分別為 60GHz 毫米波發射器傳輸路徑(Transmitter Path)與 60GHz 毫米波接收器傳輸路徑(Receiver Path)，整個系統高頻訊號的潰入端(Input Port)與潰出端(Output Port)包含有：

1. 發射器的系統訊號潰出端(Transformer RF Output)

2. 發射器的中頻訊號潰入端(Transformer IF Input)
3. 接收器的系統訊號潰入端(Receiver RF Input)
4. 接收器的中頻訊號潰出端(Receiver IF Output)
5. 發射器與接收器的本地訊號潰入端(Lo Signal Input)

共需五組高頻潰入端/潰出端訊號。而此五組訊號潰入/出頻率不同，故其連接的方式也不同，在發射器的系統訊號潰出端與接收器的系統訊號潰入端傳輸的頻率為60GHz，故選用 Anritsu V103 的 V 頻段母接頭連接器(V-Band Female Connector)當作系統訊號的傳遞連接使用，當系統整合完成後，將連接 V 頻段天線，作為系統發射端與接收端的訊號傳遞；在發射器的中頻訊號潰入端(Tx IF Input)、接收器的中頻訊號潰出端(Rx IF Output)及本地訊號的潰入端(Lo Signal Input)，因其傳遞訊號的頻率皆小於10GHz，故採用 SMA 3.5mm 母接頭，其系統規劃的潰出/潰入位置如圖 2.1 所示。

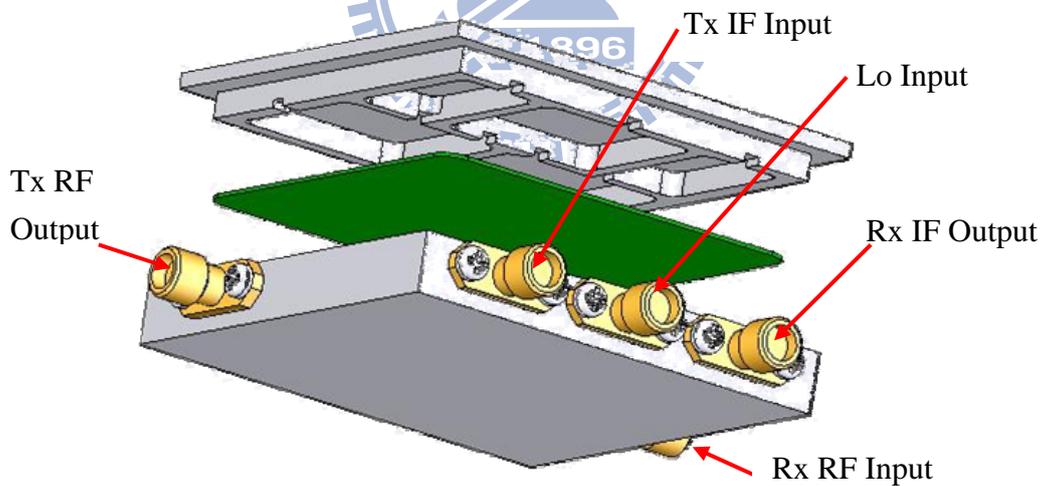


圖 2.1 60GHz 毫米波多晶片模組潰出/入規劃位置圖

60GHz 毫米波多晶片模組內部電路規劃，包含了 Tx RF Path、Rx RF Path、TX IF Path、Rx IF Path 及 LO Path 所需空間，並在上蓋規劃隔間把電路分隔開，以減少電路間的彼此干擾，如圖 2.2 所示。

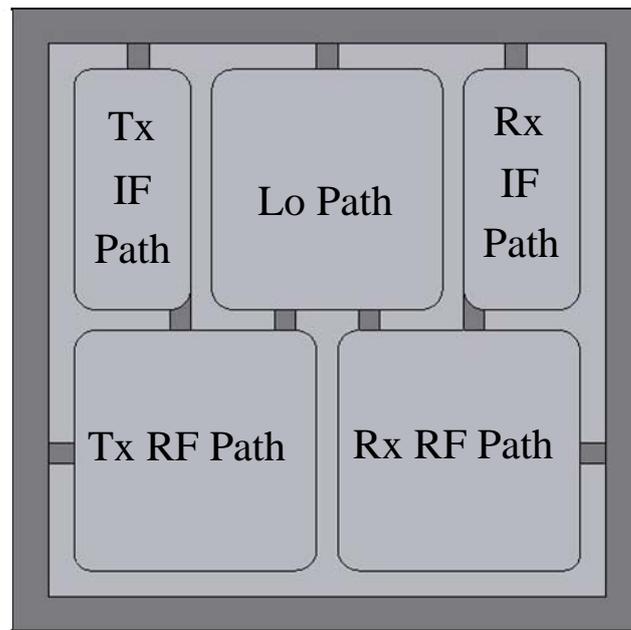


圖 2.2 60GHz 毫米波多晶片模組規劃位置圖

2.2 60GHz 毫米波收發器多晶片模組方塊圖

在圖 2.2 的 60GHz 毫米波多晶片模組規劃位置圖中，顯示了整個 60 GHz 毫米波收發器的系統方塊圖。此裝置共可分為發射器模組及接收器兩個傳輸路徑。在發射路徑(Transmitting Path)規劃了升頻諧波抑制混波器(Up Converter Image Rejection Mixer)、驅動放大器(Driver Amplifier; DA)及功率放大器(Power Amplifier; PA);升頻諧波抑制混波器在發射路徑中的功用是將中頻訊號(Intermediate Frequency; IF)與本地訊號(Local Signal; Lo)混頻後，取其諧波訊號(Harmonic Signals)，並有抑制其他諧波(Image Rejection)的功能；驅動放大器在發射路徑的功能是將升頻諧波抑制混波器混頻出來的訊號做第一次放大；功率放大器在發射路徑的功能是將驅動放大器放大的訊號在做第二次放

大，功率放大器為傳送路徑的最後一級，故須針對功率飽和點(P1dB)去挑選合用的裸晶片，以免驅動放大器達到飽和點，造成了系統發射訊的的失真。

在接收路徑(Receiving Path)規劃了低雜訊放大器(Low Noise Amplifier ; LNA)、帶通濾波器(Bandpass filter; BPF)、驅動放大器及降頻諧波抑制混波器(Down Converter Image Recjection Mixer)，低雜訊放大器在接收路徑的功用是將接收訊號放大且能有保有低雜訊的效果；帶通濾波器在接收路徑的功用是將低雜訊放大器放大後的訊號進行過濾，只允許所要的訊號通過；驅動放大器在接收路徑的功能是將帶通濾波器過濾後的訊號，再做一次訊號放大；而降頻諧波抑制混波器在接收器的功能是将驅動放大器的訊號經由本地訊號的混頻，進而降頻成中頻訊號。而傳送器與發射器的本地訊號需要由訊號產生器提供，經由分波器(Power divider)連接。而在系統模組使用時，需將發射器的潰出端與接收器的潰入端與 60GHz 天線連結使用，此系統的中頻訊號，規劃連結 802.11a/b/g Wifi 無線通訊模組測試。經由上面所描述的，即可劃成方塊圖，如圖 2.3 所示。

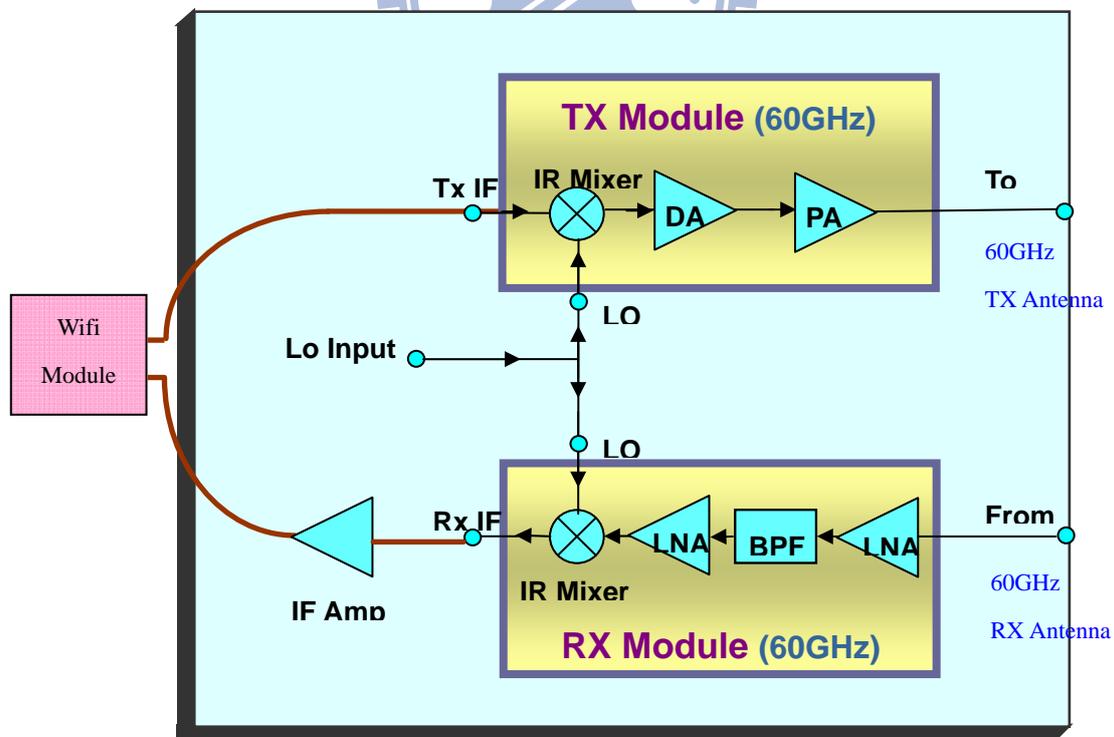


圖 2.3 60GHz 多晶片模組系統方塊圖

2.3 毫米波收發器銀膠製程技術

2.3.1 銀膠製程構裝技術

本節將詳細探討銀膠製程構裝(Epoxy Die Attach)技術，由字意來看便不難看出，此製成是採用銀膠將裸晶片及氧化鋁薄膜基板黏著固定於系統金屬基座上，此製程需在落塵數 10000 級以內的實驗室進行，構裝過程須注意靜電(Electrostatic Discharge; ESD)防護，包含製程中所使用到的機器與儀器設備，實驗室的溫度需控制在 25°C、濕度需控制在 48%，需要於顯微鏡底下作業，構裝步驟如圖 2.4 所示，後續會對每個構裝步驟詳細說明。

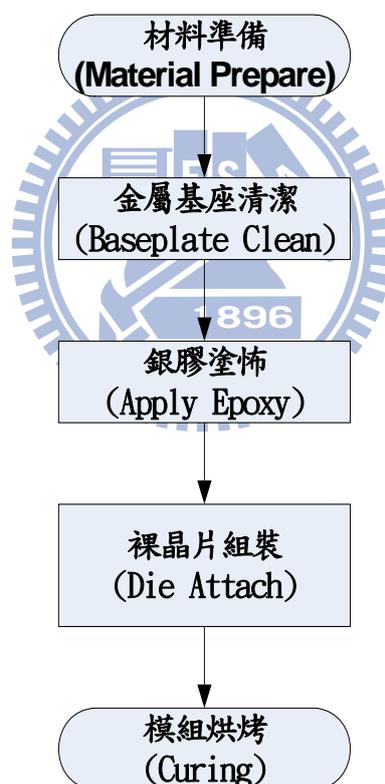


圖 2.4 銀膠製程構裝流程圖

1. 材料準備 (Material Prepare)

準備銀膠構裝製程所需要的材料，包含了氧化鋁薄膜基板及金屬基座的設計及製作等先前作業要先完成，還需準備構裝過程所要使用的裸晶片、電容及銀膠等。

2. 金屬基座清潔 (Base-plate Clean):

金屬基座的清潔，清潔溶劑為 ACE & IPA，利用擦拭方式進行底座的清潔。擦拭用的材料為無塵擦拭棒(或無塵紙)，絕對不可以使用一般棉花棒擦拭，以免造成棉屑附著在金屬基座表面而影響銀膠的附著性。首先利用沾有 ACE 的無塵擦拭棒(或無塵紙)擦拭，再取一支(張)乾淨的無塵擦拭棒(或無塵紙)沾 IPA 再清潔一次。待兩個步驟的清潔程序完成後用氮氣槍將底座吹乾，再放入 150°C 烤箱中烘烤 15 分鐘，使溶劑可以完全揮發，不會殘留在金屬基座上。

3. 銀膠塗佈 (Apply Epoxy)

銀膠的選擇必須配合所需組裝散熱性和黏著性，基本上散熱性越高者黏著性越差。銀膠塗佈是利用剔針沾膠塗佈於金屬基座上，塗佈區域內銀膠的厚度必須均勻，且不可有雜質，如發現有雜質必須用夾子將其去除。且塗佈銀膠區域的周圍不可以有殘膠，必須用無塵棒將其剔除(無塵棒絕對不可以沾到任何溶劑)。

4. 裸晶片組裝 (Die Attach)

晶體、電容、氧化鋁薄膜基板的組裝需用夾子夾取，尤其在夾取晶體必須特別注意不可造成晶體缺損，注意拿取完成後的金屬基座必須保持水平。

5. 模組烘烤 (Curing)

烤箱的溫度(°C)與時間(min)烤箱必須根據銀膠的種類來設定。模組烘烤完成後，後續需配合磅線用以連接 RF 訊號與晶體偏壓。

以上每個步驟完成後，需要於顯微鏡下檢查無誤後，才能進行下一個構裝步驟。

2.3.2 銀膠製程技術電路規劃

由於銀膠製程技術的電路設計，需要考量到 RF(Radio Frequency)訊號的走向及金屬基座的使用空間規劃，而且需要考慮系統模組 IF 訊號、Lo 訊號與 RF 訊號的潰入(Input)與潰出(Output)位置，因為這些訊號不能彼此交錯，不然會造成訊號間的彼此干擾(Cross talk)，尚須要考慮到直流偏壓潰入位置。在圖

2.5 中，採用銀膠製程構裝設計的傳送器，電路包含了升頻混波器、驅動放大器及功率放大器。在圖 2.6 中，採用銀膠製程構裝設計的傳送器，電路包含了升頻混波器及高功率放大器。依照此設計製作級與級間連結所需電路，因傳輸頻率為 60GHz 且有磅線的需求，故採用氧化鋁薄膜基板(Al_2O_3 Substrate)進行製作，並需規劃級與級間連接及電源潰入裸晶片所需要的磅線路徑。

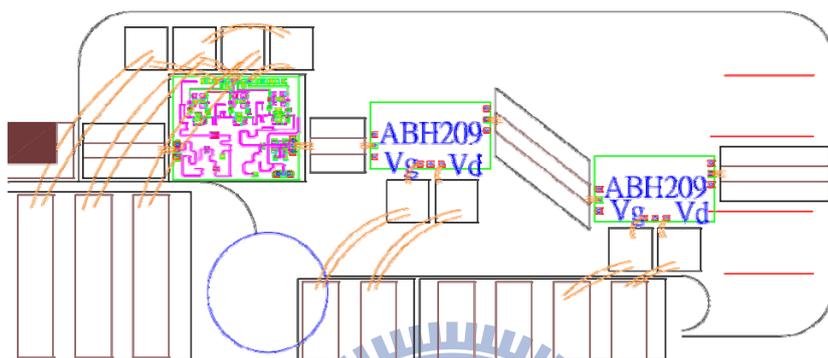


圖 2.5 傳送器採用銀膠製程構裝設計規劃圖(一)

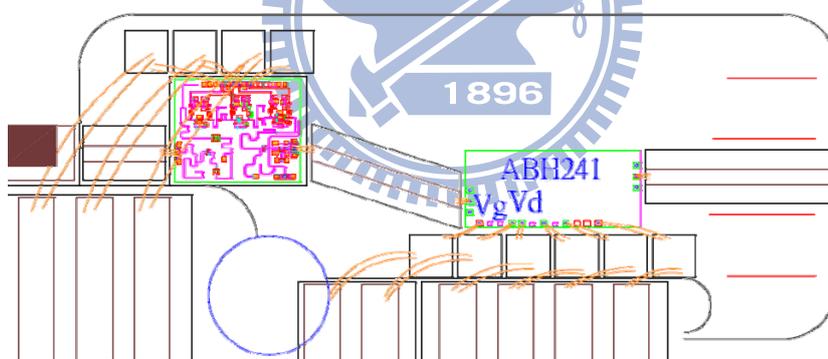


圖 2.6 傳送器採用銀膠製程構裝設計規劃圖(二)

2.3.3 銀膠製程構裝結果

在圖 2.7 及圖 2.8 中，此兩個 60GHz 毫米波傳送器電路是依照圖 2.5 與 2.6 規劃圖製作而成，皆採用銀膠製程構裝而成。

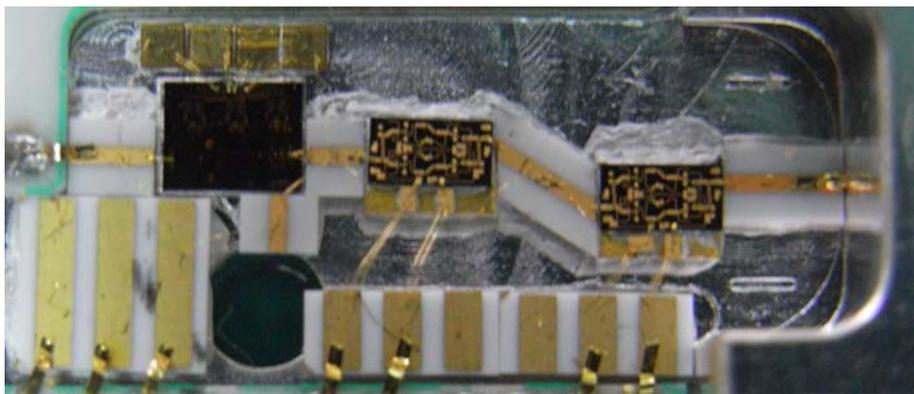


圖 2.7 傳送器採用銀膠製程構裝完成圖(一)



圖 2.8 傳送器採用銀膠製程構裝完成圖(二)

2.4 毫米波收發器合金共熔晶體製程技術

本節將詳細探討合金共熔製程晶體構裝(Eutectic Die Attach)技術，由文字的字意可看出此種構裝技術，是靠高溫熔解而產生合金的共構，進而將晶體與氧化鋁薄膜基板黏著固定於金屬載具(Carrier)上，此種技術最主要是靠加熱溶解金去黏著金屬載具與電路元件，因此對於構裝的黏著面的要求除了平整度要夠之外，就是黏著面須要鍍金，其中包含了載具的正面、裸晶片、電容及氧化鋁薄膜基板的背面，這樣才能達到穩定黏著的效果。此製程需在落塵數 10000 級以內的實驗室進行，構裝過程須注意靜電(Electrostatic Discharge; ESD)防護，包含製程中所使用到的機器與儀器設備，實驗室的溫度需控制在 25°C、濕度需控制在 48%，需要於顯微鏡底下作業，構裝步驟如圖 2.10 所示，後續會對每個構裝步驟詳細說明。

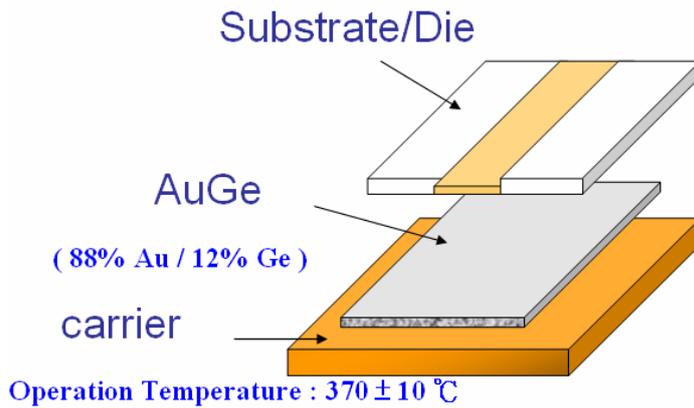


圖 2.9 合金共熔製程構裝疊構圖

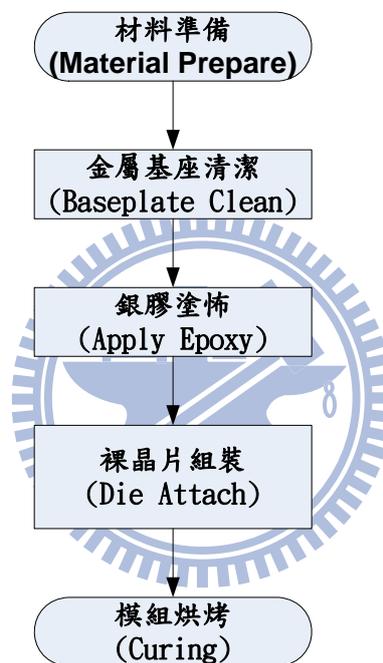


圖 2.10 銀膠製程構裝流程圖

1. 材料準備 (Material Prepare)

準備合金共熔構裝製程所需要的材料，包含了氧化鋁薄膜基板及金屬載具及製作等先前作業要先完成，還需準備構裝過程所要使用的裸晶片、電容、AU/GE 及 AU/SN 等。

2. 將 AU/GE 薄片放置於載具上(Add Au/Ge on Carrier)

將適量的 Au/Ge 薄片放置於載具上，此 Au/Ge 薄片將加溫溶解當黏著氧化鋁薄膜基板與金屬載具使用，故需考慮其黏貼面積與 Au/Ge 的使用量。

3. 置放氧化鋁薄膜基板於載具上並加熱 (Add Substrate on Carrier and Curing)

在金屬載具上的 Au/Ge 上放置氧化鋁薄膜基板及金屬薄墊片，並放置到加熱板上加熱到 $370^{\circ}\text{C}\pm 10^{\circ}\text{C}$ ，此溫度為 Au/Ge 的溶解溫度，並採用鑷子夾住氧化鋁薄膜基板將 Au/Ge 溶解液塗佈均勻，並將氧化鋁薄膜基板及金屬薄墊片放置組裝跟設計規劃圖相同。構裝完成後，須馬上放置於散熱板上散熱。

4. 將 Au/Sn 薄片放置於金屬薄墊片上(Add Au/Sn on Tab)

將適量的 Au/Sn 薄片放置於金屬薄墊片上，此 Au/Sn 薄片將加溫溶解當黏著裸晶片與金屬薄墊片上使用，故需考慮其黏貼面積與 Au/Sn 的使用量。並放置到加熱板上進行二次加熱，加熱的溫度為 $290^{\circ}\text{C}\pm 10^{\circ}\text{C}$ ，此溫度為 Au/Ge 的溶解溫度，但先前所黏著的氧化鋁薄膜基板及金屬薄墊片並不會跟著溶解，原因在於 Au/Ge 的溶解溫度較高的關係。

5. 將裸晶片放置於金屬薄墊片上(Add Die on Tab)

在金屬薄墊片上的 Au/Sn 溶解液上放置裸晶片，並將裸晶片放置組裝與設計規劃圖相同。構裝完成後，須馬上放置於散熱板上散熱。

以上每個步驟完成後，需要於顯微鏡下檢查無誤後，才能進行下一個構裝步驟。

2.4.1 合金共熔製程電路規劃

除了上述的製程考量外，尚須考量的還有電路設計與制作，在電路設計上，須先規劃此合金共熔構裝模組所須要的鍍金載具大小，以符合電路規劃的訊號潰入端、訊號潰出端、電源的潰入端及磅線連接方式，並且還要考慮此模組如何與整個大模組的電路構裝，都須列入電路設計的考慮範圍。在圖 2.11 中，採用合金共熔構裝設計的傳送器，電路包含了升頻混波器、驅動放大器及功率放大器。在圖 2.12 中，採用合金共熔構裝設計的接收器，電路包含了低雜訊放大器、驅動放大器及降頻混波器。依照此設計製作級與級間連結所需電路，因傳輸頻率為 60GHz 且有磅線的需求，故採用氧化鋁薄膜基板(Al_2O_3 Substrate)進行製作，並

需規劃級與級間連接及電源潰入裸晶片所需要的磅線路徑(Wire bonding Path)。

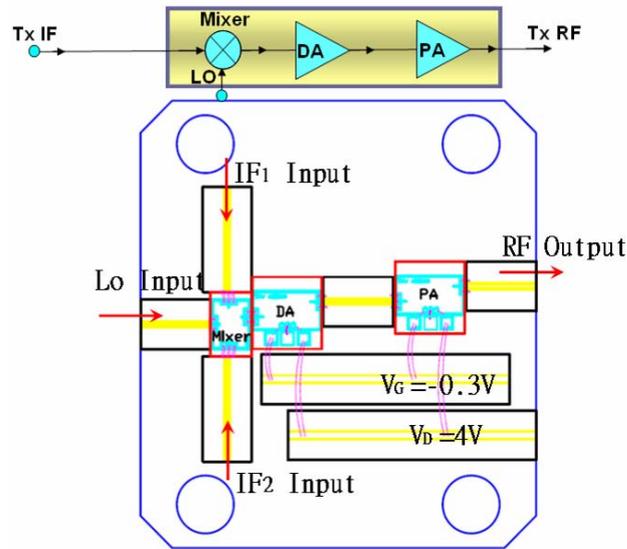


圖 2.11 60GHz 發射器採用合金共熔製程構裝規劃圖

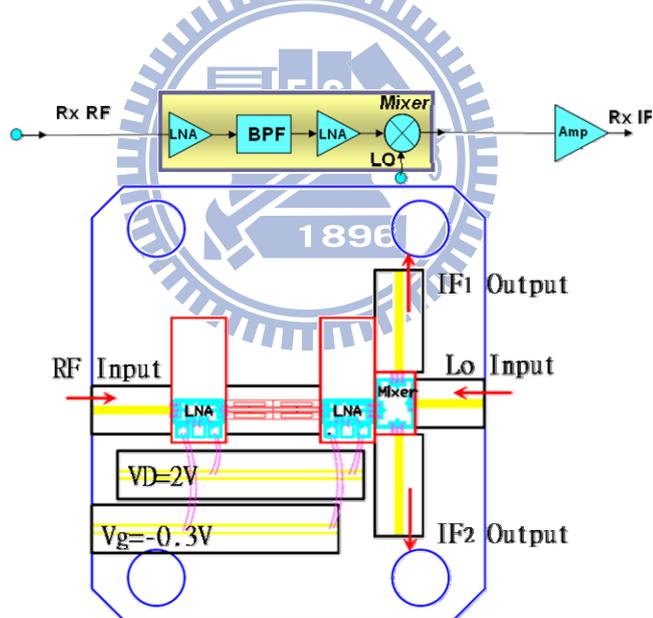


圖 2.12 60GHz 接收器採用合金共熔製程構裝規劃圖

2.4.2 合金共熔製程電路構裝結果

在圖 2.13 及圖 2.14 中，此兩個 60GHz 毫米波傳送器電路是依照圖 2.11 與 2.12 規劃圖製作而成，皆採用合金共熔製程構裝而成。

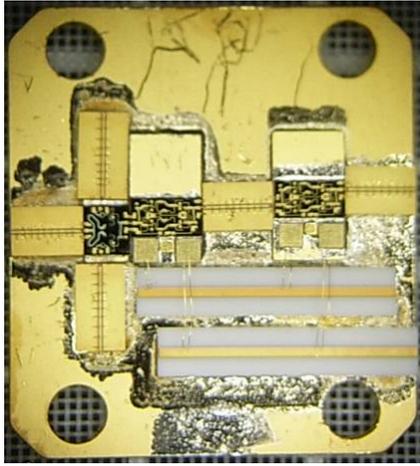


圖 2.13 60GHz 發射器採用合金共熔製程構裝圖

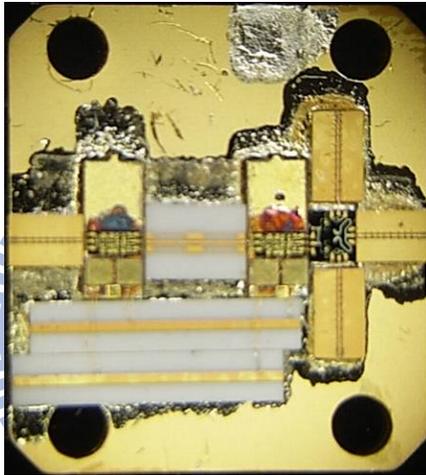


圖 2.14 60GHz 接收器採用合金共熔構裝圖

2.5 毫米波收發器覆晶構裝技術

本節將詳細探討覆晶(Flip-chip)製程技術，由文字的字意可看出此種構裝技術，是將裸晶片翻覆後與與氧化鋁薄膜基板黏著的一種技術，因其黏著面為裸晶片的正面，故黏著點只有訊號潰出/入點、訊號兩旁的接地點、直流偏壓潰入點、及增進覆晶強度所增加的支撐點(Dummy)，並沒有整個裸晶片面都黏著，而是距離氧化鋁薄膜基板有一定的距離。其製作方式是設計氧化鋁薄膜基板上的線路，使其能與裸晶片覆晶時配合，並於氧化鋁薄膜基板上製作完成後，並於覆晶黏著點要先鍍上 50um 的金凸塊 (Gold bump)，此氧化鋁薄膜基板才能適用於覆晶製程，如圖 2.15 所示。需要由覆晶構裝

機進行構裝，如圖 2.16 所示。此機器的構裝方式是分別先採用真空方式將氧化鋁薄膜基板與裸晶片吸附，利用熱將金凸塊與裸晶片表面的電路結合共構，其結合所需要的力量(Force)，加熱的溫度及時間都跟裸晶片大小及金凸塊多寡有關。此製程構裝過程須注意靜電(Electrostatic Discharge; ESD)防護，包含製程中所使用到的機器與儀器設備。覆晶構裝疊構完成後，如圖 2.17 所示。

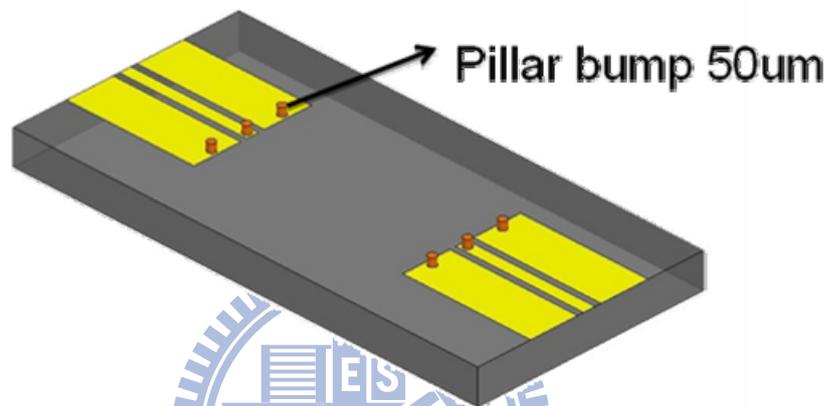


圖 2.15 氧化鋁薄膜基板上製作金凸塊



圖 2.16 覆晶構裝機

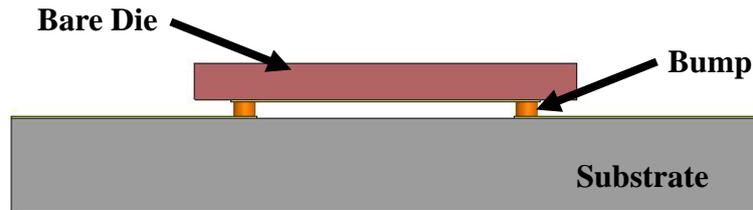


圖 2.17 覆晶構裝疊構圖

覆晶製程與其他兩種製程(銀膠構裝製程與合金共熔製程)由電路特性來比較，最主要的差別是在高頻訊號的傳遞方式，覆晶製程由金凸塊傳遞高頻訊號，銀膠構裝製程與合金共熔製程採用磅線技術，故其高頻訊號由金線傳遞，對於高頻訊號的傳遞需要考量的就是訊號傳輸的匹配問題，如果電路匹配不好，會造成訊號的反射，早成電路特性不好，甚至全反射造成電路的震盪問題發生，因此訊號的反射係數(Γ)，是覆晶製程使用於高頻訊號傳輸優先需要考慮的部份。

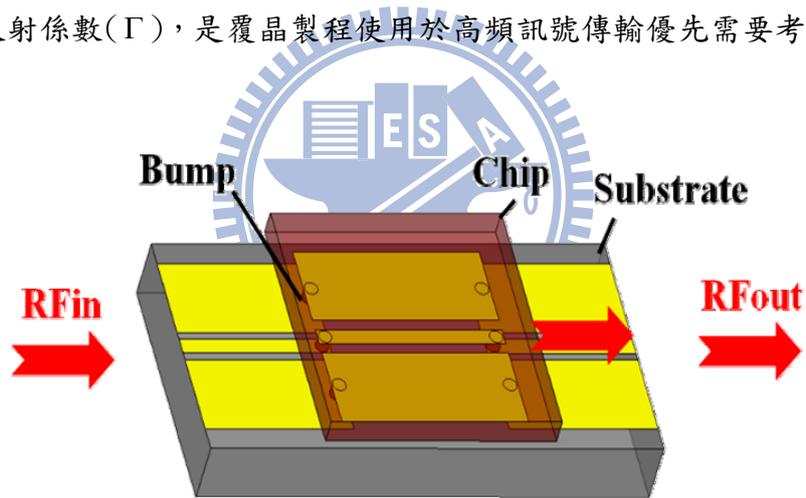


圖 2.18 覆晶製程高頻訊號傳輸路徑

$$\Gamma = \frac{Z(x) - Z_0}{Z(x) + Z_0}$$

則 $\Gamma = \frac{55 - 50}{55 + 50} = \frac{5}{105} = \frac{1}{21} = -26.4dB$

由計算結果得知，覆晶製程由金凸塊傳遞高頻訊號，對於反射係數(Γ)的影響是可以接受的。

另外，高頻訊號的傳遞需要考量的就是訊號傳輸的損耗問題，如電路高頻傳輸介電損耗(Loss tangent ; $\tan \delta$)，造成訊號傳遞損耗過大，而引起系統無

法傳遞訊號，由圖 2.19 所示，為覆晶製程疊構圖，由疊構圖對應高頻傳輸介電損耗，如表 2.1 所示。

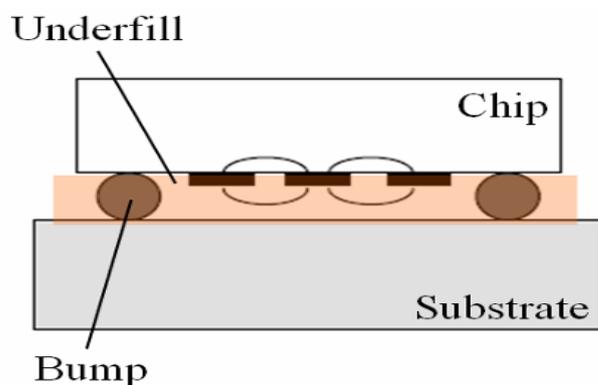


圖 2.19 覆晶構裝高頻訊號傳輸路徑疊構圖

	Dielectric constant	Loss tangent
Substrate (Al ₂ O ₃)	9.7	0.0002
Chip (GaAs)	12.9	0.005
Underfill (epoxy-based)	3~5	~0.02
Air	~1	~0

表 2.1 覆晶製程高頻傳輸介電損耗表

由表 2.1 可得知，覆晶構裝製程所得到的高頻傳輸介電損耗表，可知覆晶製程符合高頻構裝使用。

覆晶構裝製程訊號傳輸採用金凸塊構裝技術，故其高頻訊號由金凸塊傳遞；而銀膠構裝製程與合金共熔製程採用磅線技術，故其高頻訊號由金線傳遞，其高頻訊號的傳遞介質及長短不同，其所產生傳輸路徑等效的電感值，也會有很大的差異，使其電路造成的影響程度也不相同，如表 2.2 所示。

Method	FC	WB
Interconnect	Bump	Wire
Interconnect length/ mm	0.1	1
Inductance / nH	0.05-0.1	1.0-2.0

表 2.2 覆晶製程與磅線比較表

覆晶構裝製程完成後，在 2.3 節討論的銀膠製程將整個覆晶模組黏著於系統模組的金屬基座上，如圖 2.20 所示。

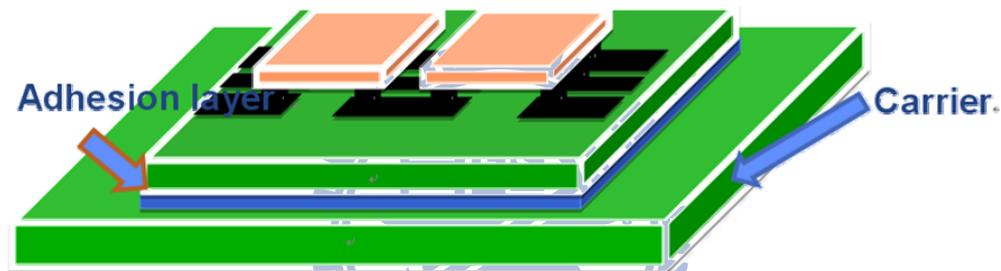


圖 2.20 覆晶模組與金屬基座疊構圖

2.5.1 覆晶製程電路規劃

除了上述的製程考量外，尚須注意的還有電路設計與制作，在電路設計上，須先規劃覆晶製程構裝模組所須要的氧化鋁薄膜基板大小，以符合電路規劃的訊號潰入端、訊號潰出端、電源的潰入端及磅線連接方式，並且還要考慮此模組如何與整個大模組的電路構裝，都須列入電路設計的考慮範圍。設計規劃 60GHz 覆晶製程構裝傳送路徑模組與接收路徑模組，如圖 2.21 與 2.22。

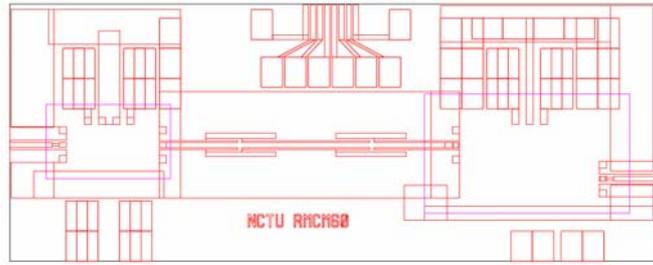


圖 2.21 60GHz 接收路徑採用覆晶製程構裝規劃圖

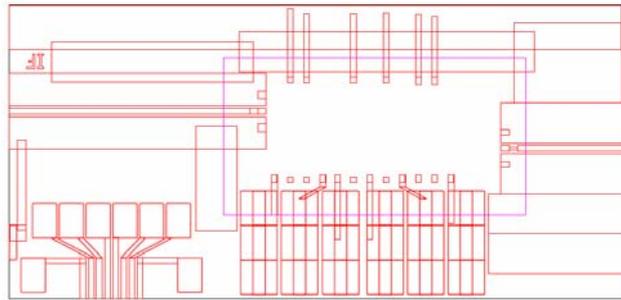


圖 2.22 60GHz 傳送路徑採用覆晶製程構裝規劃圖

2.5.2 覆晶製程電路構裝結果

依照圖 2.21 與 2.22 設計規劃，採用覆晶製程構裝完成 60GHz 毫米波傳送路徑模組與接收路徑模組製做，如圖 2.23 及圖 2.24 所示。

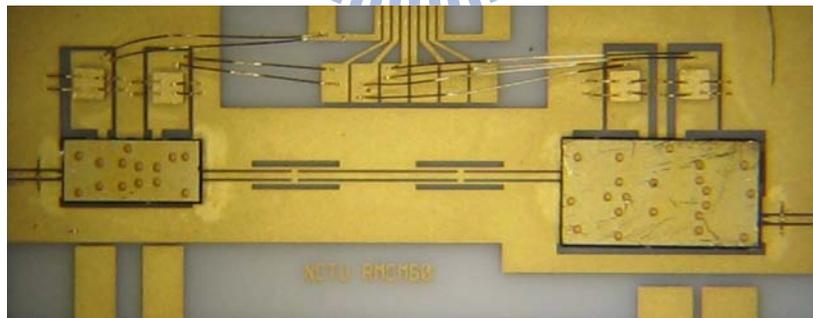


圖 2.23 60GHz 接收路徑採用覆晶製程構裝圖

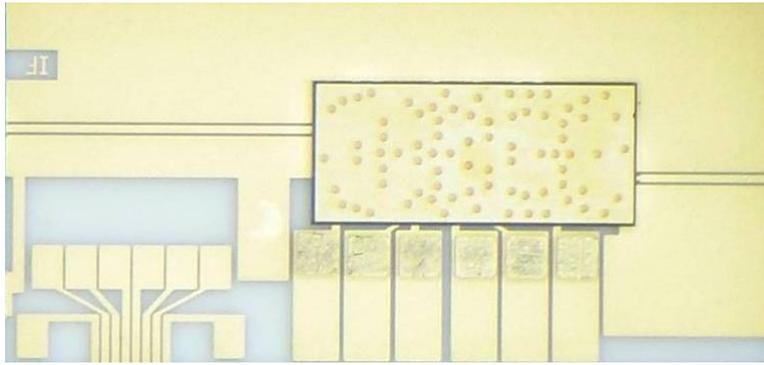


圖 2.24 60GHz 傳送路徑採用覆晶製程構裝圖

2.6 構裝金屬載具基座設計

金屬機構基座(Housing base)對 60GHz 毫米波 MCM 模組做為接地、散熱與機械支撐用，同時亦方便各模組之量測與功能驗證。金屬機構基座的構裝結構可提供機械與溼氣防護，提供介於電路和系統間電與熱的連接，並能預防寄生電磁干擾。此構裝架構通常包含一金屬基座(做為熱傳導和機械支撐)、射頻電路、模組基板、金屬塗料密封環(seal ring)、及提供機械、電子與溼氣防護之金屬上蓋。在 2.3 節、2.4 節與 2.5 節中，詳細的說明了所有裸晶片(Bare Die)應用於毫米波多晶片的構裝方式，其構裝製程的不同，則其所對映的構裝金屬基座設計也不同，後續將分項詳細說明。

2.6.1 銀膠構裝製程金屬機構基座設計

使用銀膠構裝(Epoxy Die Attach)製程時，其所金屬基座設計需針對裸晶、氧化鋁薄膜基板及其他電路的置放位置，在其厚度較薄的裸晶片置放位置進行凸島設計，使組裝完成後其裸晶片表面與氧化鋁薄膜基板等高，如圖 2.25 所示。如果沒有設計金屬凸島的話，也可將較薄的裸晶片先經過合金共熔構裝製程，構裝鍍金金屬薄片(Thick Moly Tab)，使其厚度增加後，再來進行銀膠構裝製程。

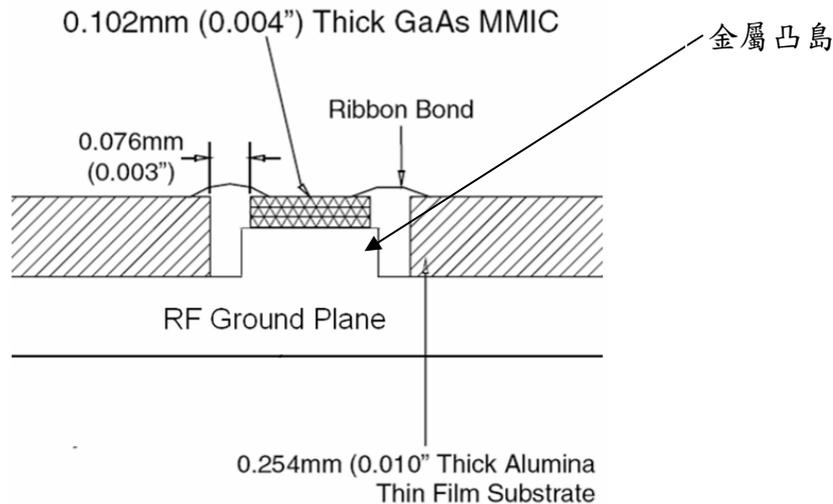


圖 2.25 銀膠製程構裝疊構圖

2.6.2 合金共熔構裝製程金屬機構基座設計

使用合金共熔構裝 (Eutectic Die Attach) 製程，需要有單獨的鍍金載具 (Carrier)，但其所使用的機械機構基座較容易設計，只須在機械機構基座先規劃出其載具大小和其載具固定所需的螺絲孔位，如圖 2.26 所示。等待鍍金載具上的線路組裝完成後，再將其固定到此機械機構基座中，並將其訊號潰入端、訊號輸出端及電源供應端加以磅線 (Wire Bonding)，合金共熔製程構裝模組就組裝完成了，如圖 2.27 與圖 2.28 所示。使用此種組裝方式，因鍍金載具須加螺絲固定於機械機構基座上占了相當的空間，使得整個多晶片模組 (multi-chip module) 的大小變的更加的龐大，但此機械機構基座的設計相較於另外兩種製程簡單；在其在鍍金載具上的電路組裝，因為裸晶的高度與氧化鋁薄膜基板 (Alumina Thin-Film substrate) 會有構裝會有高度落差，故須於裸晶下方加墊一塊薄的鍍金金屬薄片 (Thick Moly Tab)，使組裝完成後其裸晶表面與氧化鋁薄膜基板等高，如圖 2.29 所示。

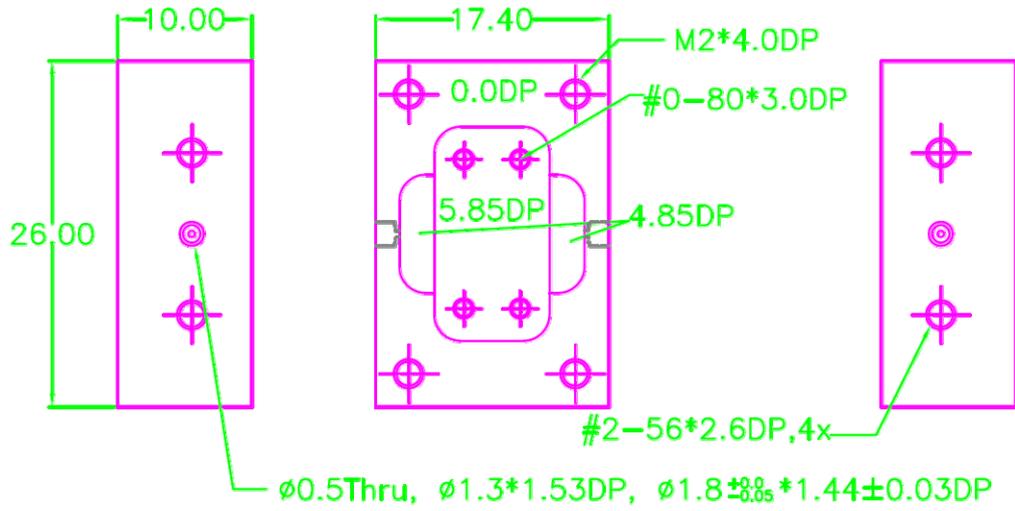


圖 2.26 合金共熔製程構裝機械機構基座設計參考圖



圖 2.27 合金共熔製程構裝機械機構基座完成圖



圖 2.28 合金共熔製程構裝模組與機械機構基座構裝圖

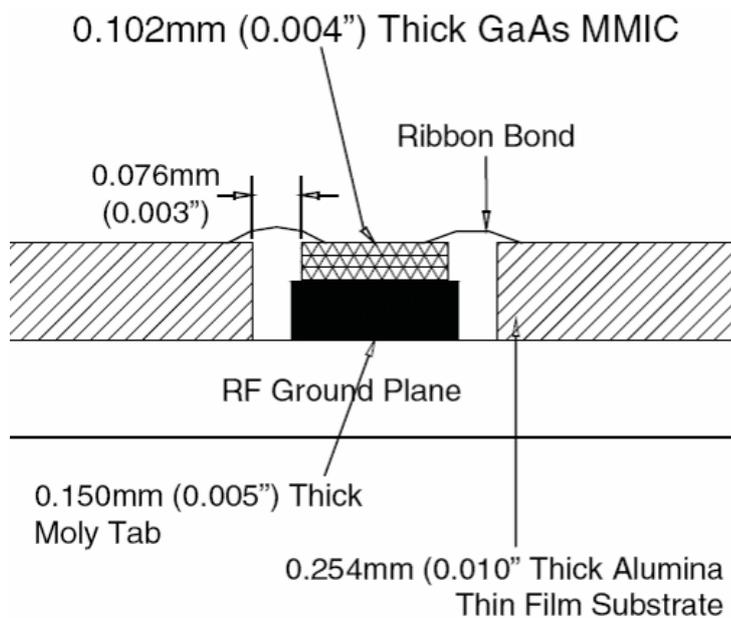


圖 2.29 合金共熔製程構裝疊構圖

2.6.3 覆晶構裝製程金屬機構基座設計

因覆晶製程構裝所使用的氧化鋁薄膜基板上的傳輸線路皆為共面波導 (Coplanar Waveguide; CPW) 架構，故需要於此氧化鋁薄膜基板上 CPW 構裝於機械模組的位置，需挖出對應的孔洞，以免氧化鋁薄膜基板上的傳輸線變成 GCPW，影響電路傳輸特性，如圖 2.30 所示。再配合銀膠構裝製程技術，將覆晶多晶片模組構裝於機械基座上。

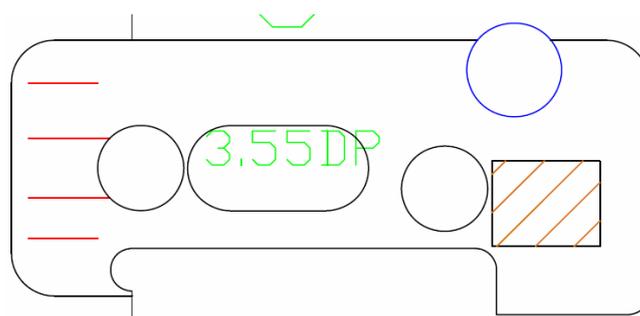


圖 2.30 覆晶製程構裝金屬機構基座設計參考圖

2.7 關鍵製程技術選擇與應用

在 2.3 節、2.4 節與 2.5 節中，詳細的說明了所有裸晶片、氧化鋁薄膜基板及電容應用於毫米波多晶片的構裝製程技術，並於 2.6 節中詳細說明構裝製程技

術所對應的金屬機構基座設計，但要如何的去選擇合適構裝製程技術呢?以下將做各項構裝製程技術的優缺點做詳細分析:

2.7.1 銀膠構裝製程技術優缺點

優點:

1. 銀膠構裝製程技術採用銀膠黏貼料件於金屬基座，故其構裝成本較便宜。
2. 構裝電路體積較小。

缺點:

1. 黏著性較差，較容易脫落。
2. 銀膠的導電特性較差，使晶片接地特性不好，跟銀膠使用的種類也有關係。
3. 銀膠的熱導特性較差，跟銀膠所使用的種類也有關係，但導熱較好的銀膠，其黏著性相較於導熱不好的銀膠差。
4. 單模組量測驗證較麻煩。
5. 銀膠保存問題，銀膠需低溫保存於 -40°C 的冰箱中，保存期限是1年以內。欲生產前必須回溫30分鐘才可以使用。室溫下(25°C)可以使用1~2個星期。
6. 金屬基座設計較為麻煩。
7. 維修替換元件較為困難且費時。

2.7.2 合金共熔構裝製程技術優缺點

優點:

1. 金屬基座設計較為簡單。
2. 適合單一模組量測驗證。
3. 維修替換元件模組較為方便。
4. 熱傳導性較佳，故適用於大功率元件。
5. 黏著性較佳，不容易脫落。

6. 晶片接地特性較佳。

缺點：

1. 採用獨立的金屬載具,且載具表面需鍍金處理,故成本較高。
2. 採用金融解共構,故其成本較高。
3. 金屬載具需用螺絲固定於金屬基座,故其體積較為龐大。

2.7.3 覆晶構裝製程技術優缺點

優點：

1. 可以減少晶體磅線數量與磅線產生電感效應的影響。

缺點：

1. 需要於氧化鋁薄膜基板上長金凸塊(bump),故其製程較複雜
2. 氧化鋁薄膜基板使用量較大。
3. 基板還需要靠銀膠製程構裝於金屬基座。
4. 晶體接地面太小,導致散熱差,易受干擾。

2.7.4 構裝製程技術總結

應用在毫米波的構裝製程技術不段的進步,每一種構裝製程技術也各有其優點,但只要能充分運用設計,一定能構裝至做出好的產品。

第三章 60GHz 毫米波多模組整合與量測

在本章節中，將詳細介紹毫米波收發器的構裝技術及構裝所需注意的事項，並於構裝系統加入做了實現了系統化封裝(SOP)整合的概念。如圖 3.1 所示，此為構裝完成後的收發器的訊號饋入/出位置圖，此訊號饋入/出的位置與一開始規劃有差異，最主要是把整個模組設計的更小，因而改變 Tx IF INPUT 與 Rx IF OUTPUT 的位置，使收發器模組的空間更能夠妥善運用，進而減少訊號在模組內的傳遞路徑，可以達到減少訊號的損耗與干擾。

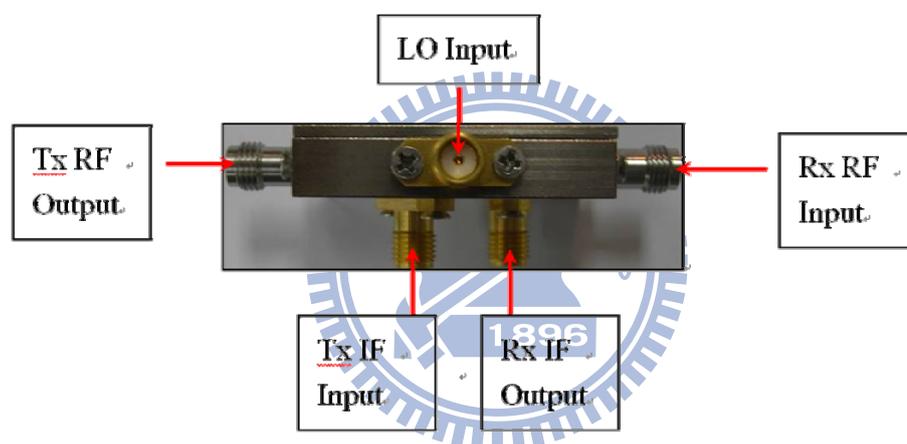


圖 3.1 60GHz 毫米波多晶體模組饋出/入圖

3.1 元件之間的耦合效應

由於本篇論文所選用元件操作頻率非常高，電路中各種主、被動元件很容易產生電磁輻射，造成不同元件間的電磁耦合。構裝結構設計的好壞，將影響整個電路的電氣特性。由於波長短的些微尺寸的差異皆會產生特性改變。因此必須對整體設計之構裝結構進行嚴格的三維電磁分析，方能克盡其功。

構裝內之寄生空腔效應可藉由數種技術來抑制。最簡單的方法是減少構裝尺寸或適當設計結構，以提高空腔模態(cavity modes)及導波管模態的截止頻率(Cutoff frequencies)，進而抑制導波管模態的傳遞及空腔模態的形成。然而，

當所欲整合之模組增加，或操作頻率增加時，構裝結構內的電子尺寸亦將隨之增大，造成難以避免的共振和寄生模式。

此外，由於晶片與電路元件將影響整體的響應，在模組已設計完成下，不一定能設計出最佳之構裝結構，以抑制空腔耦合。此時利用衰減性材料 (Attenuating material)，如吸收材料 (Absorber)、有損耗電介質、電阻性塗層，可能較具實效性。這些材料可用以衰減空腔模態或導波管模態的電磁場，而減少其造成之寄生效應。吸收材料的大小及擺放位置、電阻性塗層的阻值及厚度，應謹慎設計，以得到最好的寄生效應抑制，同時又不影響實際信號的傳遞。

另一抑制構裝寄生效應的方法是藉由適當地設計密封環，將構裝內電路切割成數個小區間 (cabinets)。每一小區間只包含一至兩個模組。區間結構可提高空腔的截止頻率，增加免於共振的頻寬 (resonance-free bandwidth)，減少或隔離模組間之寄生耦合。另外，也可直接在模組基板 (substrate) 上設計抑制電路，例如在基板上設計適當形狀的金屬貼片。此金屬貼片的設計可破壞空腔模態或導波管模態的電磁場分佈，而抑制導波管模態的傳播或改變空腔模態的共振頻率。除了構裝寄生效應之外，包含整個構裝電路的輸入/輸出埠及構裝內不同區間之間的訊號連接埠。

3.2 共振抑制電磁能隙架構設計與應用

在 2.6 節中，詳細的說明了構裝結構形成一個金屬空腔，由於腔內電磁共振，可能影響進而降低電路性能。當訊號在模組間傳遞時，由於傳輸結構的不連續，可能激發出空腔共振而造成模組中元件間及鄰接埠間的寄生耦合。這些寄生效應主要藉由構裝內高階之導波管模態 (waveguide modes) 傳遞，而造成機構中不同電路間的耦合現象。將 60 GHz 毫米波 MCM 系統模組加入了毫米波多晶片模組的空腔共振抑制-電磁能隙架構 (Electromagnetic Band Gap ; EBG)，電磁能隙架構等效並聯電感與電容效應，產生截止頻率

(Stopbands)的共振頻率(Resonant Frequency)，達到防止傳送電路模組(Transmitter module)、接收電路模組(Receiver module)與本地訊號(Local Signal)間相互干擾，EBG 架構去抑制其耦合現象，後續將分項詳細說明。

3.2.1 常見的電磁能隙架構種類

常見的電磁能隙架構可分為下列四種類型：

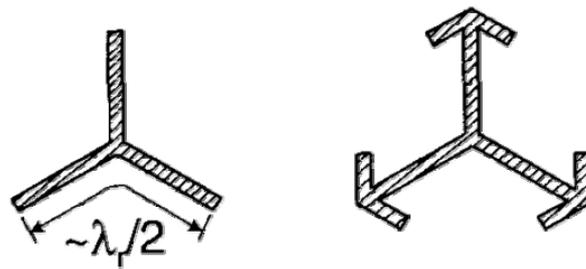


圖 3.2 中心點連結型 EBG Cell [2]

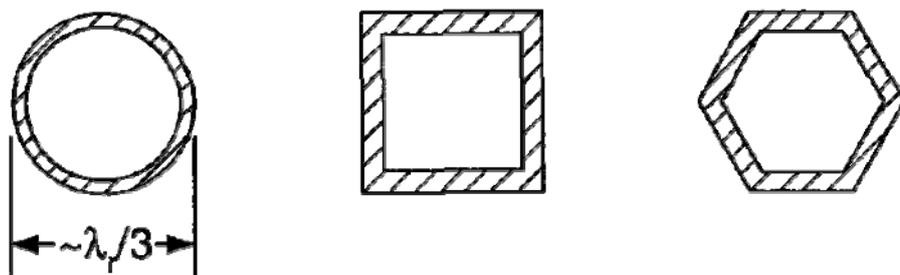
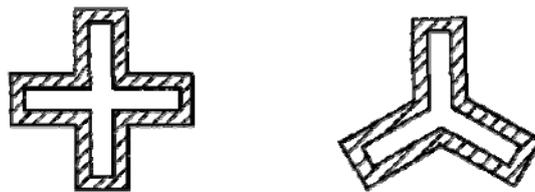


圖 3.3 環狀型 EBG Cell [2]

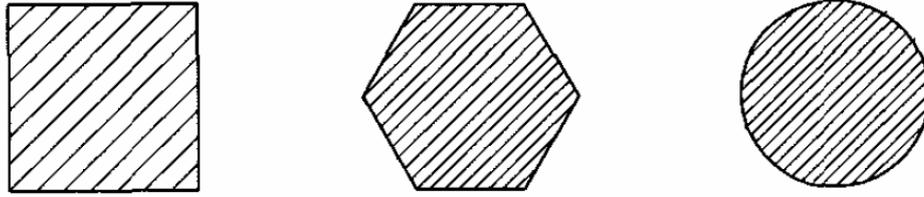


圖 3.4 平面實心型 EBG Cell [2]

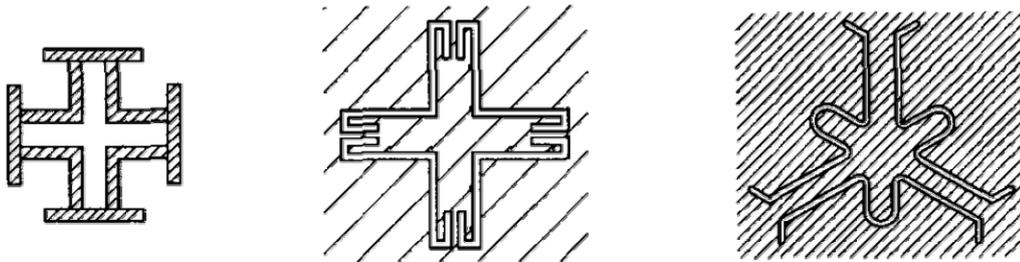


圖 3.5 混合型 EBG Cell [2]

將中心點連結型 EBG Cell、環狀型 EBG、平面實心型 EBG Cell 或混合型 EBG Cell 排列成週期型(periodic structure)的架構，便能等效成電容與電感並連，經過設計後產生所要的截止共振頻率，達到防止模組間相互干擾現象。上面所介紹的是二維度的 EBG(UC-EBG)架構，更可以將其加以改良，將平面實心型 EBG Cell 加入了金屬灌穿孔(VIAs)，便是 3 維度的 EBG 架構，如圖 3.6 所示。

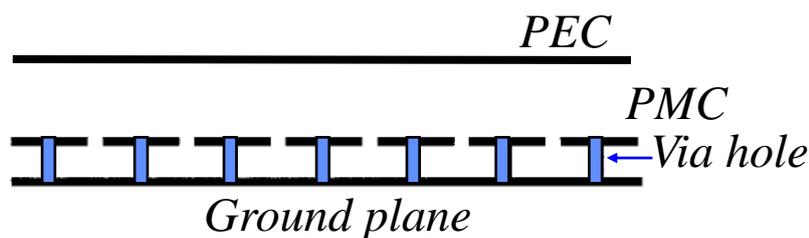


圖 3.6 3 維度 EBG Cell [2]

3.2.2 電磁能隙架構位置規劃

在整個系統模組中，將利用各個模組組裝的剩餘空間，採用厚度為 20mil，介電係數為 3.5 的陶瓷基板(Roger 4003)，初步規劃了規劃 EBG 的位置，共有兩個方案，如圖 3.7 與圖 3.8 所示；在圖 3.7 中，將 EBG 位置設

計在傳送器與接收器的偏壓穩定電路板上，利用偏壓穩定電路剩餘的空間進行設計，在圖 3.8 中，將 EBG 規劃設計在收發器模組的內部上方，就是在組裝的上蓋內。

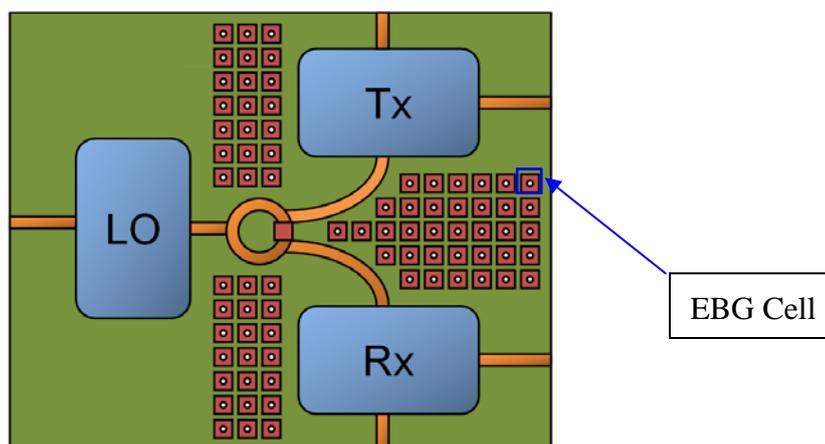


圖 3.7 EBG 規劃位置圖<一>

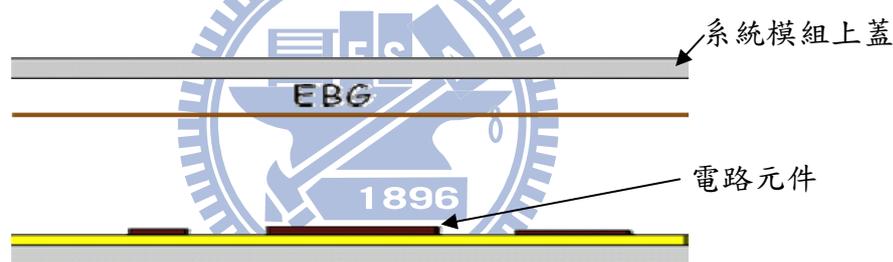


圖 3.8 EBG 規劃位置圖<二>

EBG 所規劃位置的兩個方案，各有其優缺點，圖 3.7 EBG 所規劃位置會增加收發器模組的體積，但 EBG 與偏壓穩定電路採用同一片 PCB 製作，故成本較便宜；圖 3.8 EBG 所規劃位置較節省空間，但須另外製作一片 PCB，故成本較高，且須將 EBG 製作完成的 PCB 固定於上蓋內部。最後評估結果決定採用圖 3.8 EBG 所規劃位置進行模擬製作。

3.2.3 電磁能隙架構設計與使用

由 3.2.2 結論，採用 HFSS 模擬軟體對電磁能隙架構進行模擬設計，在模擬設計上，採用收發器模組規劃的空腔高度與面積，使模擬結果更精確，模擬元件產生的訊號與接收訊號作為潰出與潰入兩個端口

(Port)，EBG 使用的 PCB 為厚度 20mil，介電係數為 3.5 的陶瓷基板 (Roger 4003) 進行模擬，模擬潰出與潰入訊號的隔離度(Isolation)。圖 3.9 為 EBG Matrix 模擬的狀況與其等效電路。圖 3.10 為模擬時饋入端、饋出端與 EBG 位置圖。

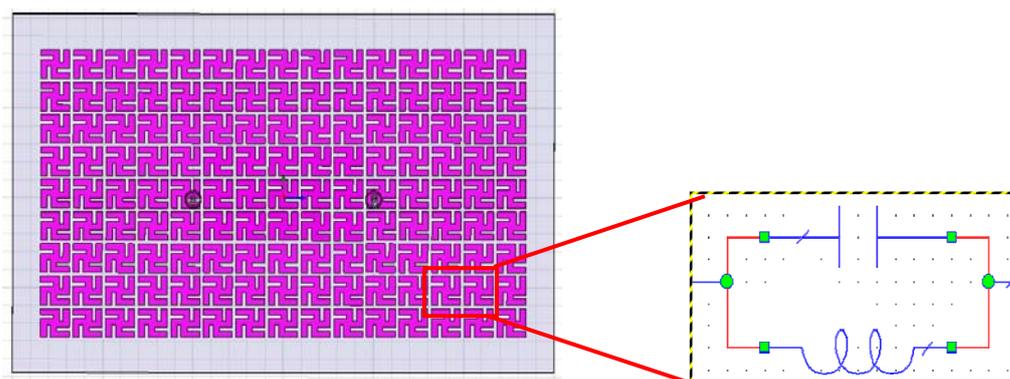


圖 3.9 HFSS 模擬俯視圖及其等效電路

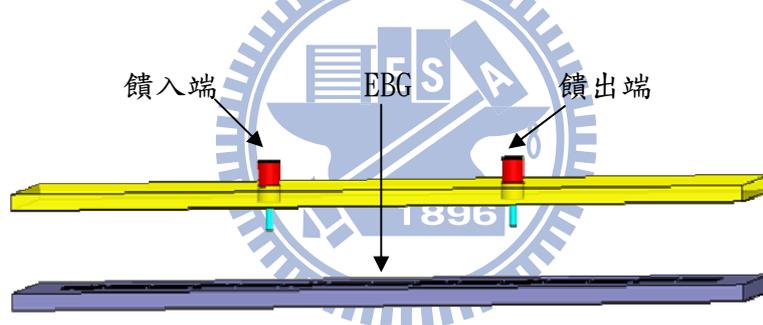


圖 3.10 HFSS 模擬側視圖

圖 3.11 紅線為潰出與潰入訊號隔離度的模擬結果，經過 EBG PCB 與量測製具的製作，再進行構裝量測，可得到圖 3.11 黑線與藍線，黑線是量測製具內部空腔對潰出與潰入訊號隔離度的影響；藍線是構裝上 EBG PCB 後，潰出與潰入訊號隔離度量測結果。由黑線可知，模組內部訊號可能會透過空腔傳遞，進而造成干擾。由藍線可得知，EBG 確實能抑制訊號在模組內部傳遞，減少干擾的機會。由藍線與紅線得知，模擬與實作結果是非常接近的，故此 EBG PCB 可實際的運用於收發器模組內。於圖 3.12 中，將 EBG PCB 構裝於收發器模組的上蓋內部中。

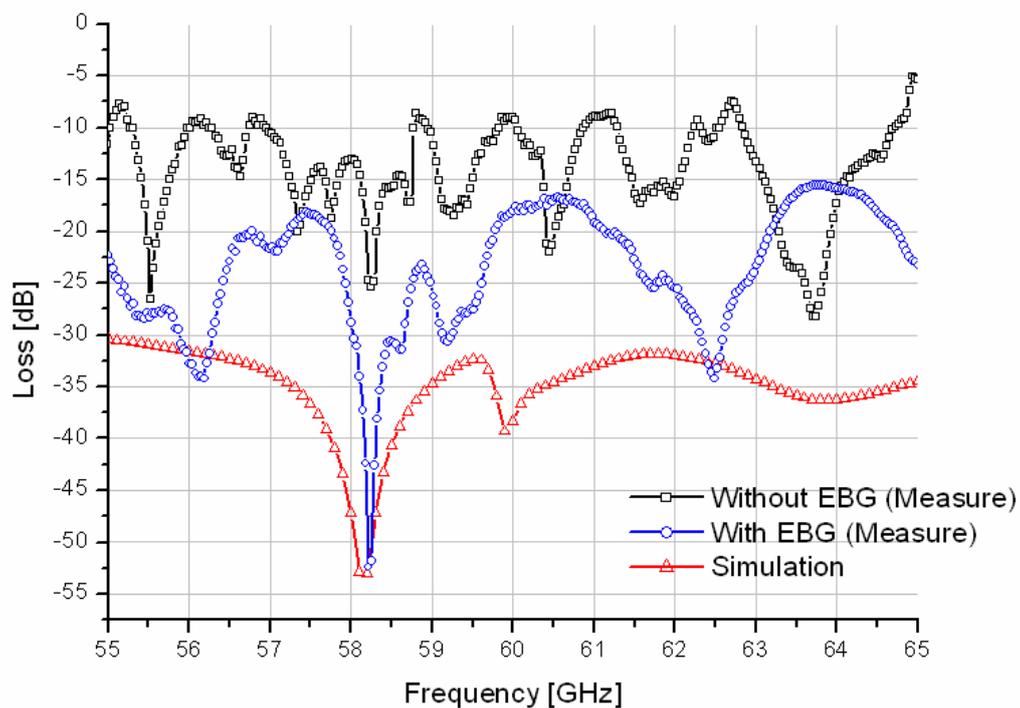


圖 3.11 EBG 模擬與量測結果

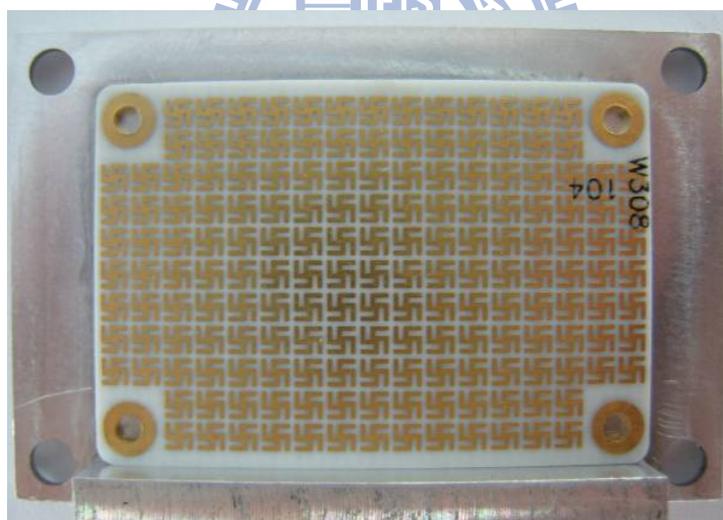


圖 3.12 EBG 構裝圖於上蓋

3.3 60GHz 多晶片模組在傳送路徑上的量測

將 60 GHz 毫米波傳送模組構裝完成後，先進行模組的電特性量測，而量測在國家實驗研究院國家奈米元件實驗室(NDL)進行，NDL 能提供國內學界與業界精確而有效率的高頻委託測試服務，量測設備及量測環境如圖 3.13 所示。

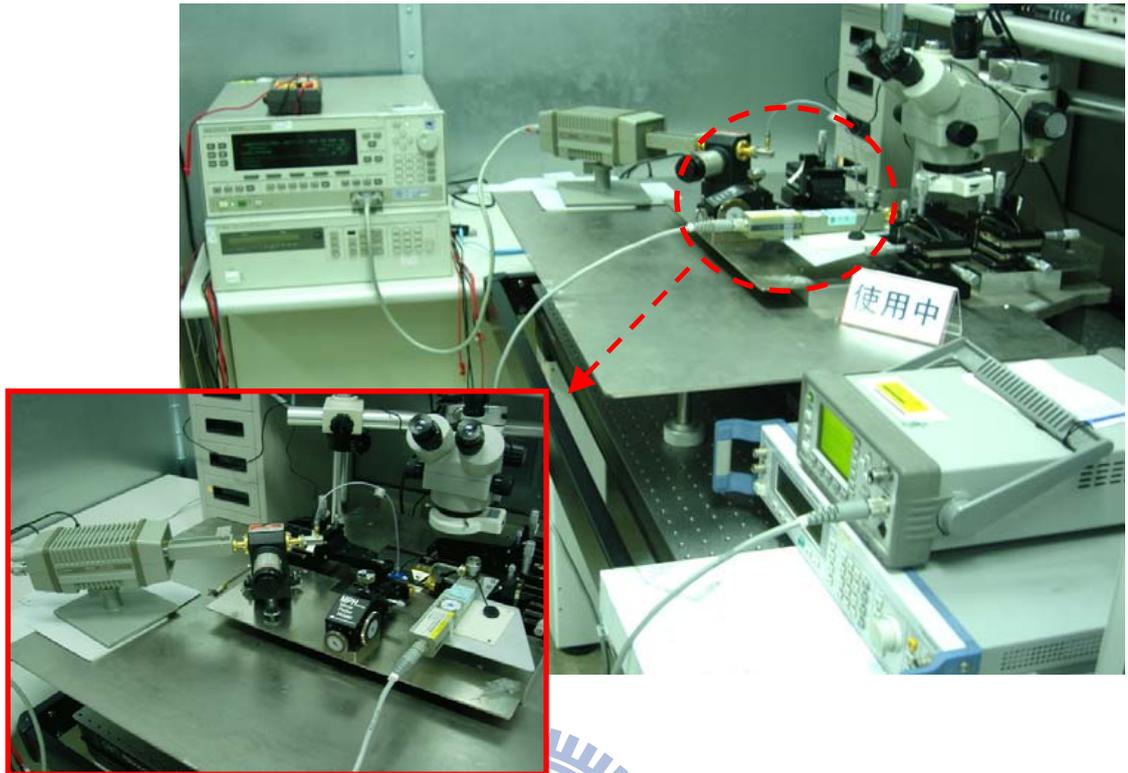


圖 3.13 ND L 量測設備及量測環境

將 60 GHz 毫米波傳送路徑模組構裝完成後，如圖 3.14 所示，採用 ND L 量測設備進行量測，圖 3.15~3.18 為其量測結果。

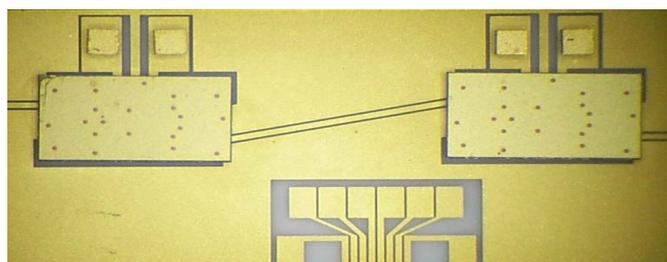


圖 3.14 傳送路徑模組構裝完成圖

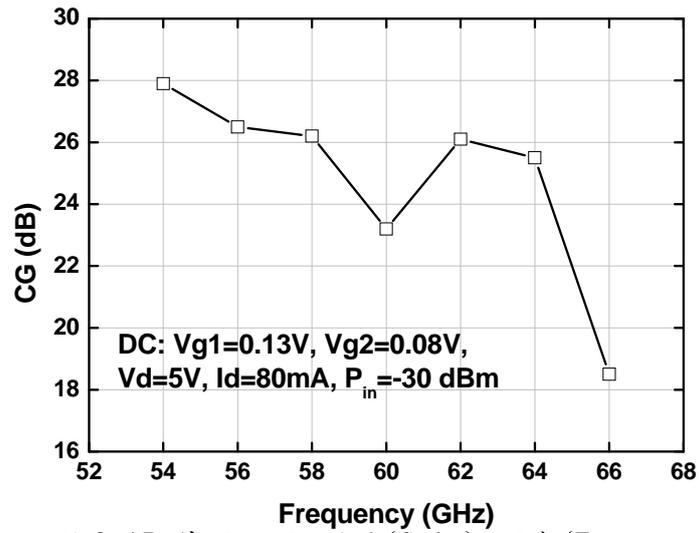


圖 3.15 傳送路徑 增益(Gain)-頻率(Frequency)

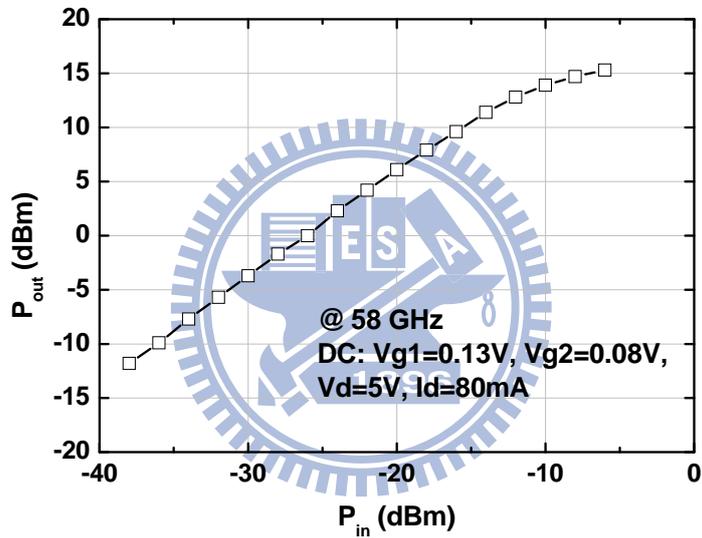


圖 3.16 傳送路徑在 58GHz Pin-Pout

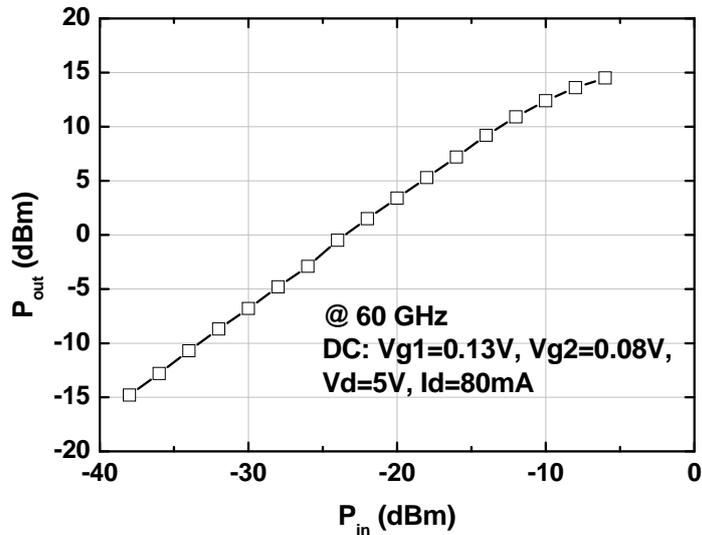


圖 3.17 傳送路徑在 58GHz Pin-Pout

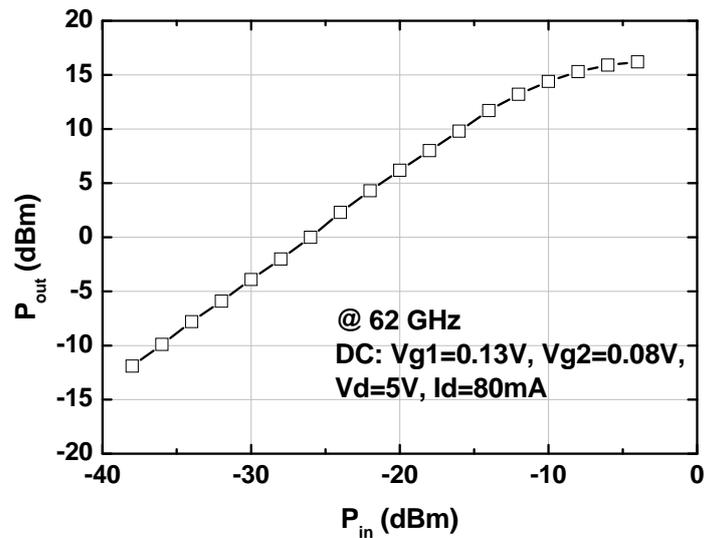


圖 3.18 傳送路徑在 62GHz Pin-Pout

在 60GHz 毫米波多晶片模組傳送路徑量測完成後，配合第二章所介紹的銀膠製程構裝技術整個模組構裝於金屬基座上，如圖 3.19 所示。

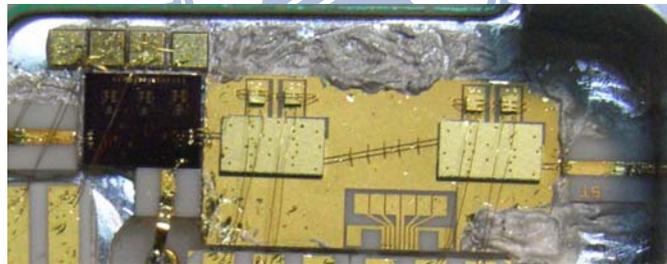


圖 3.19 傳送路徑模組構裝於金屬基座

3.4 60GHz 多晶片模組在接收路徑上的量測

將 60 GHz 毫米波接收模組構裝完成後，如圖 3.20 所示，採用 NDL 量測設備進行量測，圖 3.21~3.27 為其量測結果。

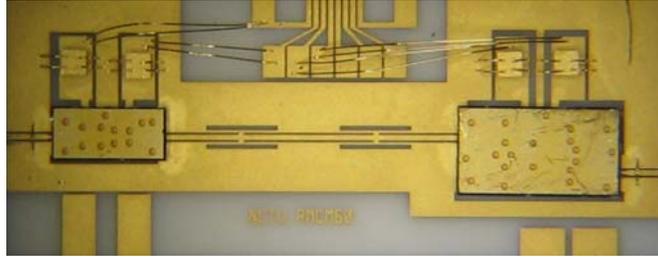


圖 3.20 接收路徑模組構裝完成圖

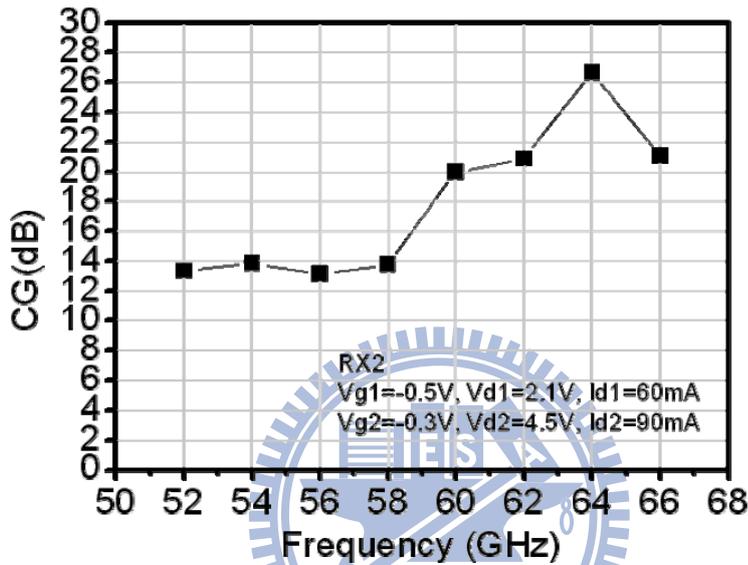


圖 3.21 接收路徑增益(Gain)-頻率(Frequency)

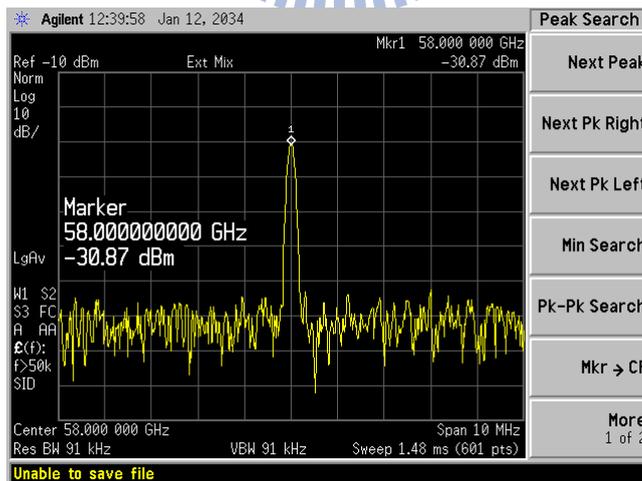


圖 3.22 接收路徑 58GHz 量測頻譜

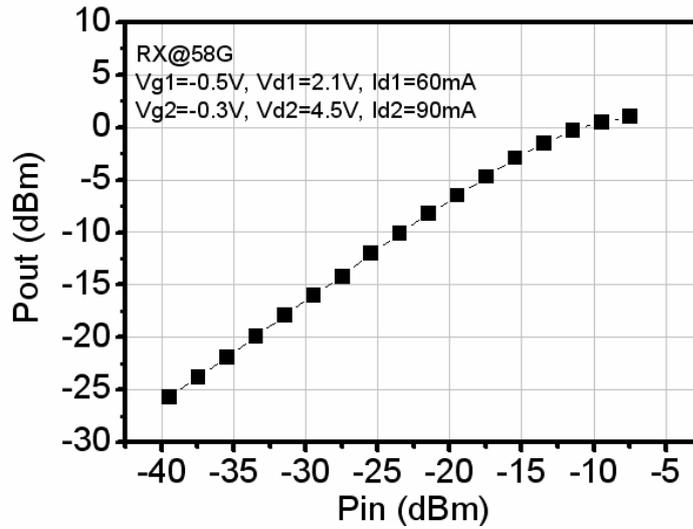


圖 3.23 接收路徑 58GHz Pin-Pout 量測關係圖

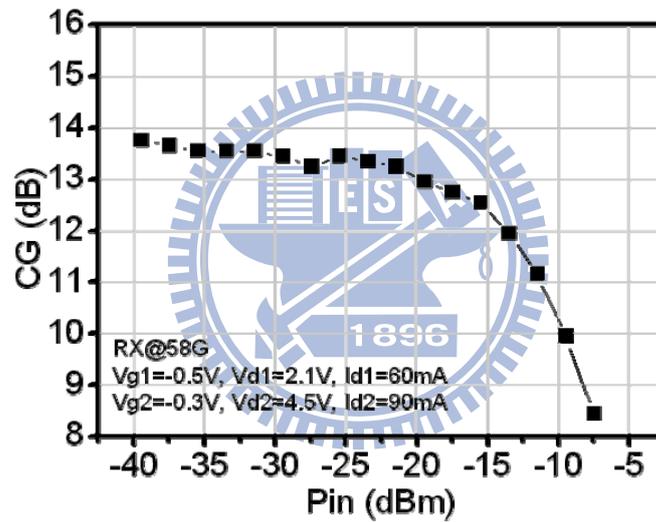


圖 3.24 接收路徑 58GHz Pin-CG 量測關係圖

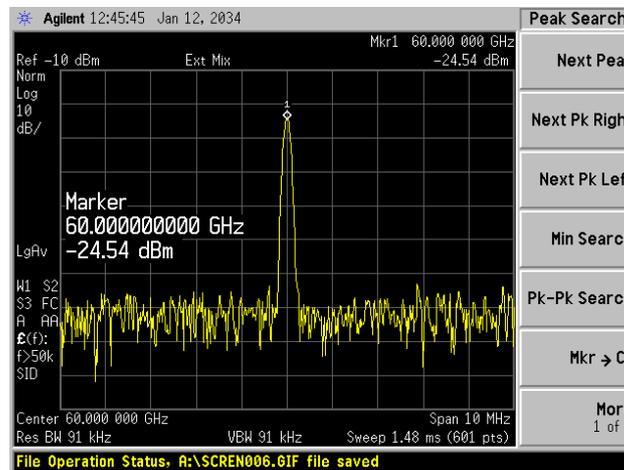


圖 3.25 接收路徑 60GHz 量測頻譜圖

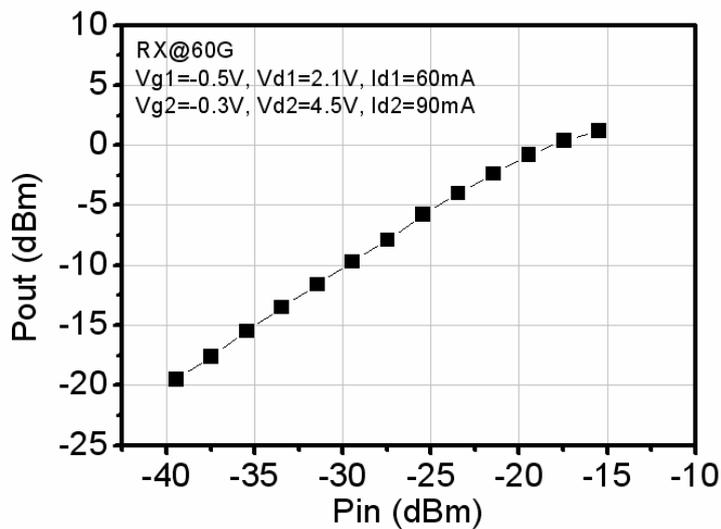


圖 3.26 接收路徑 60GHz Pin-Pout 量測關係圖

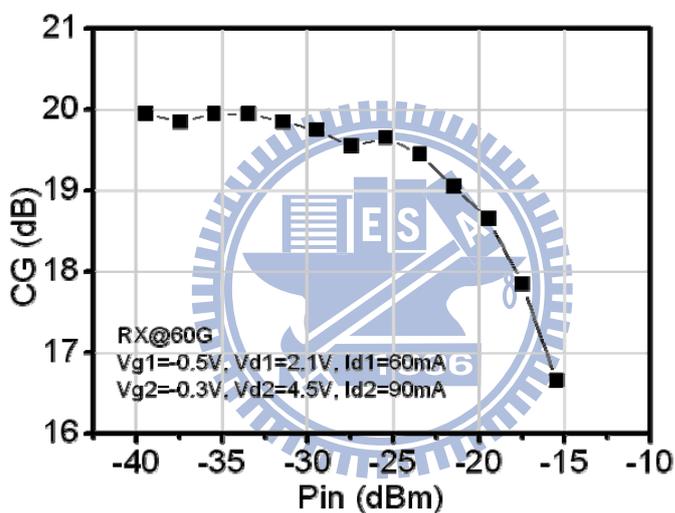


圖 3.27 接收路徑 60GHz Pin-CG 量測關係圖

在 60GHz 毫米波多晶片模組傳送路徑量測完成後，配合第二章所介紹的銀膠製程構裝技術整個模組構裝於金屬基座上，如圖 3.28 所示。



圖 3.28 接收器模組構裝於金屬基座

3.5 偏壓穩定電路及金屬基座設計

於 3.3 節與 3.4 節完成了傳送器模組與發射器模組的量測與構裝，如要進行系統整合，還需要有偏壓穩定電路、本地(L0)訊號分波器及第二章所介紹金屬機構基座的設計與製作。

偏壓穩定電路及本地訊號分波器，採用厚度為 20mil，介電係數為 3.5 的陶瓷基板(Roger 4003)進行設計。偏壓穩定電路的設計目的是使電路能穩定的運作，並整合每一級晶體偏壓到 PCB 上，做為外部電源與裸晶片間的連接使用，連接路徑包含了使裸晶片穩定運作所需要的電阻與電容。如圖 3.29 所示。在金屬基座的設計上，需要考慮到發射器模組、接收器模組及偏壓穩定電路進行設計，並需考慮到訊號的潰入與潰出位置，如圖 3.30 與圖 3.31 所示。

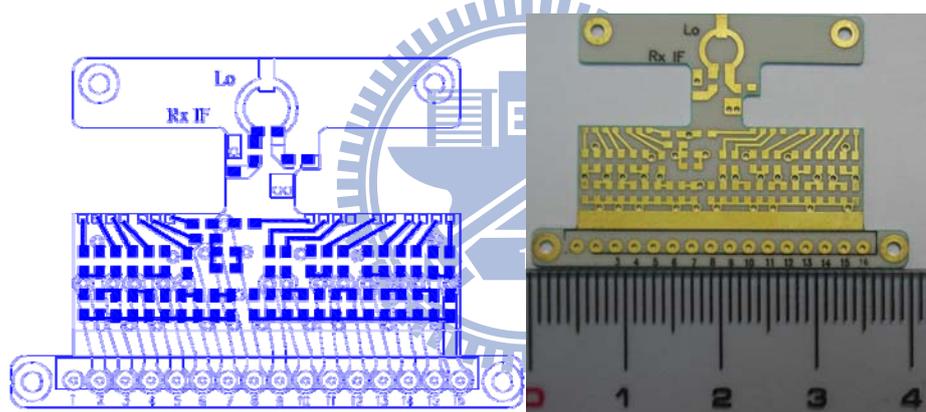


圖 3.29 BIAS Card 設計與製作

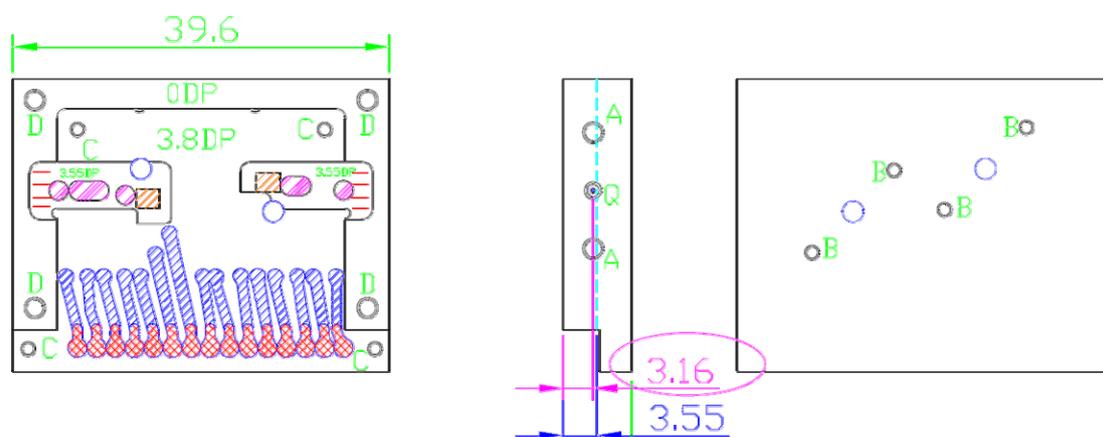


圖 3.30 金屬基座的設計



圖 3.31 金屬基座的製作

在偏壓穩定電路與金屬基座製作完成後，需要進行系統的構裝，構裝結果如圖 3.32 與圖 3.33 所示。

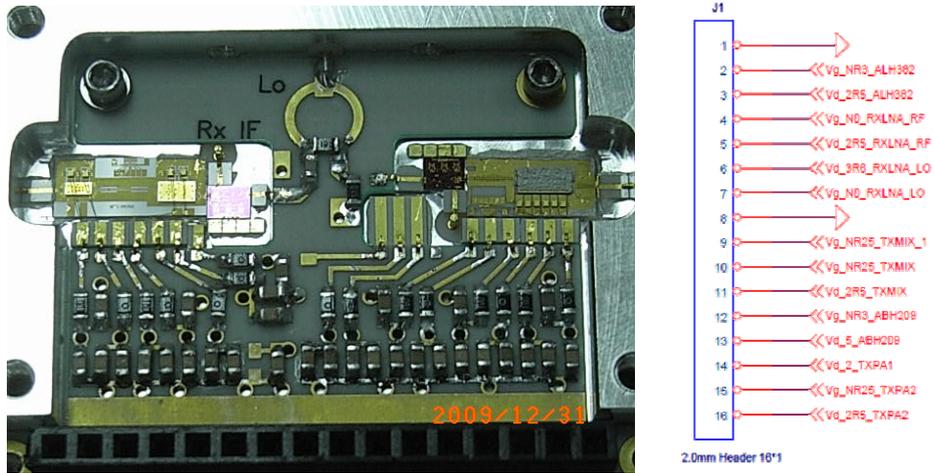


圖 3.32 60GHz 多晶片模組內部線路及排 Pin 電壓表

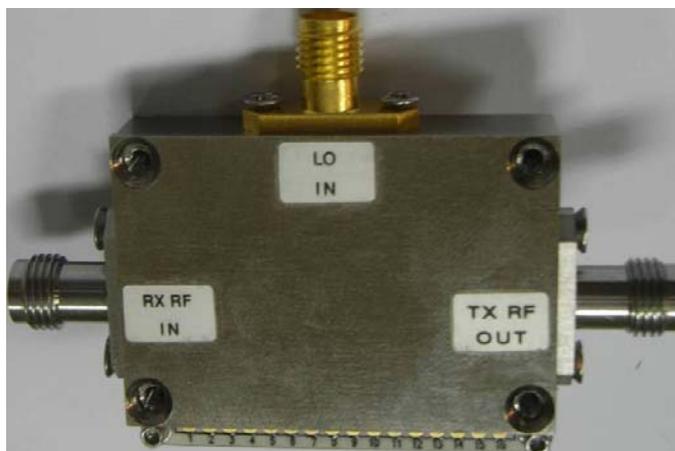


圖 3.33 60GHz 多晶片模組外觀圖

因應收發器模組需要 16 組電源的潰入，如圖 3.32 所示，故設計了電壓調整器(Regulator)模組，將 16 組的電源整合成一組+5V 電源潰入，並設計金屬基座給電壓調整器使用，讓電壓調整器跟 60GHz 多晶片收發器模組能疊構成一個系統模組，使收發器模組更方便的量測與使用。圖 3.34 為電壓調整器的內部線路與金屬基座構裝圖；圖 3.35 為電壓調整器模組與 60GHz 多晶片收發器模組構裝方式。

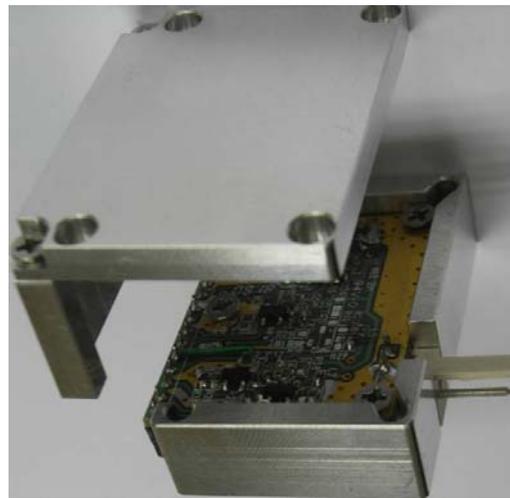


圖 3.34 電壓調整器內部線路與金屬基座構裝圖



圖 3.35 60GHz 多晶片收發器與電壓調整氣組合圖

3.6 60GHz 多晶片模組對通量測與討論

60GHz 多晶片系統模組構裝完成後，將開始進行對通量測，其量測規劃如圖 3.36 所示，採用電腦接上 802.11a/b/g 網路卡再串接 60GHz 多晶片模組的 IF 端，需再配合 60GHz 天線，透過 60GHz 多晶片模組進電腦資料傳輸，如圖 3.37 及圖 3.38 所示。

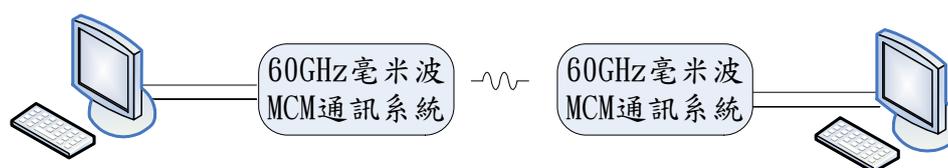


圖 3.36 60GHz 多晶片模組對通量測規劃圖



圖 3.37 發射器模組與 60GHz 天線整合圖

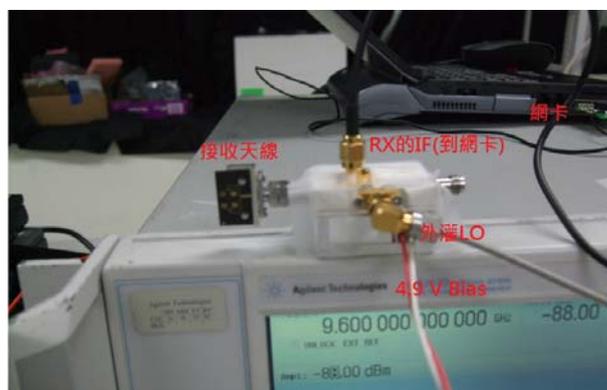


圖 3.38 接收器模組與 60GHz 天線整合圖

圖 3.39 為對通測試的發射器接線狀況，因發射器的功率放大器會發熱，故需配合散熱風扇使用。圖 3.40 為對通測試的接收器接線狀況。

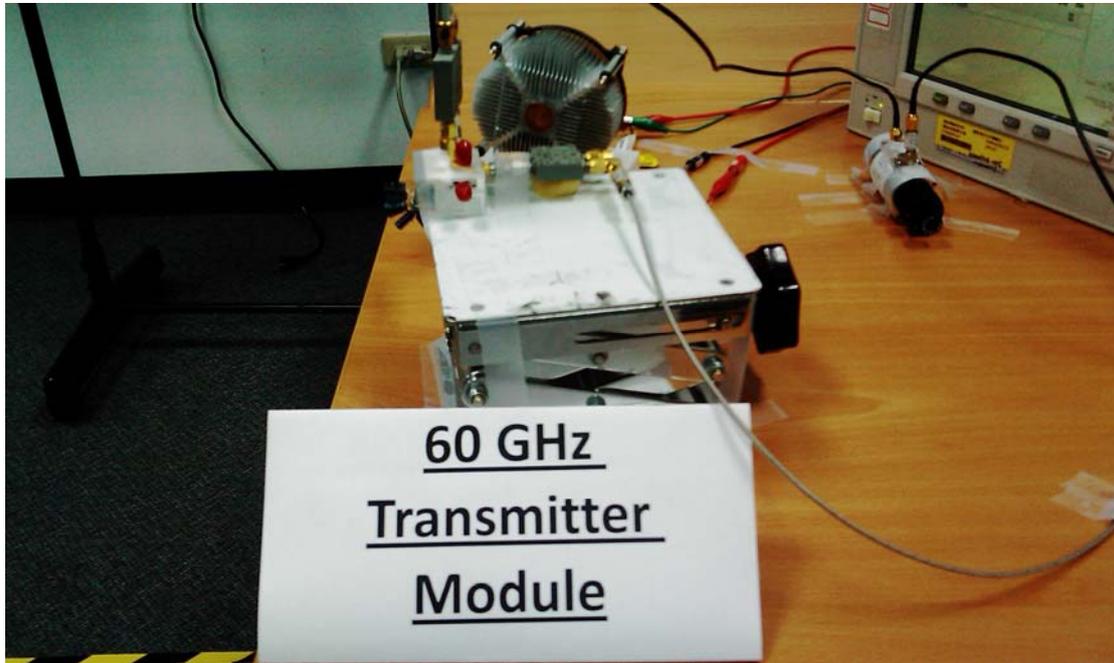


圖 3.39 發射器模組進行對通測試

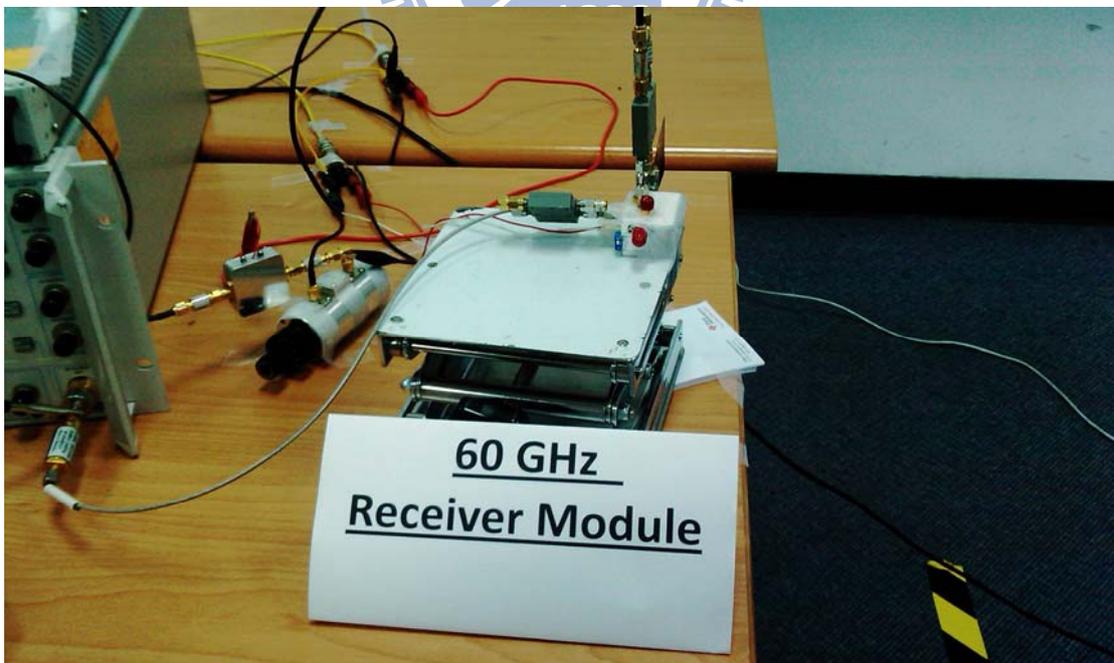


圖 3.40 接收器模組進行對通測試

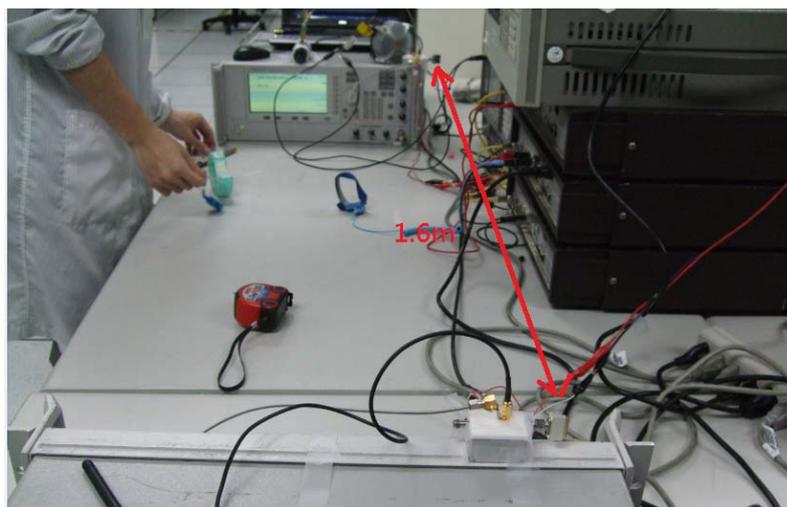


圖 3.41 60GHz 多晶片模組進行對通測試

圖 3.41 中顯示了整個 60GHz 多晶片模組對通接線的環境狀況，此次在 NDL 進行量測的關係，因空間的限制，只能置放於同一個桌子，故只有 1.6m 通訊距離；後續更換量測場所，對通量測距離為 6m，傳輸影像也不會有延遲的狀況發生，由測試結果說明已經成功完成的 60GHz 毫米波多晶片模組的設計與構裝。

第四章 結論

本篇論文中，使用多晶片模組架構去構裝而且實現了一個小型化 60GHz 射頻收發器模組。在這個模組中，不僅包含了傳送器模組(Transmitter module)、接收器模組(Receiver moduel)、偏壓穩定電路和空腔共振抑制-電磁能隙架構 (Electromagnetic Band Gap ; EBG)，並且實現在一個非常小尺寸的封裝當中，整個尺寸為 39.6 mm × 30.8 mm × 9 mm，如圖 4.1。在空腔共振抑制-電磁能隙架構的設計上，將整個系統模組封裝的效應合併到電路設計中，而所提出的電磁能隙架構能在非操作的頻帶上產生額外的傳輸零點，並且能夠抑制一些不需要的訊號。在論文中，也分別對毫米波銀膠構裝技術、共熔合金構裝技術及覆晶構裝技術過程與特性做詳細介紹，並且能夠充分運用於毫米波的收發器模組的製作與構裝，對通量測到的結果也蠻符合預期的。在未來的工作中，或許能夠往更高頻不用執照的商用頻段(如)進行電路設計與構裝，真正的去實現一個更快速的高資料量傳輸的射頻前端模組。

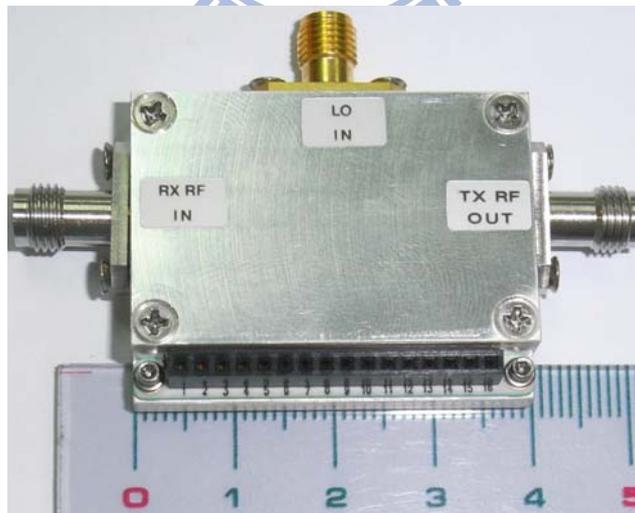


圖 4.1 60GHz 多晶片模組實體圖

參考文獻

- [1] D. M. Pozar, "*Microwave Engineering*", 2nd ed. New York: Wiley, 1998.
- [2] B. A. MUNK, "Frequency Selective Surfaces Theory and Design," Wiley, 2000.
- [3] Jerry C. Whitaker, "The RF Transmission System Handbook," CRC Press LLC, 2002.
- [4] K. C. Gupta, Ramesh Garg, Inder Bahl, Prakash Bhartia, "Microstrip Lines and Slotlines Second Edition," Artech House, 1996
- [5] Stephen A. Maas, "The RF and Microwave Circuit Design Cookbook," Artech House, 1998
- [6] D. Y. Jung, W.-I. Chang, K. C. Eun, and C. S. Park, "60-GHz system-on-package transmitter integrating sub-harmonic frequency amplitude shift-keying modulator," *IEEE Trans. Microw. Theory Tech.*, vol. 55, no. 8, pp. 1786-1793, Aug. 2007.
- [7] F. Alimenti, P. Mezzanotte, L. Roselli, and R. Sorrentino, "Modeling and characterization of the bonding-wire interconnection," *IEEE Trans. Microw. Theory Tech.*, vol. 49, no. 1, pp. 142-150, Jan. 2001.
- [8] J. Y. Chuang, S. P. Tseng, and J. A. Yeh, "Radio frequency characterization of bonding wire interconnections in a molded chip," in *Electronic Compon. Tech. Conf.*, Las Vegas, NV, USA, 2004, pp. 392-399.
- [9] *HFSS*, Ansoft Corporation, Pittsburgh, PA, 2001.
- [10] *Microwave Office*, Applied Wave Research, Inc., El Segundo, CA, 2002.
- [11] R. Abhari, G. Eleftheriades, and E. van Deventer-Perkins, "Physics-based CAD models for the analysis of vias in parallel-plate environments," *IEEE Trans Microw. Theory and Tech.*, vol. 49, no. 10, pp. 1697-1707, Oct. 2001.
- [12] P. Muthana, A. E. Engin, M. Swaminathan, R. Tummala, V. Sundaram, B. Wiedenman, D. Amey, K. H. Dietz, and Sounak Banerji, "Design, modeling, and characterization of embedded capacitor networks for core decoupling in the package," to be published on *IEEE Trans. Adv. Packag.*
- [13] K. B. Wu, A. S. Liu, G. H. Shiue, C. M. Lin, and R. B. Wu, "Optimization for the locations of decoupling capacitors in suppressing the ground bounce by genetic algorithm," *Progress in Electromagnetics Research Symposium (PIERS)*, Hangzhou, China (2005).
- [14] H. Kim, B. K. Sun, and J. Kim, "Suppression of GHz range power/ground inductive impedance and simultaneous switching noise using embedded film capacitors in multilayer packages and PCBs," *IEEE Microw. and Wireless*

- Compon. Lett.*, vol. 14., no. 2, pp. 71-73, Feb, 2004.
- [15] F. R. Yang, K. P. Ma, Y. Qian, and T. Itoh, "A novel TEM waveguide using uniplanar compact photonic-bandgap (UC-PBG) structure", *IEEE Trans. Microw. Theory and Tech.*, vol. 47, no. 11, pp. 2092-2098, Nov., 1999.
- [16] S. Shahparnia and O. M. Ramahi, "Electromagnetic interference (EMI) reduction from printed circuit boards (PCB) using electromagnetic bandgap structure," *IEEE Trans. on Electromagn. Compat.*, vol. 46, no. 4, pp. 580-587, Nov. 2004.
- [17] C. L. Wang, G. W. Shiue, W. D. Guo, and R. B. Wu, "A systematic design to suppress wideband ground bounce noise in high-speed circuits by electromagnetic bandgap enhanced split powers," *IEEE Trans. Microw. Theory and Tech.*, vol. 54, no. 12, pp. 4209-4217, Dec. 2006.
- [18] J. Lee, H. Kim, J. Kim, "High dielectric constant thin film EBG power/ground network for broad-band suppression SSN and radiated emission," *IEEE Microw. and Wireless Compon. Lett.*, vol. 15, no. 8, pp. 505-507, Aug. 2005.
- [19] M. S. Zhang, Y. S. Li, C. Jia, and L. P. Li, "A power plane with wideband SSN suppression using a multi-via electromagnetic bandgap structure," *IEEE Microw. and Wireless Compon. Lett.*, vol. 17, no. 4, pp. 307-309, Apr. 2007.
- [20] T. L. Wu, Y. H. Lin, T. K. Wang, C. C. Wang, and S. T. Chen, "Electromagnetic bandgap power/ground planes for wideband suppression ground bounce noise and radiated emission in high-speed circuits," *IEEE Trans. Microw. Theory and Tech.*, vol. 53, no. 9, pp. 2935-2942, Sep, 2005.
- [21] T. L. Wu, C. C. Wang, Y. H. Lin, T. K. Wang, and G. Chang, "A novel power plane with super-wideband elimination of ground bounce noise on high speed circuits," *IEEE Microw. and Wireless Compon. Lett.*, vol. 15, no. 3, pp. 174-176, Mar. 2005.
- [22] J. Kim, H. Lee, and J. Kim, "Effects on signal integrity and radiated emission by split reference plane on high-speed multilayer printed circuit boards," *IEEE Trans. adv. Packag.*, vol. 28, no. 4, pp. 724-735, Nov. 2005.
- [23] S. H. Joo, D. Y. Kim, H. Y. Lee, "A S-bridged electromagnetic bandgap power plane for suppression of ground bounce noise," *IEEE Microw. and Wireless Compon. Lett.*, vol. 17, no. 10, pp. 709-711, Oct. 2007.
- [24] G. T. Lei, R. W. Techentin, B. K. Gilbert, "Power distribution noise suppression using transmission line termination techniques," *5th Topical Meeting on Electrical Performance of Electronic Packages*, pp. 100-102, 1996.
- [25] J. Qin, O. M. Ramahi, "Ultra-wideband mitigation of simultaneous switching noise using novel planar electromagnetic bandgap structures," *IEEE Microw. and Wireless Compon. Lett.*, vol. 16, no. 9, pp. 487-489, Sep. 2006.

自傳

我是張資鑫，1974 年出生於台中縣，大學畢業於台灣科技大學電子工程系，並於2002 年7 月在台揚科技任職，因工作的關係，深覺所學知識之不足，故於2006 年就讀交通大學電機學院碩士在職專班電信組，希望能夠在無線的領域裡面，涉獵得更多元的知識。

任職於台揚科技工程部的工作內容，包含了C-Band 到 Ku-Band 的收發機(Transceiver)和點對點室外傳輸設備系統 (Point to point outdoor communication equipment) 相關產品開發，從事高頻電路的設計與驗證，將產品從工程試製階段，經過客戶對產品特性認證，一直到產品的穩定量產，並提高產品的生產良率。

就讀在職專班四年的過程中，參與” 60GHz 覆晶多晶片模組” 的計劃，從計劃書提出，到整個計畫的完成與驗收，也從計劃中學習累積更多的經驗，所以對我而言特別有意義，收穫也特別多。