

國立交通大學

電信工程研究所

碩士論文

應用於 WLAN 之 PHEMT 單壓操作低雜訊放大器
與改進閃爍雜訊之直接降頻式混頻器

Single-Supply Voltage PHEMT LNAs and
Direct Conversion Mixers with Flicker Noise
Improvement for WLAN Applications

研究生：簡欣怡

指導教授：孟慶宗 博士

中華民國九十八年十一月

應用於 WLAN 之 PHEMT 單壓操作低雜訊放大器

與改進閃爍雜訊之直接降頻式混頻器

Single- Supply Voltage PHEMT LNAs and
Direct Conversion Mixers with Flicker Noise Improvement
for WLAN Applications

研究生：簡欣怡

Student : Hsin-I Chien

指導教授：孟慶宗 博士

Advisor : Dr. Chin-chun Meng



Submitted to Department of Communication Engineering

College of Electrical Engineering and Computer Science

National Chiao Tung University

in partial Fulfillment of the Requirements

for the Degree of

Master

in

Communication Engineering

November 2009

Hsinchu, Taiwan, Republic of China

中華民國九十八年十一月

應用於 WLAN 之 PHEMT 單壓操作低雜訊放大器 與改進閃爍雜訊之直接降頻式混頻器

學生：簡欣怡

指導教授：孟慶宗博士

國立交通大學電信工程研究所碩士班

摘 要

本論文針對 WLAN 前端電路的雜訊議題來研究，分成設計 PHEMT 低雜訊放大器與改善閃爍雜訊之直接降頻器兩個部份。

LNA 提出一個可以自偏壓的架構，即使使用空乏型 PHEMT 製程元件，整個電路仍只需要一個正極偏壓；因此，本論文實作了兩個 LNA，其中 2.4GHz 的單頻帶 LNA 達到 1.43dB 低雜訊指數與 15.7dB 的增益，還有 2.4GHz/5GHz 雙頻帶 LNA，兩個頻帶的雜訊指數都約在 3.4dB，證實此架構可應用於雙頻帶。

於降頻器的部份，已有文獻討論出電路雜訊與 LO 開關級的偏壓電流和電路的寄生電容有關，以此觀點出發，實作了三種具有改善閃爍雜訊的電路，分別為靜態電流分流、動態電流分流、靜態電流分流結合串聯共振電感；如何進行準確的低頻雜訊量測是個挑戰，本論文會論述我們做了哪些嘗試來解決外在雜訊的干擾；0.13 μm CMOS 動態電流分流降頻器量到 12.8dB 雜訊指數與 4MHz 轉角頻率；而 PHEMT 降頻器有量到靜態電流分流的效果，電路的雜訊指數為 11.4dB，轉角頻率從 80MHz 壓低至 40MHz。

Single-Supply Voltage PHEMT LNAs and Direct Conversion Mixers with Flicker Noise Improvement for WLAN Applications

student : Hsin-I Chien

Advisors : Dr. Chin-chun Meng

Institute of Communication Engineering
National Chiao Tung University

ABSTRACT

Noise is an important issue for the WLAN front-end applications, especially in the direct-conversion system. This thesis focuses on the two topics of PHEMT LNAs and low flicker-noise mixer. The first is to design a single biasing PHEMT LNAs by our proposed self-bias technique. Under a single supply of 3 V, the 2.4 GHz LNA achieves the noise figure of 1.43 dB and the gain of 15.7 dB. The other LNA operating at the dual band of 2.4 GHz/5 GHz has noise figure about 3.4dB at these two bands. The current consumption of them are 10 mA and 12.6 mA, respectively.

The next studies the flicker noise of mixer, which is closely related to the biasing current of the switch core, and the circuit parasitic capacitance. We approach this issue in the three different methods, including the static current bleeding, dynamic current bleeding and static current bleeding with two series resonant inductors. Moreover, the technique of low-frequency noise measurement will be discussed in detail. It is because the surrounding noise will degrade the measurement quality seriously. How to make a clean environment is another challenge in the flicker-noise research. From the measured results, the dynamic current bleeding mixer implemented in $0.13\mu\text{m}$ CMOS process achieves 12.8 dB noise figure and 4 MHz corner frequency, and the $0.15\mu\text{m}$ PHEMT mixer with static-current injection has an obvious improvement in lowering the corner frequency (from 80 MHz to 40 MHz).

誌謝

能完成這本論文，首先感謝老師孟慶宗博士在課業與研究上的指導，並給予豐富的研究資源支持我的研究，讓我有許多機會從研究過程中累積了寶貴的經驗。也很感謝抽空前來指導學生口試的徐碩鴻教授、郭治群教授與張志揚教授，謝謝您們熱心地提供量測低頻雜訊的建議，您們對論文提出的見解也令我收穫良多。謝謝 CIC 以及廣大的納稅人，讓我得以有實作品片的機會。

感謝國家奈米元件實驗室高頻技術組提供量測上的協助，尤其是小鄧、國祥、書毓、榮彥、汶德諸位大哥，辛苦你們了。感謝室友：洪小鴻、黃艾莉、黃希蜜、佩嬪；還有瑞君學姐、佩倫學姐、怡均、建碩和貝禎，你們是最佳的心情垃圾桶，也是最有力的加油團～願大家工作順心。

感謝 918 實驗室的大家，充實了我的研究生生涯；珍儀學姐的貼心讓實驗室變得溫暖，我會記得你說的「注意細節、自己學著判斷」這番話；實驗室大總管聖哲學長，謝謝你引領著我做台積電計畫；量測魔人宏儒學長，歸功於學長的細心，才能發現我實驗上的缺失、助我量到了閃爍雜訊，厲害的金詳學長，跟你請教研究上的問題總是讓我得到啟發，模擬方面也幫了很大的忙；光頭揚鮮學長，活潑的宜蓁學姐、雅惠學姐和威宇學長，謝謝你們教導我實驗室的工作，也跟我分享了你們人生的心得；宜珊學姐認真的學習態度是我效法的對象；超熱血的陸熙，不得不說你真的是很好用的 tool 將，謝謝你在研究上的幫忙；謝謝大維教我製作電路板的技巧，還有準備好吃的蛋糕跟烤肉，你一定會在廚師界發光發熱的；結案高手泰麟，祝福你愛情事業兩得意；有趣的學弟妹忠佑、嘉荃及智凱，希望在半年後就輪到你們有好消息；楊雋、彥鋒、政魁和建守，很高興在最後畢業衝刺的時候認識你們，祝福你們將來的研究順利；高 EQ、高效率的可愛助理小姐小薔，我有聽你的話列了 my must-do list，願我們都早日達成自己的目標。

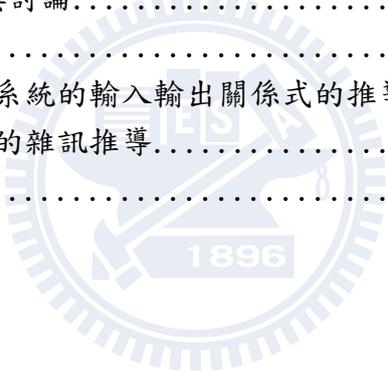
感謝家人的諒解與關懷，特別是愛扮黑臉的哥哥與總是愛護我的媽媽，謝謝你們對家裡的付出，讓我能完成學業，接下來我會努力讓我們家過好日子的。

欣怡 2009 年秋於交通大學

目錄

摘要 (中文)	i
摘要 (英文)	ii
致謝	iii
目錄	iv
表目錄	vi
圖目錄	vii
第 1 章 導論	1
1.1 研究動機	2
1.2 研究成果	3
1.3 論文組織	4
第 2 章 單正壓操作之 PHEMT 製程 LNA	5
2.1 2.4GHz 低雜訊放大器 (WIN 0.15 μ m PHEMT)	6
2.1.1 研究動機	6
2.1.2 整體電路架構	9
2.1.3 模擬與量測結果	9
2.1.4 比較與討論	12
2.2 2.4GHz/5GHz 雙頻帶 LNA (WIN 0.15 μ m PHEMT)	15
2.2.1 研究動機	15
2.2.2 整體電路架構	17
2.2.3 模擬與量測結果	17
2.2.4 比較與討論	22
第 3 章 主動降頻器的雜訊分析	25
3.1 主動式降頻器的雜訊基本理論	26
3.1.1 轉導級貢獻的雜訊	30
3.1.2 開關級貢獻的雜訊 (直接開關雜訊)	32
3.1.3 開關級貢獻的雜訊 (間接開關雜訊)	35
3.2 簡介元件的閃爍雜訊與其模型	37
3.3 CMOS 場效電晶體的 STI 效應對其閃爍雜訊的影響	39
3.4 假晶高電子遷移率電晶體 (PHEMT) 元件的閃爍雜訊	41
3.5 量測雜訊指數的架設	42
第 4 章 改善 FET 主動式降頻器的顫動雜訊之研究	50
4.1 5.2GHz 吉爾伯式降頻器 (CG)	
-運用 LO 開關級偏壓電流靜態分流方式與串聯共振電感	
(TSMC 0.18 μ m CMOS)	51

4.1.1	研究動機.....	51
4.1.2	整體電路架構.....	54
4.1.3	模擬與量測結果.....	54
4.1.4	比較與討論.....	57
4.2	2.4GHz 吉爾伯式降頻器(CS) -運用 LO 開關級偏壓電流動態分流方式 (TSMC 0.13 μm CMOS).....	61
4.2.1	設計方法.....	61
4.2.2	整體電路架構.....	62
4.2.3	模擬與量測結果.....	63
4.2.4	比較與討論.....	65
4.3	5.2GHz 微混波器 (降頻) (WIN 0.15 μm PHEMT).....	67
4.3.1	研究動機.....	67
4.3.2	整體電路架構.....	69
4.3.3	模擬與量測結果.....	70
4.3.4	比較與討論.....	75
第 5 章	結論.....	77
附錄一	線性週期時變系統的輸入輸出關係式的推導.....	79
附錄二	負回授放大器的雜訊推導.....	82
參考文獻	85



表目錄

表 1.	本論文之研究成果.....	4
表 2.	2.4GHz LNA 直流偏壓狀況.....	9
表 3.	2.4GHz LNA 模擬與量測結果總結.....	14
表 4.	雙頻帶 LNA 直流偏壓狀況.....	17
表 5.	雙頻帶 LNA 模擬與量測結果總結.....	24
表 6.	5.2GHz 低顫動雜訊降頻器的模擬與量測結果總結.....	60
表 7.	2.4GHz 低顫動雜訊降頻器的模擬與量測結果總結.....	66
表 8.	5.2GHz 微混頻器的模擬與量測結果總結.....	76

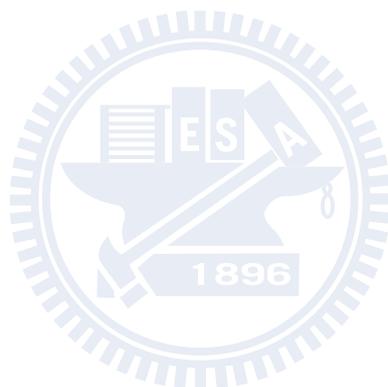


圖目錄

圖(2.1)	電流重複利用之兩級共源極放大器 LNA	6
圖(2.2)	單正壓操作之 LNA	7
圖(2.3)	2.4GHz LNA 整體電路圖	9
圖(2.4)	2.4GHz LNA 模擬的穩定度。	10
圖(2.5)	2.4GHz LNA 模擬與量測的雜訊指數	10
圖(2.6)	2.4GHz LNA 模擬與量測的 S 參數	11
圖(2.7)	2.4GHz LNA 模擬與量測的 P1dB	11
圖(2.8)	2.4GHz LNA 模擬與量測的 IP3	12
圖(2.9)	2.4GHz LNA Die Photo	12
圖(2.10)	雙頻帶輸入匹配電路	15
圖(2.11)	2.4GHz/5GHz Dual-band LNA 整體電路圖	17
圖(2.12)	雙頻帶 LNA 模擬與量測的穩定度	18
圖(2.13)	雙頻帶 LNA 模擬與量測的雜訊指數	18
圖(2.14)	雙頻帶 LNA 模擬與量測的 S 參數	19
圖(2.15)	雙頻帶 LNA 在低頻帶模擬與量測的 1dB 點	19
圖(2.16)	雙頻帶 LNA 在低頻帶模擬與量測的 IP3	20
圖(2.17)	雙頻帶 LNA 在高頻帶模擬與量測的 1dB 點	20
圖(2.18)	雙頻帶 LNA 在高頻帶模擬與量測的 IP3	21
圖(2.19)	雙頻帶內模擬與量測的線性度	21
圖(2.20)	雙頻帶 LNA Die Photo	22
圖(2.21)	自偏壓元件有偏壓在深三極管區的可能	23
圖(3.1)	週期平穩過程 (cyclostationary process) 的概念	26
圖(3.2)	混頻器與輸入參考雜訊	27
圖(3.3)	週期平穩過程的輸出端雜訊堆疊現象	28
圖(3.4)	單平衡降頻器	29
圖(3.5)	電晶體的 g_m 對 V_{ds} 的關係	29
圖(3.6)	$LO(t)$ 與各電晶體 $g_m(t)$	30
圖(3.7)	$LO(t)$ 與轉導級系統的轉換函數 $p(t)$	31
圖(3.8)	$LO(t)$ 與系統的轉換函數 $G_{ms}(t)$	33
圖(3.9)	Push-push 點	36
圖(3.10)	CMOS 元件側面示意圖	40

圖(3.11)	CMOS 元件俯視示意圖	40
圖(3.12)	晶格常數不匹配的情形	41
圖(3.13)	功率用 PHEMT 的結構剖面圖	42
圖(3.14)	Y 參數法量測雜訊指數的設備架設	42
圖(3.15)	電路的輸出頻譜顯示有外來雜訊干擾量測	43
圖(3.16)	有外來干擾的電路低頻雜訊指數	44
圖(3.17)	安置旁路電容的電路板	46
圖(3.18)	量測電路板電路的輸出頻譜	46
圖(3.19)	差動轉單端輸出量測雜訊指數的架設法	47
圖(3.20)	主動 IF balun 的電路圖與電路板照片	47
圖(3.21)	圖(3.14)去嵌化的示意圖	48
圖(3.22)	圖(3.19)去嵌化的示意圖	48
圖(3.23)	OP 模擬與量測的增益	49
圖(3.24)	OP 模擬與量測的雜訊指數	49
圖(4.1)	靜態抽取電流裝置電路圖	51
圖(4.2)	一個共振電感電路之示意圖	52
圖(4.3)	圖(4.2)在 LO 頻率的共振示意圖	52
圖(4.4)	靜態電流分流 + 串聯二個共振電感	53
圖(4.5)	靜態電流分流 + 串聯二個共振電感的等效電路	53
圖(4.6)	5.2GHz CG 降頻器整體電路圖	54
圖(4.7)	5.2GHz CG 降頻器模擬與量測的轉換增益對 LO 功率	54
圖(4.8)	5.2GHz CG 降頻器模擬與量測的轉換增益對 IF 頻率	55
圖(4.9)	5.2GHz CG 降頻器模擬與量測的 P1dB 點	55
圖(4.10)	5.2GHz CG 降頻器單埠量測的雜訊指數	56
圖(4.11)	5.2GHz CG 降頻器差動量測的雜訊指數	56
圖(4.12)	5.2GHz CG 降頻器 die photo	57
圖(4.13)	模擬電流分流裝置所貢獻的共模雜訊 (比較抽電流、元件閘極長度、電路是否轉成單端輸出)	58
圖(4.14)	模擬不同分流電流下的所需的 LO power 與雜訊表現	60
圖(4.15)	動態偏壓電流分流裝置電路圖	61
圖(4.16)	2.4GHz CS 降頻器整體電路圖	62
圖(4.17)	2.4GHz CS 降頻器模擬與量測的轉換增益對 LO 功率	63
圖(4.18)	2.4GHz CS 降頻器單埠量測的雜訊指數對 IF 頻率	63
圖(4.19)	2.4GHz CS 降頻器差動量測的雜訊指數對 IF 頻率	64
圖(4.20)	2.4GHz CS 降頻器 die photo	64
圖(4.21)	模擬的雜訊指數，比較不同 LO pumping power 與 有無輸出差動轉單端 (模擬電路不含輸出緩衝器)	65

圖(4.22)	模擬的雜訊指數， 比較不同注入電流量.....	66
圖(4.23)	降頻器電路.....	68
圖(4.24)	馬爾尚分合波器的佈局圖.....	69
圖(4.25)	5.2GHz 微混頻器整體電路架構.....	69
圖(4.26)	具靜態電流分流的微混頻器整體電路圖.....	70
圖(4.27)	馬爾尚分合波器的輸入返回損耗 S11 與傳輸損耗 S21、S31	70
圖(4.28)	馬爾尚分合波器的差動埠相位差.....	71
圖(4.29)	比較有無電流分流的轉換增益對 LO 功率量測.....	71
圖(4.30)	比較有無電流分流的轉換增益對 IF 頻率量測.....	72
圖(4.31)	比較有無電流分流的雜訊指數對 IF 頻率量測.....	72
圖(4.32)	量測比較不同 LO 頻率下轉換增益對 LO 功率.....	73
圖(4.33)	量測比較不同 LO 頻率下轉換增益對 IF 頻率.....	73
圖(4.34)	量測比較不同 LO 頻率下雜訊指數對 IF 頻率.....	74
圖(4.35)	5.2GHz 微混波器 die photo.....	74
圖(4.36)	具靜態電流分流的微混波器 die photo.....	75



第 1 章 導論



1.1 研究動機

無線通訊在強調隨時隨地與效率的現代社會扮演越來越重要的角色，但無論是何種應用都要考慮系統雜訊的議題，以接收機前端的低雜訊放大器來說，它壓低系統雜訊的能力愈強則系統所需的最小輸入功率就愈小（系統敏感度變好），當然低雜訊放大器本身的雜訊指數也要設計相當地低，本論文實作了兩個低雜訊放大器，選擇用 PHEMT 製程，希望利用元件本身低微波雜訊的特性來達到小於 2dB 的電路雜訊指數。

再擴大從系統架構來看，若要針對廣大市場提供低成本方案，則直接降頻式接收機將是首選的架構，但必須克服伴隨此架構的四個問題：

- 直流偏移
- 偶次諧波失真
- I/Q 訊號不匹配
- 閃爍雜訊(Flicker Noise)

隨著使用 CMOS 的射頻積體電路技術日漸成熟，越來越多的傳收機能直接用 CMOS 製程與數位電路整合在一起，但 CMOS 電晶體本身的閃爍雜訊屬於低頻雜訊（約數百 kHz 以內才出現），其功率頻譜密度和頻率成反比，在低頻它將可能淹沒欲接收的信號，使直接降頻式接收機的基頻信號信雜比(SNR)降低。

而追究整個接收機當中的元件，低雜訊放大器的操作頻率遠高於閃爍雜訊的轉角頻率、基頻信號處理電路則可以設計使用長通道的電晶體，所以降頻器產生的閃爍雜訊可能最具主導地位（其原理將於本論文第三章中解釋）；降頻器分為主動式與被動式兩種，主動式降頻

器具有較高增益的優點，能幫助抑制後級電路產生的雜訊，主動式降頻器的轉角頻率一般約在 1MHz 左右，所以通常直接降頻式接收機的中頻頻率不會設計到如此低頻，但要是能降低主動式降頻器的閃爍雜訊，那麼就能增加中頻信號可用的頻寬。

本論文即針對主動式降頻器來研究改善其閃爍雜訊的方法。由相關論文歸納出四個改進降頻器閃爍雜訊的要點，如減少 LO 開關級的偏壓電流、選用大尺寸元件、改變 LO 信號的頻率與波形的切線斜率以及減小電路的寄生電容，再衍生出對應的電路技巧，並針對偏壓電流分流裝置本身的雜訊對電路的影響做個討論。

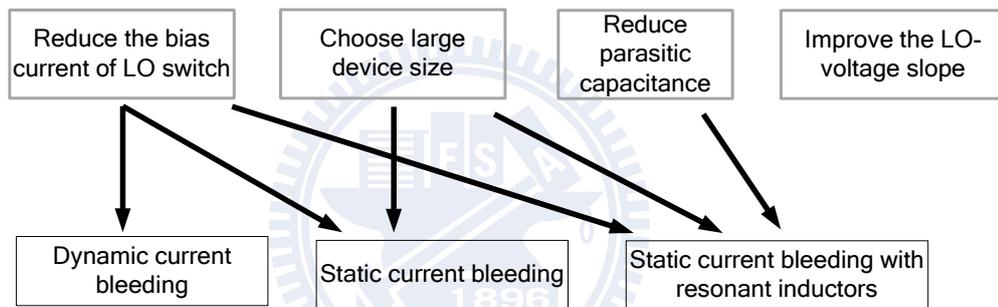


圖 (1.1) 改善降頻器閃爍雜訊的四個要點與其對應的電路技巧

1.2 研究成果

本篇論文利用 TSMC $0.18\mu m$ 1P6M RF CMOS、TSMC $0.13\mu m$ 1P8M RF CMOS 以及 WIN $0.15\mu m$ PHEMT 製程技術來設計晶片，由國家晶片中心與台灣積體電路公司、穩懋半導體合作提供給學術研究之用。

晶片名稱	使用製程	Noise Figure	Corner Freq
2.4GHz LNA	WIN $0.15\mu m$ PHEMT	1.43dB	-

2.4/5GHz LNA	WIN 0.15 μm PHEMT	≈ 3.3 dB	-
5.2GHz Static Current Bleeding Mixer	TSMC 0.18 μm CMOS	12dB	23MHz
2.4GHz Dynamic Current Bleeding Mixer	TSMC 0.13 μm CMOS	12.8dB	4MHz
5.2GHz Micromixer	WIN 0.15 μm PHEMT	11.4dB	40MHz

表1. 本論文之研究成果

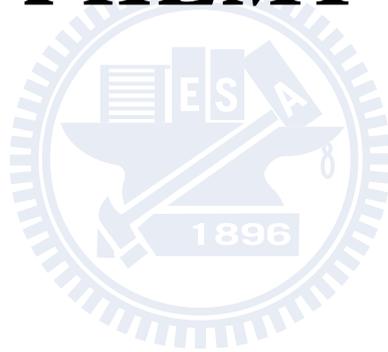
1.3 論文組織

本論文分為五個章節：第一章為導論；第二章包含說明與實作，空乏型 PHEMT 製程如何利用自偏壓技巧來達到單正壓電源操作與低雜訊；再來進入探討降頻器的閃爍雜訊，第三章解釋降頻器的雜訊機制，並提出改善其閃爍雜訊的電路技巧，以及說明量測是如何的架設；第四章為實作改善閃爍雜訊的電路，比較模擬與量測結果，雖然因為設計上的疏失以至於量測得到轉角頻率仍然頗大，不過我有檢討出原因，附上模擬來驗證，供未來設計者做個參考；第五章則對上述的所有電路設計與實作結果做個結論；第六章是附錄。

第 2 章

單正壓操作之

PHEMT 製程 LNA



2.1 2.4GHz 低雜訊放大器

(WIN 0.15 μm PHEMT)

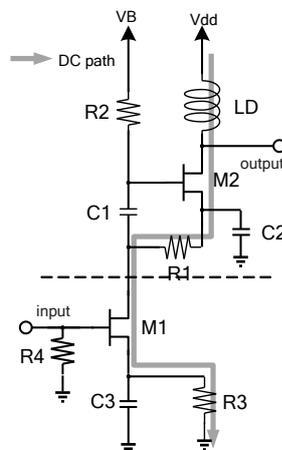
2.1.1 研究動機

本電路針對無線通訊網路 2.4GHz~2.5GHz 來做一個實現，雖然在 2.4GHz 的應用上 CMOS 製程因為較便宜而比較佔優勢，但目前 CMOS 低雜訊放大器的雜訊指數仍較 pHEMT 製程的電路高(參考文獻[3]~[5])，若是接收機非常講求低雜訊指數的話(如 1.3dB Noise Figure)，pHEMT 製程是更好的選擇。

然而 PHEMT 元件要設計偏壓在低雜訊、低功率的情況下，其閘極必須給予一負偏壓，此電路即針對自偏壓電路及傳統電流重複使用放大器做出改良，目的是為了達到單壓操作(行動通訊系統常用的 3V 電壓源)與低功率消耗(25mW)，針對窄頻(2.4GHz~2.5GHz)設計，以求能達到極低雜訊的效能。

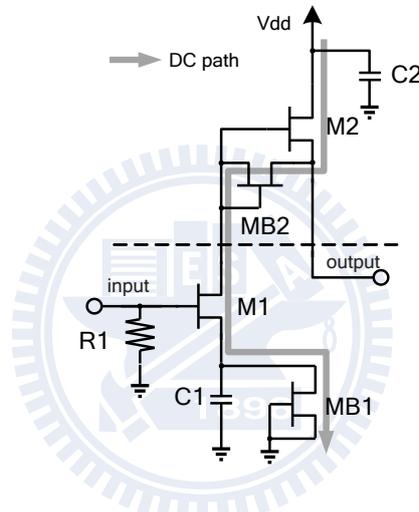
2.1.1.(1) 基本架構簡介

為了降低功率消耗而衍生出了電流重複利用的型式，參考文獻[6]介紹電流重複利用的低雜訊放大器架構如下：



圖(2.1) 電流重複利用之兩級共源極放大器 LNA

$M1$ 與 $M2$ 共用一條 DC 路徑，從 ac 信號來看他們又各為一級共源極放大器，如此的架構雖然能達到低功率、低雜訊與高增益，輸入端也不需偏壓、方便設計阻抗匹配網路，不過缺點有三：自偏壓電路由電阻實現，然而電阻易發生製程變異而影響電路的偏壓；輸出端由電感構成阻抗匹配，當操作頻率在低頻時所需要的感值必須很大，此電感會佔據不少面積；可能需要再多一個 V_B 電源來給 $M2$ 的閘極偏壓，也是會多佔掉一些面積和增加封裝的成本。



圖(2.2) 單正壓操作之 LNA

參考文獻[1][2]提出圖(2.2)的架構，第一級 $M1$ 為共源極放大器，提供電路主要的增益，第二級 $M2$ 為共汲極放大器，做輸出阻抗匹配。電路的偏壓方面，輸入端給 $0V$ ，靠並聯接地的電阻給偏壓；兩個接成二極體組態的自偏壓電晶體 $MB1$ 、 $MB2$ 做電路的電流源，主動的電晶體 $M1$ 和 $M2$ 藉由自偏壓電路的 V_{ds} 得到負的 V_{gs} 偏壓；所以此電路可以單壓操作，而且只有一條電流路徑，節省消耗的功率。

元件尺寸 $M1=M2$ ， $MB1=MB2$ ，對稱的元件才能避免 $M1$ 或是 $M2$ 不是工作在飽和區的情況。

2.1.1.(2) 電晶體元件尺寸之設計

依據預計規格規劃的 3V 電壓源、消耗電流 $I = 7 \sim 11mA$ ，以及經驗公式 ($I = 0.15 \times I_{dss}$ 時電晶體貢獻的雜訊最小)，因此元件大小不能太大，WIN 提供 2×50 、 4×50 的電晶體適合此偏壓操作的限制，而大尺寸的元件有利於縮小輸入阻抗匹配的電感大小，所以最後選擇 4×50 的電晶體。

自偏壓的電晶體是自己把 2×50 的電晶體縮小得到的，文獻指出 GaAs FET 相當遵行 scaling rule，故自行縮小電晶體的通道寬度，WIN 提供的大訊號模型仍可適用在 I-V 曲線的模擬。

2.1.1.(3) 源極電感性退化

輸入阻抗等效為

$$Z_{in} = j\omega(L_g + L_s) + \frac{1}{j\omega C_{gs}} + \omega_T L_s$$

理論上共源極放大器使用電感性退化可使得其輸入阻抗靠近 50Ω ，經模擬的結果， 4×50 的電晶體在 $I = 0.15 \times I_{dss}$ 偏壓時 $f_T = 49GHz$ ，由計算得到大概用 $0.1nH$ 即可達到此效果，此感值不會犧牲多少電路的增益。

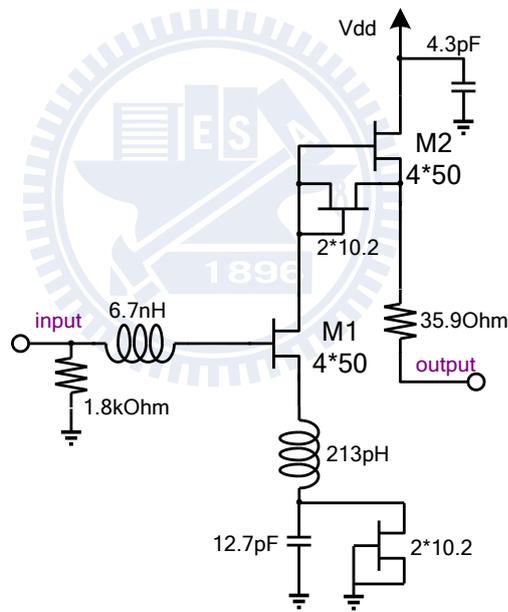
在電路中所使用的電感都是利用 WIN 所提供的模型來實作。

2.1.1.(4) 電路穩定性

電路在低頻 ($1GHz$ 左右) 會震盪，推測是因為增益太高 (輸入阻抗匹配時電路有超過 $20dB$ 的增益，可能因為這是 power device 的

製程，元件偏向高增益，解決的方法有一：在電晶體的汲極和閘極並聯電阻到地，不過我在汲極並聯電阻的幫助不大，閘極並聯電阻對電路穩定性很有幫助，然而會貢獻許多雜訊給電路，所以我嘗試另一種解決震盪的方法：在輸出端串聯一個小電阻，因為第一級共源極放大器的增益很高、所以這個小電阻貢獻給電路的熱雜訊不多，雖然這種作法是犧牲了一些增益跟雜訊指數，不過最後增益和雜訊指數還是在我預定的規格之內。

2.1.2 整體電路架構



圖(2.3) 2.4GHz LNA 整體電路圖

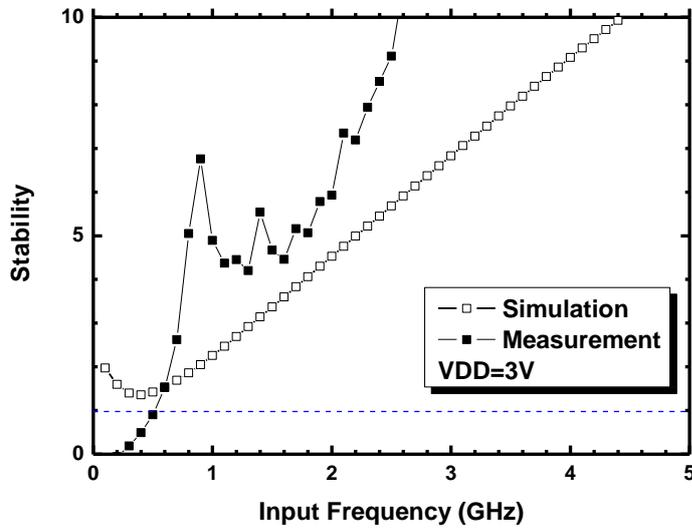
2.1.3 模擬與量測結果

- 直流偏壓

	Pre-simulation	Measurement	
VDD	3V	3V	5V
IDD	8.47mA	10mA	10mA

表2. 2.4GHz LNA 直流偏壓狀況

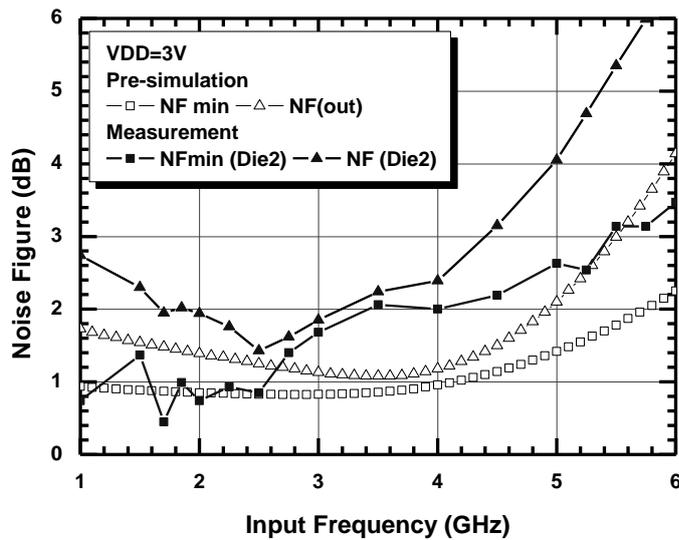
- 模擬與量測的穩定度



圖(2.4) 2.4GHz LNA 模擬的穩定度。

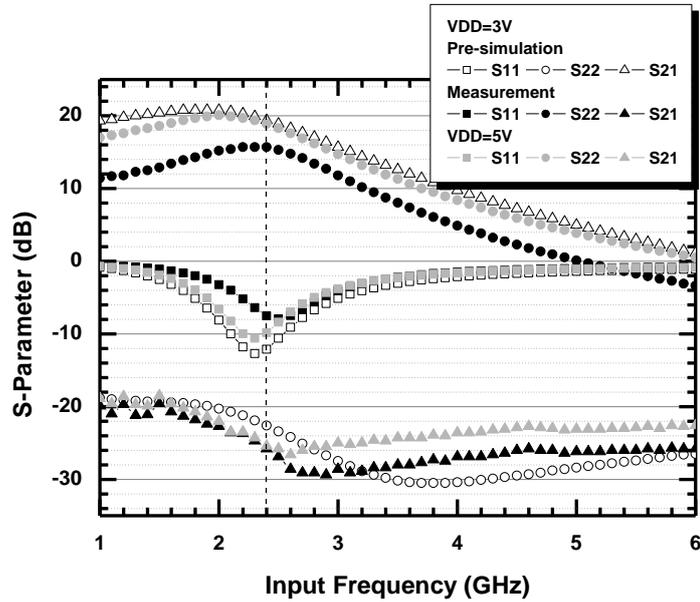
量測在 200MHz 以下不是無條件穩定。

- 模擬與量測的雜訊指數



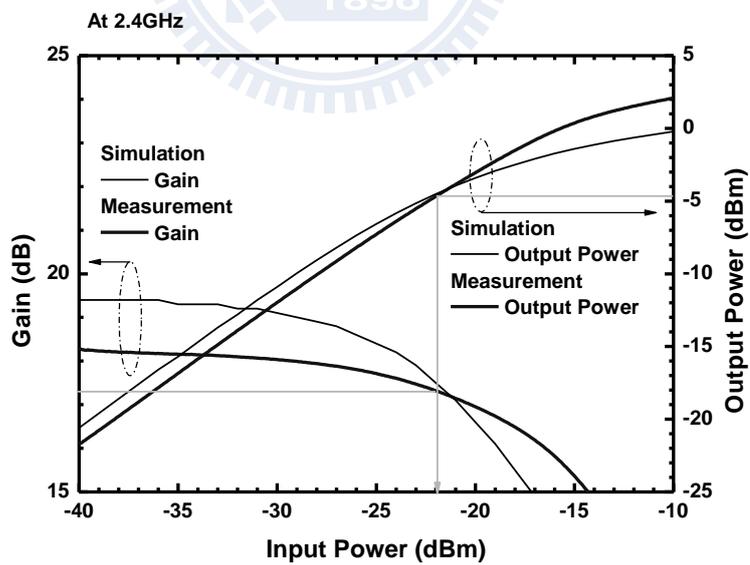
圖(2.5) 2.4GHz LNA 模擬與量測的雜訊指數

- 量測與模擬的 S 參數



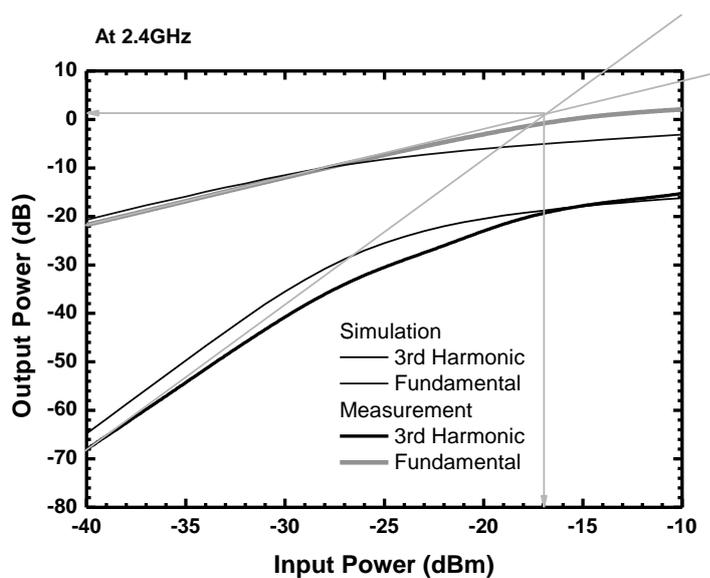
圖(2.6) 2.4GHz LNA 模擬與量測的 S 參數

- 模擬與量測的線性度



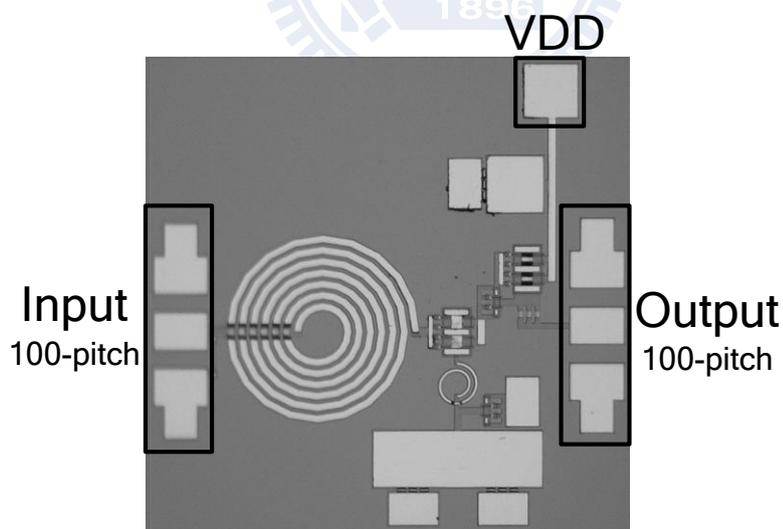
圖(2.7) 2.4GHz LNA 模擬與量測的 P1dB

量測得到的 $IP_{1dB} = -22\text{dBm}$ ， $OIP_{1dB} = -5\text{dBm}$ 。



圖(2.8) 2.4GHz LNA 模擬與量測的 IP3

量測得到的 IIP3=-17dBm，OIP3=1dBm。



圖(2.9) 2.4GHz LNA Die Photo

2.1.4 比較與討論

圖(2.5)在 2.4GHz 得到的雜訊指數為 1.43dB，比模擬的 1.28dB

多出了 11.7%。PHEMT 製程的 LNA 的確有雜訊指數小於 2dB 的實力，不過因為是空乏型元件，在設計電路偏壓時得面臨避免負偏壓的挑戰，在此我們採取自偏壓的架構，由表 2 看來，可能因為製程變異，量測得到的直流電流比模擬大了 18%，但實驗證實此種自偏壓的架構可以幫助偏壓電流抵抗 VDD 的變化。

圖(2.6)偏壓在 3 伏操作下的 S11 有頻飄，中心頻到了 2.6GHz，而且 S11 並沒有小於 -10dB，另外 S21 = 15.7dB，比模擬小了 3.7dB；推測原因，如果是走線的寄生效應影響的話，通常中心頻是會往低頻飄，我們懷疑是因為製程變異，元件的臨界電壓比模擬來的高，於是 3 伏操作不夠使元件 M1 進入飽和區，造成 g_m 比模擬小、S11 與 S21 達不到設計的目標，提高到 5 伏操作來檢查，S11 與 S21 的確與模擬情況較為吻合。

檢討我設計元件的偏壓，4×50 的元件雖然所需的輸入阻抗匹配電感較 2×50 的小很多，但在同樣的直流電流下其 V_{gs} 相對也更負， V_{ds} 分到的壓降更小，由圖(2.7)和圖(2.8)看來，此電路相對犧牲了線性度。

Process	WIN 0.15um PHEMT	
VDD	3V	
	Pre-simulation	Measurement
S11	-12dB	-7.5dB
S22	<-22dB	<-25dB
Gain	19.4dB	15.7dB
IP1dB	-25dBm	-22dBm
IIP3	-18dBm	-17dB
Noise Figure	1.28dB	1.43dB
Power	25.4mW	30mW
Chip Size	1 x 1 mm^2	

表3. 2.4GHz LNA 模擬與量測結果總結

2.2 2.4GHz/5GHz 雙頻帶 LNA

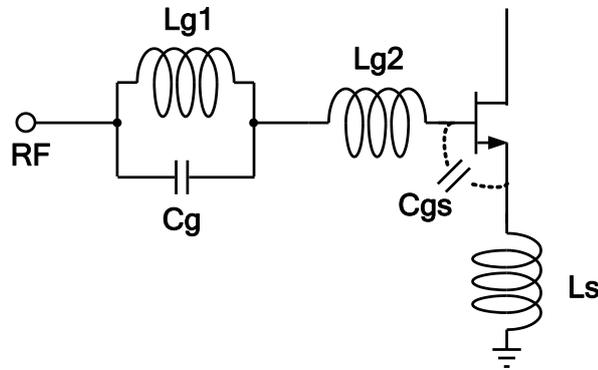
(WIN 0.15 μ m PHEMT)

2.2.1 研究動機

近年來多頻道多模態的通訊系統逐漸受重視，有更多的應用，使得接收機前端的低雜訊放大器必須能處理兩個以上的頻率信號，而本電路針對無線通訊網路 2.4GHz~2.5GHz 與 5.3GHz~5.7GHz 來做一個實現，目前相關 pHEMT 製程的雙頻帶 LNA 屈指可數，承 2.1 節電路的架構，針對傳統電流重複利用之自偏壓放大器做出改良，目的是為了達到單壓操作（行動通訊系統常用的 3V 電壓源）與低功率消耗（26mW）。

2.2.1.(1) 基本架構簡介

輸入級匹配網路：



圖(2.10) 雙頻帶輸入匹配電路

整個輸出阻抗可以寫為

$$Z_{in} = \omega_T L_s + s(L_s + L_{g2}) + \frac{1}{sC_{gs}} + \frac{sL_{g1}}{1 + s^2 L_{g1} C_g}$$

實部匹配一樣由電晶體的截止頻率 f_T 以及源極退化性電感 L_s 決定；

虛部部分可以由上式得到詳細的數學解，但從直觀來看，可以粗略地視為分別對兩頻段做匹配：低頻的匹配電路主要由 L_{g1} 、 L_{g2} 、 L_s 以及 C_{gs} 構成，而高頻則是以 C_g 、 L_{g2} 、 L_s 以及 C_{gs} 為主。

在電路中所使用的電感都是利用 WIN 所提供的模型來實作。

2.2.1.(2) 電晶體元件之尺寸設計

依據預計規格規劃的 3V 電壓源、消耗電流 $I = 7 \sim 11mA$ ，以及經驗公式（ $I = 0.15 \times I_{dss}$ 時電晶體貢獻的雜訊最小），因此元件大小不能太大，WIN 提供 2×50 、 4×50 的電晶體適合此偏壓操作的限制，而比較搭配這兩種電晶體尺寸的輸入匹配網路，其實兩者所需的電感大小差異不大，比較大的差別在於低頻穩定性以及是否需要源極退化電感。

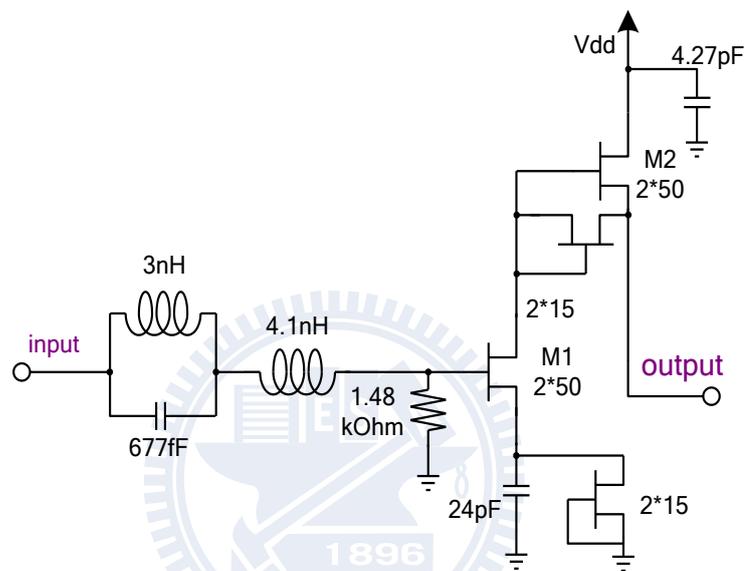
4×50 的電晶體有低頻（1GHz 左右）不是無條件穩定的問題，我能想到的解決方式是在輸出端串聯一個小電阻，但付出了輸出增益，在高頻頻段的增益便不夠達到預計規格，而 2×50 的電晶體在我設計的電流下便能達到無條件穩定和 $S_{22} < -10dB$ ，另外也注意到未做輸入阻抗匹配前的 S_{11} 便在史密斯圖上的 50 歐姆圓附近，可以不需要源極退化電感，因為我個人存在一個疑問，源極退化電感是否也需要設計成雙頻帶匹配型式？不過也沒見過文獻探討，在此能避免這種問題對我來說是最好，所以最後選擇 2×50 的電晶體。

自偏壓的電晶體是自己把 2×50 的電晶體縮小得到的，文獻指出 GaAs FET 相當遵行 scaling rule，故自行縮小電晶體的通道寬度，WIN 提供的大訊號模型仍可適用在 I-V 曲線的模擬。

2.2.1.(3) 輸入穩定性

為了低頻無條件穩定，除了挑選不同尺寸電晶體來解決問題之外，加大源極的旁路電容值也有很大的幫助，只是要多付出面積。

2.2.2 整體電路架構



圖(2.11) 2.4GHz/5GHz Dual-band LNA 整體電路圖

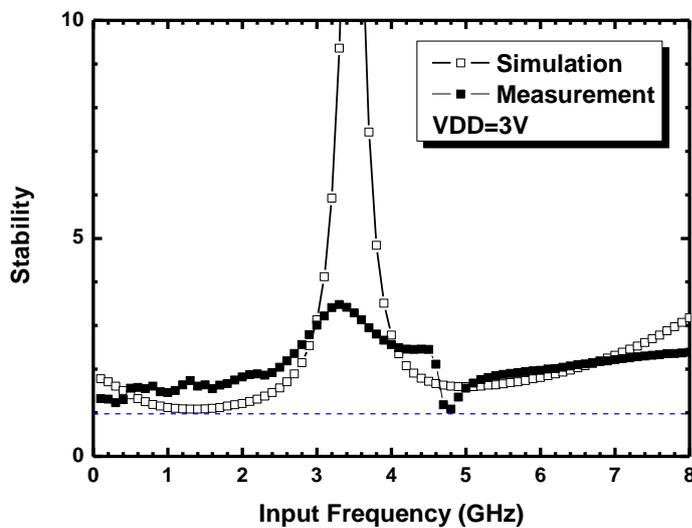
2.2.3 模擬與量測結果

- 直流偏壓

	Pre-simulation	Measurement
VDD	3V	3V
IDD	11.2mA	12.6mA

表4. 雙頻帶 LNA 直流偏壓狀況

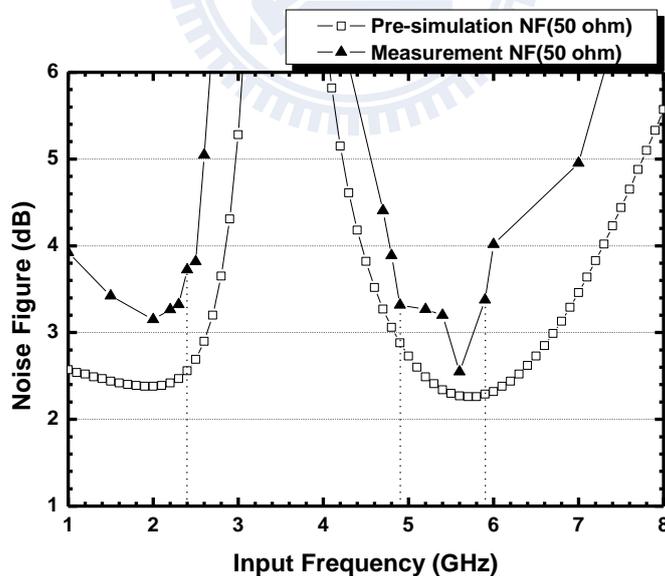
- 模擬的穩定度



圖(2.12) 雙頻帶 LNA 模擬與量測的穩定度

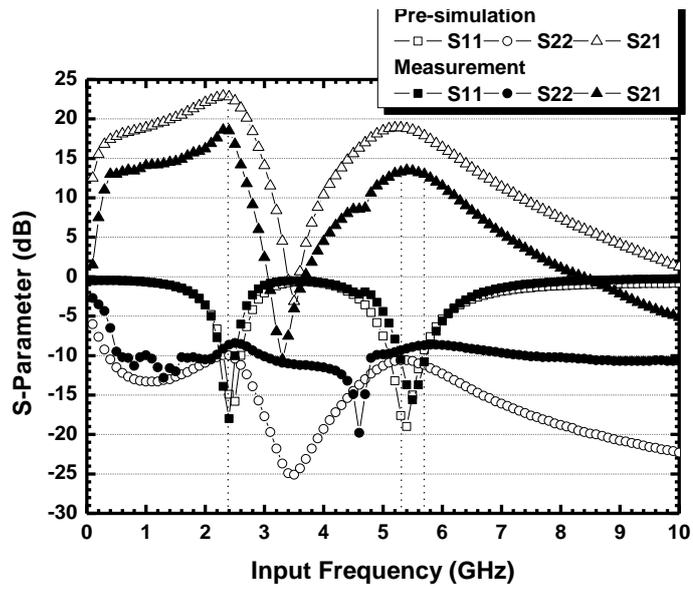
$K > 1$ ，為無條件穩定。

- 模擬與量測的雜訊指數



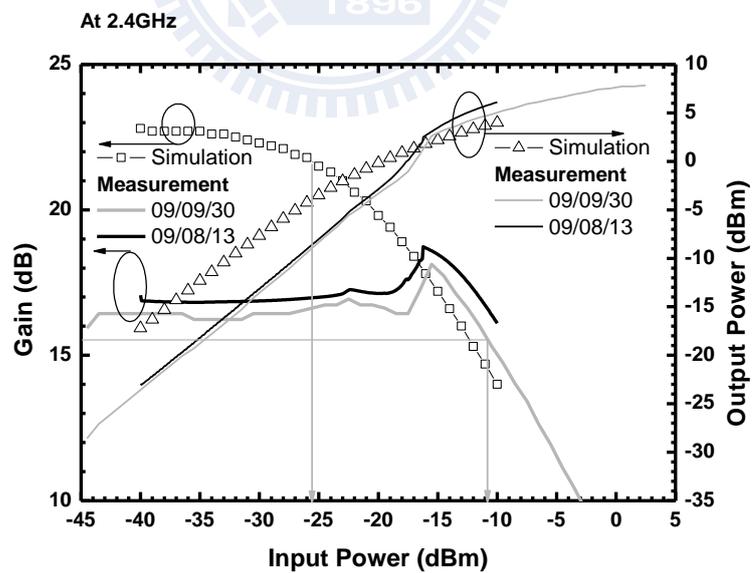
圖(2.13) 雙頻帶 LNA 模擬與量測的雜訊指數

- 模擬與量測的 S 參數



圖(2.14) 雙頻帶 LNA 模擬與量測的 S 參數

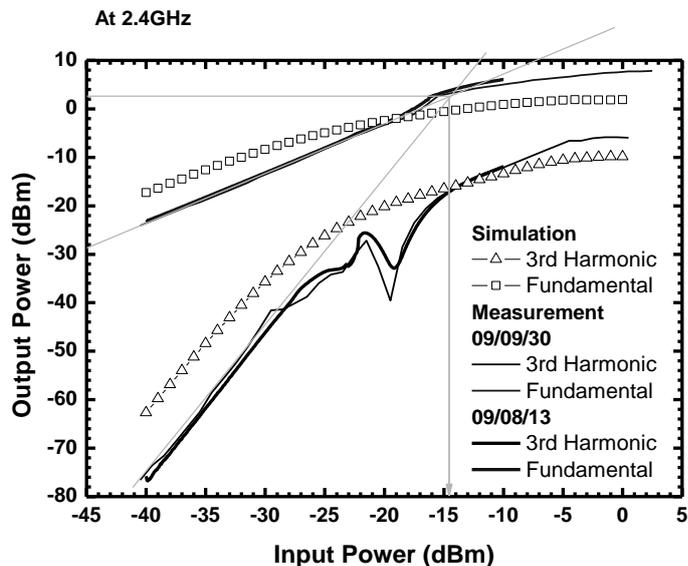
- 模擬與量測的線性度



圖(2.15) 雙頻帶 LNA 在低頻帶模擬與量測的 1dB 點

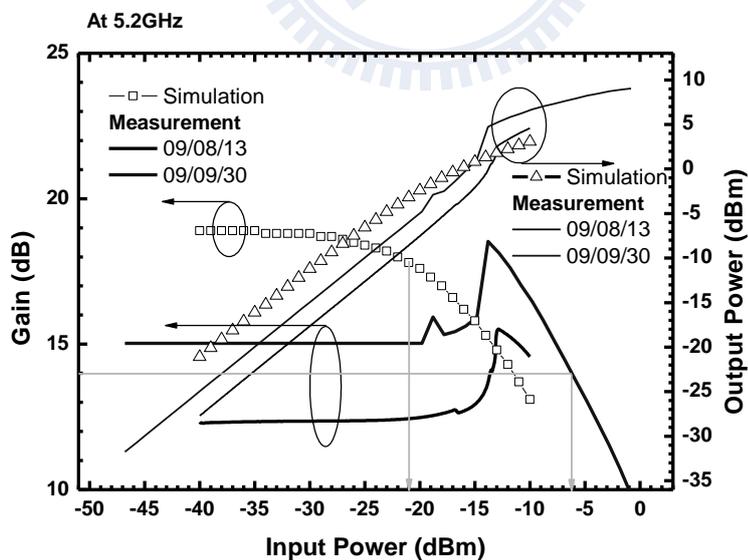
模擬得到的 $IP_{1dB} = -25.5\text{dBm}$ 。

量測因為有 peaking 所以很難訂說合理的 1dB 壓縮點在哪。



圖(2.16) 雙頻帶 LNA 在低頻帶模擬與量測的 IP3

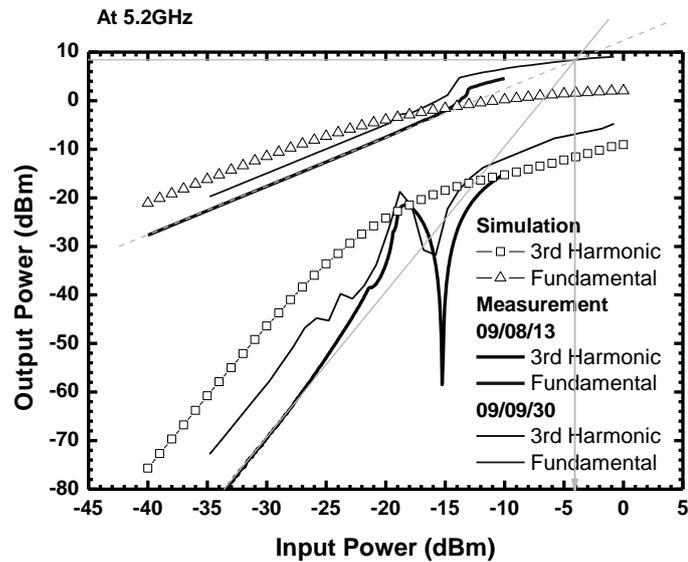
量測得到的 $IIP3 = -14.5\text{dBm}$ 。



圖(2.17) 雙頻帶 LNA 在高頻帶模擬與量測的 1dB 點

模擬得到的 $IP1\text{dB} = -21\text{dBm}$ 。

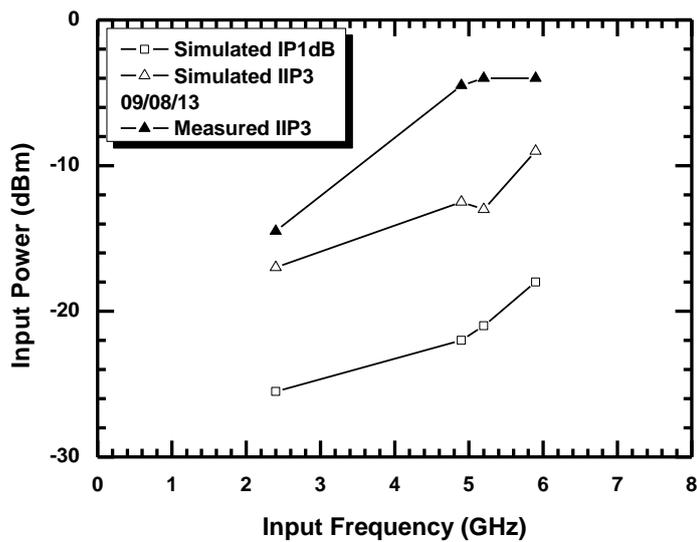
量測因為有 peaking 所以很難訂說合理的 1dB 壓縮點在哪。



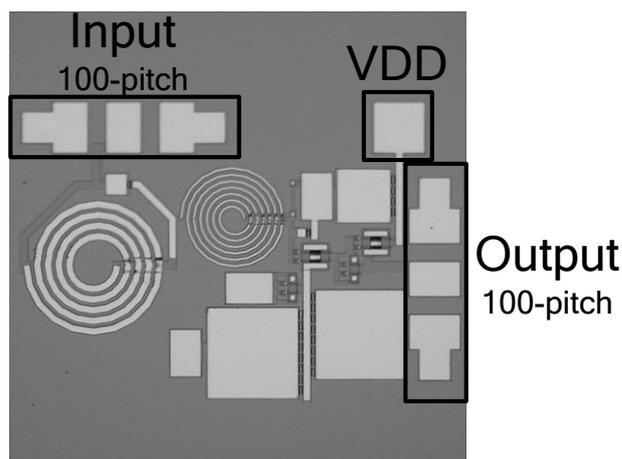
圖(2.18) 雙頻帶 LNA 在高頻帶模擬與量測的 IP3

模擬得到的 $IIP3 = -13\text{dBm}$ 。

量測得到的 $IIP3 = -4\text{dBm}$ 。



圖(2.19) 雙頻帶內模擬與量測的線性度



圖(2.20) 雙頻帶 LNA Die Photo

2.2.4 比較與討論

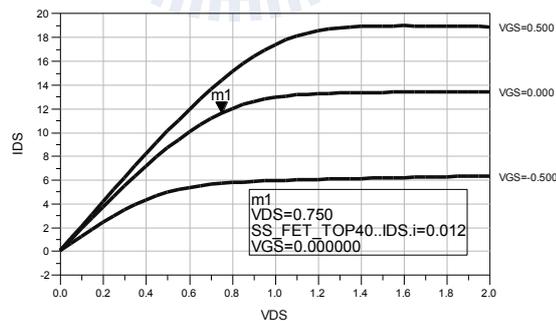
此電路很遺憾的是我畫佈局之前沒有先確認過是否能配合量測的架設方式，結果輸入埠與輸出埠呈現交角 90 度，以至於量測 S 參數時只能用四埠 S 參數的方法，線性度則仍然照一般面對面雙埠的方式做校正、量測，而最重要的雜訊指數則勉強用有量測雜訊功能的頻譜分析儀來測量，該儀器並不適用於量測雜訊指數小於 3dB 的電路，所以雖然最後有量測到電路的特性，但結果存在的誤差可能非常大。

本電路證實了自偏壓的架構也可應用在雙頻帶的電路上，不過兩個頻帶的電路表現不大一致，這是以後設計要改進的地方。可能因為製程變異，量測得到的直流電流比模擬大了 12.5%。

圖(2.13)雜訊指數在 2.4GHz 為 3.72dB，比模擬的 2.56dB 多出了 45.3%，在 5.2GHz 為 3.27dB，比模擬的 2.49dB 多出了 31.3%，而雙頻帶中最低的雜訊指數為 2.54dB。

圖(2.14)S 參數的量測結果，高頻帶頻寬較設計來得窄，S11 小於 -10dB 只剩 5.3GHz~5.7GHz，部份頻率下 S22 並沒有小於 -10dB，另外 S21 都比模擬小了 4.3~6dB；懷疑也是因為製程變異，元件的臨界電壓比模擬來的高，於是 3 伏操作不夠使元件進入飽和區，造成 Gm 比模擬小、S11 與 S21 達不到設計的目標。

線性度的量測結果存在著無解的 peaking，為了證實量測結果無誤，所以量測了兩次，09/08/13 是利用內建兩個信號源的 PNA-X 網儀由電腦來做自動量測，09/09/30 則是人工的方式，雖然兩次量測的晶片不是同一顆，但是結果在趨勢上是一致的；推測造成輸出增益峰化的原因可能也跟自偏壓元件的臨界電壓變異有關，圖(2.2)中的 MB1 可能偏壓在深三極管區，當輸入信號變大，相對的 MB1 的汲極壓降提昇、元件進入飽和區、其電流有機會變大，造成電路增益峰化，不過量測的當時都沒有想到有電流變化的可能，所以要再等日後有量測的機會來觀察偏壓電流是否有變化以驗證這番推論。



圖(2.21) 自偏壓元件有偏壓在深三極管區的可能

Process	WIN 0.15 μ m PHEMT			
VDD	3V			
	Simulation		Measurement	
Power Consumption	33.6mW		37.8mW	
Frequency (GHz)	2.4-2.5	5.1-5.7 (min/max)	2.4-2.5	5.3-5.7 (min/max)
Gain (dB)	22.8	17.9/18.9	18.5	13/13.5
Noise Figure (dB)	2.6	2.3/2.9	3.7	2.6/3.3
S11 (dB)	-14.9	-19/-9.3	-18	-15.6/-10.5
S22 (dB)	<-10	<-10	-8.6	-9.4/-8.7
IP1dB (dBm)	-25.5	-22/-18	-	-
OIP3 (dBm)	8	10/11	2	6/8
Chip Size	1 \times 1 mm^2			

表5. 雙頻帶 LNA 模擬與量測結果總結

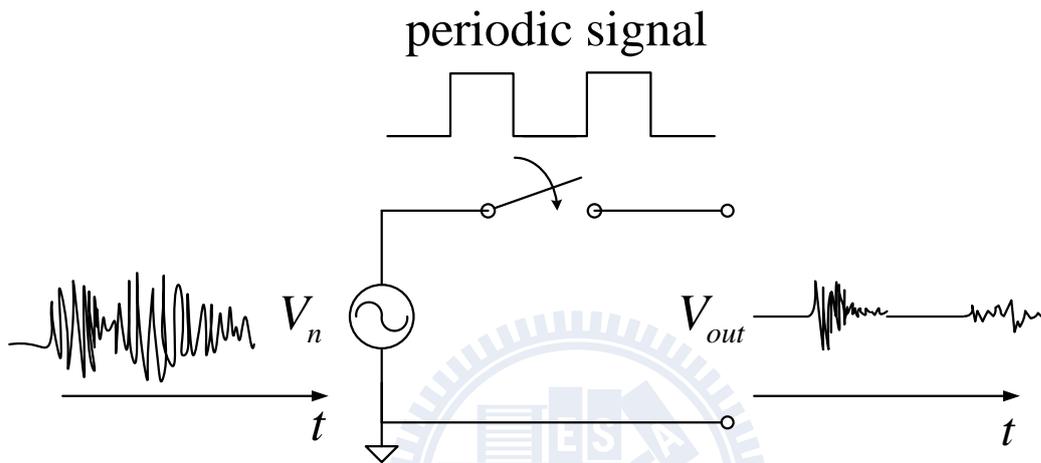
第3章

主動降頻器的雜訊分析



3.1 主動式降頻器的雜訊基本理論

一般放大器的雜訊分析技巧並不適用於混頻器上，因為混頻器的 LO switch 電晶體是受到相當大的 ac 信號來驅動，會週期性地改變它們的偏壓點，在這種情況下混頻器電路所貢獻的輸出端雜訊屬於週期平穩過程 (cyclostationary process)，圖(3.1)簡單解釋它的概念：



圖(3.1) 週期平穩過程 (cyclostationary process) 的概念

V_n 是電路的輸入參考雜訊 (input referred noise)，它經過一個由週期性電壓信號控制的開關，最後出現在輸出端的雜訊呈現週期性的時變擾動，可以想成雜訊和控制開關的信號做了調變，這個調變作用使得輸出端的頻譜看到雜訊堆疊 (noise folding) 的現象。

以信號與系統的觀點來解釋，像混頻器這種由週期性 LO 信號所驅動的電路適合用線性週期性時變系統 (linear periodic time-varying system) 來討論，輸出信號 $y(t)$ 與輸入信號 $x(t)$ 之間的關係為

$$y(t) = \int h(t, u) x(u) du, t = \tau + u \quad (3-1)$$

$h(t, u)$ 是系統的脈衝響應函數， u 是輸入信號的時間， t 是觀察點的時間， $h(t, u)$ 也是週期性函數，在此它的週期會與 LO 信號的週期 T 有關，可以用傅立葉級數表示它，

$$h(t, u) = \sum_{n=-\infty}^{n=\infty} h^{(n)}(\tau) \exp(j \frac{2\pi n}{T} t) \quad (3-2)$$

$h^{(n)}(\tau)$ 是第 n 個諧波的頻率響應係數。

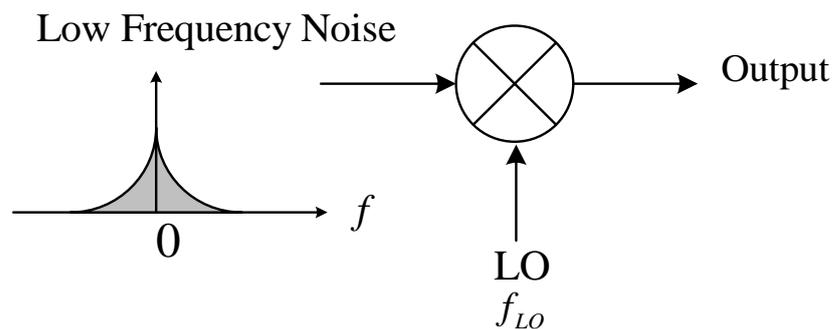
造成輸出信號的頻譜為：

$$Y_x(\bar{\omega}) = \sum_{n=-\infty}^{n=\infty} H^{(n)}(\bar{\omega}) \cdot X(\bar{\omega} - \frac{2\pi n}{T}) \quad (3-3)$$

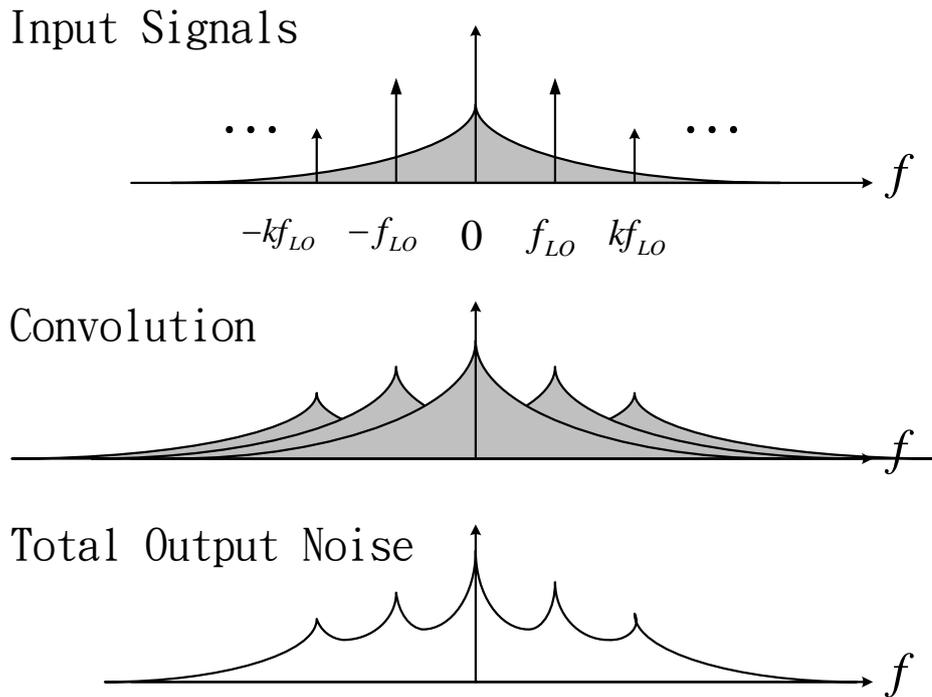
詳細推導見附錄。

輸入信號 $X(f)$ 被位移到 f_{LO} 的諧波頻率，乘上對應諧波項的響應係數，相當於以 LO 的倍頻對輸入信號做取樣。

參考圖(3.2)混頻器的例子，注意到其相對應的頻譜—圖(3.3)中系統存在間隔 f_{LO} 頻率的取樣信號列：



圖(3.2) 混頻器與輸入參考雜訊



圖(3.3) 週期平穩過程的輸出端雜訊堆疊現象

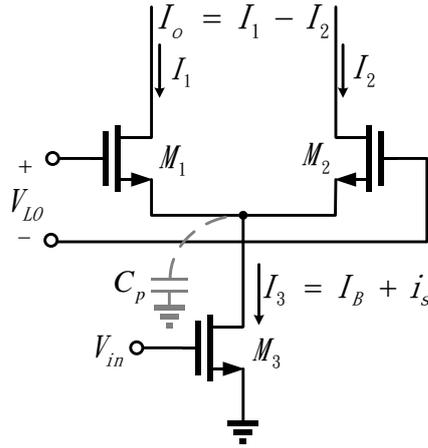
輸入雜訊 f_n 被取樣，出現在 $f_n \pm kf_{LO}$ 頻率，最後加總起來得到全部的輸出端雜訊，可以看出相隔 kf_{LO} 的這些雜訊頻帶彼此有相關性，此為週期平穩過程的特色。

週期平穩過程的功率頻譜密度(power spectral density)公式

$$S_Y(\omega) = \sum_{n=-\infty}^{n=\infty} |H^{(n)}(\omega)|^2 S_X\left(\omega - \frac{2\pi n}{T}\right) \quad (3-4)$$

了解以上的數學，接下來我們進入降頻器的雜訊分析，求出系統的頻率轉換函數便可瞭解輸出的雜訊頻譜，進而挑出可以改善雜訊的因素。

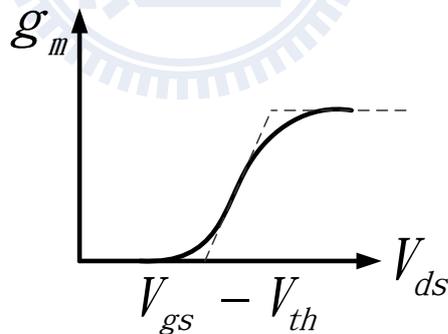
以下面圖(3.4)的單平衡降頻器來進行討論：



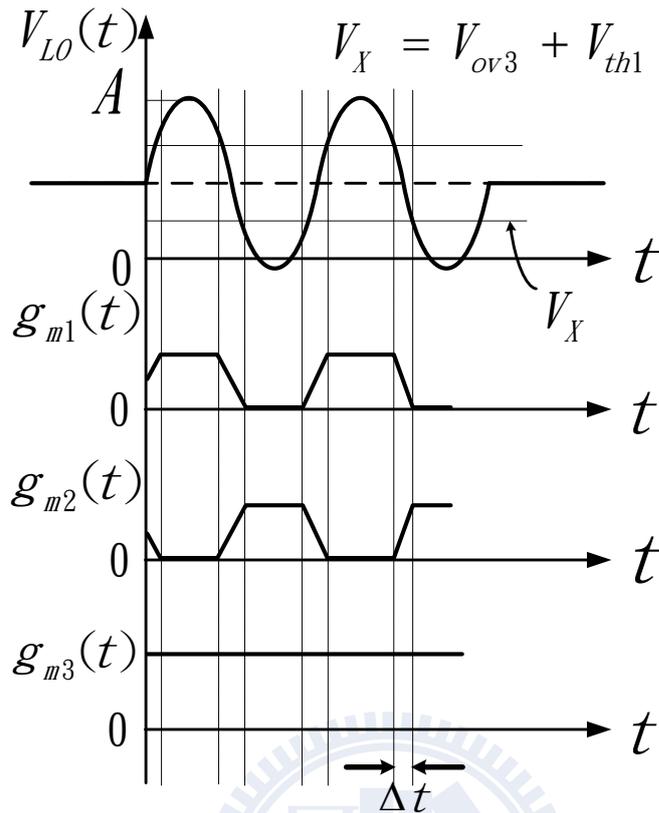
圖(3.4) 單平衡降頻器

我們先假設：

- 電路沒有寄生電容 C_p
- Switch 電晶體互相匹配
- LO 信號為弦波，振幅適當， $V_{LO}(t) = A \sin(2\pi/T \cdot t)$
- 所有電晶體工作在飽和區
- 電晶體的 g_m 近似為線性（圖(3.5)中虛線部份）。

圖(3.5) 電晶體的 g_m 對 V_{ds} 的關係

所以 $LO(t)$ 與經分段線性化的各電晶體 $g_m(t)$ 的關係見圖(3.6)：這裡考慮的是一般實際的混頻器，開關級 M_1 和 M_2 在 Δt 時間點內是同時工作的。

圖(3.6) $V_{LO}(t)$ 與各電晶體 $g_m(t)$

3.1.1 轉導級貢獻的雜訊

推導從轉導級看入的系統頻率轉換函數，首先瞭解到輸出的 I_o 信號是 $V_{LO}(t)$ 和電流源 $I_B + i_s$ 的函數：

$$I_o = I_1 - I_2 = F(V_{LO}(t), I_B + i_s) \quad (3-5)$$

通常 i_s 很小，我們做一階的泰勒展開式得到：

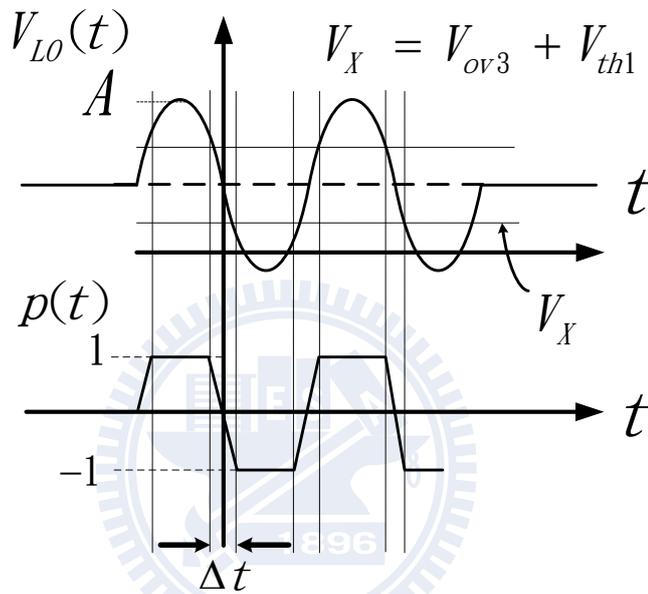
$$I_o = F(V_{LO}(t), I_B) + \left[\frac{\partial}{\partial I_B} F(V_{LO}(t), I_B) \right] \cdot i_s \quad (3-6)$$

第二項才是我們要的 IF 信號，令

$$p(t) = \frac{\partial}{\partial I_B} F(V_{LO}(t), I_B) \quad (3-7)$$

$p(t)$ 是這個由轉導級看入的系統轉換函數，它跟開關級的切換動作有關，所以波形見圖(3.7)：

$$p(t) = \frac{g_{m1}(t) - g_{m2}(t)}{|g_{m1}(t)| + |g_{m2}(t)|} \quad (3-8)$$



圖(3.7) $V_{LO}(t)$ 與轉導級系統的轉換函數 $p(t)$

注意到它是個奇函數，所以對於輸出信號的頻譜

$$Y_x(\omega) = \sum_{n=-\infty}^{n=\infty} P^{(n)}(\omega) \cdot X(\omega - \frac{2\pi n}{T}), \quad n \in \text{odd} \quad (3-9)$$

可以看出輸入雜訊的頻譜只被堆疊出現在 LO 頻率的基數倍頻，所以從上式得知，如果轉導級的輸入參考雜訊是低頻的閃爍雜訊，那它在輸出端將會被升到高頻 (LO 頻率的基數倍頻)，可以利用簡單的低通濾波器把它拿掉，轉導級貢獻給輸出端的就只有熱雜訊。

在此我們感興趣的是 $n = \pm 1$ 的 $P^{(n)}(\omega)$ 係數，它是主導項，求

$|P^{(1)}|$ ，如果 LO 信號的振幅 A 很大，則 $|P^{(1)}| \rightarrow 2/\pi$ ，如果 LO 是振幅不會很大的弦波信號，參考圖(3.7)中的標號，則

$$|P^{(1)}(f)| = \frac{2}{\pi} \left(\frac{\sin(2\pi \cdot \frac{\Delta t}{2} \cdot f_{LO})}{2\pi \cdot \frac{\Delta t}{2} \cdot f_{LO}} \right) \quad (3-10)$$

$$2\pi \cdot \frac{\Delta t}{2} \cdot f_{LO} = \sin^{-1} \left(\frac{V_{ov3} + V_{th1}}{A} \right) \quad (3-11)$$

轉導級貢獻的雜訊功率頻譜密度

$$S_{n3}^o(\omega) = \sum_{n=-\infty}^{n=\infty} |P^{(n)}(\omega)|^2 S_{n3}(\omega - \frac{2\pi n}{T}), \quad n \in \text{odd} \quad (3-12)$$

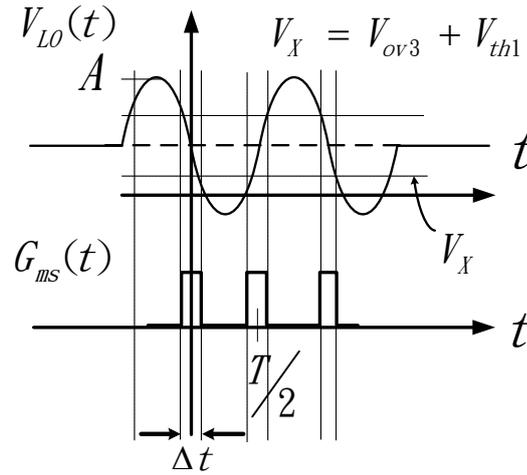
轉導級的熱雜訊電流源包含輸入源電阻 R_s 雜訊、 M_3 的熱雜訊和多晶矽閘極電阻 r_{g3} 雜訊，

$$S_{n3} = 4kT(g_{m3}^2 R_s + 2g_{m3}^2 r_{g3} + 2\gamma g_{m3}) \quad (3-13)$$

3.1.2 開關級貢獻的雜訊（直接開關雜訊）

圖(3.4)中開關級的電晶體 M_1 、 M_2 其中之一關閉時，電路的輸出電流即尾電流 I_3 ，沒有從 M_1 或 M_2 貢獻的雜訊成份出去；但是回顧圖(3.6)，一般實際的混頻器有開關級電晶體們同時工作的情況，這時 M_1 或 M_2 的雜訊便會漏到輸出端去，而開關級的等效轉導 $G_{ms}(t)$ 就是這個由 LO 埠看入的系統的轉換函數，見圖(3.8)：

$$G_{ms}(t) = \frac{1}{g_{m1}(t)} + \frac{1}{g_{m2}(t)} = \frac{g_{m1}(t) \cdot g_{m2}(t)}{g_{m1}(t) + g_{m2}(t)} \quad (3-14)$$

圖(3.8) $V_{LO}(t)$ 與系統的轉換函數 $G_{ms}(t)$

注意到 $G_{ms}(t)$ 是以 $T/2$ 為週期的偶函數，

$$Y_X(\omega) = \sum_{n=-\infty}^{n=\infty} G_{ms}^{(n)}(\omega) \cdot X(\omega - \frac{2\pi n}{T}), \quad n \in \text{even} \quad (3-15)$$

所以輸入的雜訊會出現在輸出端頻譜的 DC 附近，也就是說 IF 信號的閃爍雜訊主要來自於開關級電晶體的貢獻，稱之為直接開關雜訊。

開關級貢獻的雜訊功率頻譜密度：

$$S_{n1,2}^0(\omega) = \sum_{n=-\infty}^{n=\infty} |G_{ms}^{(n)}(\omega)|^2 S_{n1,2}(\omega - \frac{2\pi n}{T}), \quad n \in \text{even} \quad (3-16)$$

求主導項 $n = 0$ 的 $G_{ms}^{(n)}(\omega)$ 係數，它等於將 $G_{ms}(t)$ 取一個週期時間內的平均：

$$G_{ms}^{(0)} = \frac{2}{T} \int_0^{T/2} G_{ms}(t) dt \quad (3-17)$$

又 LO 信號為弦波， $V_{LO}(t) = A \sin(2\pi/T \cdot t)$ ，將積分的變數 t 代換為 V_{LO} ：

$$\begin{aligned}
dV_{LO} &= \frac{2\pi}{T} A \cos\left(\frac{2\pi}{T} t\right) dt \\
&= \frac{2\pi}{T} A \sqrt{1 - \sin^2\left(\frac{2\pi}{T} t\right)} dt \\
&= \frac{2\pi}{T} A \sqrt{1 - \left(\frac{V_{LO}}{A}\right)^2} dt
\end{aligned} \tag{3-18}$$

$$G_{ms}^{(0)} = \frac{1}{\pi A} \int_{-(V_{ov3}+V_{th1})}^{(V_{ov3}+V_{th1})} G_{ms}(V_{LO}) \frac{1}{\sqrt{1 - (V_{LO}/A)^2}} dV_{LO} \tag{3-19}$$

假設開關級電晶體同時工作時的 $V_{LO} \ll A$ ，則 $1/\sqrt{1 - (V_{LO}/A)^2} \approx 1$ ，又 $G_{ms}(V_{LO}) = dI_o/dV_{LO}$ ，

$$G_{ms}^{(0)} = \frac{1}{\pi A} \int_{-(V_{ov3}+V_{th1})}^{(V_{ov3}+V_{th1})} \frac{dI_o}{dV_{LO}} dV_{LO} = \frac{2I_B}{\pi A} \tag{3-20}$$

又因為開關級電晶體同時工作的時間很短，我們把此時間內 $V_{LO}(t)$ 的變化視為線性，取 $t = 0$ 時的斜率為 S ，

$$V_{LO}(t) = A \sin(2\pi/T \cdot t) \tag{3-21}$$

$$\frac{dV_{LO}(t)}{dt} = A \frac{2\pi}{T} \cos(2\pi/T \cdot t) \tag{3-22}$$

$$S = \left. \frac{dV_{LO}(t)}{dt} \right|_{t=0} = A \frac{2\pi}{T} \tag{3-23}$$

$$G_{ms}^{(0)} = \frac{4I_B}{ST} \tag{3-24}$$

可以推論出影響開關級貢獻的直接雜訊的因素：

- LO 頻率愈高、貢獻的雜訊量愈多

- 減少開關級的偏壓電流 I_B 可以減少貢獻的雜訊量
- 提高 LO 信號的斜率（讓它近似方波），可以減少開關級電晶體同時工作的時間，進而減少貢獻的雜訊量

3.1.3 開關級貢獻的雜訊（間接開關雜訊）

前一小節的分析有其頻率上的限制，如果把電路的寄生電容（圖(3.4)的 C_p ）考慮進來，因為寄生電容充放電的效應，使得電晶體的偏壓點也受到 LO 頻率的影響，偏壓電流修正為

$$I_B = I_1 + I_2 + C_{gs1}(V_1) \frac{dV_1}{dt} + C_{gs2}(V_2) \frac{dV_2}{dt} + C_b(V_{bs}) \frac{dV_{bs}}{dt} \quad (3-25)$$

C_b 是共源極點與地之間所有的寄生電容值總和、取於 $V_{LO}(t)=0$ 時的值， $C_b = C_{sb1} + C_{sb2} + C_{db3}$ ， V_1 、 V_2 和 V_{bs} 是跨於 C_{gs1} 、 C_{gs2} 、 C_b 兩端的壓降，假設 LO 埠的共模電壓為 $V_{LO,C}$ 、不會隨時間而變，

$$V_1 = V_{LO,C} + V_{LO}(t)/2 - V_{ds3}(t) \quad (3-26)$$

$$V_2 = V_{LO,C} - V_{LO}(t)/2 - V_{ds3}(t) \quad (3-27)$$

$$V_{bs} = -V_{ds3}(t) \quad (3-28)$$

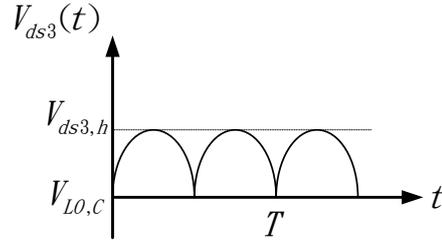
所以整理 I_B 為

$$I_B = I_1 + I_2 + \frac{1}{2}(C_{gs1} - C_{gs2}) \frac{dV_{LO}}{dt} - C_p \frac{dV_{ds3}}{dt} \quad (3-29)$$

第三項為跟頻率有關的主導項，我們瞭解到 $V_{ds3}(t)$ 呈現週期性（圖(3.9)）：

$$V_{ds3,h} = V_{LO,C} + A \cdot \left| \frac{g_{ms} \cdot \frac{1}{sC_p}}{1 + g_{ms} \cdot \frac{1}{sC_p}} \right| - V_{gs1} \quad (3-30)$$

$$g_{ms} = g_{m1} = g_{m2} \quad (3-31)$$



圖(3.9) Push-push 點

為了方便求 $V_{ds3}(t)$ 的切線斜率，把 $V_{ds3}(t)$ 簡化近似為弦波：

$$V_{ds3}(t) = A \cdot \frac{g_{ms}}{\sqrt{g_{ms}^2 + (C_p \omega_{LO})^2}} \sin(2\pi \cdot 2f_{LO} \cdot t) \quad (3-32)$$

$$\max \frac{dV_{ds3}}{dt} = \frac{dV_{ds3}}{dt} \Big|_{t=0} = 2\pi \cdot 2f_{LO} \cdot A \cdot \frac{g_{ms}}{\sqrt{g_{ms}^2 + (C_p \omega_{LO})^2}} \quad (3-33)$$

當 f_{LO} 滿足 $C_p \cdot dV_{ds3}/dt \ll I_B$ 的情況下，前一節的分析結果都成立，不過當

$$C_p \cdot 4\pi \cdot f_{LO1} \cdot A \cdot \frac{g_{ms}}{\sqrt{g_{ms}^2 + (C_p \omega_{LO})^2}} = \frac{1}{\epsilon_1} \cdot I_B, \quad \epsilon_1 = 0.2 \sim 0.3 \quad (3-34)$$

超過 f_{LO1} 頻率之後開關級會出現新的雜訊機制，上式中的主導係數為 LO 信號的振幅 A ，也就是說，為了對付直接開關雜訊而增大 LO 的振幅，到了某個程度會使得 f_{LO1} 提早出現，不過由參考文獻的模擬結

果來看，這種大 LO 振幅所造成的開關級雜訊並不算嚴重，還要再多考慮更高頻的時候：

$$f_{LO2} = \varepsilon_2 \frac{g_{m1} + g_{m2}}{2\pi C_p} = \varepsilon_2 f_{T,12}, \quad \varepsilon_2 = 0.2 \quad (3-35)$$

此時透過寄生電容提供的路徑，就算在開關級電晶體之一為 OFF 的理想工作狀態下，開關級仍會貢獻雜訊給輸出端，此種機制稱為間接開關雜訊。參考文獻的模擬顯示，通常 f_{LO1} 較 f_{LO2} 提早出現，過了 f_{LO2} 頻率之後，開關級貢獻給輸出端的雜訊量會顯著增加。

f_{LO2} 點出另一個設計上的考量，如果為了壓低電晶體本身的閃爍雜訊而設計開關級使用大尺寸的元件，但比較 V_n 與 C_p ：

$$\begin{aligned} V_n &= \sqrt{2 \frac{K_f}{C_{ox} W L f^{AF}}}, \quad AF \approx 1 \\ C_p &\approx C_{gs,12} \\ C_{gs} &\approx \frac{2}{3} W L C_{ox} \text{ for long channel} \end{aligned} \quad (3-36)$$

C_p 增加的速度比 V_n 減小的速度要快得多，所以要小心當開關級元件尺寸大到某個程度以後間接開關雜訊機制會出現。

3.2 簡介元件的閃爍雜訊與其模型

閃爍雜訊最早在真空管的年代就被觀察到，其陽極電流呈現一種顫動狀的擾動，而且在頻域上的特色是此擾動的大小與頻率成反比，如今各式主動元件 MOSFET、SiGe HBT... 也已被實驗證實有閃爍雜訊的存在，一般預期隨著元件尺寸與操作功率的縮小化，減低元件閃爍雜訊量的議題也會變得重要。只是多年來元件閃爍雜訊的成因機制

尚未定論，沒有一個理論能夠解釋在不同實驗條件下得到的多變結果，也不能夠適用於任意元件，目前主流理論分成兩派：

- 載子數目波動 (carrier number fluctuation)
- 表面載子遷移率波動 (bulk mobility fluctuation)

前者解釋通道載子與矽—二氧化矽接面上的缺陷之間有著交互作用，汲極電流是侷限在閘極氧化層下一個很薄的表面通道中流動，而接面缺陷有著額外的能態，某些通道載子將被接面缺陷隨機捕捉（跳到額外的能態）然後又被釋放，造成汲極電流出現擾動，統計上缺陷捕捉、釋放載子的行為有著特定的時間常數。後者則是歸咎於載子與晶格、接面缺陷、摻入雜質…等發生散射，導致載子遷移率改變、汲極電流出現擾動。

我們熟知的 CMOS 元件的閃爍雜訊表示式

$$\overline{V_n^2} = \frac{K_f}{C_{ox}WL} \cdot \frac{1}{f} \quad (3-377)$$

只是個近似式，它不能表示偏壓電流或溫度對閃爍雜訊的影響。目前主流的雜訊模型為統一模型 (unified model)，它以 I-V 模型將上述兩種雜訊理論結合，其基本形式

$$S_{I_d}(f) = \frac{kTI_d^2}{\gamma fWL} \left(\frac{1}{N} + \alpha\mu \right)^2 N_t(E_{fm}) \quad (3-38)$$

k 為波茲曼常數， T 為溫度， I_d 為汲極電流， γ 用來預測電子的穿隧距離， f 為操作頻率， W 、 L 是通道的寬、長， N 為反轉層中每單位面積裡的載子數目， μ 是載子遷移率， α 遷移率散射參數表示載子

遷移率會受到氧化物的影響， N_t 為氧化物中每單位面積裡被電子佔據的缺陷數目，計算缺陷數目以位於通道內準費米能階 E_{fm} 上的為資格。這個模型顯示了一些物理意義：

- 通道離接面越遠的元件會有較低的閃爍雜訊量，例如埋入通道的 PMOS、SiGe PMOS、SOI PMOS。
- 操作在次臨界區的元件，不論是 NMOS 還是 PMOS，它們都呈現比工作在飽和區時還要小的閃爍雜訊量，推測這與較低的通道載子密度有關，減少了載子被接面缺陷捕捉或是載子發生聲子碰撞的機率。

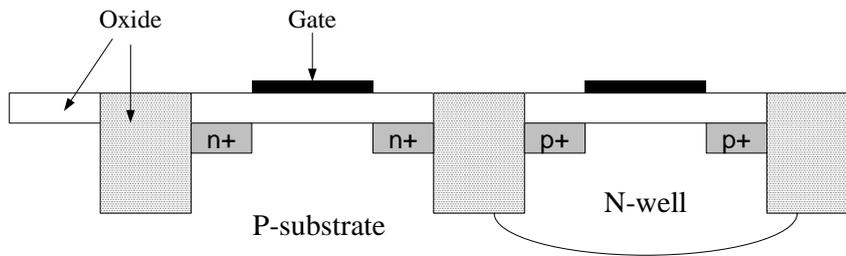
至於元件尺寸對閃爍雜訊的影響，製程縮小化造成元件的低頻雜訊變大，現實中因為汲極和源極之間的空乏區變小，為了抑制漏電流，通道會做口袋佈值 (pocket implantation) 之類的處理，增加通道與氧化層之間的接面缺陷。數學上來看，接面缺陷隨機捕捉、釋放載子造成接面電荷密度 Q_0' 的擾動，調變了 flat band 電壓 Q_0'/C_{ox}' ，等效是閘極串聯了一個雜訊電壓，與 C_{ox}' 成反比，大尺寸元件 C_{ox}' 大，具有平均、抵消這種雜訊電壓擾動的作用。

3.3 CMOS 場效電晶體的 STI 效應對其閃爍雜訊的影響

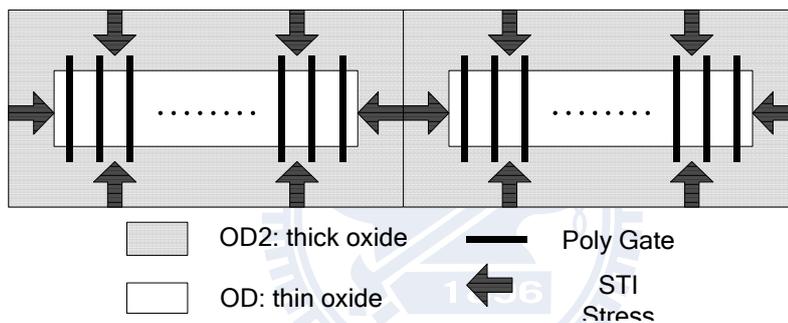
即使是同樣長寬比的 CMOS 電晶體，它們表現出的雜訊特性也是有差別的，單位寬度大、閘極數目 (finger number) 少的元件貢獻出來的閃爍雜訊較小，模擬可看出這種差別，推測也許是 f_T 的差異造成，不過也有文獻指出原因與淺溝槽隔離 (Shallow Trench Isolation, STI) 有關。

STI 用來抑制兩電晶體元件之間存在不該有的漏電流以及元件的

閃鎖效應 (latch-up)，它相較 FOX 有三點優勢：減小佔用矽晶圓表面的面積（亦即能增加元件的密集度）、較佳的表面平坦度與較少的通道寬度侵蝕，於是 STI 在現今的 CMOS IC 製程中成為關鍵技術之一， $0.25\mu\text{m}$ 以下的 CMOS 製程廣泛地應用到 STI 技術。



圖(3.10) CMOS 元件側面示意圖



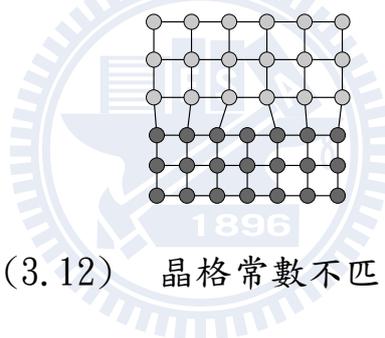
圖(3.11) CMOS 元件俯視示意圖

圖(3.10)是簡單的 MOSFET 電晶體佈局示意圖，圖(3.11)從俯角看出電晶體是被 STI 所圍繞，要注意的是 STI 與電晶體之間的接面存在著應力，參見圖(3.11)上的標示，較為人知的是此應力影響了電晶體的臨界電壓，然而在閘極跨過隔離邊緣的區域下，由於閘極邊緣受到周圍 STI 應力的擠壓而又導致了通道的接面缺陷，這些缺陷會隨機捕捉流過通道的自由電子，此為閃爍雜訊形成的機制之一。此外文獻指出閘級數目多的元件還會展現出較大的雜訊變異，也就是其雜訊模型較不準確，所以在我的電路設計考量中，對於開關級元件，我會選擇閘極數目少的來減小其貢獻的閃爍雜訊量。

3.4 假晶高電子遷移率電晶體 (PHEMT) 元件的閃爍雜訊

在 3.2 節的討論中提到，元件的閃爍雜訊與通道跟絕緣材料之間的介面缺陷有關，所以讓我們先來了解一下 PHEMT 的製程，來看其通道接面的情形。

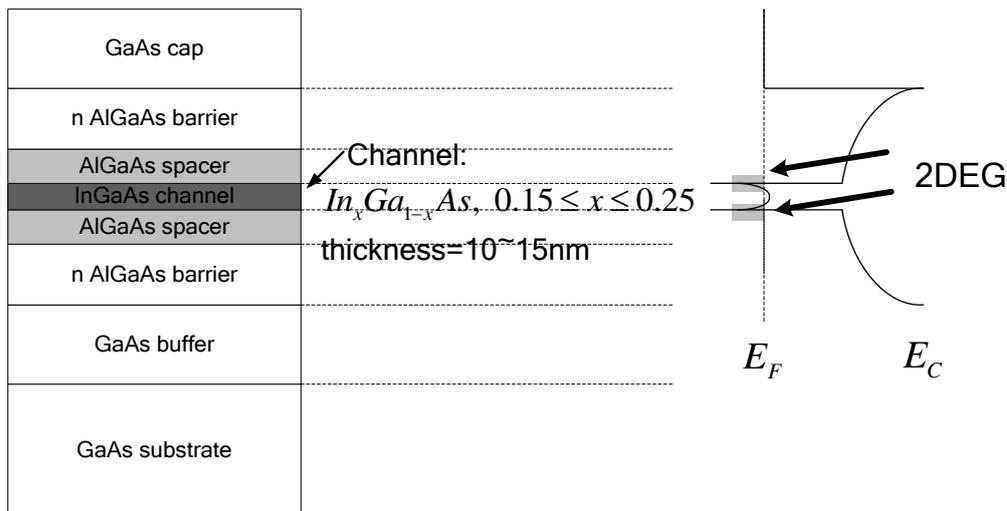
異質接面磊晶其最基本的物理條件為晶格常數匹配，一個好的異質接面元件，其兩個材料的晶格常數相近，然而能隙卻能有所差異，注意到磊晶層有其臨界厚度，當異質磊晶層還很薄時，磊晶層的原子會依照基板的晶格大小來排列，這是物理應變 (strain) 的現象，但當磊晶層厚度增加，累積太多的能量以致於無法再維持應變，轉為鬆弛的狀態，產生差排 (dislocation)。



圖(3.12) 晶格常數不匹配的情形

改變通道材料可以進一步提高電子移動率，如以 $In_xGa_{1-x}As$ 取代 $GaAs$ ，因為前者具有更小的有效質量、更小的能隙來產生更大的 ΔEc ；銟含量較高的元件其特性也較佳，但它會引起與 $GaAs$ 基板之間的晶格不匹配，所以磊晶層厚度要小於上段所述的臨界厚度，此技術衍生出偽晶的(pseudomorphic) $InGaAs$ 通道層。

CIC 提供的是功率用途的 PHEMT 製程，通道層夾在上下方的位障層之間，為雙異質接面以求更高的 2DEG 單位面積密度來提昇元件功率。



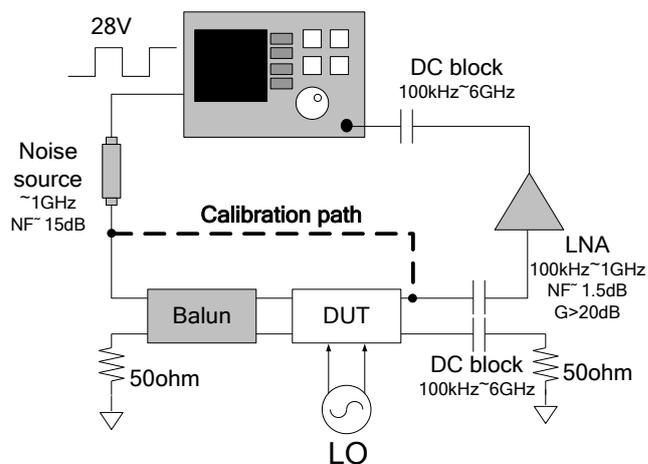
圖(3.13) 功率用 PHEMT 的結構剖面圖

由圖(3.13)可以想見通道的接面缺陷應該頗大，我們想來研究 PHEMT 降頻器的閃爍雜訊表現，即使轉角頻率可能頗大，但配合上電路技巧，量測結果可能會看到明顯的改善效果，可以驗證 3.1 節的理論。

3.5 量測雜訊指數的架設

量測環境的架設上首先要注意兩件事：

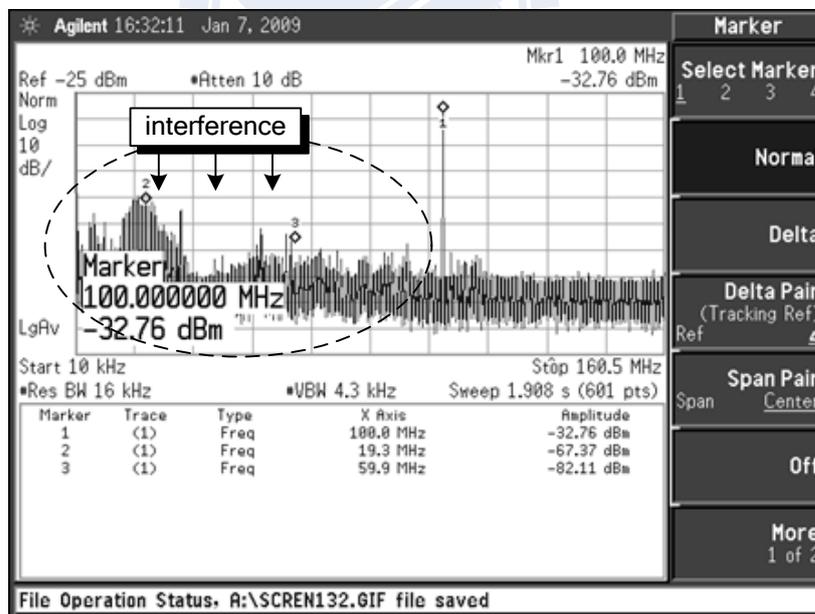
- 查看測量設備的頻寬是否支援我們的量測。
- 檢視環境固有的雜訊水平（noise floor）。



圖(3.14) Y 參數法量測雜訊指數的設備架設

我們是用所謂的 Y 參數法，由一個 ENR (Excess Noise Ratio) 雜訊源搭配頻譜分析儀來量測雜訊指數，此雜訊源、外接 LNA、頻譜分析儀以及 DC block 的頻寬都要能涵蓋所要量測的閃爍雜訊的頻率。要是量測所需的輸入訊號大於 1GHz，我們維持先用低頻的這個雜訊源做系統校正 (校正是要扣掉系統的雜訊水平，而此頻率也得涵蓋了閃爍雜訊的範圍)，再換成更高頻的雜訊源來量測我們電路的雜訊指數。

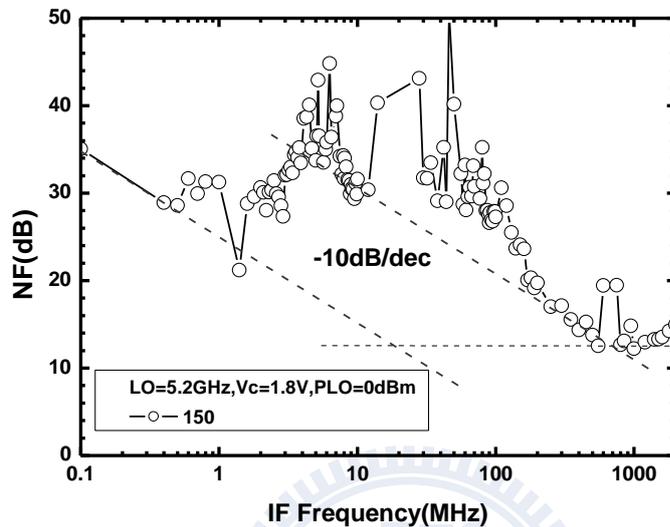
通常在屏蔽室內環境固有的雜訊水平為-80~-90dB 左右，而我們電路的雜訊經過外接 LNA 放大、到頻譜分析儀紀錄的值約為-60dB，但是我們量測上遇到了有其他外來雜訊干擾的問題，見圖(3.15)，這是在量測電路增益時紀錄的頻譜：



Mark 1: IF signal
 Mark 2: interference
 Mark 3: interference

圖(3.15) 電路的輸出頻譜顯示有外來雜訊干擾量測

從低頻一直到 100MHz 的頻帶內都存在著外來雜訊，標示 2 的數量級還逼近 -60dB，當普通量測電路的增益時這些雜訊並不會影響量測，但此情況下量到的低頻雜訊會如圖(3.16)：



圖(3.16) 有外來干擾的電路低頻雜訊指數

在 1MHz~100MHz 的雜訊指數都被外來干擾所遮蔽，無法判斷電路該有的轉角頻率在哪裡。

後來檢查出這外來干擾是由直流電源供應器所貢獻出來的，從電路的 VDD 進來干擾量測，不同的機器貢獻的低頻雜訊出現的範圍也不同，所以會看到圖(3.15)中標示 2、標示 3 等等峰值。我們的電路雖然是差動操作的，但是量測時只能拉單埠來頻譜分析儀看，PSRR 因此大打折扣。

有嘗試過改以電池作直流電流源，不過由於電路的偏壓值都不是乾電池可直接提供的，所以我們在麵包板上用可變電阻將乾電池的輸出作分壓後再供電路用，量測卻又發現用電池的方式得到的量測結果

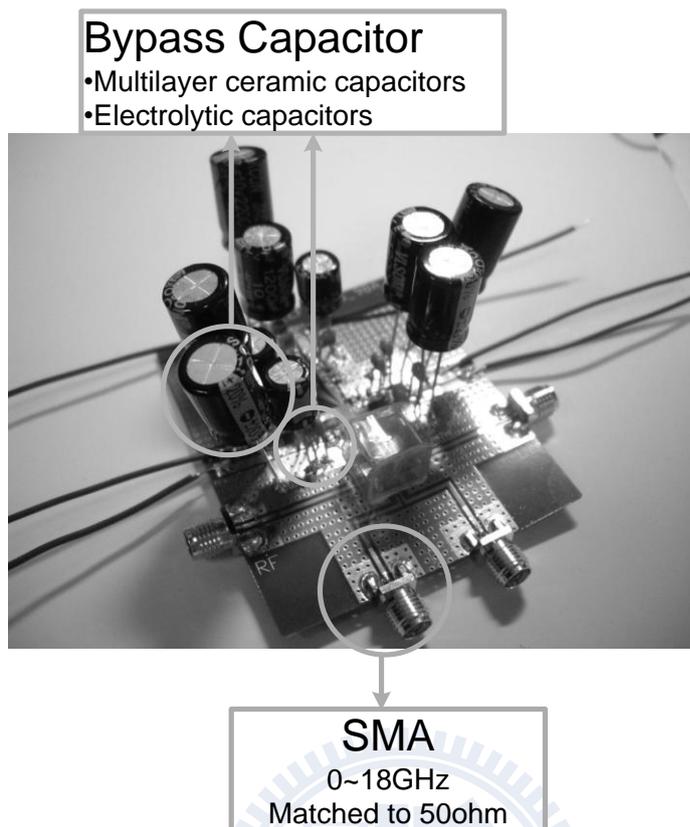
更糟糕，上網查詢到原來麵包板提供的接地不是很理想，也存在了很多低頻雜訊，屬於接地跳動（ground bounce）的現象，使得電路的 PSRR 更差。

進一步改進的作法是洗電路板、打線，希望藉由更大片實體的接地層能減輕接地跳動，而 DC 路徑索性一路加上旁路的穩壓電容，來達到濾除直流電壓供應器產生的低頻雜訊，至於旁路電容該放多大、該選用哪一種類的電容：參考了市售 OP 的數據手冊，裡頭建議 $0.1\mu F$ 的電容一定要放，觀察主機板、顯卡，上頭通常有 $330\mu F$ 的電解質電容，再經過一番的嘗試和錯誤，最後旁路電容的容值範圍從 $0.1\mu F \sim 3300\mu F$ ，從連接電壓源處開始放大容值然後一路縮小容值到電路端，如此效果較好；電容種類和其自振頻相關，製造商似乎都不提供此方面的資料供網路查詢，而德州儀器的技術文件寫到各類電容一般的適用頻率範圍：

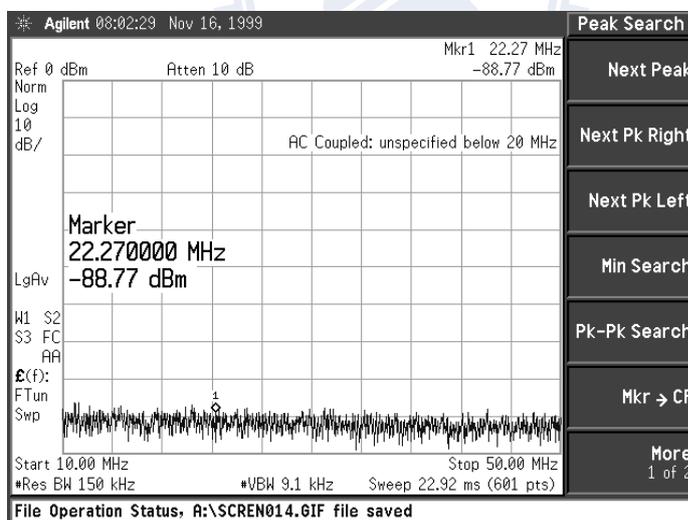
- 電解質電容 $\sim 100\text{kHz}$ 數量級
- 鉭質電容 $\sim 1\text{MHz}$ 數量級
- 陶瓷電容 $\sim 10\text{MHz} \sim 1\text{GHz}$ 數量級

要注意到電解質電容有其極性，反偏壓下它會貢獻雜訊。

圖(3.17)是完成安置旁路電容的電路板，板材為 $\epsilon_r = 4.4$ 的 FR4-二層板，背面整片為接地，板厚 0.4mm ，金屬為化金，與 SMA 接頭相接的信號走線有設計匹配到 50Ω ，不過因為製作時程的因素，電路本身並沒有在電路板上做到輸入阻抗匹配。

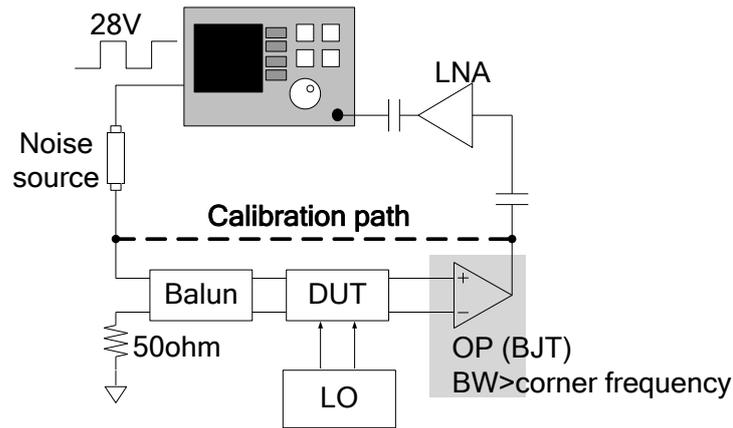


圖(3.17) 安置旁路電容的電路板



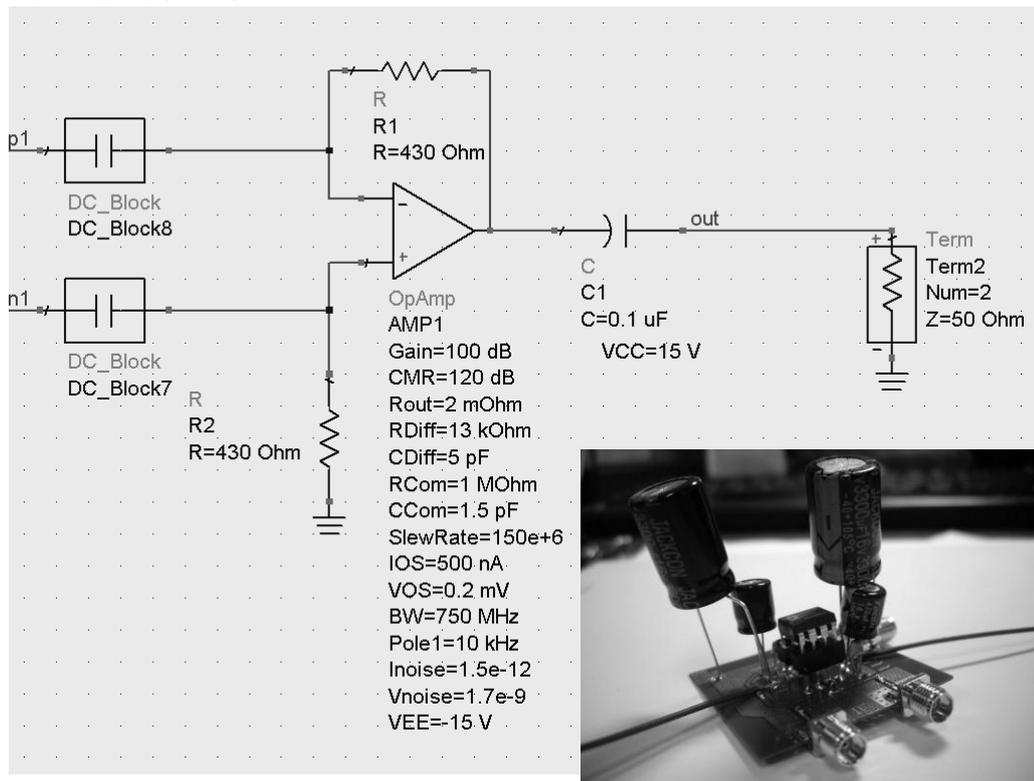
圖(3.18) 量測電路板電路的輸出頻譜

圖(3.18)看到旁路電容的確吸收掉了直流電壓源的雜訊，我們再來考慮到這是個差動電路，然而頻譜分析儀只能單端輸入，於是我們嘗試了圖(3.19)的方式：



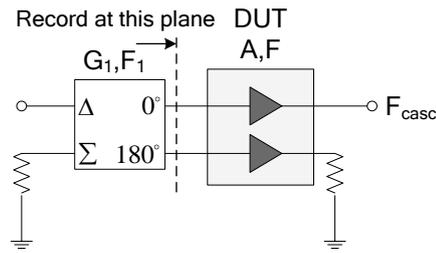
圖(3.19) 差動轉單端輸出量測雜訊指數的架設法

這個作為 IF balun 的運算放大器型號 AD829，我依據它的資料表在 ADS 輸入參數來做模擬，而它需要做負回授才有足夠的頻寬，電路接法見圖(3.20)：



圖(3.20) 主動 IF balun 的電路圖與電路板照片

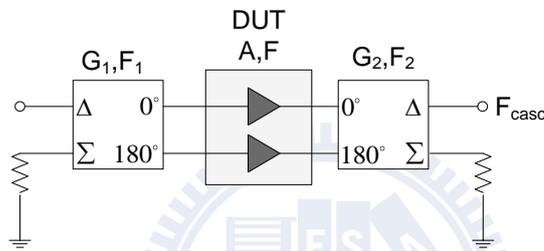
現在要考慮去嵌化 (de-embed) 的問題，量測結果包含來自 balun 的雜訊與損耗 (或增益)，圖(3.14)的架設法中，我們把差動電路看成兩個單端的放大器 (先不管降頻的效果)，如圖(3.21)示意：



圖(3.21) 圖(3.14)去嵌化的示意圖

$$F = F_{casc} - F_1 \text{ (dB)}, F_1 = -G_1 \text{ (dB)} \quad (3-39)$$

而圖(3.19)的架設法，要再修改



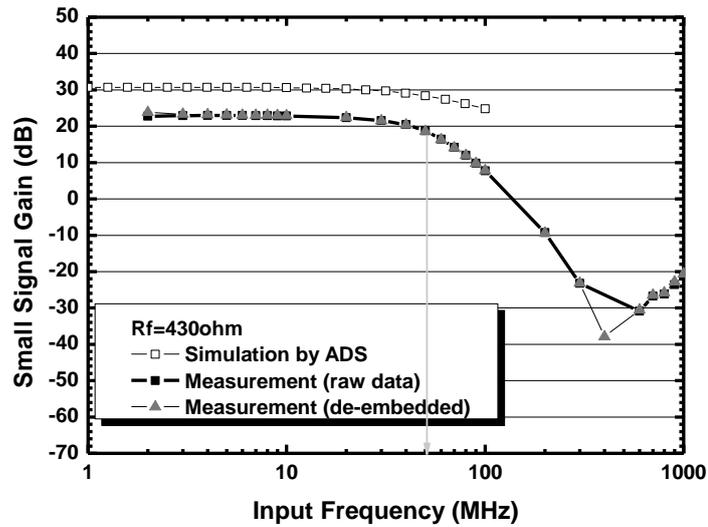
圖(3.22) 圖(3.19)去嵌化的示意圖

參考文獻導出的式子

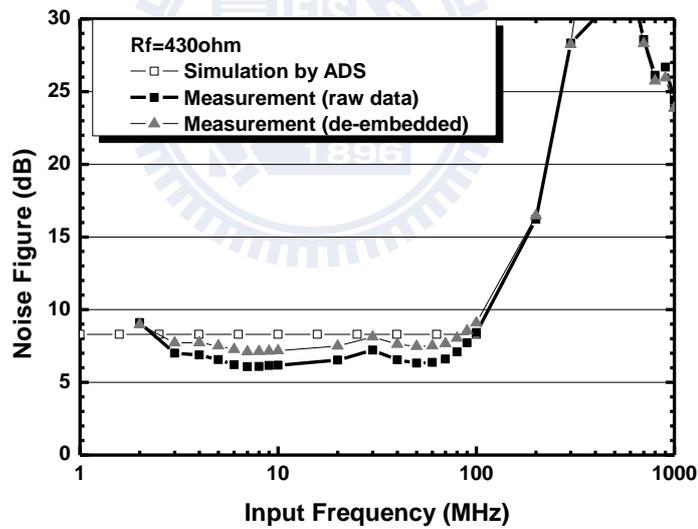
$$F_{casc} = \frac{1}{2} F_1 + \frac{1}{2} \frac{F-1}{G_1} + \frac{1}{4} \frac{F_2-2}{A \times G_1} \left(\frac{V}{V} \right) \quad (3-40)$$

$$G_{casc} = 4 \times G_1 \times A \times G_2 \left(\frac{V}{V} \right) \quad (3-41)$$

接著我們想知道 G_2 和 F_2 ，由量測得知 G_{casc} 、 F_{casc} 、 G_1 和 F_1 ，令 $A=1$ 、 $F=1$ （亦即 DUT 理想傳輸線化）帶回式 (3-40)，得到去嵌化的數據，與原始數據及模擬結果做比較：



圖(3.23) OP 模擬與量測的增益



圖(3.24) OP 模擬與量測的雜訊指數

OP 的增益為 23dB，雜訊指數 7.1dB，不過因為 Y 參數法校正誤差為 $\pm 1\text{dB}$ ，而 7.1dB 帶回式 (3-40)，對其第三項的影響不會讓它的值大於 10(即 $\pm 1\text{dB}$)，還在校正誤差內，所以應該是不需特地將圖(3.19)架設下的量測數據做去嵌化。

第 4 章

改善 FET 主動式降頻器的 顫動雜訊之研究



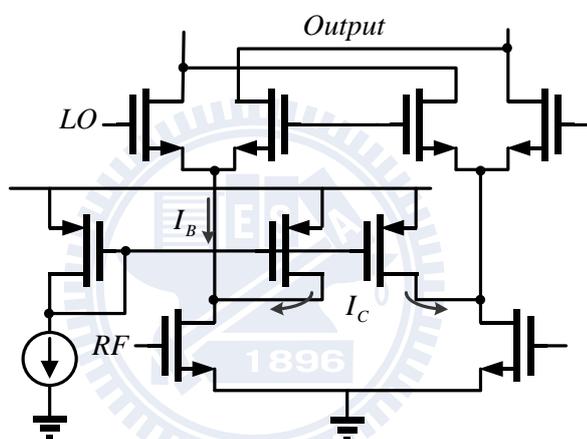
4.1 5.2GHz 吉爾伯式降頻器(CG)

-運用 LO 開關級偏壓電流靜態分流方式與串聯共振電感
(TSMC 0.18 μm CMOS)

4.1.1 研究動機

本電路採用靜態電流分流裝置，搭配共振電感，以期壓制高頻時直接與間接開關雜訊的產生機制；並觀察抽取電流的量對改善閃爍雜訊的量之間的關係。為了輸入阻抗匹配而採共閘極架構。

4.1.1.(1) 靜態偏壓電流分流裝置



圖(4.1) 靜態抽取電流裝置電路圖

經由前一章對主動式混頻器的顫動雜訊分析，可以了解到 LO 的開關級會貢獻直接開關雜訊， $S_n^o(f) \propto 4I_B/ST$ ，所以利用偏壓電流分流的方法來減少直接開關雜訊，藉由加上一 PMOS 電流源，可在不改變流經輸入轉導級的電流下，減少流經開關級的偏壓電流，因此 S_n^o 就會下降，注意到這裝置持續注入電流，故稱靜態電流注入架構，附帶一提，如此負載電阻的電流也變小，所以同樣的電壓頭部空間下，負載電阻值可以增大來提昇電路增益。

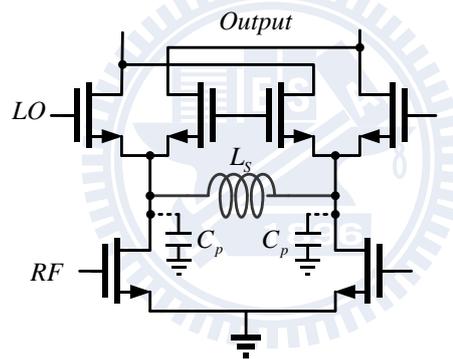
但是這個電路仍然存在一些取捨，如電流注入裝置會使 LO 開關

級的共源極點的寄生電容變大，對於混頻器的頻寬造成影響，而且這個裝置會使線性度變差，且熱雜訊會上升。

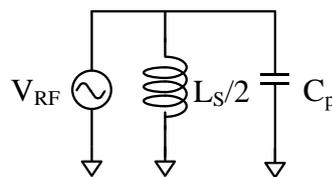
4.1.1.(2) 電感共振機制

承上一章的討論，開關級共源極端點的寄生電容是造成間接開關雜訊的主要原因，事實上，在混頻的過程中，無論是直接開關雜訊或是間接開關雜訊都會存在，只是當低頻時，電晶體電容的效應不明顯，故間接開關雜訊相對效果較小。而在高操作頻率時，間接開關雜訊可能會變成主體，所以加上電感共振掉寄生電容，文獻已討論出兩種加入共振電感的架構：

- 兩個共源極點之間並聯一個共振電感



圖(4.2) 一個共振電感電路之示意圖

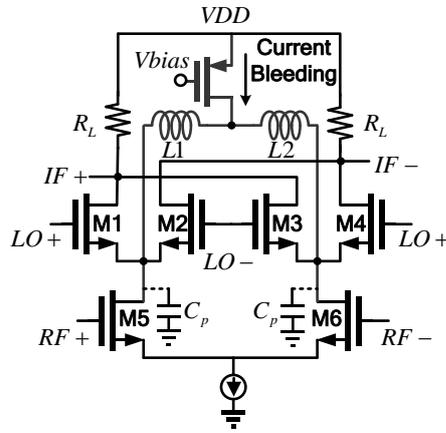


圖(4.3) 圖(4.2)在 LO 頻率的共振示意圖

回憶間接開關雜訊的理論，間接開關雜訊是透過在 LO 頻率看到的寄生電容去影響輸入的小信號電流而最後出現在 IF 的雜訊脈衝，所以電感 L_s 要設計在 LO 頻率時與寄生電容共振，此種共振電感架構可設計要不要搭配偏壓電流分流裝置。

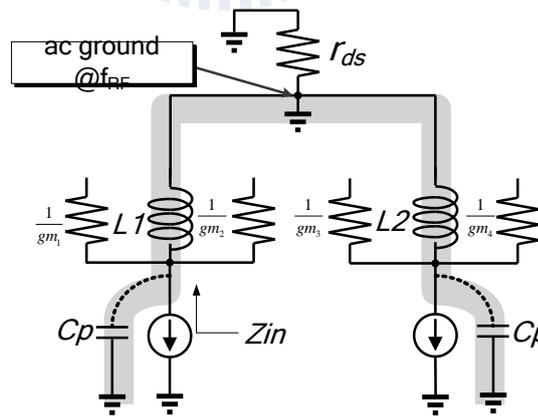
而要一起解決直接和間接開關雜訊有下列方式：

- 開關級的共源極點與抽電流裝置之間串聯二個共振電感



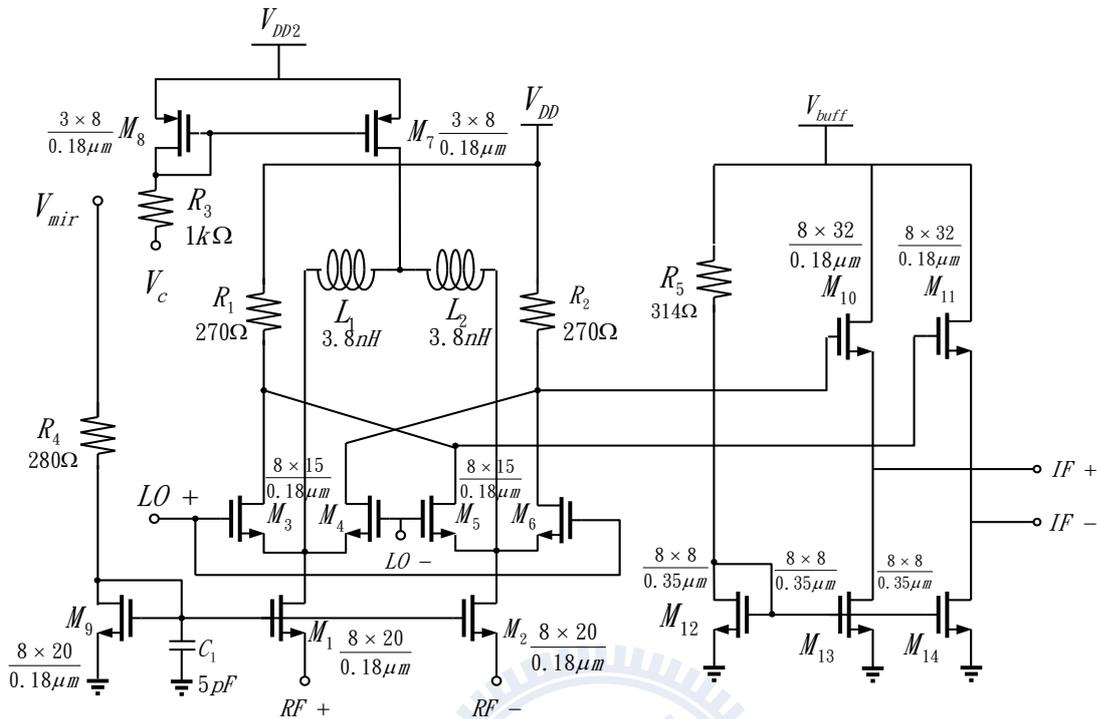
圖(4.4) 靜態電流分流 + 串聯二個共振電感

相較於上一種共振方式，這裡改變電流注入的節點， $L1$ 和 $L2$ 之間那點在 RF 頻率會是虛接地點，維持圖(4.3)的共振形式； $L1$ 和 $L2$ 對輸入轉導級的小訊號電流來說，等效於兩個 ac choke 來阻擋它通過，這樣避免 i_{RF} 往電流分流裝置逸漏，可達到較高的轉換增益；而電流注入裝置的雜訊對於輸出端來說是共模雜訊、可被差動操作消除。等效的共振電路：



圖(4.5) 靜態電流分流 + 串聯二個共振電感的等效電路

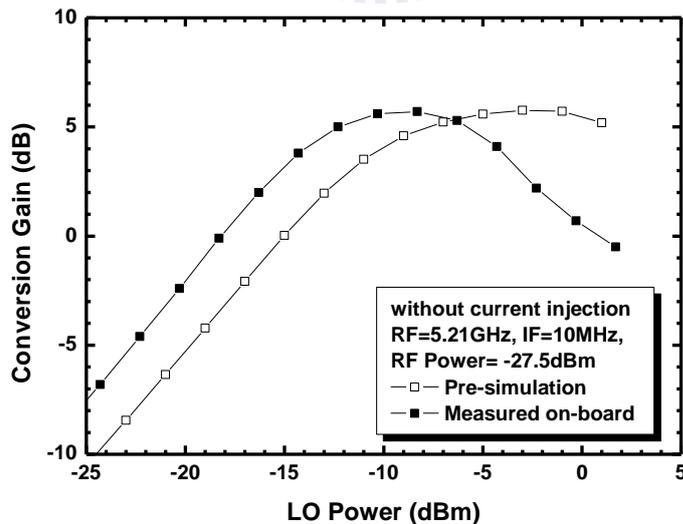
4.1.2 整體電路架構



圖(4.6) 5.2GHz CG 降頻器整體電路圖

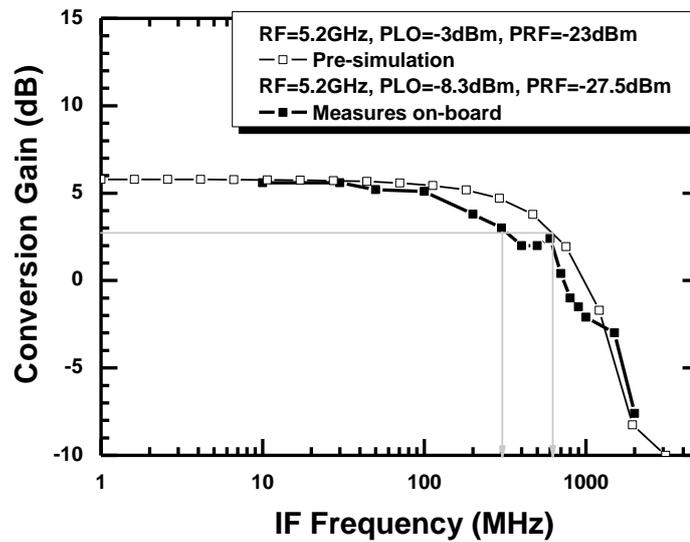
4.1.3 模擬與量測結果

- 轉換增益對 LO 功率



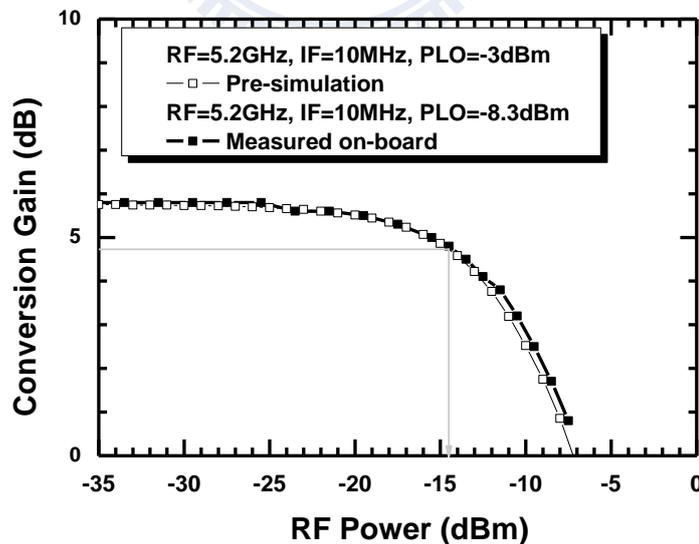
圖(4.7) 5.2GHz CG 降頻器模擬與量測的轉換增益對 LO 功率

- 轉換增益對 IF 頻率



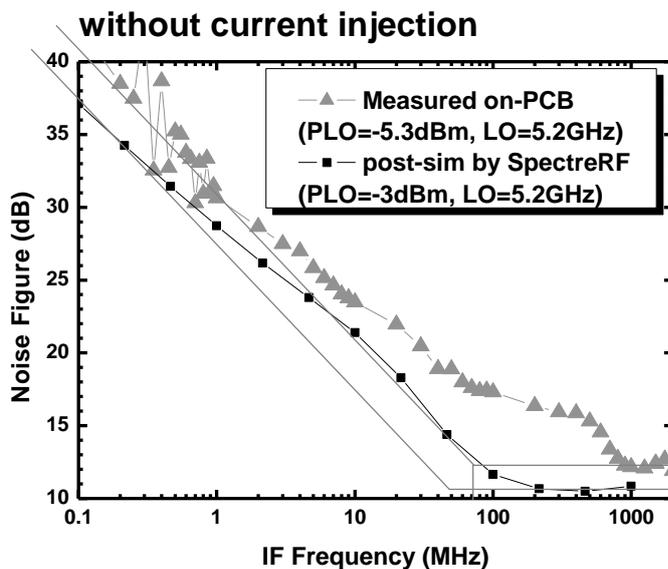
圖(4.8) 5.2GHz CG 降頻器模擬與量測的轉換增益對 IF 頻率
量測的轉換增益為 5.6dB。

- 線性度



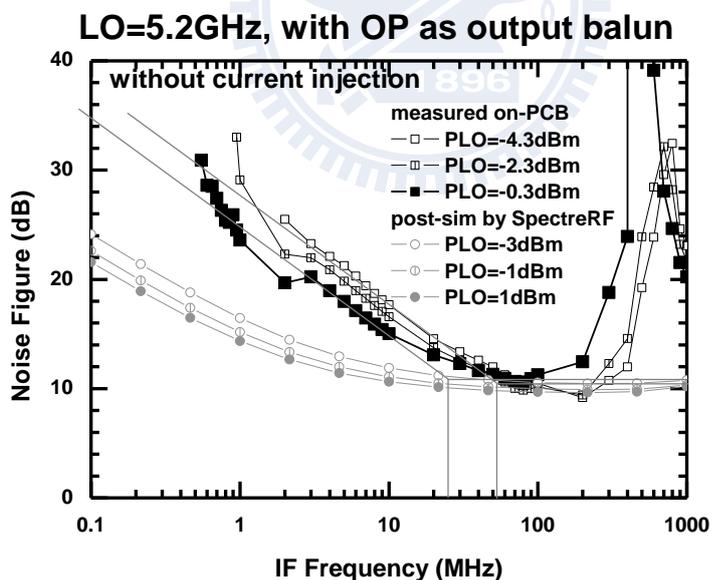
圖(4.9) 5.2GHz CG 降頻器模擬與量測的 P1dB 點
量測的 IP1dB=-14.5dBm。

- 雜訊指數對 IF 頻率 (差動輸出端之中的一埠)



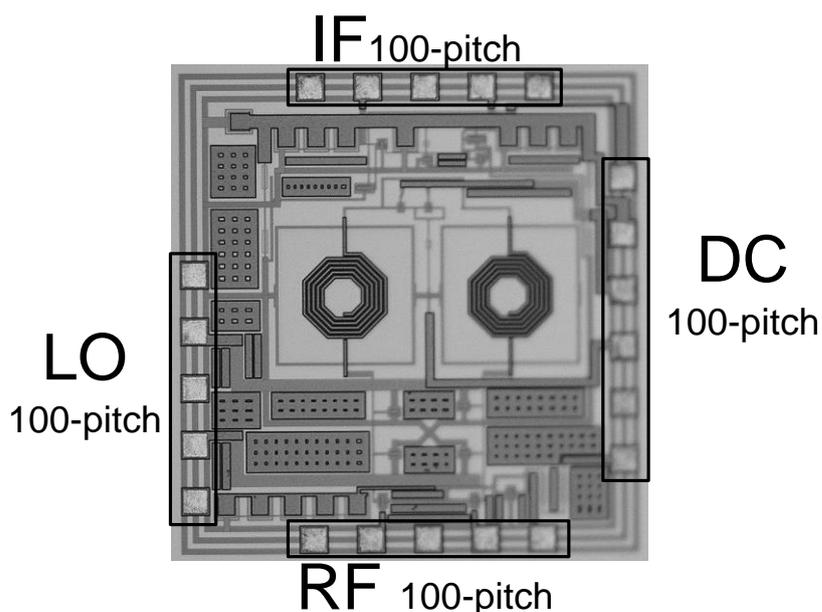
圖(4.10) 5.2GHz CG 降頻器單埠量測的雜訊指數

- 雜訊指數對 IF 頻率 (差動輸出再經由 OP 轉為單端輸出)



圖(4.11) 5.2GHz CG 降頻器差動量測的雜訊指數

驗證理論，大 LO pumping power 有助於改善閃爍雜訊。



圖(4.12) 5.2GHz CG 降頻器 die photo

4.1.4 比較與討論

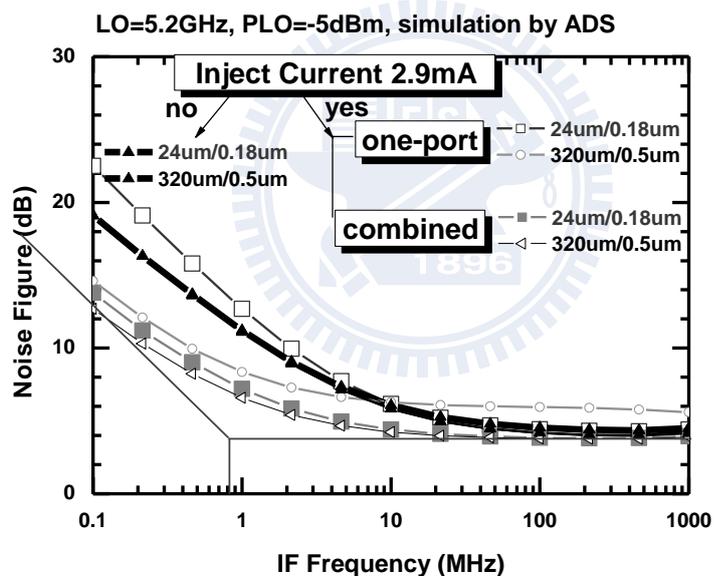
此電路 on-wafer 量測時有振盪的現象，需要很大的穩壓電容來幫助電路穩定，所以做成電路板後才有量到該有的電路特性，最後得到的轉換增益與 1dB 壓縮點的量測結果與模擬非常貼近。

圖(4.10)在 100MHz~1GHz 之間有起伏，推測是因為電路板只放了 $470\mu F$ 和 $2700\mu F$ 兩個大容值，它們不能完全吸收掉這個頻段裡來自直流電壓源的雜訊。沒有來得及量測抽電流的情況，電路板後來疑似被靜電打壞不能工作了。

另外比較差動埠之一端與有 OP 轉單端的雜訊結果，後者的轉角頻率有進步，這種差異的原因我們推測可能是差動埠之一端會有 RF-IF feed-through 的問題，2.1 節理論說轉導級沒有貢獻閃爍雜訊到輸出端，可是那是以差動輸出的情況來做分析的，而差動埠之一的系

統轉換函數有 DC 成份存在，因此轉導級的低頻雜訊會出現在輸出端的低頻附近，雖然我們想不到印證的方法，不過參考文獻[9]也有推導電晶體不匹配的情形下，轉導級是會有貢獻閃爍雜訊的，這也是 RF-IF feed-through 的問題。

再繼續猜想此電路是否有共模雜訊的成份，需要將電路差動轉成單端輸出，回頭做模擬，發覺靜態電流分流的元件貢獻給電路的正是這種共模雜訊，而且要是設計的閘極長度短的話其展現的雜訊值不小，圖(4.13)比較分流電流差不多的情況下、改變元件尺寸與電路是否有差動轉成單端輸出：



圖(4.13) 模擬電流分流裝置所貢獻的共模雜訊

(比較抽電流、元件閘極長度、電路是否轉成單端輸出)

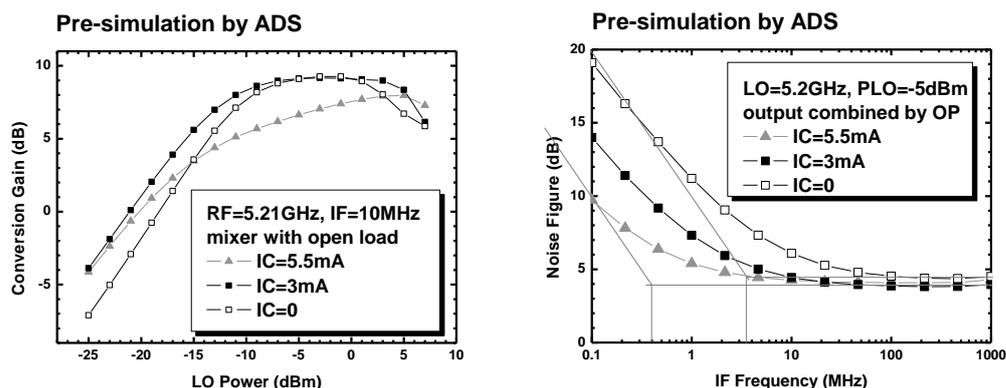
所有不注入電流($I_C = 0mA$)的雜訊指數是疊在同一條黑色粗線，

- 首先注意到同樣是 $0.18\mu m$ 的閘極長度、同樣注入 $I_C = 2.9mA$ ，比較差動埠之一 (\square) 與差動轉單端輸出 (\blacksquare)，做了電流分流的 (\square) 閃爍雜訊反而較不注入電流來的增加。

- 再來看同樣有注入電流、同樣是差動埠之一，比較電流分流元件的閘極長度 $0.18\mu\text{m}$ (\square) 與 $0.5\mu\text{m}$ (\circ)，應該是 $0.5\mu\text{m}$ (\circ) 元件貢獻的閃爍雜訊量較小，所以可看到它有改善電路閃爍雜訊的功效。
- 同樣是差動轉單端輸出、同樣有注入電流，比較閘極長度 $0.18\mu\text{m}$ (\blacksquare) 與 $0.5\mu\text{m}$ (\triangleleft)，兩者改善閃爍雜訊的功效是差不多的。

由以上的模擬看出靜態電流分流搭配串聯二個共振電感的優點，如果是差動模式來看輸出端雜訊，它改善電路的閃爍雜訊又可以避免電流分流裝置貢獻本身的雜訊給電路（因此可以不需太考慮電流分流元件的閘極長度）。可惜之前下線設計的時候沒有認清這一點，採用了小尺寸元件，所以要是真有量抽電流的情況應該是得不到好的量測結果。

最後來討論靜態偏壓電流分流是否有缺點，圖(4.14)模擬看到在把 LO 開關級的偏壓電流抽到最乾的時候改善閃爍雜訊的效果最好，不過可以想見這時候的 LO 開關級如同被動的混頻器一樣，需要很大的 LO 輸入功率來驅動，往 LO 開關級看上去的阻抗 $1/g_m$ 變大、電路的增益也因此下降，如果重新設計、把因為電流分流而多出來的頭部空間 (head room) 再給負載電阻，雖然可以多爭取轉換增益，不過電路的線性度會變差。



圖(4.14) 模擬不同分流電流下的所需的 LO power 與雜訊表現

Process	TSMC 0.18um CMOS	
VDD	1.8V	
RF/LO/IF	5.2/5.19/0.01 GHz	
	Pre-sim	Measurement
Power Consumption (core/buffer)	16.9/15.5mW	15.5/14.8mW
Conversion Gain	5.8dB	5.6dB
IP1dB	-14dBm	-14.5dBm
IIP3	-0.5dBm	-
White Noise	10.5dB	11.3dB
NF @ 10MHz	10.6dB	15dB
Chip Size	0.8mm × 0.85 mm	

表6. 5.2GHz 低顫動雜訊降頻器的模擬與量測結果總結

4.2 2.4GHz 吉爾伯式降頻器(CS)

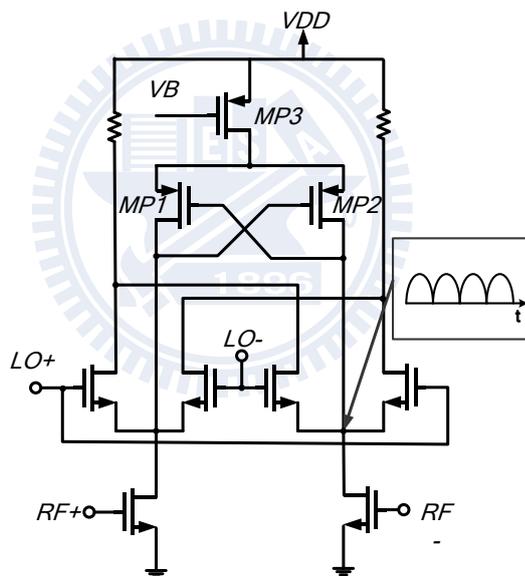
-運用 LO 開關級偏壓電流動態分流方式

(TSMC $0.13\mu m$ CMOS)

4.2.1 設計方法

本電路針對靜態電流分流裝置的缺點，動態電流分流裝置只在 LO 信號的零交越點時才啟動、抽取 LO 開關級的電流；同樣地觀察抽取電流的量對電路的 LO pumping power 與改善閃爍雜訊的量之間的關係。

4.2.1.(1) 動態抽取電流裝置



圖(4.15) 動態偏壓電流分流裝置電路圖

它的工作機制是利用混頻器的開關級的共源極點受到 LO 信號造成的電壓準位的擾動(參圖(4.15)，為 2 倍 LO 頻率的全波整流信號)，有夠大的 LO pumping power 的話，那這個擾動加上 MP1、MP2 的過載電壓，這個合起來的電壓會去改變 MP3 的 V_{ds} ，設計當擾動電壓值最大時會把 MP3 關掉，擾動最小時 MP3 開啟、注入電流。難題在於 MP1 與 MP3 的電晶體尺寸要設計得宜，PMOS 的 f_T 要夠，讓 MP3 可

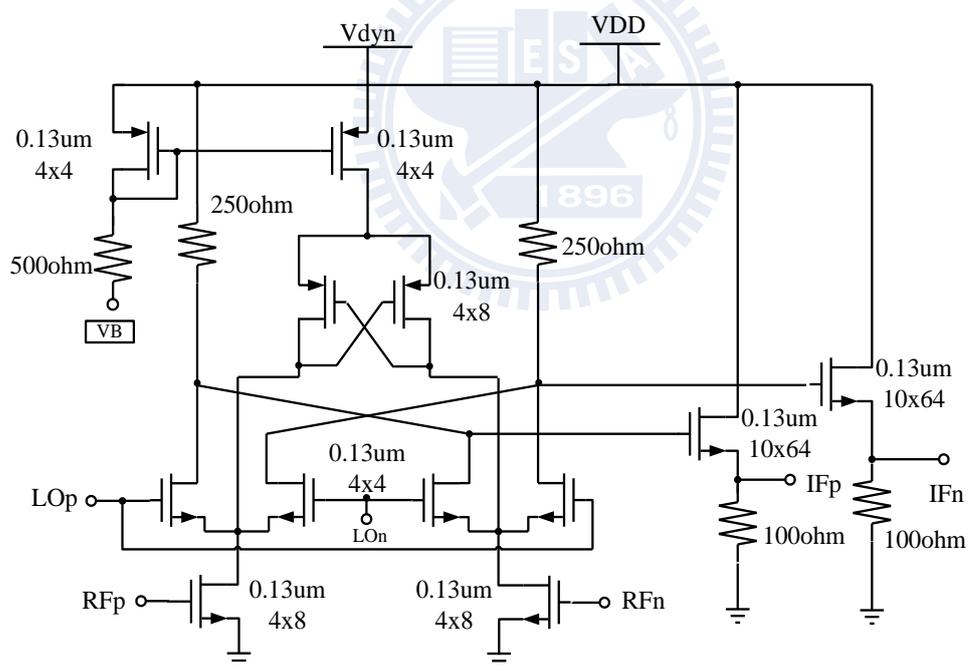
以在 2LO 頻率工作，才能發揮動態抽取電流的功效。

受限於動態電流注入裝置的開關採 latch 架構，它沒有辦法像上述的靜態抽取電流裝置可以安排一個出現在 RF 頻率的虛接地點，只有在 LO 開關級的兩個共源極點之間並聯一個共振電感的方式。

4.2.1.(2) 輸出緩衝級

因為模擬時發現輸出緩衝級的電晶體也會貢獻不小的閃爍雜訊給量測端，所以採用共源極放大器作為輸出緩衝級，以電阻做偏壓電流源，以期減少輸出緩衝級對量測閃爍雜訊的干擾。

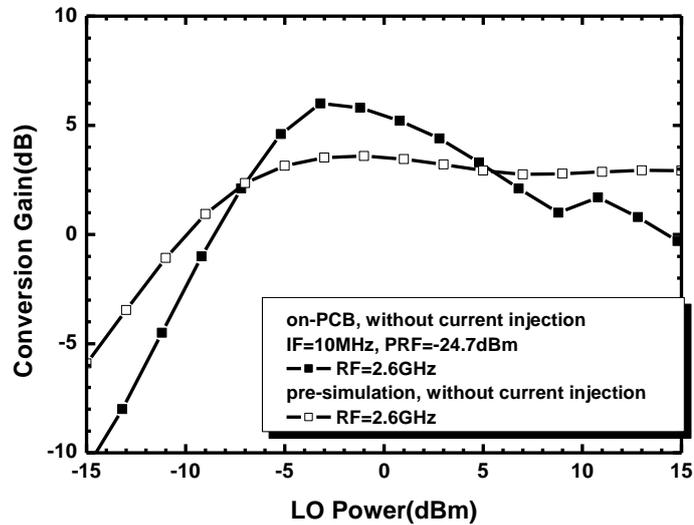
4.2.2 整體電路架構



圖(4.16) 2.4GHz CS 降頻器整體電路圖

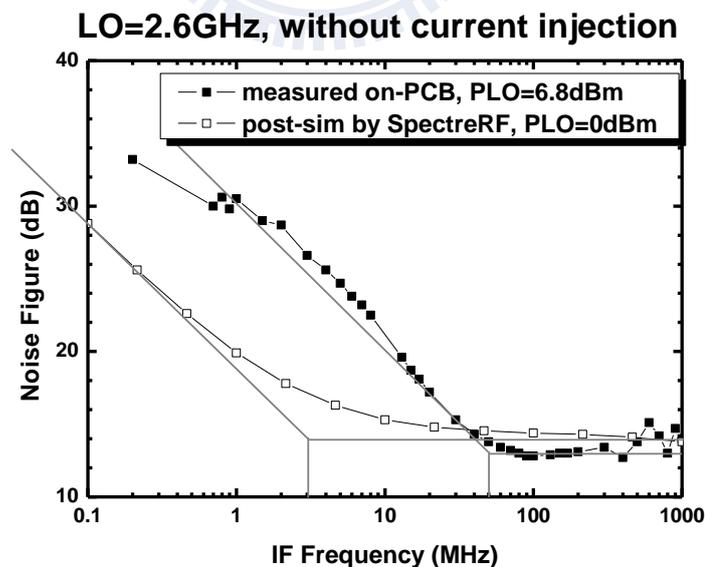
4.2.3 模擬與量測結果

- 轉換增益對 LO 功率



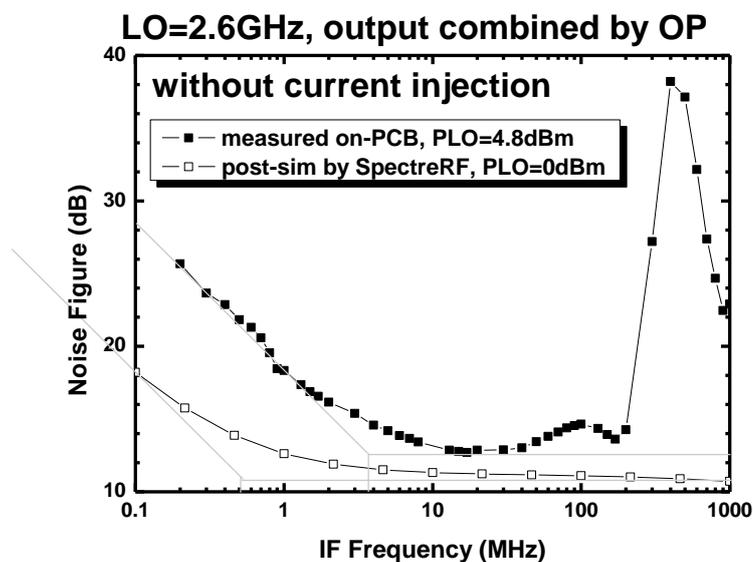
圖(4.17) 2.4GHz CS 降頻器模擬與量測的轉換增益對 LO 功率

- 雜訊指數對 IF 頻率 (差動埠之一)

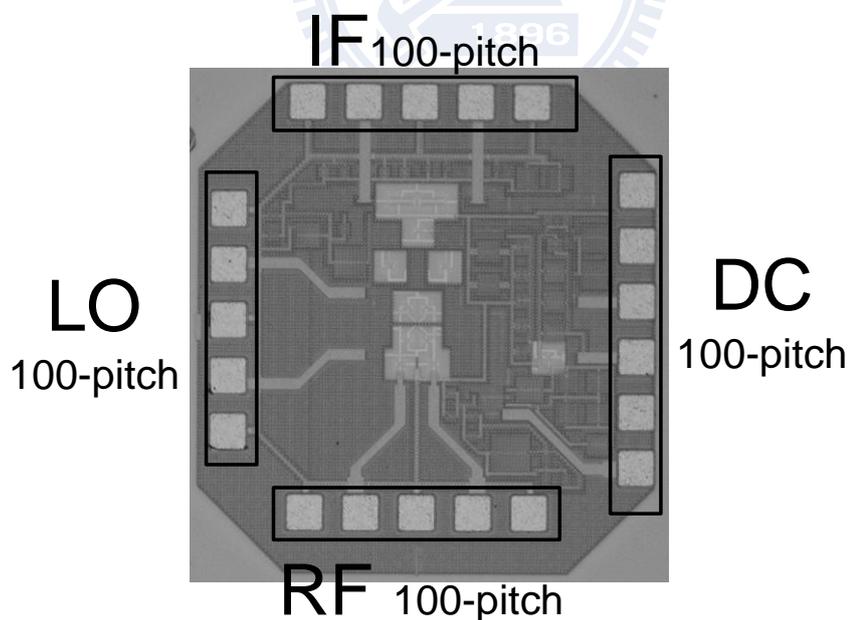


圖(4.18) 2.4GHz CS 降頻器單埠量測的雜訊指數對 IF 頻率

- 雜訊指數對 IF 頻率 (差動轉單端輸出)



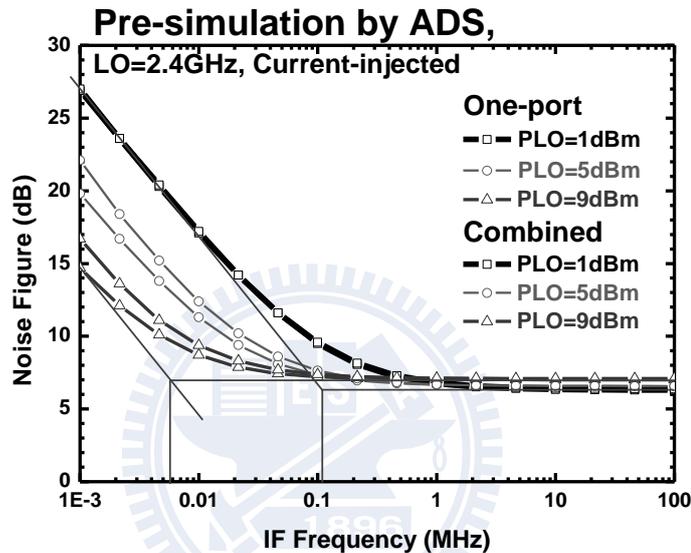
圖(4.19) 2.4GHz CS 降頻器差動量測的雜訊指數對 IF 頻率



圖(4.20) 2.4GHz CS 降頻器 die photo

4.2.4 比較與討論

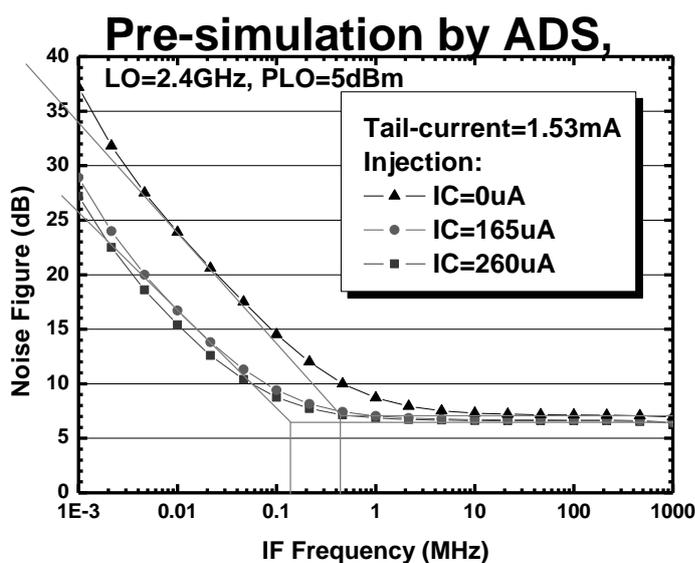
此電路在電路板上量測的特性受到磅線的影響與 on-wafer 的量測結果相差甚多。量測雜訊指數的結果看到，沒有抽電流的狀態下、單看差動輸出的一埠與差動轉單端的結果仍是有很大的差別，與前一節電路一樣，只能猜測是電路的差動特性造成的改善。而圖(4.21)的模擬顯示有抽電流狀態下、輸出有無做差動轉單端似乎差別不大。



圖(4.21) 模擬的雜訊指數，

比較不同 LO pumping power 與有無輸出差動轉單端
(模擬電路不含輸出緩衝器)

理論上動態電流分流可以改善轉角頻率又不犧牲電路增益與線性度，只是要付出頗大的 LO 輸入功率，很可惜我做實驗時來不及觀察這現象，而等下次要做實驗時電路卻已功能異常、疑似電晶體閘極被靜電打壞，只能補上模擬，參圖(4.21)，而同樣的 LO 輸入功率之下，模擬比較不同的注入電流量，參圖(4.22)，電流注入的量到了某種程度之後，雜訊改善的量會飽和：



圖(4.22) 模擬的雜訊指數，
比較不同注入電流量

Process	TSMC 0.13um CMOS		
VDD	1.2V		
RF/LO/IF (GHz)	2.4/2.39/0.01	1.01/1/0.01	2.4/2.39/0.01
	Pre-simulation	Measurement on-wafer	Measurement on-board
Conversion Gain (dB)	3.8	5	6
IP1dB (dBm)	-12	-16dBm	-
IIP3 (dBm)	2	-	-
White Noise (dB)	13.8	12	12.8
Noise Figure @ 10MHz (dB)	15.3	-	13.4
Power Consumption (mW)	17.4	14.4	14.4
Chip Size	0.85 x 0.89 mm ²		

表7. 2.4GHz 低顫動雜訊降頻器的模擬與量測結果總結

4.3 5.2GHz 微混波器 (降頻)

(WIN 0.15 μm PHEMT)

4.3.1 研究動機

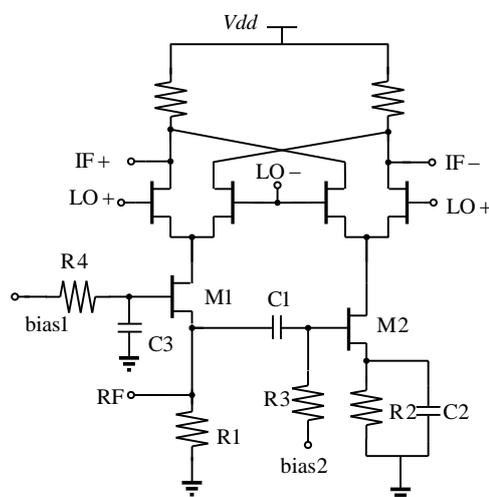
HEMT 製程用來實現低雜訊放大器將消耗較少的功率，所以適合應用在講求低雜訊、低功率的接收機系統上，但若考慮到要將整個系統整合在單一晶片上的話，那使用 HEMT 製程的混頻器也是必要的。受限於 HEMT 製程相對較高的製程變異，目前常見於文獻中的是架構較簡單的被動式混頻器，而在此我們要挑戰的是設計主動式的混頻器，也一併來探討 PHEMT 製程下的電路閃爍雜訊，之所以選擇微混頻器是看中它有單端轉差動輸入以及寬頻的輸入阻抗匹配特性，方便量測上的架設。

同樣地來觀察抽取電流的量對電路的 LO pumping power 與改善閃爍雜訊的量之間的關係，但因為此製程只有提供 n-type 電晶體，不能像前面小節的 CMOS 電流分流裝置採用 p-type 電晶體，所以在此我設計了兩個微混波器電路，它們的 LO 開關級電晶體元件大小都一樣，差別在一個具有 LO 開關級靜態偏壓電流分流裝置，而因為這兩個電路不是同時設計的，又加上後來量測上的一些考量，有電流分流的這個電路的 LO 也藉由馬爾尚分波器 (Marchand balun) 達到單端輸入，以方便量測。

4.3.1.(1) Micromixer

參考文獻[34]提出將吉爾伯混頻器的輸入轉導級由對稱的共源極放大器改為不對稱的 A-B 類放大器架構，如圖(4.23)的 $M1$ 共閘極放大器與 $M2$ 共源極放大器，又由於使用的是空乏型元件，為了避免電路功率消耗過大得在電路的電流源採用負偏壓，在此參考了[36]的

作法，運用電阻作為自偏壓電路。M1、M2 的閘極可以設計成外給偏壓。



圖(4.23) 降頻器電路

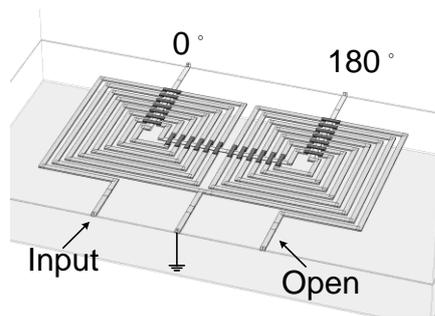
RF 電壓訊號經由 M1 和 M2 形成差動的電流訊號，進而與 LO 訊號混頻，而且轉導級的輸入阻抗由 M1 的轉導值和 R1 阻值決定，可以設計到讓輸入阻抗為 50 歐姆，因此微混波器的量測上將不需要外加的 RF balun 電路來做單端信號變差動信號的轉換，輸入阻抗匹配也非常地寬頻。

在元件的選擇上，耦合電容 C1 的容值要大一點，讓 RF 訊號傳到 M2 時的損耗越小。旁路電容 C2、C3 的容值也要大一點，讓小訊號看到 M2 的源極是接到地（M2 為共源極放大器組態），小訊號看到 M1 的閘極是接到地（M1 為共閘極放大器組態）。R3、R4 來給轉導級的閘極偏壓，因為它們也需要作為 RF choke，所以阻值至少要上千歐姆。

4.3.1.(2) Marchand Balun

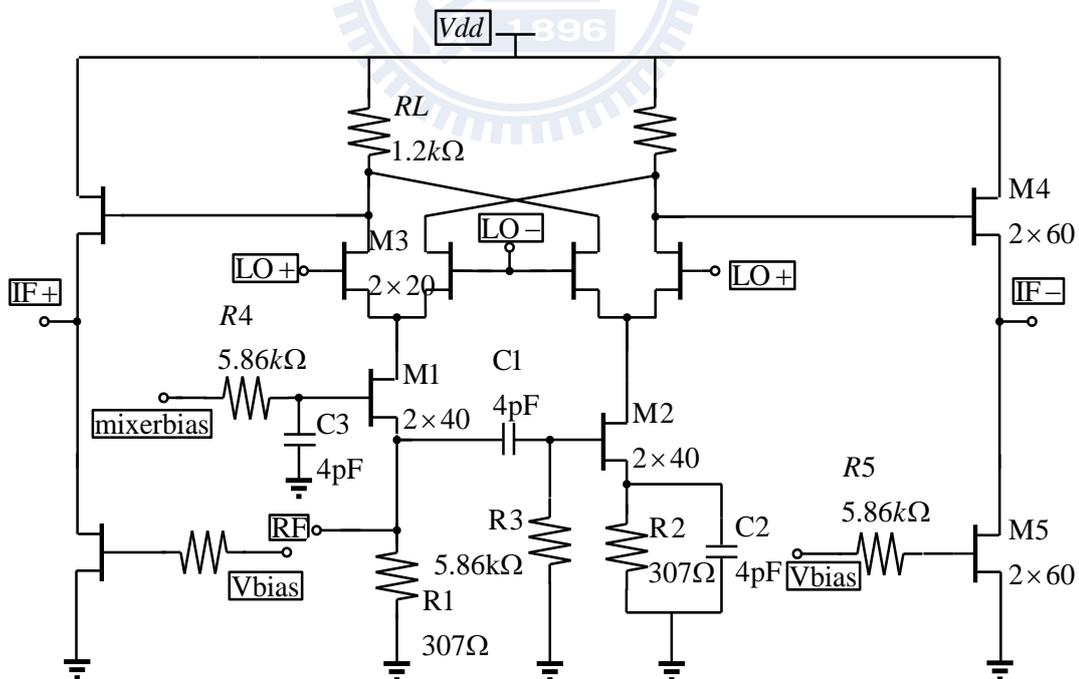
馬爾尚分合波器若是在負載為 50 歐姆的情況下具有非常寬頻地產生平衡式訊號的效果。我們只求它用在 LO 埠的差動相位差夠平

衡，至於差動埠的傳輸損耗的要求則沒那麼嚴格，只要差動的 LO 信號功率夠足以讓降頻器產生混頻即可。理論上 LO 開關級所需要的直流偏壓可以由差動埠之間的共接地點給進，但由前人的經驗來看，直流偏壓還是在差動埠輸出和 LO 開關級閘極之間給入，才不至於對馬爾尚分合波器的差動埠相位差有影響。本分波器採用變壓器形式的架構，藉由兩條傳輸線緊密互繞來提高耦合量、減小它所佔的面積。

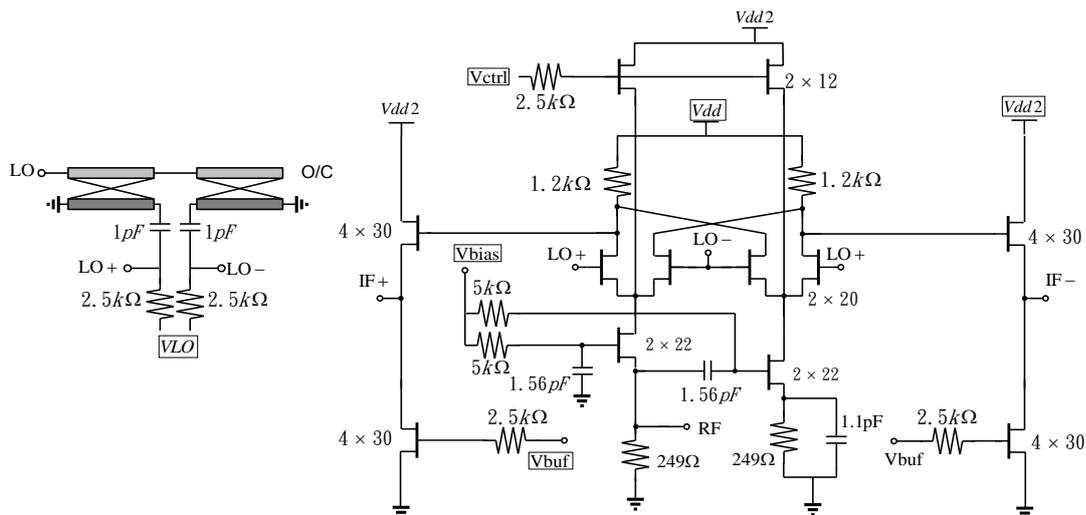


圖(4.24) 馬爾尚分合波器的佈局圖

4.3.2 整體電路架構



圖(4.25) 5.2GHz 微混頻器整體電路架構



圖(4.26) 具靜態電流分流的微混頻器整體電路圖

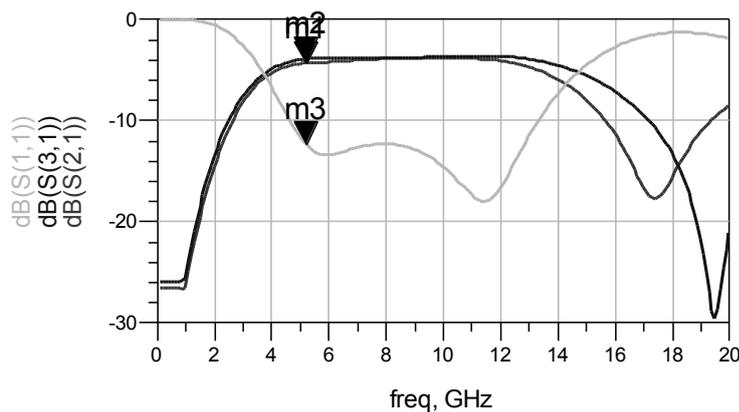
4.3.3 模擬與量測結果

4.3.3.(1) Marchand Balun 的模擬

- S 參數

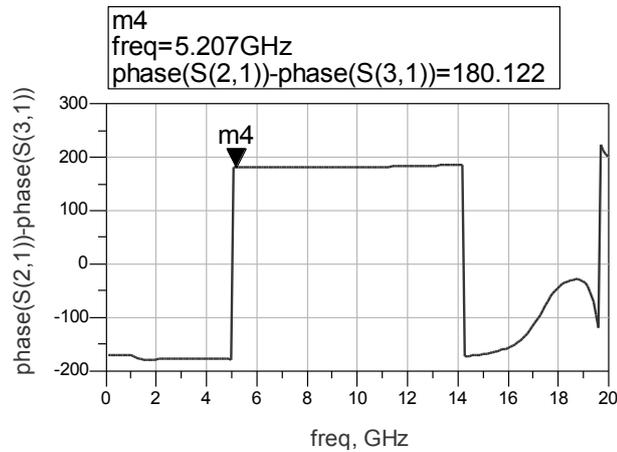
輸入埠（埠 1）與差動信號埠（埠 2、埠 3）各為 50 歐姆負載：

m1 freq=5.207GHz dB(S(2,1))=-4.384	m2 freq=5.207GHz dB(S(3,1))=-3.975	m3 freq=5.207GHz dB(S(1,1))=-12.361
--	--	---



圖(4.27) 馬爾尚分合波器的輸入返回損耗S11與傳輸損耗S21、S31

- 差動埠相位差

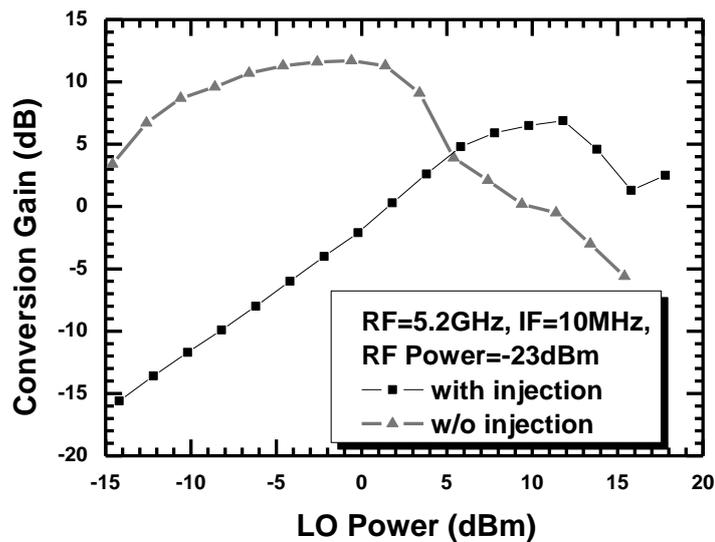


圖(4.28) 馬爾尚分合波器的差動埠相位差
在 4GHz 的相位差為 179 度，在 11GHz 的相位差為 181 度。

4.3.3.(2) 微混波器的量測結果

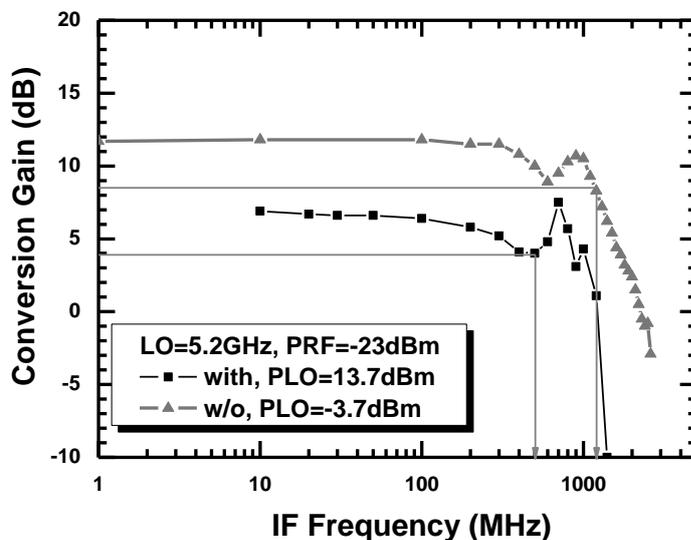
無電流分流的混頻器， $I_{dd} = 5.5mA$ ；有電流分流的， $I_{dd} = 3.7mA$ 。

- 轉換增益對 LO 功率（比較有無電流分流）



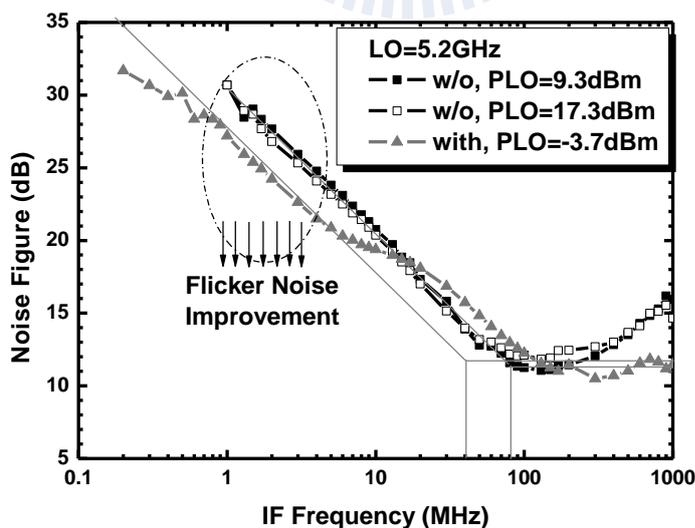
圖(4.29) 比較有無電流分流的轉換增益對 LO 功率量測

- 轉換增益對 IF 頻率 (比較有無電流分流)



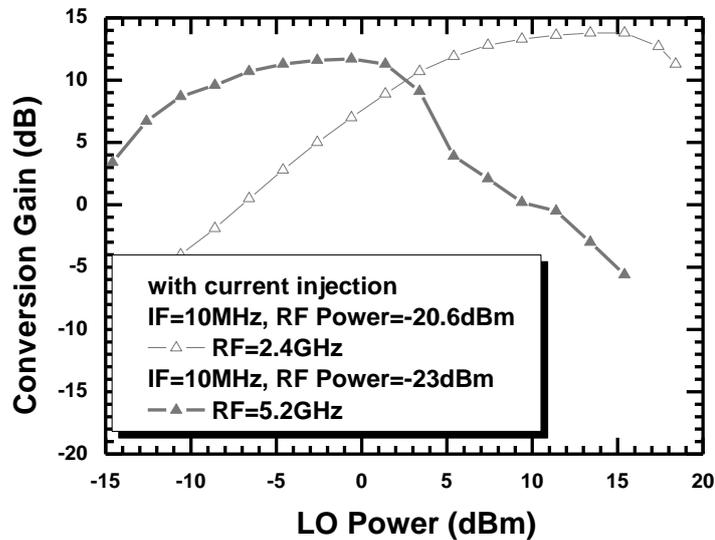
圖(4.30) 比較有無電流分流的轉換增益對 IF 頻率量測

- 雜訊指數對 IF 頻率 (比較有無電流分流)



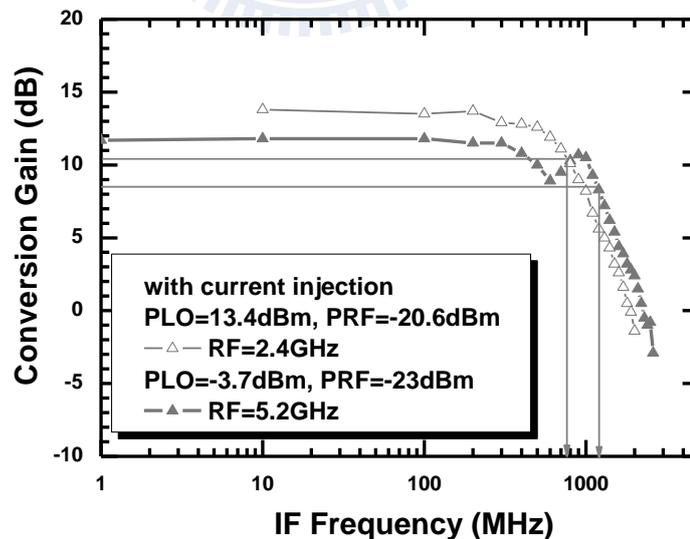
圖(4.31) 比較有無電流分流的雜訊指數對 IF 頻率量測

- 轉換增益對 LO 功率 (有電流分流, 比較不同 LO 頻率)



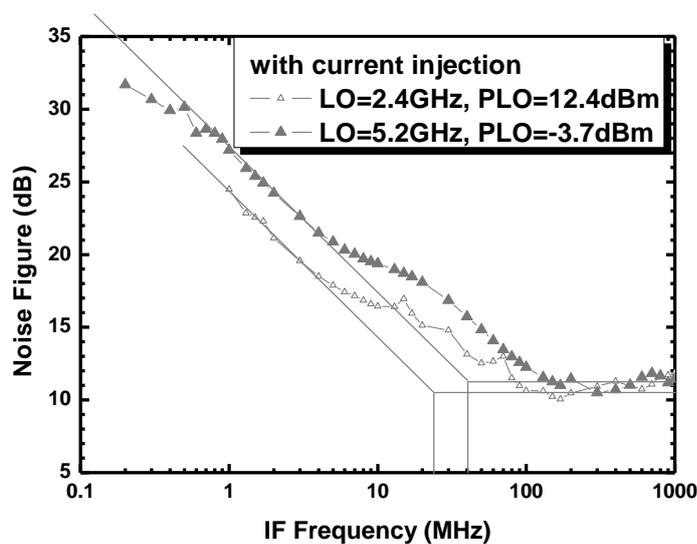
圖(4.32) 量測比較不同 LO 頻率下轉換增益對 LO 功率

- 轉換增益對 IF 頻率 (有電流分流, 比較不同 LO 頻率)

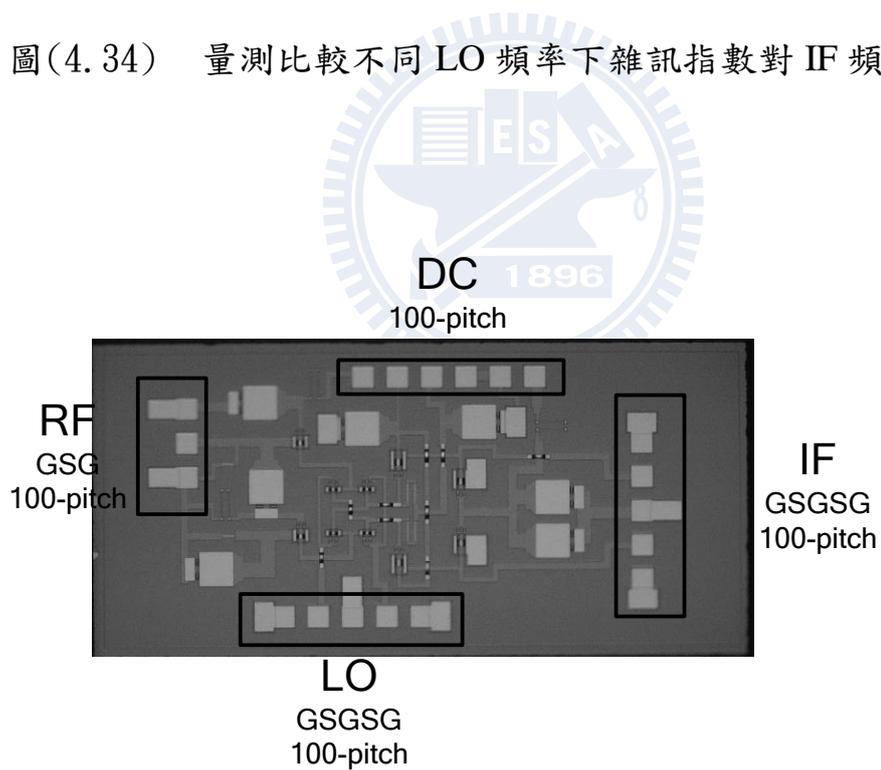


圖(4.33) 量測比較不同 LO 頻率下轉換增益對 IF 頻率

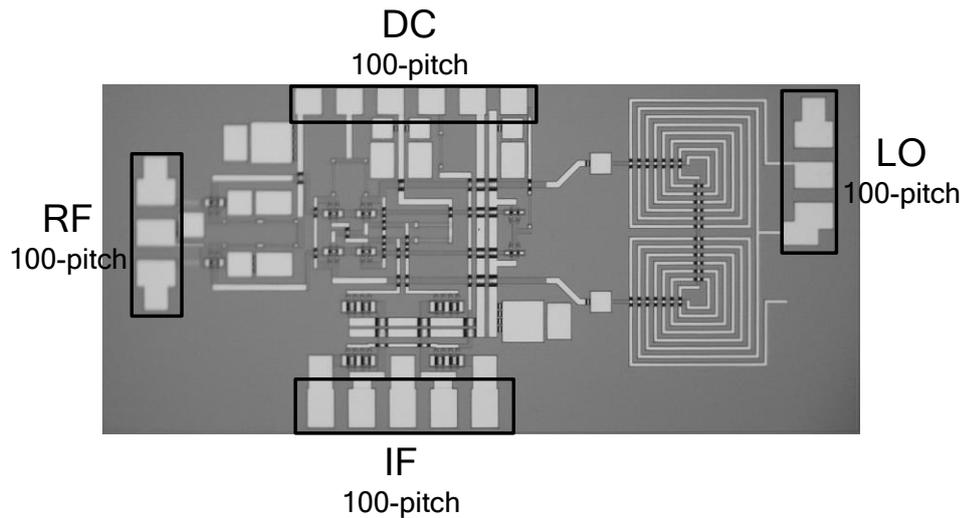
- 雜訊指數對 IF 頻率 (有電流分流, 比較不同 LO 頻率)



圖(4.34) 量測比較不同 LO 頻率下雜訊指數對 IF 頻率



圖(4.35) 5.2GHz 微混波器 die photo



圖(4.36) 具靜態電流分流的微混波器 die photo

4.3.4 比較與討論

因為設計的元件尺寸非 model 所支援的，所以 power 方面的模擬與量測差異頗大；又兩個電路的增益不同，可能是因為後來電路的輸入阻抗匹配有做修正以及與製程的變異有關。

量測時的偏壓有調整到讓電路沒有低頻或是高頻振盪，但改變輸入的 LO 功率就會在輸出端的頻譜看到背景雜訊出現變高的波動，所以兩個電路不僅在增益上有差，量測有電流分流的電路雜訊指數會看到在其轉角頻率附近有突起的波動。

有電流分流的電路有做比較不同 LO 頻率下的量測結果，看來是馬爾尚分合波器頻寬不夠的影響，分出來的並不是理想的差動相位、振幅相近的信號，所以低頻需要打到更大的 LO 功率才能驅動電路。

量測得的雜訊指數反映出了第三章的理論，圖(4.31)雖然不抽電流時把 LO 功率打大並沒有觀察到閃爍雜訊的改善，但做 LO 偏壓電

流分流時就可看到其功效；圖(4.34)觀察到操作在更高頻的 LO 頻率時，閃爍雜訊升高的情形，還有靜態的電流分流在高頻操作下的效果是有限的。

Process	WIN 0.15 μ m PHEMT			
VDD	6V			
RF/LO/IF (GHz)	5.2/5.19/0.01			
	P15-97A without current bleeding		P15-98A with current bleeding	
	Pre-simulation	on-board	Pre-simulation	on-board
Input Return Loss (dB)	-17.2	-	-18.5	-
Conversion Gain (dB)	6	6.9	6.9	11.7
IP1dB (dBm)	-7	-7.5	-5	-11
IIP3 (dBm)	2	-	7	-
White Noise (dB)	6.2	11.3	13.7	11.4
Noise Figure @ 10MHz (dB)	-	20.7	-	24.2
Power Consumption (mW)	25.7	33	22.2	25.2
Chip Size	$1 \times 2 \text{ mm}^2$			

表8. 5.2GHz 微混頻器的模擬與量測結果總結

第 5 章 結論



論文第二章使用空乏型 PHEMT 製程來實做低雜訊放大器，藉由自偏壓技巧達到了單正壓電源操作，2.4GHz 低雜訊放大器達到 1.43dB 低雜訊與 15.7dB 的增益，輸入端反射損耗略差為 -7.5dB；雙頻帶低雜訊放大器在兩個頻帶的雜訊指數大致上很平均，約為 3.3dB~3.7dB，5.6GHz 出現 2.6dB 的低雜訊，低頻帶的增益為 18.5dB，高頻帶的增益為 13dB；兩個 LNA 的線性度都很不理想，需要控制臨界電壓的製程變化或採用臨界電壓更小的製程來改善。

論文第四章實做了三種類型的改善閃爍雜訊的電路技巧—靜態偏壓電流分流、動態偏壓電流分流以及靜態偏壓電流分流結合兩個串聯共振電感，並且討論了電流分流裝置本身貢獻給降頻器的雜訊，設計時要留意這種共模雜訊。而因為當初設計時的缺失，量測到的轉角頻率並沒有很低，仍大於 1MHz，CMOS 電路來不及在電路板壞掉之前量到偏壓電流分流的改善雜訊效果，但量測 PHEMT 電路的結果還是呼應了第三章的電路雜訊產生機制。

0.18um CMOS 5.2GHz 降頻器（靜態偏壓電流分流結合兩個串聯共振電感）的雜訊指數 12dB，轉角頻率 23MHz；0.13um CMOS 2.4GHz 降頻器（動態偏壓電流分流）的雜訊指數為 12.8dB，轉角頻率 4MHz；0.15um PHEMT 5.2GHz 降頻器（靜態偏壓電流分流）的雜訊指數為 11.4dB，轉角頻率 40MHz。靜態偏壓電流分流結合兩個串聯共振電感與動態偏壓電流分流的功效會比單靜態偏壓電流分流來的好，因為電流分流裝置的雜訊可以被差動操作消除的緣故；考慮元件的 f_T 及間接開關級雜訊的機制，動態偏壓電流分流適用於較低的操作頻率；考慮共振電感的大小，靜態偏壓電流分流結合兩個串聯共振電感適用於較高的操作頻率。

附錄一

式子 (3-3) 的推導過程

$$\text{Goal: } Y_x(\bar{\omega}) = \sum_{n=-\infty}^{n=\infty} H^{(n)}(\bar{\omega}) \cdot X(\bar{\omega} - \frac{2\pi n}{T})$$

以下先複習一些信號與系統的數學。

系統的時域輸入對輸出的關係式為：

$$y(t) = \int h(t,u)x(u)du, t = \tau + u$$

連續信號的傅立葉轉換的基本通式為：

$$\begin{cases} x(t) = \frac{1}{2\pi} \int_{-\infty}^{\infty} X(j\omega) \exp(j\omega t) d\omega \\ X(j\omega) = \int_{-\infty}^{\infty} x(t) \exp(-j\omega t) dt \end{cases}$$

對於降頻器這個線性週期時變系統，將輸入 RF 信號 $x(t)$ 與輸出 IF 信號 $y(t)$ 作傅立葉轉換：

$$x(t) = \frac{1}{2\pi} \int_{-\infty}^{\infty} X(\omega_{rf}) \exp(j\omega_{rf}t) d\omega_{rf}$$

$$\begin{aligned}
 Y(\omega_{if}) &= \int_{-\infty}^{\infty} y(t) \exp(-j\omega_{if}t) dt \\
 &= \int_{-\infty}^{\infty} \left[\int_{-\infty}^{\infty} h(t, u) x(u) du \right] \exp(-j\omega_{if}t) dt \\
 &= \int_{-\infty}^{\infty} \left\{ \int_{-\infty}^{\infty} h(t, u) \left[\frac{1}{2\pi} \int_{-\infty}^{\infty} X(\omega_{rf}) \exp(j\omega_{rf}u) d\omega_{rf} \right] du \right\} \exp(-j\omega_{if}t) dt
 \end{aligned}$$

我們提出這個系統的頻率響應函數 $H(\omega_{if}, \omega_{rf})$ 來簡化上式：

$$H(\omega_{if}, \omega_{rf}) = \frac{1}{2\pi} \int_{-\infty}^{\infty} \int_{-\infty}^{\infty} h(t, u) \exp(j\omega_{rf}t) \exp(-j\omega_{if}\tau) d\tau dt ,$$

帶回得到

$$Y(\omega_{if}) = \int_{-\infty}^{\infty} H(\omega_{if}, \omega_{rf}) X(\omega_{rf}) d\omega_{rf} ,$$

又因為此系統的脈衝響應函數是跟 LO 週期 T 有關的週期函數，它的傅立葉級數表示式為：

$$h(t, u) \equiv g(\tau, u) = \sum_{n=-\infty}^{n=\infty} g^{(n)}(\tau) \exp(jn\omega_{LO}u) , \quad t = \tau + u ,$$

帶回 $H(\omega_{if}, \omega_{rf})$ ：

$$\begin{aligned}
 H(\omega_{if}, \omega_{rf}) &= \frac{1}{2\pi} \int_{-\infty}^{\infty} \int_{-\infty}^{\infty} g(\tau, u) \exp[j(\omega_{rf} - \omega_{if})u] \exp(-j\omega_{if}\tau) d\tau du \\
 &= \frac{1}{2\pi} \int_{-\infty}^{\infty} \int_{-\infty}^{\infty} \left\{ \sum_{n=-\infty}^{n=\infty} g^{(n)}(\tau) \exp(jn\omega_{LO}u) \right\} \exp[j(\omega_{rf} - \omega_{if})u] \exp(-j\omega_{if}\tau) d\tau du \\
 &= \int_{-\infty}^{\infty} \sum_{n=-\infty}^{n=\infty} g^{(n)}(\tau) \left\{ \frac{1}{2\pi} \int_{-\infty}^{\infty} \exp[j(\omega_{rf} - \omega_{if} + n\omega_{LO})u] du \right\} \exp(-j\omega_{if}\tau) d\tau
 \end{aligned}$$

上式中的括號部份再套用傅立葉轉換公式重新得到，

$$H(\omega_{if}, \omega_{rf}) = \int_{-\infty}^{\infty} \sum_{n=-\infty}^{n=\infty} g^{(n)}(\tau) \delta(\omega_{rf} - \omega_{if} + n\omega_{LO}) \exp(-j\omega_{rf}\tau) d\tau ,$$

再整理出 $g(t)$ 對 IF 頻率成份的頻率響應係數 $H^{(n)}(\omega_{if})$,

$$H^{(n)}(\omega_{if}) = \int_{-\infty}^{\infty} g^{(n)}(\tau) \exp(-j\omega_{if}\tau) d\tau ,$$

可化簡 $H(\omega_{if}, \omega_{rf})$:

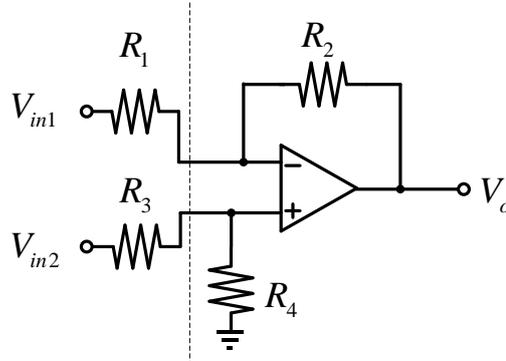
$$H(\omega_{if}, \omega_{rf}) = \sum_{n=-\infty}^{n=\infty} H^{(n)}(\omega_{if}) \delta(\omega_{rf} - \omega_{if} + n\omega_{LO})$$

帶回輸出信號的頻譜

$$\begin{aligned} Y(\omega_{if}) &= \sum_{n=-\infty}^{n=\infty} \int_{-\infty}^{\infty} H^{(n)}(\omega_{if}) \delta(\omega_{rf} - \omega_{if} + n\omega_{LO}) X(\omega_{rf}) d\omega_{rf} \\ &= \sum_{n=-\infty}^{n=\infty} H^{(n)}(\omega_{if}) X(\omega_{if} - n\omega_{LO}) \end{aligned}$$

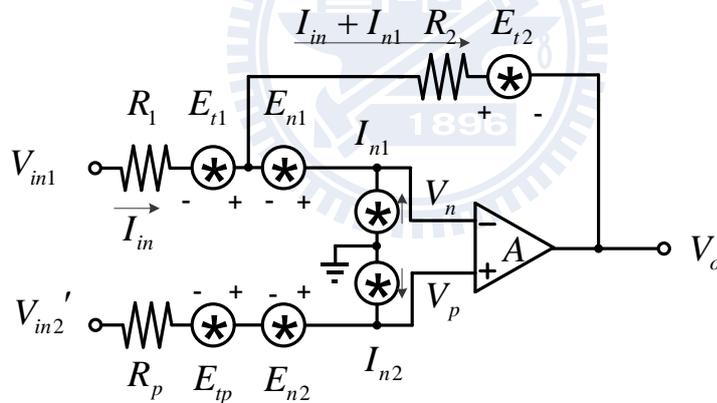
輸入信號 $X(f)$ 被位移到 f_{LO} 的諧波頻率，乘上對應諧波項的響應係數，相當於以 LO 的倍頻對輸入信號做取樣。

附錄二



本論文實驗用的 OP 接法如圖所示， R_1 、 R_3 是前一級電路的輸出阻抗，如此組成一個加法器。當 $R_1 R_4 = R_2 R_3$ ，則 $V_o = (R_2 / R_1) (V_{in2} - V_{in1})$ 。

引用參考文獻[23]分析此電路的雜訊模型：



$R_p = R_3 \parallel R_4$ ， $V_{in2}' = (R_4 V_{in2}) / (R_3 + R_4)$ ， E_t 是各電阻的熱雜訊電壓， E_n 、 I_n 是 OP 本身的輸入參考雜訊電壓、雜訊電流，為了方便列式子，所以給各雜訊源標上了方向，解方程式 (1) ~ (4)：

$$V_o = A(V_p - V_n) \tag{1}$$

$$V_p = V_{in2}' + R_p I_{n2} + E_{tp} + E_{n2} \tag{2}$$

$$V_n = V_{in1} - R_1 I_{in} + E_{t1} + E_{n1} \quad (3)$$

$$V_{in1} - R_1 I_{in} + E_{t1} = V_o + E_{t2} + R_2 (I_{in} + I_{n1}) \quad (4)$$

得到

$$\begin{aligned} V_o \left(\frac{1}{A} + \frac{R_1}{R_1 + R_2} \right) &= V_{in2}' - V_{in1} + E_{n2} - E_{n1} + E_{tp} - E_{t1} + R_p I_{n2} \\ &+ \frac{R_1}{R_1 + R_2} (V_{in1} + E_{t1} - E_{t2} - R_2 I_{n1}) \end{aligned} \quad (5)$$

假設 $A \rightarrow \infty$ ，(5)式可以簡化成：

$$\begin{aligned} V_o &= \left(1 + \frac{R_2}{R_1} \right) (V_{in2}' + E_{n2} + E_{tp} + R_p I_{n2} - E_{n1}) \\ &- \frac{R_2}{R_1} (V_{in1} + E_{t1}) - E_{t2} - R_2 I_{n1} \end{aligned} \quad (6)$$

根據式子 (6)，我們來計算電路的雜訊指數：

設 $R_1 = 50 = R_3$ ， $A = 100dB$ ， $E_n = 1.7nV$ ， $I_n = 1.5pA$ ，量測雜訊的頻寬 $1Hz$ ，換算得到 $E_{n1} = E_n / \sqrt{2} = 1.202nV = E_{n2}$ ， $I_{n1} = I_n$ ，而設計的 $R_2 = 430 = R_4$ ，所以電路增益為 $R_2 / R_1 = 8.6(V/V)$ ，以表格整理計算的值，

Noise Source	Noise Value	Voltage Gain Multiplier	Contribute Output Noise	Contribute Input Noise
R_1	0.894nV	8.6	7.688nV	0.894nV

R_2	2.623nV	1	2.623nV	0.305nV
R_p	0.847nV	9.6	8.131nV	0.945nV
E_{n1}	1.202nV	9.6	11.539nV	1.342nV
E_{n2}	1.202nV	9.6	11.539nV	1.342nV
I_{n1}	1.5pA	430ohm	0.645nV	0.075nV
I_{n2}	1.5pA	430.1ohm	0.645nV	0.075nV
Total Noise Contributions			19.981nV	2.323nV

Voltage Gain Multiplier 是式子(6)中各雜訊源項所乘上的係數。

雜訊指數

$$NF = 10\log \frac{S_i/N_i}{S_o/N_o} = 10\log \frac{E_{n,o}^2}{E_{t,s}^2 \cdot G^2}$$

此式子表示輸出端觀測到的雜訊電壓比單純輸入端電壓源電阻的熱雜訊電壓經電路放大到輸出端的值增加了多少，以我們的輸入源電阻 50 歐姆來說，量測雜訊的頻寬 1Hz，其熱雜訊電壓為 $\sqrt{4k \cdot 290 \cdot 50} = 0.894(nV)$ ，雜訊指數

$$NF = 20\log \frac{19.981}{0.894 \times 8.6} = 8.3(dB)$$

與 ADS 模擬得到的值吻合。

參考文獻

第二章：

- [1] Henrik Morkner, Mike Frank and Bryan Ingram, “A Novel 3V, 7mA PHEMT GaAs Active MMIC Mixer/LNA For Wireless Applications,” *IEEE MTT-S Digest*, pp. 527-530, 1995.
- [2] Henrik Morkner, Mike Frank and Shun Yajima, “A 1.7mA Low Noise Amplifier with Integrated Bypass Switch for Wireless 0.05-6 GHz Portable Applications,” *2001 IEEE Radio Frequency Integrated Circuits Symposium*, pp.235-238.
- [3] A. Bevilacqua and A. M. Niknejad, “An ultra wideband CMOS lownoise amplifier for 3.1–10.6 GHz wireless receivers,” *IEEE J. Solid-State Circuits*, vol. 39, no. 12, pp. 2259–2268, Dec. 2004.
- [4] A. Ismail and A. A. Abidi, “A 3–10 GHz low-noise amplifier with wideband LC-ladder matching network,” *IEEE J. Solid-State Circuits*, vol. 39, no. 12, pp. 2269–2277, Dec. 2004.
- [5] Hossein Hashemi and Ali Hajimiri, “Concurrent Multiband Low-Noise Amplifiers — Theory, Design, and Applications,” *IEEE Trans. on Microw. Theory and Tech.*, vol. 50, no. 1, Jan. 2002
- [6] Behzad Razavi, *RF Microelectronics*, Prentice Hall PTR, 1997.

第三章：

---Noise mechanism---

- [7] C. Hull and R. Meyer, “A systematic approach to the analysis of noise in mixers,” *IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications*, vol. 40, pp. 909-919, 1993.
- [8] M. T. Terrovitis and R. G. Meyer, “Noise in Current-Commutating CMOS Mixers,” *IEEE Journal of Solid-State Circuits*, vol. 34, pp. 772-783, June 1999.
- [9] H. Darabi and A. Abidi, “Noise in RF-CMOS mixers: A simple physical model,” *IEEE Journal of Solid-State Circuits*, vol. 35, pp. 15-25, 2000.
- [10] J. Phillips and K. Kundert, “Noise in Mixers, Oscillators, Samplers, and Logic: An Introduction to Cyclostationary Noise,” in *Proc. IEEE Custom Integrated Circuits Conference*, May 2000.
- [11] T. Melly, A. Porret, C. Enz, and E. Vittoz, “An analysis of flicker noise rejection in low-power and low-voltage CMOS mixers,” *IEEE Journal of Solid-State Circuits*, vol. 36, pp. 102-109, 2001.

[12] J. Lerdworatawee and W. Namgoong, "Generalized Linear Periodic Time-Varying Analysis for Noise Reduction in an Active Mixer," *IEEE Journal of Solid-State Circuits*, vol. 42, pp. 1339-1351, 2007.

---Flicker noise model---

[13] M. Von Haartman and M. Ostling, *Low-frequency noise in advanced MOS devices*, Springer, 2007.

[14] Trond Ytterdal, Yuhua Cheng and Tor A. Fjeldly, *Device Modeling for Analog and RF CMOS Circuit Design*, New York: Wiley, 2003.

[15] K.K. Hung, P.K. Ko, C. Hu, Y.C. Cheng, "A unified model for the flicker noise in metal-oxide-semiconductor field-effect transistors," *IEEE Transactions on Electron Devices*, vol. 37, no. 3, pp. 654-665, Mar. 1990.

[16] C. Chan, Y. Lin, Y. Huang, S. Hsu, and Y. Juang, "Impact of STI Effect on Flicker Noise in 0.13- μ m RF nMOSFETs," *IEEE Transactions on Electron Devices*, vol. 54, p. 3383, 2007.

---Measurement---

[17] "Noise Figure Measurement Accuracy –The Y-Factor Method," Agilent Technology, Palo Alto, CA, Application Note [57-2], 2004.

[18] "10 Hints for Making Successful Noise Figure Measurements," Agilent Technology, Palo Alto, CA, Application Note [57-3], 2009.

[19] "Understanding Basic Analog Passive Devices," Texas Instrument, Dallas, USA, Application Report [SLOA027], 1999.

[20] A. Abidi and J. Leete, "De-embedding the noise figure of differential amplifiers," *IEEE Journal of Solid-State Circuits*, vol. 34, pp. 882-885, 1999.

[21] "AD829 high speed, low noise video op amplifier datasheet," Analog Devices Inc., Norwood, USA, 2009.

[22] 劉燕霖, "應用於無線感測網路之低電壓低功率5-GHz 射頻前端接收電路設計," 交通大學碩士論文, 2007.

[23] C. D. Motchenbacher and J. A. Connelly, *Low-Noise Electronic System Design*, New York: Wiley, 1993.

第四章：

---Static current bleeding mixer---

[24] Z. Zhang, Z. Chen, and J. Lau, "A 900 MHz CMOS balanced harmonic mixer for direct conversion receivers," in *Proc. IEEE Radio and Wireless Conference*, pp. 219-222, 2000.

[25] D. Manstretta, R. Castello, and F. Svelto, "Low 1/f noise CMOS active mixers for direct conversion," *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, vol. 48, pp. 846-850, 2001.

---Dynamic current bleeding mixer---

[26] H. Darabi and J. Chiu, "A noise cancellation technique in active RF-CMOS mixers," *IEEE Journal of Solid-State Circuits*, vol. 40, pp. 2628-2632, 2005.

[27] R.S. Pullala, T. Sowlati and D. Rozenblit, "Low flicker-noise quadrature mixer topology," *IEEE International Solid-State Circuits Conference*, 2006.

---Mixer with resonant inductors---

[28] H. Sjoland, A. Karimi-Sanjaani, and A. Abidi, "A merged CMOS LNA and mixer for a WCDMA receiver," *IEEE Journal of Solid-State Circuits*, vol. 38, pp. 1045-1050, 2003.

[29] T. Phan, C. Kim, M. Kang, S. Lee, and C. Su, "Low noise and high gain CMOS down conversion mixer," in *IEEE Int. Commun., Circuits, Syst. Conf*, pp. 1191-1194, 2004.

[30] J. Park, C. Lee, B. Kim, and J. Laskar, "Design and analysis of low flicker-noise CMOS mixers for direct-conversion receivers," *IEEE Transactions on Microwave Theory and Techniques*, vol. 54, pp. 4372-4380, 2006.

[31] M. Brandolini, M. Sosio, F. Svelto, "A 750 mV fully integrated direct conversion receiver front-end for GSM in 90-nm CMOS," *IEEE Journal of Solid-State Circuits*, vol. 42, pp. 1310-1317, 2007.

[32] J. Yoon, H. Kim, C. Park, J. Yang, H. Song, S. Lee, and B. Kim, "A New RF CMOS Gilbert Mixer With Improved Noise Figure and Linearity," *IEEE Transactions on Microwave Theory and Techniques*, vol. 56, pp. 626-631, 2008.

[33] G Vitzilaios, Y Papananos, G Theodoratos, "A 1-V 5-GHz CMOS Multiple Magnetic Feedback Receiver Front-End," *IEEE Transactions on Microwave Theory and Techniques*, vol. 56, pp. 1338-1348, 2008.

---Micromixer---

[34] B. Gilbert, "The MICROMIXER: A highly linear variant of the Gilbert mixer using a bisymmetric class-AB input stage," *IEEE Journal of Solid-State Circuits*, vol. 32, pp. 1412-1423, 1997.

[35] E. Martins, M. Gomes, E. Bastida, and J. Swart, "Design of a LNA and a Gilbert cell mixer MMICs with a GaAs PHEMT technology," in *Microwave and Optoelectronics Conference*, 1999.

[36] E. Martins, E. Bastida, and J. Swart, "Design and performance of Gilbert cell mixer MMICs with GaAs PHEMT technology," in *Proceedings of the 2001 SBMO/IEEE MTT-S International*, 2001.

[37] FC Chang, PS Wu, MF Lei, H Wang, "A 4-41 GHz Singly Balanced Distributed Mixer Using GaAs pHEMT Technology," *IEEE Microwave and Wireless Components Letters*, vol.17, no. 2, Feb. 2007.