

國立交通大學

奈米科技研究所

碩士論文

以金-硫化鎘殼核奈米粒子為懸浮閘極之非揮發性記



Nonvolatile Memory Effect with Au@CdS Core/Shell

Nanoparticles as Floating Gates

研究生：姜伯勳

指導教授：許鈺宗 博士

中華民國九十八年七月

以金-硫化鎘殼核奈米粒子為懸浮閘極之非揮發性記憶體研究

Nonvolatile Memory Effect with Au@CdS Core/Shell Nanoparticles
as Floating Gates

研究生：姜伯勳

Student : Bo-Shiun Jiang

指導教授：許鈺宗

Advisor : Jeng-Tzong Sheu

國立交通大學



Submitted to Department of Institute Nanotechnology

College of Engineering

National Chiao Tung University

in partial Fulfillment of the Requirements

for the Degree of Master

in

Nanotechnology

July, 2009

Hsinchu, Taiwan

中華民國九十八年七月

以金-硫化鎘核殼奈米粒子為懸浮閘極之非揮發性記憶體研究

研究生：姜伯勳

指導教授：許鈺宗 博士

國立交通大學

奈米科技研究所

摘要

近幾年來以金屬奈米粒子作為記憶體的懸浮閘極已經廣泛地被許多研究團隊作為研究。比較半導體奈米粒子和金屬奈米粒子兩者，金屬奈米粒子作為懸浮閘極材料選擇的主要優點是其具有較高的功函數、較多的電荷捕捉狀態等等，故以金屬奈米粒子作為快閃記憶體的電荷捕捉中心是最佳的選擇之一。

在本篇論文中，製造金氧半電容記憶體元件並利用靜電力方式將化學合成出來的金奈米粒子和金-硫化鎘核殼奈米粒子自組裝在已修飾上胺基的穿隧氧化層上分別作為記憶體元件的懸浮閘極。而也比較金奈米粒子與金-硫化鎘核殼奈米粒子懸浮閘極記憶體的記憶時間和電荷捕捉能力。在記憶時間方面，到了 10^4 秒後，金-硫化鎘核殼奈米粒子元件還剩餘 83% 的儲存電荷，而金奈米粒子元件卻只剩餘 36% 的儲存電荷，推測為金-硫化鎘核殼奈米粒子的位能井結構和較大的穿隧位能障所引起。另外，金-硫化鎘核殼奈米粒子元件的電荷捕捉能力也大於金奈米粒子元件。

Nonvolatile Memory Effect with Au@CdS Core/Shell

Nanoparticles as Floating Gates

Student : B. S. Jiang

Advisor : Dr. J. T. Sheu

Department (Institute) of Nanotechnology

National Chiao Tung University

ABSTRACT

In recent years, metal nanoparticles (NPs) floating gate memory has already attracted a lot of attention by research teams worldwide. The metal nanoparticle owns numerous properties such as high work function and high charge trapping state compared to semiconductor materials; which make it becomes the best candidate materials for charge trapping center in flash memory.

In this thesis, we fabricated metal oxide semiconductor (MOS) memory devices featuring either Au core-only NPs or Au@CdS core/shell NPs within the SiO₂ layer. Self-assembly of the chemically synthesized Au and Au@CdS NPs led to their immobilization onto the amine-terminal modified tunnel oxide. Also, we compared the retention time and charge storage capability of nonvolatile memory devices incorporating floating gates containing Au nanoparticles (NPs) and Au@CdS core/shell NPs. The charge remaining of the Au@CdS NP-based memory device was 83 % at 10⁴ s, compared with 36 % for the Au NP-based memory device, presumably because of the Au@CdS NPs' quantum well structure and larger tunneling barrier. Moreover, the charge storage capability of the Au@CdS NP-based memory device is higher than that of the Au NP-based memory device.

誌謝

人生有如過眼雲煙，閉上眼回想起這些年來生活中的點點滴滴，成長的不僅是知識，也成熟了人格。在此論文即將付梓之時，也意味著我學生生涯即將結束，人生又將邁向另一階段，心中更是百感交錯，激動不已。回想起剛來到校園時的期待，以及現在收成的愉悅，這一切都要感謝許多人對我的提攜與幫忙。

這一路上，首先感謝我的恩師 許鈺宗 教授讓我有機會完成碩士學位，且在老師不辭辛勞地叮嚀著論文的進度之下，碩士論文終於能夠如期的完成。也很感謝老師在碩士生涯中悉心的教導使我得以一窺半導體領域的深奧，因老師不時的提點並引領著我邁入正確的軌道，使我在這些年中獲益匪淺。老師對學問的嚴謹更是吾輩學習之典範。

感謝實驗室所有的學長，正所謂師父引進門，修行在個人：振嘉學長讓我深刻初次體驗到科學研究的生活，每當我遇到問題時，也會提供我許多建議和方向，多虧了他讓我的實驗順利進行，雖然有時蠻兇的，但也因此讓我注意到很多事；柏鈞學長和皓恆學長不厭其煩的指出我研究中的缺失，且總能在我迷惘時為我解惑，在我們生活上遇挫折時也不時給大家鼓舞和建議，並在閒暇之餘帶給我們歡樂，適時扮演著小丑的角色，讓單調忙碌的生活增添了許多活力和色彩。感謝曾經一起相處過的學長姐子訓、欣霖、昶龍、弈貞，謝謝在我實驗遭遇難題時，給我適時的意見和啟發；

感謝同窗一起奮鬥兩年的好夥伴盈傑、昭睿、履安、治廷，在這段時間的同甘共苦之情，更是難以忘懷，不論是在實驗與生活上對我的幫助；也感謝相處了一年的學弟妹以倫、珊聿、明莉、朝俊這些日子和你們相處，帶給我歡樂，讓我有源動力可以繼續進行我的實驗；感謝蘇建穎學長在 ALD 實驗上的幫忙，感謝材料所的韋達、阿閔、勇盛給我實驗和研究上的許多幫忙，使我得以順利地進行我的研究。

最後，我要將此成果獻給我親愛的家人，感謝你們對我的付出，在我求學過程中給我物質上充裕的支助與精神上的關懷和支持，從不曾間斷過，沒有你們我也無法達到今日的成就，你們無止盡的付出是我今日能拿到學位的力量泉源，謝謝你們。另外感謝許多曾經幫助過我的朋友們，因為有大家的幫助，我才能有今天的成果。

人生是一漫長的道路，隨著歲月的增加和經驗的累積，我們逐漸學會越來越多事物，在未來的道路上我也將以此段話自許：

「Stay Hungry, Stay Foolish」— Steve Jobs.

目錄

中文摘要	I
英文摘要	II
誌謝	III
目錄	V
圖目錄	VII
表目錄	IX
第一章 緒論	1
1.1 前言	1
1.2 研究背景	3
1.3 實驗動機	7
1.4 文獻回顧	9
1.5 論文架構	13
第二章 元件之操作機制	14
2.1 元件寫入與抹除原理	14
2.2 載子注入機制	15
2.2.1 熱電子注入	15
2.2.2 F-N 穿隧	16
2.2.3 直接穿隧	17
2.3 金氧半 MOS 電容簡介	18
2.3.1 電容-電壓特性曲線	18
2.3.2 耐用性	20
2.3.3 記憶時間	20
第三章 實驗方法與流程	21
3.1 奈米粒子的製備	21
3.1.1 金奈米粒子的合成	21
3.1.2 金-硫化鎘殼核奈米粒子的合成	22
3.1.3 金-硫化鎘殼核奈米粒子分析	23
3.2 奈米粒子的自組裝	25
3.3 金氧半(MOS)電容的製作與討論	26
3.3.1 奈米粒子的沉積	26

3.3.2 電容元件的製作和分析	31
第四章 電性量測與討論	35
4.1 電容量測與分析	35
4.1.1 控制氧化層的處理	35
4.1.2 電容之 C-V 量測和分析	37
4.2 F-N 穿隧的驗證	40
4.3 可靠度之量測與分析	43
4.3.1 記憶時間(Retention time)	43
4.3.2 耐用性(Endurance)	47
4.4 不同介電層的影響	48
4.5 討論	54
第五章 結論與未來展望	56
參考文獻	59



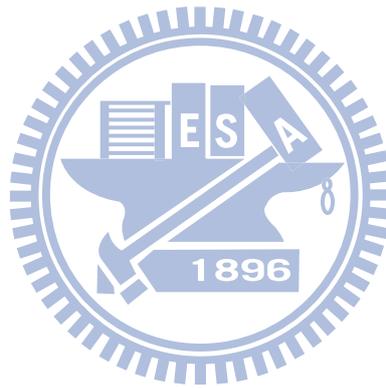
圖目錄

圖 1-1、懸浮閘極元件剖面圖。.....	2
圖 1-2、懸浮閘極元件對電流-電壓曲線。.....	2
圖 1-3、SONOS 非揮發性記憶體漏電示意圖。.....	3
圖 1-4、奈米粒子非揮發性記憶體漏電示意圖。.....	4
圖 1-5、SAM 機制示意圖。.....	5
圖 1-6、RTA 奈米粒子形成示意圖。.....	5
圖 1-7、金-硫化鎘的殼核奈米粒子示意圖。.....	7
圖 1-8、硫化鎘和金兩者的能帶示意圖。.....	8
圖 1-9、Ge/@GeO ₂ 的 TEM 圖。.....	9
圖 1-10、Ge 和 Ge/@GeO ₂ 電性比較。.....	10
圖 1-11、Ge 在 HfSiO _x 中的 TEM 圖。.....	11
圖 1-12、三種樣品的 ΔV_{th} 變化量。.....	11
圖 1-13、不同樣品對記憶時間的效果。.....	12
圖 2-1、懸浮閘極記憶體之操作原理示意圖。.....	14
圖 2-2、熱載子注入熱載子注入機制。.....	15
圖 2-3、F-N 穿隧在 MOS 中的示意圖。.....	16
圖 2-4、電子侷限在氧化矽位能井之中。.....	17
圖 2-5、直接穿隧機制之能帶結構示意圖。.....	17
圖 2-6、不同偏壓下金氧半電容的能帶與電荷分佈。.....	19
圖 2-7、電容電壓曲線上的三種不同狀態區域。.....	19
圖 3-1、金奈米粒子合成示意圖。.....	21
圖 3-2、金-硫化鎘殼核奈米粒子合成示意圖。.....	22
圖 3-3、金-硫化鎘殼核奈米粒子的 XRD 圖。.....	23
圖 3-4、金-硫化鎘殼核奈米粒子之(a) TEM 圖，(b) TEM-EDS 分佈圖，(c) HRTEM 圖。.....	24
圖 3-5、金和硫化鎘的自組裝方法。.....	25
圖 3-6、P-type 晶片經過 RCA clean。.....	26
圖 3-7、水平爐管長 Dry oxide 7 nm。.....	26
圖 3-8、在 SiO ₂ 試片上沉積 APTES。.....	27
圖 3-9、自組裝，奈米粒子。.....	27
圖 3-10、金奈米粒子的 SEM 圖。.....	28
圖 3-11、金-硫化鎘奈米粒子的 SEM 圖。.....	28
圖 3-12、XPS 整體掃描的結果圖。.....	29
圖 3-13、金奈米粒子試片的 XPS 圖。.....	30
圖 3-14、金-硫化鎘奈米粒子試片的 XPS 圖。.....	30
圖 3-15、利用 PECVD 疊上 SiO ₂ 薄膜。.....	31

圖 3-16、利用 Thermal coater 鍍上鋁電極。.....	32
圖 3-17、奈米粒子電容結構示意圖。.....	32
圖 3-18、金-硫化鎘殼核奈米粒子電容記憶體的 TEM 剖面圖。.....	33
圖 3-19、金-硫化鎘電容記憶體的 TEM 局部放大剖面圖。.....	34
圖 3-20、電容記憶體元件成品圖。.....	34
圖 4-1、三組元件在氮氣環境下退火的 I-V 圖。.....	36
圖 4-2、三組元件在氮氣和氧氣環境下退火的 I-V 圖。.....	36
圖 4-3、對照組的 C-V 圖。.....	38
圖 4-4、懸浮閘極為金奈米粒子的 C-V 圖。.....	38
圖 4-5、懸浮閘極為金-硫化鎘殼核奈米粒子的 C-V 圖。.....	39
圖 4-6、六種不同溫度下的 $\ln(J)$ 對 E 的圖。.....	42
圖 4-7、六種不同溫度下的 $\ln(J/E^2)$ 對 $1/E$ 的圖。.....	42
圖 4-8、室溫下金奈米粒子的記憶時間。.....	44
圖 4-9、室溫下金-硫化鎘殼核奈米粒子的記憶時間。.....	44
圖 4-10、85°C 下金奈米粒子的記憶時間。.....	46
圖 4-11、85°C 下金-硫化鎘殼核奈米粒子的記憶時間。.....	46
圖 4-12、金和金-硫化鎘殼核奈米粒子的耐用性。.....	48
圖 4-13、控制氧化層為 TEOS 氧化層的 C-V 圖。.....	49
圖 4-14、控制氧化層為 TEOS 氧化層的記憶時間。.....	49
圖 4-15、TEOS 氧化層的金-硫化鎘電容 TEM 剖面。.....	50
圖 4-16、TEOS 氧化層的金-硫化鎘電容 TEM 局部放大圖。.....	50
圖 4-17、 Al_2O_3 氧化層的金-硫化鎘電容 TEM 剖面圖。.....	51
圖 4-18、控制氧化層為 Al_2O_3 氧化層的 C-V 圖。.....	52
圖 4-19、控制氧化層為 Al_2O_3 氧化層的 I-V 圖。.....	52
圖 4-20、金-硫化鎘電容經 700°C 退火的 TEM 剖面圖。.....	53
圖 4-21、金-硫化鎘電容經 700°C 退火的局部 TEM 剖面圖。.....	53
圖 4-22、金奈米粒子能帶圖。.....	55
圖 4-23、金-硫化鎘殼核奈米粒子能帶圖。.....	55
圖 5-1、粒徑 9 nm 的金-硫化鎘殼核奈米粒子圖。.....	58

表目錄

表 1-1、不同奈米粒子比較和整理。·····	6
表 1-2、文獻回顧參數比較和整理。·····	13
表 4-1、三組電容記憶體元件的操作條件。·····	39
表 4-2、金和金-硫化鎘殼核奈米粒子的比較。·····	40
表 5-1、本實驗的奈米粒子記憶體元件總整理。·····	56
表 5-2、本實驗元件與文獻回顧之比較。·····	57



第一章

緒論

1.1 前言

在積體電路發展中，最受矚目的除了微處理器的邏輯元件外，另一項就是半導體記憶體。半導體記憶體又可依儲存的資料是否受到供電影響而分成：揮發性(Volatile)與非揮發性(Non volatile)兩大類。所謂的揮發性記憶體是當除去外部電源之後，儲存在記憶體中之資料會隨之消失；反之非揮發性記憶體為當資料寫入之後，不論電源供應與否，可以長時間儲存資料，但是仍然有一定的儲存期限。

此外，在現今的世界裡，機動性與便利性已經成為趨勢。因此行動資訊市場也隨之快速興起。行動電子產品，如手機、數位相機、電子辭典，與筆記型電腦等等，在市場上的需求日益增加；而這更造成了非揮發性記憶體漸漸獲得重視。非揮發性記憶體受到重視的原因誠如上一段之介紹，在於除去電源之後，資料依然可以保存，而這將使得資料在存取上與攜帶上得到更大的便利性。除此之外，隸屬於非揮發性記憶體的快閃記憶體(Flash memory)，更具備了可於系統內直接寫入與抹除、非揮發性、耐用性、省電性、持久性等諸多優點，故成為眾多微電子系統中資料儲存的理想選擇。

快閃記憶體[1]基本上是EEPROM (Electrically erasable and programmable read only memory)的一種，對於每一個 bit 元件都可以利用電的方式來將電子清除(Erase)和寫入(Write or Program)到記憶體中。它的方便性因此高於需要利用紫外線(UV)來清除記憶的EPROM(Electrically programmable read only memory)。

EEPROM 是一種利用懸浮閘極(Floating gate)來儲存電荷，達到記憶效果的一種記憶體。懸浮閘極被介電質，例如二氧化矽 SiO_2 所包圍著，下面的介電層稱為穿隧氧化層(Tunneling oxide layer)，懸浮閘極上方的介電層稱為控制氧化層(Control oxide layer)。整個結構如圖 1-1，上方有著控制閘極(Control gate)來控制它的電位，電位的改變是利用懸浮閘極內的電荷量來決定，當電子被注入到懸浮閘極中，會使元件的臨界電壓(Threshold voltage)向右偏移，此時的狀態稱為“1”，也可以稱做“被寫入(Programed)”

。相反的，若懸浮閘極中的電子排出，則臨界電壓(Threshold voltage)向左偏移，此時的狀態稱做“0”，也可以稱做“被抹除(Erased)”，如圖 1-2。

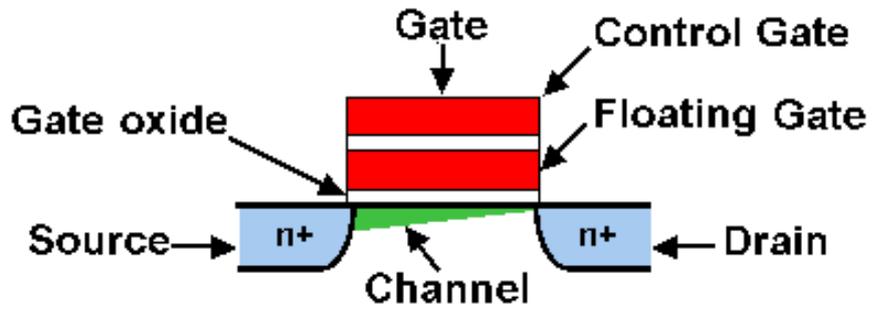


圖 1-1、懸浮閘極元件剖面圖。

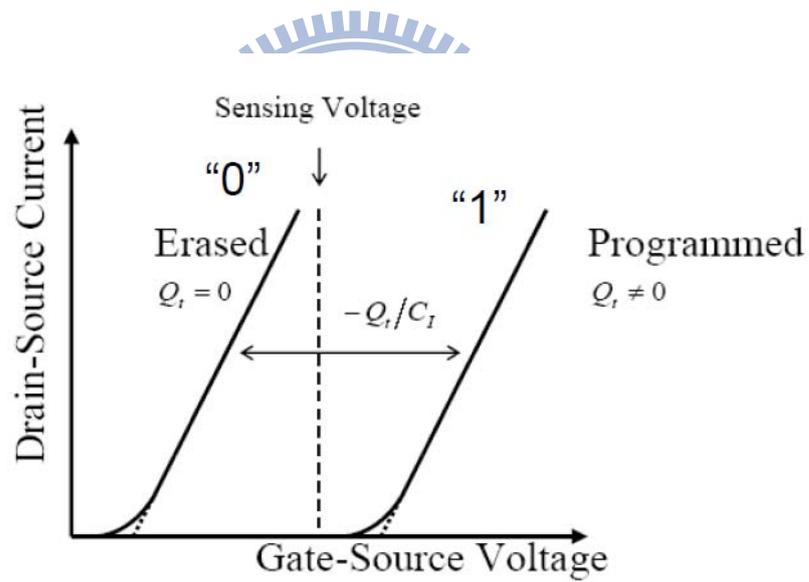


圖 1-2、懸浮閘極元件對電流-電壓曲線[2]。

1.2 研究背景

在 1967 年時 D.Kahng 與施敏教授於貝爾實驗室發明了非揮發性懸浮式閘極記憶體 [3]，而傳統非揮發性記憶體元件的製作過程，是採用高溫爐(Furnace)或快速升溫氧化爐(RTO)將複晶矽表面直接高溫氧化成長一層氧化膜，由於複晶矽具有晶粒(Grain)構造，晶粒間存有晶粒界面(Grain Boundary)，電子會沿著 grain boundary 移動而造成漏電。

為了克服此傳統的懸浮式閘極記憶體的問題，因此研發出一種有別於懸浮閘極結構的 SONOS(Silicon Oxide Nitride Oxide Silicon)非揮發性記憶體[4][6]，在此種記憶體的結構中，因氮化矽(Si_3N_4)具有捕捉電荷的能力，所以可以做為載子儲存層，但電荷是儲存在氮化矽之深度位能井，無法像一般懸浮閘極元件般消除，而形成抹除飽和(Erase saturation)，而又因氮化矽的 energy level 太窄(約 1 eV)進而容易導致電荷流失，也會因氮化矽中若出現一小部分缺陷(Defect)，導致整個懸浮閘極內電荷的流失，如圖 1-3。

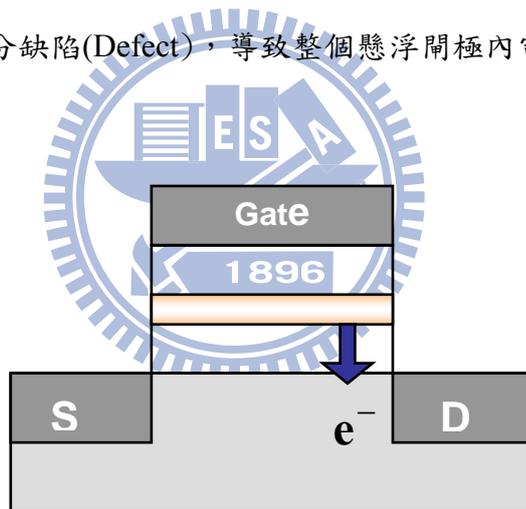


圖 1-3、SONOS 非揮發性記憶體漏電示意圖。

除了使用氮化矽，奈米粒子(Nanoparticle)也是被許多人拿來當做記憶體的懸浮閘極層。在西元 1996 年，IBM 的 Tiwari 等人[5]首先發表了矽奈米晶體記憶體(Silicon Nanocrystal Memory)，第一個提出使用奈米微晶粒來控制介電質中電荷儲存點的位置和分佈；因此構想造就了以奈米粒子為懸浮閘極的非揮發性記憶體在後續的非揮發性記憶體研究中佔領了重要的一環。

因奈米粒子在懸浮閘極中的是不連續的奈米點，電荷會分別儲存在不同的粒子中，

若缺陷產生漏電也是經由數顆粒子而流失，而不會造成整個懸浮閘極內的電荷流失，如圖 1-4；又因奈米粒子可以高密度沉積在懸浮閘極上，所以記憶時間(Retention time)會較好，而電荷儲存原理是利用奈米粒子本身和介電層界面來進行電荷捕捉來儲存電子，這證明了利用不連續的懸浮閘極去取代連續的懸浮閘極是個改善懸浮閘極記憶體的方法。

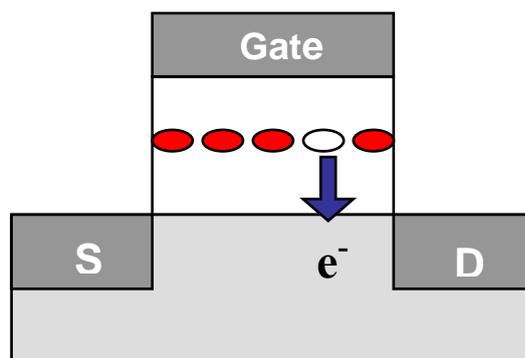


圖 1-4、奈米粒子非揮發性記憶體漏電示意圖。

目前的懸浮閘極非揮發性記憶體已有用不同的奈米粒子來作為懸浮閘極，例如：半導體材料 Si[5]、Ge[7]，金屬材料 Au[8]、W[9]，矽化物[10][11]，複合材料 HfAlO[36]。一般奈米粒子形成方法有很多種，有的是透過化學方式，像是自組裝單分子薄膜法(Self assembled monolayer)，利用共價鍵將小分子結合，而形成大分子，再透過氫鍵、凡得瓦爾力及其它共價鍵(靜電力、親疏水作用力等)的協同作用，形成完整的大分子，成為複雜穩定的結構，最後由一個或多個大分子作為結構基石，經多次的重複自組裝過程，排列成奈米結構如圖 1-5。有的是利用低壓化學氣相沉積(Low Pressure Chemical Vapor Deposition System; LPCVD)、濺鍍(Sputter)或原子層沉積(Atomic Layer Deposition; ALD)等方法來長出一層奈米薄膜，之後最常將此生長後的奈米薄膜透過快速熱退火爐(Rapid Thermal Annealing; RTA)的方法來形成奈米粒子，如圖 1-6。

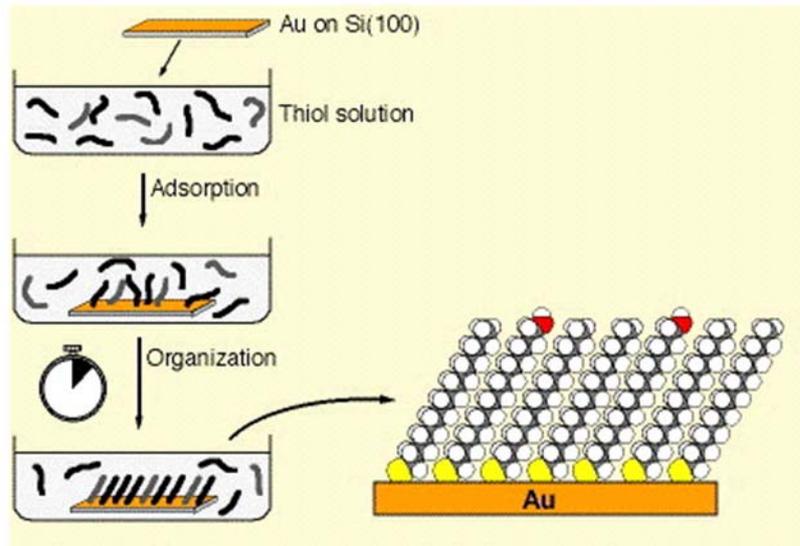


圖 1-5、SAM 機制示意圖[12]。

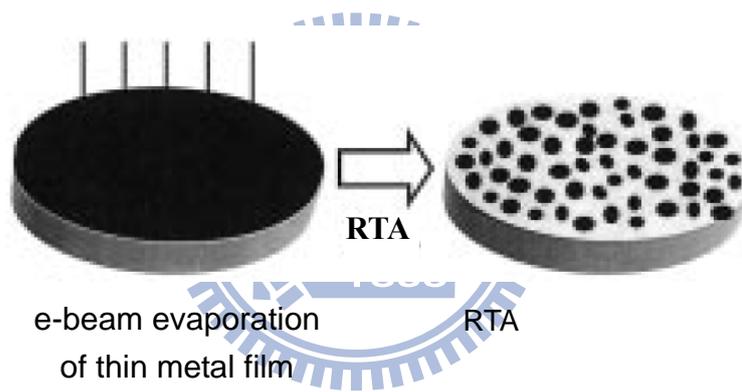


圖 1-6、RTA 奈米粒子形成示意圖[13]。

下表 1-1 為利用不同方法來形成奈米薄膜及不同方法形成奈米粒子的各種奈米粒子大小和密度的比較，從表中可發現大多數的奈米粒子皆是利用 RTA 方法來形成，密度最高能到 10^{12} 尺度的密度，從表中各文獻還可看出經過熱處理之下產生的奈米粒子也都有大小不易統一控制的問題。

表 1-1、不同奈米粒子比較和整理。

NPs	Density (No./cm²)	Diameter Size	Film deposition Method	NPs forming Method	Reference
Si	1×10^{12}	5 nm	LPCVD	RTA	[6]
Ge	2×10^{11}	12 nm	LPCVD	RTA	[7]
Au	2.54×10^{12}	3 nm	Sputter	RTA	[8]
W	5×10^{11}	5 nm	Sputter	RTA	[9]
HfAlO	5×10^{11}	10 nm	ALD	PDA	[36]

1.3 實驗動機

本研究採用金奈米粒子為懸浮閘極來製作非揮發性記憶體。其優點是：

- (1) 金的功函數(Work function)很大，對於電子來說是很好的捕捉因子(Trap center)，可以產生很深的位能井(energy well)。
- (2) 奈米等級的大小所產生的能階分裂，有利於更多的電子儲存。
- (3) 由於因奈米粒子是互相被介電層所隔絕，故當電子流失的時候，並不會有全部同時流失，因此可提高記憶時間。

此外，在本研究中我們加入硫化鎘(CdS)奈米粒子與金(Au)奈米粒子結合為殼核(Core-Shell)粒子，即是以硫化鎘包覆著金奈米粒子的形態，金為核心(Core)，硫化鎘為外殼(Shell)的情況(Au@CdS)，如圖 1-7。由於硫化鎘和金兩者在功函數和能帶上的不同，如圖 1-8，而產生額外的電荷侷限層(Charge confinement)，希望能以此結構得到較好的電荷捕捉能力和記憶時間(Retention time)。本研究主要將此殼核粒子當作懸浮閘極應於非揮發性記憶體上並與金奈米粒子為懸浮閘極的非揮發性記憶體進行比較，希望能獲得比金奈米粒子更好的電性。

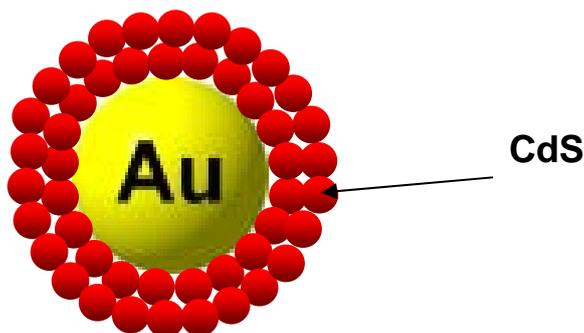


圖 1-7、金-硫化鎘的殼核奈米粒子示意圖。

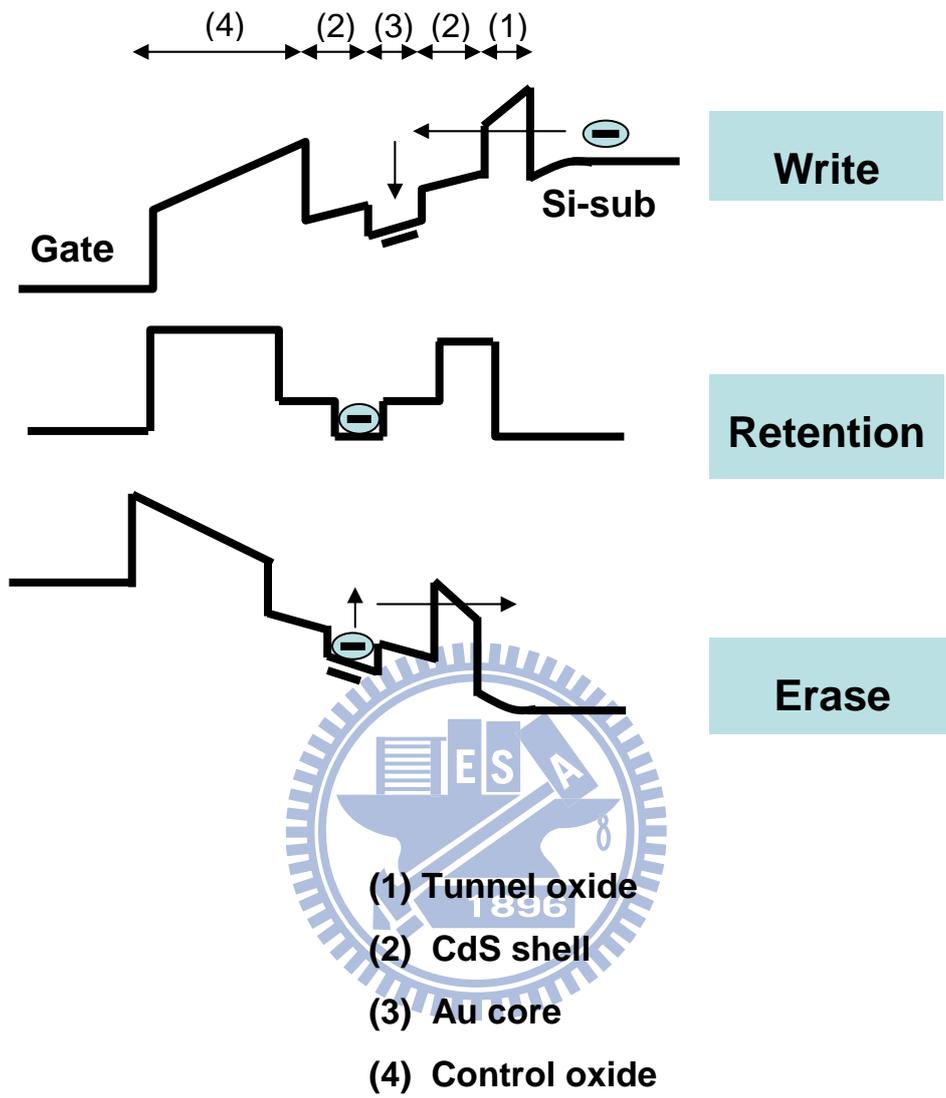


圖 1-8、硫化鎘和金兩者的能帶示意圖。

1.4 文獻回顧(Paper Review)

在開始實驗之前，我們找了幾篇發表在期刊上且與本研究相關的論文，從論文中也可以分析了解其實驗步驟流程，參數的定義及量測，並從中比較論文的優缺點，作為本研究的依據。

第一篇是 2008 Nanotechnology[14]，這篇是第一個以殼核材料為懸浮閘極來製作非揮發性記憶體的論文，它利用 Ge 和 GeO_2 而形成的殼核結構來作為懸浮閘極，如圖 1-9；將 Ge 包覆在氧化鋁(Al_2O_3)內，以脈衝雷射蒸鍍系統(Pulsed laser deposition；PLD)方法使 Ge 和 Al_2O_3 之間反應產生 GeO_2 而形成 $\text{Ge}/@\text{GeO}_2$ 的殼核奈米粒子；之後分別比較以 Ge 粒子和 $\text{Ge}/@\text{GeO}_2$ 粒子為懸浮閘極的記憶體特性，雖然 $\text{Ge}/@\text{GeO}_2$ 粒子密度較低且粒徑較大，但其電荷捕捉能力和記憶時間皆比 Ge 粒子要好，如圖 1-10。

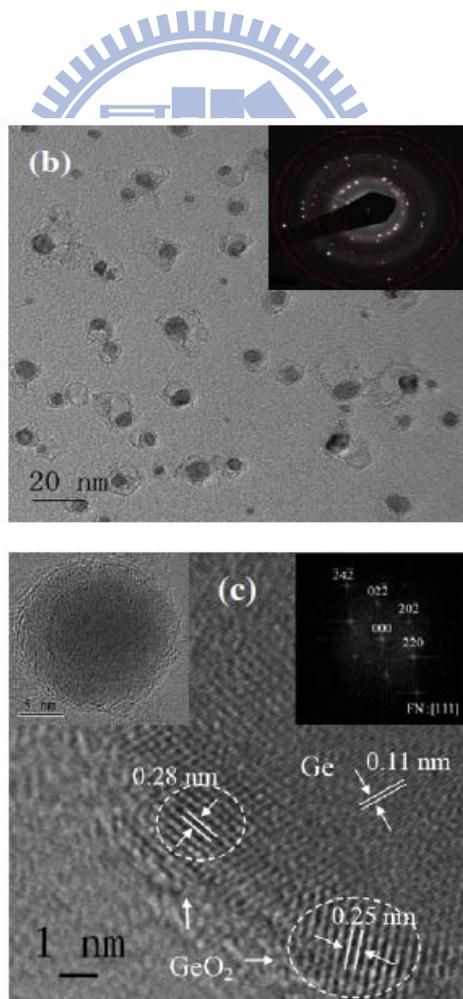


圖 1-9、 $\text{Ge}/@\text{GeO}_2$ 的 TEM 圖[14]。

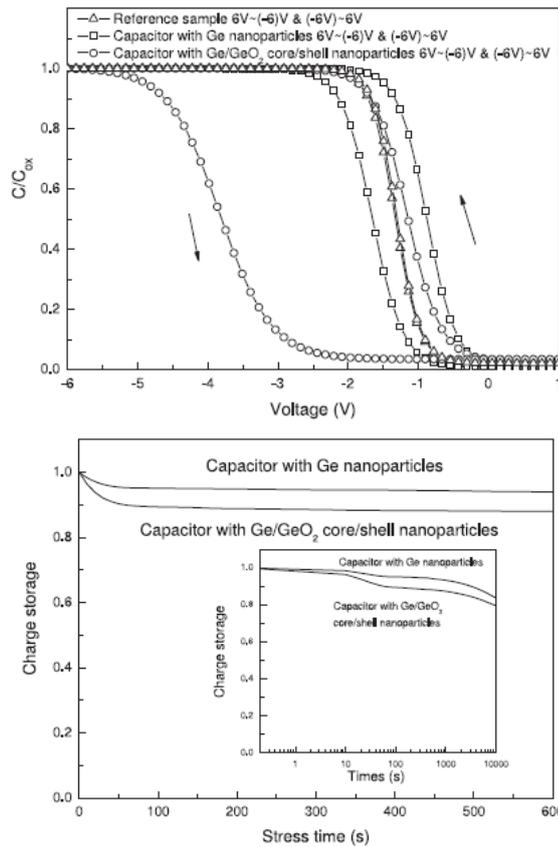


圖 1-10、Ge 和 Ge/@GeO₂ 電性比較[14]。

另一篇 2008 IEEE TED[15]，利用三種樣品(Sample I、Sample II、Sample III)分別當作懸浮閘極來製作記憶體，而其穿隧氧化層和控制氧化層皆是氧化鈣(HfO₂)；樣品 1 利用熱絲化學氣相沉積(Hot-wire chemical vapor deposition；HWCVD)生成 Ge 奈米粒子；樣品 2 則將樣品 1 通入矽烷(Silane)後加熱，形成 HfSiO_x 覆蓋在 Ge 上面形成半殼核結構，如圖 1-11；樣品 3 則先將長好穿隧氧化層的樣品通入矽烷加熱，形成穿隧氧化層上覆蓋著一層 HfSiO_x，之後生成 Ge 奈米粒子，最後再次通入矽烷加熱，便會形成 HfSiO_x 包覆著 Ge 的 Ge-Si(Si/HfSiO_x)殼核奈米粒子。分析其電性，樣品 1 雖然擁有較大 ΔV_{th} ，因其奈米粒子與介電層間的缺陷較多，使得捕捉的電荷為三者中最多的，如圖 1-12，但將三者的記憶時間做比較：樣品 1 的 ΔV_{th} 隨著時間增長而漸漸衰減，顯示出其記憶時間是最差的，而樣品 3 的 ΔV_{th} 隨時間衰減的變化量是三者中最少的，樣品 2 則介於兩者之間，如圖 1-13。故若將 Ge 奈米粒子以殼核方式包覆著，確實可增進其記憶時間。

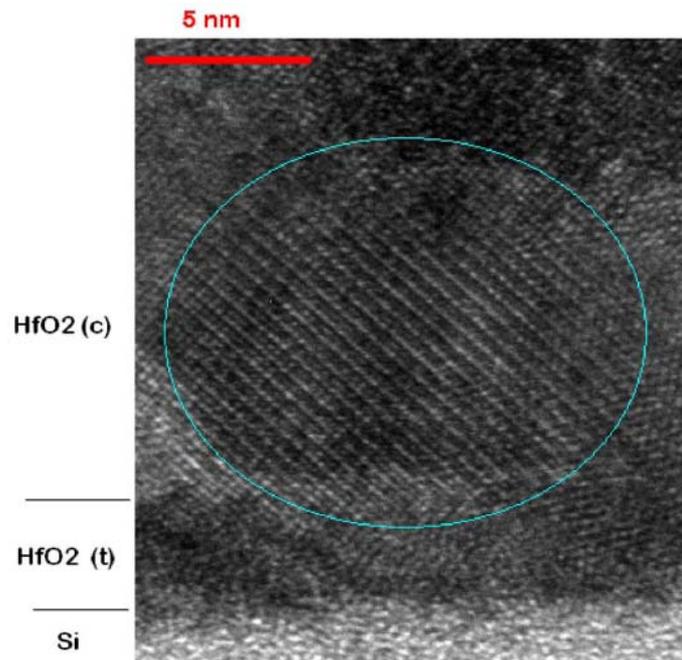


圖 1-11、Ge 在 HfSiO_x 中的 TEM 圖[15]。

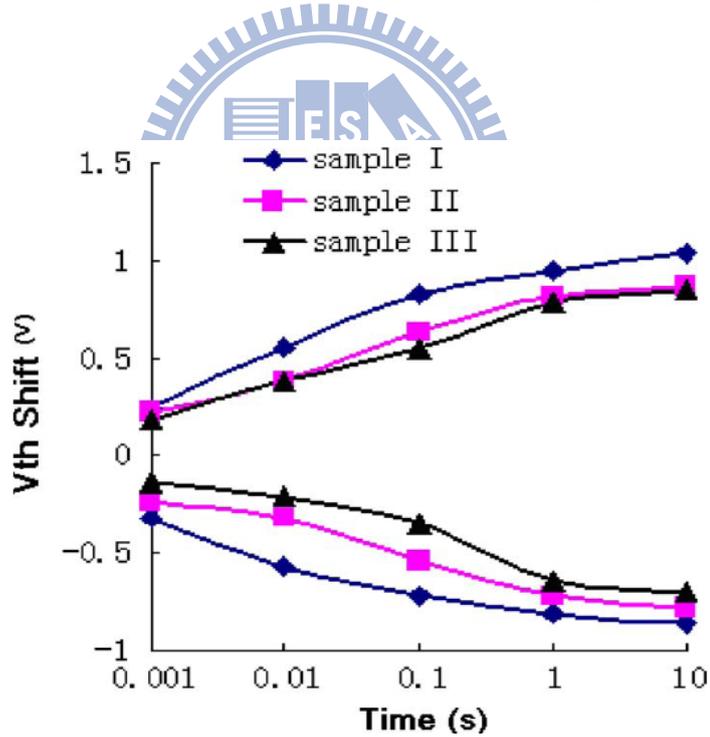


圖 1-12、三種樣品的 ΔV_{th} 變化量[15]。

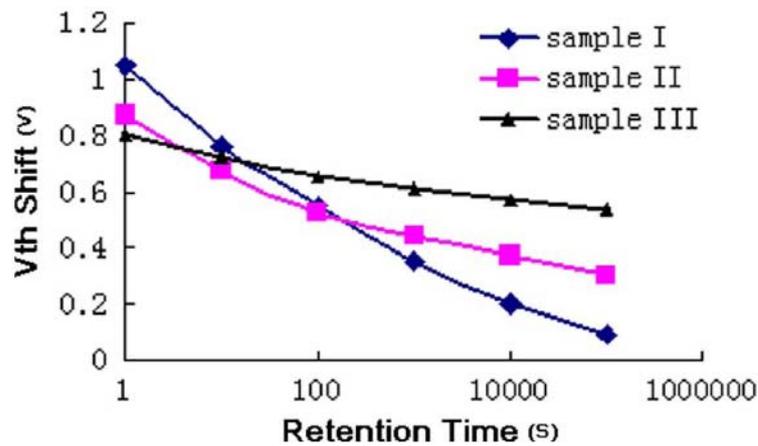


圖 1-13、不同樣品對記憶時間的效果[15]。

最後一篇 2006 JAP[16]利用金奈米粒子為懸浮閘極製作成電容，而穿隧氧化層和控制氧化層皆為二氧化矽(SiO₂)與本研究結構相似，而其特點是奈米粒子粒徑小、密度高且氧化層厚度薄，這在元件縮小化與可靠度中是相當重要的。

除了比較製程上的不同，最主要是比較其”記憶體”的優劣，在記憶體的領域裡我們通常比較：1. 臨界電壓的變化(ΔV_{th})，變化越大越好，表示“0”和“1”更容易分辨出來。2. 寫入和抹除的電壓，在同樣的臨界電壓變化下，操作電壓越小越好。3. 寫入和抹除的時間，時間越短表示元件可以操作在更快速的條件下。4. 最後就是記憶時間(Retention time)和反覆操作次數(Endurance)，記憶時間代表這記憶體元件可以將儲存電荷保存的能力，因為電荷儲存在浮動閘極層經過一段時間是一定會有電荷經由穿隧或是熱擾動等各種方法流失掉。因此一般市面的非揮發記憶體的記憶時間都要求在 10 年以上，也就是 3×10^8 秒。反覆操作次數(耐用性)則是表示一個記憶體元件的可靠度，寫入和清除反覆的次數越高，代表這個記憶體元件可靠度高。通常隨著操作次數的增加，會有氧化層捕捉(Oxide trap)和介面狀態(Interface state)的產生，然後使臨界電壓的變化(ΔV_{th})變小。表 1-2 為上述文獻[14,15,16]的整理表格。

表 1-2、文獻回顧[14,15,16]參數比較和整理。

Floating gate	15 nm Ge/GeO ₂	8 nm Ge-Si(Si/HfSiO _x)	3 nm Au
Density(No./cm²)	1.4x10 ¹¹	3x10 ¹¹	2.54x10 ¹²
Tunneling layer	Al ₂ O ₃	HfO ₂ 4 nm	SiO ₂ 2.5 nm
control layer	Al ₂ O ₃	HfO ₂ 15 nm	SiO ₂ 24 nm
Write:	Vg= 6 V,1 sec	Vg= 8 V,1 sec	Vg= 6 V,1 sec
Erase:	Vg= -6 V,1 sec	Vg= -8 V,1 sec	Vg= -6 V,1 sec
ΔV_{FB}	2.74 V	1.8 V	5 V

1.5 論文架構

本論文主要有五大章，第一章為緒論，主要先簡單介紹懸浮閘極的非揮發性記憶體，再闡述研究背景和實驗動機，最後再與本研究相關的文獻作為依據，可藉此了解實驗步驟流程、參數的定義和量測。第二章則說明記憶體元件的操作機制和電容記憶體的介紹。第三章會先介紹本研究的殼核奈米粒子形成方式及其材料分析，接著將此奈米粒子應用於電容記憶體結構上，並在第四章針對此記憶體元件做一系列的電性分析和討論；而在本章中還會對不同的介電層所造成的影響作探討。最後在第五章對本實驗的結果做總結和比較，然後提出了對本研究能改進的方法，期望未來能獲得更佳的元件特性。

第二章

元件之操作機制

2.1 元件寫入與抹除原理

圖 2-1(a)是懸浮閘極記憶體的能帶圖。左邊是閘極，中間是懸浮閘極部分，最右邊是基板，懸浮閘極的兩端二氧化矽絕緣層是為了將電荷侷限在懸浮閘極中。靠近基板端的氧化層稱為穿隧氧化層(Tunnel oxide)，當寫入或抹除電荷時都必須穿過穿隧氧化層；而靠近閘極端的氧化層為控制氧化層(Control oxide)，其功用為將電荷侷限在懸浮閘極中不讓電荷由閘極進出。

首先，介紹懸浮閘極記憶體如何做寫入這個動作。在閘極施給一個正電壓將使得基板端的能帶圖向上彎曲，此時基板端便開始累積電子，電子受到電場影響開始進行所謂的穿隧效應(Tunneling Effect)進入我們懸浮閘極中，此即為“寫入”的動作，如圖 2-1(b)所示。電子進入懸浮閘極中會造成電晶體之臨界電壓(Threshold Voltage)的平移。反之，若在閘極施給一個負偏壓，這將使得基板端的能帶圖向下彎曲，且懸浮閘極的能階高於基板的能階，此時電荷便從懸浮閘極抹除，電晶體的臨界電壓也就恢復到原來的值，如圖 2-1(c)所示。

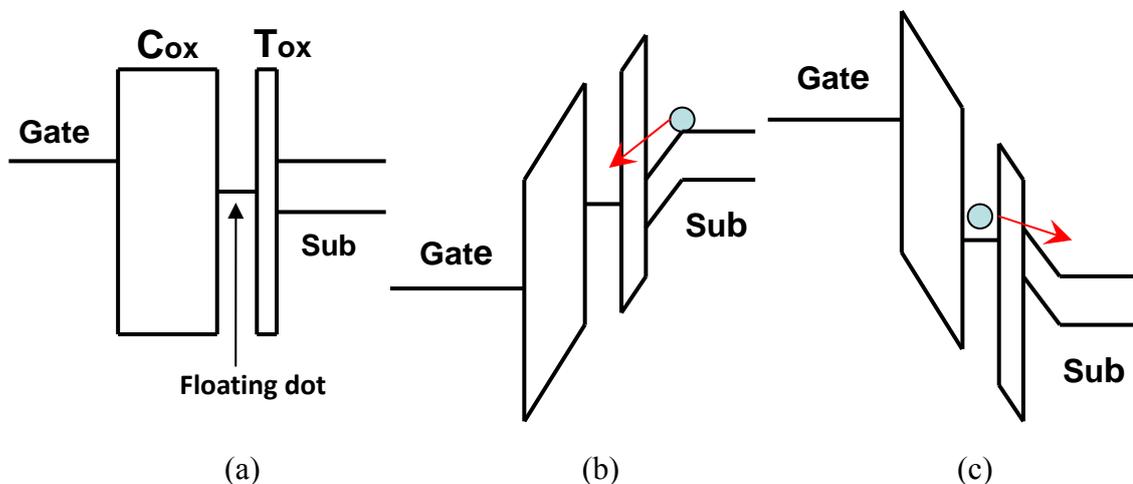


圖 2-1、懸浮閘極記憶體之操作原理示意圖。

2.2 載子注入機制

當進行寫入這個動作時，載子(電荷)要進入懸浮閘極時必須穿過穿隧氧化層，這個時候穿隧氧化層的厚度是很重要的關鍵。當穿隧氧化層很厚的時候，我們須使用 Fowler-Nordheim 穿隧(F-N Tunneling)注入或熱電子(Hot electron injection)注入；穿隧氧化層薄的時候，即須使用直接穿隧(Direct Tunneling)的方式寫入電荷。我們將在本小節對電荷的注入機制做探討。

2.2.1 熱電子注入(Hot electron injection)

熱電子注入(HEI)的機制是相當的簡單去了解，一個電子從接地的汲極(Source)獲得能量往源極(Drain)移動，當加速電場超過 100 kV/cm，電子就有足夠的能量被控制閘極(Control gate)改變方向越過二氧化矽的能障(The barrier of the thermal oxide)然後到達懸浮閘極，如圖 2-2。熱電子注入的特點就是快速，因為這時元件已經操作在飽和區，所以電子已經被加速到電子在半導體中速度的極限[37]，大約為 10^7 cm/s，這時，再被控制閘極吸引上去，相對的就比 F-N 穿隧的速度快，時間通常在 1 到 10 微秒($1 \sim 1 \mu\text{s}$)，因此通常用在將電子注入懸浮閘極層。

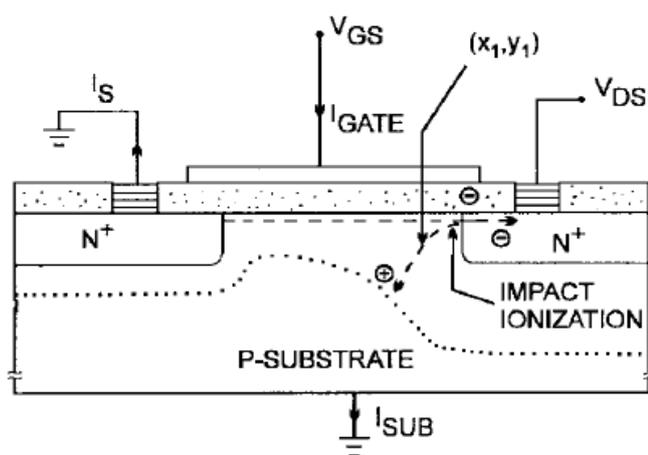


圖 2-2、熱載子注入熱載子注入機制[2]。

2.2.2 Fowler-Nordheim 穿隧(F-N tunneling)

穿隧機制(Tunneling mechanism)是從量子力學中，將邊界條件帶入薛丁格方程式(Schrödinger equation)中所解出的答案。有別於古典力學的概念，穿隧的電子不需要比位能障能量高，便有穿過位能障的機率存在，就如同一個人要越過一道高牆，他不需要攀爬，只要往牆面衝過，他就會穿過那道牆。穿隧機率和位能障的寬度有關，寬度越小，電子穿隧的機率就會上升，而 F-N tunneling 不同於一般的穿隧，就是它會隨著 MOS 操作的電壓上升，而使測量到的電流上升。在操作在 MOS 結構的時候，電極所施加的電壓會使氧化層的等效寬度變小，如圖 2-3，因此電子從矽穿過氧化層的機率就因此上升。懸浮閘極元件就是利用 F-N 穿隧使源極的電子穿過穿隧氧化層到達懸浮閘極，接著關閉電壓，電子就會被侷限在由穿隧氧化層和控制氧化層所侷限的位能井內，如圖 2-4。

相反的 F-N tunneling 的機制只要將控制閘極施加反向的電壓就可以將浮動閘極中的電子穿隧到源極。因此利用 F-N 穿隧機制，我們可以任意的將電子注入浮動閘極或是從浮動閘極中排開。不過 F-N 穿隧的缺點就是慢，一般所需要的時間從 100 ms 到 1 s，因此 FN 穿隧機制通常用來抹除記憶體中的電子。

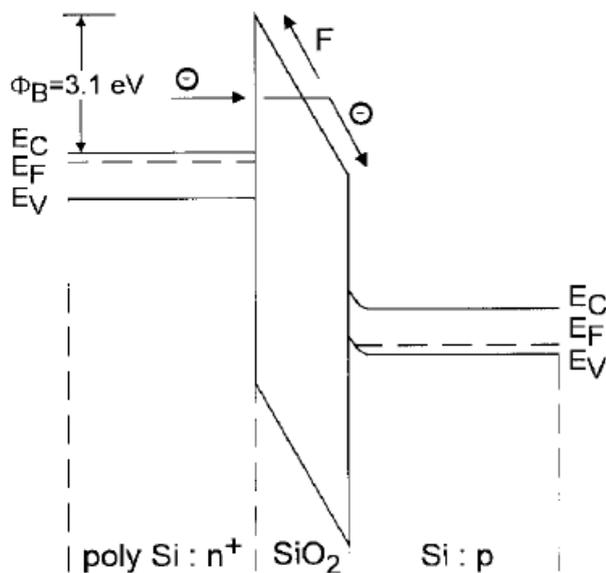


圖 2-3、F-N 穿隧在 MOS 中的示意圖[2]。

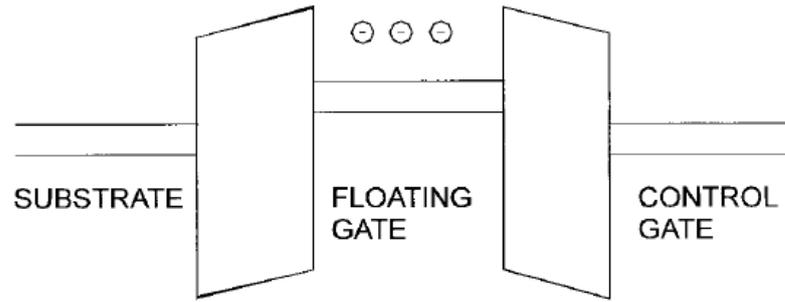


圖 2-4、電子侷限在氧化矽位能井之中[2]。

2.2.3 直接穿隧(Direct Tunneling)

以上兩種方法就是當穿隧氧化層厚度較厚時寫入的操作方式，雖然利用這兩種操作方式可以加速電荷的寫入，但也造成了穿隧氧化層的損傷，這將影響這個記憶體的耐用性。當我們將連續懸浮閘極改成使用不連續時，懸浮閘極中的側向漏電流會被有效抑制，因為電荷被侷限在不連續的懸浮閘極中。即使在某些區域穿隧氧化層有缺陷造成電荷流失，但也不會因此造成所有懸浮閘極電荷的流失，所以可以有效降低穿隧氧化層厚度。降低穿隧氧化層之後，電荷的寫入便不需要操作在高電場，當穿隧氧化層厚度小於 4 nm 時便可以用直接穿隧的方式寫入，如圖 2-5 所示。

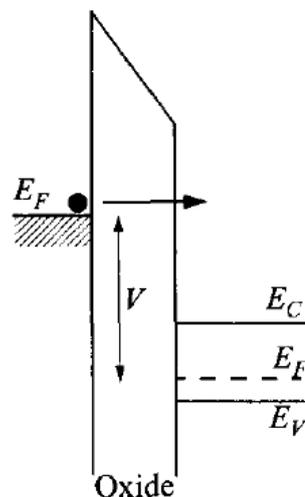


圖 2-5、直接穿隧機制之能帶結構示意圖。

2.3 金氧半 MOS 電容簡介(Capacitor)

金屬-氧化物-半導體場效應電晶(Metal-oxide-semiconductor Field-effect Transistor；MOSFET)的心臟是一個稱為 MOS 電容的金屬-氧化物-半導體結構，在本實驗中也以此金氧半電容結構做為研究來探討。

2.3.1 電容-電壓特性曲線(C-V curve)

對於一個理想的金氧半電容而言，在三種不同偏壓操作下則會有三種不同的狀態出現，如圖 2-6 所示。在這邊以 P 型矽基板的金氧半電容為例，第一種狀態為施加負偏壓 ($V < 0$)於金屬閘極上，此時在氧化物與半導體介面處的能帶將會向上彎曲，且在介面附近開始感應出一些電洞，並且累積一些電洞，此種情況稱為累積(Accumulation)，量測所得的電容即等於氧化層的電容。

第二種狀態為開始施加較小的正偏壓 ($V > 0$)於閘極上，此時氧化物與半導體介面處的能帶將會向下彎曲，而多數載子電洞將會形成空乏，此種情況稱為空乏(Depletion)，量測所得的電容為氧化層電容再串聯一個空乏區電容，故所得的電容值將會隨著較小的正偏壓變大而逐漸變小。

第三種狀態為隨著施加的正偏壓 ($V \gg 0$)越來越大，則會使得氧化物與半導體介面處的能帶更加向下彎曲，使得介面附近不僅會形成空乏區，而且會吸引一些電子過來，當少數載子電子的數量變得比多數載子電洞的數量還要多多的時候，表面則會發生反轉現象，此種情況稱為反轉(Inversion)，而此時量測所得的電容值隨著頻率的大小而有不同的表示，若量測的頻率為高頻，所得的電容仍為氧化層電容在串聯一個空乏區電容，並且因為空乏區的大小已經達到極限，故電容值為定值；若量測的頻率為低頻，此時少數載子電子與多數載子電洞的複合速率能趕上低頻量測的訊號變化，使得電荷變化發生在介面附近，故所得電容值則會隨著偏壓越來越大而逐漸變大，最終會等於氧化層的電容值[17, 18]。三種狀態所對應的電容電壓(C-V)曲線，如圖 2-7 所示。

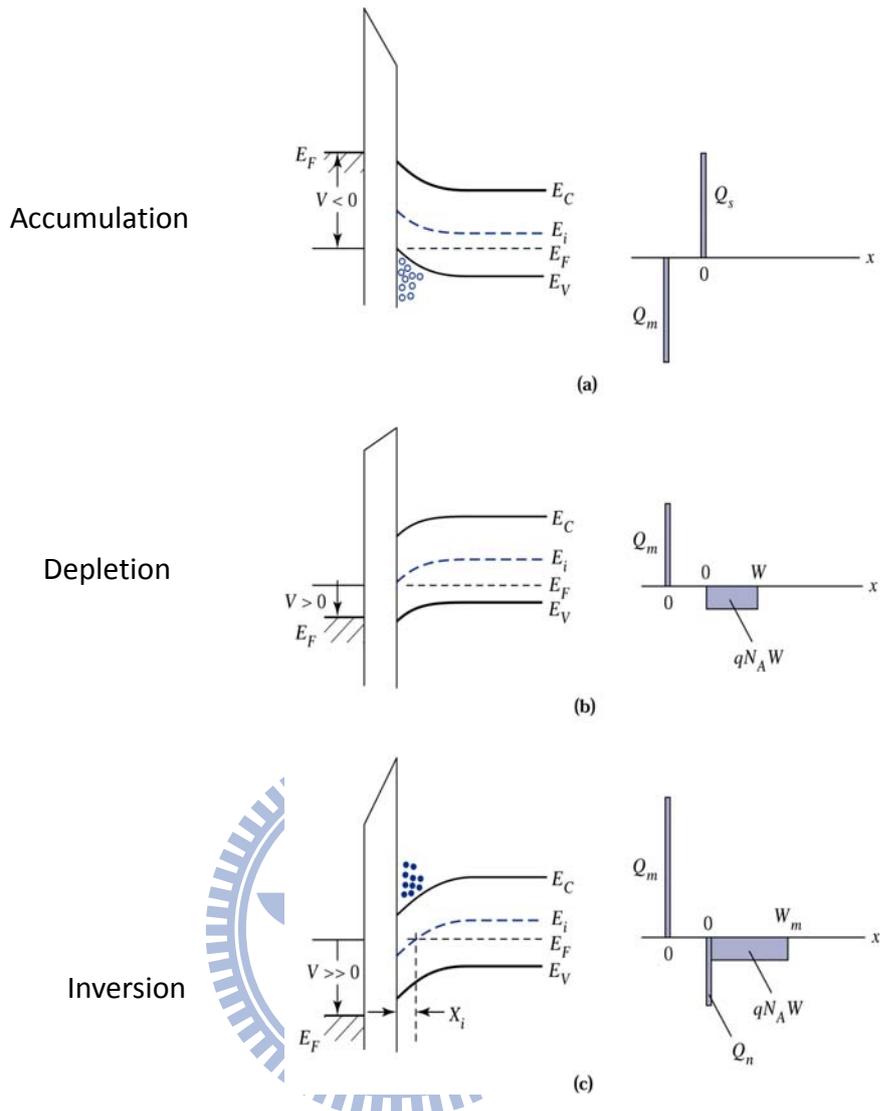


圖 2-6、不同偏壓下金氧半電容的能帶與電荷分佈[17]。

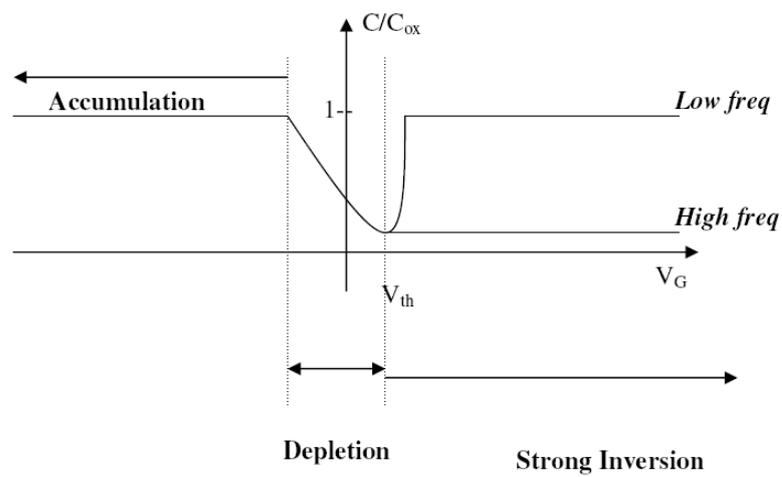


圖 2-7、電容電壓曲線上的三種不同狀態區域。

2.3.2 耐用性(Endurance)

耐用性的意義主要是在測試記憶體元件在經過重複的寫入抹除循環之後，仍可保持原有特性的能力。一般來檢視耐用性是利用寫入的最高臨界電壓與抹除後的最低臨界電壓對循環次數的關係。經過多次的寫入抹除循環之後，寫入與抹除的效率均呈現衰退的現象，寫入的臨界電壓逐漸下降，抹除的臨界電壓逐漸上升，亦即臨界電壓的可調變範圍變小。若狀況持續惡化，寫入與抹除的狀態將無法被分辨，元件將無法正常工作。對於寫入與抹除的循環次數，目前一般要求是經百萬次循環之後，高低臨界電壓之間的寬度仍需維持在可判讀的範圍內。

2.3.3 記憶時間(Retention time)

記憶時間(電荷保存能力)一直是記憶體元件應用上一個被受矚目的焦點，所以非揮發記憶體的一項基本要求，即是所寫入的資料要能夠長時間的保存著，因此電荷儲存層一定要被良好的介電層給包覆著，記憶體儲存資料保存能力的定義是指從資料儲存進去(如儲存在氮化層或奈米粒子中)到無法被判讀出來的時間，一般希望在十年後仍可判讀出資料。一般而言電荷保存能力和操作速度是兩個互相矛盾的需求，要是希望元件操作速度快，就代表元件容易被電子破壞阻障層而達到欲儲存的介電層，但如此一來阻障層就沒有辦法有效地阻止電子的漏電流，而導致記憶時間下降，所以必須有所取捨。

第三章

實驗方法與流程

本研究主軸在探討殼核奈米粒子對記憶體電容的應用，在本章將介紹此研究的實驗方法和製作流程，包含奈米粒子的製備與自組裝和電容結構的製作。

3.1 奈米粒子的製備

3.1.1 金奈米粒子的合成

本實驗中金奈米粒子的製作[19]，是利用化學還原法(Chemical reduction method)將四氯金酸(HAuCl_4)內的金離子還原成金原子，利用檸檬酸鈉鹽(Sodium citrate)作為還原劑，將金離子在水溶液中還原成粒徑大小約 16 nm 的金奈米粒子，如圖 3-1 所示。首先取 HAuCl_4 (0.25 mM, 100 mL)溶液加熱至沸騰，接著快速加入檸檬酸鈉溶液(0.5 M, 200 μL)持續沸騰並均勻攪拌 15 分鐘，之後便會生成金奈米粒子和檸檬酸鹽(Au-Cit)鍵結而成的膠體溶液(Gold colloid solution)，溶液由沸騰靜置至室溫，方可使用。

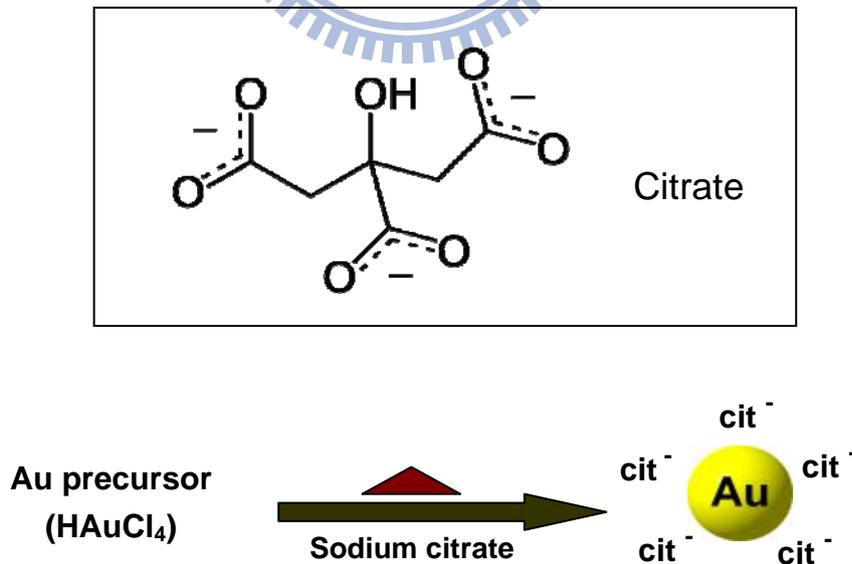


圖 3-1、金奈米粒子合成示意圖。

3.1.2 金-硫化鎘殼核奈米粒子的合成

在合成金-硫化鎘殼核奈米粒子[19]前，首先把半胱氨酸(L-cysteine；Cys)溶液和 $\text{Cd}(\text{NO}_3)_2$ 以 1 : 0.5 的莫耳比例混合後，將此混合物攪拌 30 分鐘後，則形成一複合物 cysteine-Cd^{2+} (Cys/Cd)，再將上一小節合成好的 Au-Cit 膠體溶液(0.25 mM，9 mL)和 Cys/Cd (5 mM，1 mL)混合並攪拌 30 分鐘，使得 Cys 上的胺基(Amine)和金表面產生鍵結，然後將此鍵結的 Au-(Cys/Cd)膠體溶液以去離子水稀釋至整體體積 50 mL 後，放入壓力鍋在 130°C 的環境下密封六小時後使其自然冷卻至室溫，之後把生成的產物 Au@CdS 收集後以轉速 8500 rpm 離心 10 分鐘，最後再用蒸餾水和酒精洗淨去除剩餘的離子和不純物，如圖 3-2。

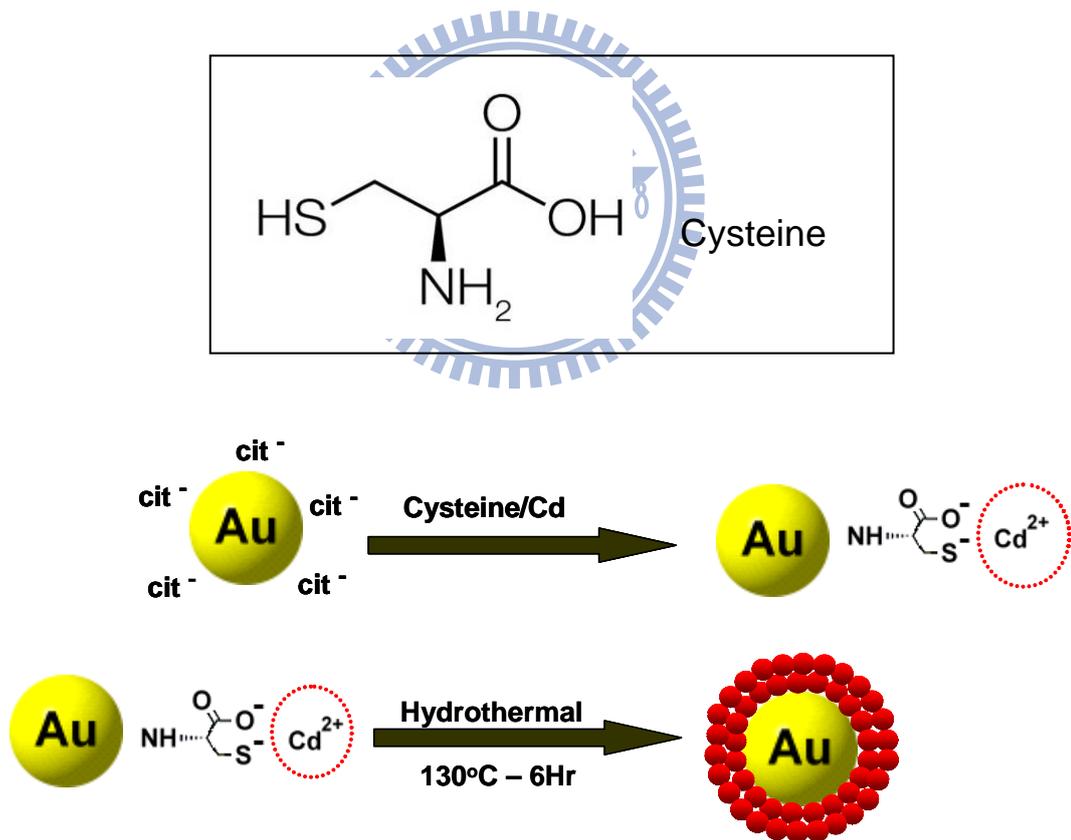


圖 3-2、金-硫化鎘殼核奈米粒子合成示意圖。

3.1.3 金-硫化鎘殼核奈米粒子分析

本節將對上一小節所合成出來的 Au@CdS 殼核奈米粒子進行驗證與分析[19]。首先由 X-ray 繞射分析儀(X-ray diffraction ; XRD)，如圖 3-3 所示，證明 CdS 為六方纖鋅礦晶體(Hexagonal wurtzite)結構，而 Au 為面心立方晶體結構。圖 3-4(a)為 Au@CdS 的穿隧電子顯微鏡(Transmission electron microscopy ; TEM)圖，圖中可看出內部的核和外部的殼有明顯得對比存在，可證明此材料為殼核結構，從圖中並得知 Au(核)的粒徑大小大約為 15.7 ± 0.5 nm，CdS(殼)厚度大約為 7.0 ± 1.1 nm，平均 Au@CdS 粒徑大約為 23 nm。接著，利用 TEM 的能量散佈分析儀(Energy dispersive spectrum ; EDS)來分析殼核奈米粒子的元素組成成份，由 TEM-EDS 的分佈圖(Elemental Mapping)分析出 Au、Cd、S 三種元素，故可得知 Au@CdS 確實含有此三種元素，如圖 3-4(b)。之後，在圖 3-4(c)中的高解析穿隧電子顯微鏡(High-resolution transmission electron microscopy ; HRTEM)可看出殼和核間有明顯的晶格條紋(Lattice fringes)存在，在 Au(核)的區域內有著完整的(111)晶格平面，且平面間的層間距(Interlayer spacing)為 0.24 nm 的面心立方晶體(Face-centered cubic)結構，而在 CdS(殼)的區域內有(002)晶格平面，且平面間的層間距為 0.34 nm 的纖鋅礦晶體(Wurtzite)結構。

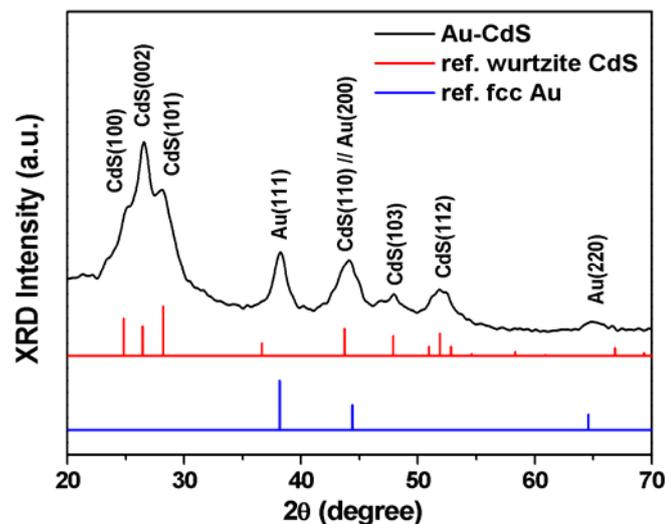


圖 3-3、金-硫化鎘殼核奈米粒子的 XRD 圖。

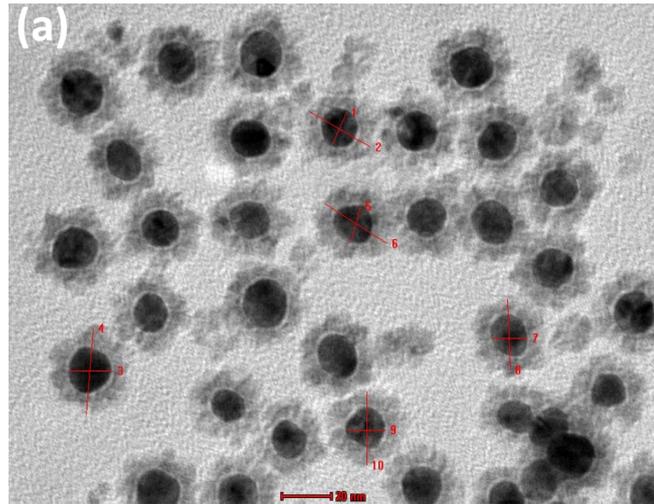


圖 3-4(a)、金-硫化鎘殼核奈米粒子的 TEM 圖。

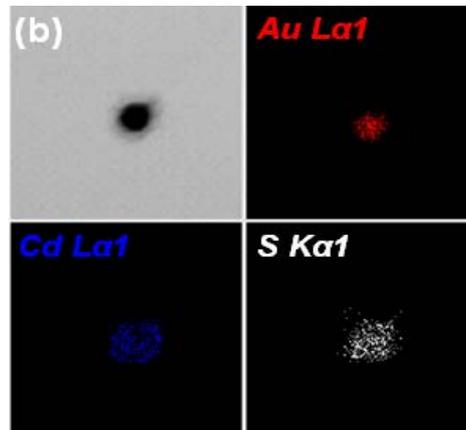


圖 3-4(b)、金-硫化鎘殼核奈米粒子的 TEM-EDS 分佈圖。

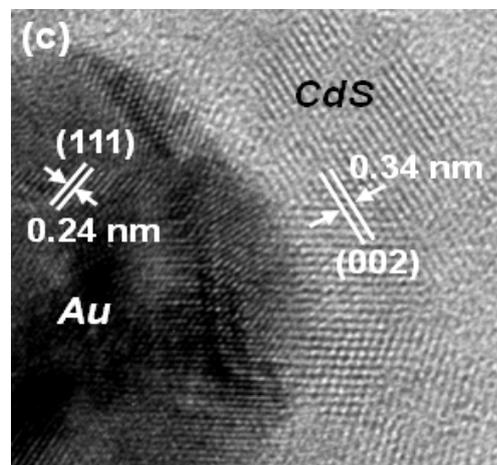


圖 3-4(c)、金-硫化鎘殼核奈米粒子的 HRTEM 圖。

3.2 奈米粒子的自組裝(Self-assembled of NPs)

我們所使用的奈米粒子有粒徑 16 nm 的金(Au)還有 23 nm 的硫化鎘(CdS)。所使用的基材是 SiO₂，也就是在爐管所長出來的穿隧氧化層，而這兩種奈米粒子都不會直接和 SiO₂ 接上。所以我們使用 APTES(3-Aminopropyltriethoxysilane)做為 SiO₂ 和奈米粒子連接的橋樑[20]。APTES 上面的 OH-會和 SiO₂ 形成共價鍵。而另一端 NH₂+會使其帶正電。接下來再利用正負相吸的靜電力，將表面包圍著負電的金和硫化鎘的奈米粒子吸附上去。帶負電的 CdS 外面的 link 為羧基(Carboxyl ion); 而 Au 外面 link 為檸檬酸基(Citrate ion)。奈米粒子自組裝示意圖，如圖 3-5 所示。

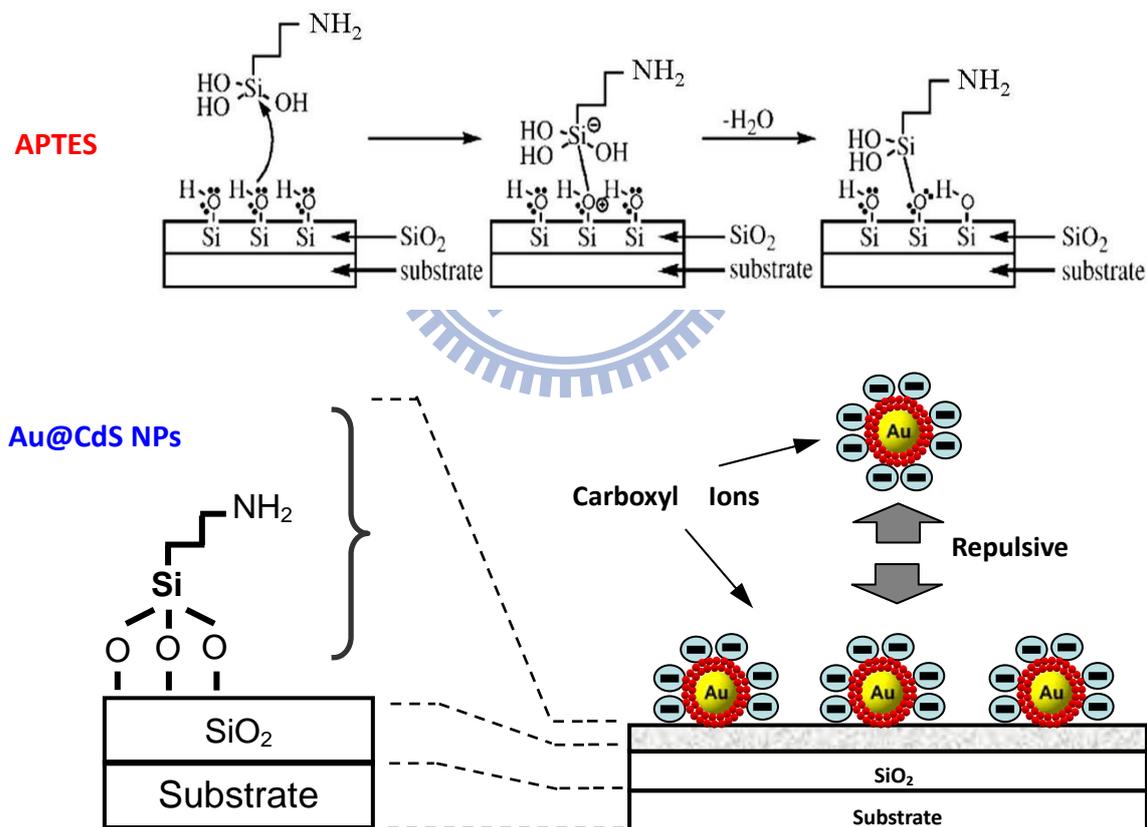


圖 3-5、金和硫化鎘的自組裝方法。

3.3 MOS 電容的製作與討論

本節將會詳細介紹整個 MOS 電容元件的製作流程，從奈米粒子的沉積到元件的製作，最後再以 SEM、XPS 和 TEM 進行分析。

3.3.1 奈米粒子的沉積

(1) 用 P-type(100)晶片做 RCA clean 的處理，如圖 3-6。

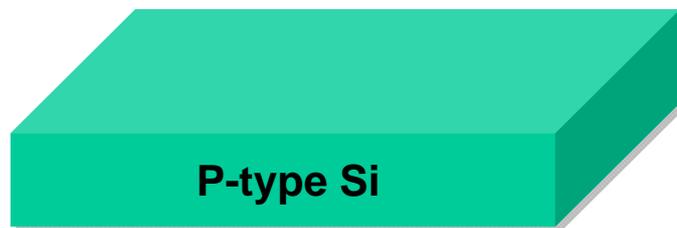


圖 3-6、P-type 晶片經過 RCA clean。

(2) 經過 RCA clean 之後，送進高溫水平爐管 950°C 乾式氧化層 7 nm，如圖 3-7。

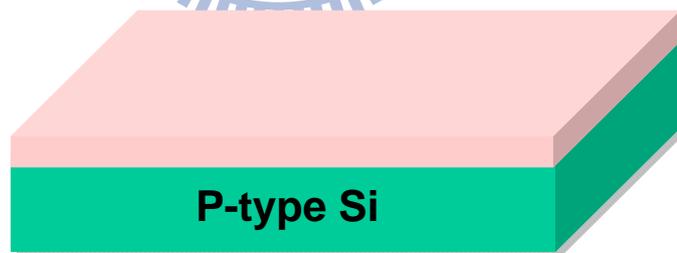


圖 3-7、水平爐管長 Dry oxide 7 nm。

(3) 長完 SiO₂ 後利用 n&k 膜厚測厚儀做確認後破片。

(4) 之後在長完 SiO₂ 的破片上沉積上一層 APTES，沉積方式如下：首先將 SiO₂ 試片放入 UV-ozone 環境下 10 分鐘，使得 SiO₂ 表面形成 OH⁻，這樣有利於 SAM 上 APTES，再將此試片放入 10 ml 酒精和 1 ml APTES 的混合溶液下沉積 10 分

鐘，之後將此試片以酒精沖洗吹乾後，在 110°C 加熱盤上烘烤半小時，使多餘溶液蒸發，如圖 3-8。

- (5) 然後將沉積完 APTES 之 SiO_2 試片分別放入 Au 奈米粒子溶液和 Au@CdS 溶液中，再放入冰箱沉積六個小時。最後將沉積六個小時後的兩種試片取出，再以去離子水沖洗之，此時我們就分別將 Au、Au@CdS 奈米粒子沉積於試片上，如圖 3-9。



圖 3-8、在 SiO_2 試片上沉積 APTES。

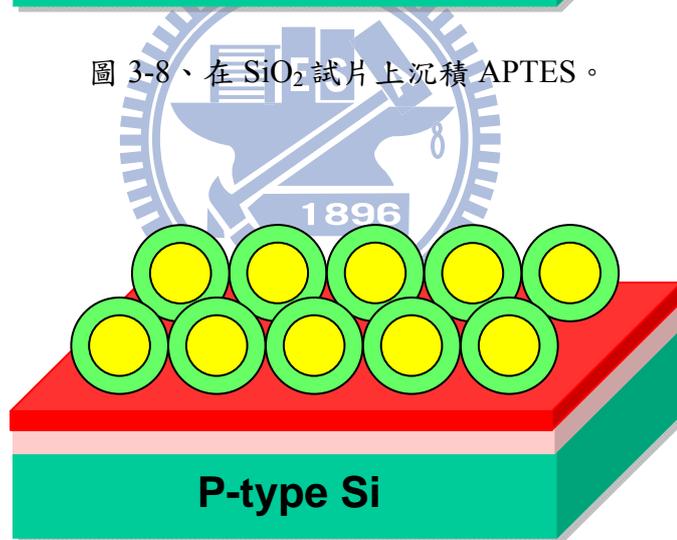


圖 3-9、自組裝，奈米粒子。

我們會使用 SEM 和 XPS 去判斷我們的奈米粒子是否沉積上去。圖 3-10 和圖 3-11 分別為金和金-硫化鎘殼核奈米粒子的 SEM 圖，從放大十萬倍的圖 3-10 中可發現此金奈米粒子較為小顆且分布密集，而圖 3-11 即為較大顆的金-硫化鎘殼核奈米粒子，但分佈不像金奈米粒子般的密集；另外，從 SEM 圖中的座標尺(Scale bar)和奈米粒子數量可算

出單位面積下的奈米粒子占有多少顆，此即為奈米粒子的密度(Density)：
金大約為 8.21×10^{10} No./cm²，金-硫化鎘大約為 1.25×10^{10} No./cm²。

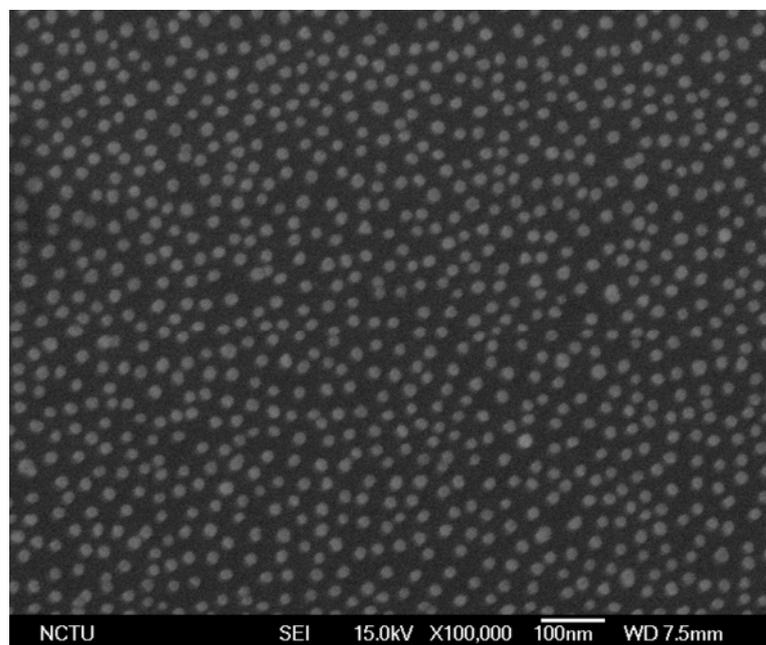


圖 3-10、金奈米粒子的 SEM 圖。

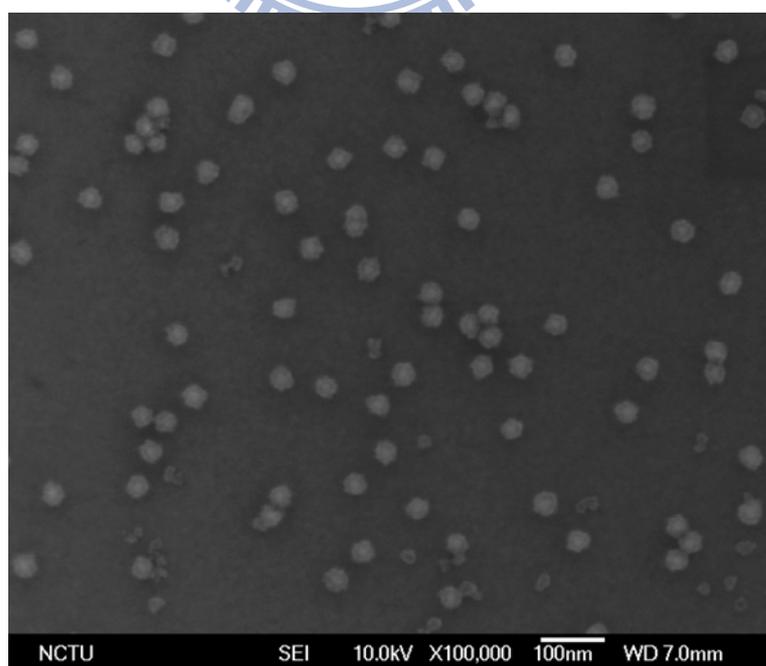


圖 3-11、金-硫化鎘奈米粒子的 SEM 圖。

從 SEM 圖中也可判定出金的粒徑大小約為 16 nm，金-硫化鎘約為 23 nm。

接著我們將沉積完全金和金-硫化鎘奈米粒子的試片以 X 光光電子能譜(X-ray photoelectron spectroscopy ; XPS)來做成份定性分析，如圖 3-12。圖 3-13 為沉積上金奈米粒子的 XPS 圖，從曲線中可看到有 Au 4f_{5/2} 和 Au 4f_{7/2} 的訊號出現，鍵能(Binding energy)分別為 88 eV 和 84 eV 的金訊號。而圖 3-14 為沉積上金-硫化鎘奈米粒子的 XPS 圖，從曲線上可看到 Cd 3d_{5/2} 和 Cd 3d_{3/2} 的訊號出現，鍵能分別為 406 eV 和 413 eV 以及 S 的 2p 訊號[21]，不過在 Au 的曲線中卻無明顯的 Au 4f 的訊號出現，推測 Au 被 7 nm 厚的 CdS 所遮蔽，使得金的訊號不夠清晰。

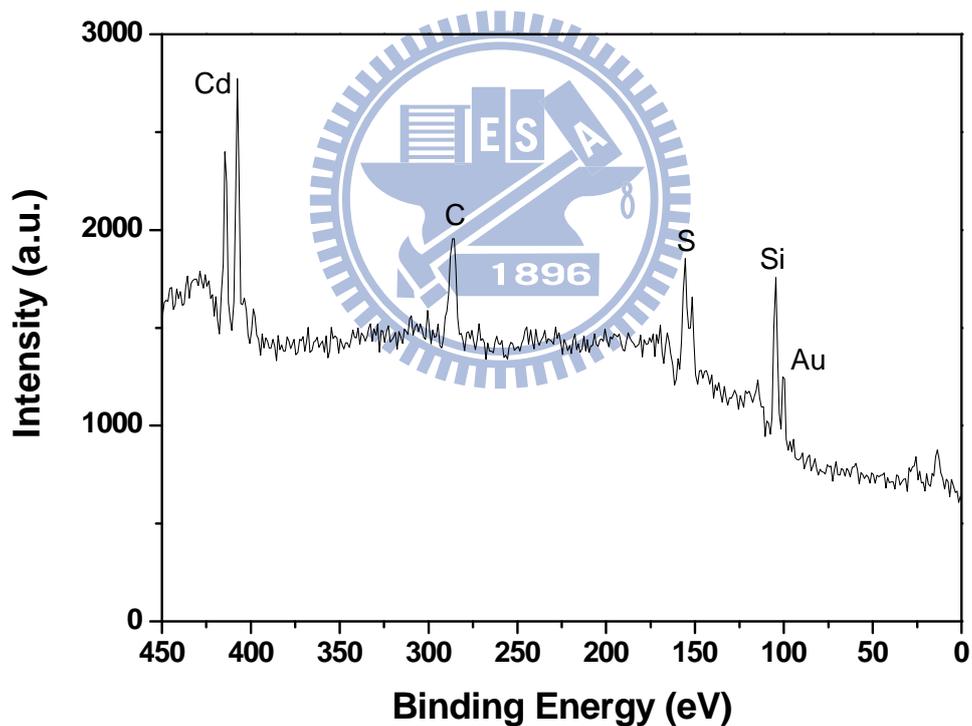


圖 3-12、XPS 整體掃描的結果圖。

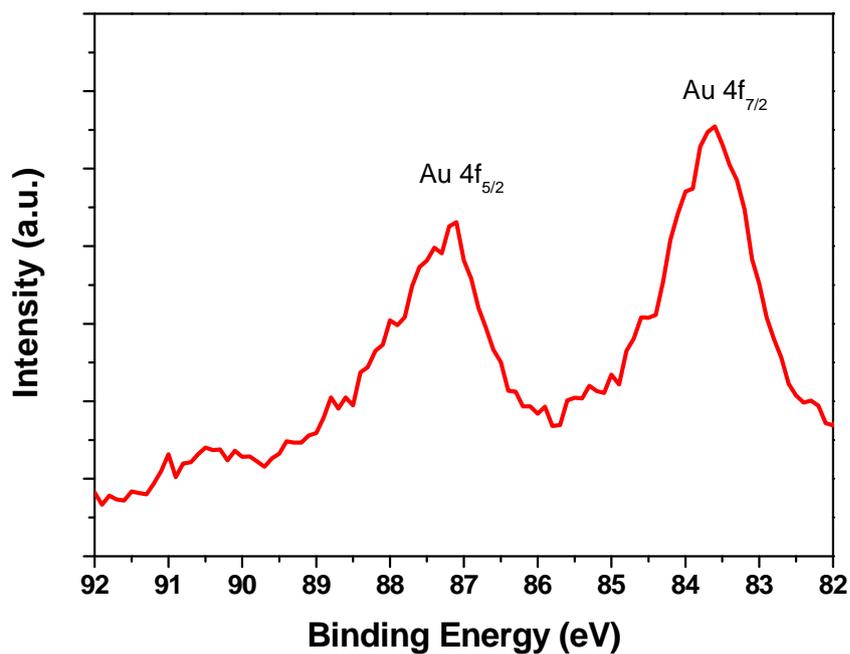


圖 3-13、金奈米粒子試片的 XPS 圖。

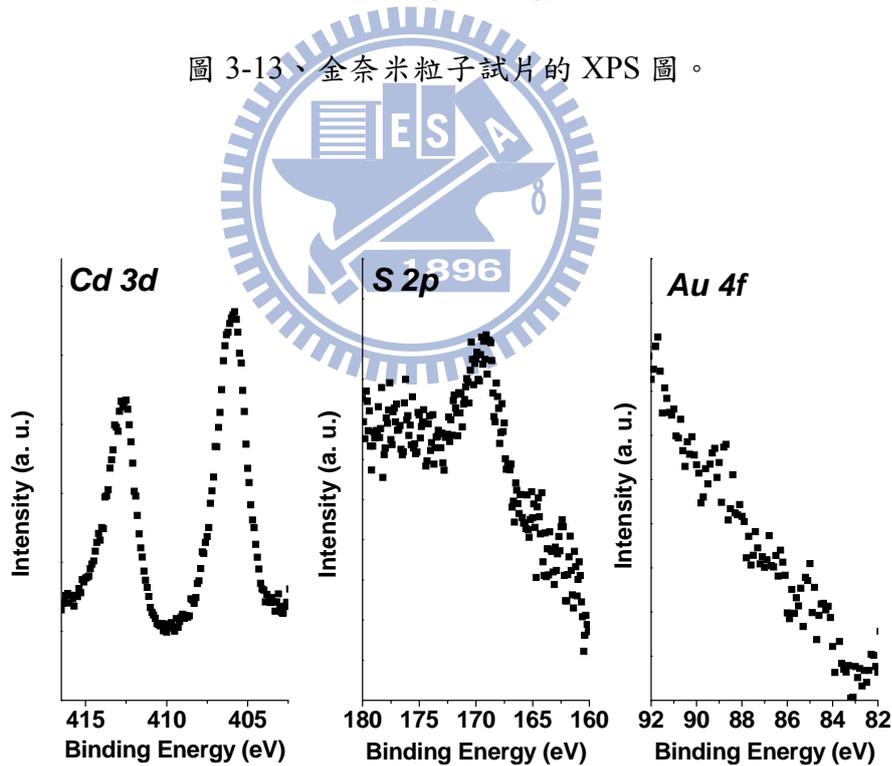


圖 3-14、金-硫化鎘奈米粒子試片的 XPS 圖。

3.3.2 電容元件的製作與分析

- (1) 用 P-type(100)晶片做 RCA clean 的處理，如圖 3-6。
- (2) 經過 RCA clean 之後，送進高溫水平爐管 950°C 乾式氧化層 7 nm，如圖 3-7。
- (3) 長完 SiO₂ 後利用 n&k 膜厚測厚儀做確認後破片。
- (4) 之後在長完 SiO₂ 的破片上沉積上一層 APTES，如圖 3-8。
- (5) 將沉積完 APTES 之 SiO₂ 試片分別沉積 Au、Au@CdS 奈米粒子，如圖 3-9。
- (6) 將沉積完奈米粒子之試片利用電漿輔助化學氣相沈積(Plasma-Enhanced Chemical Vapor Deposition; PECVD)疊上控制氧化層 SiO₂ 45 nm，使奈米粒子上覆蓋著介電層，如圖 3-15。

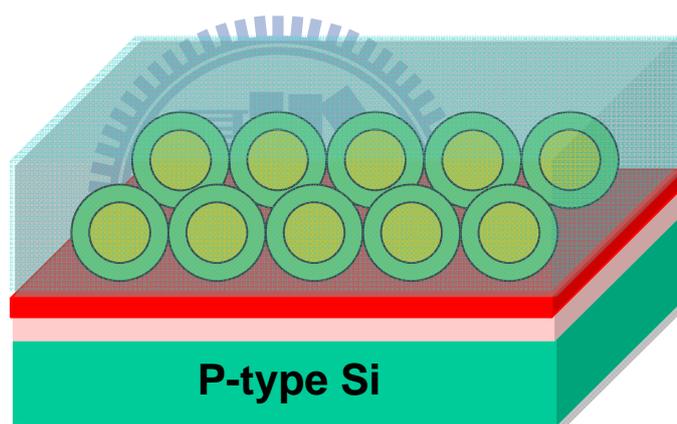


圖 3-15、利用 PECVD 疊上 SiO₂ 薄膜。

- (7) 疊完介電層後，以爐管在氮加氧(N₂+O₂)的環境下退火 500°C 30 分鐘，目的是為了修補 PECVD 沉積過程中所出現的缺陷、不完整鍵結和晶界(Grain boundary)。
- (8) 透過熱阻絲蒸鍍系統(Thermal coater)正鍍鋁電極 200 nm，如圖 3-16。
- (9) 用黃光微影製程定義出鋁電極圖形，再利用蝕刻鋁的溶液(蝕刻 Al 溶液 = H₂O + CH₃COOH + H₃PO₄ + HNO₃)，加熱至 60°C 後，把鋁蝕刻掉，而受光阻保護的地

方則會保護鋁不受蝕刻液侵蝕，最後再用丙酮將剩餘的光阻去除。

- (10) 為了要形成歐姆接觸(Ohmic contact)，接著把 P-sub 底部也以熱蒸鍍系統背鍍上鋁電極 200 nm。最後將整個元件放入鋁的燒結爐管(Al-sintering)退火 400°C 30 分鐘，最後形成如圖 3-17 的電容元件。

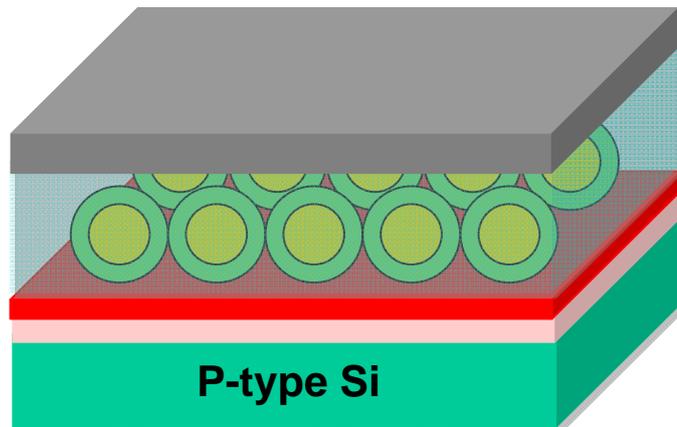


圖 3-16、利用 Thermal coater 鍍上鋁電極。

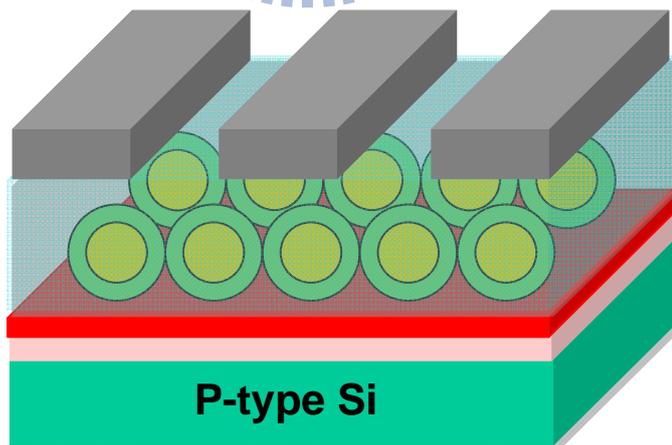


圖 3-17、奈米粒子電容結構示意圖。

為了證明 MOS 電容的結構如製程中所述和證明本實驗的懸浮閘極有金-硫化鎘奈米粒子，因此將試片研磨出預拍攝的區塊後，放入銅網中，最後再以 TEM 來拍攝橫剖面結構的影像，如圖 3-18、圖 3-19。從圖中得到與前面所討論的結果一樣，金-硫化鎘奈米粒子被兩層 SiO_2 包覆在中間形成懸浮的狀態，我們還可確定沉積後的穿隧氧化層和控制氧化層厚度分別為 7 nm、45 nm。

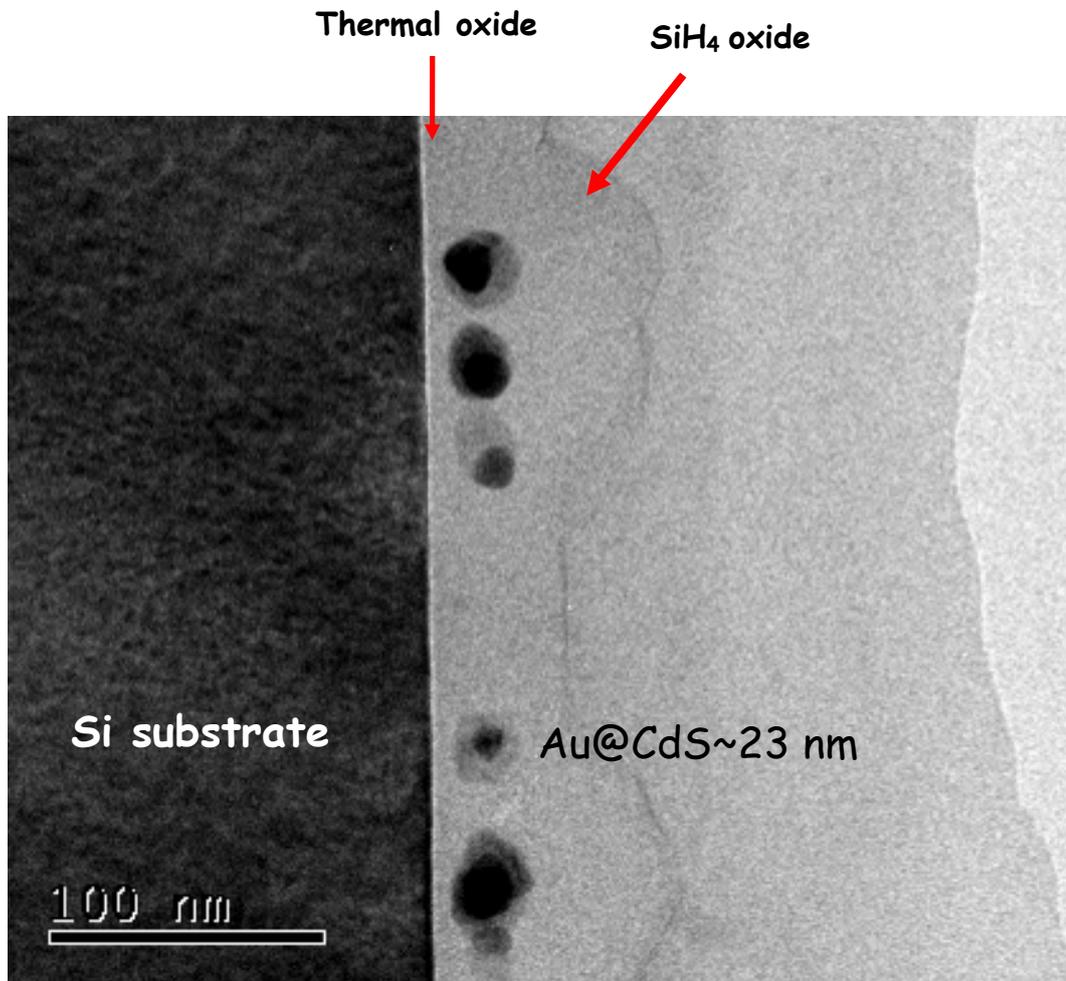


圖 3-18、金-硫化鎘殼核奈米粒子電容記憶體的 TEM 剖面圖。

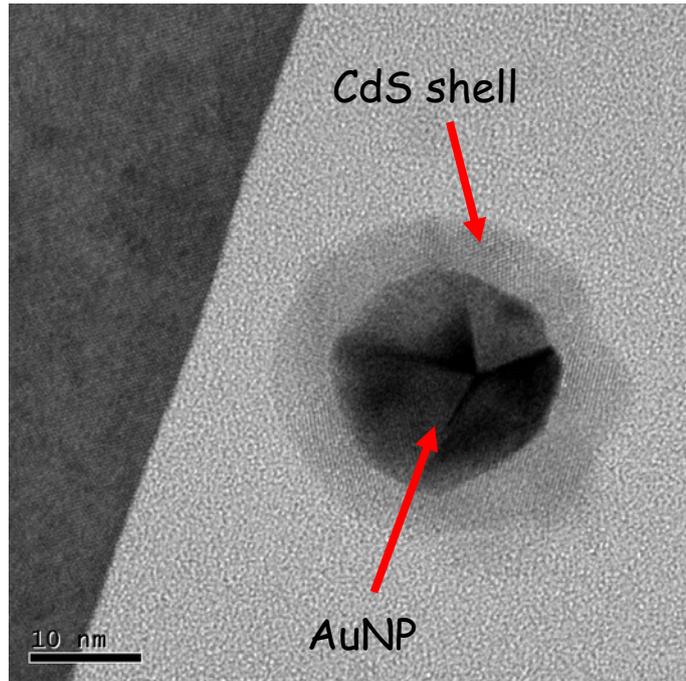


圖 3-19、金-硫化鎘電容記憶體的 TEM 局部放大剖面圖。

最後製程完的 MOS 電容元件成品圖，如圖 3-20 所示，圖中的試片上有著許許多多的電容記憶體元件，而元件上的鋁電極面積大小為 $100 \mu\text{m}$ 。

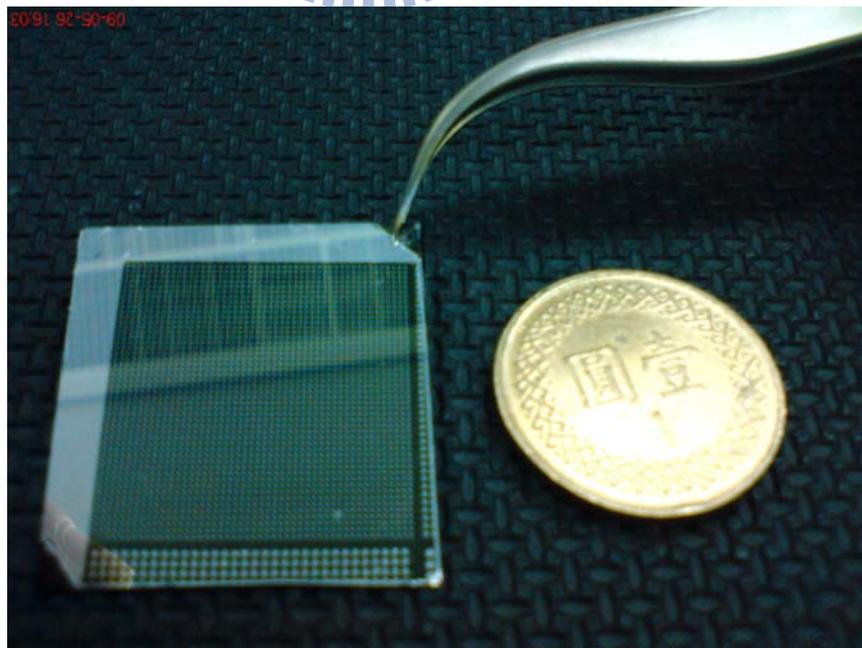


圖 3-20、MOS 電容記憶體元件成品圖。

第四章

電性量測與討論

前面章節介紹完本實驗的製作方式和要探討的項目，本章節將對實際完成的 MOS 電容記憶體元件做一系列的電性量測、分析和討論。

4.1 電容量測與分析

本節將對我們在實驗中做的三種不同的電容記憶體元件，其一為懸浮閘極是 16 nm 的金奈米粒子，另一為懸浮閘極是 23 nm 的金-硫化鎘殼核奈米粒子，第三種則是懸浮閘極內無任何奈米粒子的對照組(Control)，做基本的電性操作量測。

4.1.1 控制氧化層的處理

由於控制氧化層為經由 PECVD 製備的 SiH_4 oxide 因此會有缺陷或斷鍵的存在，而這些會使得儲存的電荷受到影響，造成漏電和電性的不佳，因此需要對 PECVD 製程所造成的問題進行修補處理，而熱處理對於這些問題是最好的應用方法，因為缺陷或斷鍵都是自由能(Free energy)比較高的地方，對熱能的變化會較敏銳，而這些熱能讓缺陷或斷鍵能夠有足夠動力去修補起來降低其自由能。由於本研究材料金-硫化鎘殼核奈米粒子不耐高溫，故我們將本實驗的三組元件以 500°C 的溫度進行修補作用，並分別在兩種環境下測試：

- (1) 爐管 500°C 30 min N_2
- (2) 爐管 500°C 30 min N_2+O_2

之後將熱處理完的結構拿來作 I-V 量測，兩種環境中的整體漏電流量測結果如圖 4-1、圖 4-2 所示。從量測結果可以發現在只通氮氣的環境下其修補作用是較小的，而加入氧氣後的整體漏電流有明顯地降低，從兩者的電流密度(Current density)來看，三組元件的電流密度在通 N_2+O_2 的環境中下降了幾個層級，大約在 10^{-7} 左右；而整體的崩潰(Breakdown)電壓強度也明顯上升了。

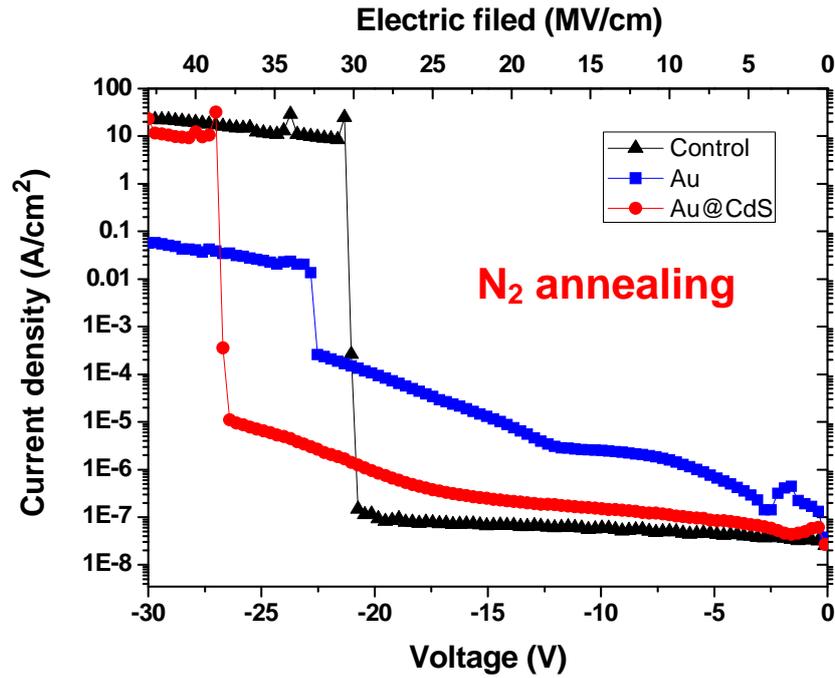


圖 4-1、三組元件在氮氣環境下退火的 I-V 圖。

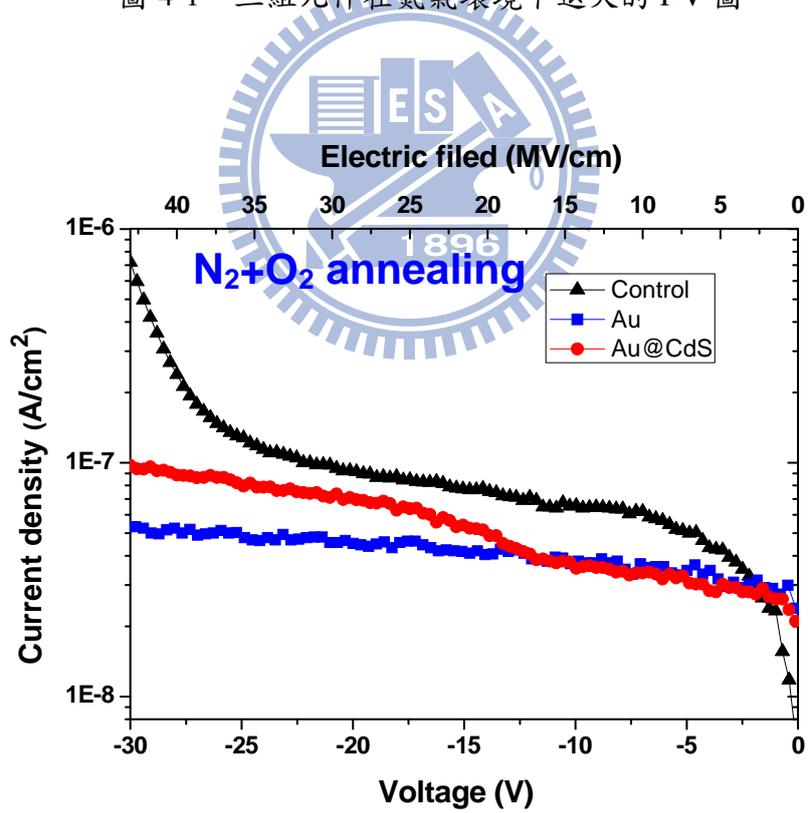


圖 4-2、三組元件在氮氣和氧氣環境下退火的 I-V 圖。

從實驗過程中進一步來探討爐管在不同條件下退火造成電性上差異的原因，由於控制氧化層是透過 PECVD 來製作的，因此會有許多缺陷存在且在鍵結的部份可能也會有斷鍵或不飽合鍵的存在，因此必須藉由熱處理的過程來修補結構的不完整，而通入氧氣後比單純只有通入氮氣漏電還少的原因推測為氧氣可以直接提供氧原子來修補控制氧化層 SiO_2 ，而氮氣則沒有此效果，但至於為什麼通氧氣時還要加入氮氣，是因為氮氣可以輔助管內的氣流平穩且均勻散佈其中。

4.1.2 電容之 C-V 量測和分析

本小節主要針對電容的磁滯曲線也就是 C-V 圖做量測分析。首先要先介紹一下平帶電壓，其公式如下：

$$V_{FB} = \phi_{ms} - \frac{Q'_{ss}}{C_{ox}} \quad (4-1)$$

其中 Q'_{ss} 是等效的固定氧化物電荷，而 ϕ_{ms} 則是金屬-半導體的功函數差。當一個奈米記憶體電容做出來之後， ϕ_{ms} 和 C_{ox} 已經是個定值，故對於負的等效固定電荷而言，平帶電壓會往正的方向偏移，因此當 Q'_{ss} 改變時會產生 V_{FB} 的位移。C-V 曲線會隨著氧化物電荷的參數變化而顯現平行的移動，然而，C-V 曲線會保持與理想特性相同的形狀。由本實驗量測的結果如圖 4-3、圖 4-4、圖 4-5。以純氧化層電容作為對照組(Control)，與其它兩組比較可發現，含有奈米粒子的電容曲線皆往右偏移，故可推測我們的金奈米粒子和金-硫化鎘殼核奈米粒子在電荷捕捉時主要是捕捉負電荷-電子。如此也可證明金奈米粒子和金-硫化鎘殼核奈米粒子的電容記憶體元件是可以儲存電荷的，若是懸浮閘極含有奈米粒子的電容結構無法儲存電荷的話，那它們的 C-V 曲線將會跟對照組的曲線一樣，不會產生偏移的情況。從圖中可看出在施加(Stress)35V 電壓且經過 +5~-5 之間的掃描(Sweep)下，可發現對照組是無記憶窗(Memory window)的，即 $\Delta V_{FB} \cong 0 \text{ V}$ ，金奈米粒子大約可以開 1 V 的記憶窗，即 $\Delta V_{FB} \cong 1 \text{ V}$ ，而金-硫化鎘殼核奈米粒子大約可開 2 V 的記憶窗，即 $\Delta V_{FB} \cong 2 \text{ V}$ 。操作條件如表 4-1 所示。

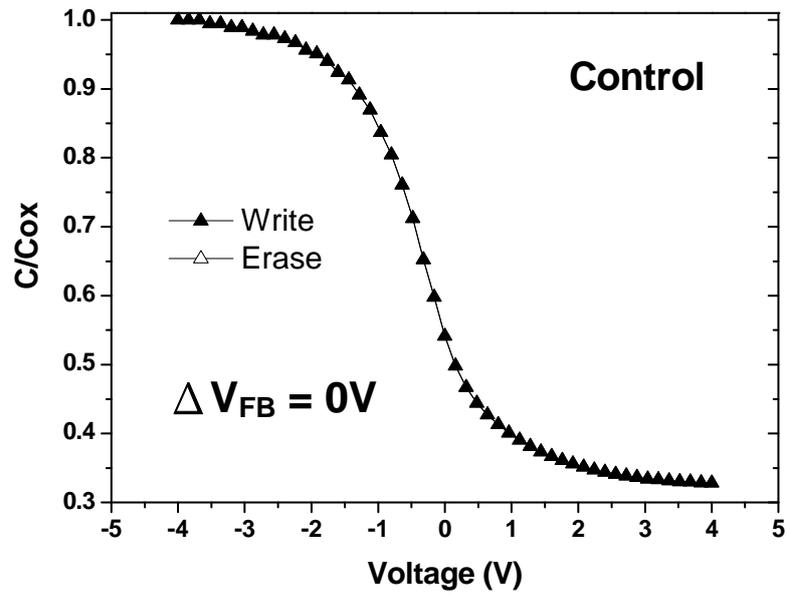


圖 4-3、對照組的 C-V 圖。

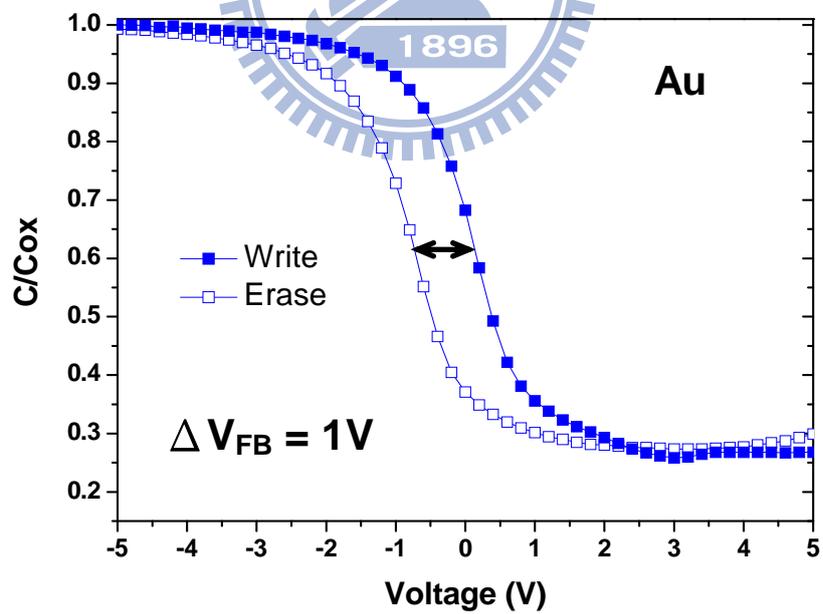


圖 4-4、懸浮閘極為金奈米粒子的 C-V 圖。

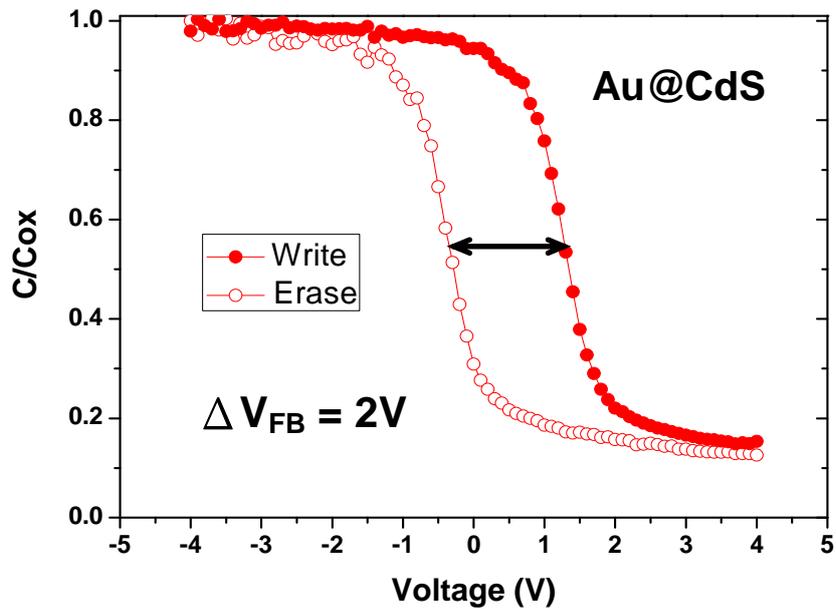


圖 4-5、懸浮閘極為金-硫化鎘殼核奈米粒子的 C-V 圖。

表 4-1、三組電容記憶體元件的操作條件。

Metal gate	Al
Tunneling layer	SiO ₂ 7 nm
Control layer	SiO ₂ 45 nm
Write	Vg= 35 V, 3 sec
Erase	Vg= -35 V, 1 sec

根據圖 4-3~圖 4-5 可以推論並計算一個奈米粒子所帶的電荷，此時利用下列的公式 (4-2) 來算出我們電容每平方公分所帶的電荷總量再利用從 SEM 所擷取的圖片中所估計到的奈米粒子密度即可得到每一個奈米粒子所捕捉電荷的能力。

$$N = \left(\frac{C_{ox}}{Q} \right) \times \Delta V_{FB} \quad (4-2)$$

氧化物層厚度 52 nm，電極面積 $100 \times 100 \mu\text{m}^2$

$$C_{\text{ox}} = 6.64 \times 10^{-8} \text{ (F/cm}^2\text{)}$$

ΔV_{FB} ：金 $\doteq 1 \text{ V}$ 、金-硫化鎘 $\doteq 2 \text{ V}$

奈米粒子密度：金 $\sim 8.21 \times 10^{10} \text{ No./cm}^2$ ，金-硫化鎘 $\sim 1.25 \times 10^{10} \text{ No./cm}^2$ 。

結果可得每一個金奈米粒子能儲存大約 6 個電荷，而每一個金-硫化鎘奈米粒子則能儲存大約 67 個電荷，如表 4-2。

表 4-2、金和金-硫化鎘殼核奈米粒子的比較。

	Au	Au@CdS
ΔV_{FB}	1V	2V
Density (No./cm ²)	8.21×10^{10}	1.25×10^{10}
Stored charges	6 e ⁻ /No.	67 e ⁻ /No.

4.2 F-N 穿隧的驗證

為了驗證電荷是以什麼形式進入到本論文所製作的懸浮閘極位能井內。由於穿隧電流的萃取在量測上有其困難度，無法用整個電容結構去做這方面的驗證，原因其實很直觀，這是因為厚度太厚穿隧電流的取得會更加困難，因穿隧電流是伴隨著能帶的彎曲 (Band bending) 而產生，所以厚度越大就需要更大的電壓去扭曲，造成判讀上容易出現不一致，另一方面當夾層過多時所得到的電流可能會有其他機制參與其中，例如 Hopping conduction、Frankel-Pool conduction 等。因此為了驗證實驗中的電容是採用 F-N 機制來讓電荷移動並儲存，故採用了典型的 MOS 結構：基材為 P-sub，中間氧化層經由 n&k 膜後測厚儀推算為 7 nm，金屬則為鋁電極 200 nm。再將此元件拿去做 I-V 的量測並且使用可變溫測量系統，使用六種不同的溫度 300 K、310K、320K、330K、340K、350K，

來看溫度對於電流是否有影響。將電流密度(J)取 ln 對電場(E)做圖可以明顯發現電流值在大約 10 MV/cm 時便會開始出現大電流，這和實驗經驗所得到 SiO₂ 在 10 MV/cm 時有穿隧電流的現象一致[22]，如圖 4-6 所示。

取樣六種不同溫度的原因是因為穿隧電流不會隨著溫度變化而改變，因此利用 F-N 穿隧的公式來進一步處理我們的數據，其公式如下[23, 24]：

$$J = \alpha E^2 \exp\left(-\frac{\beta}{E}\right) \quad (4-3)$$

移項取 ln：

$$\ln\left(\frac{J}{E^2}\right) = \ln(\alpha) - \frac{\beta}{E} \quad (4-4)$$

最後可得兩者的正比關係：

$$\ln\left(\frac{J}{E^2}\right) \propto -\frac{1}{E} \quad (4-5)$$

參數 α 、 β 分別可求出為：

$$\beta = \frac{4\sqrt{2m^*}\phi_B^3}{3\eta q} = 6.83 \times 10^7 \left(\frac{m_{ox}}{m}\right)^{1/2} \phi_B^{3/2} \quad (4-6)$$

$$\alpha = \frac{q^3}{16\pi^2\eta\phi_B} = 1.54 \times 10^{-6} \frac{m}{m_{ox}} \frac{1}{\phi_B} \quad (4-7)$$

m ：自由電子質量。

m_{ox} ：電子在二氧化矽能隙中的有效質量。

ϕ_B ：電子注入介面的能障高，單位為 eV。

由 4-5 式，將 $\ln\left(\frac{J}{E^2}\right)$ 對 $\frac{1}{E}$ 作圖，看圖形是否為一直線來判斷是否為 F-N 穿隧。

而在圖 4-7 可以明顯看到六條一致的直線，而這個範圍便是 F-N 穿隧機制的範圍，所以間接證明本研究的電容是操作在 F-N 穿隧的機制下。然後由圖 4-7 所 Fitting 出來的公式萃取出斜率 349 即為 β 值，截距 15 即為 $\ln(\alpha)$ 值，從這兩數字可求出參數 α 、 β 分別為 9.4×10^{-7} 、349，最後可求出鋁和二氧化矽之間的能障高 $\phi_B \doteq 3.9$ eV 與實際值 3.3 eV 有些許差距，推測應是實驗中的誤差所造成[25]。

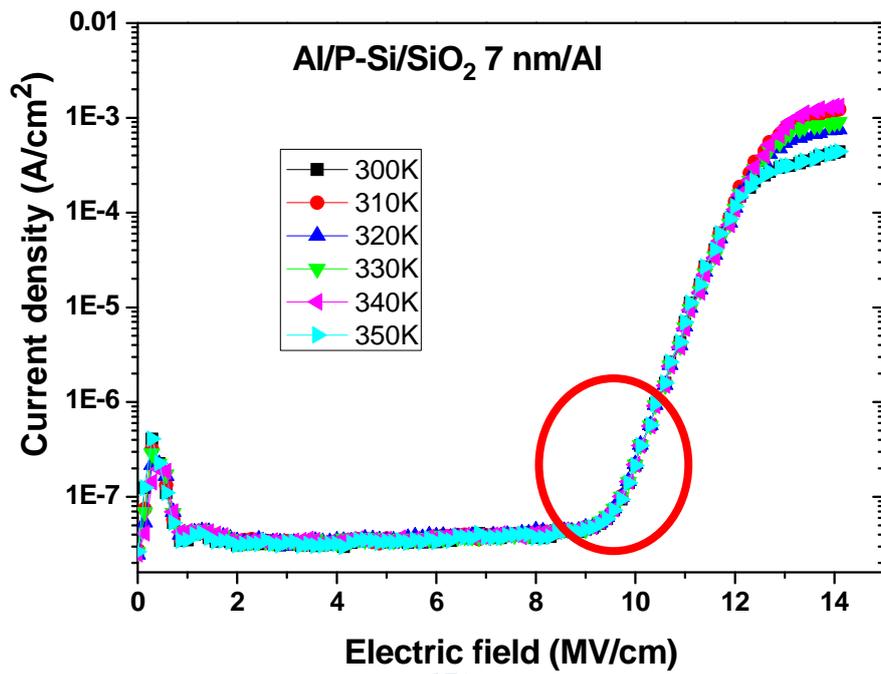


圖 4-6、六種不同溫度下的 $\ln(J)$ 對 E 的圖。

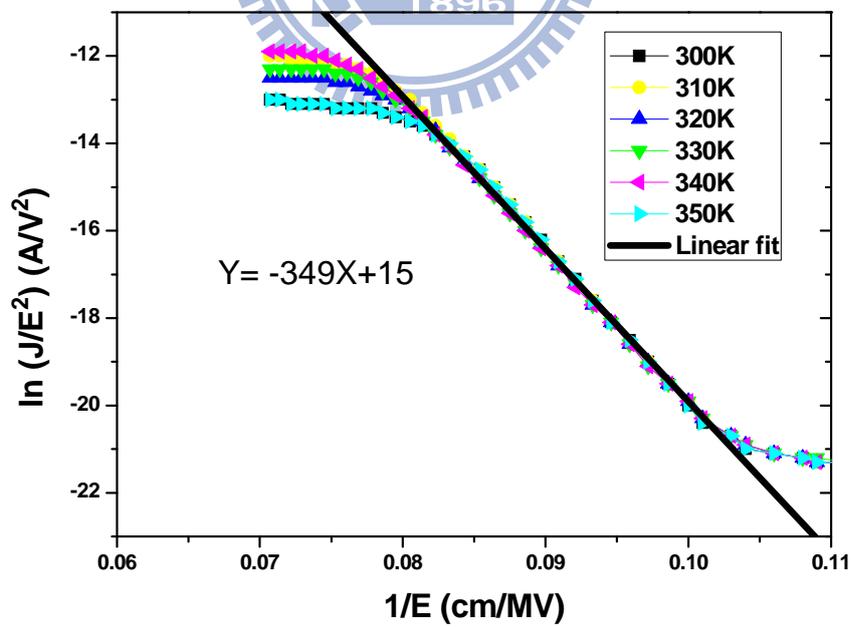


圖 4-7、六種不同溫度下的 $\ln(J/E^2)$ 對 $1/E$ 的圖。

4.3 可靠度之量測與分析

4.3.1 記憶時間(Retention time)

記憶時間一直是記憶體元件應用上最重要的參考能力之一，因為非揮發記憶體的基本要求，即是所寫入的資料要必須能夠長時間保存，也就是我們將電荷困在奈米粒子中來維持 ΔV_{FB} 的值，維持邏輯上“1”和“0”的判讀能力。

我們量測的方法如下：

1. 找出 C-V 曲線中的沒有開記憶窗的 Sweep 讀取電壓(+5V~-5V)確認其狀態不會造成電荷的捕捉。
2. 給一 Stress 電壓(+35 V 3sec、-35 V 1sec)，確認此電壓會使奈米粒子記憶體元件產生寫入或抹除的狀態。
3. 施加一寫入電壓+35 V 3sec 後，進行量測。
4. 每隔一段時間對記憶體進行讀取動作，量測時間通常為 10^4 秒。
5. 將第三步驟改為抹除電壓-35 V 1sec 後，進行量測。
6. 每隔一段時間對記憶體進行讀取動作，量測時間通常為 10^4 秒。

本小節分別對兩種不同懸浮閘極條件的記憶體量測記憶時間，分別為金奈米粒子和金-硫化鎘殼核奈米粒子，如圖 4-8、圖 4-9 所示。從這兩張圖中可以明顯看到單獨只有金奈米粒子的記憶時間是相當短的，從一開始的 1.1 V 記憶窗經過 100 秒時便開始逐漸衰減，到了 10^4 秒後只剩下 0.4 V 的記憶窗，估算最後只剩下 36 % 的電荷被儲存著；而當我們將金外圍包覆上硫化鎘形成金-硫化鎘殼核奈米粒子後，它的記憶窗由一開始的 1.7 V 經過 10^4 秒後還留有 1.4 V 的記憶窗且記憶窗的衰減程度不大，而最後電荷還剩下 83 % 被儲存著。從兩者的記憶時間在室溫下的量測結果可以證明金-硫化鎘殼核奈米粒子的記憶時間是兩者中最佳的。

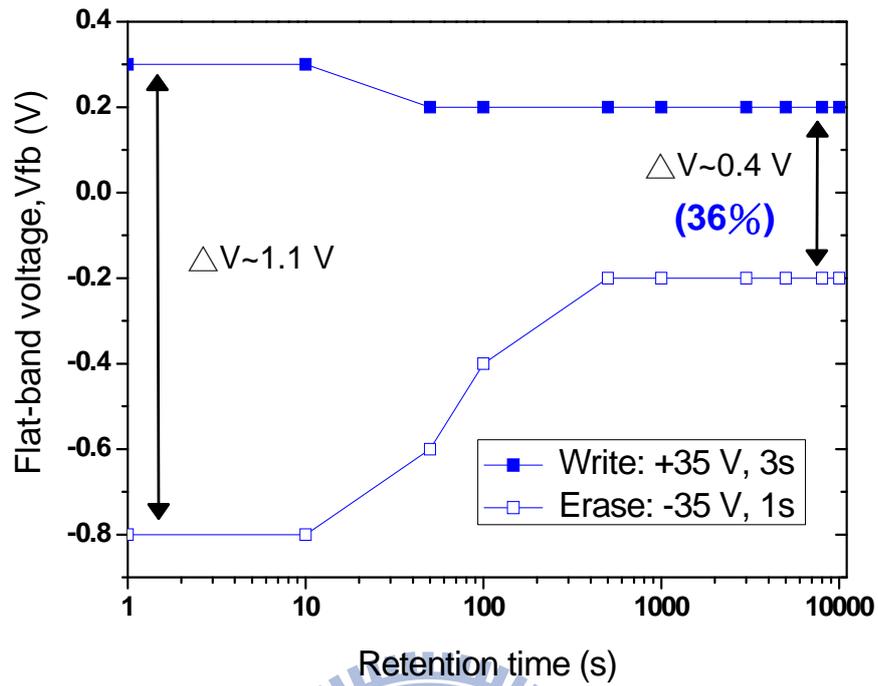


圖 4-8、室溫下金奈米粒子的記憶時間。

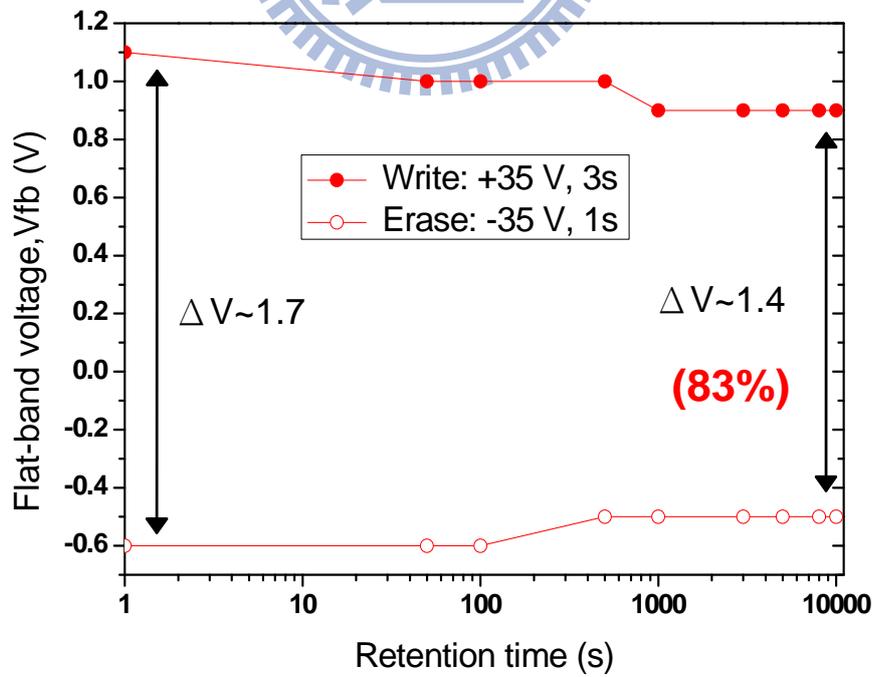


圖 4-9、室溫下金-硫化鎘殼核奈米粒子的記憶時間。

雖然以上量測所得到的儲存效率似乎不錯，但一般記憶體並不會只運作在室溫條件下，也有可能運作在較高溫度的環境下，且為了判定本研究之奈米粒子懸浮閘極記憶體的記憶時間是否會因高溫而繼續維持著與室溫相似的儲存效率，故我們將進行升溫量測；將量測機台的載臺(Chunk)溫度升至 85°C 後，分別對金奈米粒子和金-硫化鎘殼核奈米粒子兩種不同懸浮閘極的記憶體進行記憶時間的量測，而量測方式和操作條件皆與室溫下相同。

在 85°C 下的量測結果如圖 4-10、圖 4-11 所示。從量測結果可看出金奈米粒子記憶體從一開始的 0.8 V 記憶窗，隨著時間逐漸驟減至無法判讀記憶效應的圖形，故升溫後的金奈米粒子記憶體記憶時間是非常不理想的；而金-硫化鎘殼核奈米粒子記憶體的記憶窗則由初始的 1.9 V 經過 10^4 秒後漸漸衰減至 1.0 V，而最後電荷還剩下 53 % 被儲存著。

綜合以上在室溫和 85°C 下的量測結果發現：在高溫下兩者的記憶時間在電子端和電洞端皆有衰減的情況發生，但電子端衰減的程度卻大於電洞端的衰減程度，推測是因在高溫下電子獲得較大的動能且電子的有效質量小於電洞的有效質量，故電子在此狀態下有較大的機率能穿隧其位能障而導致漏電，即其儲存之電荷流失；而金奈米粒子記憶體因其位能障的物理厚度比起額外被硫化鎘包覆的金-硫化鎘殼核奈米粒子記憶體還小許多，且在初始的高電壓寫入抹除下，兩者的位能障物理厚度已產生些許缺陷，故最後在升溫的量測下，兩者的記憶時間皆比室溫量測還遜色許多。但從兩種不同溫度的量測結果，皆可證明金-硫化鎘殼核奈米粒子記憶體的記憶時間是兩者中最佳的。

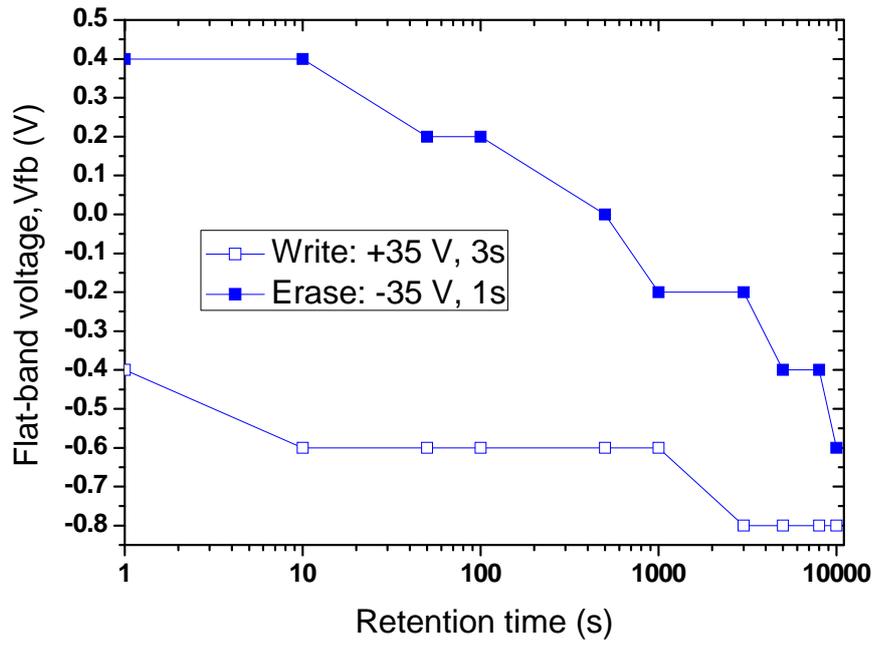


圖 4-10、85°C下金奈米粒子的記憶時間。

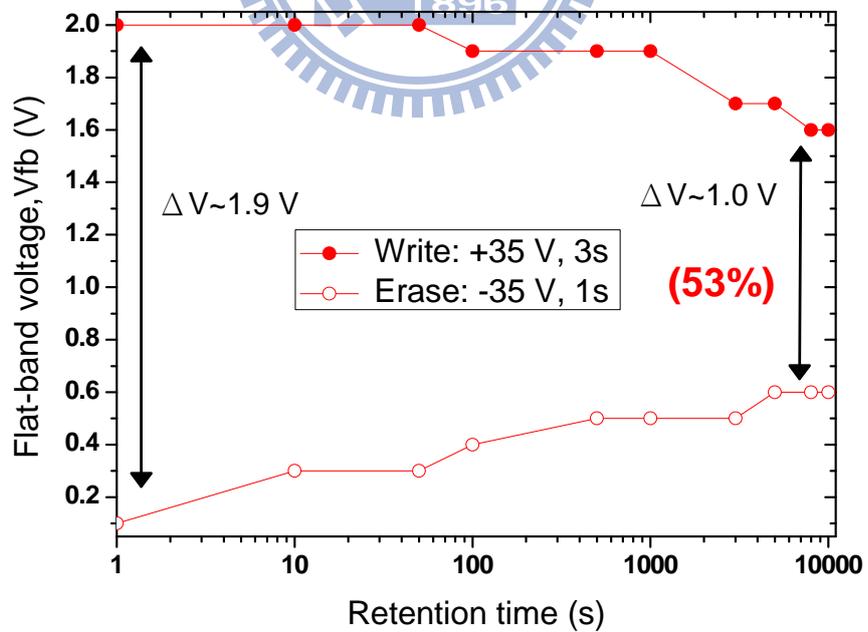


圖 4-11、85°C下金-硫化鎘殼核奈米粒子的記憶時間。

4.3.2 耐用性(Endurance)

耐用性對記憶體元件可靠度(Reliability)來說是個重要依據，因為它關係到一個元件反覆寫入抹除使用後的壽命，即是元件要能經起多次的反覆操作，量測的方法如下：

1. 找出 C-V 曲線中的沒有開記憶窗的 Sweep 讀取電壓(+5V ~ -5V)確認其狀態不會造成電荷的捕捉。
2. 給一 Stress 電壓(+35 V, 3sec、-35 V, 1sec)，確認此電壓會使奈米粒子記憶體元件產生寫入或抹除的狀態。
3. 施加寫入電壓+35 V, 3sec 後，進行量測。
4. 每隔一段次數後，對記憶體進行讀取動作，量測次數通常為 10^4 次。
5. 將第三步驟改為抹除電壓-35 V, 1sec 後，進行量測。
6. 每隔一段次數後，對記憶體進行讀取動作，量測次數通常為 10^4 次。

由圖 4-12 我們發現金-硫化鎘殼核奈米粒子這組隨著寫入與抹除次數越多，其記憶窗也越來越大，推測可能是由於元件的寫入電荷大於抹除電荷造成奈米粒子中的電荷並未抹除乾淨，因此每寫入抹除一次便造成電荷累積，則記憶窗逐漸變大；也有可能是因為在大電壓操作下造成金-硫化鎘和二氧化矽的界面(Interface)或金和硫化鎘的界面產生缺陷而再度造成電荷的捕捉(Trap)。從圖 4-12 中，金奈米粒子這組則是隨著寫入抹除次數增多，記憶窗口逐漸縮小，到了寫入抹除次數 10^4 次時記憶窗口小於 0.1 V，推測是因操作電壓過大使得金和二氧化矽的界面和二氧化矽本身在反覆操作下產生許多缺陷，而這些缺陷會使得電荷流失導致記憶窗逐漸衰減，且金奈米粒子這組在懸浮閘極中所跨的壓降又比金-硫化鎘奈米粒子大，所以耐用性會比金-硫化鎘奈米粒子還不理想。一般非揮發性記憶體之耐用性測試都可以到達 10^4 次左右，所以我們元件的耐用性是非常不理想的。通常耐用性的優劣取決於穿隧氧化層的品質，假如穿隧氧化層太薄或是品質不好皆容易在電壓的反覆操作下導致漏電，而影響記憶體元件的耐用性。我們推測元件耐用性不理想的主要因為操作電壓過高所引起。

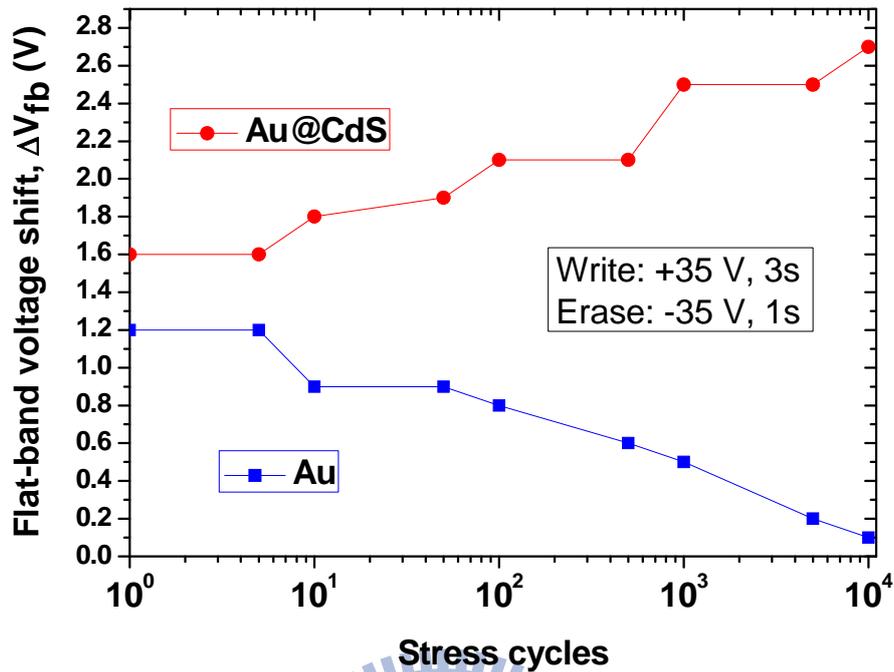


圖 4-12、金和金-硫化鎘殼核奈米粒子的耐用性。

4.4 不同介電層的影響

本節將探討將控制氧化層的 SiH_4 oxide 換成其它不同介電層所造成的影響。本實驗分別以 TEOS(Tetraethyl orthosilicate) oxide 和高介電常數(High-K)的氧化鋁(Al_2O_3)兩種介電層做為控制氧化層來探討。

第一種是由 PECVD 所沉積出來的 TEOS oxide 其品質會比同樣也是用 PECVD 沉積的 SiH_4 oxide 還要好，因 TEOS 的氧化層比 SiH_4 氧化層所含的缺陷(Defect) 較少，故所量測出來的電性較好，如圖 4-13、圖 4-14 所示。從圖 4-13 可發現懸浮閘極為金-硫化鎘殼核奈米粒子記憶窗大約有 2.5 V、金奈米粒子大約有 1.2 V、對照組為 0 V，寫入和抹除電壓為 ± 30 V 比本研究的操作電壓要小，因所沉積的 TEOS 氧化層厚度大約為 35 nm 比本研究的 45 nm 少 10 nm，所以操作電壓也相對減少；本研究的 SiH_4 oxide 若低於 40 nm 則會有漏電情形發生，故需沉積較厚的控制氧化層。圖 4-14 的兩者記憶時間也顯示出懸浮閘極為金-硫化鎘殼核奈米粒子電性也是比金奈米粒子要好。

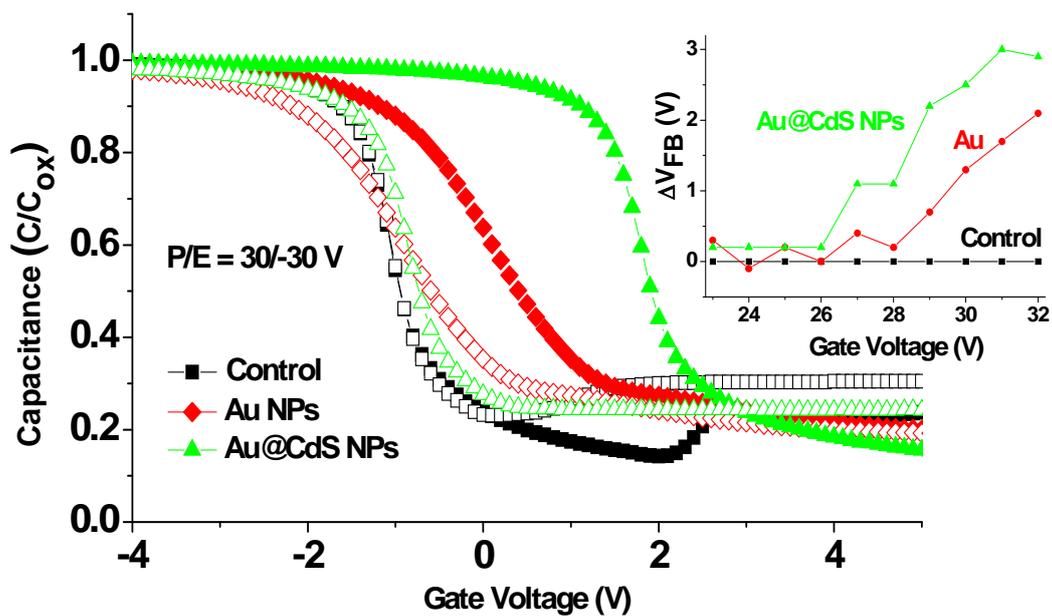


圖 4-13、控制氧化層為 TEOS 氧化層的 C-V 圖。

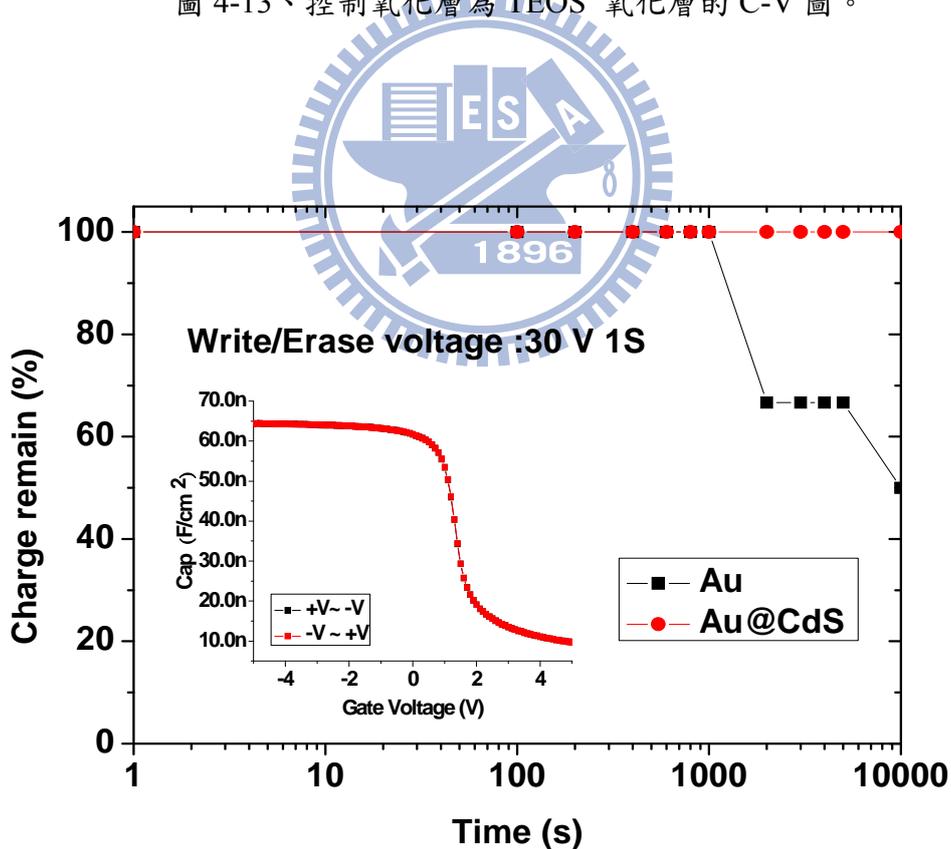


圖 4-14、控制氧化層為 TEOS 氧化層的記憶時間。

不過，當我們將此 TEOS 氧化層元件拿去拍攝 TEM 剖面圖，如圖 4-15、圖 4-16，可發現懸浮閘極的金-硫化鎘殼核奈米粒子上半層的硫化鎘被削掉一半，推測是沉積 TEOS oxide 的電漿瓦數較高所以將上半層的硫化鎘削掉，形成只有半殼核的形貌。

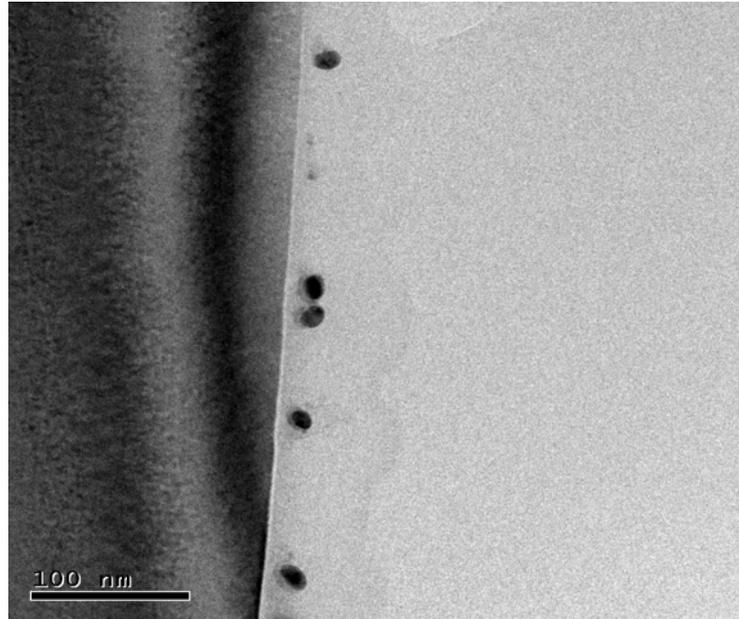


圖 4-15、TEOS 氧化層的金-硫化鎘電容 TEM 剖面圖。

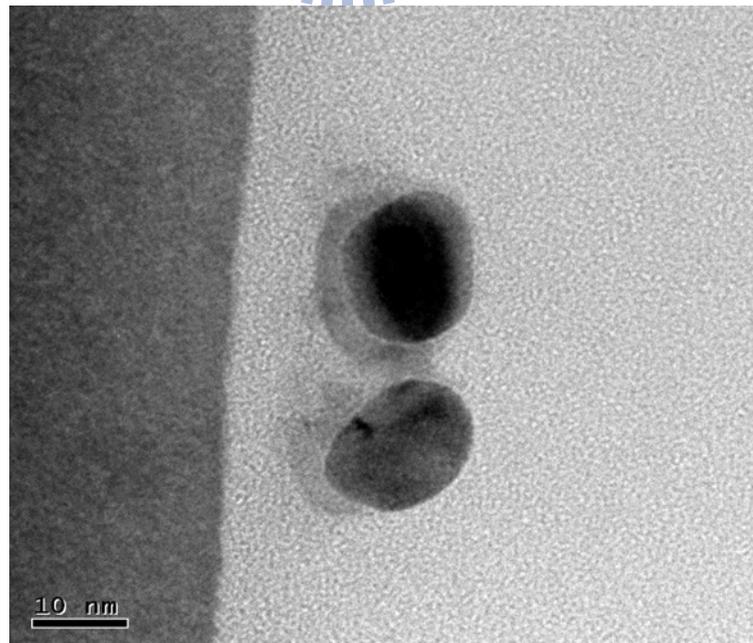


圖 4-16、TEOS 氧化層的金-硫化鎘電容 TEM 局部放大圖。

第二種是以原子層化學氣相沉積系統(Atomic layer chemical vapor deposition ; ALD)來沉積高介電常數的 Al_2O_3 氧化層，也分別以金奈米粒子、金-硫化鎘殼核奈米粒子為懸浮閘極和對照組來製作電容記憶體元件，金-硫化鎘殼核奈米粒子元件的 TEM 剖面圖如圖 4-17 所示。

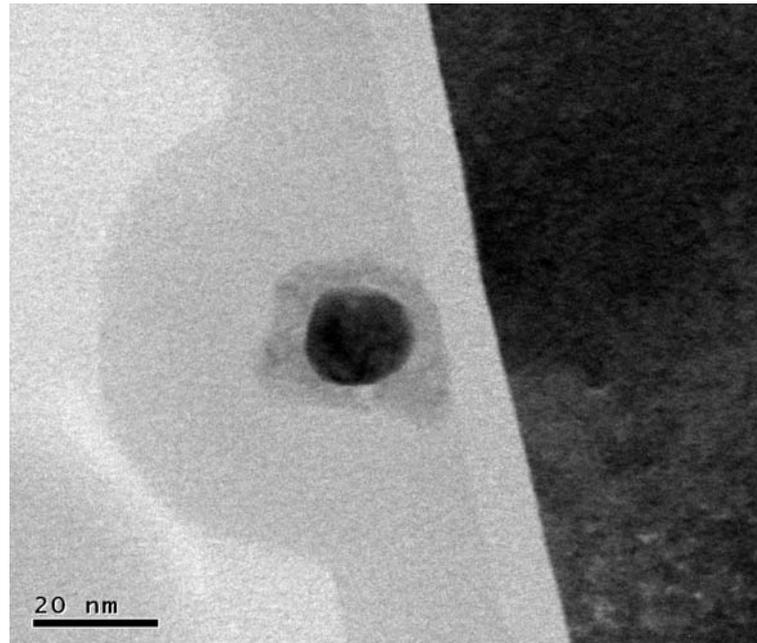


圖 4-17、 Al_2O_3 氧化層的金-硫化鎘電容 TEM 剖面圖。

而所量測的電性如圖 4-18、圖 4-19 所示，從圖 4-18 的磁滯曲線圖發現金奈米粒子和金-硫化鎘殼核奈米粒子的記憶窗出現順磁曲線，即是寫入和抹除的方向相反：一般正常操作下的電荷是由穿隧氧化層進入懸浮閘極後被捕捉，而控制氧化層主要為阻擋作用故又稱阻擋氧化層(Blocking oxide)，電荷並不會從控制氧化層進出；但若控制氧化層缺陷太多導致其無阻擋作用，則電荷也會從控制氧化層進出，就變成電荷從電極(Gate)處進到控制氧化層內(Gate injection)[26]，此時便會使記憶窗出現順磁曲線。從圖 4-19 可發現三組元件的漏電情形十分嚴重，針對沒有懸浮閘極的對照組漏電情形來看，可推測出：造成此順磁曲線即為控制氧化層所造成的漏電而導致。

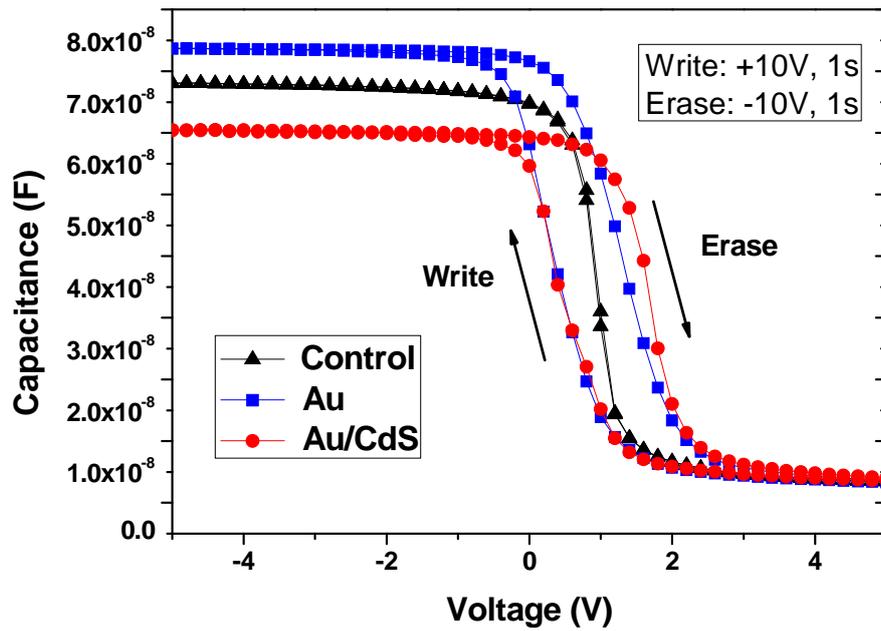


圖 4-18、控制氧化層為 Al_2O_3 氧化層的 C-V 圖。

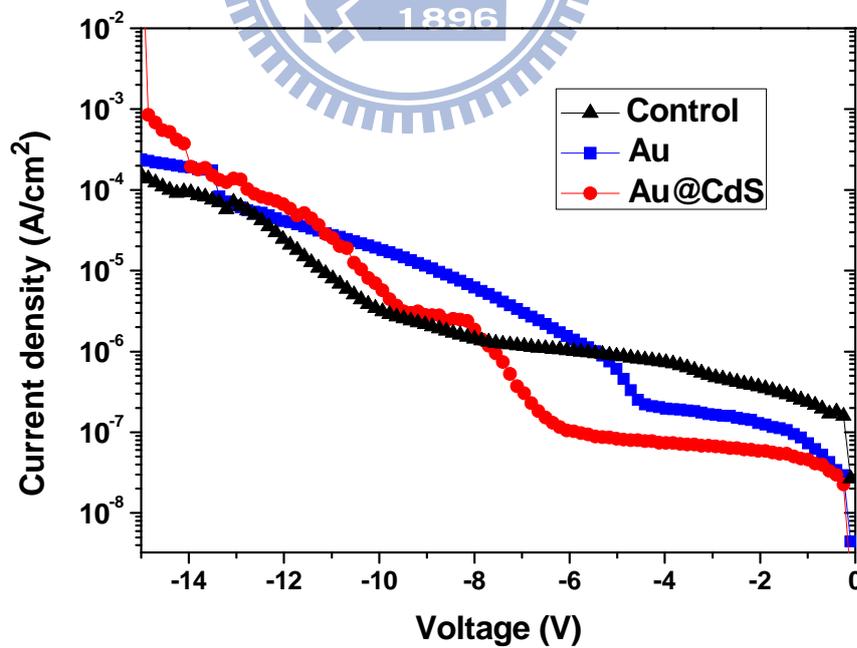


圖 4-19、控制氧化層為 Al_2O_3 氧化層的 I-V 圖。

雖然是以 ALD 所生成的控制氧化層，但 Al_2O_3 氧化層因材料本身缺陷很多必須經由高溫的退火處理[27, 28]，而通常處理溫度皆是在高於 600°C 的環境下，故本實驗將我們的金-硫化鎘殼核奈米粒子電容記憶體元件經 700°C 的退火處理後並拍攝 TEM 剖面圖，其元件的 TEM 圖，如圖 4-20 所示，將座標尺放大至 10 nm 時，則如圖 4-21 所示。

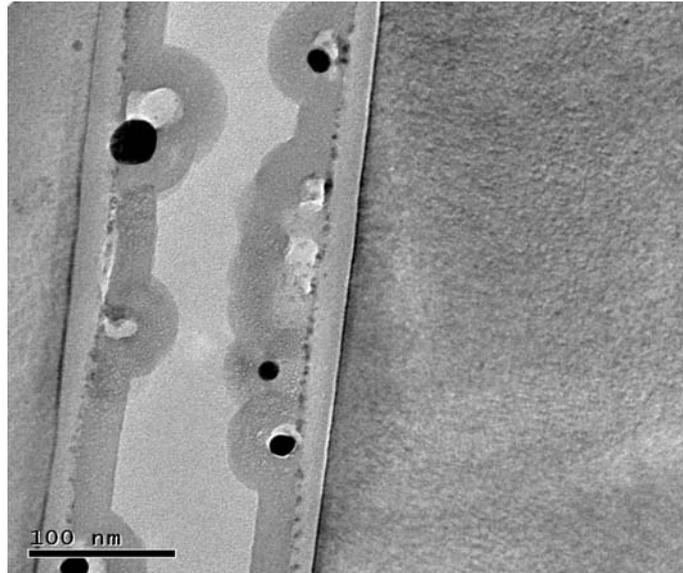


圖 4-20、金-硫化鎘電容經 700°C 退火的 TEM 剖面圖。

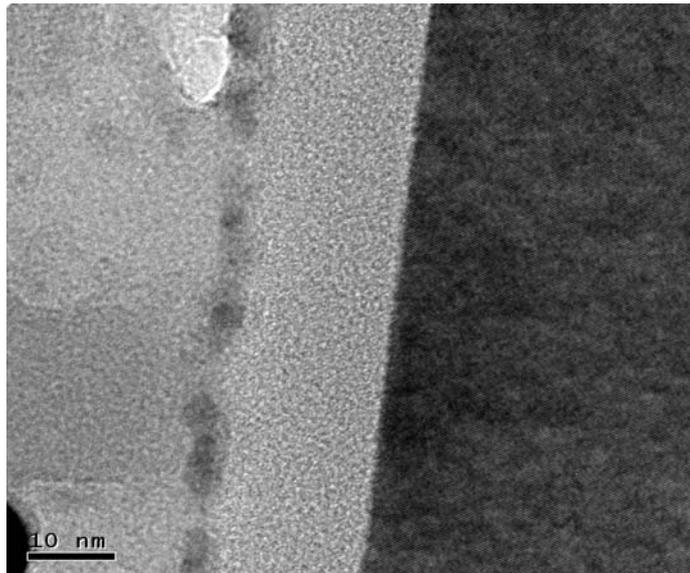


圖 4-21、金-硫化鎘電容經 700°C 退火的局部 TEM 剖面圖。

從圖 4-20、圖 4-21 兩張圖中可以明顯看到當金-硫化鎘殼核奈米粒子電容記憶體元件經由高溫 700°C 退火後，懸浮閘極內的金和硫化鎘皆有擴散的現象(Diffusion)發生，原本包覆著金的硫化鎘殼層在高溫下變成非殼核奈米粒子的結構，推測在高溫時會使金和硫化鎘的鍵結發生變化，造成金和硫化鎘往氧化層處擴散。

在第一種條件的 TEOS 氧化層下，雖然懸浮閘極為半層硫化鎘的半殼核奈米粒子，但其所表現出來的電性還是比金奈米粒子要好，而且整體電性而言也比本研究的 SiH₄ oxide 氧化層要佳；而第二種條件的 Al₂O₃ 氧化層，因高介電常數材料有降低操作電壓的功能，不過卻需要在適當的退火溫度及退火環境下進行高溫的退火處理後，才可減少材料本身所具有的缺陷，且若控制氧化層為高介電常數材料，其元件操作機制也會與本研究的 FN 穿隧機制有所不同[29, 30, 31]。故最後本研究採用了能保有完整的金-硫化鎘殼核奈米粒子為原則的 SiH₄ oxide 氧化層做為控制氧化層。

4.5 討論

本實驗利用不同材料的奈米粒子，包括金奈米粒子、金-硫化鎘殼核奈米粒子來當做記憶體的懸浮閘極。操作在不同的寫入電壓時，對於記憶窗會有不同的變化，是因為電子受到控制氧化層的吸引，穿隧過穿隧氧化層到達奈米粒子所形成的懸浮閘極後，則被奈米粒子捕捉住，然後電子便會儲存在奈米粒子和奈米粒子與二氧化矽的界面處。另外，金在奈米的尺度下會有能階的產生，加上金有很深的功函數，可以捕捉較多的電子，如圖 4-22 所示。而金-硫化鎘殼核奈米粒子之所以會產生較大的記憶窗，主要的原因是奈米粒子之間會有更多的界面[32]，所以相對的記憶窗就會更大。

在記憶時間方面，室溫和升溫條件下，金-硫化鎘殼核奈米粒子的記憶體皆有很好的儲存能力，推測是電子被捕捉而儲存在金和硫化鎘的界面，如圖 4-23 所示，而被儲存的電子要自行離開懸浮閘極，可能有很多的機制，不過跟所經過的厚度有關[33]。因此金-硫化鎘殼核奈米粒子，對於被捕抓的電子來說，多了一個位能障和硫化鎘所產生的厚度，將會增加電子離開懸浮閘極層的難度，進而增加記憶時間[34]。

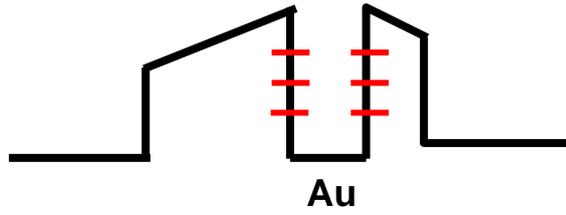


圖 4-22、金奈米粒子能帶圖。

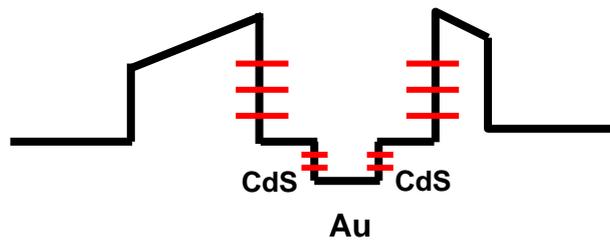
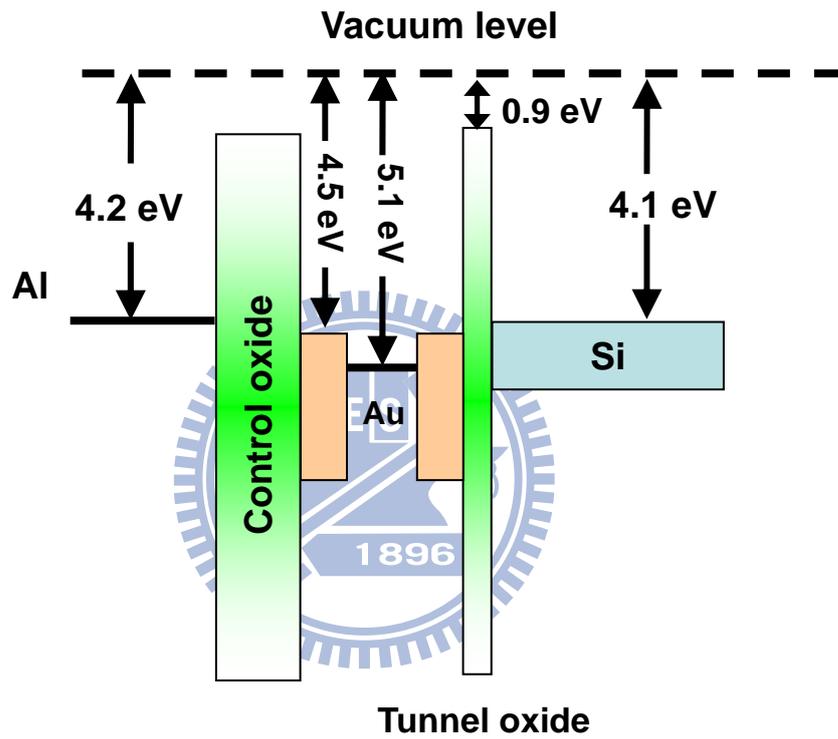


圖 4-23、金-硫化鎘殼核奈米粒子能帶圖。

第五章

結論與未來展望

(Summary and Future Work)

5.1 結論

我們可以利用半導體製程技術和自組裝(SAM)奈米粒子的方法，成功的做出奈米粒子當作懸浮閘極的電容式記憶體。當懸浮閘極的材料是金-硫化鎘殼核奈米粒子(Au@CdS NPs)，相較於單獨只有金奈米粒子(Au NPs)的記憶體，可以提高記憶窗的變化(ΔV_{FB})和增加記憶時間(Retention time)。表 5-1 為對本研究的兩種不同奈米粒子懸浮閘極所做的總整理表格。

表 5-1、本實驗的奈米粒子記憶體元件總整理。

	Au 16 nm	Au@CdS 23 nm
Density (No./cm²)	8.21x10 ¹⁰	1.25x10 ¹⁰
Stored charges	6 e ⁻ /No.	67 e ⁻ /No.
Write	Vg= 35 V 3 sec	Vg= 35 V 3 sec
Erase	Vg= -35 V 1 sec	Vg= -35 V 1 sec
ΔV_{FB}	1 V	2 V
Retention charge remain	36 %	83 %

最後，我們將本實驗的元件特性與文獻回顧的三篇論文[14][15][16]做比較，在各個方面雖然不是最好，但是也都有理想的表現，如表 5-2。

表 5-2、本實驗元件與文獻回顧之比較。

Floating gate	15 nm Ge/GeO ₂	8 nm Ge-Si(Si/HfSiO _x)	3 nm Au	16 nm Au	23 nm Au@CdS
Density (No./cm ²)	1.4x10 ¹¹	3x10 ¹¹	2.54x10 ¹²	8.21x10 ¹⁰	1.25x10 ¹⁰
Tunneling layer	Al ₂ O ₃	HfO ₂ 4 nm	SiO ₂ 2.5 nm	SiO ₂ 7 nm	SiO ₂ 7 nm
control layer	Al ₂ O ₃	HfO ₂ 15 nm	SiO ₂ 24 nm	SiO ₂ 45 nm	SiO ₂ 45 nm
Write:	Vg= 6V, 1sec	Vg= 8V, 1sec	Vg= 6V, 1sec	Vg= 35V, 3 sec	Vg= 35V, 3 sec
Erase:	Vg= -6V, 1sec	Vg= -8V, 1sec	Vg= -6V, 1sec	Vg= -35V, 1 sec	Vg= -35V, 1 sec
ΔV_{FB}	2.74 V	1.8 V	5 V	1 V	2 V
Retention charge remain	84 %	75 %	15 %	36 %	83 %
	2008 Nanotechnology	2008 IEEE TED	2006 JAP	This study	This study

5.2 未來展望

因本實驗所使用的奈米粒子粒徑比一般文獻要大許多，所以會使得奈米粒子的沉積密度不高，且因粒徑過大在沉積控制氧化層時所需要的物理厚度就相對的變厚許多，故最後需要操作在十分大的操作電壓下才可運作，在如此大的操作電壓下對元件特性一定會有很大的負面影響。所以我們若能將金奈米粒子粒徑縮小，進而也可使金-硫化鎘殼核奈米粒子整體粒徑縮小，如圖 5-1 所示，此金-硫化鎘殼核奈米粒子大小大約為 9 nm 與原本的 23 nm 相較之下小了許多；若能以此小粒徑的奈米粒子為懸浮閘極來製作電容記憶體想必可以獲得更好的記憶體特性[35]，而未來我們也可將此奈米粒子沉積於奈米線上，並且製作成奈米線的懸浮閘極場效應記憶體，藉由閘極電壓的操控，期望能夠看到更佳的非揮發性記憶體特性。

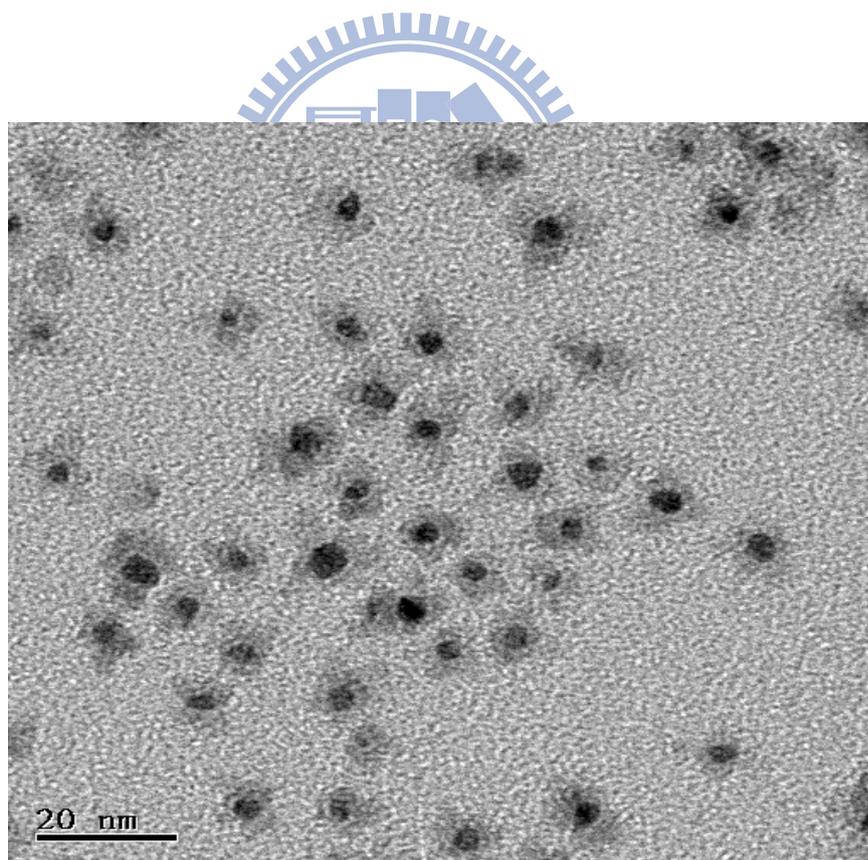


圖 5-1、粒徑 9 nm 的金-硫化鎘殼核奈米粒子圖。

參考文獻(References)

- [1] R. Bez, E. Camerlengh, A. Modelli, A. Visconti, "Introduction to flash memory," Proc. IEEE, vol. 91, pp. 489–502, April. 2003.
- [2] P. Pavan, R. Bez, P. Olivo, and E. Zanoni, "Flash memory cells—An overview," Proc. IEEE, vol. 85, pp. 1248–1271, Aug. 1997.
- [3] D. Kahng and S. M. Sze, "A floating gate and its application to memory devices," Bell Syst. Tech. J., vol. 46, pp. 629, Sep. 1967.
- [4] M. White, D. Adams and J. Bu, "On the go with SONOS," in Proc. IEEE Circuits Designs Conf., 2000, pp. 22–31.
- [5] S. Tiwari, F. Rana, H. Hanfi, A. Hartstein, E. F. Crabbe, and K. Chan, "A silicon nanocrystals based memory," Appl. Phys. Lett., vol. 68, pp. 1377–1379, 1996.
- [6] F. R. Libsch and M. H. White, "Charge transport and storage of low programming voltage SONOS/MONOS memory devices," Solid State Electron., vol. 33, pp. 105–126, 1990.
- [7] M. Kanoun, A. Souifi, T. Baron, and F. Mazen, "Electrical study of Ge-nanocrystal-based metal-oxide-semiconductor structures for p-type nonvolatile memory applications," Appl. Phys. Lett., vol. 84, pp. 5079–5081, 2004.
- [8] C. Lee, J. Meter, V. Narayanan, and E. C. Kan, "Self-assembly of metal nanocrystal on ultrathin oxide for nonvolatile memory applications," J. Electron. Mater., vol. 34, no. 1, pp. 1–11, Jan. 2005.
- [9] S. K. Samanta, W. J. Yoo, G. Samudra, E. S. Tok, L. K. Bera, and N. Balasubramanian, "Tungsten nanocrystals embedded in high-k materials for memory application," Appl. Phys. Lett., vol. 87, pp. 113110-3, 2005.
- [10] W. R. Chen, T. C. Chang, J. L. Yeh, S. M. Sze, and C. Y. Chang, "Reliability characteristics of NiSi nanocrystals embedded in oxide and nitride layers for nonvolatile memory application," Appl. Phys. Lett., vol. 92, pp. 152114-3, 2008.

- [11] J. Kim, J. Yang, J. Lee, and J. Hong, "Memory characteristics of cobalt-silicide nanocrystals embedded in HfO₂ gate oxide for nonvolatile nanocrystal flash devices," *Appl. Phys. Lett.*, vol. 92, pp. 013512-3, 2008.
- [12] B. Liedberg et al., "Self Assembled Monolayers of Alkanethiols on Gold," Laboratory of Applied Physics, Linköping University.
- [13] Z. Liu, C. hungho Lee, V. Narayanan, G. Pei, and E. C. Kan, "Metal Nanocrystal Memories—Part I: Device Design and Fabrication," *IEEE Trans. Electron Devices*, vol. 49, pp. 1606-1613, Sep. 2002.
- [14] C. L. Yuan, P. S. Lee, "Enhanced charge storage capability of Ge/GeO₂ core/shell nanostructure," *Nanotechnology*, vol. 19, pp. 355206, 2008.
- [15] L. Hai, W. Winkenwerder, L. Yueran, D. Ferrer, D. Shahrjerdi, S. K. Stanley, J. G. Ekerdt, and S. K. Banerjee, "Core-Shell Germanium-Silicon Nanocrystal Floating Gate for Nonvolatile Memory Applications," *IEEE Trans. Electron Devices*, vol. 55, pp. 3610-3614, Dec. 2008.
- [16] C. C. Wang, J. Y. Tseng, T. B. Wu, L. J. Wu, C. S. Liang, and J. M. Wu, "Charging characteristics of Au nanocrystals embedded in metal-oxide-semiconductor structures," *J. Appl. Phys.*, vol. 99, pp. 026102-3, 2006.
- [17] S. M. Sze, *Semiconductor Devices, Physics and Technology*, 2nd, 2002.
- [18] R. F. Pierret, *Semiconductor Device Fundamentals*, 1996.
- [19] W. T. Chen, T. T. Yang, and Y. J. Hsu, "Au-CdS Core—Shell Nanocrystals with Controllable Shell Thickness and Photoinduced Charge Separation Property," *Chem. Mater.*, vol. 20, pp. 7204-7206, 2008.
- [20] J. T. Sheu, C. C. Chen, P. C. Huang, Y. K. Lee and M. L. Hsu, "Selective deposition of gold nanoparticles on SiO₂/Si nanowires for molecule detection," *Jpn. J. Appl. Phys*, vol. 44, pp. 2864-2867, 2005.
- [21] T. Nakanishi, B. Ohtani, and K. Uosaki, "Fabrication and Characterization of

- CdS-Nanoparticle Mono- and Multilayers on a Self-Assembled Monolayer of Alkanedithiols on Gold," *J. Phys. Chem. B*, vol. 102, pp. 1571-1577, 1998.
- [22] W. K. Shih, E. X. Wang, S. Jallepalli, F. Leon, C. M. Maziar, and A. F. Tasch, "Modeling gate leakage current in nMOS structures due to tunneling through an ultra-thin oxide," *Solid State Electron.*, vol. 42, pp. 997-1006, 1998.
- [23] R. K. Chanana, K. McDonald, M. Di Ventra, S. T. Pantelides, L. C. Feldman, G. Y. Chung, C. C. Tin, J. R. Williams, and R. A. Weller, "Fowler–Nordheim hole tunneling in p-SiC/SiO₂ structures," *Appl. Phys. Lett.*, vol. 77, pp. 2560–2562, 2000.
- [24] M. Lenzlinger and E. H. Snow, "Fowler-Nordheim Tunneling into Thermally Grown SiO₂," *J. Appl. Phys.*, vol. 40, pp. 278-283, 1969.
- [25] P. Olivo, J. Sune, and B. Ricco, "Determination of the Si-SiO₂ barrier height from the Fowler-Nordheim plot," *IEEE Electron Device Lett.*, vol. 12, pp. 620-622, Feb. 1991.
- [26] J. Sanghun, H. Jeong Hee, L. Junghoon, C. Sangmoo, H. Hyunsang, and K. Chungwoo, "Impact of metal work function on memory properties of charge-trap flash memory devices using fowler-nordheim P/E mode," *IEEE Electron Device Lett.*, vol. 27, pp. 486-488, June. 2006.
- [27] P. Ericsson, S. Bengtsson, and J. Skarp, "Properties of AlO films deposited on silicon by atomic layer epitaxy," *Microelectron. Eng.*, vol. 36, pp. 91–94, 1997.
- [28] J. Buckley, B. De Salvo, D. Deleruyelle, M. Gely, G. Nicotra, S. Lombardo, J. F. Damlencourt, P. Hollinger, F. Martin, and S. Deleonibus, "Reduction of fixed charges in atomic layer deposited Al₂O₃ dielectrics," *Microelectronic Eng.*, vol. 80, pp. 210-213, 2005.
- [29] M. Houssa, M. Tuominen, M. Naili, V. Afanas'ev, A. Stesmans, S. Haukka, and M. M. Heyns, "Trap-assisted tunneling in high permittivity gate dielectric stacks," *J. Appl. Phys.*, vol. 87, pp. 8615–8620, 2000.
- [30] M. Specht, H. Reisinger, F. Hofmann, T. Schulz, E. Landgraf, R. J. Luyken, W. Röner,

- M. Grieb, and L. Risch, "Charge trapping memory structures with Al₂O₃ trapping dielectric for high-temperature applications," *Solid State Electron.*, vol. 49, pp. 716-720, 2005.
- [31] M. Specht, M. Stadel, S. Jakschik, and U. Schroder, "Transport mechanisms in atomic-layer-deposited Al₂O₃ dielectrics," *Appl. Phys. Lett.*, vol. 84, pp. 3076-3078, 2004.
- [32] R. M. Ma, L. Dai, and G. G. Qin, "High-performance nano-Schottky diodes and nano-MESFETs made on single CdS nanobelts," *Nano Letters*, vol. 7, no. 4, pp. 868–873, Apr. 2007.
- [33] D. Tsoukalas, P. Dimitrakis, S. Kolliopoulou, and P. Normand, "Recent advances in nanoparticle memories," *Mater. Sci. Eng. B*, vol. 124-125, pp. 93-101, 2005.
- [34] J. Lu, Z. Zuo, Y. Chen, Y. Shi, L. Pu, and Y. Zheng, "Charge storage characteristics in metal-oxide-semiconductor memory structure based on gradual Ge_{1-x}Si_x/Si heteronanocrystals," *Appl. Phys. Lett.*, vol. 92, pp. 013105-3, 2008.
- [35] S. Min and K. Tsu-Jae, "Impact of crystal size and tunnel dielectric on semiconductor nanocrystal memory performance," *IEEE Trans. Electron Devices*, vol. 50, pp. 1934-1940, Sep, 2003.
- [36] S. Maikap, P. J. Tzeng, T. Y. Wang, C. H. Lin, L. S. Lee, J. R. Yang, and M. J. Tsai, "Memory Characteristics of Atomic-Layer-Deposited High- κ HfAlO Nanocrystal Capacitors," *Electrochem. Solid State Lett.*, vol. 11, pp. K50-K52, 2008.
- [37] S. Takagi and A. Toriumi, "New experimental findings on hot carrier transport under velocity saturation regime in Si MOSFET's," in *ZEDM Tech. Dig.*, 1992, pp. 711-714.