

國立交通大學

電子工程學系電子研究所碩士班

碩士論文

運用非晶化離子佈植與鏡介層調變矽化鎳
之蕭特基能障高度

**Schottky Barrier Height Tuning of NiSi Using Yb
Interlayer With Pre-Amorphization Implantation**

研究生：李肇中

指導教授：邱碧秀 博士

吳文發 博士

中華民國一〇〇年三月

運用非晶化離子佈植與鏡介層調變矽化鎳
之蕭特基能障高度

**Schottky Barrier Height Tuning of NiSi Using Yb
Interlayer With Pre-Amorphization Implantation**

研究生：李肇中

Student: Chao-Chung Lee

指導教授：邱碧秀 博士

Advisors: Dr. Bi-Shiou Chiou

吳文發 博士

Dr. Wen-Fa Wu



Submitted to Department of Electronics Engineering & Institute of Electronics
College of Electrical and Computer Engineering

National Chiao Tung University

in Partial Fulfillment of the Requirements

for the Degree of Master

in

Electronics Engineering

March 2011

Hsinchu, Taiwan, Republic of China

中華民國一〇〇年三月

運用非晶化離子佈植與鏡介層調變矽化鎳之蕭特基位障高度

學生：李肇中

指導教授：邱碧秀 博士

吳文發 博士

國立交通大學

電子工程學系電子研究所碩士班

摘要

金屬矽化物形成源極/汲極的蕭特基位障金氧半場效電晶體是22奈米以下之元件最有可能的結構之一，其優勢為源極/汲極串聯電阻小、製程較簡化、低熱預算，及不易受短通道效應的影響。但蕭特基電晶體常因不適當的位障高度而造成關閉狀態漏電流和低飽和驅動電流的問題。鎳矽化物是目前最具潛力的金屬矽化物材質，因為它比鈦矽化物和鈷矽化物有更大的優勢。由於NiSi的費米能階約位於矽能隙的中間，其蕭特基位障高度對電子（0.65eV）和電洞（0.45eV）都相當大。

已有幾項研究報導運用稀土金屬如鐿、鉕和鎳降低NiSi/Si介面對電子的蕭特基位障高度以提升元件性能。其結果顯示，在退火後稀土金屬析離至矽化鎳表面，而非堆積在矽化鎳/矽的介面，因此只有觀察到些微調變蕭特基位障高度的效果。

在本研究中，運用鏡介層調變NiSi/Si介面的蕭特基位障並製作出蕭特基

二極體。藉由非晶化離子佈植矽基板的幫助，退火後鎢原子聚集至矽化鎳表面的現象受到抑制。在所有實驗條件中， N_2^+ 離子非晶化佈植後沉積TiN/Ni(5nm)/Yb(15nm)的結構透過500°C退火產生最佳的蕭特基位障高度調變效果。



Schottky Barrier Height Tuning of NiSi Using Yb Interlayer With Pre-Amorphization Implantation

Student: Chao-Chung Lee

Advisors: Dr. Bi-Shiou Chiou

Dr. Wen-Fa Wu

Department of Electronics Engineering and Institute of Electronics

National Chiao Tung University

Abstract

The metal silicide source/drain (S/D) Schottky barrier (SB) MOSFETs are considered one of the most promising candidates for sub-22nm devices because of small series resistance of S/D, easy processing, low thermal budget, and excellent short channel effect immunity. However, SB MOSFETs usually suffer from a large leakage current at the drain in the off state and poor saturation drive current due to undesired high SB height (SBH). Ni silicide is the most promising silicide material because it has greater advantages than Ti silicide and Co silicide. Owing to the Fermi level of NiSi lies close to the middle of Si bandgap, the SBH of NiSi is rather large for both electron (0.65eV) and hole (0.45eV).

Several studies have addressed decreasing the SBH for electrons at the NiSi/Si interface to improve device performance by incorporating rare earth (RE) metals such as, Yb, Er, and Dy into NiSi. The results show that the RE metals segregated at the NiSi surface rather than piled up at the NiSi/Si interface after annealing, therefore little modulation of SBH was observed.

In this study, tuning the SBH at the NiSi/Si interface for a Schottky barrier diode using an Yb interlayer is proposed. With the aid of pre-amorphization

implantation (PAI) to silicon substrate, it was found that aggregating of Yb atoms in the surface of NiSi after silicidation is suppressed. Among the splits, the TiN/Ni(5nm)/Yb(15nm) structure deposited after the pre-amorphization of Si by N_2^+ ions induced the greatest change in SBH after annealing at 500°C .



誌謝

在這兩年多的碩士生涯中，非常感謝我的兩位老師：邱碧秀教授及吳文發博士給我的教誨，不論是在研究上的指導或是實驗所需資源的提供，都給予了我相當大的幫助，在此致上我最深的謝意，也感謝鄭晃忠教授及黃調元教授在口試時的悉心指導與建議。

經過這些日子也深刻體認到，單靠我一人之力是絕對無法完成這份論文的，幸運的是我得到了許多人的幫助。感謝吳杼樺學姊、鄧至剛學長在我還很菜的時候帶領我做實驗及教我操作機台；感謝章緯學長在我實驗遇到困難時給我的大力協助，並且耐心解答我不懂的許多問題；感謝國家奈米元件實驗室各位工程師與操作員的幫忙，讓我的實驗能順利進行；感謝我的好同學民尚、東翰、哲瑋、俊良對我的關心與幫助，還有難忘的那段充滿歡樂的時光；感謝智傑學弟與明堃學長，我們認識的時間雖然比較短，但我需要幫忙的時候你們總是盡心盡力。需要感謝的人實在太多了，千恩萬謝道不盡心中的感激與謝意，您的恩惠我永遠銘記在心。

在這段既艱辛又充實的日子裡，父母與家人的支持與關懷一直是我前進的動力，有您們真好，希望有一天我也能成為您們心中的榮耀。

目 錄

中文摘要	i
英文摘要	iii
誌謝	v
目錄	vi
圖目錄	viii
表目錄	x
第一章 序論	1
1.1 研究背景簡介	1
1.2 金屬矽化物的應用	3
1.3 研究動機	6
1.4 論文架構	8
第二章 金屬—半導體接觸理論	9
2.1 蕭特基位障	9
2.2 蕭特基接面的整流效應	12
2.3 蕭特基接面的電流傳導機制	13
2.4 蕭特基位障高度調變	16



第三章 實驗流程與分析方法原理	17
3.1 試片製作流程	17
3.2 材料分析方法	22
3.3 電性量測分析	27
第四章 實驗結果與討論	29
4.1 非晶化佈植矽基板對退火後鍍聚集於矽化鎳表面的抑制	29
4.2 非晶化佈植對矽化鍍熱穩定性的影響	32
4.3 非晶化佈植對矽化鍍接面漏電流的影響	38
4.4 鎳、鍍堆疊結構形成金屬矽化物及蕭特基位障調變探討	41
第五章 結論與未來展望	53
參考文獻	54



圖目錄

圖 1.1	各技術節點可允許的最大源、汲極串聯電阻趨勢	2
圖 1.2	自我對準金屬矽化製程(a)製程起始於閘極已定義完成且氧化矽(或氮化矽)所構成的閘極側壁(spacer)也已建立的晶片(b)將欲形成金屬矽化物的金屬薄膜沈積於其上(c)以適當的熱退火製程處理(d)利用選擇性溼式蝕刻將未反應成金屬矽化物的金屬層去除	3
圖 1.3	橋接短路現象示意圖(a)矽為主要擴散物，擴散出去後與側壁(sidewall)上的金屬反應成金屬矽化物，而造成閘極與汲極短路(b)金屬為主要擴散物，不會與側壁反應	4
圖 1.4	蕭特基位障電晶體示意圖	5
圖 1.5	N 通道蕭特基位障電晶體在(a)通路狀態(on-state)(b)關閉狀態(off-state)下，源極沿通道至汲極之能帶圖	7
圖 2.1	金屬與 n 型半導體接觸前之能帶圖	10
圖 2.2	金屬 - n 型半導體接觸之能帶圖	11
圖 2.3	金屬 - p 型半導體接觸之能帶圖	11
圖 2.4	不同偏壓情況下，金屬與 n 型(左側)及 p 型(右側)半導體接觸之能帶圖(a)偏壓為零(熱平衡狀態)(b)順向偏壓(c)逆向偏壓	13
圖 2.5	金屬 - 半導體接面在順向偏壓下的五種電流傳導機制(1)熱離子發射(2)穿隧(3)複合(4)電子擴散(5)電洞擴散	14
圖 3.1	未圖案化之蕭特基接面製作流程	18
圖 3.2	圖案化之蕭特基接面製作流程	21
圖 3.3	圖案化之蕭特基接面剖面圖	21
圖 3.4	X 光經晶體繞射示意圖	22
圖 3.5	四點探針量測原理示意圖	23
圖 3.6	歐傑電子產生原理示意圖	26

圖 4.1	退火後鎢原子分佈在矽化鎳表面之過程示意圖(a)金屬沉積完成(b)退火時矽化鎢孔洞缺陷形成，鎢原子往矽基板擴散(c)矽化鎢下方形成矽化鎢	30
圖 4.2	TiN/Ni(10nm)/Yb(10nm)/p-Si 經 550°C、30 秒退火後之 AES 縱深成份分析(a)矽基板未經非晶化佈植(b)矽基板經 N ₂ ⁺ 非晶化佈植	31
圖 4.3	不同非晶化佈植條件與退火溫度形成矽化鎢之片電阻分析	33
圖 4.4	未經非晶化佈植之矽化鎢薄膜 X 光繞射圖	34
圖 4.5	未經非晶化佈植 600°C 退火後矽化鎢薄膜之光學顯微鏡表面觀察	34
圖 4.6	(a)N ₂ ⁺ (b)F ⁺ 非晶化佈植後 600°C 退火形成矽化鎢薄膜之光學顯微鏡表面觀察，佈植條件皆為能量 10KeV，劑量 5×10 ¹⁵ cm ⁻²	35
圖 4.7	(a)N ₂ ⁺ (b)F ⁺ 非晶化佈植後 600°C 退火形成矽化鎢薄膜之 SEM 表面觀察，佈植條件皆為能量 10KeV，劑量 5×10 ¹⁵ cm ⁻²	36
圖 4.8	F ⁺ 離子非晶化佈植後形成矽化鎢之 X 光繞射圖	37
圖 4.9	N ₂ ⁺ 離子非晶化佈植後形成矽化鎢之 X 光繞射圖	38
圖 4.10	500°C 退火形成矽化鎢界面之漏電流分析	39
圖 4.11	600°C 退火形成矽化鎢界面之漏電流分析	40
圖 4.12	700°C 退火形成矽化鎢界面之漏電流分析	40
圖 4.13	不同鎢、鎢堆疊結構對金屬矽化物熱穩定性的影響	42
圖 4.14	TiN/Ni(5nm)/Yb(15nm)500°C 退火後之 SIMS 縱深成份分析	43
圖 4.15	TiN/Ni(10nm)/Yb(10nm)500°C 退火後之 SIMS 縱深成份分析	43
圖 4.16	TiN/Ni(15nm)/Yb(5nm)500°C 退火後之 SIMS 縱深成份分析	44
圖 4.17	N ₂ ⁺ 非晶化佈植(劑量 1×10 ¹⁵ cm ⁻²)，沉積 TiN/Ni(10nm)/Yb(10nm)550°C 退火 30 秒後之 TEM 及 EDS 分析	45
圖 4.18	未經離子非晶化佈植，沉積 TiN/Ni(10nm)/Yb(10nm)550°C 退火 30 秒後之 TEM 及 EDS 分析	46

圖 4.19	TiN/Ni(20nm)退火形成蕭特基二極體之 J-V 關係圖	48
圖 4.20	TiN/Ni(15nm)/Yb(5nm)退火形成蕭特基二極體之 J-V 關係圖	49
圖 4.21	TiN/Ni(10nm)/Yb(10nm)退火形成蕭特基二極體之 J-V 關係圖	50
圖 4.22	TiN/Ni(5nm)/Yb(15nm)退火形成蕭特基二極體之 J-V 關係圖	51
圖 4.23	TiN/Yb(20nm)退火形成蕭特基二極體之 J-V 關係圖	52

表目錄

表 1.1	低 ϕ_{bn} 或低 ϕ_{bp} 之金屬矽化物的特性比較	7
表 4.1	鎢與鎳在矽中的擴散係數 ($D = D_0 e^{-E_a/kT}$) 與機制	29
表 4.2	N_2^+ 與 F^+ 非晶化佈植退火形成矽化鎢界面之漏電流 J_A 比較	41
表 4.3	TiN/Ni(20nm)不同溫度退火形成蕭特基二極體之 ϕ_{bn} 比較	48
表 4.4	TiN/Ni(15nm)/Yb(5nm)不同溫度退火形成蕭特基二極體之 ϕ_{bn} 比較	49
表 4.5	TiN/Ni(10nm)/Yb(10nm)不同溫度退火形成蕭特基二極體之 ϕ_{bn} 比較	50
表 4.6	TiN/Ni(5nm)/Yb(15nm)不同溫度退火形成蕭特基二極體之 ϕ_{bn} 比較	51
表 4.7	TiN/Yb(20nm)不同溫度退火形成蕭特基二極體之 ϕ_{bn} 比較	52

第一章

序論

1.1 研究背景簡介

自 1958 年積體電路(integrated circuit, IC)被發明之後，由於成本低、性能高且能量消耗低，使得電子產業開始蓬勃發展，成為現代科技產業的主流，其中金屬-氧化物-半導體場效電晶體，簡稱金氧半場效電晶體(metal-oxide-semiconductor field-effect transistor, MOSFET)，是現今積體電路中重要的核心元件。

隨著積體電路發展的趨勢，金氧半場效電晶體元件尺寸持續向下微縮，以達到更高的密度以降低製造成本與增進晶片效能，由1970年代的10微米逐漸微縮至今日(2010年)的28奈米，根據國際半導體技術藍圖(International Technology Roadmap for Semiconductors, ITRS)的預測，在2021年時元件的閘極尺寸(physical gate length)可能微縮至10奈米以下[1]。當電晶體縮小而閘極變短時，在閘極下方被其控制的電流通道長度(channel length)必將隨之縮短，然而，當通道縮短到源極(source)接面與汲極(drain)接面的空乏區寬度(depletion width)總和幾乎等於通道長度時，將造成兩空乏區連結而引發貫穿效應(punch through effect)，使基板穿隧電流急遽上升，元件電性嚴重失常，此即為短通道效應(short channel effect)產生的現象之一。因此不僅是閘極與通道長度，源、汲極接面深度也需依微縮因子(scaling factor, κ)同時縮

小，才能改善短通道效應所帶來的問題，但接面深度縮小將導致源、汲極寄生串聯電阻(series resistance)上升而使元件的操作電流降低，成為阻礙微縮的因素。此外，通道長度縮短也意味著源、汲極部分的串聯電阻對操作電流大小的影響更加關鍵，故如何在元件尺寸不斷微縮之際進一步降低源、汲極部分的寄生串聯阻抗，是目前非常重要的研究課題。

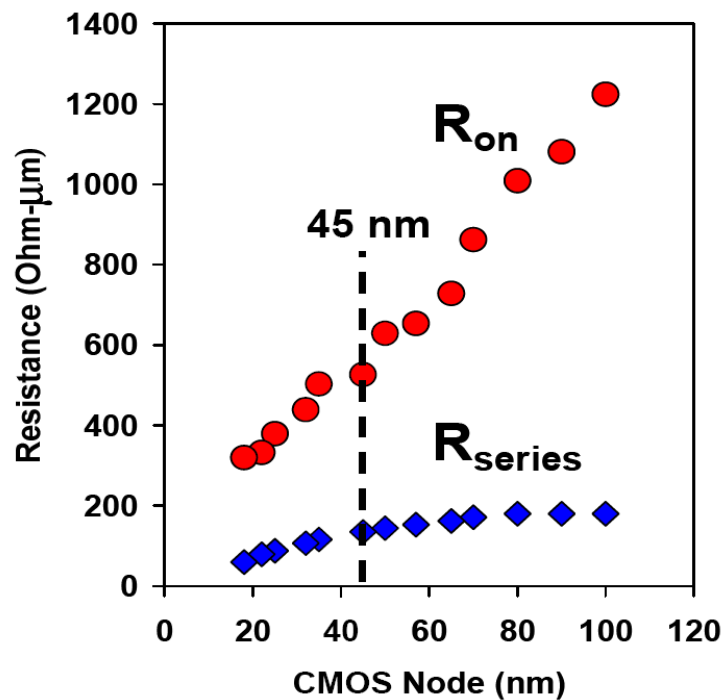


圖 1.1 各技術節點可允許的最大源、汲極串聯電阻趨勢[2]。

1.2 金屬矽化物的應用

近年來，為了增進元件的工作效能，金屬矽化物(metal silicides)於積體電路製程上的應用已越來越普遍，其主要的的原因是金屬矽化製程(圖1.2)有自我對準(self-aligned)的功能[3][4]，不需要透過微影的過程定義圖形且可使導線和矽基板的接觸(contact hole)面積增大，降低寄生串聯電阻，加上金屬矽化物本身具有很低的電阻率(resistivity)，能有效降低閘極之片電阻和源、汲極接面接觸電阻，進而提高元件的驅動電流，增加電路操作速度[5]。

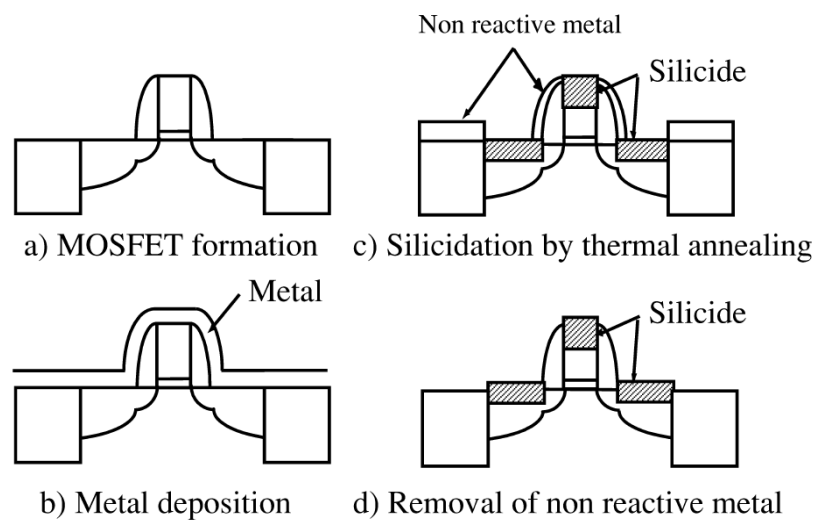


圖 1.2 自我對準金屬矽化製程(a)製程起始於閘極已定義完成且氧化矽(或氮化矽)所構成的閘極側壁(spacer)也已建立的晶片(b)將欲形成金屬矽化物的金屬薄膜沈積於其上(c)以適當的熱退火製程處理(d)利用選擇性溼式蝕刻將未反應成金屬矽化物的金屬層去除[4]。

矽化鈦(TiSi_2)是半導體工業早期最常使用的金屬矽化物，Ti和Si經兩階段退火後可反應成低電阻率($10\sim 15\mu\Omega\text{-cm}$)C-54相位的 TiSi_2 ，且熱穩定性良好，但當線寬縮小時有兩個問題產生，其一，矽化鈦在矽化過程中，矽為主要擴散物，所以會造成橋接(bridging)短路的現象(圖1.3)；其二，窄線寬導致 TiSi_2 無法由高電阻率($60\sim 70\mu\Omega\text{-cm}$)的C-49相位轉換成低電阻率的C-54相位，因而產生所謂的窄線寬效應(narrow-line-width effect)[6]。於是後來在 $0.18\mu\text{m}$ 線寬以下便以 CoSi_2 取代 TiSi_2 ，因其電阻率與 TiSi_2 相當($\sim 18\mu\Omega\text{-cm}$)，且無橋接短路現象與窄線寬效應，然而其主要缺點為當鈷在進行矽化反應時會消耗掉較多的矽原子($\text{Co}:\text{Si}\doteq 1:3.6$)，不利於超淺接面的應用。

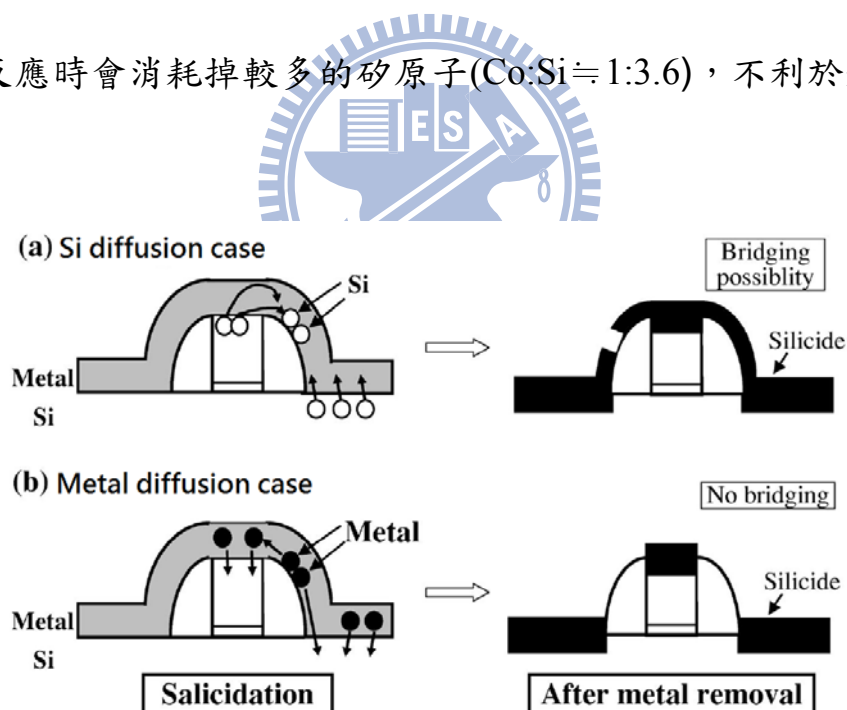


圖 1.3 橋接短路現象示意圖(a)矽為主要擴散物，擴散出去後與側壁(sidewall)上的金屬反應成金屬矽化物，而造成閘極與汲極短路(b)金屬為主要擴散物，不會與側壁反應[4]。

目前最受重視的金屬矽化物材料為矽化鎳(NiSi)，其優點有(1)電阻率很低(14~20 $\mu\Omega\text{-cm}$)，(2)可低溫形成(350 $^{\circ}\text{C}$)，(3)反應時消耗的Si少(Ni:Si \approx 1:1.8)，合於超淺接面的需求，(4)無窄線寬效應，(5)只需一階段退火(one-step annealing)即可形成，(6)薄膜的應力(film stress)小，(7)鎳的擴散速度較矽快，不會造成橋接短路的現象。

在傳統金氧半場效電晶體的製作過程中，一般使用離子植入進行源、汲極的雜質摻雜，後續再以高溫(高於 1000 $^{\circ}\text{C}$)的熱退火步驟(annealing)修補晶體的損傷以及活化摻雜物。而當元件微縮至 50nm 以下時，高溫退火所造成的雜質橫向擴散，對等效通道長度(effective channel length)將會有重大影響，進而造成臨界電壓(threshold voltage)的改變及其他更嚴重的短通道效應[7]。因此，金屬矽化物形成源、汲極接面的蕭特基位障電晶體(Schottky barrier MOSFET)(圖 1.4)遂成為未來奈米級元件可能的結構之一[8]-[10]。

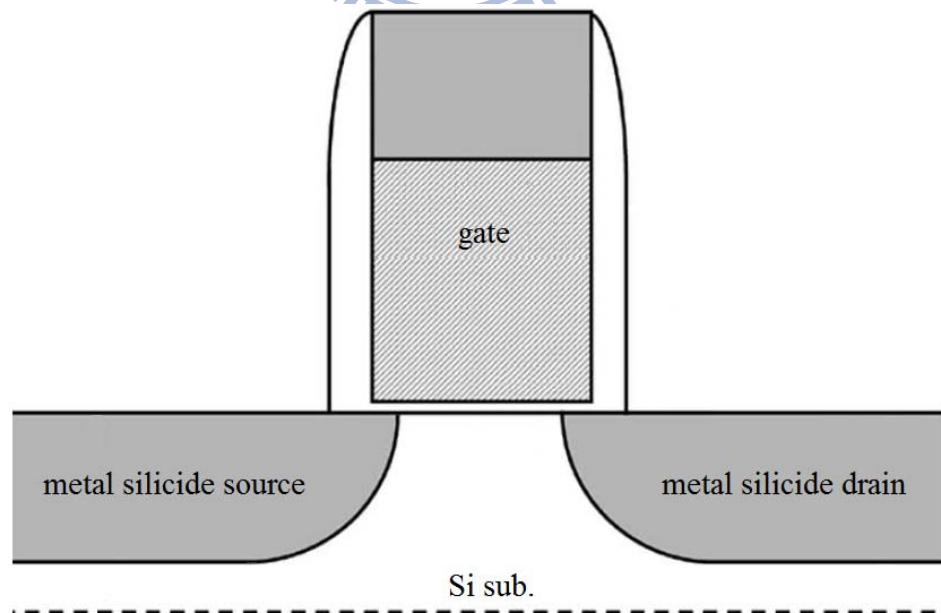


圖 1.4 蕭特基位障電晶體示意圖。

1.3 研究動機

利用金屬矽化物形成源、汲極界面雖能降低串聯阻抗、減少製程熱預算、形成陡峭界面以利於元件微縮，但是由於蕭特基位障高度的限制，必須面對元件在通路狀態(on-state)的源極電流阻抗與關閉狀態(off-state)的汲極漏電流等問題，如圖1.5所示，通路狀態時電子從源極的注入與關閉狀態時電洞從汲極的注入皆受到蕭特基位障高度 ϕ_b 的影響(蕭特基接面的能帶圖將在第二章做說明)。

所以對N通道蕭特基位障電晶體而言，降低電子的蕭特基位障高度 ϕ_{bn} 有助於提升操作電流並抑制漏電流的產生，而P通道蕭特基位障電晶體則需降低電洞的蕭特基位障 ϕ_{bp} 。表1.1列出擁有低 ϕ_{bn} 或低 ϕ_{bp} 之金屬矽化物的特性比較[11]， T_f 為金屬矽化物生成溫度，DSS代表形成矽化物時的主要擴散物(dominant diffusion species)，其中矽化鉑(PtSi)之 ϕ_{bp} 相當低，以其做為源、汲極材料的P通道蕭特基位障電晶體能得到不錯的電性表現[12][13]，釔(Y)、釓(Gd)、錫(Tb)、鐳(Dy)、欽(Ho)、鉺(Er)、鐳(Yb)皆為低功函數之稀土金屬，形成矽化物後與n型矽間的蕭特基位障 ϕ_{bn} 較小，尤其以 YbSi_{2-x} 之 ϕ_{bn} 最低，且生成溫度也不高，因此矽化鐳做為N通道蕭特基位障電晶體源、汲極的材料是近年來的研究重點[14][15]，但稀土金屬矽化物表面形態的孔洞(pinhole)缺陷使電性劣化是其應用上的主要問題[16]。

諸多優點顯示矽化鎳(NiSi)非常適合於先進奈米互補式金氧半場效電晶

體製程上的應用，但仍需針對P通道或N通道蕭特基電晶體調變其位障高度，以降低接觸阻抗及抑制漏電流[17]。已有相關研究嘗試利用稀土金屬降低矽化鎳與矽間的蕭特基位障高度 ϕ_{bn} [18]-[20]，但在加熱退火後卻發現大部分稀土金屬原子分佈在矽化物表面而非堆積於矽化鎳與矽之間，使調變蕭特基位障的效果打折扣。

本研究運用鎳與鎂兩種材料的堆疊結構，並以非晶化離子佈植矽基板企圖抑制退火後鎂原子聚集在矽化鎳表面的現象，來調變矽化鎳與矽接面的蕭特基位障高度，期望能製作出同時具備低片電阻與低接觸電阻的蕭特基界面。

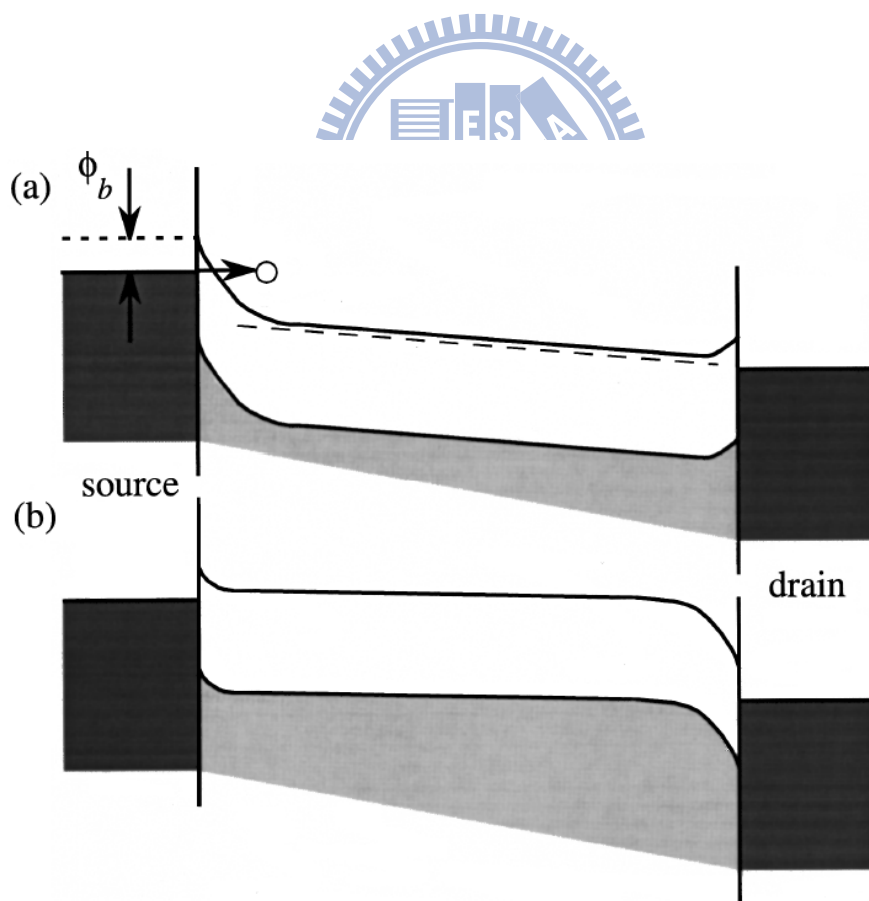


圖 1.5 N通道蕭特基位障電晶體在(a)通路狀態(on-state)(b)關閉狀態(off-state)下，源極沿通道至汲極之能帶圖[8]。

Silicide	ϕ_{bn} (eV)	ϕ_{bp} (eV)	ρ ($\mu\Omega$ cm)	T_f ($^{\circ}$ C)	DDS
OsSi ₁₈	0.85	...	?	450–500	Si
IrSi	0.93	...	500	400–550	Si
Ir ₃ Si ₅	0.85	...	4000	500–1000	Si
Pt ₂ Si	0.85	...	14–16	200–300	Si and Pt
PtSi	0.88	0.21	28–35	300–500	Si and Pt
IrSi ₃	...	0.94	350–580	1000	Si
YSi ₂	0.39 ± 0.03	...	69	400	Si
GdSi _{2-x}	0.37 ± 0.02	0.71 ± 0.03	263	300–400	Si
TbSi _{2-x}	0.38	0.74	90	350	Si
DySi _{2-x}	0.37 ± 0.02	0.73 ± 0.03	250–380	300	Si
HoSi _{2-x}	0.37 ± 0.02	...	220–250	300	Si
ErSi _{2-x}	0.39 ± 0.02	0.70 ± 0.02	30	300–350	Si
YbSi _{2-x}	0.27	0.85	34	350	Si
NiSi	0.65	0.45	10.5–15	250–400	Ni

表 1.1 低 ϕ_{bn} 或低 ϕ_{bp} 之金屬矽化物的特性比較[11]。

1.4 論文架構

本論文共有五個章節：第一章為序論，包含金屬矽化物與蕭特基位障電晶體的文獻回顧及研究動機；第二章為理論介紹，針對金屬與半導體接觸及蕭特基界面電流傳導機制做簡單的說明；第三章為實驗步驟與分析方法原理，包含未圖案化之蕭特基界面及鎳鏡堆疊蕭特基二極體的製作和材料分析及電性量測的部份；第四章為實驗結果與討論，針對非晶化佈植對蕭特基界面的熱穩定性及漏電流的影響加以探討，並利用鎳鏡堆疊蕭特基二極體的電特性求得蕭特基位障高度；最後，第五章為結論與未來展望，總結本論文的成果並提出日後可能的研究方向。

第二章

金屬－半導體接觸理論

2.1 蕭特基位障[21]

金屬－半導體界面又稱為蕭特基界面(Schottky junction)。西元1874年，Braun發現金屬－半導體界面有整流現象，並提出點接觸的相關研究。Schottky和Mott兩人隨後於1938年對金屬－半導體界面的整流特性分別提出完整的理論，Schottky認為固定的空間電荷造成金屬和半導體界面處有一位障存在，整流現象可由電子的擴散、遷移而克服位障來加以解釋，基於此模型的位障就稱為蕭特基位障(Schottky barrier)；而Mott認為這種位障是由金屬與半導體之功函數(work function)差異所產生，推導出更適合的理論模型。1942年，Bethe進一步提出熱電子發射理論(thermionic emission theory)，成功解釋金屬－半導體界面的電性行為，蕭特基界面的理論模型便從此確立。

從能帶圖的觀點來探討，就能瞭解當金屬跟半導體接觸時，蕭特基位障如何產生。對一個功函數比金屬小的n型半導體，若一開始彼此分開且皆為電中性，能帶圖將如圖2.1所示， ϕ_m 和 ϕ_s 分別為金屬和半導體的功函數，定義為費米能階(Fermi level, E_F)和真空能階(vacuum level, E_0)之間的差(電子由內部逃逸到真空中所需的最小能量)； χ 為半導體的電子親和力

(electron affinity)，它是半導體的導電帶(conduction band, E_C)與真空能階之間的能量差。當金屬與半導體緊密接觸後，由於在熱平衡時兩種不同材料的費米能階應該相等，且真空能階也必須連續，在理想的狀態下，其能帶圖如圖2.2所示， $q\phi_{Bn}$ 代表對電子而言的位障高度，為金屬功函數與半導體電子親和力的差，表示金屬中的電子要跳到半導體去需要克服一個能量；而 V_{bi} 為電子由半導體導電帶上欲進入金屬時將看到的內建電位(build-in potential)。金屬-p型半導體接觸的情況完全類似，最大相異之處為p型半導體的功函數 $q\phi_s$ 必須大於金屬的功函數 $q\phi_m$ ，才符合蕭特基界面成立的條件，能帶圖如圖2.3所示。在理想條件下，對任一金屬與半導體的結合，n型半導體與p型半導體上之位障高度總和恰與該半導體之能隙(bandgap, E_g)相等，也就是下列關係式：

$$q(\phi_{Bn} + \phi_{Bp}) = E_g \quad (2.1)$$

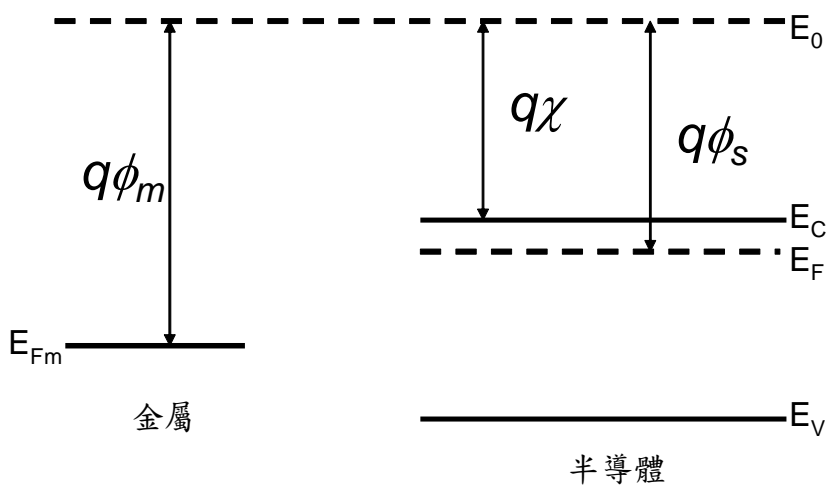


圖 2.1 金屬與n型半導體接觸前之能帶圖。

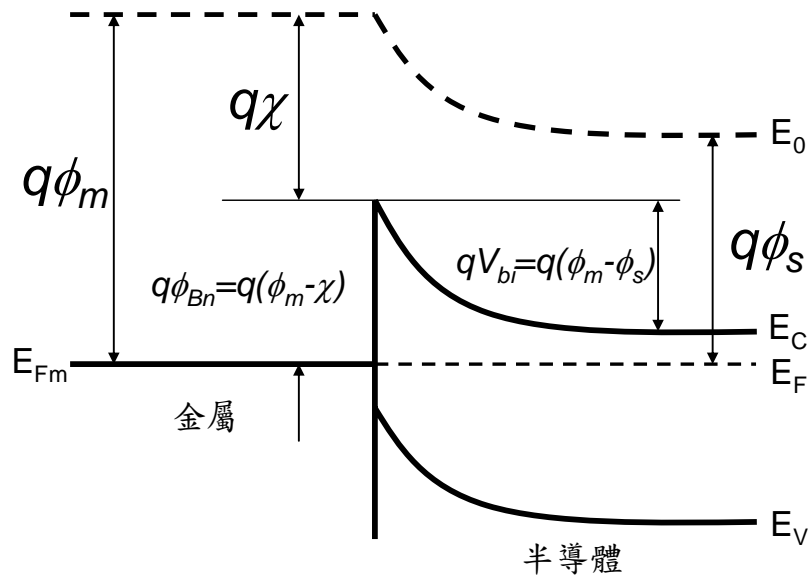


圖 2.2 金屬—n型半導體接觸之能帶圖。

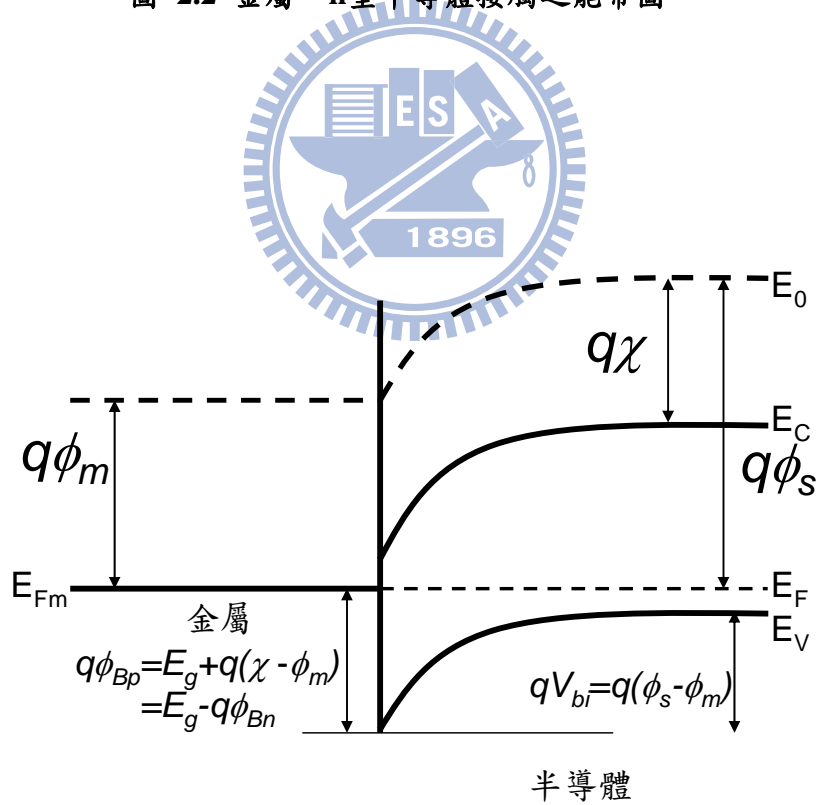


圖 2.3 金屬—p型半導體接觸之能帶圖。

2.2 蕭特基接面的整流效應

以上所討論的是平衡狀態下的蕭特基接觸，若在金屬與半導體端加上電壓，由於位障高度的存在，順向偏壓與逆向偏壓將產生大小不同的電流，此即為蕭特基接面的整流效應。首先考慮金屬和n型半導體接觸，若在金屬端加正電壓，n型半導體端加負電壓，電子由半導體導電帶進入金屬時看到的位障高度將降低，此為順向偏壓的情況，如圖2.4(b)左側所示，使半導體流向金屬的電子大幅增加，而從金屬往半導體的電子流則為很小的數值，兩相疊加後剩下n型半導體流向金屬的大電子流，成為蕭特基接面的正向電流。若是逆向偏壓的情況，即金屬端加負電壓，n型半導體端加正電壓，電子由半導體往金屬方向的位障高度增高，如圖2.4(c)左側所示，使電子更難從半導體進入金屬，結果從半導體流向金屬的電子流減小到趨近於零，而從金屬往半導體的電子流依然為很小的數值，這就是蕭特基接面的反向電流。對金屬和p型半導體接觸而言，也有相似的情況，如圖2.4右側所示，但極性和n型半導體所述相反。

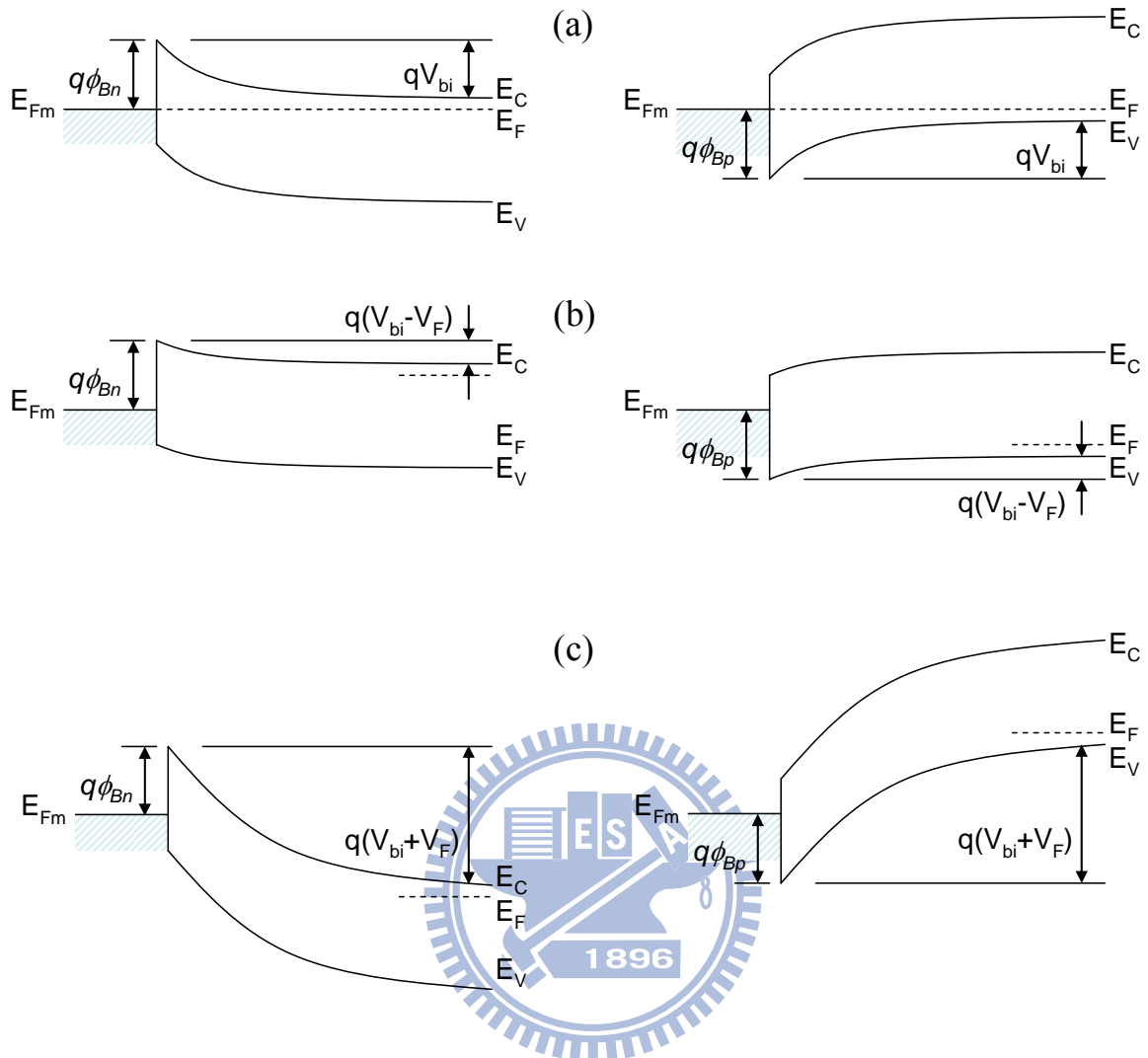


圖 2.4 不同偏壓情況下，金屬與n型(左側)及p型(右側)半導體接觸之能帶圖(a)偏壓為零(熱平衡狀態)(b)順向偏壓(c)逆向偏壓。

2.3 蕭特基接面的電流傳導機制

不同於p-n接面藉由少數載子(minority carrier)進行電流傳導，蕭特基接面的電流傳輸現象主要是藉由多數載子(majority carrier)來完成。圖2.5顯示在順向偏壓下，蕭特基接面的五種電流傳輸機制：(1)半導體中的電子具有足夠的熱能量得以超越介面位障而發射進入金屬，稱為熱離子發射(thermionic emission, TE)，對於輕度摻雜的半導體(例如 $N_D \leq 10^{17} \text{cm}^{-3}$ 之矽)

且操作於室溫下(約300K)，此機制產生的電流為蕭特基接面的主要電流來源；(2)電子經由量子力學之穿隧效應(tunneling)而穿透位障進入金屬；(3)由金屬注入的電洞在空乏區與半導體中的電子複合(recombination)；(4)空乏區中電子的擴散；(5)由金屬注入的電洞擴散至半導體內，並在中性區與電子複合。

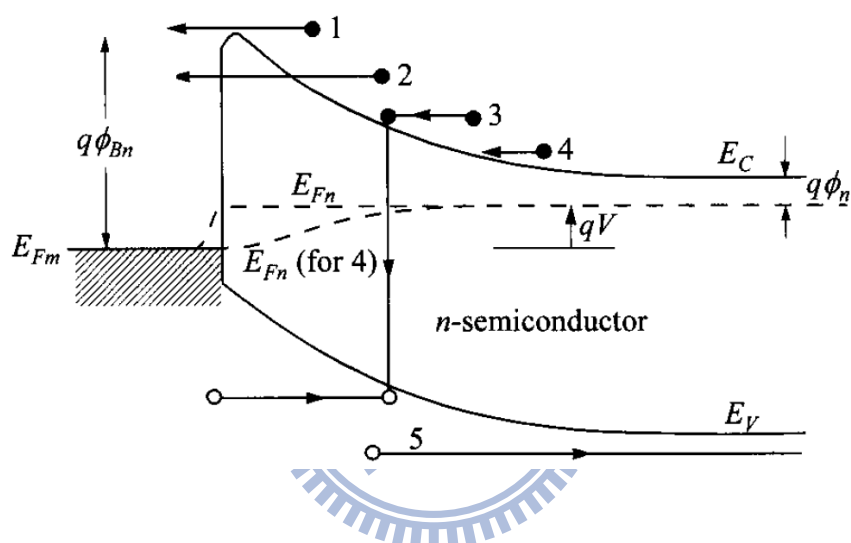


圖 2.5 金屬—半導體界面在順向偏壓下的五種電流傳導機制(1)熱離子發射(2)穿隧(3)複合(4)電子擴散(5)電洞擴散[21]。

在一般狀況下，可以透過熱離子發射機制適當描述蕭特基接面的電流傳輸。首先考慮電子由半導體到金屬所產生的電流密度 $J_{s \rightarrow m}$ ，只有能量超過位障高度的電子才對正向電流有貢獻，符合條件的電子數目為

$$n = N_C \exp\left[\frac{-q(\phi_{Bn} - V)}{kT}\right] \quad (2.2)$$

根據Maxwellian的速率分佈，載子隨機移動穿過平面而形成的電流為

$$J = nq \frac{v_{ave}}{4} \quad (2.3)$$

其中 v_{ave} 為平均熱速率

$$v_{ave} = \sqrt{\frac{8kT}{\pi m^*}} \quad (2.4)$$

將式(2.2)和(2.4)代入式(2.3)可得

$$\begin{aligned} J_{s \rightarrow m} &= \frac{4(kT)^2 q \pi m^*}{h^3} \exp\left[\frac{-q(\phi_{Bn} - V)}{kT}\right] \\ &= A^* T^2 \exp\left(-\frac{q\phi_{Bn}}{kT}\right) \exp\left(\frac{qV}{kT}\right) \end{aligned} \quad (2.5)$$

其中



$$A^* = \frac{4\pi q m^* k^2}{18h^3} \quad (2.6)$$

為理查森常數(Richardson's constant)，單位是A/cm²-K²。由於電子從金屬到半導體所看到的位障高度不會改變，故產生的電流 $J_{m \rightarrow s}$ 不受施加電壓大小的影響，其值必等於熱平衡狀態下的 $J_{s \rightarrow m}$ ，由式(2.5)以 $V=0$ 帶入可得

$$J_{m \rightarrow s} = -A^* T^2 \exp\left(-\frac{q\phi_{Bn}}{kT}\right) \quad (2.7)$$

由式(2.5)及(2.7)之和可得熱離子發射機制的電流關係式為

$$\begin{aligned}
J &= A^* T^2 \exp\left(-\frac{q\phi_{Bn}}{kT}\right) \left[\exp\left(\frac{qV}{kT}\right) - 1 \right] \\
&= J_s \left[\exp\left(\frac{qV}{kT}\right) - 1 \right]
\end{aligned} \tag{2.8}$$

其中

$$J_s = A^* T^2 \exp\left(-\frac{q\phi_{Bn}}{kT}\right) \tag{2.9}$$

定義為飽和電流密度。

2.4 蕭特基位障高度調變

為了使蕭特基位障高度符合低接觸電阻目標的要求，近年來有不少研究專注於介面蕭特基位障高度調變，主要可分為以下幾種方法：(1)在金屬與矽之間插入一超薄絕緣層[22]，能夠阻絕介面層的跨越電位，卻又不致影響電流載子的傳輸，因此超薄絕緣層厚度的控制有其困難度；(2)利用Se或S鈍化矽的表面態位(surface state)[23]，使位於介面的費米能階不會被釘札(pin)住，但此方法只能降低 ϕ_{Bn} ；(3)在金屬與矽之間引入一高濃度摻雜的薄層[24]，形成介面電偶極(interfacial dipole)，造成能帶彎曲以達調變蕭特基位障高度的效果，可能需增加高溫退火製程；(4)在金屬與矽之介面形成另一薄金屬層，藉以調變蕭特基位障高度，本研究主要使用此方法。

第三章

實驗流程與分析方法原理

3.1 試片製作流程

本研究的所有製程均在國家奈米元件實驗室(National Nano Device Laboratories, NDL)新竹廠中進行。首先使用不同的離子(F^+ , N_2^+)對矽晶圓表面進行非晶化佈植(pre-amorphization implants, PAI)，並搭配未經佈植的對照組來探究非晶化佈植對後續形成之金屬矽化物及其界面所帶來的影響。之後選出較佳的佈植條件，應用於鎳鏡合金蕭特基界面，並計算其蕭特基位障高度。未圖案化的試片主要提供材料分析之用，而經圖案化的試片則提供於電性量測分析。

(I) 未圖案化之蕭特基界面

試片採用p型六吋矽晶片，晶格方向 $\langle 100 \rangle$ ，阻值介於 $15\sim 25\Omega\text{-cm}$ 之間。首先將所有的晶圓以雷射刻號機刻號，方便日後辨別，刻號完成後將晶圓放入清洗蝕刻工作站之氨水槽(SC-1 tank)浸泡600秒以去除刻號時所產生的微粒(particle)。要進行表面非晶化的晶圓則使用中電流離子佈植機做能量10KeV劑量 $5\times 10^{15}\text{ cm}^{-2}$ 的 F^+ 離子佈植及能量10KeV劑量 $1\times 10^{15}\text{ cm}^{-2}$ 或 $5\times 10^{15}\text{ cm}^{-2}$ 的 N_2^+ 離子佈植。

接著進入金屬矽化製程的部分。先將晶圓放入氫氟酸槽浸泡60秒去除表面的原生氧化層(native oxide)，並按照標準清洗步驟(STD clean)去除晶圓表面的雜質，流程為氨水槽600秒→去離子水沖洗→鹽酸槽600秒→去離子水沖洗，最後再浸泡氫氟酸槽60秒，清洗完立刻送進多層金屬濺鍍系統內做抽真空動作，盡量避免原生氧化層在晶圓表面形成而影響金屬矽化物的品質。沉積金屬的厚度條件有下列五種：TiN/Yb(20nm)、TiN/Ni(5nm)/Yb(15nm)、TiN/Ni(10nm)/Yb(10nm)、TiN/Ni(15nm)/Yb(5nm)、TiN/Ni(20nm)，TiN厚度皆為20nm，做為隔絕下層金屬與氧接觸之覆蓋層[25][26]。之後利用金屬快速退火爐做400°C~900°C 30秒的一階段退火形成金屬矽化物，再使用後段清洗蝕刻工作站之硫酸槽去除TiN及未反應的金屬。

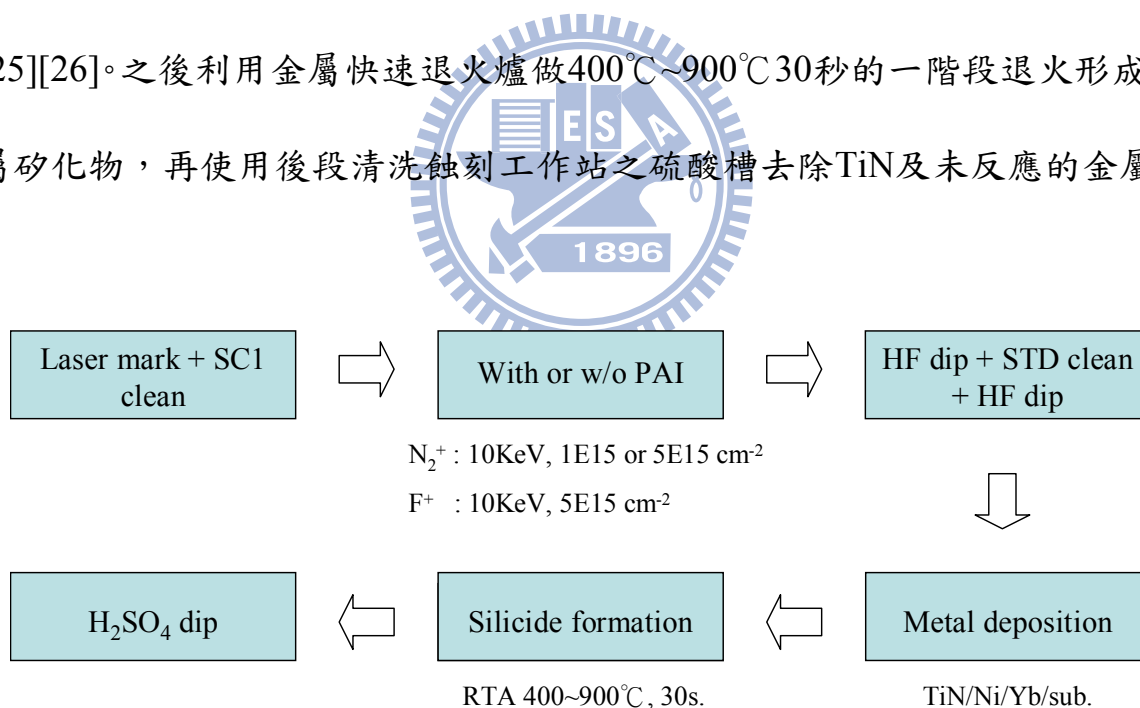


圖 3.1 未圖案化之蕭特基界面製作流程。

(II) 圖案化之蕭特基界面

圖案化的部份，本研究使用局部氧化(LOCOS)作主動區(active area)之間

的隔絕。首先將所有的晶圓以雷射刻號機刻號，完成後將晶圓放入清洗蝕刻工作站之氨水槽浸泡600秒去除刻號時產生的微粒。

接著將晶圓放入氫氟酸槽(HF tank)浸泡60秒去除表面的原生氧化層(native oxide)，並按照標準清洗步驟去除晶圓表面的雜質，最後再浸泡氫氟酸槽60秒，清洗完成後隨即進入高溫常壓水平爐管以乾式氧化法成長襯墊氧化層(pad oxide)350Å，做井佈植(well implant)之前置工作，保護晶圓表面減少轟擊缺陷。

之後使用中電流離子佈植機做井佈植，植入之離子為 BF_2^+ ，佈植能量為70KeV，劑量為 $1.2 \times 10^{13} \text{ cm}^{-2}$ ，目的是要將晶圓之背景濃度調整一致。佈植完後將晶圓做標準清洗，再送入高溫常壓水平爐管通入氧氣進行井形成之動作，在此二氧化矽之生成有助於加速離子的擴散，最後再用二氧化矽蝕刻液(B.O.E.)將之完全去除，注意晶圓表面不沾水即可。

完成以上流程後，即可開始形成局部場氧化層(field oxide)。首先將晶圓做標準清洗與浸泡氫氟酸，再送入高溫常壓水平爐管以乾式氧化法成長襯墊氧化層(pad oxide)200Å，完成後馬上轉管至低壓化學氣相沉積(LPCVD)水平爐管成長氮化矽(silicon nitride)1500Å。在此襯墊氧化層用來緩衝氮化矽在矽表面所產生的應力，氮化矽則是當遮蔽層(masking layer)阻擋氧分子穿透，因此只有未被氮化矽覆蓋的區域下才會形成場氧化層。

接著進入微影(lithography)將主動區定義完成，微影時所採用的設備是

Track自動化光阻塗佈及顯影系統以及I-line光學步進機，以光學顯微鏡確認光阻圖案無誤後，將露出之氮化矽用乾式蝕刻去除留下底層二氧化矽，再以離子佈植做通道阻絕(channel stop)，幫助相鄰主動區的絕緣，佈植離子為 BF_2^+ ，能量120 KeV，劑量 $4 \times 10^{13} \text{ cm}^{-2}$ 。

之後將主動區上覆蓋之光阻去除，做標準清洗與浸泡氫氟酸後，送入濕式氧化高溫常壓水平爐管中進行場氧化層5500Å的成長，形成LOCOS結構，成長完後將晶圓浸泡氫氟酸60秒，使氮化矽表面之二氧化矽剝落，再將晶圓浸泡至熱磷酸內60分鐘，將晶圓上之氮化矽完全清除。最後送入高溫常壓水平爐管以乾式氧化法成長犧牲氧化層(sacrificial oxide)300Å再立刻浸泡氫氟酸300秒剝除，以去除白帶效應(white ribbon effect)，LOCOS製程至此結束。

要進行表面非晶化的晶圓則使用中電流離子佈植機做能量10KeV劑量 $5 \times 10^{15} \text{ cm}^{-2}$ 的 F^+ 離子或 N_2^+ 離子佈植，金屬矽化製程的步驟與製作未圖案化之蕭特基界面相同。最後在晶圓背面沉積TiN(100nm)/Al-Si-Cu(600nm)做為試片的背電極。

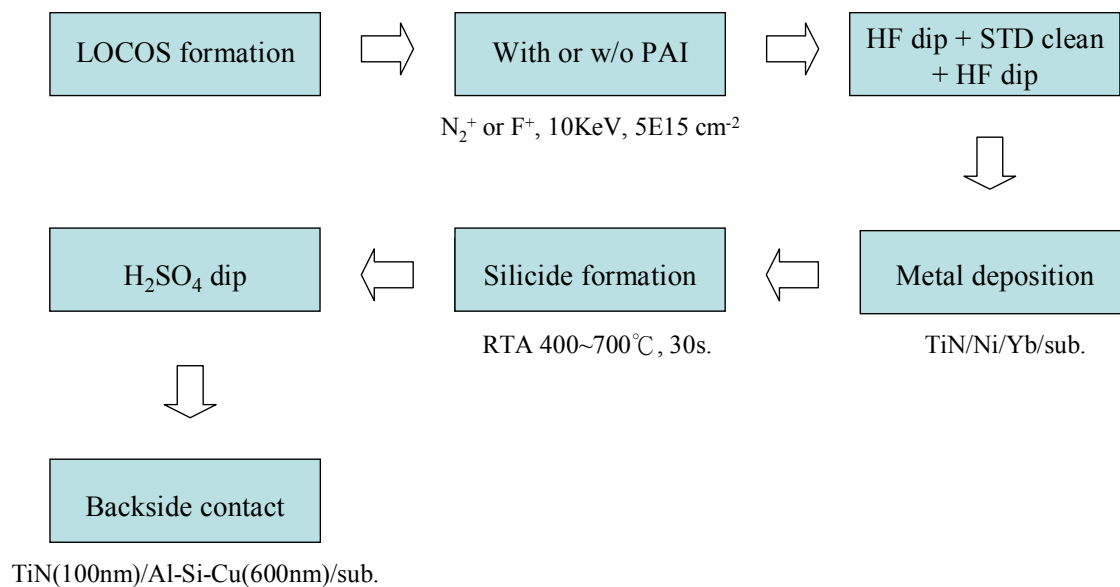


圖 3.2 圖案化之蕭特基接面製作流程。

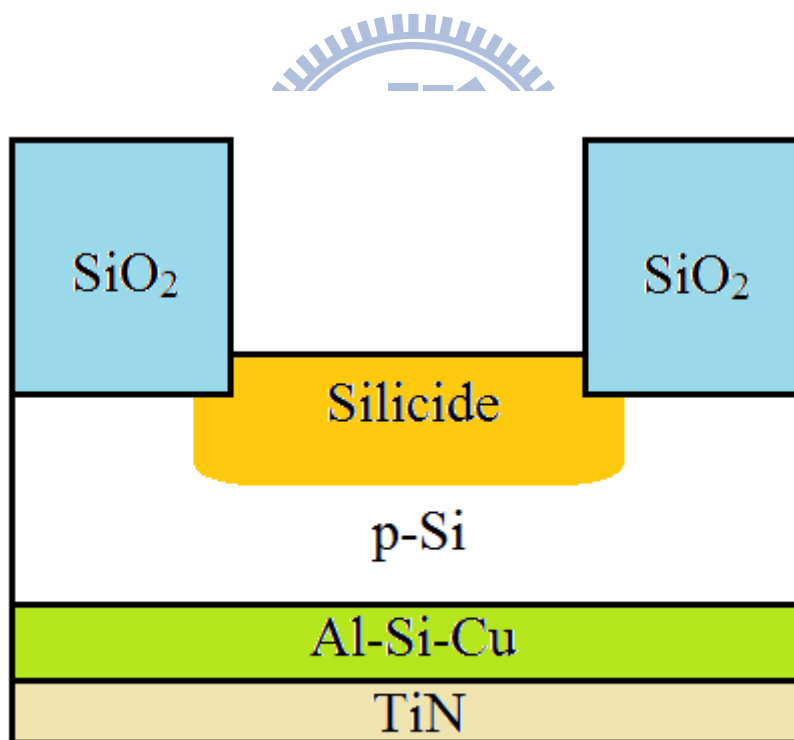


圖 3.3 圖案化之蕭特基接面剖面圖。

3.2 材料分析方法[27][28]

(I)X光繞射分析(X-ray Diffraction, XRD)

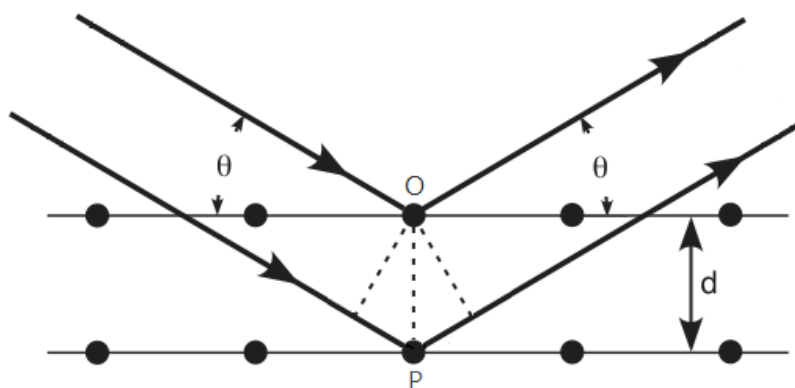


圖 3.4 X光經晶體繞射示意圖。

當X光(波長為 λ)以一角度 θ 照射在一晶體表面時(如圖3.4)，入射之X光與O和P處的原子作用而造成散射，若 θ 角符合布拉格公式(Bragg's equation)：

$$n\lambda = 2d \sin \theta \quad (3.1)$$

其中 n 為整數，則發生建設性干涉，產生繞射圖形。透過X光繞射儀可得到繞射光譜，由其中繞射峰的位置(以 θ 或 2θ 表示)很容易就能利用布拉格公式計算出晶格平面間距 d ，而繞射峰的強度則與每組平面的原子反射中心的數目與種類有關。因此，每個晶體物質都有其獨特的繞射光譜，若未知物與已知物的繞射光譜能完全匹配，則二者可認定含相同化學成分，故能據此來定性鑑定晶體化合物。一般是將未知物質之繞射光譜與國際性粉末繞射標準委員會(Joint Committee on Powder Diffraction Standards, JCPDS)所建立的資料使用Hanawalt方法進行鑑定，若未知物中含有兩種以上的晶體化合

物，鑑定流程就會較為複雜，目前已可用電腦搜尋系統來協助進行比對鑑定。

本研究使用的X光繞射儀機型為PANalytical X'Pert Pro，銅靶產生之射線 $K\alpha$ 波長為 1.54\AA 。儀器之操作條件：電壓 45kV ，電流 40mA ，X光與薄膜間的掠角固定為 1° ， 2θ 掃描範圍為 $20\sim 80^\circ$ ，掃描速度 $3^\circ/\text{min}$ 。

(II) 片電阻量測

四點探針是最常用來量測薄膜片電阻的儀器，如圖3.5所示，只要在其中兩根探針間加以固定的電流，同時量測另兩根探針間的電壓差，就可計算出片電阻值。較先進的儀器會依序將電流加在 P_1 和 P_4 之間與 P_1 和 P_3 之間，並改變此兩種組態的電流方向共進行四次量測，以期獲得較準確的結果。

本研究使用金屬膜四點探針量測儀，型號為NAPSON RT-80/RG-80，其可量測之片電阻值範圍為 $0.5\text{m}\sim 400\text{M}\ \Omega/\text{square}$ 。

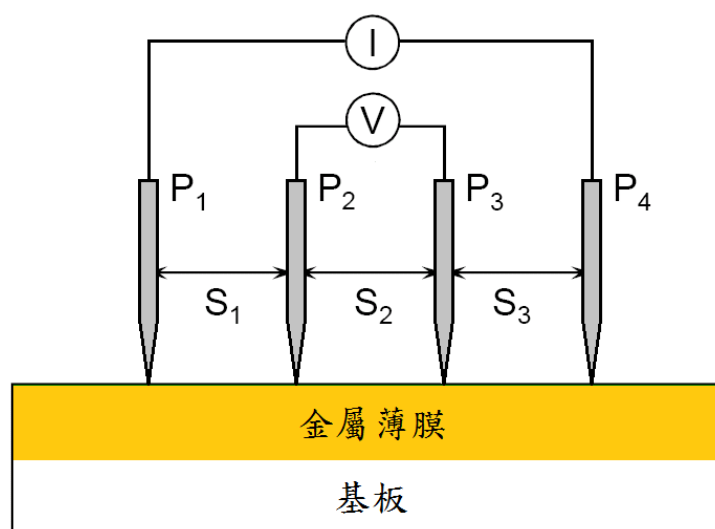


圖 3.5 四點探針量測原理示意圖[29]。

(III)掃描式電子顯微鏡(Scanning Electron Microscopy, SEM)分析

掃描式電子顯微鏡主要是以電子束在試片表面作二度空間的掃描，且與CRT 螢幕的掃描同步，再以偵測器偵測試片表面產生的二次電子(secondary electrons)與背向散射電子(backscattered electrons)，經訊號處理放大後送至CRT 以形成影像，由於試片表面任意點所產生訊號的強度一一對應到CRT 螢幕上對應點的亮度，因此試片表面的形態可藉由此種亮點同步成像的方式表現出來。

試片原子受到入射電子撞擊所釋放出弱鍵結的電子稱為二次電子，其能量低於50eV，只有距離試片表面約50~500Å內產生的二次電子才有機會逃離試片而被偵測到，所以偵測到二次電子的數量會受試片表面起伏狀況的影響，故由二次電子影像可觀察出試片表面的形貌特徵。而背向散射電子是入射電子與試片原子發生彈性碰撞而逃離試片表面的高能量電子，背向散射電子產生的數量會因試片原子的種類而有所差異，試片中平均原子序越大的區域所釋放出的背向散射電子越多，背向散射電子影像也就越亮，因此利用背向散射電子影像觀察表面平滑，卻有微區元素組成差異的試片特別有用。

本研究使用JOEL JSM 6500-F熱場發射電子顯微鏡，加速電壓0.5~30kV，影像解析度可達1.5nm，放大倍率25~500000倍，傾斜角度範圍-5~+15度，可旋轉360度，可偵測二次電子及背向散射電子訊號，真空度為

5×10^{-8} Pa。

(IV) 歐傑電子能譜儀(Auger Electron Spectrometer, AES)分析

歐傑電子儀是利用電子束照射試片表面，以激發表面原子產生歐傑電子，量測分析歐傑電子的特性動能後，可研判出表面原子的種類。在一般狀況下，約95%的歐傑電子訊號來自試片表面約5nm的深度範圍內，若以電子束激發歐傑電子的同時，利用離子束濺蝕試片以產生新的表面，每個新表面所測得的歐傑電子能譜反應出試片內不同深度之元素組成，以濺蝕時間(etch time)為橫軸，電子訊號強度為縱軸作關係圖，便可得知試片表面至內層的元素組成分佈，但此種縱深成分分析法具破壞性，一旦經縱深分佈分析過的試片，將無法回復原始表面的特性。

歐傑電子的產生原理如圖3.6所示，當原子內層之K電子軌域受到入射電子激發而產生一游離電子，K軌域即出現一電洞，為了降低處於激態的游離原子能量，較高能階的L軌域電子會移至低能階填補此電洞並釋放出能量，釋出的能量即為L與K軌域的位能差 $E_L - E_K$ ，此能量可轉移給上層M軌域的電子，若轉移能量大於M軌域電子之束縛能 E_M 時，該電子將脫離原子核進入自由態，此脫離的電子即為歐傑電子，其動能 E_{KLM} 可用下式表示

$$E_{KLM} = E_L - E_K - E_M \quad (3.2)$$

不同元素會有不同的 E_K 、 E_L 及 E_M ， E_{KLM} 亦將不同，所以檢測歐傑電子的動能可以鑑定試片表面的元素種類。由於至少須有三個電子參與才能產生歐

傑電子，所以氫與氦兩種原子序小於三的元素無法使用歐傑電子儀鑑定。

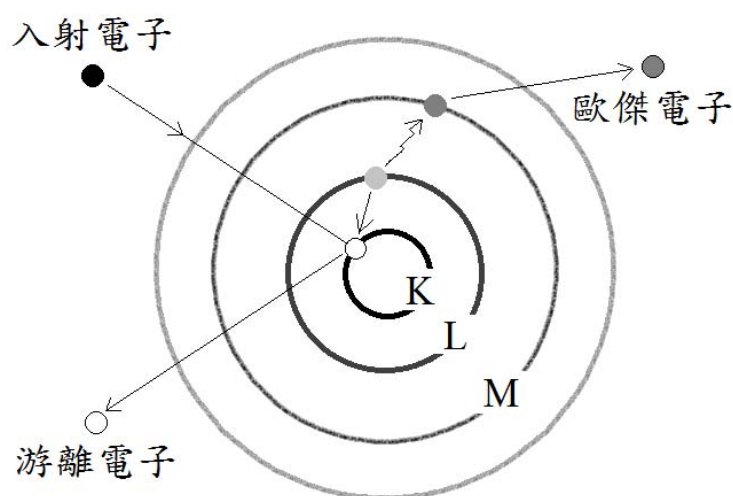


圖 3.6 歐傑電子產生原理示意圖。

本研究使用VG Scientific Microlab 310F歐傑電子能譜儀，其電子能量分析器為 Concentric Hemispherical Analyzer(CHA)，解析度 0.02%~2%，可偵測元素Li~U(原子序3~92)，入射離子為Ar⁺，真空度約10⁻⁹ torr。

(V)二次離子質譜儀(Secondary Ion Mass Spectrometer, SIMS)分析

二次離子質譜儀的運作原理為控制離子束(一次離子，如Cs⁺或O₂⁺)來撞擊試片表面，引起表層原子被撞濺出而脫離試片，其中大多數是不帶任何電荷的中性粒子，小部份為帶正(負)電的離子(二次離子)，經質譜儀分析後可提供試片在縱深方向的組成分佈，屬破壞性分析。

本研究使用的機型為CAMECA IMS 7F，質譜儀為Double Focusing

Mass Spectrometer，質量解析度20000，離子源有Cs⁺及O₂⁺，真空度約10⁻⁹ torr。

(VI) 穿透式電子顯微鏡(Transmission Electron Microscope, TEM)分析

穿透式電子顯微鏡是利用高能量的入射電子穿過樣品，偵測其所產生的彈性散射電子與非彈性散射電子，來得到材料內部微結構、成分及鍵結的訊息，TEM配有X射線能量散佈分析儀(Energy Dispersive X-ray Spectrometer, EDS)，可定性定量分析極小區域的化學成分。

本研究使用的TEM機型為JEOL, JEM-2010F，加速電壓200kV，放大倍率2000~1500000倍，EDS機型為OXFORD INCA，解析度136eV，可偵測原子序5~92的元素。



3.3 電性量測分析

利用Keithley 4200半導體元件參數分析儀量測蕭特基接面試片的電特性，分為以下兩部分。

(I) 接面面積漏電和邊界漏電分析

漏電流的來源可分成兩大類，一是由接面的平面引發，二是由接面的邊緣引發，面積漏電(I_{RA})與邊界漏電(I_{RP})關係如下式所示

$$I_R = I_{RA} + I_{RP} = A \times J_{RA} + P \times J_{RP} \quad (3.3)$$

A是接面面積，P是接面周長， J_{RA} 是面積漏電密度， J_{RP} 是邊界漏電密度，本

研究將對四種不同面積的接面測量其逆偏電壓2V時之漏電流 I_R ，接面面積分別為 $100\mu\text{m}\times 100\mu\text{m}$ 、 $200\mu\text{m}\times 200\mu\text{m}$ 、 $300\mu\text{m}\times 300\mu\text{m}$ 及 $1000\mu\text{m}\times 1000\mu\text{m}$ ，並以 P/A 為x軸、 J_R 為y軸作圖後取線性回歸，回歸線與y軸的截距即為 J_{RA} 而斜率則為 J_{RP} 。

(II) 蕭特基位障高度量測[30]

由式(2.7)可知蕭特基接面的飽和電流密度 J_s 之值為

$$J_s = A^* T^2 \exp\left(-\frac{q\phi_B}{kT}\right) \quad (3.4)$$

本研究將量測蕭特基接面的 J-V 特性，由 $\log(J)$ -V 圖中順向偏壓線性區外插至 $V=0$ 可得到 J_s ，再利用

$$\phi_B = \frac{kT}{q} \ln\left(\frac{A^* T^2}{J_s}\right) \quad (3.5)$$

即可計算出蕭特基位障高度，對於半導體為p型矽之蕭特基接觸而言， A^* 之值近似 $32(\text{A}/\text{cm}^2\text{-K}^2)$ [31]。

第四章

實驗結果與討論

4.1 非晶化離子佈植矽基板對退火後鎳原子聚集在矽化鎳表面的抑制

有相關研究嘗試利用稀土金屬降低矽化鎳與矽間的蕭特基位障高度 ϕ_b ，退火後卻發現大部分稀土金屬原子分佈在矽化鎳表面而非堆積於矽化鎳與矽之間，推測此現象可能與稀土金屬矽化物薄膜形成的孔洞缺陷有關。從表 1.1 中得知，稀土金屬矽化物形成時的主要擴散物並非金屬原子，而矽化鎳形成時的主要擴散物是鎳原子，故鎳在加熱退火時的擴散速度較稀土金屬快，若形成的稀土金屬矽化物薄膜有嚴重的孔洞缺陷，鎳原子即能輕易由此往矽基板擴散而在下方形成矽化鎳，最後造成稀土金屬原子分佈在矽化鎳表面的情形(圖 4.1)。

	Temp. range(°C)	$D_0(\text{cm}^2/\text{s})$	$E_a(\text{eV})$	Mechanism	Reference
Yb	1100-1250	3×10^{-2}	3.0	Vacancy	32
Ni	450-800	0.1	1.9	Interstitial	33

表 4.1 鎳與鎳在矽中的擴散係數($D = D_0 e^{-E_a/kT}$)與機制。

已有研究指出在沉積稀土金屬之前或之後沉積一層非晶矽薄膜，如此後續形成稀土金屬矽化物時即可抑制孔洞缺陷的產生[34]-[36]，為了不增加製程的複雜度，本研究以離子佈植將矽基板表面先非晶化，嘗試達到抑制矽

化鎳孔洞缺陷產生的目的，來解決退火後鎳原子分佈在矽化鎳表面的問題。所佈植的離子為 N_2^+ 與 F^+ ，已有研究指出此兩種離子對增加矽化鎳的熱穩定性有幫助[37][38]，原因皆與鎳原子的擴散受到阻礙有關，或許也能夠達成本研究抑制鎳原子往矽基板擴散的目的。

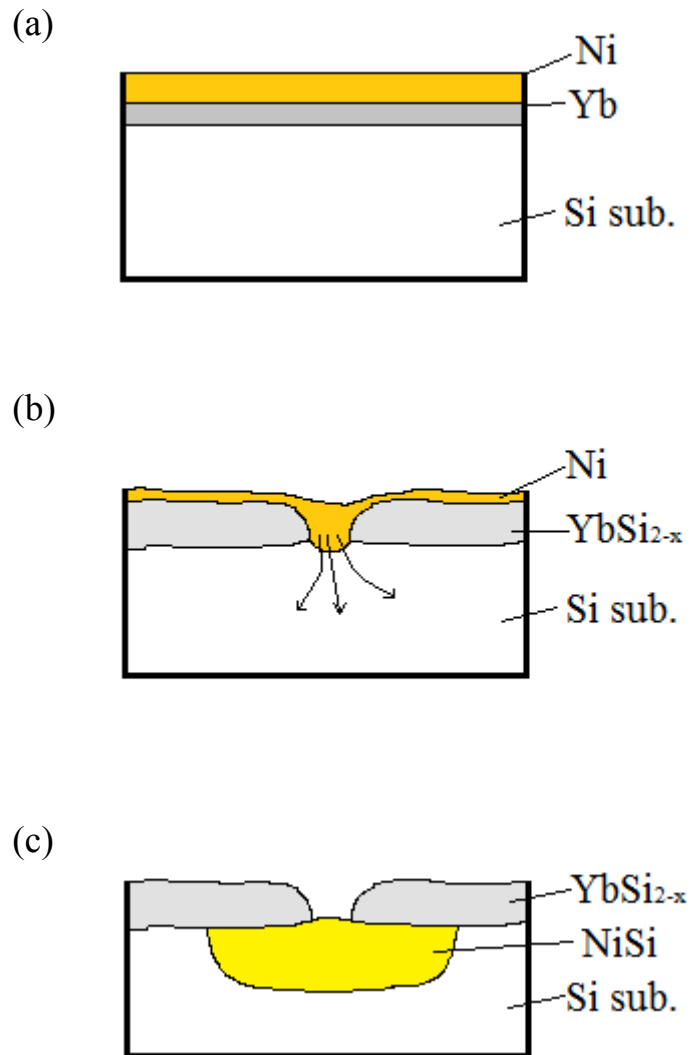


圖 4.1 退火後鎳原子分佈在矽化鎳表面之過程示意圖(a)金屬沉積完成(b)退火時矽化鎳孔洞缺陷形成，鎳原子往矽基板擴散(c)矽化鎳下方形成矽化鎳。

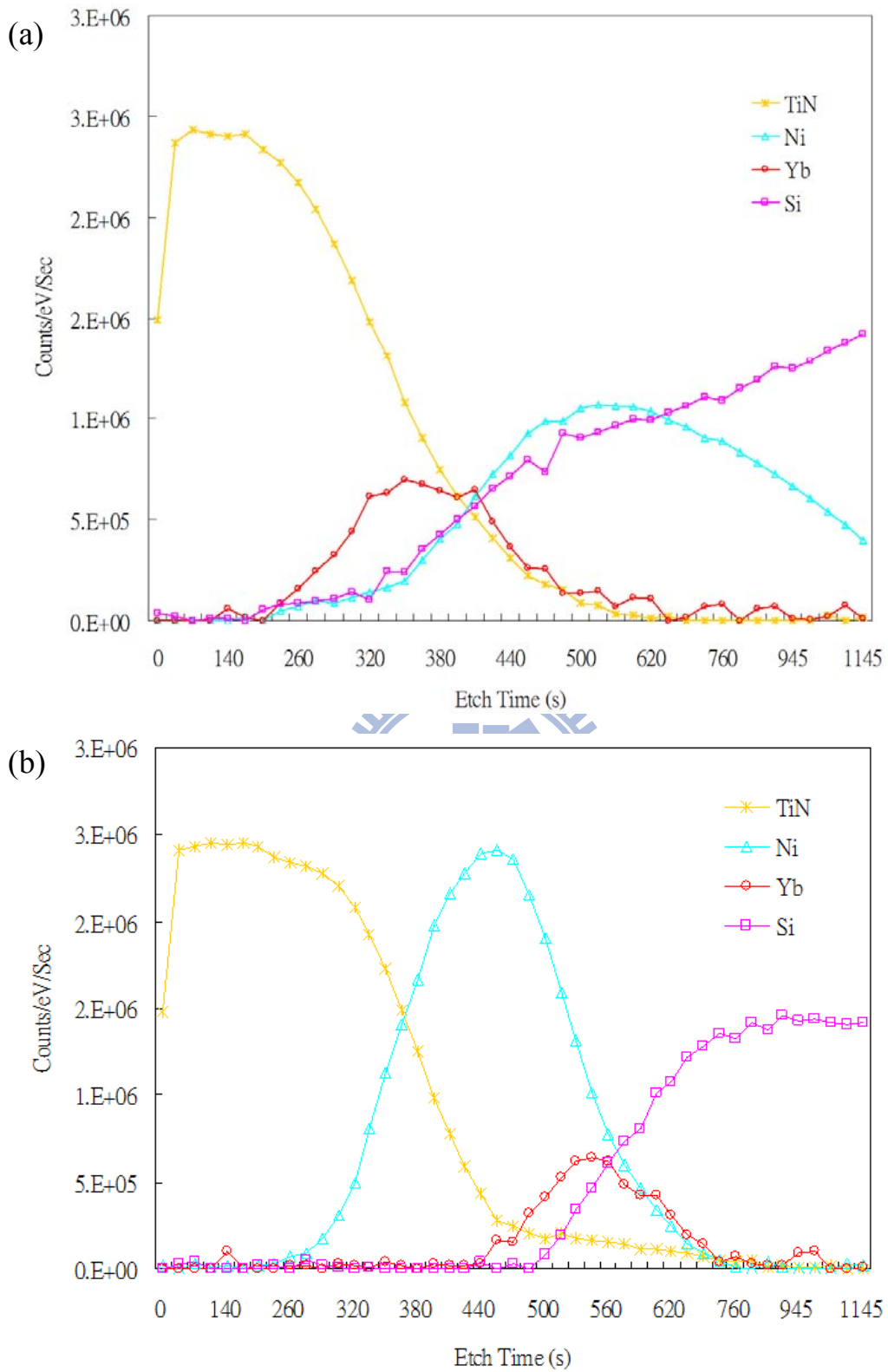


圖 4.2 TiN/Ni(10nm)/Yb(10nm)/p-Si 經 550°C、30 秒退火後之 AES 縱深成份分析(a)矽基板未經非晶化佈植(b)矽基板經 N₂⁺非晶化佈植。

圖 4.2(a)為 p 型矽基板上沉積 TiN/Ni(10nm)/Yb(10nm)經 550°C、30 秒退火後之 AES 縱深成份分析，顯示鎳原子於加熱退火後確實分佈在矽化鎳的表面；圖 4.2(b)為經 N₂⁺非晶化佈植(能量 10KeV，劑量 5×10¹⁵ cm⁻²) 的 p 型矽基板，同樣於其上沉積 TiN/Ni(10nm)/Yb(10nm)經 550°C、30 秒退火後做 AES 縱深成份分析，結果並未發生鎳原子分佈在矽化鎳表面的情況。故非晶化佈植確實有助於將鎳原子保留在矽化鎳與矽基板之間。

4.2 非晶化佈植對矽化鎳熱穩定性的影響

對金屬矽化物而言，片電阻值的大小是一項重要的特性，會受金屬矽化物的種類、薄膜厚度與介面粗糙度的影響而有所變化，所以可藉由片電阻的量測配合XRD晶體繞射分析觀察金屬矽化物於不同退火溫度形成的相變化過程，得知其薄膜的熱穩定性是否良好。

圖 4.3 顯示經過不同非晶化佈植條件處理的 p 型矽晶圓，其上沉積 TiN/Yb(20nm)及 TiN/Ni(20nm)(對照組)，接著在六個不同溫度下退火(時間皆為 30 秒)形成金屬矽化物薄膜並浸泡硫酸後所量測之片電阻數據。由此圖得知，有經離子非晶化佈植的試片，矽化鎳薄膜之片電阻值普遍較低，且不同退火溫度間的片電阻值變化幅度也較小。經過 F⁺離子非晶化佈植(能量 10KeV，劑量 5×10¹⁵ cm⁻²)的試片在 400°C 及 500°C 退火後的矽化鎳片電阻值約為 160Ω/square，但在 600°C、700°C 及 800°C 退火後片電阻值均上升至 320Ω/square 以上，表示其晶相可能發生轉變。而用 N₂⁺離子非晶化佈植(能量 10KeV，劑量 5×10¹⁵ cm⁻²)的試片在 500°C~800°C 退火後片電阻值皆分佈在

180Ω/square左右，算是相當穩定，且可觀察到N₂⁺佈植劑量較高的試片，熱穩定性也較好。

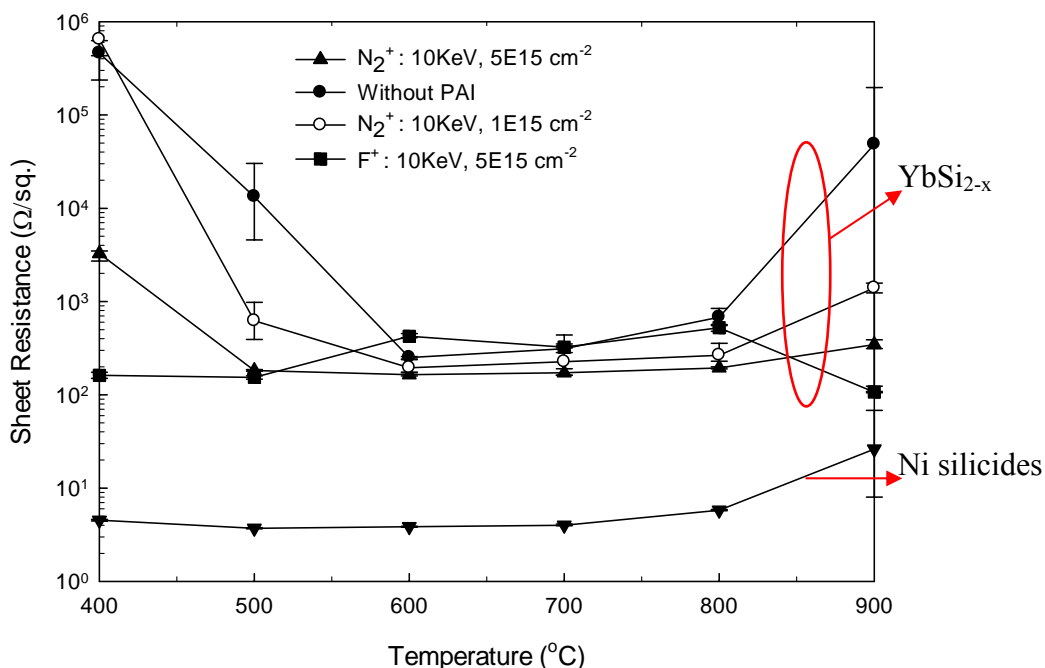


圖 4.3 不同非晶化佈植條件與退火溫度形成矽化鎳之片電阻分析。

圖4.4為未經非晶化佈植形成矽化鎳之X光繞射圖，由此圖得知在600°C退火後開始形成YbSi及YbSi_{1.8}結晶，圖4.3也顯示此溫度所得到之片電阻值(約250Ω/square)較400°C與500°C退火後降低許多。圖4.5為透過光學顯微鏡觀察矽化鎳薄膜表面，可發現在600°C退火後形成的矽化鎳薄膜有孔洞缺陷產生，使表面粗糙度劣化。由圖4.6、4.7的觀察可證實，不論是用N₂⁺或F⁺離子做非晶化佈植，都有抑制矽化鎳薄膜上孔洞缺陷產生的效果。

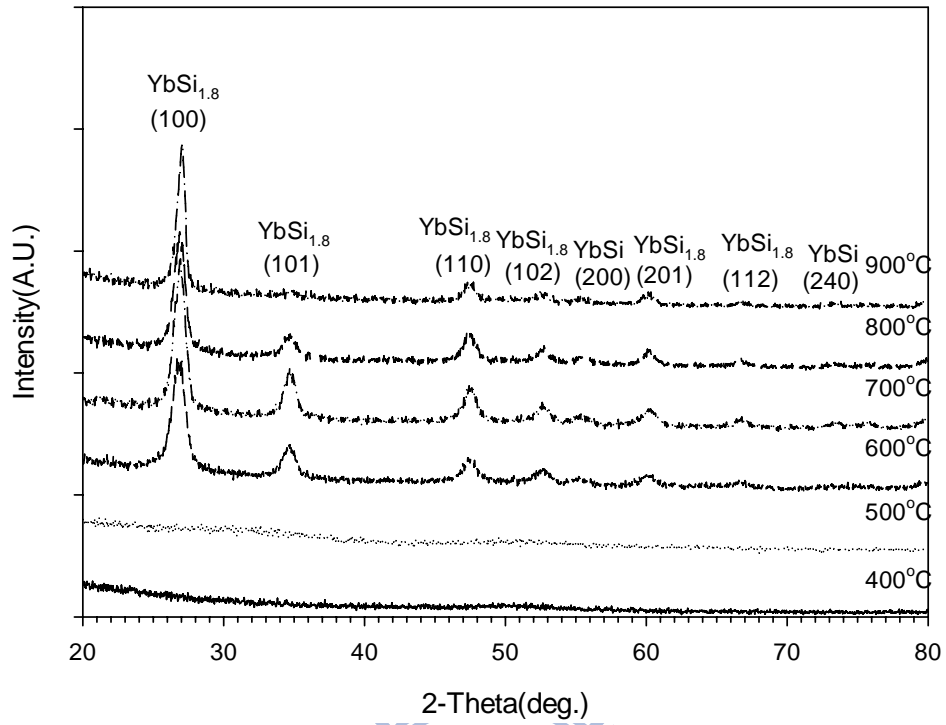


圖 4.4 未經非晶化佈植之矽化鎳薄膜 X 光繞射圖。



圖 4.5 未經非晶化佈植 600°C 退火後矽化鎳薄膜之光學顯微鏡表面觀察。

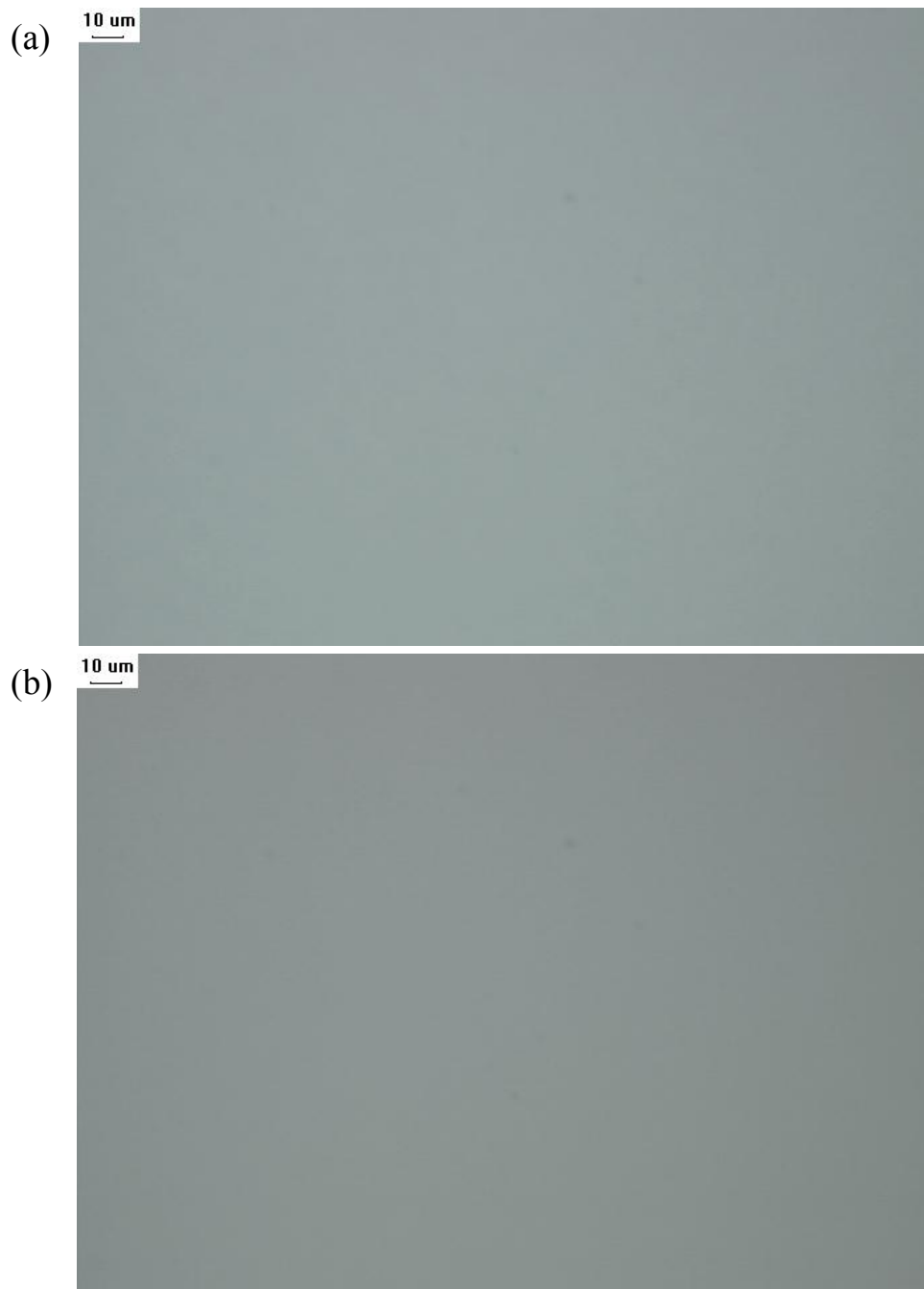


圖 4.6 (a) N_2^+ (b) F^+ 非晶化佈植後 $600^\circ C$ 退火形成矽化鎢薄膜之光學顯微鏡表面觀察，佈植條件皆為能量 $10KeV$ ，劑量 $5 \times 10^{15} cm^{-2}$ 。

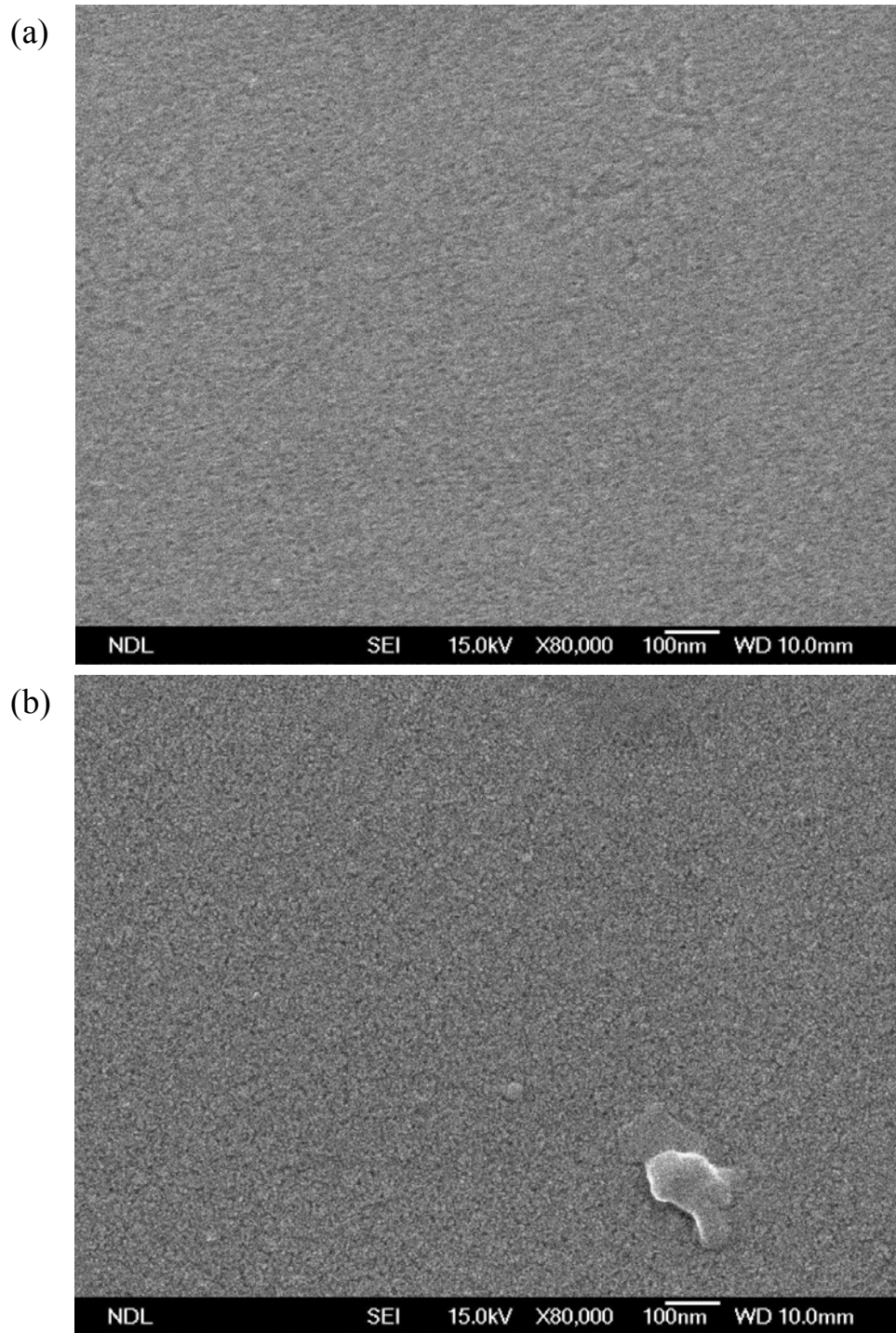


圖 4.7 (a) N_2^+ (b) F^+ 非晶化佈植後 $600^\circ C$ 退火形成矽化鎢薄膜之 SEM 表面觀察，佈植條件皆為能量 $10KeV$ ，劑量 $5 \times 10^{15} cm^{-2}$ 。

圖 4.3 已觀察到，經 F^+ 離子非晶化佈植的試片在 $600^{\circ}C$ 、 $700^{\circ}C$ 及 $800^{\circ}C$ 退火後片電阻值有上升的現象。由 XRD 晶體繞射分析，如圖 4.8 所示，經 F^+ 佈植的試片在 $400^{\circ}C$ 及 $500^{\circ}C$ 退火後有 $YbSi$ 及 $YbSi_{1.8}$ 兩種結晶形成，但在 $600^{\circ}C$ 、 $700^{\circ}C$ 及 $800^{\circ}C$ 退火後， $YbSi$ 轉變為 $YbSi_{1.8}$ 的結晶相態，故而造成片電阻上升的情形。但用 N_2^+ 非晶化佈植的試片在 $500^{\circ}C \sim 800^{\circ}C$ 退火後並沒有 $YbSi$ 變成 $YbSi_{1.8}$ 的情況發生，如圖 4.9 所示，也因此片電阻值都相當穩定。

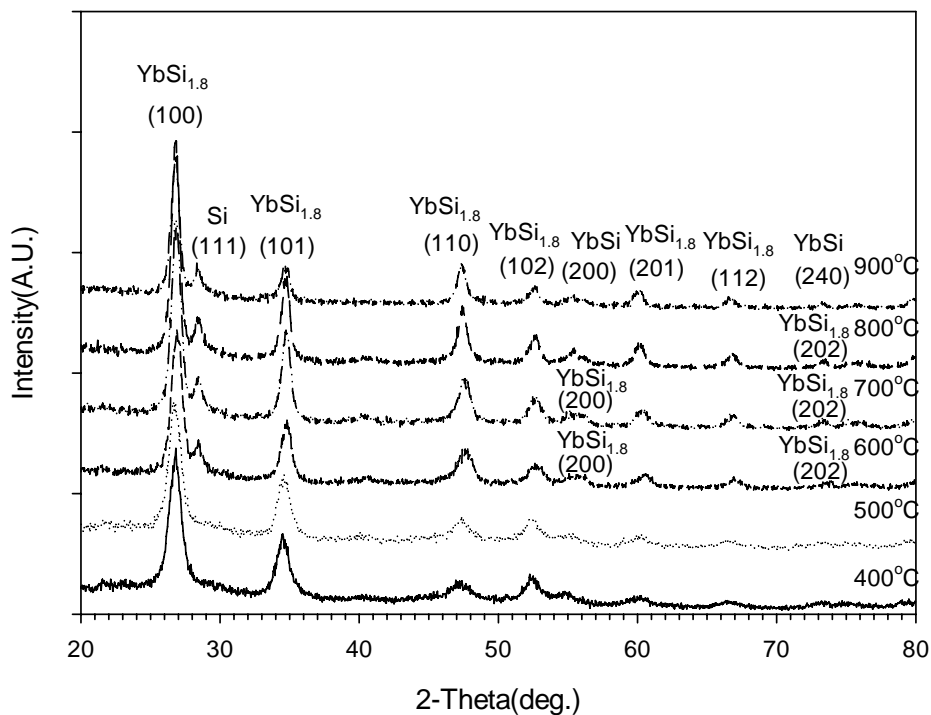


圖 4.8 F^+ 離子非晶化佈植後形成矽化鎳之 X 光繞射圖。

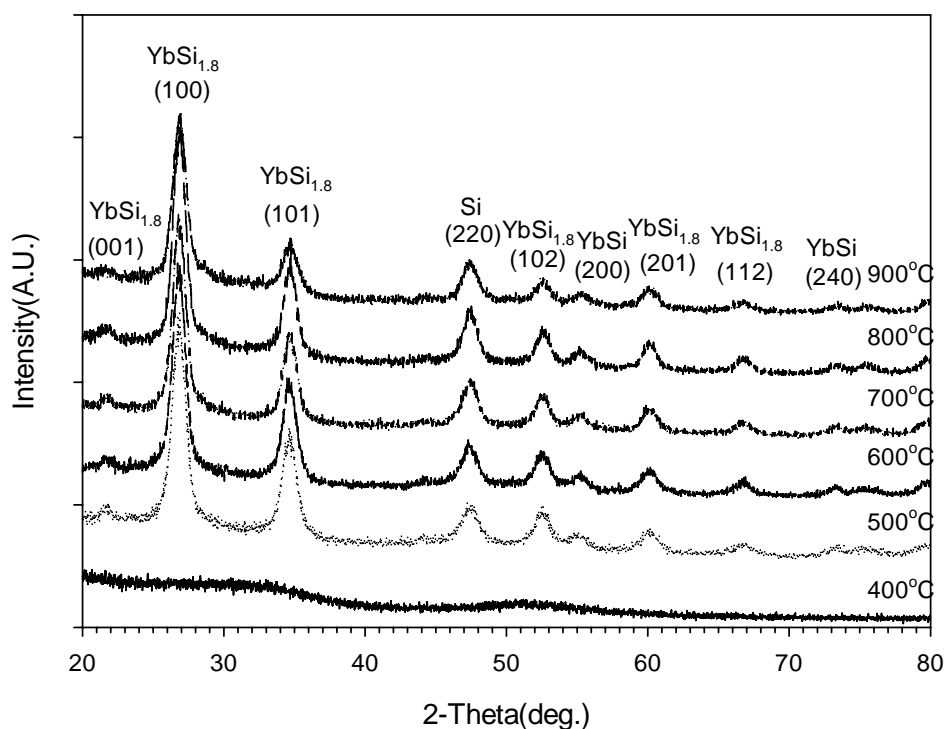


圖 4.9 N_2^+ 離子非晶化佈植後形成矽化鎳之 X 光繞射圖。

4.3 非晶化佈植對矽化鎳界面漏電流的影響

透過製作矽化鎳—矽界面蕭特基二極體並量測其逆偏電壓 2V 時之電流，可分析非晶化佈植對矽化鎳—矽界面漏電流之影響。圖 4.11、4.12 為 TiN/Yb(20nm)/Si 經 600°C、700°C 退火 30 秒形成矽化鎳界面之漏電流分析圖，從圖中趨勢線與 y 軸的截距大小，可得知 N_2^+ 與 F^+ 非晶化佈植並沒有因為離子植入造成過多的缺陷而導致界面漏電流 J_A 增加的結果，推測其原因為佈植之離子在加熱形成金屬矽化物時會由矽基板中向表面擴散，阻絕氧原子與金屬矽化物薄膜作用，減輕金屬矽化物/矽介面的粗糙度[39]，而得以抑制界面漏電流。700°C 退火後，界面漏電流 J_A 有明顯減少的情形，可能

是因為此溫度提供的能量足以消除離子植入造成的部分缺陷，而形成漏電流更低的介面。表 4.2 顯示 N_2^+ 與 F^+ 非晶化佈植退火形成矽化鎢介面之漏電流 J_A 相當接近，加上對矽化鎢熱穩定性的考量，故後續實驗選擇以 N_2^+ 做非晶化佈植。

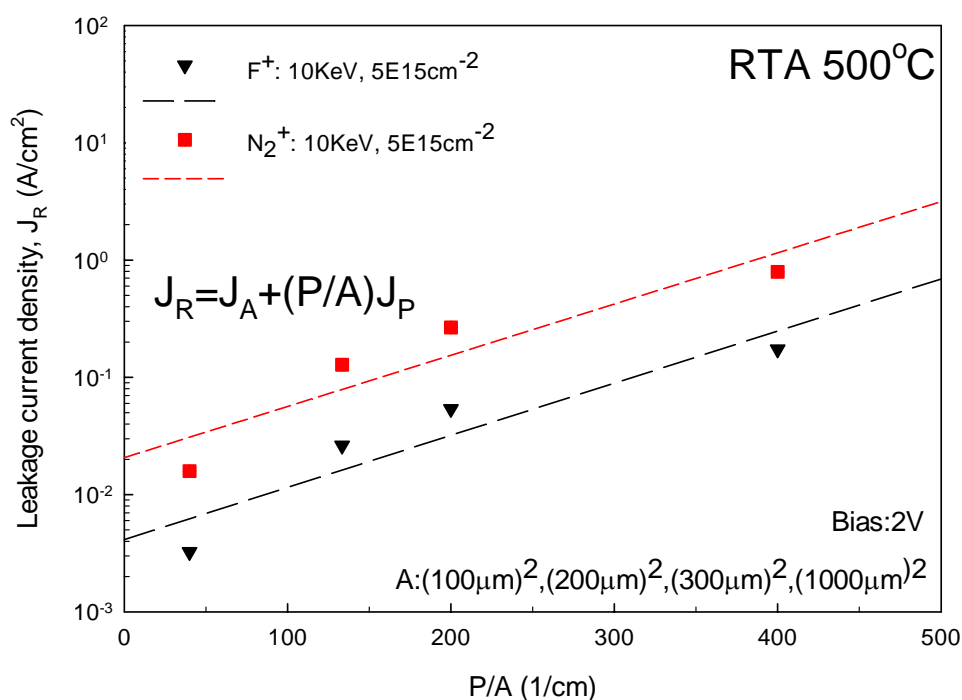


圖 4.10 500°C 退火形成矽化鎢介面之漏電流分析。

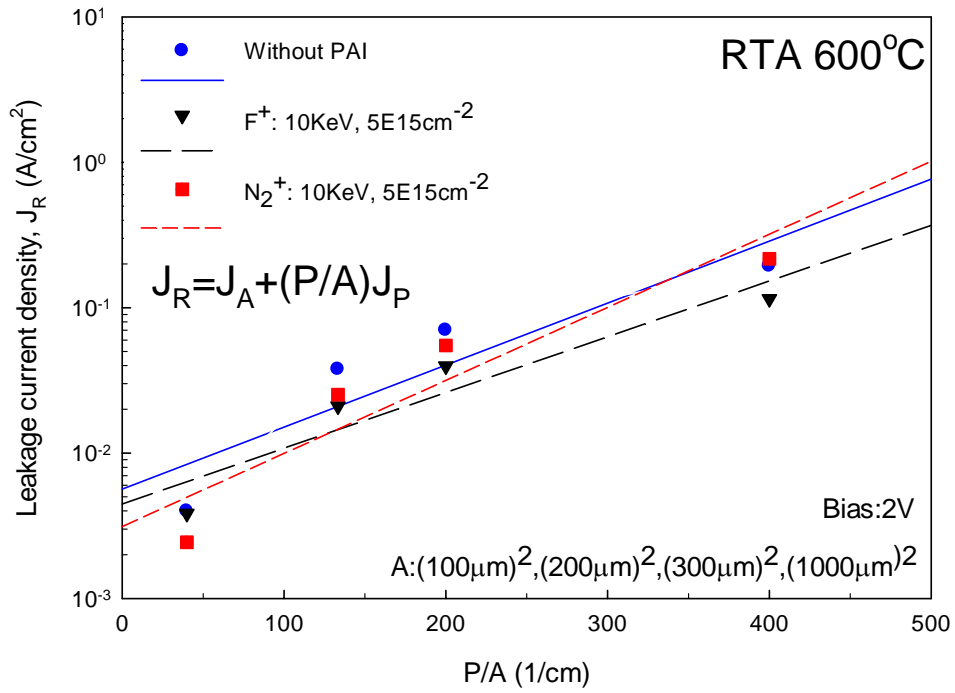


圖 4.11 600°C 退火形成矽化鎢界面之漏電流分析。

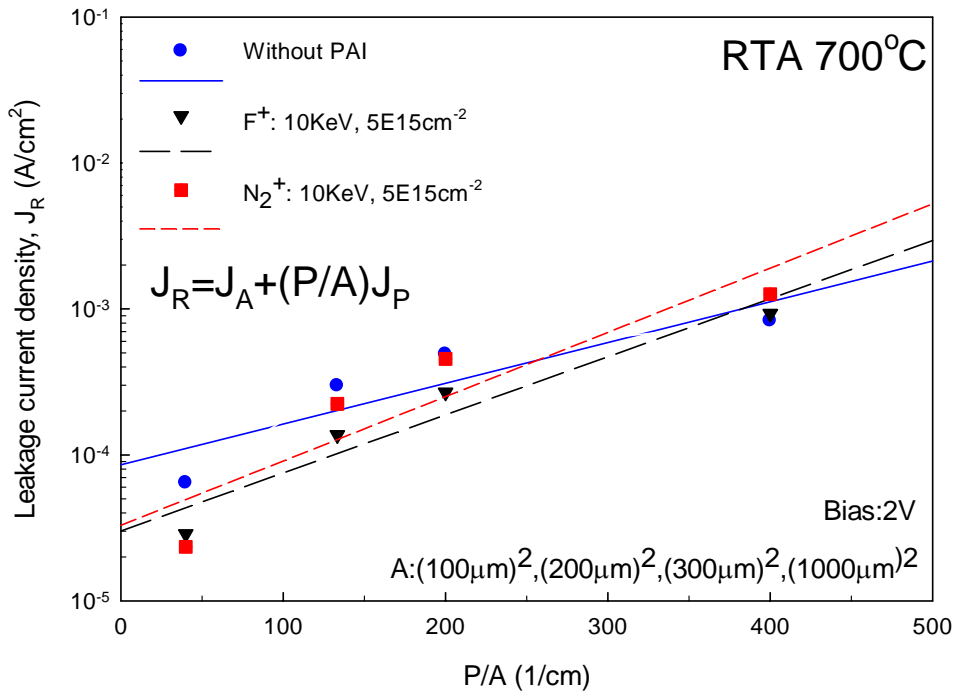


圖 4.12 700°C 退火形成矽化鎢界面之漏電流分析。

RTA temp.	$J_A(\text{A}/\text{cm}^2)$ (N_2^+ PAI)	$J_A(\text{A}/\text{cm}^2)$ (F^+ PAI)	$J_A(\text{A}/\text{cm}^2)$ (Without PAI)
500°C	2.1×10^{-2}	4.1×10^{-3}	-
600°C	3.1×10^{-3}	4.5×10^{-3}	5.6×10^{-3}
700°C	3.3×10^{-5}	3.0×10^{-5}	8.5×10^{-5}

表 4.2 N_2^+ 與 F^+ 非晶化佈植退火形成矽化鎢界面之漏電流 J_A 比較。

4.4 鎳、鎢堆疊結構形成金屬矽化物及蕭特基位障調變之探討

本研究實驗所得之矽化鎢薄膜片電阻值跟矽化鎳相較高出許多，為了製作出同時具備低片電阻與低接觸電阻的蕭特基界面，我們嘗試用鎳、鎢堆疊結構來形成金屬矽化物。首先我們研究鎳、鎢不同厚度堆疊結構形成金屬矽化物的熱穩定性，在 N_2^+ 非晶化佈植完成(能量10KeV，劑量 $1 \times 10^{15} \text{cm}^{-2}$)的矽基板上，沉積 TiN/Ni(5nm)/Yb(15nm) 或 TiN/Ni(10nm)/Yb(10nm) 或 TiN/Ni(15nm)/Yb(5nm)三種不同的金屬堆疊，鎳與鎢的總厚度固定為20奈米，不同溫度退火30秒並浸泡硫酸後量測其片電阻值，數據如圖4.13所示，片電阻最低的堆疊結構是TiN/Ni(10nm)/Yb(10nm)，經500°C~800°C退火後片電阻值分佈在14~37Ω/square之間，其次是TiN/Ni(5nm)/Yb(15nm)，500°C~800°C退火後片電阻值分佈在48~79Ω/square之間。

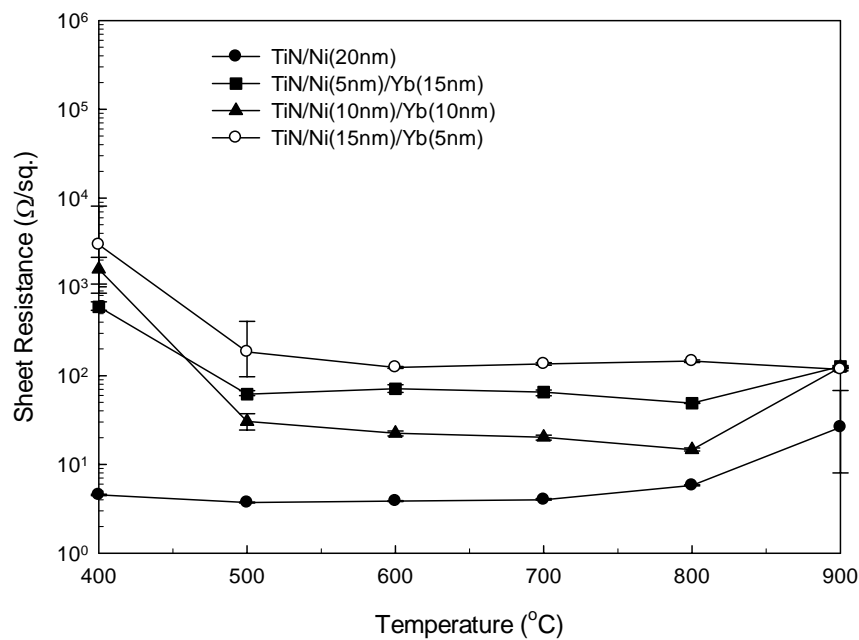


圖 4.13 不同鎳、鎂堆疊結構對金屬矽化物熱穩定性的影響。

TiN/Ni(15nm)/Yb(5nm)經 500°C~800°C 退火後片電阻值大於另兩種堆疊結構，推測其原因為鎂沉積的厚度若太薄，矽化鎂薄膜的表面平整度也將受到影響，甚至更容易產生孔洞缺陷，使鎳原子由此往矽基板擴散，而非在表面形成片電阻較低的矽化物。

為了驗證此推論，經 500°C 退火的三個不同金屬堆疊的試片接著做 SIMS 縱深成份分析，其結果如圖 4.14-4.16 所示，TiN/Ni(15nm)/Yb(5nm)堆疊形成的矽化物確實有發現較嚴重的鎂分佈在矽化鎳表面的情形；另兩種 Yb 沉積厚度在 10nm 以上的堆疊結構則無此現象，此外，鎳留在表面的多寡也與沉積的鎳厚度成正相關，對片電阻值有影響。

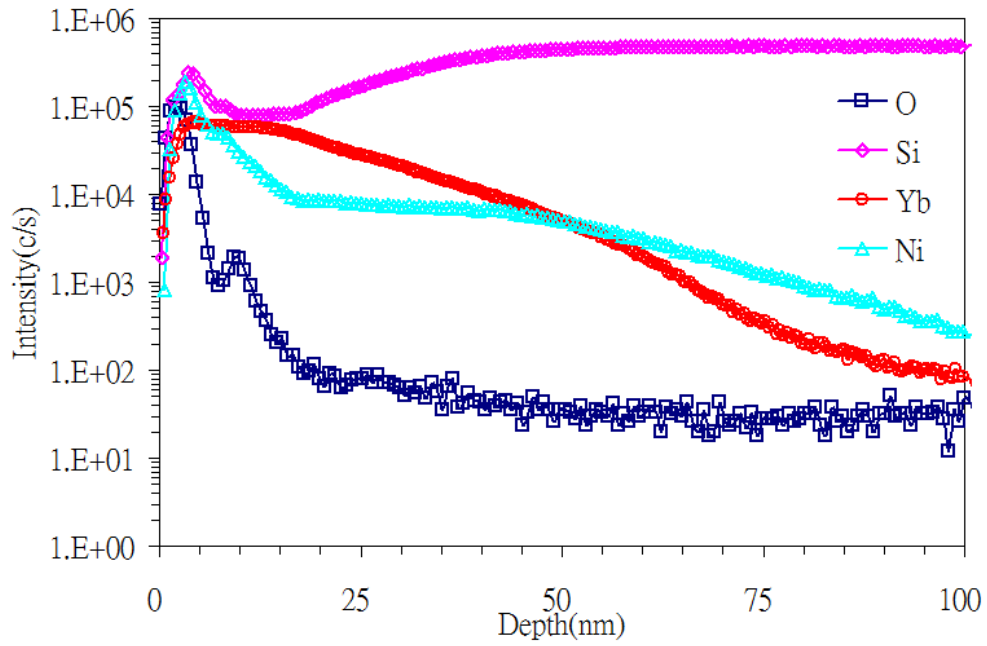


圖 4.14 TiN/Ni(5nm)/Yb(15nm)500°C 退火後之 SIMS 縱深成份分析。

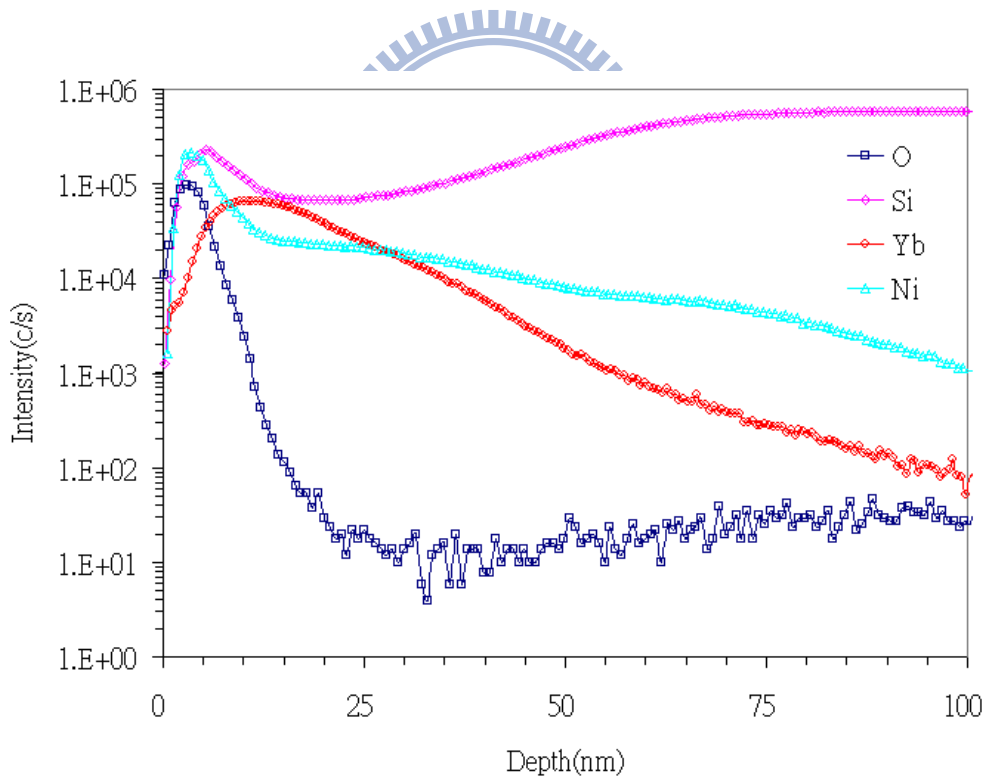


圖 4.15 TiN/Ni(10nm)/Yb(10nm)500°C 退火後之 SIMS 縱深成份分析。

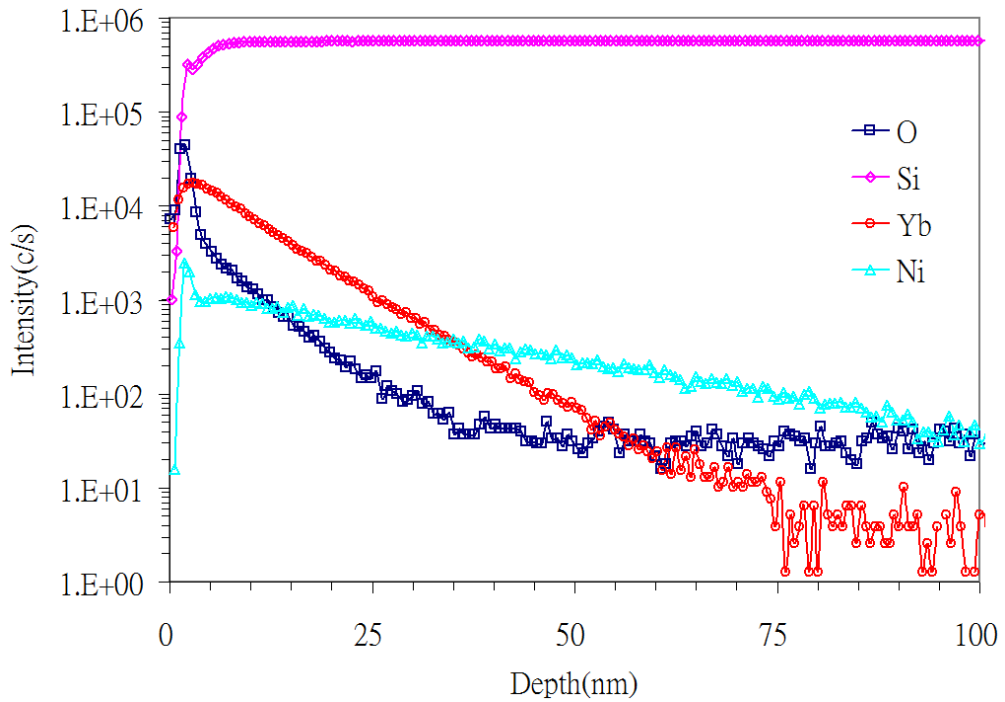
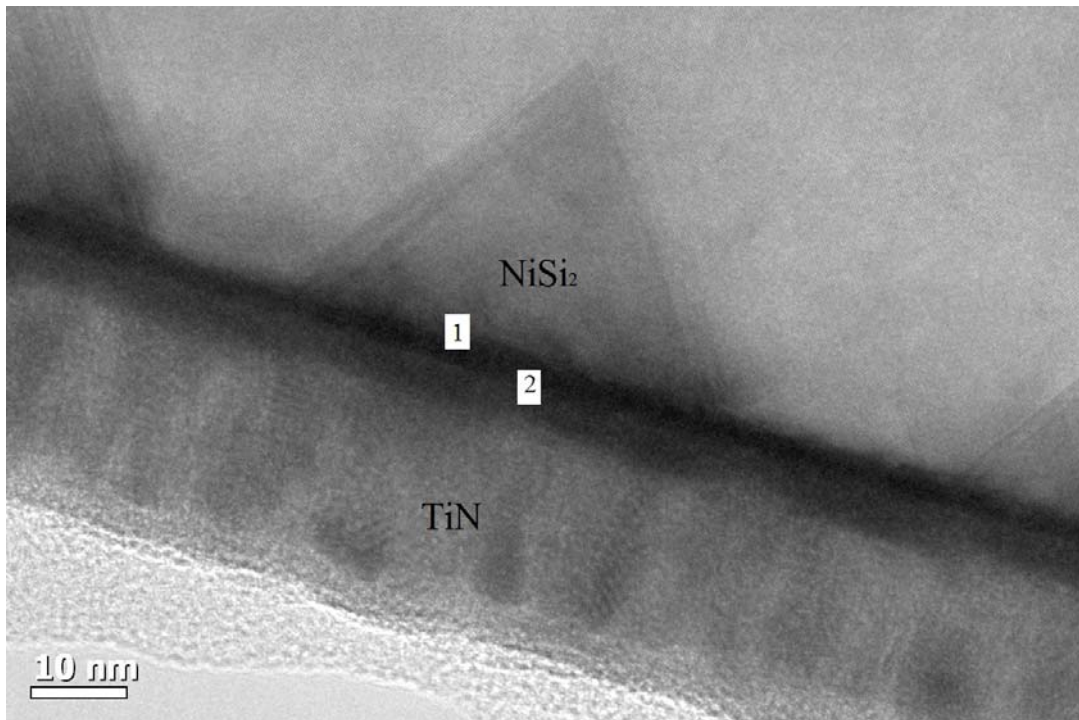


圖 4.16 TiN/Ni(15nm)/Yb(5nm)500°C退火後之 SIMS 縱深成份分析。

圖 4.17 為在 N_2^+ 非晶化佈植完成(能量 10KeV，劑量 $1 \times 10^{15} \text{cm}^{-2}$)的矽基板上，沉積 TiN/Ni(10nm)/Yb(10nm)，經 550°C 退火 30 秒後之 TEM 及 EDS 分析，由於離子佈植劑量較少的關係，並未完全抑制退火時鎳原子往矽基板擴散，導致介面有 $NiSi_2$ 形成，但 Yb 在介面仍有與 Ni 相當的含量。圖 4.18 則是未經離子非晶化佈植的對照，鎳原子往矽基板擴散的情形更為嚴重。



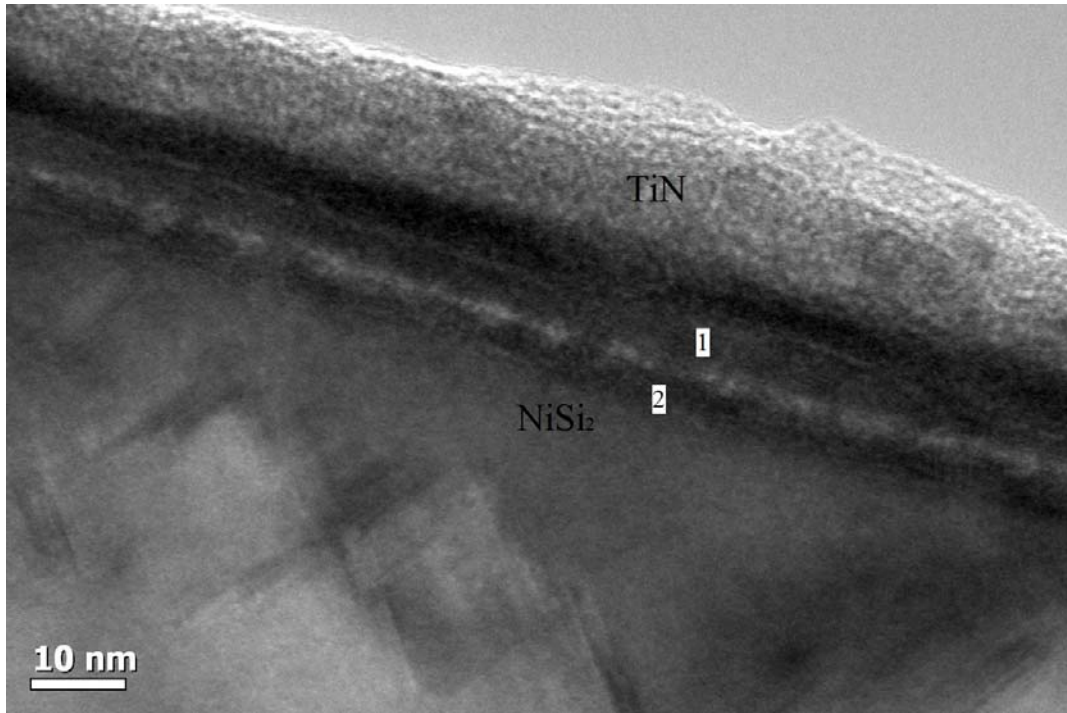
1.

Element	Weight%	Atomic%
Si	20.13	50.52
Ni	21.34	25.62
Yb	58.54	23.85
Totals	100.00	

2.

Element	Weight%	Atomic%
O	1.83	7.87
Si	16.31	39.93
Ti	3.02	4.33
Ni	21.34	25.00
Yb	57.51	22.86
Totals	100.00	

圖 4.17 經 N_2^+ 非晶化佈植(劑量 $1 \times 10^{15} \text{cm}^{-2}$)，沉積 TiN/Ni(10nm)/Yb(10nm)550°C 退火 30 秒後之 TEM 及 EDS 分析。



1.

Element	Weight%	Atomic%
Si	21.91	50.81
Ni	27.02	29.97
Yb	51.06	19.22
Totals	100.00	

2.

Element	Weight%	Atomic%
Si	48.27	66.11
Ni	51.73	33.89
Totals	100.00	

圖 4.18 未經離子非晶化佈植，沉積 TiN/Ni(10nm)/Yb(10nm)550°C退火 30 秒後之 TEM 及 EDS 分析。

為了得到 N_2^+ 非晶化佈植後鎳、鎂堆疊形成金屬矽化物的蕭特基位障高度，我們製作了蕭特基二極體並量測其電壓電流特性。圖 4.20-4.22 為各種金屬堆疊結構蕭特基二極體的 J-V 關係圖，由表 4.6 可得知 Ni(5nm)/Yb(15nm) 的堆疊於 500°C 退火後可獲得較低的蕭特基位障高度 $\phi_{bn}(0.55\text{eV})$ ，而 Ni(10nm)/Yb(10nm) 堆疊於 400°C 退火後雖有最低之 $\phi_{bn}(0.53\text{eV})$ ，但圖 4.13 顯示其薄膜片電阻值偏大。而由表 4.7 得知，對照組 TiN/Yb(20nm) 形成的蕭特基二極體 ϕ_{bn} 最低僅有 0.35eV (700°C 退火後)。由目前的實驗結果推測，鎂若占金屬堆疊結構的厚度越厚，越能使鎂原子留在矽化鎳與矽基板之間，故可得到較低的蕭特基位障高度 ϕ_{bn} ，但矽化物薄膜之片電阻值會相對上升。



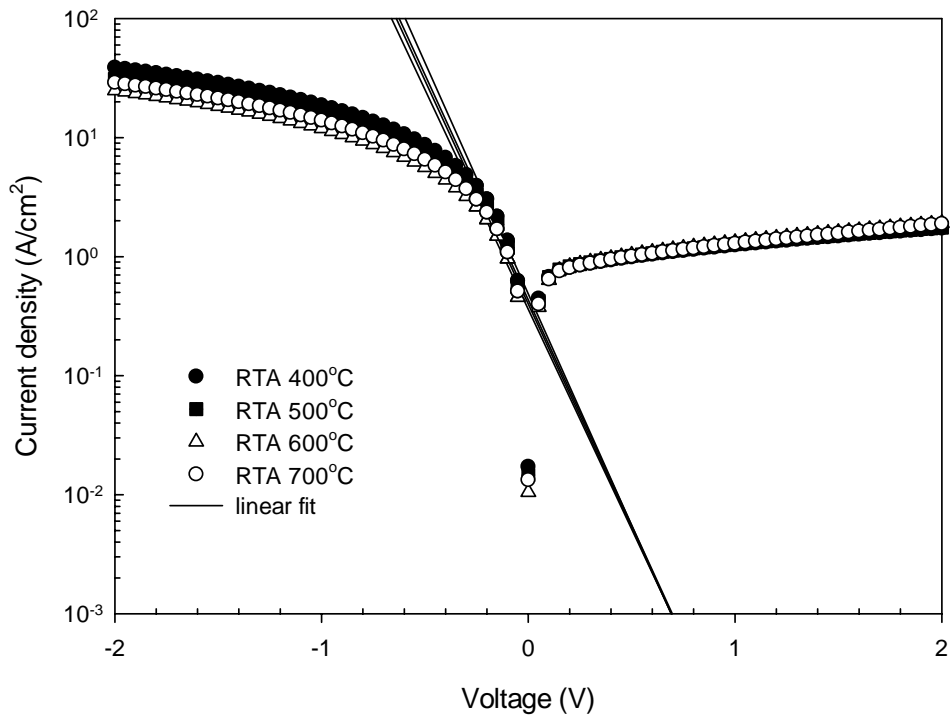


圖 4.19 TiN/Ni(20nm)退火形成蕭特基二極體之 J-V 關係圖。

RTA temp.	I_s (A)	ϕ_{bn} (eV)
400°C	4.8×10^{-5}	0.71
500°C	4.3×10^{-5}	0.71
600°C	3.6×10^{-5}	0.71
700°C	4.0×10^{-5}	0.71

表 4.3 TiN/Ni(20nm)不同溫度退火形成蕭特基二極體之 ϕ_{bn} 比較。

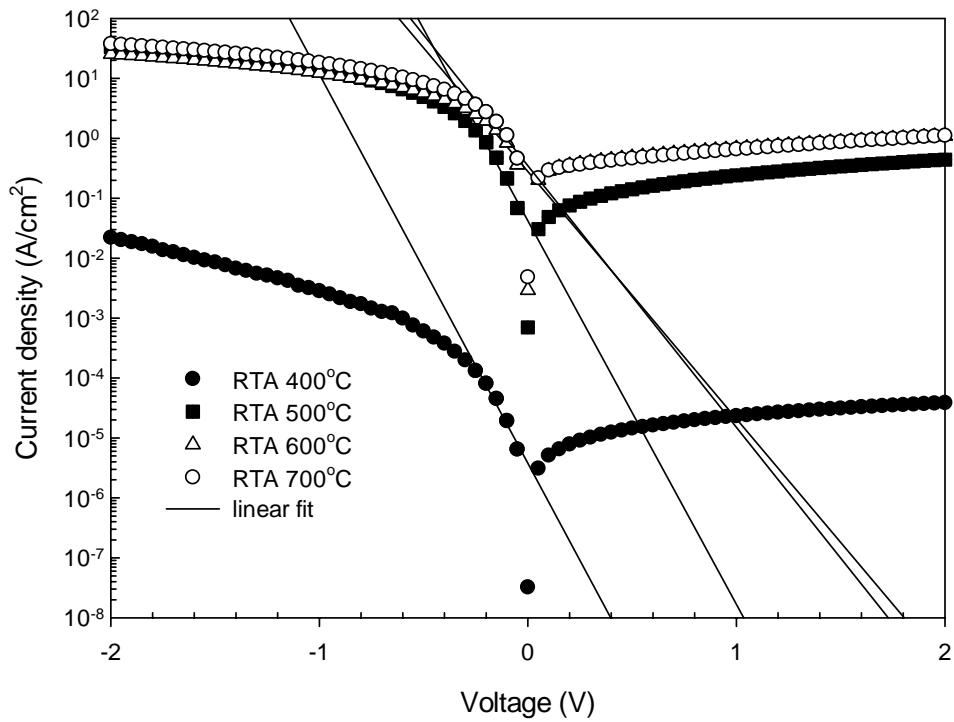


圖 4.20 TiN/Ni(15nm)/Yb(5nm)退火形成蕭特基二極體之 J-V 關係圖。

RTA temp.	I_s (A)	ϕ_{bn} (eV)
400°C	—	—
500°C	4.2×10^{-6}	0.65
600°C	2.8×10^{-5}	0.70
700°C	3.5×10^{-5}	0.71

表 4.4 TiN/Ni(15nm)/Yb(5nm)不同溫度退火形成蕭特基二極體之 ϕ_{bn} 比較。

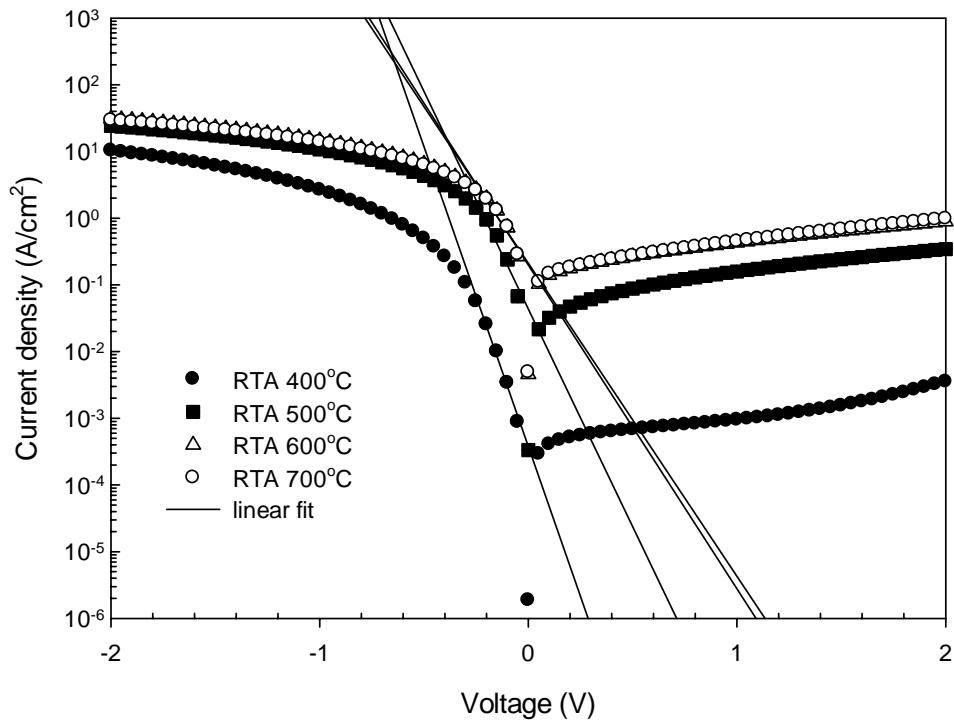


圖 4.21 TiN/Ni(10nm)/Yb(10nm)退火形成蕭特基二極體之 J-V 關係圖。

RTA temp.	I_s (A)	ϕ_{bn} (eV)
400°C	3.8×10^{-8}	0.53
500°C	4.4×10^{-6}	0.65
600°C	2.0×10^{-5}	0.69
700°C	2.1×10^{-5}	0.69

表 4.5 TiN/Ni(10nm)/Yb(10nm)不同溫度退火形成蕭特基二極體之 ϕ_{bn} 比較。

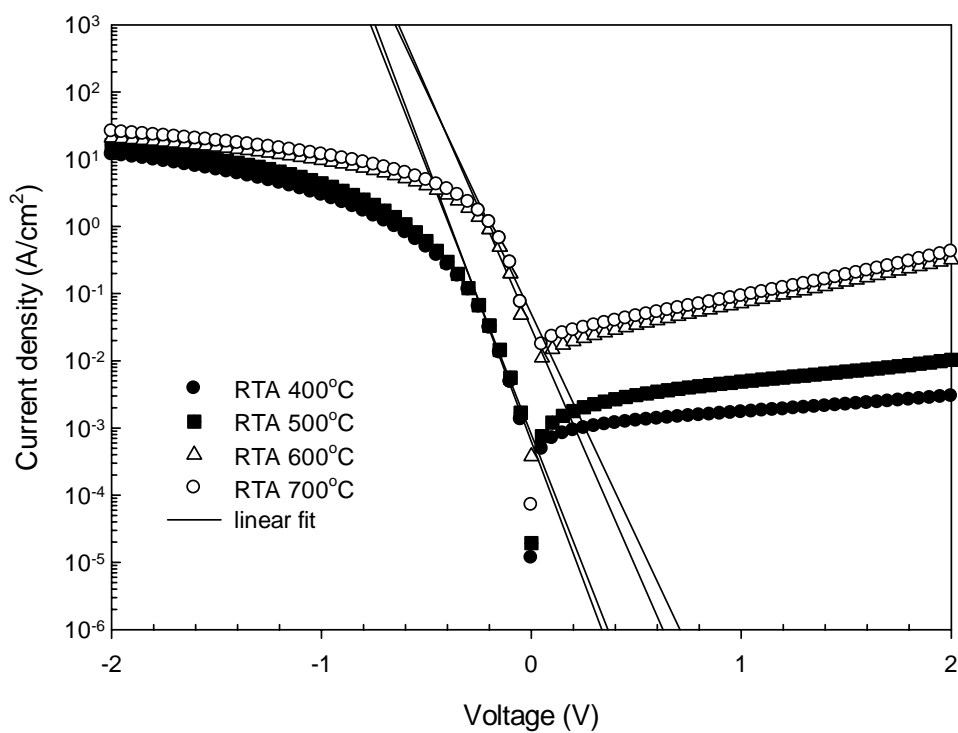


圖 4.22 TiN/Ni(5nm)/Yb(15nm)退火形成蕭特基二極體之 J-V 關係圖。

RTA temp.	I_s (A)	ϕ_{bn} (eV)
400°C	6.3×10^{-8}	0.54
500°C	8.0×10^{-8}	0.55
600°C	3.0×10^{-6}	0.64
700°C	4.9×10^{-6}	0.66

表 4.6 TiN/Ni(5nm)/Yb(15nm)不同溫度退火形成蕭特基二極體之 ϕ_{bn} 比較。

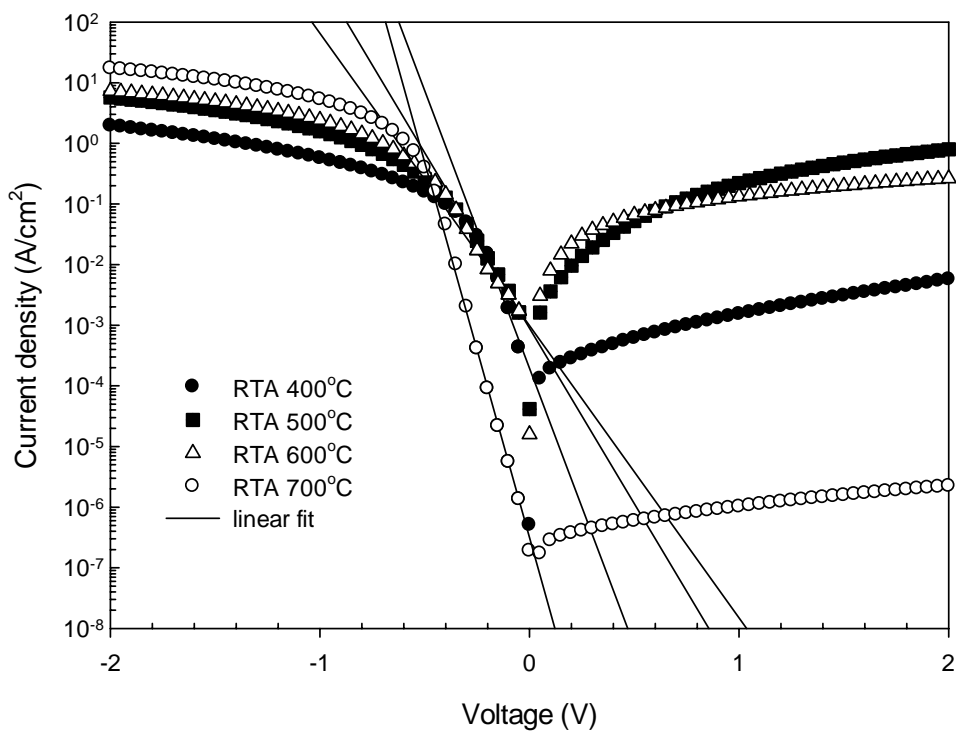


圖 4.23 TiN/Yb(20nm)退火形成蕭特基二極體之 J-V 關係圖。

RTA temp.	I_s (A)	ϕ_{bn} (eV)
400°C	2.0×10^{-8}	0.51
500°C	9.0×10^{-8}	0.55
600°C	9.9×10^{-8}	0.56
700°C	3.1×10^{-11}	0.35

表 4.7 TiN/Yb(20nm)不同溫度退火形成蕭特基二極體之 ϕ_{bn} 比較。

第五章

結論與未來展望

根據本研究的實驗結果發現，非晶化離子佈植不僅使矽化鎢薄膜能夠平坦均勻、降低矽化鎢形成所需的溫度、抑制矽化鎢-矽的界面漏電流，因此對形成矽化鎢蕭特基界面確有好處，也有助於將鎢原子保留在矽化鎢與矽基板之間。由鎢、鎢堆疊結構熱穩定性及蕭特基位障調變結果顯示，堆疊結構中若鎢沉積的厚度越厚，蕭特基位障也就越低，但代價是矽化物薄膜之片電阻值會升高。經 N_2^+ 非晶化佈植之矽基板沉積 TiN/Ni(5nm)/Yb(15nm) 堆疊於 500°C 、30 秒退火後可獲得較低的蕭特基位障高度 $\phi_{bn}(0.55\text{eV})$ ，比矽化鎢之 $\phi_{bn}(0.71\text{eV})$ 下降了 23%。

本實驗尚有兩個問題有待解決，在本文 4.2 中，所測得之矽化鎢薄膜片電阻值不在合理範圍內(YbSi_{2-x}之電阻係數約為 $34\mu\Omega \cdot \text{cm}$)，且矽化鎢之生成溫度需達 600°C ，較表 1.1 指出的 350°C 高出許多，可能與矽基板表面的原生氧化層未完全清除有關[40]。此外，由於 SiGe 的能隙約只有 Si 的一半，利用 Ge 離子做非晶化佈植也許另有改變半導體能隙大小的效果，使蕭特基位障進一步降低，是未來值得研究的方向。

參考文獻

- [1] “Front End Processes,” International Technology Roadmap for Semiconductors 2009 Edition.
- [2] M. C. Ozturk, J. Liu, “Source/Drain Junctions and Contacts for 45nm CMOS and Beyond,” Characterization and Metrology for ULSI Technology 2005, 788, pp. 222-231, 2005.
- [3] M. E. Alperin, T. C. Holloway, R. A. Haken, et al., “Development of the Self-Aligned Titanium Silicide Process for VLSI Applications,” IEEE Transactions on Electron Devices, 32, 2, pp.141-149, 1985.
- [4] H. Iwai, T. Ohguro, S. Ohmi, “NiSi Salicide Technology for Scaled CMOS,” Microelectronic Engineering, 60, 1-2, pp. 157-169, Jan 2002.
- [5] T. Morimoto, T. Ohguro, H. S. Momose, et al., “Self-Aligned Nickel-Mono-Silicide Technology for High-Speed Deep-Submicrometer Logic CMOS ULSI,” IEEE Transactions on Electron Devices, 42, 5, pp. 915-922, May 1995.
- [6] J. B. Lasky, J. S. Nakos, O. J. Cain, et al., “Comparison of Transformation to Low-Resistivity Phase and Agglomeration of $TiSi_2$ and $CoSi_2$,” IEEE Transactions on Electron Devices, 38, 2, pp. 262-269, Feb 1991.
- [7] J. R. Tucker, “Schottky Barrier MOSFETs for Silicon Nanoelectronics,” WOFE '97-1997 Advanced Workshop on Frontiers in Electronics, Proceedings, pp. 97-100, 1996.
- [8] C. Wang, J. P. Snyder, J. R. Tucker, “Sub-40nm PtSi Schottky Source/Drain Metal-Oxide-Semiconductor Field-Effect-Transistor,” Applied Physics Letters, 74, 8, pp. 1174-1176, 1999.

- [9] Q. T. Zhao, F. Klinkhammer, M. Dolle, et al., "Nanometer Patterning of Epitaxial $\text{CoSi}_2/\text{Si}(100)$ for Ultrashort Channel Schottky Barrier Metal-Oxide-Semiconductor Field Effect Transistors," *Applied Physics Letters*, 74, 3, pp. 454-456, 1999.
- [10] J. Kedzierski, P. Q. Xuan, E. H. Anderson, et al., "Complementary Silicide Source/Drain Thin-Body MOSFETs for the 20nm Gate Length Regime," *IEDM 2000 Technical Digest*, pp. 57-60, 2000.
- [11] J. Luo, Z. J. Qiu, Z. Zhang, et al., "Interaction of NiSi With Dopants for Metallic Source/Drain Applications," *Journal of Vacuum Science & Technology B*, 28, 1, pp. C111-C1111, Jan 2010.
- [12] S. Y. Zhu, H. Y. Yu, S. J. Whang, et al., "Schottky-Barrier S/D MOSFETs With High- κ Gate Dielectrics and Metal-Gate Electrode," *IEEE Electron Device Letters*, 25, pp. 268-270, Mar 2004.
- [13] L. E. Calvet, H. Luebben, M. A. Reed, et al., "Suppression of Leakage Current in Schottky Barrier Metal-Oxide-Semiconductor Field-Effect Transistors," *Journal of Applied Physics*, 91, 2, pp. 757-759, Jan 2002.
- [14] S. Y. Zhu, J. D. Chen, M. F. Li, et al., "N-Type Schottky Barrier Source/Drain MOSFET Using Ytterbium Silicide," *IEEE Electron Device Letters*, 25, 8, pp. 565-567, Aug 2004.
- [15] R. T. P. Lee, A. E. J. Lim, K. M. Tan, et al., "N-Channel FinFETs With 25nm Gate Length and Schottky-Barrier Source and Drain Featuring Ytterbium Silicide," *IEEE Electron Device Letters*, 28, 2, pp. 164-167, Feb 2007.
- [16] S. H. Song, S. A. Campbell, "The Effect of Composition on Surface Morphology, Formation Mechanism and Pinhole Generation of

- Cosputtered Ytterbium Silicide,” *Thin Solid Films*, 517, 24, pp. 6841-6846, Oct 2009.
- [17] J. M. Larson, J. P. Snyder, “Overview and Status of Metal S/D Schottky-Barrier MOSFET Technology,” *IEEE Transactions on Electron Devices*, 53, 5, pp. 1048-1058, May 2006.
- [18] W. Huang, G. P. Ru, Y. L. Jiang, et al., “Erbium Silicide Formation and Its Contact Properties on Si(100),” *Journal of Vacuum Science & Technology B*, 26, 1, pp. 164-170, Jan 2008.
- [19] Y. F. Huang, Y. L. Jiang, G. P. Ru, et al., “Study of Ni/Si(100) Solid-State Reaction With Y Addition,” *Microelectronic Engineering*, 85, 10, pp. 2013-2015, Oct 2008.
- [20] J. Luo, Y. L. Jiang, G. P. Ru, et al., “Silicidation of Ni(Yb) Film on Si(001),” *Journal of Electronic Materials*, 37, 3, pp. 245-248, Mar 2008.
- [21] S. M. Sze, K. K. Ng, *Physics of Semiconductor Devices*, 3rd Edition, Wiley-Interscience, 2006.
- [22] D. Connelly, C. Faulkner, D. E. Grupp, et al., “New Route to Zero-Barrier Metal Source/Drain MOSFETs,” *IEEE Transactions on Nanotechnology*, 3, 1, pp. 98-104, Mar 2004.
- [23] H. S. Wong, L. Chan, G. Samudra, et al., “Effective Schottky Barrier Height Reduction Using Sulfur or Selenium at the NiSi/n-Si(100) Interface for Low Resistance Contacts,” *IEEE Electron Device Letters*, 28, 12, pp. 1102-1104, Dec 2007.
- [24] A. Kinoshita, Y. Tsuchiya, A. Yagishita, et al., “Solution for High-Performance Schottky-Source/Drain MOSFETs: Schottky Barrier Height Engineering with Dopant Segregation Technique,” 2004 Symposium on VLSI Technology, Digest of Technical Papers, pp. 168-169,

- 2004.
- [25] Y. L. Jiang, Q. Xie, C. Detavernier, et al., “Oxidation Suppression in Ytterbium Silicidation by Ti/TiN Bicapping Layer,” *Journal of Vacuum Science & Technology A*, 25, 2 , pp. 285-289, 2007.
- [26] C. C. Wu, W. F. Wu, P. Y. Su, et al., “Effects of Capping Layers on the Electrical Characteristics of Nickel Silicided Junctions,” *Microelectronic Engineering*, 84, 5-8, pp. 1801-1805, 2007.
- [27] 汪建民主編，材料分析，中國材料學會，新竹市，民國八十七年。
- [28] D. A. Skoog, J. J. Leary, *Principles of Instrumental Analysis*, 4th Edition, Saunders College Publishing, 1992.
- [29] H. Xiao, *Introduction to Semiconductor Manufacturing Technology*, Prentice Hall, 2000.
- [30] D. K. Schroder, *Semiconductor Material and Device Characterization*, 3rd Edition, John Wiley & Sons, Inc. Publishing, 2005.
- [31] J. M. Andrews, M. P. Lepselter, “Reverse Current-Voltage Characteristics of Metal-Silicide Schottky Diodes,” *Solid-State Electron.* 13, pp. 1011–1023, July 1970.
- [32] D. E. Nazzyrov , “Diffusion of Ytterbium in Silicon,” *Semiconductors*, 37, 9, pp. 1031-1032, 2003.
- [33] B. L. Sharma, “Diffusion in Semiconductors,” *Trans. Tech. Pub. Germany*, 87, 1970.
- [34] G. H. Shen, J. C. Chen, C. H. Lou, et al., “The Growth of Pinhole-Free Epitaxial DySi_{2-x} Films on Atomically Clean Si(111),” *Journal of Applied Physics*, 84, 7, pp. 3630-3635, Oct 1998.
- [35] W. C. Tsai, K. S. Chi, L. J. Chen, “Growth of Pinhole-Free Epitaxial Yb

- and Er Silicide Thin Films on Atomically Clean (111)Si,” *Journal of Applied Physics*, 96, 9, pp. 5353-5356, Nov 2004.
- [36] Y. L. Jiang, Q. Xie, C. Detavernier, et al., “Growth of Pinhole-Free Ytterbium Silicide Film by Solid-State Reaction on Si(001) With a Thin Amorphous Si Interlayer,” *Journal of Applied Physics*, 102, 3, 033508, Aug 2007.
- [37] L. W. Cheng, S. L. Cheng, J. Y. Chen, et al., “Effects of Nitrogen Ion Implantation of Nickel Silicide Contacts on Shallow Junction,” *Thin Solid Film*, 355, pp. 412-416, 1999.
- [38] A. S. W. Wong, D. Z. Chi, M. Loomans, et al., “F-enhanced Morphological and Thermal Stability of NiSi Films on BF_2^+ -implanted Si(001),” *Applied Physics Letters*, 81, 27, pp. 5138-5140, Dec 2002.
- [39] T. Ohguro, S. Nakamura, E. Morifuji, et al., “Nitrogen-Doped Nickel Monosilicide Technique for Deep Submicron CMOS Salicide,” *IEDM Technical Digest*, pp. 453-456, 1995.
- [40] H. V. Suu, G. Peto, G. Mezey, et al., “Formation of GdSi_2 Under UHV Evaporation and In Situ Annealing,” *Applied Physics Letters*, 48, 6, pp. 437-438, Feb 1986.