

國立交通大學

電信工程研究所

碩士論文

2.4/5.8GHz 利用被動混頻器設計低雜訊低功率接收機和 HEMT 低雜訊放大器

2.4/5.8GHz Low Noise Low Power Direct Conversion Receiver Utilizing Passive Mixer and HEMT Low Noise Amplifier

研究生：林忠佑

指導教授：孟慶宗

中華民國九十九年七月

2.4/5.8GHz 利用被動混頻器設計接收機和 HEMT 低雜訊放大器

2.4 / 5.8GHz Low Noise Low Power Direct Conversion
Receiver Utilizing Passive Mixer and HEMT Low Noise
Amplifier

研究生:林忠佑

Student: Chung-Yo Lin

指導教授:孟慶宗 博士 Advisor: Dr. Chinchun Meng

國立交通大學

電信工程研究所

碩士論文

A Thesis

Submitted to Institute of Communication Engineering
College of Electrical Engineering and Computer Science

National Chiao Tung University

in partial Fulfillment of the Requirements

for the Degree of

Master

in

Communication Engineering
July 2010

Hsinchu, Taiwan, Republic of China

中華民國九十九年七月

2.4/5.8GHz 利用被動混器設計低雜訊低功率接收 機和 HEMT 低雜訊放大器

學生：林忠佑

指導教授：孟慶宗 博士

國立交通大學

電信工程研究所

摘要

本篇論文針對現今網路通訊的應用，利用台積電 CMOS 0.18 μm 的製程，以及穩懋提供的 HEMT 製程上所設計的射頻電路。而本論文可分為兩章節。第一章節主要是針對直接降頻接收機整體做兩種不一樣的設計；第二章節則利用 HEMT 的製程特性設計出不同架構不同製程的低雜訊放大器來做比器。

論文一開始會針對現今較為常見的接收機架構做分析，並介紹被動混頻器在顫抖雜訊上的表現。實做出利用 TSMC CMOS 0.18 μm 製程設計一被動混頻器搭配不一樣的 LNA 的接收機。第一種是搭配變壓器匹配的低雜訊放大器而第二種利用電流重覆利用的技巧的差動放大器的接收機。

論文的第二部份則先介紹 HEMT 的特性，和如何利用其電氣特性設計自偏壓的電流源。並利用這兩種製程和單壓操作的技巧設計出兩種不一樣的架構的低雜訊放大器。

2.4 /5.8GHz Low Noise Low Power Direct Conversion Receiver Utilizing Passive Mixer and HEMT Low Noise Amplifier

Student : Chung-Yo Lin

Advisor : Chinchun Meng

Institute of Communication Engineering
National Chiao Tung University

Abstract

In this thesis, we use TSMC CMOS 0.18 μm and WIN 0.15 μm to design the radio frequency circuits for network application. The thesis consists of two parts. The first part focus on two different design for the Direct Conversion Receiver. The second part compares different type LNA(Low Noise Amplifier) utilizing different process in different circuit type.

First, we analyzes different Receiver type that we usually use today, and introduces flicker noise performance in passive mixer. We implement TSMC CMOS 0.18 μm to design Receivers with passive mixer and two different types LNA. Transformer is used in first types LNA, and differential LNA is used in second type.

Second, we introduce the characteristic of HEMT, and how design the self-bias current source. We design various type LNAs utilizing two processes (mHEMT and pHEMT) and self-bias techniques

誌謝

轉眼間，兩年的碩士的光陰就過去了，這當中要感謝的人真的是很多。在這日子中，最感謝的是孟慶宗教授，不管是在學業上，和對公司報告的報告過程中都讓我學習到了很多關於射頻積體電路的學問和態度。感謝口試委員徐碩鴻教授、蘇朝琴教授、鐘世忠教授，在口試過程中，提出了許多電路上的問題也給予了珍貴的意見，讓我在短短的一小時收穫許多。再來感謝國家奈米中心的量測人員，特別是汶德、志華、榮彥、書毓。因為你們，量測的過程也才能順利進行，也常為了量測還加班，真的是十分感激。

實驗室兩年的甘苦，除了學到專業的知識外也學到了許多對學問的態度，最感謝的就是強者博班學長徐金詳，不管在電路模擬，量測，或者是一些鎖碎的雜事中，都是有學長的幫忙和教導，讓我成長許多學到許多的。宏儒學長的謹慎做事態度，是我處事的好榜樣，感謝珍儀學姐的短暫照顧。還有熙良學長面對事情樂觀態度和解決事情的能力，讓我對於處理事情態度上學到許多。沉默又多采多藝大維，除了教我 EM，也是位風趣的學長。泰麟學長是個好客的學長除了會請我吃哈根答斯外，對於電路的技巧也是不吝分享。感謝欣宜學姐，是最

開始帶我模擬電路的學姐。感謝戰友智凱，在一起下線的過程中或是唱歌，都有你的陪伴，是一位能夠交心的朋友。感謝嘉苓，除了在課業上的幫忙，也是實驗室歡樂的來源。感謝實驗室助理建守，除了是能夠一起運動的好友外，對於事情的看法或者是關於學習的態度上，都給了我許多想法上的刺激。謝謝學弟楊雋、小菊花(彥鋒)的陪伴，因為你們實驗室才能多一些歡樂的笑聲，雖然我常嗆你們，不過你們知道我是愛你們的。

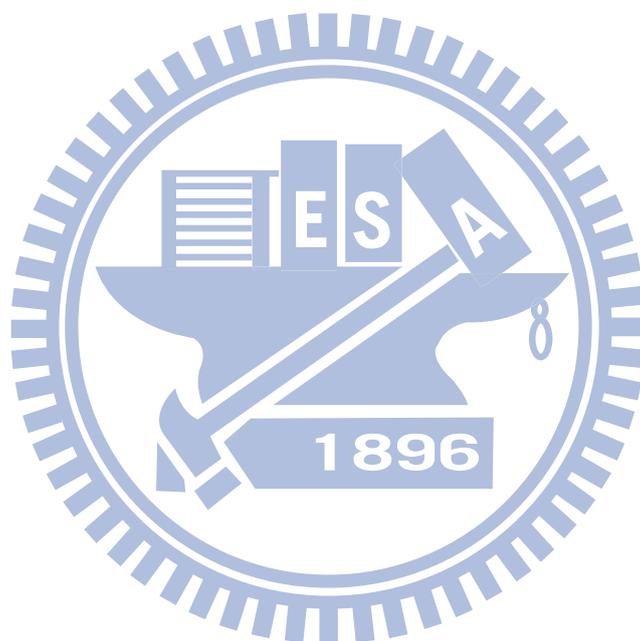
最後，感謝女友以上老婆未滿的陶子(逸明)，在我面臨許多低潮的時候，總是能夠鼓勵著我陪伴著我。感謝陶爸爸、陶媽媽和陶葛哥，讓我獨自來新竹的人都能有感覺回到家的溫暖和幫助。謝謝阿婆爸爸媽媽哥哥姐姐在許多方面的支持，讓我可以不用擔心家裡的事情，可以自在地在新竹學習，謝謝阿公的保佑，讓我在新竹一切都夠順順利利的。

林忠佑 謹於
Lab918, 交通大學
2010年7月

目錄

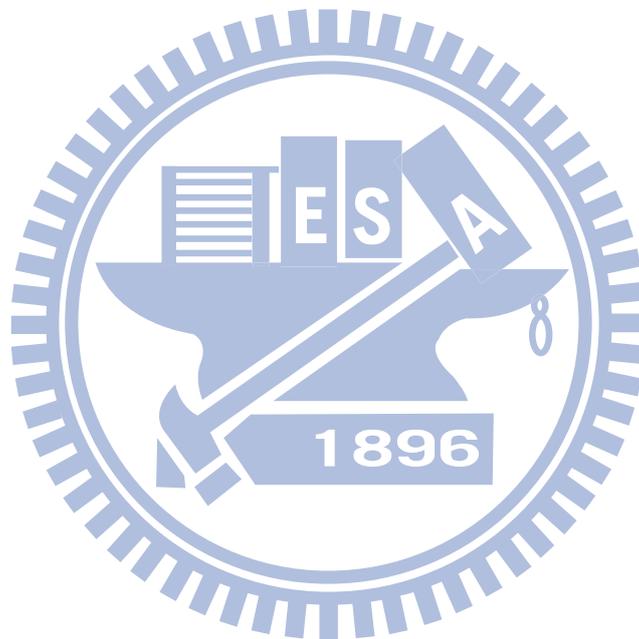
中文摘要	i
英文摘要	ii
誌謝	iii
目錄	v
表目錄	vii
圖目錄	viii
第一章 導論	1
1.1 研究動機	2
1.2 論文組織	3
第二章 2.4/5.8GHz 利用被動混頻器設計之低雜訊低功率接收機	4
2.1 前言	5
2.2 接收機設計架構	5
2.2.1 接收機架構選擇	5
2.2.2 被動混頻器雜演進和其偏壓	10
2.2.3 被動混頻器映像訊號之問題	19
2.2.4 基頻電路設計與選擇	27
2.3 實作一 5.8GHz 利用變壓器設計之接收機	33
2.3.1 研究動機	33
2.3.2 電路設計	33
2.3.3 晶片量測結果	53
2.3.4 結果與討論	59
2.4 實作二 2.4GHz 利用變壓器設計之接收機	61
2.4.1 研究動機	61
2.4.2 電路設計	61
2.4.3 晶片量測結果	61
2.4.4 結果與討論	68
2.5 實作三 利用差動放大器設計之接收機	71
2.5.1 研究動機	71
2.5.2 電路設計	71
2.5.3 晶片量測結果	75
2.5.4 結果與討論	80
第三章 HEMT 低雜訊放大器設計	82
3.1 前言	83
3.2 製程介紹	84

3.3 低雜訊放大器設計原理	86
3.3.1 源級退化阻抗的共源極放大器	86
3.4 電路實作 2.4 和 5.8GHz 低雜訊放大器設計	89
3.4.1 研究動機	89
3.4.2 電路設計	89
3.4.3 晶片量測結果	100
3.4.4 結果與討論	108
第四章 結論	109
參考文獻	111
附錄一 5.8GHz 利用圈比 4:2 變壓器設計之接收機	114
附錄二 一級 op 和兩級 op 設計 TIA 之差別	123



表目錄

表 2.1	放大器模態表現比較表	31
表 2.2	5.8GHz 利用變壓器設計接收機表現整理	17
表 2.3	2.4GHz 利用變壓器設計接收機表現整理	61
表 2.4	利用差動放大器設計接收機表現整理	77
表 2.5	HEMT 特性比較表	77
表 3.1	2.4-GHz 低雜訊放大器表現比較表	78
表 3.2	5.8-GHz 低雜訊放大器表現比較表	105



圖目錄

圖 2.1	超外差接收機架構圖	6
圖 2.2	直接降頻接收機架構圖	7
圖 2.3	接收機自我混頻示意圖	8
圖 2.4	LNA 二階非線性對接收機影響	8
圖 2.5	混頻器二階非線性對接收機影響	9
圖 2.6	一般常見主動混頻器及其改善	10
圖 2.7	(a)主動混頻器(b)被動混頻器	11
圖 2.8	(a)開啟重疊電壓示意圖(b)關閉重疊電壓示意圖	12
圖 2.9	一連串脈衝之雜訊所造成的切換時間擾動模型。在開啟重疊(ON overlap)，這個脈衝串具有 $2f_{LO}$ 的週期，然而在關閉重疊(OFF overlap)，它的週期是 f_{LO}	13
圖 2.10	(a)被動混頻器接基頻電路示意圖 (b)共源級差動放大器(c)利用 OP 設計 TIA (d) 共閘級放大器	17
圖 2.11	(a)一般電流模式被動混頻器(b)正交訊號被動混頻器	19
圖 2.12	(a)一般處理正交訊號接收機(b)LC tank 示意圖	21
圖 2.13	非線性 I 通道造成 Q 通道的非線性項	23
圖 2.14	0.18 μ m MOS BJT 製程剖面圖	27
圖 2.15	常見 OP(a)一級簡單運算放大器(b)二級運算放大器(c)疊接運算放大器(d)折疊運算放大器	28
圖 2.16	四種常見的可調式增益放大器型態	30
圖 2.17	接收機熱雜訊分析整體示意圖	33
圖 2.18	(a)利用變壓器匹配圖(b)小訊號示意圖	36
圖 2.19	覆蓋型變壓器示意圖	39
圖 2.20	(a)覆蓋型變壓器實作圖(b)對稱型變壓器	39
圖 2.21	低雜訊放大器架構圖	40
圖 2.22	考慮損耗電感之 LC tank 示意圖(b)等效 LC tank 示意圖	42
圖 2.23	模擬圖 (a)輸入返回損耗(b)雜訊指數(c)穩定度(d)電壓增益	43
圖 2.24	多重相位濾波器	44
圖 2.25	一級簡單型運算放大器搭配共模迴授放大器	46
圖 2.26	TIA 架構圖	48
圖 2.27	(a)OP 的雜訊指數 (b) TIA 的增益對頻率 (c)OP 的增益對頻率 (d)OP 的相位對頻率	49
圖 2.28	可調增益放大器架構圖	51

圖 2.29	VGA (a)增益對頻率模擬圖(b)增益對控制電壓模擬圖	51
圖 2.30	5.8 GHz 接收機架構圖 (a)LNA (b)Poly-phase filter(c)Mixer +TIA (d)VGA	52
圖 2.31	轉換增益對 LO 功率	53
圖 2.32	轉換增益對 RF 頻率	53
圖 2.33	轉換增益對 VTRF	54
圖 2.34	輸入返回損耗	54
圖 2.35	轉換增益對 RF 功率(一)	55
圖 2.36	轉換增益對 RF 功率(二)	55
圖 2.37	線性度表現對增益	56
圖 2.38	隔離度對 LO 頻率	56
圖 2.39	雜訊指數對 IF 頻率	57
圖 2.40	增益對 IF 頻率	57
圖 2.41	I/Q 振幅與相位不對稱對 RF 頻率	58
圖 2.42	I/Q 通道輸出波形	58
圖 2.43	晶片圖(1.25 X 1)	59
圖 2.44	2.4GHz 接收機架構圖 (a)LNA (b)Poly-phase filter(c)Mixer +TIA (d)VGA	62
圖 2.45	轉換增益 對 RF 頻率	63
圖 2.46	轉換增益 對 LO 功率	63
圖 2.47	轉換增益 對 RF 輸入功率	64
圖 2.48	輸出功率 對 輸入功率	64
圖 2.49	轉換增益對 VTIF	65
圖 2.50	線性度表現	65
圖 2.51	雜訊指數對 IF 頻率	66
圖 2.52	隔離度對 LO 頻率	66
圖 2.53	輸入返回損耗	67
圖 2.54	基頻 IQ 訊號輸出圖	67
圖 2.55	晶片圖(1.48 X 1.58)	68
圖 2.56	差動放大器架構圖	72
圖 2.57	5.8GHz 接收機架構圖 (a)LNA (b)Poly-phase filter(c)Mixer +TIA (d)VGA	74
圖 2.58	轉換增益 對 RF 功率	75
圖 2.59	轉換增益 對 LO 功率	75
圖 2.60	轉換增益 對 RF 輸入功率	76
圖 2.61	輸出功率 對 輸入功率	76
圖 2.62	線性度表現	77
圖 2.63	線性對表現 對 增益	77

圖 2.64	轉換增益 對 IF 頻率	78
圖 2.65	雜訊指數 對 IF 頻率	78
圖 2.66	隔離度 對 LO 頻率	79
圖 2.67	晶片圖(1.48 X 1.58)	79
圖 3.1	HEMT 製程剖面圖	86
圖 3.2	帶有源極退化阻抗的共源極放大器模型	87
圖 3.3	帶有源極退化阻抗的共源極放大器小訊號模型	88
圖 3.4	pHEMT I-V 曲線	90
圖 3.5	(a)CMOS 電流鏡 (b) HEMT 自偏壓電流鏡	90
圖 3.6	(a)共源級共汲級放大器 (b)共源級共源級放大器	91
圖 3.7	(a) R_p 在 L_g 之後 (b) R_p 在 L_g 之前	92
圖 3.8	(a)測試 R_p 貢獻雜訊模擬架構圖 (b)雜訊指數對頻率模擬圖	93
圖 3.9	代入實際元件電路雜訊指數對頻率的模擬圖	94
圖 3.10	雜訊指數模擬與量測的比較圖(a)2.4GHz(b)5.8GHz	95
圖 3.11	電晶體 電流密度和轉導值對 V_{gs} 作圖	96
圖 3.12	pHEMT 2.4GHz 共源級共汲級放大器(CSCD)	97
圖 3.13	pHEMT 2.4GHz 共源級共源級放大器(CSCS)	97
圖 3.14	mHEMT 2.4GHz 共源級共汲級放大器(CSCD)	97
圖 3.15	pHEMT 5.8GHz 共源級共汲級放大器(CSCD)	98
圖 3.16	pHEMT 5.8GHz 共源級共源級放大器(CSCS)	98
圖 3.17	mHEMT 5.8GHz 共源級共汲級放大器(CSCD)	98
圖 3.19	共源級共汲級放大器(a)直流路徑圖(b)小訊號路徑圖	99
圖 3.19	共源級共源級放大器(a)直流路徑圖(b)小訊號路徑圖	99
圖 3.20	2.4GHz 輸入反射損耗 對 RF 頻率	100
圖 3.21	2.4GHz 輸出反射損耗 對 RF 頻率	100
圖 3.22	2.4GHz 增益 對 RF 頻率	101
圖 3.23	2.4GHz 雜訊指數 對 RF 頻率	101
圖 3.24	pHEMT 2.4GHz 共源級共汲級放大器(a)IIP3 (b)IP1	102
圖 3.25	pHEMT 2.4GHz 共源級共源級放大器(a)IIP3 (b)IP1	102
圖 3.26	mHEMT 2.4GHz 共源級共汲級放大器(a)IIP3 (b)IP1	102
圖 3.27	5.8 GHz 輸入反射損耗 對 RF 頻率	103
圖 3.28	5.8 GHz 輸出反射損耗 對 RF 頻率	103
圖 3.29	5.8GHz 增益 對 RF 頻率	104
圖 3.30	雜訊指數 對 RF 頻率	104
圖 3.31	pHEMT 5.8GHz 共源級共汲級放大器(a)IIP3 (b)IP1	105
圖 3.32	pHEMT 5.8GHz 共源級共源級放大器(a)IIP3 (b)IP1	105
圖 3.33	mHEMT 5.8GHz 共源級共汲級放大器(a)IIP3 (b)IP1	105
圖 3.34	pHEMT 共源級共汲級放大器(a)2.4GHz (b)5.8GHz	106

圖 3.35	pHEMT 共源級共源級放大器(a)2.4GHz (b)5.8GHz	106
圖 3.36	mHEMT 共源級共汲級放大器(a)2.4GHz (b)5.8GHz	106
圖 A.1	(a)LNA 架構圖 (b)LNA 加上變壓器等效電路圖	113
圖 A.2	5.8 GHz 接收機架構圖 (a)LNA (b)Poly-phase filter(c)Mixer +TIA (d)VGA	114
圖 A.3	轉換增益對 LO 功率	115
圖 A.4	轉換增益對 RF 頻率	115
圖 A.5	轉換增益對 VTRF	116
圖 A.6	輸入返回損耗	116
圖 A.7	轉換增益對 RF 功率	117
圖 A.8	最高增益時線性度表現圖	117
圖 A.9	線性度表現對增益	118
圖 A.10	隔離度對 LO 頻率	118
圖 A.11	雜訊指數對 IF 頻率	119
圖 A.12	增益對 IF 頻率	119
圖 A.13	I/Q 振幅與相位不對稱對 RF 頻率	120
圖 A.14	I/Q 通道輸出波形	120
圖 A.15	晶片圖(1.25 X 1)	121
圖 B.1	(a)差動輸入差動輸出 TIA (b)簡化後單端輸入單端輸出 TIA(c)把 TIA 拆成無迴授 A 電路	122
圖 B.2	(a)差動輸入單端輸出一級運算放大器搭配電阻迴授 (b)小訊號 電路模型 (c) 無迴授 A 電路	123
圖 B.3	(a)差動輸入單端輸出二級運算放大器搭配電阻迴授 (b)小訊號 電路模型 (c) 無迴授 A 電路	125

第一章

導論



1.1 前言

無線網路的研究熱潮隨著各種網路技術的發展而日益蓬勃，無論是行動通訊網路或是各式的便利的設備如筆記型電腦、2G 和 3G 手機、個人數位助理、家電..等的推陳出新，使得使用者的行動力大為增加。且為配合政府 e-Taiwan 計劃，台灣區電機電子工業同業無線通訊聯盟及工業局無線通訊產業發展推動小組共同公布全國統一的「公眾 WLAN (Wireless LAN 無線區域網路) 上網標章」，以加速推動產業的發展與應用。在 1999 年 802.11a 定義了一個在 5GHz ISM 頻段上數據傳輸速率可達 54Mbit/s 的實體層，其有可同時使用多個頻道以加快傳輸速度、且電波不易受干擾的特點。因此本篇論文則設計在此一頻段上的接收機(Receiver)及在接收機前端之低雜訊放大器(LNA)。

過去較常的超外差接收機，有映像訊號、整合度不高..等缺點。在整合一系統時，需要額外的濾波器來濾掉映像訊號，造成整體雜訊指數、成本、直流功率消耗變高，整體整合度也不高。因此有學者提出直接降頻接收機(Zero IF)的架構，也就是說利用本地振盪訊號頻率跟射頻訊號的頻率差不多的方式，把訊號一次降頻至基頻的訊號。這種方式不用多餘的濾波器來濾掉映像訊號，且較簡單的基頻電路接在接收機後方即可。實作一系統時，不太需要額外元件，使得整體整合度較高。直接降頻接收機也有其缺點，例如在非常低頻的時候，幾百 kHz 的地方，其會有顫抖雜訊(flicker noise)、直流偏壓準位偏移(dc offset)..等問題。

在射頻積體電路製程上，CMOS 具有技術成本低且有較佳系統整合能力，因此使用 CMOS 製程技術在單一晶片上同時實現射頻前端

電路及基頻電路似乎是發展主流。但從特性觀點來看砷化鎵(GaAs)，因電子遷移率(electron mobility)是矽的五到十倍，因此 GaAs-based 元件有更高的截止頻率和更高的轉導，所以 GaAs-based 的 PHEMT 技術也非常適合高頻電路之應用。本篇論文主要將採用這三種製程技術來探討射頻混頻器電路的設計與實現。

1.2 論文組織

本篇論文將利用 CMOS、PHEMT、MHEMT 製程技術來設計晶片。本論文分為三個章節，第一章為導論，說明無線通訊的發展與前端電路的設計觀念；第二章為利用被動混頻器來設計一接收機，來改善在降頻後，出現在基頻部的顫抖雜訊；第三章為5GHz 低雜訊放大器設計，利用 PHEMT 製程設計出兩個架構不同的低雜訊放大器的，降低雜訊貢獻；第五章則對上述的所有電路設計與實作結果做個結論。



第二章

2.4/5.8GHz 利用被動混頻器設計之低雜訊低功率接收機

2.1 前言

隨著電腦時代的來臨，網路時代的發達，及製程技術的進步。使得現代網路通訊的產品越來越多，如手機，筆記型電腦，視訊產品...等。因為無線網路之方便，使得現代人對網路的需求越來越大，對於產品規格反而越來越嚴格。就手機來說，除了要求通品質要好、要有照像錄影功能、還必需要能在長時間下操作。對於這些要求在系統上來講，就是要雜訊指數低、線性度高、低功率外，還必需要高積體化的晶片，使得相同的空間容下較多的功能。

本章節先比較現今較為常見的接收機系統架構，接下來探討其優缺點找出較適合於低雜訊整合度較高之系統架構。再到電路的層面上來看，利用電路上的技巧解決這些的缺失。最後是電路實做結果的量測與討論。

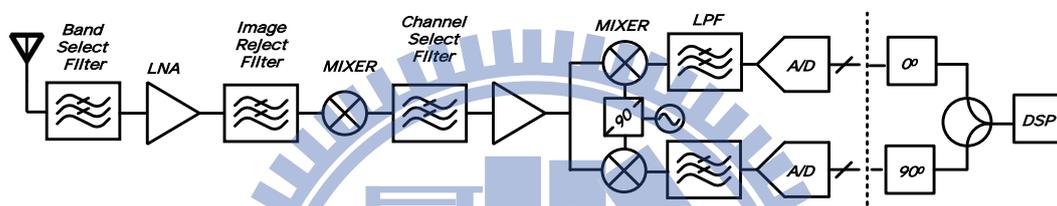
2.2 接收機架構設計

2.2.1 系統架構比較與選擇

隨著通訊技術的發展，及通訊產品的普及，對於其電路表現要求越來越嚴格。電路表現除了一些常見線性度、雜訊、增益...等影響通訊品質的因素外，還必需考慮到成本、功率損耗...等。相關這些考量下，選擇適當的架構就顯得格外的重要。在現今於一般常見的接收機

架構中，常見的有兩種：超外差架構及直接降頻接收機。

在一般的降頻的頻譜上，RF 頻率通常會略大於 LO，在經過降頻後除了 RF 的訊號，比 LO 小於一段 IF 頻率的訊號，也會降頻至 IF 頻率，我們稱此訊號為映像訊號(image signal)。如圖(2.1)所示，故有學者提出了超外差架構，利用降兩次頻，在其過程中用濾波器來濾掉映像訊號及頻道的選擇。

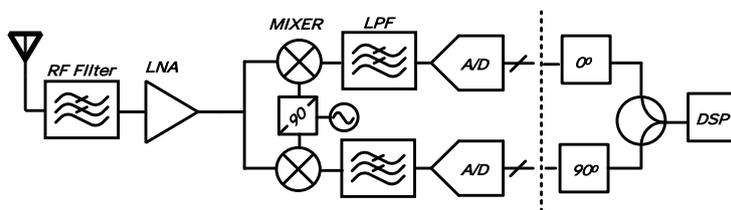


圖(2.1) 超外差接收機架構圖

對於超外差接收機的架構中，在第一次降頻如何選擇中頻頻段的頻率就很重要。如果把中頻頻率設定的較高的話，會有較好的濾掉映像訊號的效果；若如果是選擇較低的話，擇會有較好的頻道選擇。故在選擇中頻頻率時會有一取捨。而在第二次降頻時，在一些解調方面的動作，通常是在這邊開始的，故在這邊會有 LO 會分兩路。使降頻下來的訊號會相差 90 度的相位差。之後再接上濾波器，濾掉其他頻率的訊號，再由後續的類比數位電路去解調出我們想要的訊號。

當然在這過程中，有幾個很嚴重的致命傷。第一在中頻的選擇就有一個取捨，且在這過程中，為了有較好的濾掉映像頻率的效果，此濾波器通常會另接外部較高 Q 值的濾波器，對於一些低成本、高整

合度要求，這架構恐怕就達不到了。再著在這一接收路徑中，會使用較多的濾波器，對於一些低雜訊要求的接收機，其前面的 LNA 勢必要有更大的增益來壓制後面的雜訊。

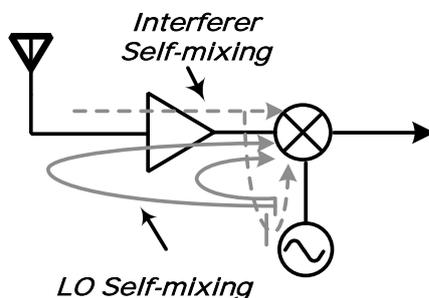


圖(2.2) 直接降頻接收機架構圖

而直接降頻接收機的方式，則是利用 LO 的頻率大約和 RF 一樣，一次降頻至基頻，且為了解調的關係，在這次的混頻就有了正交的訊號，經一低通濾波器，再接至後級數位類比電路。這個方式相較於超外差接收機的架構來看，有兩個好處，第一:這種方式間接地避免了映像雜訊的問題。第二:因其基頻訊號的頻率很低，故在選擇頻道方面，濾波器只需一低通濾波器即可。故具有較高整合度，且較少原件的好處。當然也有其它缺點，諸如:直流準位偏移(DC offset)、二階非線失真(Second order distortion)、本地訊號溢漏(LO leakage)、正交訊號不匹配(I/Q mismatch)、顫抖雜訊(flicker noise)...等問題。

從本地訊號溢漏開始說起，其最主要就是因為 RF 埠與 LO 埠的隔離度並不是無限大，且 RF 頻率與 LO 頻率太過接近，所以 LO 號訊號會溢漏到 RF 埠。其 LO 訊號可能會隨著天線再度的幅射進其它的接收機。會對其它接收機造成同頻阻隔干擾(In-band Blocking

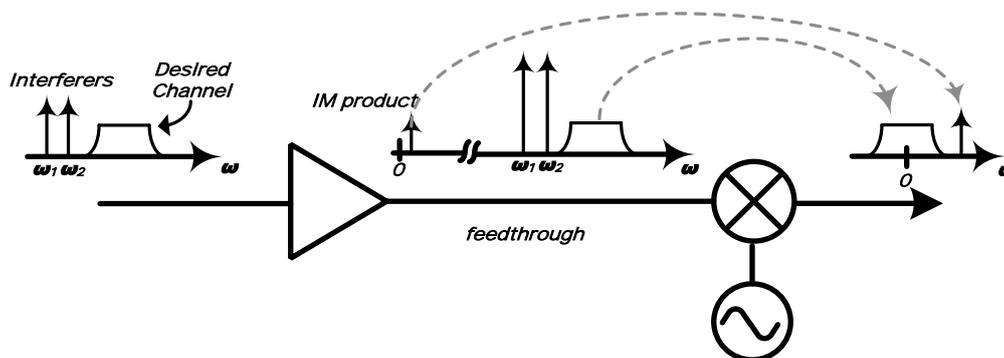
Interference)。這也是造成直流準位位移的原因之一。這個問題除了跟電路架構有關外，製程，電路佈局也會造成這個問題。



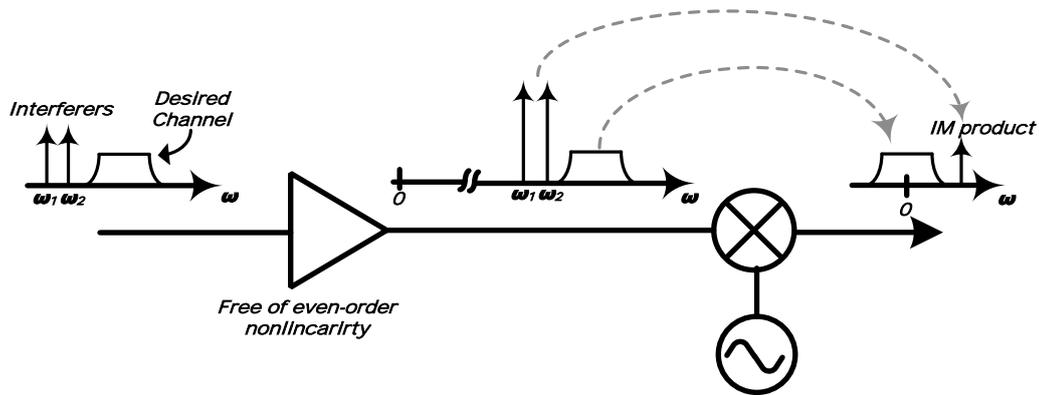
圖(2.3) 接收機自我混頻示意圖

直流準位偏移最主要也是因為 RF 跟 LO 的隔離度。如圖(2.3)所示。RF 的訊號會藉由電路走線耦合或基本的電容耦合效應，溢漏至 LO 阜形成自我混頻(Self mixing)。反之 LO 阜也會。除了 LO 溢漏外，二階非線性失真也會造成這問題。

二階非線性失真可以用圖(2.4)圖(2.5)來說明。在我們所要頻帶外，假如有兩根很大的干擾時，不管經過低雜訊放大器或混頻器時，會因其非線性的效果，而造成在頻帶內或附近的干擾，且亦會造成直流準位的偏移。



圖(2.4) LNA 二階非線性對接收機影響

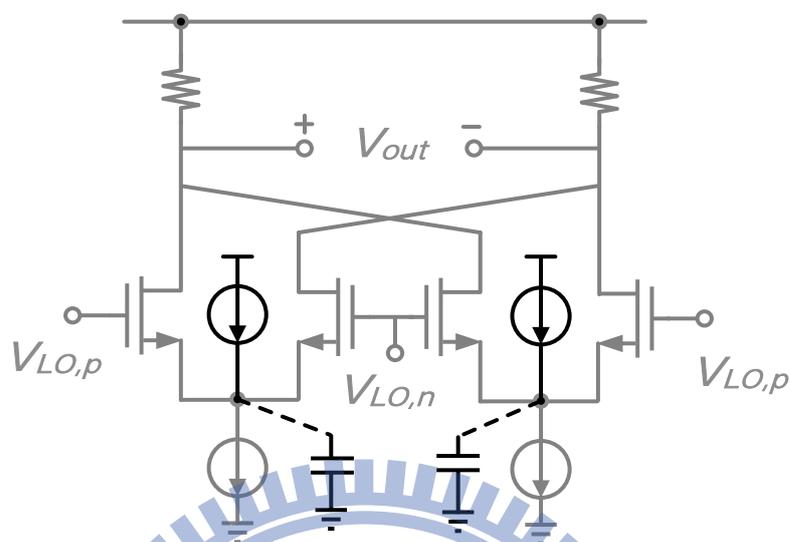


圖(2.5) 混頻器二階非線性對接收機影響

當本地訊號有誤差時，不管是在振幅或相位上，都會造成基頻訊號星座圖的失真，使得位元錯誤率上昇，故在設計時必需考慮這個因素。顫抖雜訊也是一個問題，其特性跟頻率成反比，故在直接降頻接收機影響會較大。

在以上的考量下，基於現今走向系統單一系統晶片化，高整合度的趨勢，且對於一些低功率的接收機系統來看，直接降頻接收機或許是較佳的選擇。

2.2.2 被動混頻器的演進與其偏壓



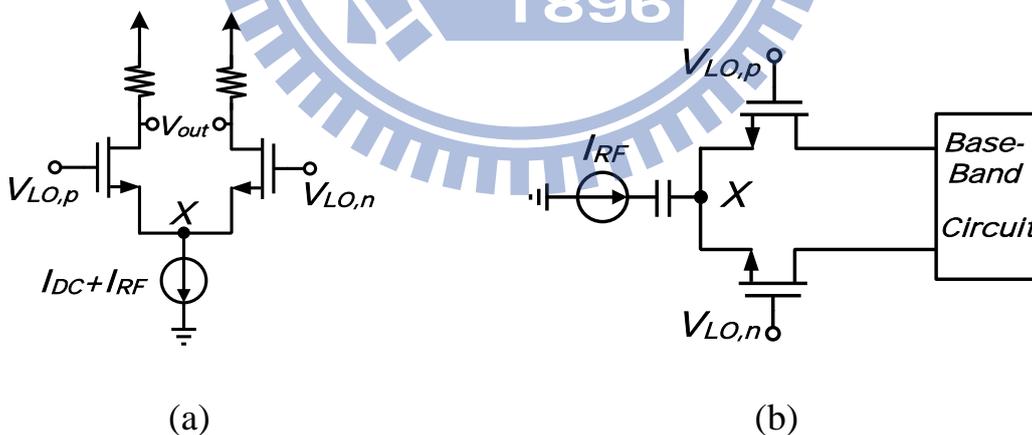
圖(2.6) 一般常見主動混頻器及其改善

從之前的文獻中指出，主動混頻器的顫抖雜訊中，開關級供獻的顫抖雜訊正比於自流過直流電流，因此減少流過開關級的電流可以有效地減少開關級供獻的顫抖雜訊，因此另有篇文獻指出可以使用出如上圖(2.6)的方式，多使用一級電流源加在開關級的共源級處，使得開關級的直流電流可以有效地減少，使用這種方式有不少的缺點，線性度變差及熱雜訊會增加...等缺點。共源級的輸入阻抗變小，會使得高頻訊號多流進其共源級的寄生電容。這種問題可以用另一種設計方式改善，就是在開關級發生零重疊(zero crossing)的時候，再注入電流，使得這時候的流進開關級的電流變少，進而降低顫抖雜訊。

從上段的對顫抖雜訊的描述，可以知道減少開關級顫抖雜訊對整體接收機的影響，正比於減少流過開關級流過的直流電流。與其減少

其流進開關級的電流，倒不如不給直流電流給開關級，使得開關級的電晶體在開關打開時，操作在三極管區(triod-region)，也就是被動混頻器。相較於主動混頻器，其開關級電晶體在打開時是操作在飽和區，被動混頻器所需的本地振盪訊號會比主動混頻器來得大。當本地振盪源的訊號變大時，電晶體進入三極管區，使得輸入端小訊號電流流進其進入三極管區 ON 的阻抗。不同於主動混頻器，開關級電晶體當作成一電流緩衝器。為了減少後級電路對混頻器的影響，電流緩衝器是必要的。混頻器後級的電流緩衝器，通常為一低輸入阻抗的，及高輸出阻抗的基頻電路，在後面的章節，會提及這些電路。

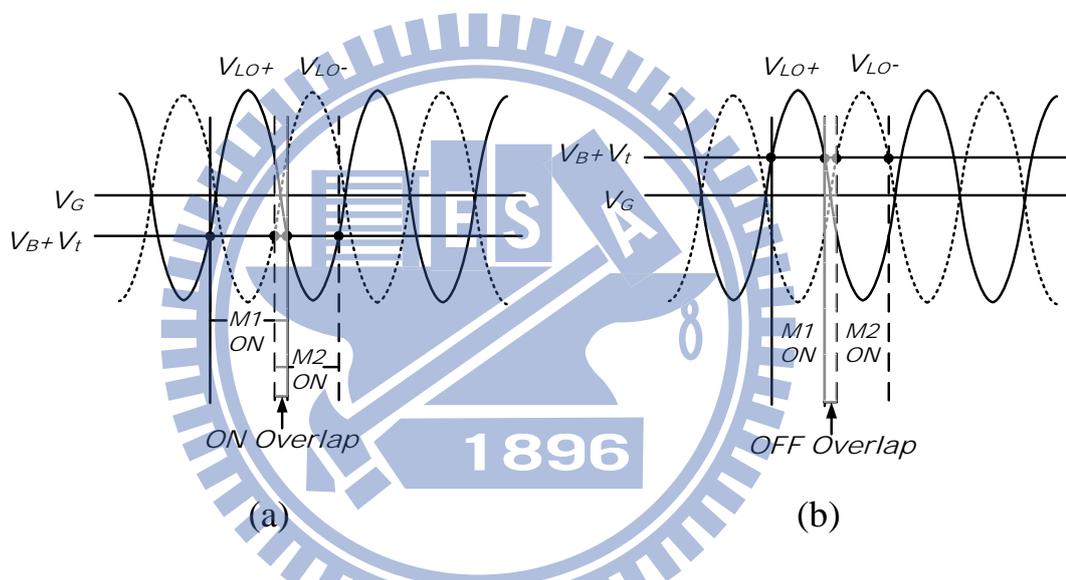
被動混頻器操作模式：



圖(2.7) (a)主動混頻器(b)被動混頻器

圖(2.7)為主動混頻器一般常見之架構，其輸出通常再接出去基頻電路，由其架構可以發現其 x 點電壓會隨著本地震盪源之訊號影響。

而右圖為一般常見被動混頻器之架構，在其 x 點及前級 LNA 部份被一電容隔離，使其前級 LNA 之電壓不會影響後級混頻器電路，故其電壓被後級基頻電路的輸入端電路決定，在電晶體 ON 的時候，確定其進入三極管區，其本地震盪源之訊號不會影響該點電壓。故在偏壓的設計上會有三種不一樣的情形如圖(2.8):關閉重疊、零重疊、開啟重疊。



圖(2.8) (a)開啟重疊電壓示意圖(b)關閉重疊電壓示意圖

重疊的意思是指在某一時間，LO 訊號在接近交錯的時間點上，開關級電晶體會同時動作的情形出現，也就是說，兩顆本來是處在快速的一邊開啟一邊關閉的動作，在某一時間點上，兩顆會同時開啟或同時關閉的情形發生。

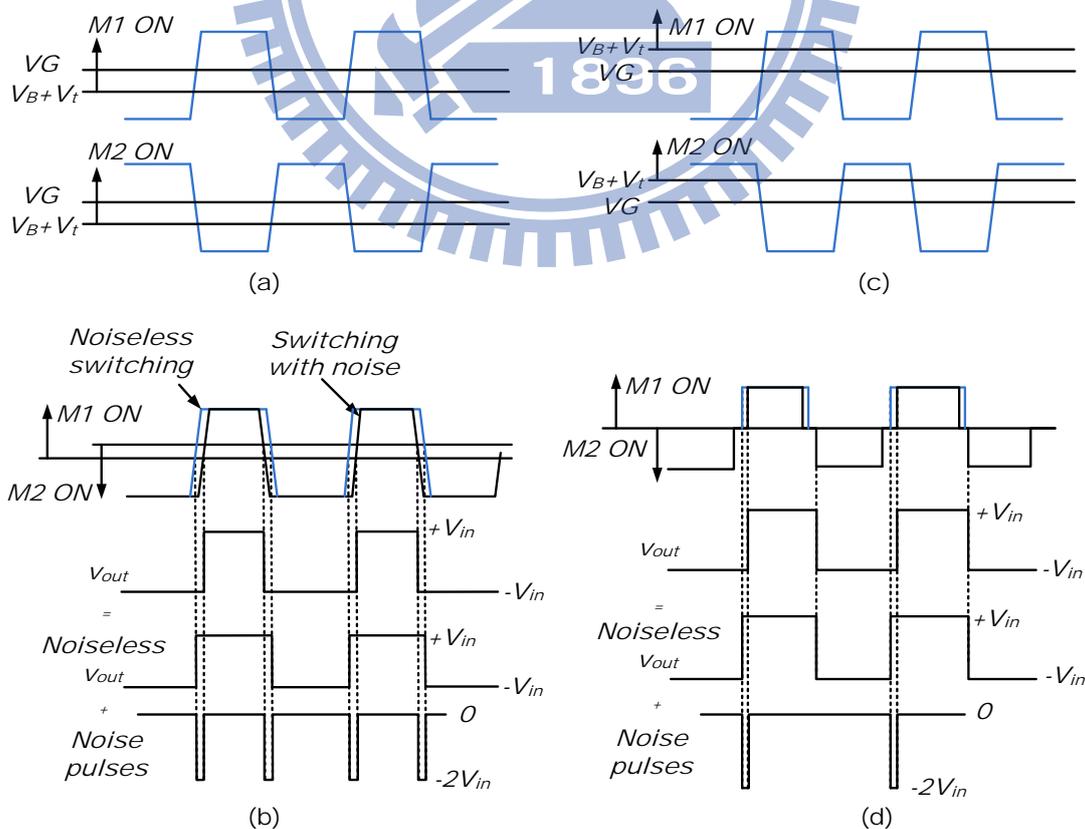
那設計在哪個情況下就是要設計其直流偏壓點設定的情況，以 NMOS 來講，假設 V_B 是開關電晶體源級電壓，其決定於後級電晶體輸

入阜電壓， V_{TH} 為電晶體的導通臨界電壓， V_G 為電晶體閘級電壓。只要在設計 $V_B + V_{TH} < V_G$ 的情況下，其開關情形會如上左圖所示，在某一時間點上，兩顆電晶體會同時打開的情況下發生，這種情況稱為打開重疊。反之只要 $V_B + V_{TH} > V_G$ 的情形下則會如右圖所示，在某一時間點上會有兩顆電晶體同時關閉的情形，這種情況稱之為關閉重疊。

以下分成開啟重疊(ON overlap)和關閉重疊(OFF overlap)來討論。

(1) 開啟重疊(ON overlap)：

見圖(2.9)，電晶體 M1 和 M2 偏壓在開啟重疊的時候，其導通狀態和 LO 輸入波形的關係如圖(2.9) (a)。將圖(2.9) (a)的兩個圖形重疊後畫在一起，可以得到圖(2.9) (b)最上方的圖形。



圖(2.9) 一連串脈衝之雜訊所造成的切換時間擾動模型。在開啟重疊

(ON overlap)，這個脈衝串具有 $2f_{LO}$ 的週期，然而在關閉重疊(OFF overlap)，它的週期是 f_{LO}

接下來使用和主動混頻器相同的分析方式：理想上來說，當 LO 為正，M1 導通且 M2 關閉；當 LO 為負，M1 關閉且 M2 導通。再來，在閘極包含一個顫動雜訊源來分析。當 FET 開關被有限斜率的 LO 訊號驅動，等效在閘極的顫動雜訊(flicker noise)會調變它們開啟/關閉的瞬間，也就是會提前或延遲零交會點(zero-crossing)發生的時間。換句話說，這會調變輸出的循環週期(duty cycle)，而且經過任意的循環週期，雜訊會出現在輸出。此雜訊源造成之切換瞬間的調變，可以由一連串雜訊脈衝來作為雜訊的等效模型(參考圖(2.9)圖(2.9)，此為直流輸入的狀況)。這一串脈衝具有 $2f_{LO}$ 的週期，而且脈衝的高度和 v_{in} 有關。對一個弦波差動輸入 $v_{in} = A_{in} \sin \omega_{in} t$ ，由脈衝列(impulse train)的頻譜，得到之雙平衡式混頻器的輸出雜訊如下：

$$v_{no} = \frac{A_{in}}{(ST)_{LO}} \left(\sum_{n=-\infty}^{\infty} \mp v_n (f \pm f_{in} - 2nf_{LO}) \right) \quad (2.1)$$

S 是切換時的斜率，T 是 $V_{LO}(t)$ 的週期， $\hat{v}_n^2(f)$ 是一個 FET 的閘極輸入參照(input-referred)雜訊之頻譜密度；在這個情況下，是顫動雜訊的頻譜密度。對於具有單端振幅為 A_{LO} 之弦波 LO 訊號，

$$ST = 2\pi \sqrt{A_{LO}^2 - (V_G - V_t - V_B)^2} \quad (2.2)$$

顫動雜訊(flicker noise)出現在頻率 f_{in} ， $\sqrt{2f_{LO} \pm f_{in}}$ ，...，然而 IF 訊號會出現在 $|f_{in} - f_{LO}|$ 。廣義來說，顫動雜訊(flicker noise)出現在和 IF 訊號不同的頻率，不會侵害到想要的訊號。但是，當 $f_{in} = 3f_{LO} / 2$ ，顫動雜訊會和 IF 訊號會相撞。此外，如果一個很大且不想要的訊號出現在 $f_{LO} + f_{in}$ 或 $3f_{LO} - f_{in}$ ，它會堆積顫動雜訊(flicker noise)至 IF 訊號的附近頻帶。而且混頻器的輸出雜訊正比於輸入訊號。若有很大且不想要的訊號堆積顫動雜訊(flicker noise)到想要訊號的附近頻帶，那麼訊號對雜訊比(SNR)會因為不想要的訊號之相對強度而變差。這對於某些無線接收機造成很大的困擾，因為很大的閉塞訊號(blocking signal)可以存在 $2f_{LO}$ 附近。

(2) 關閉重疊(OFF overlap)：

在此操作模式，會有一小段時間，混頻器的輸出和輸入呈現開路。當一個 FET 開啟，輸出會跟隨此輸入。在關閉重疊(OFF overlap)期間，負載電容會保持這個輸出。如圖(2.9)圖(2.9)所示，對於直流輸入，只有在 FET 開關開啟的時候，FET 的雜訊才會調變輸出；開關閉的時候不會對輸出有影響，並且保持這個輸出。因此，輸出雜訊脈衝和這一個 FET 有關且隨著頻率 f_{LO} 重複，而不是 $2f_{LO}$ 。對於弦波輸入，雙平衡式混頻器的輸出雜訊電壓頻譜為：

$$v_{no} = \frac{A_{in}}{(ST)_{LO}} \left(\sum_{n=-\infty}^{\infty} \mp v_n (f \pm f_{in} - nf_{LO}) \right) \quad (2.3)$$

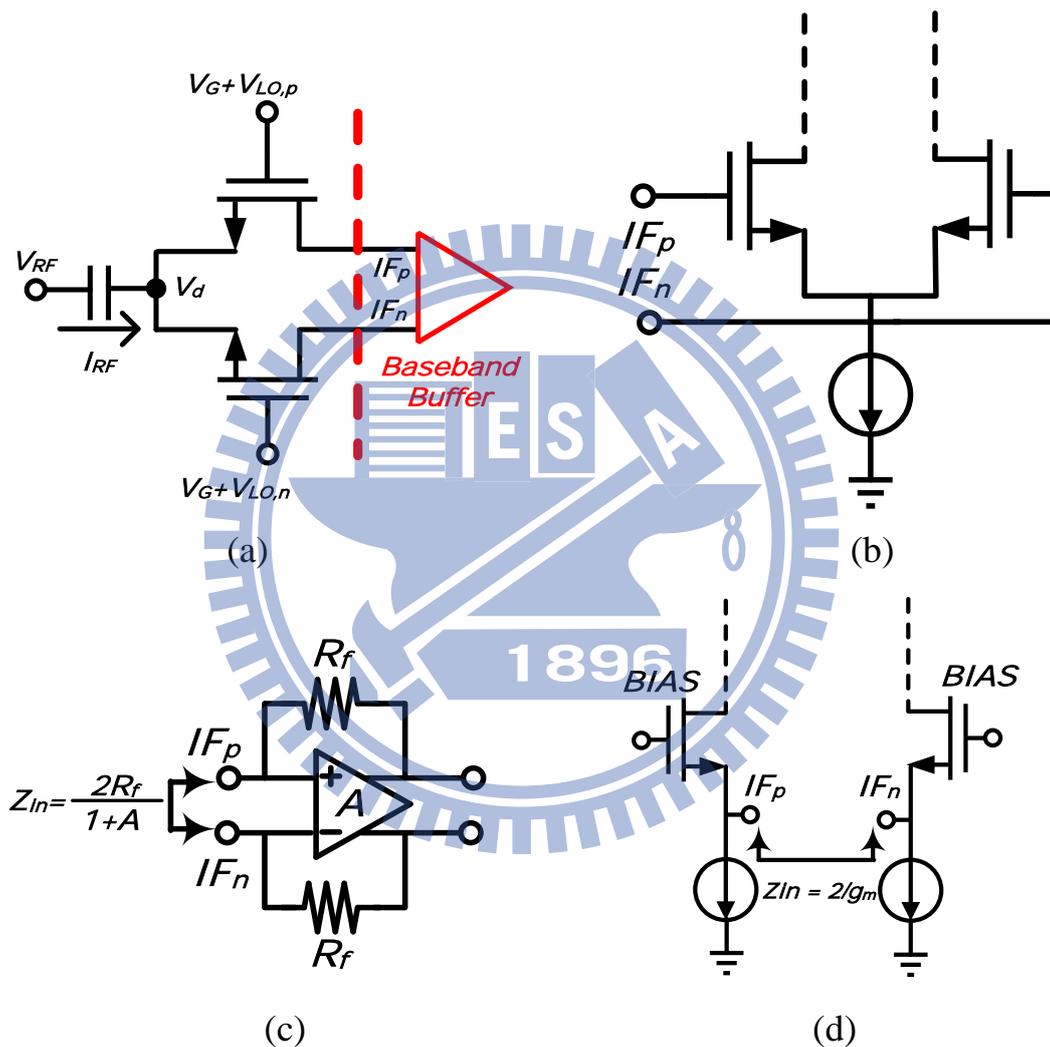
現在顫動雜訊(flicker noise)會往輸出端轉換至 $|f_{in} - f_{LO}|$ ，剛好也是經過降頻後得到的訊號頻率。因此，在關閉重疊(OFF overlap)模式之下，顫動雜訊(flicker noise)總是會使訊號對雜訊比(SNR)變差。在線性電路中，我們習慣藉由傳送訊號之大小來對抗固定的雜訊，如此訊號對雜訊比(SNR)會隨著提高訊號的大小而改善。然而在此混頻器，輸出的顫動雜訊(flicker noise)會隨著訊號的增加而上升，這意味著輸出的訊號對雜訊比(SNR)和輸入訊號無關。這個訊號對雜訊比(SNR)可以表示為：

$$SNR_{out} = \frac{1 (ST)_{LO}}{\pi \sqrt{2} v_n} \quad (2.4)$$

當 LO 波形變得更像方波， ST 乘積會上升，使得訊號對雜訊比(SNR)獲得改善；也就是說，在一個接收機，其他元件將會限制最終的訊號對雜訊比(SNR)。

經過上述的分析，可以有以下的結論：被動混頻器依照輸入和開極偏壓的不同，可以在兩種不同的模式下操作。在開啟重疊(ON overlap)模式下，顫動雜訊(flicker noise)出現的頻率會遠離訊號頻率。然而，在混頻器的輸出端，若不想要的輸入訊號很大，在某些頻率會堆積顫動雜訊(flicker noise)到想要的訊號。在關閉重疊(OFF overlap)

模式下，混頻器的輸出端，顫動雜訊(flicker noise)會和想要的訊號相撞。當雜訊和訊號成正比，輸出的訊號對雜訊比(SNR)會由於顫動雜訊(flicker noise)而變成常數，只能藉由更像方波的 LO 訊號來改善，也就是需要更大的 LO power，增加訊號產生器的功率消耗。



圖(2.10) (a)被動混頻器接基頻電路示意圖 (b)共源級差動放大器

(c)利用 OP 設計 TIA (d) 共閘級放大器

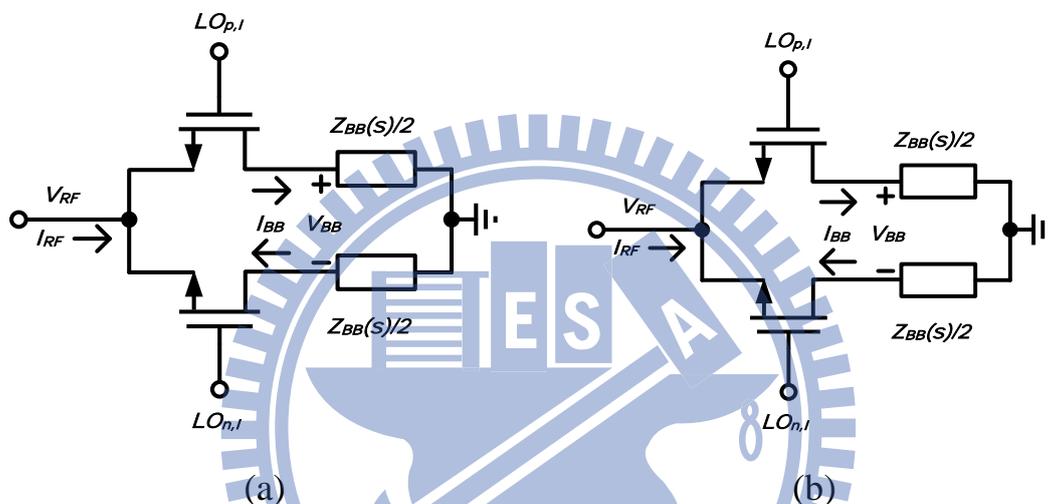
在設計不同的偏壓下會有不同的重疊的情形，其對顫抖雜訊及熱雜訊都會有不同的影響。而後級的基頻電路也會影響接收機的效能，

其示意圖可由如圖(2.10)(a)表示。如圖(2.10)(b)利用類似共源級差動放大器當做基頻的電路。這種電路的阻入阻抗相當大，所以其基頻訊號在輸入阜的地方電壓擺伏會比較大再由差動放大器放大電壓訊號，這種模態稱電壓模態(Voltage mode)。而另一種方式，則是在基頻電路輸入阜的地方設計成低阻抗，把基頻訊號引成電流的模態，再經由類似轉阻放大器(Transimpedance Amplifier)的型式把訊號放大，則這種模式稱為電流模態(Current mode)，轉阻放大器一般有兩種常見的設計如圖(2.10)(c) 利用 OP 搭配回授電阻設計的轉阻放大器和(d)利用共閘級的電路設計成放大器。

電流模態(Current mode)與電壓模態(Voltage mode)的差異在於線性度的好壞。若使用電壓模態，其混頻器沒有增益，也就是說輸入的射頻訊號和輸出的基頻訊號兩者的電壓擺伏差不多大小，在這種情況下會容易產生多餘的諧波項，造成線性度不好的問題。而相對地，若使用電流模態時，基頻電路的輸入阜幾乎沒有電壓擺伏，而沒有這種問題，所以使用電流模態比較沒有多餘諧波的問題，其線性度較佳。而圖(2.10)(c)(d)這兩種基頻電路同樣都是低輸入阻抗的特性，但在低電流操作時，由 OP 設計出的 TIA 其輸入阻抗會更小，且其 OP 增益夠大時，輸入阜會有虛接地的情況發生，故使用 OP 當作 TIA 整體的表現會比較好一些。

2.2.3 被動混頻器的映像訊號問題

動混頻器天生上比較沒有基頻和射頻訊之間的隔離度，因此在設計被動混頻器的接收機時，在 I Q 通道上的訊號會交互影響，影響整體接收機的線性度(IIP2,IIP3)及不一樣訊號(high side)與映像訊號(low side)的增益。



圖(2.11)(a)一般電流模式被動混頻器(b)正交訊號被動混頻器

圖(2.11)為被動混頻器接上基頻電路的示意圖，兩顆 MOS 當作是混頻器在其閘級給上相位差為 180 度的本地(LO)訊號源;F 訊號 $i_{RF}(t)$ 則由 MOS 之源級進去。經由 LO 大訊號來使 MOS 做為一個開關的效果，使其降頻至基頻訊號 $\left(\frac{2}{\pi}\right)i_{RF}(t)\cos\omega_{LO}$ ，假設負載阻抗為一線性非時變的系統且其差動看進去阻抗為 $Z_{BB}(s)$ 則其基頻跨在負載上之偏壓為

$$v_{BB}(t) = \left[\frac{2}{\pi} i_{RF}(t) \cos(\omega_{LO}t) \right] * Z_{BB}(t) \quad (2.5)$$

因其缺乏 RF 至 IF 之隔離度，基頻訊號也會隨著混頻器的開關昇頻至頻率為 ω_{LO} 及其更高次的奇次諧波項。我們只關心在 ω_{LO} 附近的訊號，更高次項則乎略。其在 RF 端的電壓可寫成下列形式：

$$v_{RF}(t) = R_{SW}i_{RF}(t) + \frac{4}{\pi^2} \cos(\omega_{LO}t) ([i_{RF}(t) \cos(\omega_{LO}t)] * Z_{BB}(t)) \quad (2.6)$$

經由 LAPLACE 轉換後其在頻域形式為：

$$v_{RF}(s) = R_{SW}I(s) + \frac{1}{\pi^2} \begin{bmatrix} I_{RF}(s)Z_{BB}(s + j\omega_{LO}) \\ + I_{RF}(s)Z_{BB}(s - j\omega_{LO}) \\ + I_{RF}(s - 2j\omega_{LO})Z_{BB}(s - j\omega_{LO}) \\ + I_{RF}(s + 2j\omega_{LO})Z_{BB}(s + j\omega_{LO}) \end{bmatrix} \quad (2.7)$$

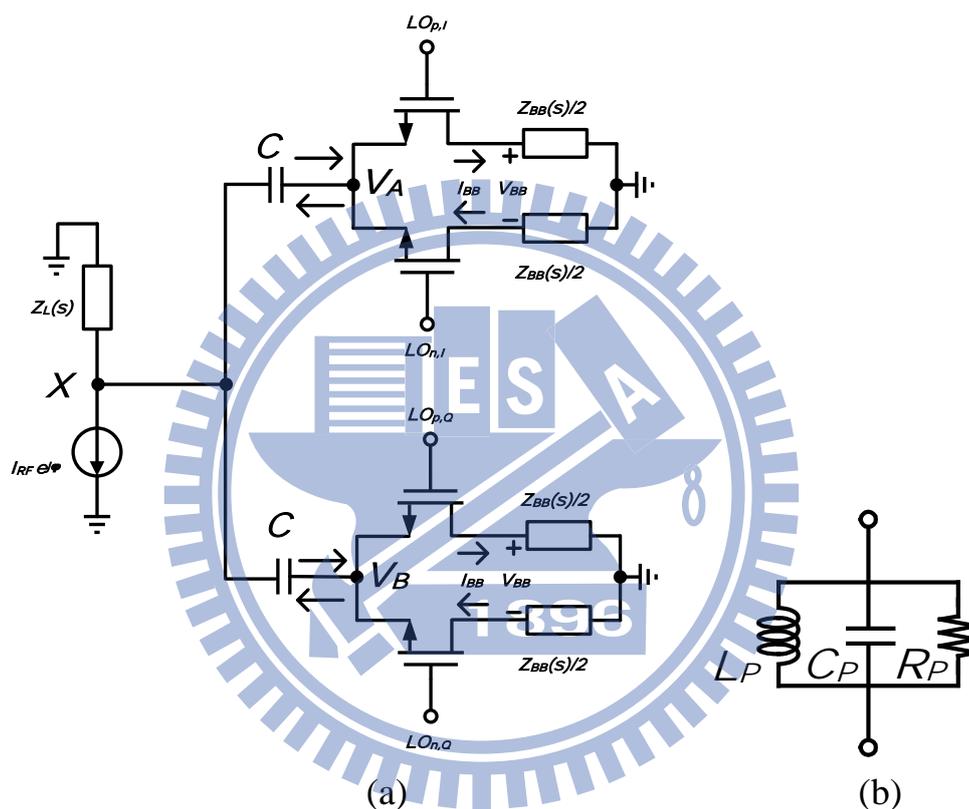
從上述的式子中，若把把 RF 頻率下的電流表示成相位的形式： $I_{RF} \exp(j\phi_{RF})$ ，從以上形式可以把上式分成兩個頻率成分 $\omega_{LO} + \omega_m$ ，鏡像訊號頻率 $\omega_{LO} - \omega_m$ ，整理如下兩式

$$V_{RF}(\omega_{LO} + \omega_m) = \left[R_{SW} + \frac{1}{\pi^2} Z_{BB}(j\omega_m) \right] I_{RF} e^{j\phi_{RF}} \quad (2.8)$$

$$V_{RF}(\omega_{LO} - \omega_m) = \left[\frac{1}{\pi^2} Z_{BB}(-j\omega_m) \right] I_{RF} e^{-j\phi_{RF}} \quad (2.9)$$

在我們所要的訊號($\omega_{LO} + \omega_m$)成分來看，其輸入阻阮可以看成 MOS 進入三極管區的阻抗加串接基頻電路輸入阻抗。若 MOS 在三極管區的輸入阻抗在很小的時候，RF 的訊號及其鏡像訊號的振幅是差不多的。這是因為我們假設是小訊號的電流源其頻率為 $\omega_{LO} + \omega_m$ 搭配無限大的輸出阻抗，其訊號源無任何頻率為 $\omega_{LO} - \omega_m$ 的成份，故在開

關上並不會有任何的鏡像訊號跨壓在上面。其鏡像訊號會影響到整體接收機的特性，故其越小越好。由上兩式來看，基頻電路的輸入阻抗越小越可以減少鏡像訊號的問題。若在混頻器開關級接上正交訊號，可以推出在鏡像頻率的部份會有 180 度的反相位。



圖(2.12) (a)一般處理正交訊號接收機(b)LC tank 示意圖

利用被動混頻器操作在電流模式的正交相位的接收機示意圖如圖(2.12)(a)所示，其電源可以表示成一個小訊號電流源並聯一阻抗，其電容 C 主要是把小訊號的電流引進混頻器，其進一步的把第一級 LNA 的直流偏壓與後級隔開，而被動混頻器的偏壓則由後級基頻電路決定。這樣的作法有幾個好處，第一級 LNA 的直流不會被後級所

影響，且有濾掉較低頻由 LNA 產生二階非線性項的效果。

由前面的論述，可知因為基頻的訊號也會受到混頻器的影響造成鏡像訊號產生。推導可知其鏡像訊號的電流 $I_L e^{-j\phi_L}$ 與我們的要訊號

$I_H e^{-j\phi_H}$ 及基頻與射頻訊增益的關係如下所示：

$$I_L e^{-j\phi_L} = -\frac{\frac{1}{\pi^2} Z_{BB}(\omega_m)}{Z_c^*(\omega_{LO} - \omega_m) + R_{SW} + \frac{1}{\pi^2} Z_{BB}(\omega_m)} I_H e^{-j\phi_H} \quad (2.10)$$

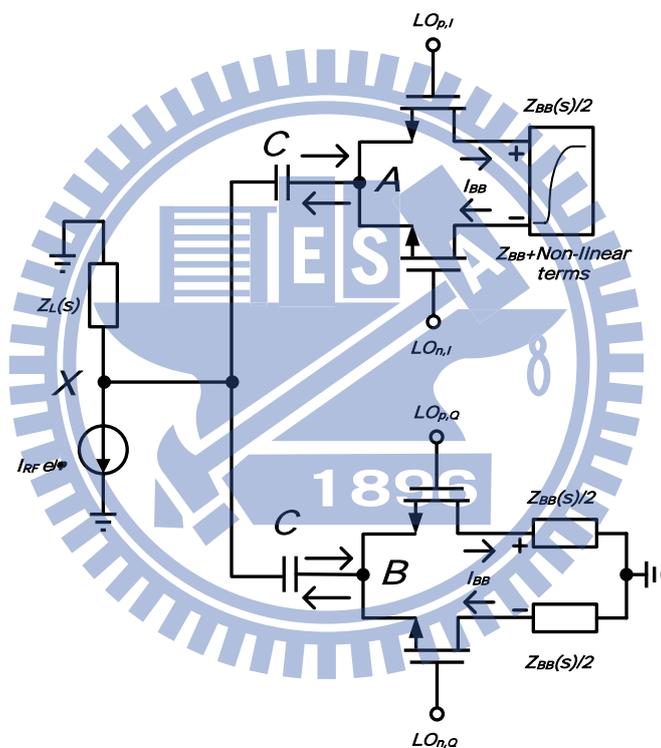
$$I_{BB,I} = I_{BB,Q} e^{-j\pi/2} = \frac{\frac{1}{\pi} Z_L(\omega_{LO} + \omega_m) [Z_s^*(\omega_{LO} - \omega_m) + R_{SW}] I_{RF} e^{j\phi_{RF}}}{\left[2Z_L(\omega_{LO} + \omega_m) + Z_c(\omega_{LO} + \omega_m) + R_{SW} + \frac{1}{\pi^2} Z_{BB}(\omega_m) \right] \left[Z_s^*(\omega_{LO} - \omega_m) + R_{SW} + \frac{1}{\pi^2} Z_{BB}(\omega_m) \right] - \left[\frac{1}{\pi^2} Z_{BB}(\omega_m) \right]^2} \quad (2.11)$$

$$I_{BB,I} = I_{BB,Q} e^{-j\pi/2} = \frac{\frac{1}{\pi} Z_L(\omega_{LO}) [-Z_c(\omega_{LO}) + R_{SW}] I_{RF} e^{j\phi_{RF}}}{\left[2Z_L(\omega_{LO}) + Z_c(\omega_{LO}) + R_{SW} \right] [-Z_c(\omega_{LO}) + R_{SW}] - \frac{2}{\pi^2} [Z_L(\omega_m) + R_{SW}] Z_{BB}(\omega_m)} \quad (2.12)$$

其中 Z_c 為電容 C 的阻抗， R_{SW} 則為在混頻器裡 MOS 在 ON 的狀態下的阻抗。由上面的式子可以發現。若我們要減少鏡像訊號，基頻的輸入阻阮 $Z_{BB}(\omega_m)$ 要很小，在後面章節會繼續探討基頻電路的設計與考量。由推導，可以得到增益的公式。在這個情況下，由於 RF 頻率與 LO 頻率接近，故在 Z_c 及 Z_L 的值上可以近似為一常數值，在頻率 $\omega_{LO} - \omega_m$ 至 $\omega_{LO} + \omega_m$ 。可以得到(8)式。若再進一步把 $Z_{BB}(\omega_m) \approx 0$ 代入(8)可得到下式子：

$$I_{BB,I} = I_{BB,Q} e^{-j\pi/2} = -\frac{1}{\pi} \frac{Z_L(\omega_{LO}) I_{RF} e^{j\phi_{RF}}}{2Z_L(\omega_{LO}) + Z_c(\omega_{LO}) + R_{SW}} \quad (2.13)$$

由上式可以很清楚的發現，若要使增益最大時， $2Z_L(\omega_{LO}) + Z_C(\omega_{LO})$ 之虛部必需為 0，且值要最大。這表示若 $Z_L(s)$ 為一 LC 共振電路時如圖，其虛部為 0 則其電感值之設定必需在 RF 頻率下與 $C_L + 2C$ 共振，且可以證明電容 C 的阻抗 X_C 在最高增益時其值為 $\sqrt{2R_p R_{SW}}$ 且最高增益為 $(1/2\pi) \sqrt{R_p / 2R_{SW}}$ 。



圖(2.13) 非線性 I 通道造成 Q 通道的非線性項

假設基頻的負載在 I 和 Q 通中是一樣的，但在 I 通道中有二階和三階的非線性項，且假設 RF 的訊號是線性的。RF 的訊號包含了兩組頻率但大小相同的訊號，一組為 $\omega_{LO} + \omega_{m1}$ 另一組為 $\omega_{LO} + \omega_{m2}$ 。而基頻的訊號都可以由式子(7)計算出來。這些產生非線性項的頻率三階為

$|2\omega_{m2} - \omega_{m1}|$ 或 $|2\omega_{m1} - \omega_{m2}|$ ，而二階為 $|\omega_{m2} - \omega_{m1}|$ 。而我們先假設這些頻率的訊號在基頻的電流緩衝器之前的頻率為 ω_m 而對應的振幅為 $V_m \exp j\varphi_m$ 。

在圖(2.13)中，因為被動混頻器的交相影響，這些在基頻電流緩衝器的輸入端看到的基頻電壓會昇頻到 RF 端，再造成兩種不一樣的成份一種為 $(1/\pi)V_m \exp j\varphi_m$ ，而另一種為 $(1/\pi)V_m \exp(-j\varphi_m)$ 。這些訊號再經由降頻後到基頻的頻率時，經過數學計算後可以得到：

$$I_{BB,I} = -\frac{1}{\pi^2} \frac{V_m e^{j\varphi_m}}{R_{SW} + \frac{|Z_C|^2}{2R_p} + \frac{1}{\pi^2} Z_{BB}(\omega_m)} \quad (2.14)$$

$$I_{BB,Q} = -j \frac{1}{\pi^2} \frac{[R_{SW} + \frac{|Z_C|^2}{2R_p}]^2 V_m e^{j\varphi_m}}{Z_C \left[R_{SW} + \frac{|Z_C|^2}{2R_p} + \frac{1}{\pi^2} Z_{BB}(\omega_m) \right]^2} \quad (2.15)$$

因為被動混頻器的隔離度不好的關係，在 I 通道造成的非線性的基頻電壓 $V_m \exp j\varphi_m$ ，會再轉換一次變基頻的電流。這個機制告訴我們在兩個通道中的非線性項會互相的影響。上面的兩個式子很明顯地可以觀察到，只要小一點的話 Z_C ，在頻率為 ω_m 的電流就會增加。

三階的非線性項在相同的基頻負載

實際上，在 I 通道和 Q 通道都是一樣的情況下，其三階項也是會

一樣的，和往常一樣的方式在 RF 端注入了兩組訊號分別為：

$I_{RF} \cos(\omega_{LO} + \omega_{m1})t$ 和 $I_{RF} \cos(\omega_{LO} + \omega_{m2})t$ 。直覺地就可以知道在頻率為

$\omega_m = |2\omega_{m1} - \omega_{m2}|$ 或 $\omega_m = |2\omega_{m2} - \omega_{m1}|$ ，從基頻三階非線性項互相影響所造成的

的振幅大小是一樣的。如果基頻頻率為 ω_m 而其表示式可以表示為

$V_m \exp j\varphi_m$ 。在基頻的結果可以表示成如下式：

$$I_{BB,I} = I_{BB,Q} e^{-j\pi/2} = -\frac{1}{\pi^2} \frac{V_m e^{j\varphi}}{R_{SW} + \frac{|Z_C|^2}{2R_p} + \frac{1}{\pi^2} Z_{BB}(\omega_m)} \quad (2.16)$$

即使整體的 IM3 項在兩個 I,Q 通道是不太一樣的，但如果假設混頻的

隔離度是完美的話，那這兩個通道的 IM3 會是一樣的。被動混頻器

不像一般的主動吉伯特(Gilbert)混頻器，故通常的 IM3 項會因為不一

樣的高邊增益(high-side)或低邊增益 (low-side)而不一樣。

二階的非線性項

在因為二階的非線性項主要都是因為元件的不對稱所造成的，因

此在 I Q 通道的 IM2 也會不一樣。而二階非線性也不像三階非線性項

一樣是成正交的形式，是呈現 180^0 或者是 -180^0 的形式而這主要取決

於二階非線性的極性。假設這個接收機是設計在有最大增益時的話，

而這時的基頻小訊號電流就可以表示成下式：

$$I_{BB,I} = -\frac{\frac{1}{\pi^2} e^{j\varphi_m}}{R_{SW} + \frac{|Z_C|^2}{2R_p} + \frac{1}{\pi^2} Z_{BB}(\omega_m)} \left(V_{mI} - \frac{R_{SW}}{|Z_C|} V_{mQ} \right) \quad (2.17)$$

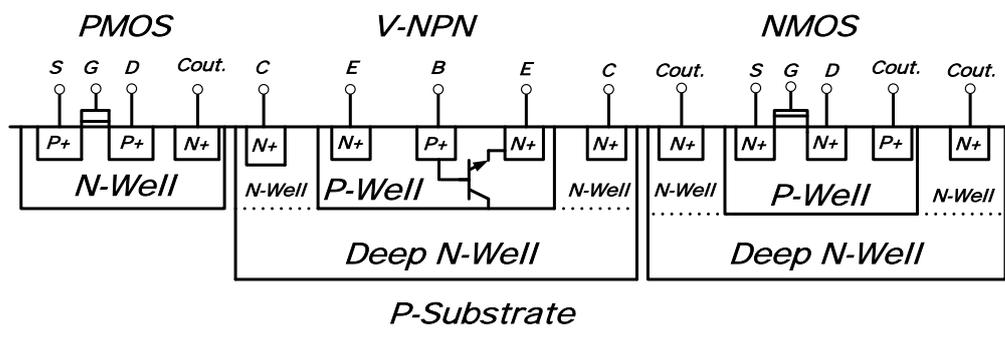
$$I_{BB,Q} = -\frac{\frac{1}{\pi^2} e^{j\varphi_m}}{R_{SW} + \frac{|Z_C|^2}{2R_p} + \frac{1}{\pi^2} Z_{BB}(\omega_m)} \left(V_{mQ} - \frac{R_{SW}}{|Z_C|} V_{mI} \right) \quad (2.18)$$

這些基頻的電流流經電流緩衝器時，會貢獻的 IIP2。這些二階非線性項不像三階非線性一樣，在 I 和 Q 通道中，即使是相同的電流緩衝器貢獻的一樣的二階非線項，整體接收機所造成的二階非線性項也會不一樣。很有趣地，即使二階非線性項的元件極性變了的時候例如 ($V_{mI} \rightarrow -V_{mI}$) 或 ($V_{mQ} \rightarrow -V_{mQ}$) 時，IIP2 的值也會隨著變化。

基頻電流緩衝器雜訊的最佳化

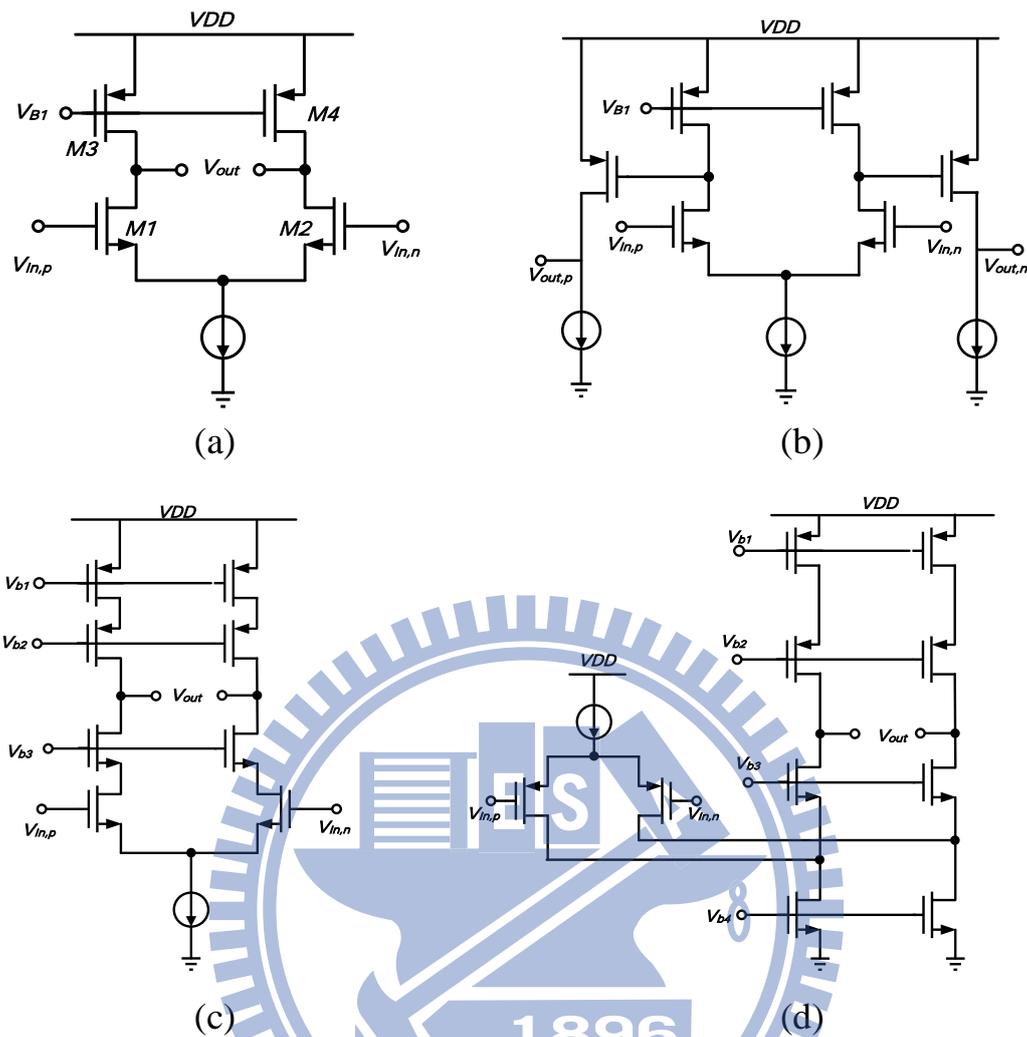
雜訊分析也可以像在分析線性度一樣，因此對於一個電流緩衝器的操作，在一個最佳化的操作的時候，雜訊在輸出到電流緩衝器的輸出端後會有較小的雜訊增益。因此在一個最佳化的設計時，也就是有最高增益時，同時也會有最好的雜訊表現。

2.2.4 基頻電路設計與選擇

圖(2.14) 0.18 μm MOS BJT 製程剖面圖

由台積電所提供的 0.18 製程中，利用了 Deep N-well 的技術，使得電晶體(NMOS)的 P 型基板與晶片中的 P 型基板可以隔開，如上圖所示。因此 NMOS 中的 BODY 不一定要接地，可以給不同的偏壓，藉以調整電晶體的臨界電壓，適當地調整功率消耗。Deep N-well 也有其它的好處，如增加了電晶體(NMOS)的基板跟整個晶片基本的隔離度。當射頻電路與基頻電路整合在一起的時候，射頻的電路之雜訊也會因為有 Deep N-well 的關係，使得基頻電路的雜訊不會耦合到射頻電路去。

也因為有這層的關係，可以做出效能較好的寄生雙極接面電晶體(BJT)。利用 MOS 中的源級及汲級的 n+極來當作 BJT 的射極，P well diffusion、P+接面來作 BJT 的基極，Deep N-well、N-well diffusion、N+接面來做 BJT 的集極。這種 BJT 不只提供了較低的集極阻抗也提供了較細的 P 型基極的寬度，這二種特性會使得電晶體效能提高。



圖(2.15) 常見 OP(a)一級簡單運算放大器(b)二級運算放大器(c)疊接運算放大器(d)折疊運算放大器

上圖是電子學課本中常見的四種運算放大器的架構，每種有架構都有其優缺點。在架構上，增益、頻寬、雜訊、線性度，直流功率消耗都需相對地取捨，從前章節可以很清楚地知道，選擇適當地第一級電流衝緩器是必要的。

圖(2.15) (a)第一種架構電流源為負載之差動放大器，其輸出阻抗就是電晶體的輸出阻抗決定，通道長度的大小可以決定，但相對地，

在線性度，雜訊，增益和速度當中，必然會有取捨。但在這種架構的最好的優點就是不會振盪。

圖(2.15) (b)就是兩級(Two-Stage)放大器，相較於一級放大器的問題，在穩定度上必需小心地去設計，其複雜度較高，且電流也較一級放大器來的大些。但好處在於，有較大的增益，和輸出擺幅，拿來當做 TIA 的 OP 是比較適合地，在附錄二當中會說明為何兩級放大器會比一級放大器來的適合。

圖(2.15) (c)則是伸縮組態(Telescopic)的放大器，是差動放大器的進階版，利用在負載和 G_m 級中加了共閘級放大器的電晶體，在增加輸出阻抗的同時，又可以在 G_m 級可以避免米勒效應(Miller Effect)所造成的第二極點的問題，但相對地其輸出擺幅受到了限制，也是屬於一級放大器，也沒有振盪的問題。

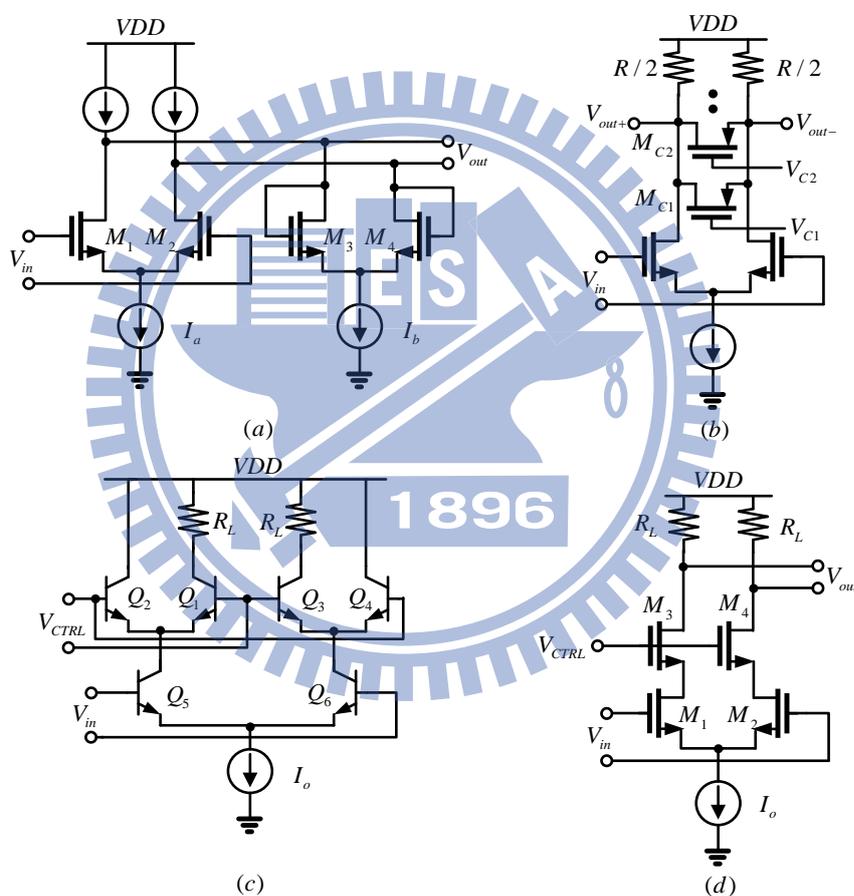
圖(2.15) (c)則是摺疊疊接組態，為了增加伸縮組態(Telescopic)的輸出擺幅的問題，算是其改進版本。雖然增加了擺幅，但必需多一條路徑的電流，整體的功率損耗增加了，對於低消耗功率的一級放大器來說似乎不是那麼適合，但同樣地也沒有振盪的問題。

選擇適當地放大器當作 TIA，可以使得基頻電路輸入阻抗最低，可以讓整體的線性度會更好更佳，且其增益也會跟著變大。不同組態的放大器比較如下表。

Item	Gain	Output Swing	Speed	Power	Noise
Telescopic	Medium	Medium	Highest	Low	Low
Folded-Cascode	Midium	Medium	High	Medium	Medium
Two-Stage	High	Highest	Low	Medium	Low
Gain-Boosted	High	Medium	Medium	High	Medium

表2.1 放大器模態表現比較表

不同的可調增益放大器的比較



圖(2.16) 四種常見的可調式增益放大器型態

設計可調式增益放大器有許多挑戰，包含增益控制的準確性、穩定度、線性度考量。而此處針對可調式增益放大器的linear-in-dB增益

控制機制來討論，大部分的CMOS VGA都是利用一個偽指數函數(式(2.1))來完成linear-in-dB增益控制特性。

$$e^x \approx \frac{(1+x)}{(1-x)} \quad (2.19)$$

圖(2.15)中的可調式增益放大器的增益為 $A_v \approx \frac{g_{m-M1,2}}{g_{m-M3,4}}$ ，因此，透過控制 I_a 與 I_b 的電流大小來達到不同的增益，但是其缺點在於改變 I_b 的電流大小也就是改變負載的大小，進而會影響到頻寬，並且此架構可提供的增益控制範圍大多不超過15dB，想要有較大的增益範圍就必須串聯多級。圖(2.15) (b)中是藉由簡單的R-r電阻衰減來達成偽指數函數，R為使用的負載電阻，而r為操作在三極管區 MOSFET，R-r電阻衰減可表示為 $1/(1+R \cdot g_{ds})$ ，因此可進而將此函數近似為 $\exp(-2R \cdot g_{ds})$ ，而當電晶體操作在三極管區時， g_{ds} 正比於 V_{gs} ，故能對增益作指數的控制，而此方法也是改變負載，會影響操作頻寬。

圖(2.15)(c)是採用訊號加成的方法，可以帶來低雜訊和低失真的好處，且此可調式增益放大器可操作至高頻，因為增益控制級為共基極電晶體，但是因為電晶體對於溫度敏感度高，會有一段約20dB的增益控制範圍無法使用，即使另外加上一個對溫度敏感度低的控制電流源，效果不彰。若是改用MOSFET取代BJT，需要一個將平方定律轉換為指數定律的電路機制，但是整體的特性都會比BJT差。

圖(2.15) (d)是採用電阻作為負載的差動式cascode stage，藉由控制輸入端電晶體 M_1 、 M_2 的操作區域，從飽和區到三極管區來達到不同增益，此方法可以提供較大的增益控制範圍及幾百MHz的頻寬，可以在調變增益時不犧牲頻寬，但是採用電阻作為負載較無法低壓操作。



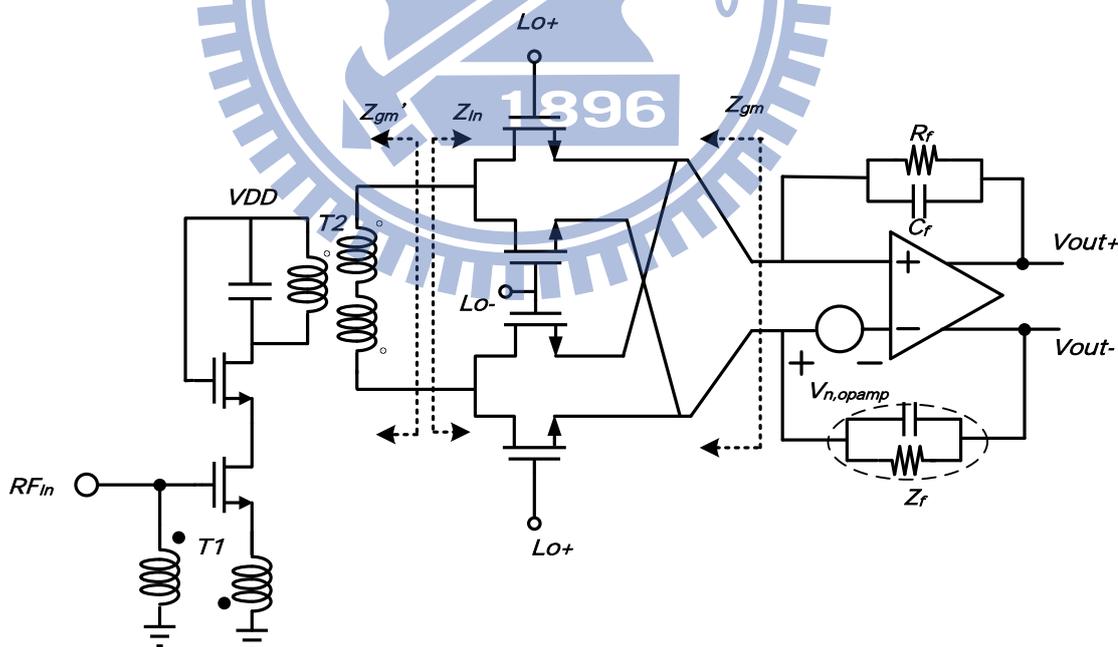
2.3 電路實作一 5.8GHz 利用變壓器設計接收機

2.3.1 研究動機

在現今的通訊商品中，越來越講究功率損耗，在相同的通話或網路品質上，越低的功率消耗，可以減少充電及換電池的麻煩。當然減少功率損耗並不是什麼大問題，可是實際在電路的架構裡功率與增益、線性度、雜訊都習習相關，如何有效地利用較小地電流，達到相同或更好的表現，這是比較具有挑戰性地。

2.3.2 電路設計

接收機雜訊分析：



圖(2.17) 接收機熱雜訊分析整體示意圖

概念上的接收機圖示如上圖所示，RF 小訊號經過一低雜訊放大

器後，輸出轉成電流模式，經一被動混頻器，頻率轉換後降至基頻，而後接利用 RC 並連把 OP 接成一階濾波器，把電流轉換成電壓輸出。

其增益可表示成如下所示：

$$\frac{V_{out}(f_{out})}{V_{in}(f_{in})} \approx \frac{2}{\pi} g_m \left(\frac{R_f}{1 + j2\pi f_{out} R_f C_f} \right) \quad (2.20)$$

其中 f_{in} ， f_{out} 代表輸入與輸出的頻率，則 g_m 是輸入級全部的轉阻值，而 $\frac{2}{\pi}$ 值則代表經過一週期性時變的轉換函數一次諧波的振幅。

大部份的雜訊源主要是由第一級放大器，TIA，迴受電阻，以及開關級的電晶體。顫抖雜訊跟流經開關級內的電流成正比，被動混頻器沒有電流，因此可以忽略。而主要的雜訊源可以表示如下：

$$\overline{V}_{n,out}^2(f_{out}, f_{in})_{gm} = (4kT\gamma g_{ds0}) \beta^2 |Z_f(f_{out})|^2 \Delta f \quad (2.21)$$

$$\overline{V}_{n,out}^2(f_{out}, f_{in})_{switch} = \frac{4kT}{R_{ON}} \left| \frac{R_{ON}}{R_{ON} + Z_{gm}(f_{in})} \right| \beta^2 |Z_f(f_{out})|^2 \Delta f \quad (2.22)$$

$$\overline{V}_{n,out}^2(f_{out}, f_{in})_{opamp} = \overline{V}_{opamp}^2 \left| 1 + \frac{2Z_f(f_{out})}{Z_{gm}(f_{in})} \right|^2 \quad (2.23)$$

$$\overline{V}_{n,out}^2(f_{out}, f_{in})_{R_f} = \frac{4kTR_f \Delta f}{|1 + j2\pi f_{out} R_f C_f|^2} \quad (2.24)$$

其中 γ 與製程有關係，是 β^2 常數代表開關級動做時的雜訊折疊效映(noise folding effects)，且其值大約等於 $\frac{\pi^2}{8}$ ，在開關級為完全方波形式動做時。 R_{ON} 代表的是開關級的平均阻抗， $Z_{gm}(f_{in})$ 則是從開關級往回第一級 LNA 看回去的阻抗如圖所示。被動混頻器因其沒有電流

流過，且在偏壓在使得其很小的情況下，其開關級貢獻的雜訊可以忽略掉。

把所有雜訊源疊加起來後，其全部輸出看到的雜訊就會如下所示：

$$\begin{aligned} \bar{V}_{n,out}^2(f_{out}, f_{in})_{R_f} &= (4kT\gamma g_{ds0})\beta^2 |Z_f(f_{out})|^2 \Delta f \\ &+ \bar{V}_{n,amp}^2 \left| 1 + \frac{2Z_f(f_{out})}{Z_{gm}(f_{in})} \right|^2 + \frac{4kTR_f \Delta f}{|1 + j2\pi f_{out} R_f C_f|^2} \end{aligned} \quad (2.25)$$

把上式除上整體的電壓增益後，其輸入參考的電壓雜訊如下所示：

$$\begin{aligned} \bar{V}_{n,in}^2(f_{out}, f_{in})_{R_f} &= \frac{(4kT\gamma g_{ds0})\beta^2 |Z_f(f_{out})|^2 \Delta f}{g_m^2 \left(\frac{2}{\pi}\right)^2 |Z_f(f_{out})|^2} \\ &+ \frac{\bar{V}_{n,amp}^2 \left| 1 + \frac{2Z_f(f_{out})}{Z_{gm}(f_{in})} \right|^2}{g_m^2 \left(\frac{2}{\pi}\right)^2 |Z_f(f_{out})|^2} + \frac{4kTR_f \Delta f}{g_m^2 \left(\frac{2}{\pi}\right)^2 |Z_f(f_{out})|^2 |1 + j2\pi f_{out} R_f C_f|^2} \end{aligned} \quad (2.26)$$

在一般設計情況下 $Z_f \gg Z_{gm}$ ，且定義 $\alpha = \frac{g_m}{g_{ds0}}$ ，則上述的式子可以減

化成下式：

$$\begin{aligned} \bar{V}_{n,in}^2(f_{out}, f_{in}) &= \frac{4kT\gamma}{\alpha g_m} \left(\frac{\beta\pi}{2}\right)^2 \Delta f \\ &+ \frac{\pi^2}{g_m^2} \left(\frac{\bar{V}_{n,amp}^2}{|Z_{gm}(f_{in})|^2} + \frac{kT}{R_f} \Delta f \right) \end{aligned} \quad (2.27)$$

從上式可以發現，輸入參考電壓雜訊會 $Z_{gm}(f_{in})$ 隨者增加，假如 $Z_{gm}(f_{in})$

由 C_{par} 主宰的話，那其形式可以如下所示：

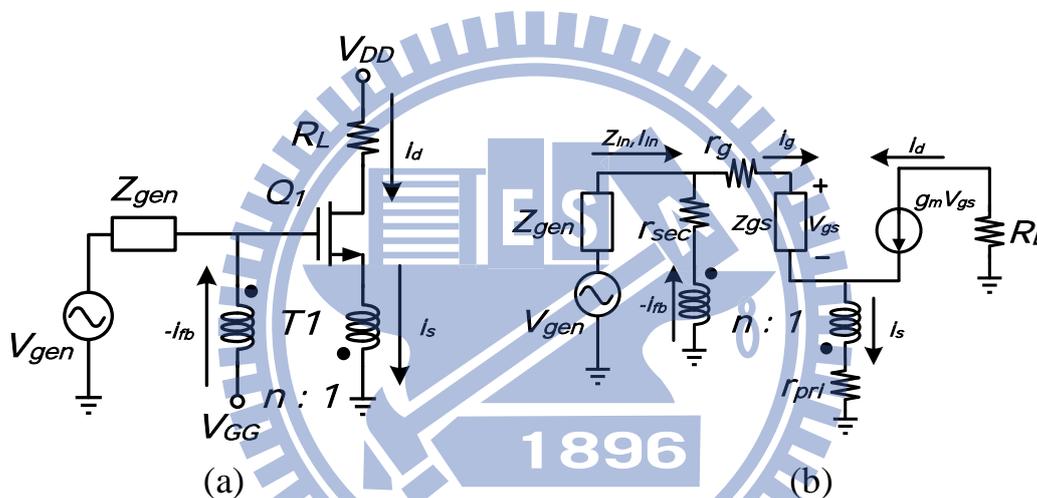
$$Z_{gm}(f_{in}) = \frac{1}{4f_{in} C_{par}} \quad (2.28)$$

那式則可以用下式表示而成：

$$\begin{aligned} \bar{V}_{n.in}^2(f_{out}, f_{in}) &= \frac{4kT\gamma}{\alpha g_m} \left(\frac{\beta\pi}{2} \right)^2 \Delta f \\ &+ \left(\frac{4\pi f_{in} C_{par}}{g_m} \right)^2 \bar{V}_{n.amp}^2 + \frac{\pi^2}{g_m^2} \left(\frac{kT}{R_f} \Delta f \right) \end{aligned} \quad (2.29)$$

由上式可以發現，其輸入參考電壓雜訊會隨著 RF 輸入的頻率增加而改變 $Z_{gm}(f_{in})$ 。則一些寬頻的設計上，盡量地減少是非常重要的；然而在窄頻的設計中，可以利用電感，在 RF 頻率下， C_{par} 把共振掉。

低雜訊放大器之設計



圖(2.18) (a)利用變壓器匹配圖(b)小訊號示意圖

使用一般的負迴授的低雜訊放大器，跟一般放大器比較起來，其使用頻寬較為寬、其穩定度也較相對上穩定，對於一些製程上及直流電壓(Vdd)的變異上較抵抗力，及線性度也較好..等優點。當然其中也有不少限制，如犧牲其增益、雜訊也較高...等。

上述為使用電阻式之負載的特性，使用電抗式負迴授之型式，整體電路及小訊號等效電路如上圖所示。其閉迴授轉導(G_{cl})經由計算如下：

$$G_{cl} = \frac{i_d}{v_{gen}} = \left(\frac{1}{Z_{in} + Z_{gen}} \right) \cdot \left(\frac{A}{1 + A\beta} \right) \cdot \left(\frac{A-1}{A} \right) \quad (2.30)$$

其中 A 是表示為拆掉迴授電路後之電流增益， $A = \frac{i_s}{i_g} = 1 + g_m Z_{gs}$ 。其開

迴路增益可以表示成

$$G_{ol} = \frac{i_d}{v_{gen}} = \left(\frac{1}{Z_{in} + Z_{gen}} \right) \cdot (A-1) \quad (2.31)$$

其中 Z_{in} 可表示成輸入電壓源源阻抗(通常為 50 歐姆)，則 Z_{gen} 表示成輸入阻抗如圖(2.17)所示。在上述的公式是假設在電感感值大的情況下，且磁通量的損耗及忽略了其變壓器的寄生電容。負迴授因子 β 則是變壓器的等效圈數比倒數(也就是 k/n ，其中 k 表示為磁通耦合常數， n 為物理上的圈數比)。從公式看來，只有開迴路增益夠大的話(也就是增加公式裡的 A)，其閉路裡的增益就接近迴授因子 β 的倒數。從這裡可以看得出來這級電路的增益跟直流電源的功耗及電晶體的大小比較沒有關係了。這是使用電感式迴授的好處之一。

輸入阻抗的部份的話，可以由小訊號電路計算出來如下：

$$Z_{in} \approx \frac{A}{(1+\beta) \cdot (1+A\beta)} \cdot \left((\beta^2 r_{sec} + r_{pri}) + \frac{A-1}{g_m \cdot A} \frac{r_g}{A} \right) \approx \frac{1}{(1+\beta)\beta \cdot g_m} \quad (2.32)$$

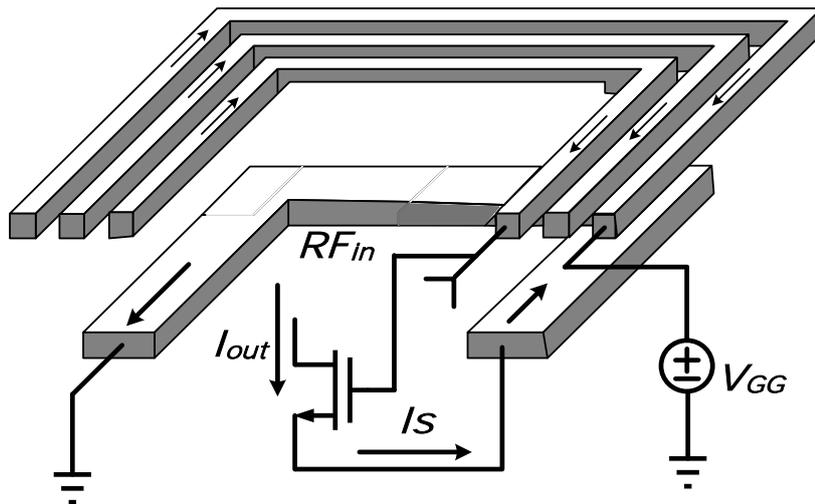
由上式的近似可以看出輸入阻抗主要是跟迴授因子 β 及電晶體 g_m 之的轉導有直接關係。當然在設計時要注意的是，增加其增益 g_m ，為了輸入阻抗的匹配，勢比得增加回授因子 β ，會使得整體體功耗增加及較不好的頻寬因為放大了電晶的大小。這些公式在推導時做了一些假

設，就是在我們所要的頻段遠於負載造成的極點(也就是 $\omega = 1/R_L C_{gd}$)，當負載阻抗太大時，或電晶體之寄生電容 C_{gd} 大到不可忽略的時候，所造成的迴授會影響到輸入阻抗。這時候的阻抗的公式就不可以近似一樣。

由小訊號等效電路圖，可以推出雜訊指數如下所示：

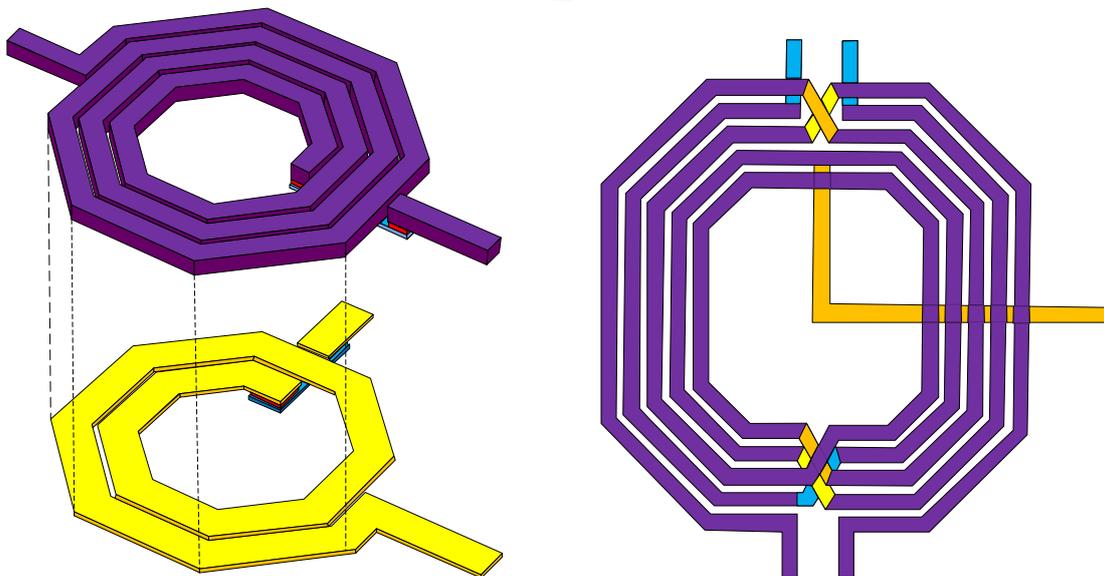
$$F \approx 1 + \frac{\Theta}{Z_{gen} \cdot (\beta + 1)^2} + \left(\frac{1}{A - 1} \right)^2 \cdot \left(\frac{\Theta + \frac{A - 1}{g_m}}{Z_{gm} \cdot (\beta + 1)^2} \cdot Z_{gm} \cdot (\beta + 1)^2 \right) \cdot \frac{\overline{i_{ds}^2}}{4kt} \quad (2.33)$$

其中 $\Theta = r_g + r_{pri} + \beta^2 \cdot r_{sec}$ 。變壓器的阻抗貢獻的雜訊指和源阻抗貢獻的來比較來看，其變壓器的阻抗所貢獻的會受到迴受因子 β 所影響。當接到一個 50 歐姆的源阻抗時，增加迴受因子的值可以有效地減少電晶體通道雜訊的影響。由上式也可發現，增加電晶體的大小來增加增益對雜訊指數也有強烈影響。且相較於電阻式負迴受來看，電抗式的負迴受在增加增益的同時較不會影響到頻寬。



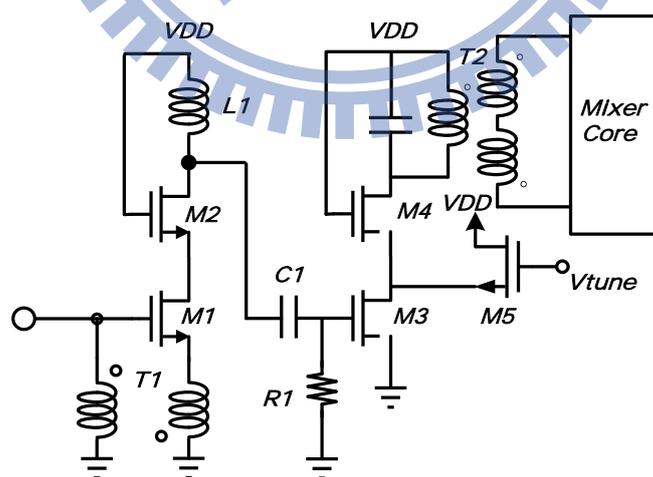
圖(2.19) 覆蓋型變壓器示意圖

上圖畫出其輸入端變壓器之大概之剖面圖，圖形上以四方形來表示，實際佈局是以八角形為主。變壓器主要是用層與層的金屬線，進行磁耦合，這樣子的耦合方式其耦合量較大，且第二層金屬線對第一層金屬線有屏蔽之效果，其對製程上基板上的損耗不會太大。其變壓器接電晶閘級端其長度較長，因此用.18 製程上的金屬 6，其阻值較小；接電晶體源級端則以金屬 5 來實現。實際圖形如圖(2.19)所示：



圖(2.20) (a)覆蓋型變壓器實作圖(b)對稱型變壓器

上圖是這次電路實作中所使用的兩種變壓器，也是較為常見的變壓器。第一種是覆蓋型變壓器，其特點在於耦合高，且其可以使用較少的面積去實現。其缺點有二，第一在於其兩層金屬所造成的電容，會使其自振頻不高，不適合操作在高頻。其二這種變壓器相當的不對稱，假如要使用這種變壓器當做單端輸入轉差動輸出的變壓器時，就比較不適合了。而對稱型變壓器其優點在於其相當對稱，兩邊的感值可以拉的相當接近，自振頻也比第一種高。但相較於覆蓋型變壓器來說的話，其面積會比較大，耦合度也沒有覆蓋型來得佳。兩種變壓器都有其各自的優缺點，故可以依其電路所需選擇適當的變壓器。

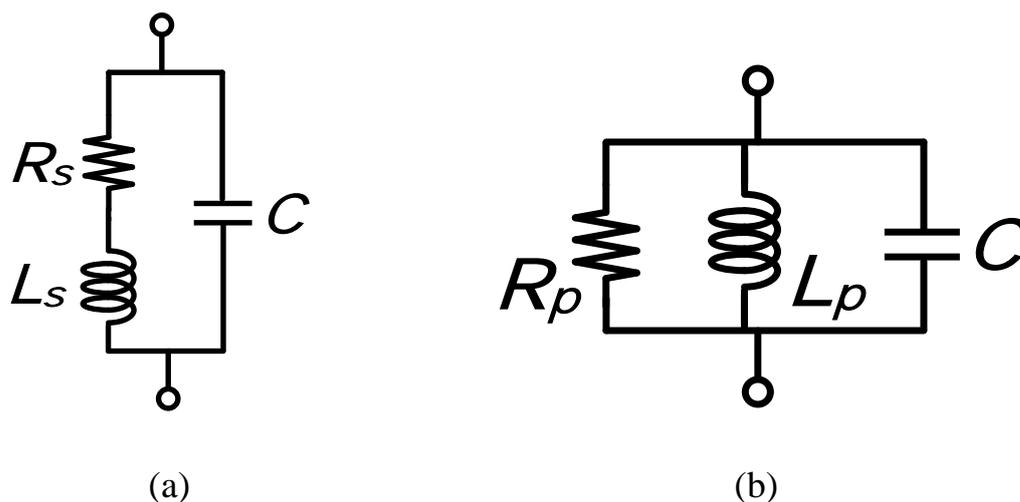


圖(2.21) 低雜訊放大器架構圖

整體的低雜訊放大器架構圖如上所示，主要是用兩級 LNA 使其

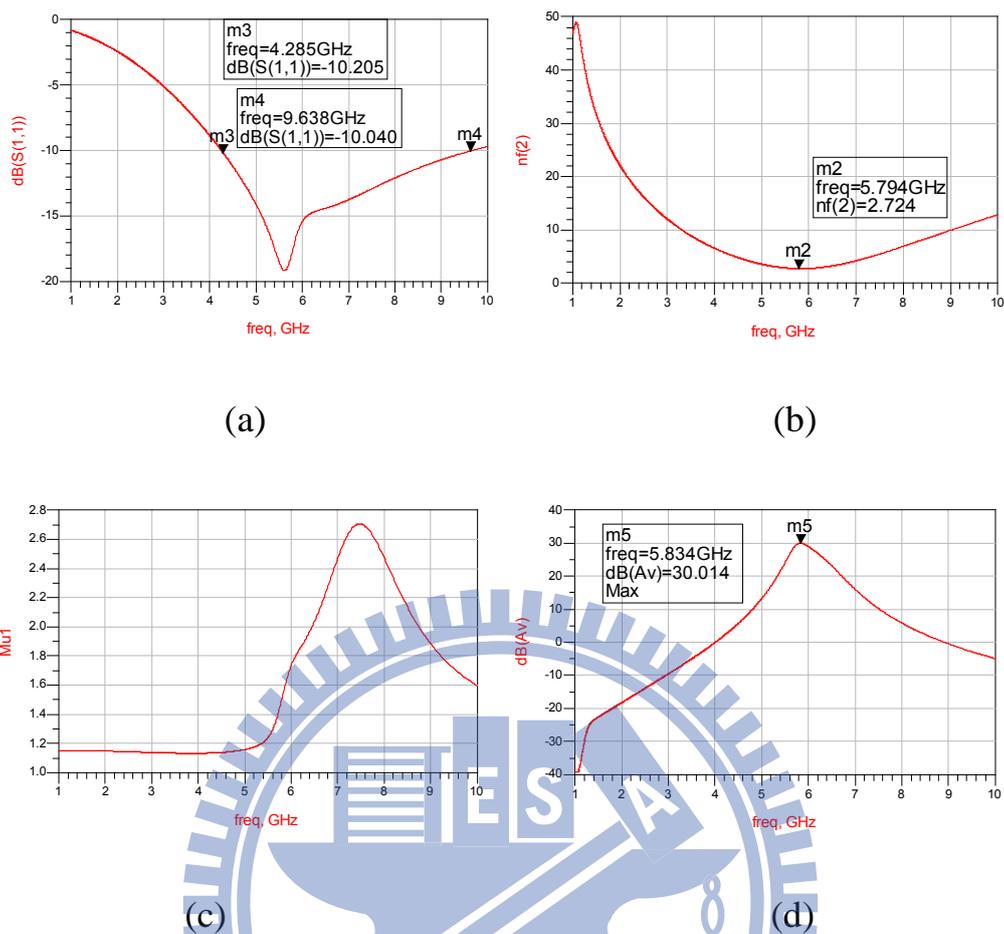
有足夠的 G_m 來壓掉後級基頻的雜訊，讓整體接收機的雜訊指數讓 LNA 決定。兩級 LNA 主要架構都是共源級放大器串接共閘級放大器，串接共閘級放大器使得共源級看進去是個小阻抗，降低共源級米勒效應，增加頻寬。在輸入埠的部份，因比較需較好耦合度故使用覆蓋型變壓器來輸入阻抗匹配。其負載則使用電感電容並聯來達到濾波的效果，使得 LNA 造成之非線性可以濾掉。因其第二級需要另給偏壓，故在一、二級中間利用電容電阻架構一高通濾波器的型式，使得第二級共源級的電晶體可以偏壓。第二級的輸出則是使用對稱型變壓器使得訊號可以單端轉較平衡差動的訊號。

LNA 的電流分配大約為 2.5mA，第一級 LNA 的電流分配 2mA，可以壓掉第二級的雜訊。且由於是負迴授的關係，會稍微犧牲掉增益來達到輸入埠的阻抗匹配，故第一級 LNA 給較大的電流。電晶體的 length 都選在 $0.18\mu m$ ，為了確有最高的截止頻率且有最小的 NF_{min} 。在故在 M1 的 width 選擇在 $4\mu m$ ，使其有較大 gm 的且較好的 NFmin。選擇最多的 finger 數 64 是為了可以減少其閘級阻抗 RG，使得其貢獻雜訊最低。接下來調整其 Vgs，使得其電流在 2mA 左右，大略估算其，依其共振頻率大概算出其變壓器的 L11 值 2.05nH。再依 $Z_m \approx \frac{1}{(1+\beta)\beta \cdot g_m} = 50\Omega$ 計算出其所需要的 β ，達到輸入阻抗匹配。



圖(2.22) 考慮損耗電感之 LC tank 示意圖(b)等效 LC tank 示意圖

M2 與 M4 的 width 越大的話，看進去的阻抗越小，但其寄生電容會造成跟其輸入阻抗的分流，故需選取適當的 width。在第一級與第二級的中間需接上一高通 R-C 的電路，一方面是為了偏壓，而另一方面也可濾掉其低頻的非線項，對小訊號來說是個損耗，故其值 $R1 = 6k\Omega$, $C1 = 0.9pF$ 。負載的 tank 方面，用 LC 並聯的架構如圖所示。因電感有內阻 R_s ，使得在共振的時候，其阻抗不會無限大，如圖會有一 R_p 。其示子可以表示為： $R_p = \frac{L}{CR_s}$ ，故在共振的時候，會選擇電感感值較大，容值較小的情況，其整體增益較大。在第二級的多加了 M5 主要是為了用來調整前級 LNA 的增益，以便可以調整體接收機的訊號強度。



圖(2.23) 模擬圖 (a)輸入返回損耗(b)雜訊指數(c)穩定度(d)電壓增益

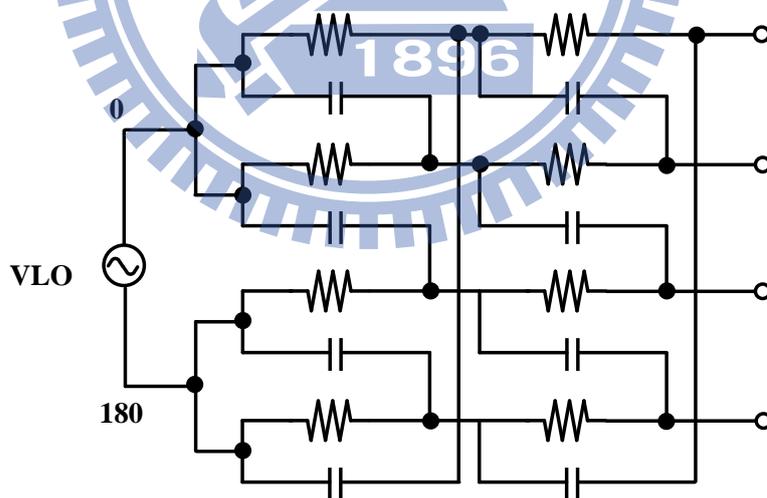
混頻器之設計

一般而言，通常 NMOS 的速度會比 PMOS 來得快，故會選擇 NMOS 當開關級電晶體。如前幾章所述，被動混頻器的偏壓應，以確保在 off 零跨越點。其源級電壓已被後級 TIA 限制住，其 TIA 之輸入電壓選擇在 1.25 伏，其設定主要是為了使 TIA 有最大的振幅。的臨界電壓為 0.5V 左右，故我的開級電壓 1.7 伏，使得 LO power 有較小，且顫抖雜訊最小。

多重相位濾波器設計

為了調頻的需要或為了解決鏡像訊號的問題時，接收機在降頻時，會使原本的射頻訊號產生正交相位的訊號。一般來說正交訊號的產生有兩種方式，一種是在混頻前，令射頻訊號轉換為正交訊號，在與差動 LO 訊號做混頻。而另一種方式則是在 LO 的地方做正交的效果。這兩種方式皆可以產生正交的效果，但在雜訊的考量下，第二種方式會比較適合。

在這次接收機的實作中，利用了多重相位濾波器方式。其方式為差動訊號輸入多重相位濾波器，利用其正頻可過，負頻不可過的特性可以產生一組相差 90 度的 I、Q 訊號如所示：



圖(2.24) 多重相位濾波器

而其多重相位濾波器的相位會隨著製程變異、或輸入訊號的相位不準，造成輸出訊號相位誤差。其解決方式可以再多增加幾級的多重

相位濾波器，若假訊有 i 級多重相位濾波器，其整體正交相位差即可

$$\text{寫為 } \phi' = 2 \tan^{-1} \left(\prod_i \frac{\omega - \omega_0}{\omega + \omega_0} \right)。$$

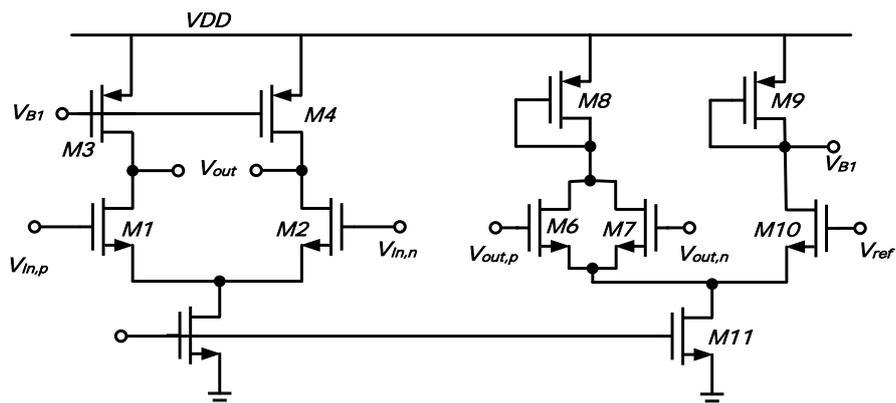
換個角度來看，若希望相位誤差在度之內的話，系統所能容忍中心頻率飄移比例為：

$$\frac{\Delta\omega}{\omega} = 2 \frac{\tan^{\frac{1}{N}} \left(\frac{\phi^\circ}{2} \right)}{1 - \tan^{\frac{1}{N}} \left(\frac{\phi^\circ}{2} \right)} = 2 \frac{1}{\left(\tan \frac{\phi^\circ}{2} \right)^{\frac{1}{N}} - 1} \quad (2.34)$$

故在一定的誤差內，若多重相位濾波器的級數越多，其頻寬能達到較廣的範圍。在這次接收機的實作中，則用兩級的多重相位濾波器，在相位和訊號損耗的考量下。

轉導放大器之設計

設計上，此一運算放大器是主要是做負迴授用。接迴授後，其輸出阻抗會因迴授而改變，其一級放大器的增益主要是由輸出阻抗決定，其最後會因迴授使得無迴授之放大器電路受到限制使得其增益也不高，在這考量上二級放大器會一級放大器來得好。因折疊串接其會有多耗電流功率，因此不考慮。折疊架構會限制其輸出擺幅。故在運算放大器的部份選擇第一種。



圖(2.25) 一級簡單型運算放大器搭配共模迴授放大器

除了射頻電路，基頻類比電路也是接收很重要的部份。尤其直接降頻接收機，基頻電路的顫抖雜訊、較大輸入直流偏壓準位偏移...等都是很重要的考量。從這若使用 NMOS 當做輸入阜一級運算放大器如圖，其等效輸入雜訊電壓可表示成如下：

$$\overline{v_{n,n}^2} = 2 \left\{ \frac{4kT \left(\frac{2}{3} \right) / g_{m1} + \frac{K_N}{(C_{ox} W_1 L_1 f)} + \frac{4kT \left(\frac{2}{3} \right) / g_{m3}}{g_{m1}^2} \left[\frac{4kT \left(\frac{2}{3} \right) / g_{m3} + \frac{K_P}{(C_{ox} W_3 L_3 f)} \right]}{g_{m3}^2} \right\} \Delta f \quad (2.35)$$

在熱雜訊部份主要是要輸入阜電晶體決定。故在設計上，在一定電流考量下，輸入阜的 g_{m1} 要越大越好，負載上的 g_{m2} 要越小越好。在顫抖雜訊部份上，可以發現其跟電晶體的閘級面積成反比，且 NMOS 的顫抖雜訊較 PMOS 來得大，故輸入阜的 NMOS 面積會大得多，造成輸入阜的電容過大的問題。

若使用晶體 BJT 當作 OP 的輸入阜，面積的問題及顫抖雜訊的問題就可以解決，因 BJT 的顫抖雜訊比 MOS 來得低上許多，且就增益

方面來看，相同的電流其增益來得比 MOS 來得大上許多。其雜訊可以用以下公式表示：

$$\overline{v_{n,v}^2} = 2 \left\{ \begin{array}{l} 4kTr_b + \frac{4kT}{(2g_{mv})^+} \\ g_{m3}^2 / g_{mv}^2 \left[\frac{4kT(2/3)}{g_{m3}} + \frac{K_P}{(C_{ox}W_3L_3f)} \right] \end{array} \right\} \Delta f \quad (2.36)$$

r_b 代表 BJT 基極阻抗。從雜訊來看，BJT 較 MOS 稍微不好的缺點大概就是輸入雜訊電流了。

那就輸入偏移電壓，若用 MOS 當輸入阜造作的電壓 $V_{OS.n}$ ，及用 BJT 當輸入阜其偏壓 $V_{OS.v}$ 比較如下所示：

$$V_{OS.n} \approx V_{TH1} - V_{TH2} + (V_{TH3} - V_{TH4}) \times \frac{\mu_p (W/L)_p (1 + |\lambda_p V_{DSP}|)}{\mu_n (W/L)_n (1 + |\lambda_n V_{DSN}|)} + \frac{1}{2} \sqrt{\frac{I_M}{\mu_n C_{ox} (W/L)_n (1 + \lambda_n V_{DSN})}} \times \left(\frac{\Delta(W/L)_p}{(W/L)_p} - \frac{\Delta(W/L)_n}{(W/L)_n} \right) \quad (2.37)$$

$$V_{OS.v} \approx V_T \left(\frac{\Delta(W/L)_p}{(W/L)_p} + (V_{TH3} - V_{TH4}) \times \sqrt{\frac{\mu_p C_{ox} (W/L)_p (1 + |\lambda_p V_{DSP}|)}{I_M/4}} - \frac{\Delta I_S}{I_S} \right) \quad (2.38)$$

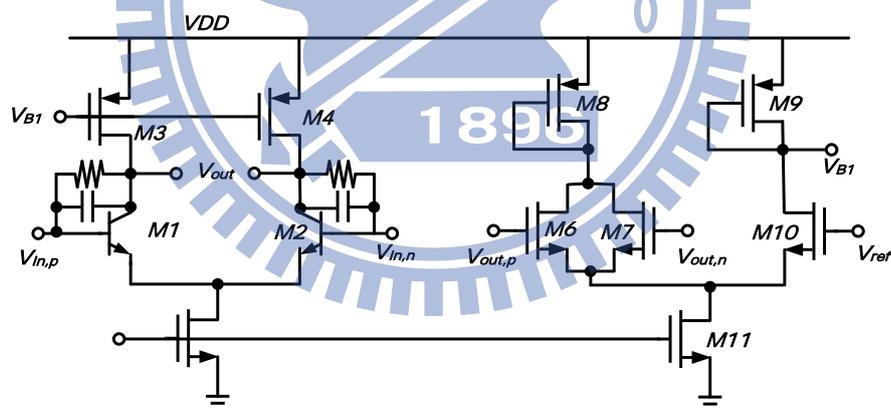
MOS 參數方面： V_{TH} 其中代表其臨界電壓， $(W/L)_N = \frac{(W_1/L_1 + W_2/L_2)}{2}$

$(W/L)_P = \frac{(W_3/L_3 + W_4/L_4)}{2}$ λ 則表示電晶體的通道長度調變效應 V_{DSN} ，

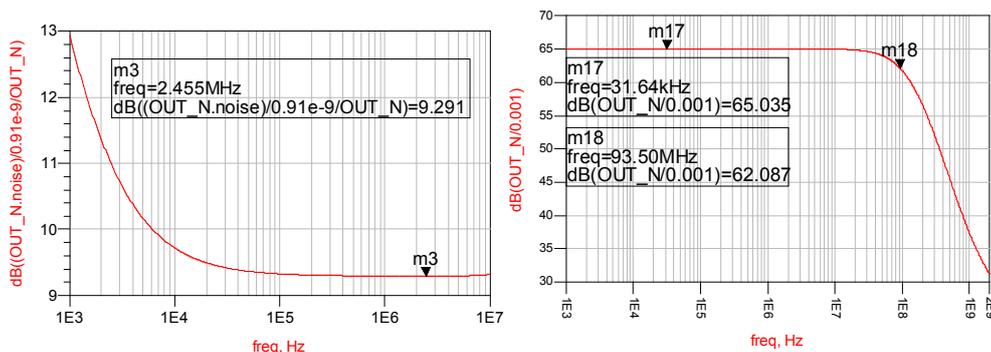
V_{DSP} ，表示電晶體的汲極與源級的電壓差 $\Delta(W/L)_N = W_1/L_1 - W_2/L_2$ ，
 $\Delta(W/L)_P = W_3/L_3 - W_4/L_4$ ， μ_n 、 μ_p 則表示電子、電洞的遷移率。BJT 參數
 方面： V_T 表示熱電壓 $I_S = (I_{S1} + I_{S2})/2$ ， $\Delta I_S = I_{S1} - I_{S2}$ 。由上述可以發現
 BJT 的偏壓電壓會比 MOS 來得小。

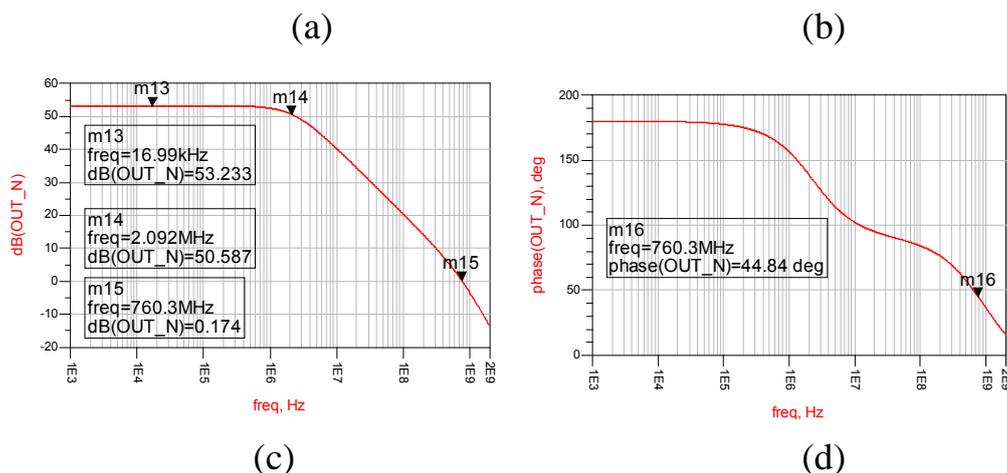
電流分配上，TIA 的部份給 0.7mA，CMFB 大約 0.1mA。

使用 BJT 當做輸入阜，對整體顫抖雜訊及，直流偏壓偏移都會有比較好的效果，迴授電阻大至放 2000Ω，轉導大約也是這個值，則電容為了頻寬，則設定大約 800pF，使 IF 有 25MHz 的頻寬，其 TIA 整體電路架構如下圖所示：



圖(2.26) TIA 架構圖





圖(2.27) 模擬圖(a)OP 的雜訊指數 (b) TIA 的增益對頻率

(c)OP 的增益對頻率 (d)OP 的象位對頻率

可調增益放大器之設計

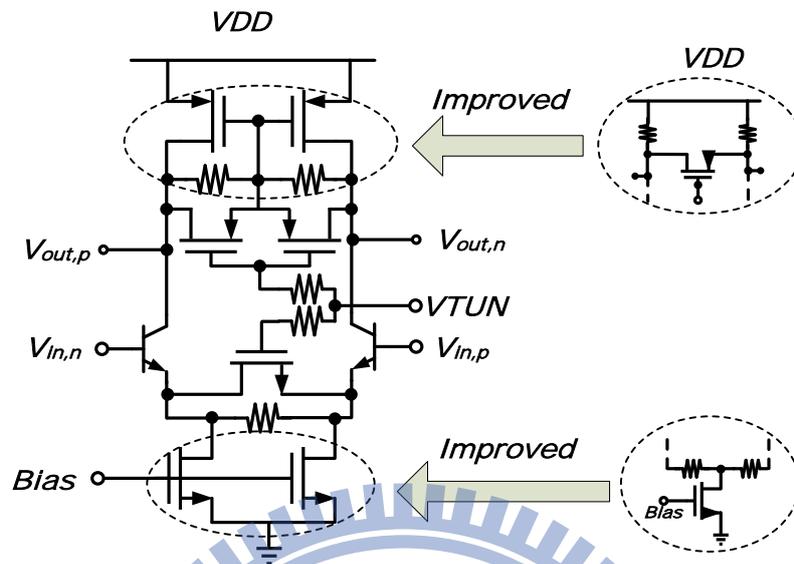
可調增益增益放大器在接收路徑中不可或缺的電路。當接收的路徑中的訊號如果太大，大到足以影響到線性度時，可以利用後級的數位訊號來調整這級的放大器增益，以達到適當訊號振幅大小及適當的線性度。

其基本上也是一級的放大器如圖(2.27)，選用這個架構雖然會有頻寬的問題，負載阻抗在變化的同時，頻寬也會隨之改變。但 spec 設定的頻寬並沒有很大，故這個架構也滿合適的。只是在負載及源級退化電阻上，加上操做在三極管區 MOS。為了增加輸出及輸入擺幅，利用兩個電流源，減少在源級退化電阻的跨壓。使得其增益指數可以 linear-in-dB 的型式增加。負載的電阻在選 3200Ω，在最高增益時有

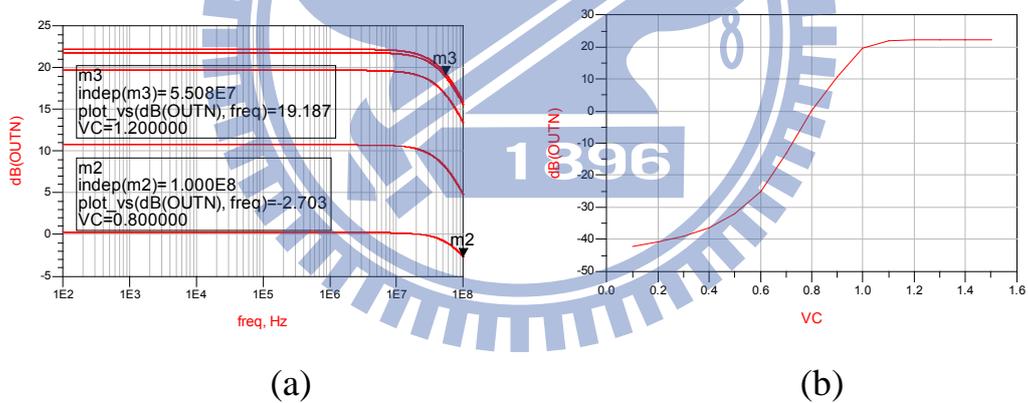
20dB 的增益。源級退化電阻則選 1000Ω ，在最低增益可以是損耗前級的增益。

在負載方面利用兩顆 MOS 當做電流源再搭配電阻可以抗拒製程的變異，跟一般的電阻當負載比較起來，輸出端點的電壓準位比較不會變動，而這樣的做法也是一種自我共模回授穩定直流的方式，不需要額外的共模回授電路來穩定這個電路。在電路下面的也是使用兩顆 MOS 當做電流源，這種做法可以使直流電流不流過源級退化電阻，一方面可以減少電壓的損耗在電阻上，增加整體電路的線性度，而電流也不會流經控制增益的 MOS 上，使得這 MOS 會操作在深三極管區。

由前面章節提到，調整負載的的阻抗，除了可以調整增益外，同是會動到整體的頻寬表現，這是在 3dB 的頻寬是由負載決定的情況下。而這架構的頻寬正是如此，但由於輸出阻抗並不是那麼大，被負載阻抗電阻限制住，因此整體的頻寬是很寬的，隨著阻抗變小，其頻寬反而變得更寬。因此使用這種架構並不會影響到這接收機的頻寬，而且接收機的頻寬已被 TIA 限制住了，所以頻寬在這個地方不是一個嚴重的問題。架圖和模擬圖如圖(2.28) 圖(2.29) 所示。



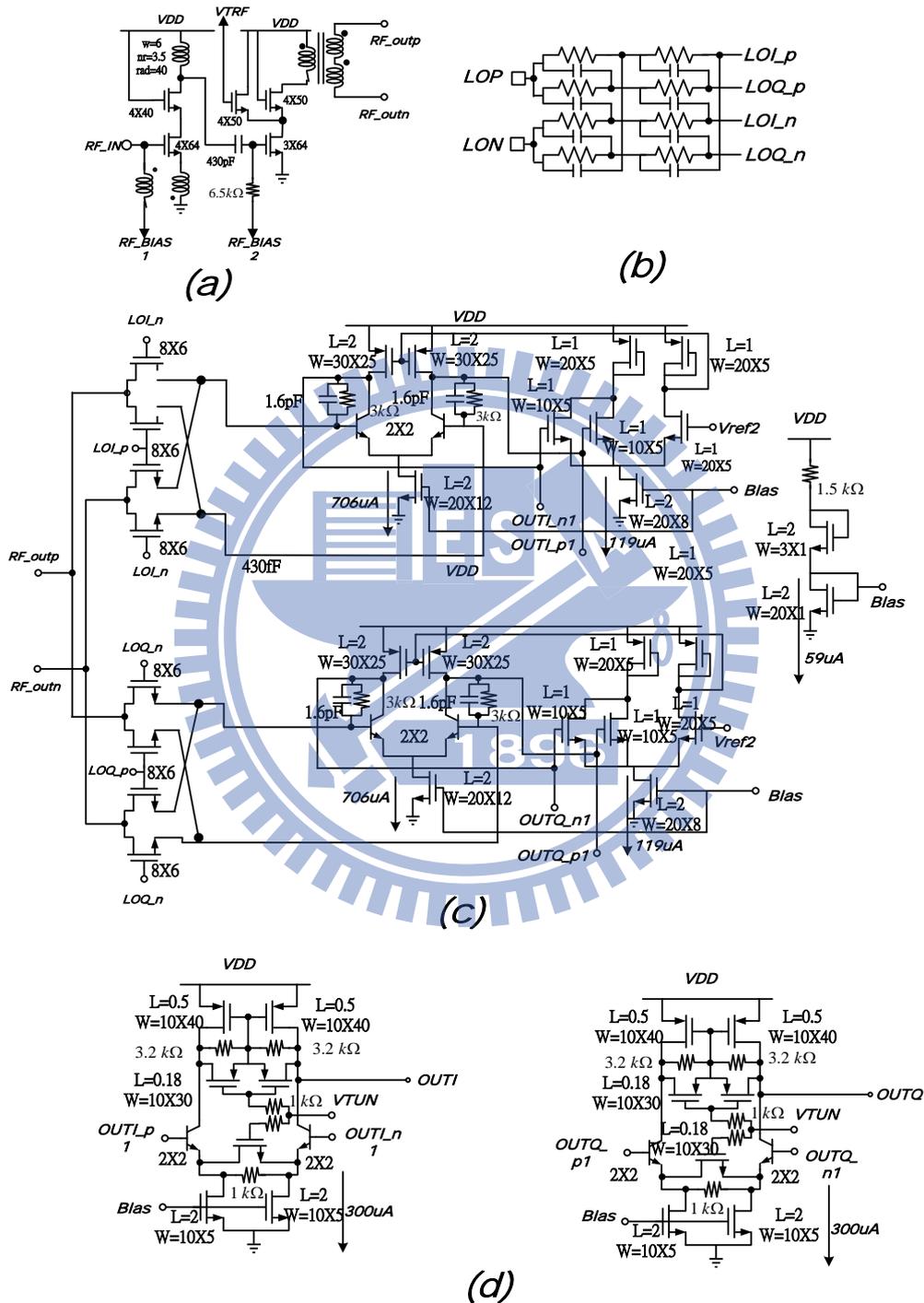
圖(2.28) 可調增益放大器架構圖



圖(2.29) VGA (a)增益對頻率模擬圖(b)增益對控制電壓模擬圖

接收機電路架構圖

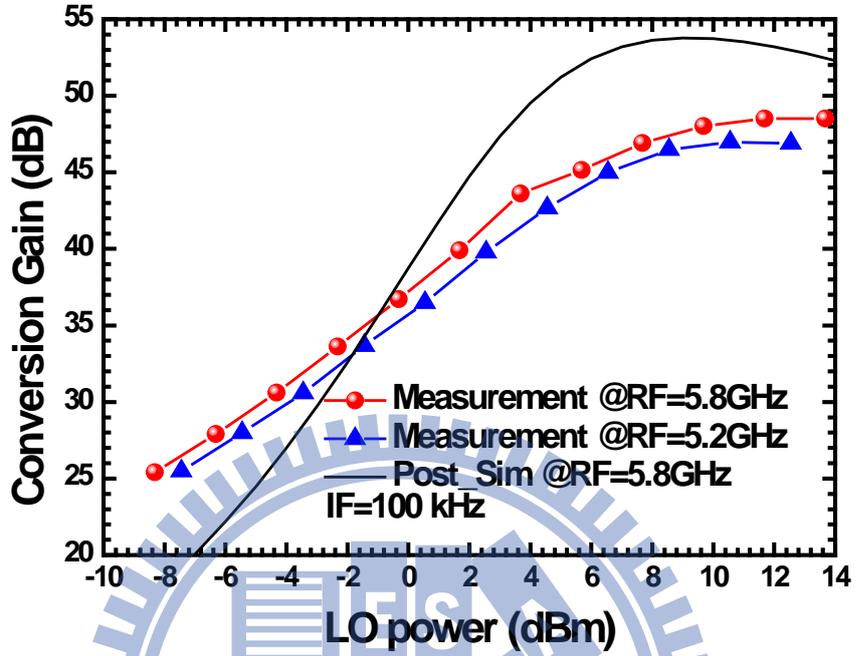
如下圖所示，由上而下依續 LNA，MIXER，TIA，VGA。



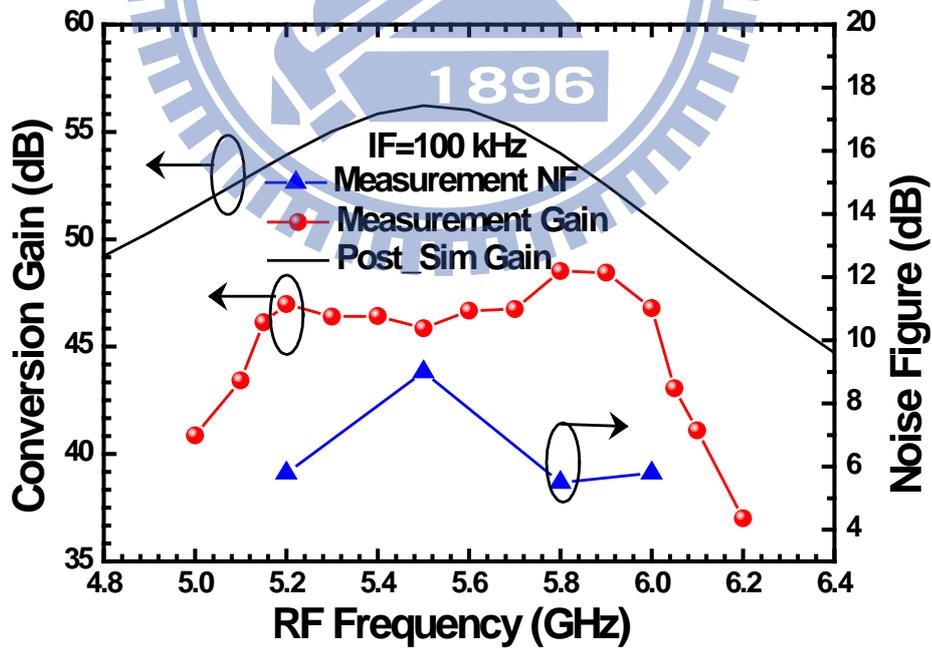
圖(2.30) 5.8 GHz 接收機架構圖 (a)LNA (b)Poly-phase filter

(c)Mixer +TIA (d)VGA

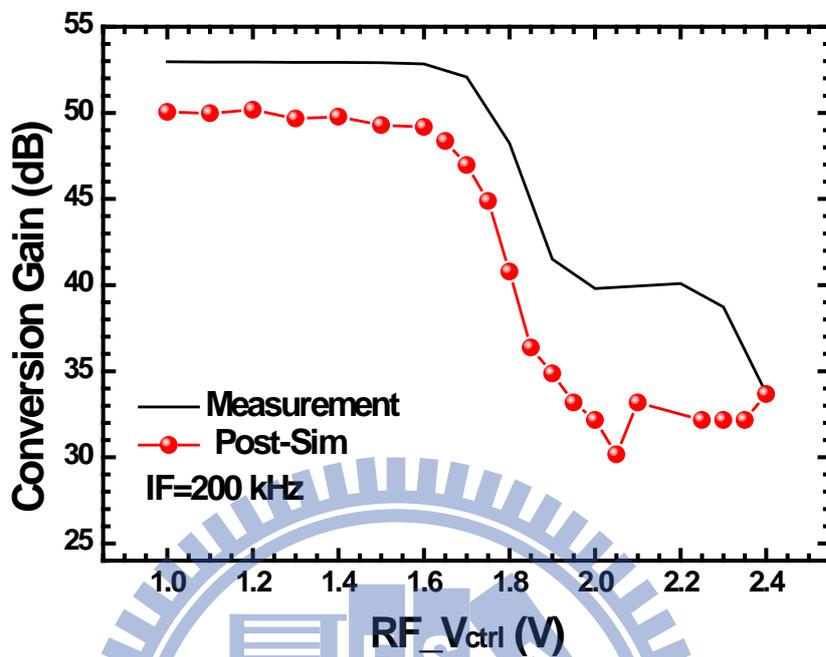
2.3.3 晶片量測結果



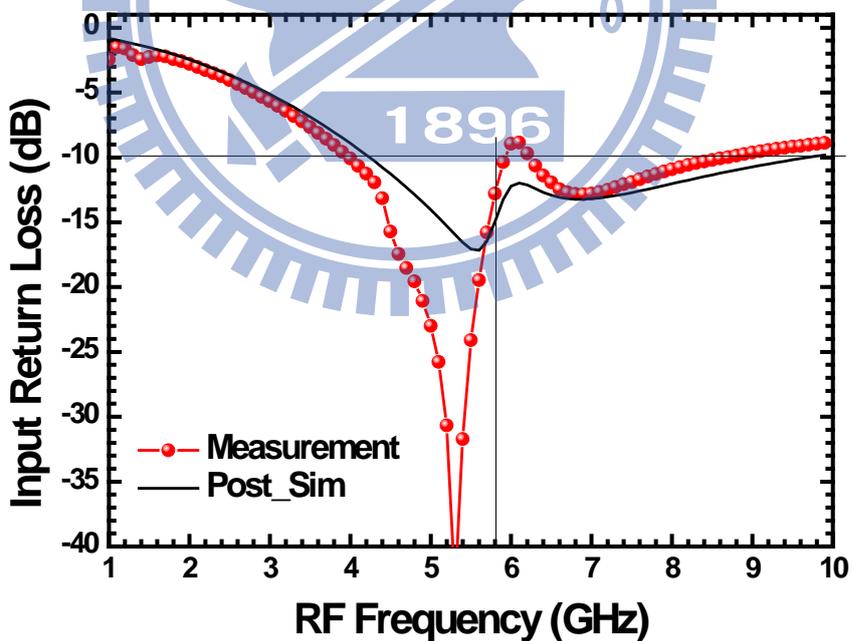
圖(2.31)轉換增益對 LO 功率



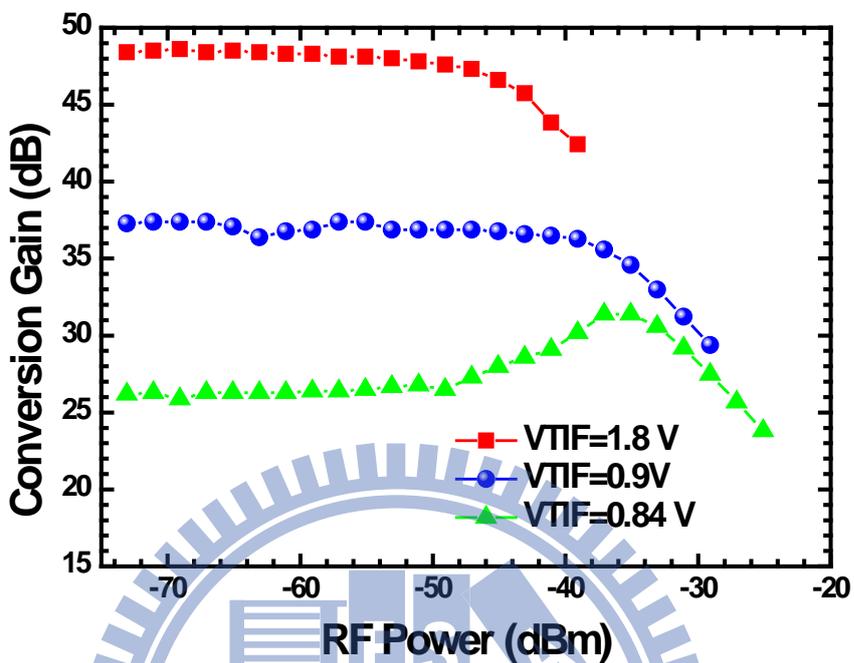
圖(2.32) 轉換增益對 RF 頻率



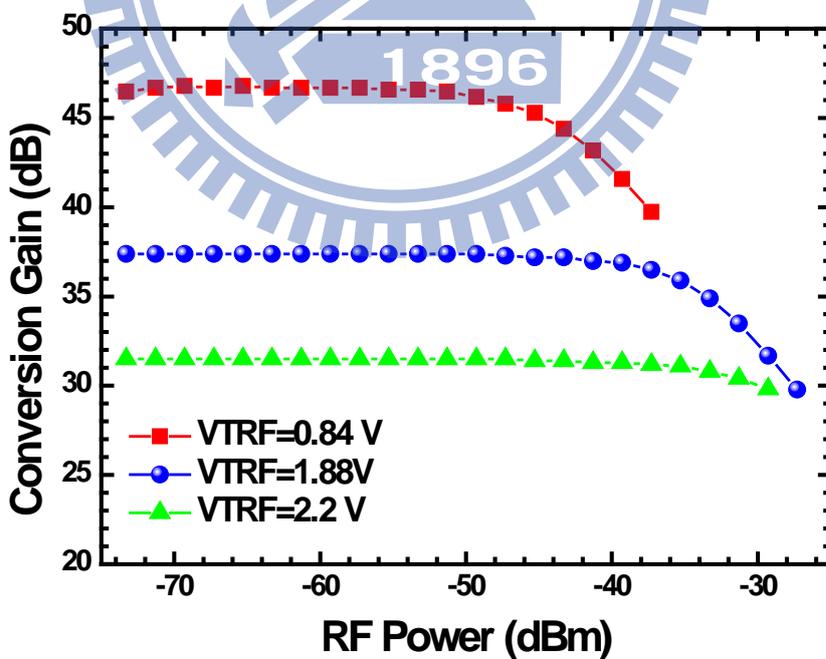
圖(2.33) 轉換增益對 VTRF



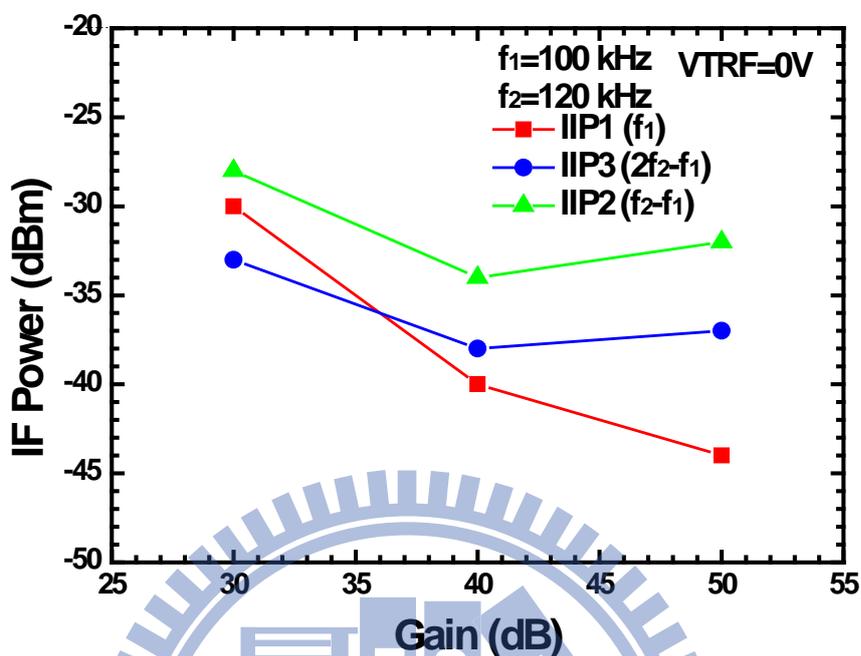
圖(2.34) 輸入返回損耗



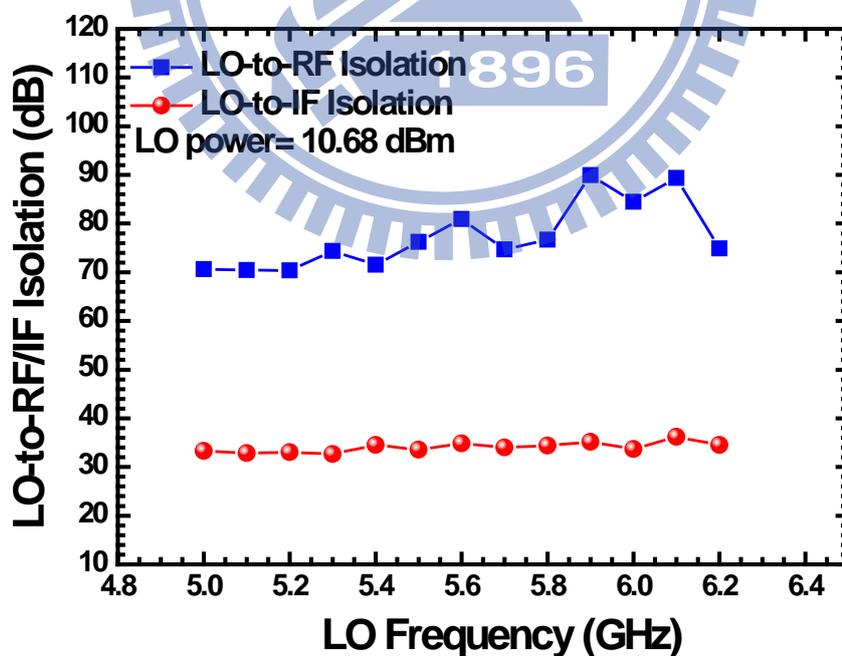
圖(2.35) 轉換增益對 RF 功率(一)



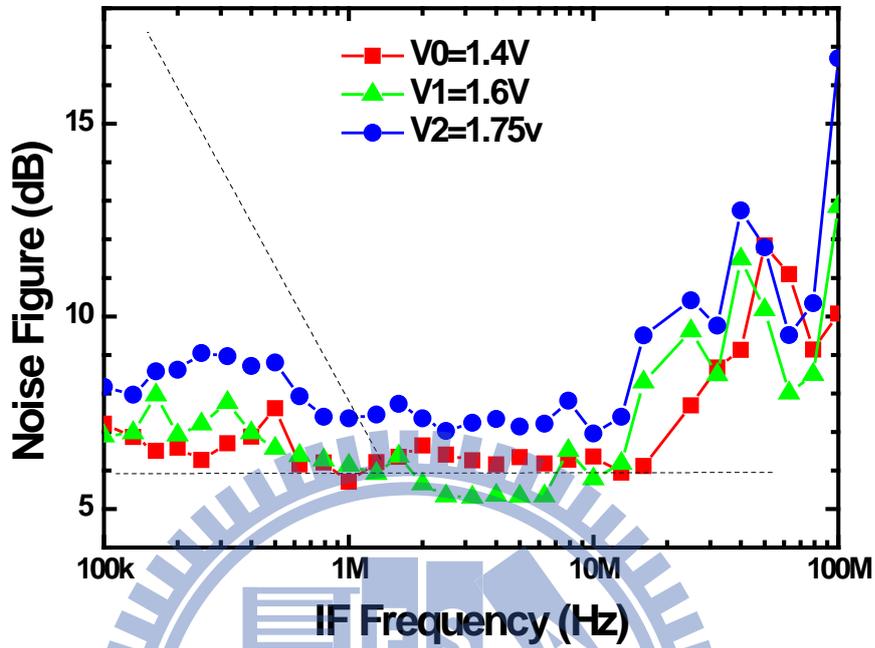
圖(2.36) 轉換增益對 RF 功率(二)



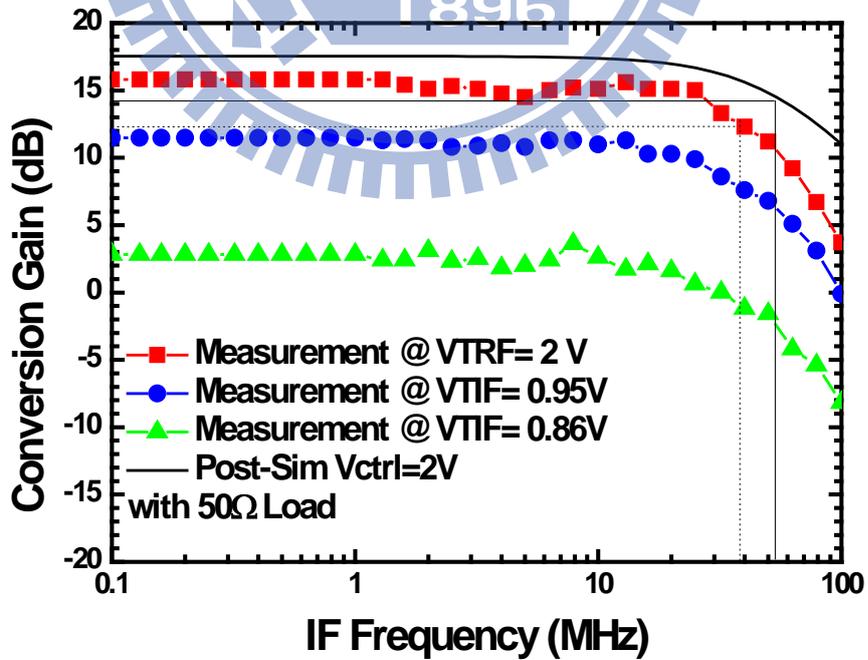
圖(2.37) 線性度表現對增益



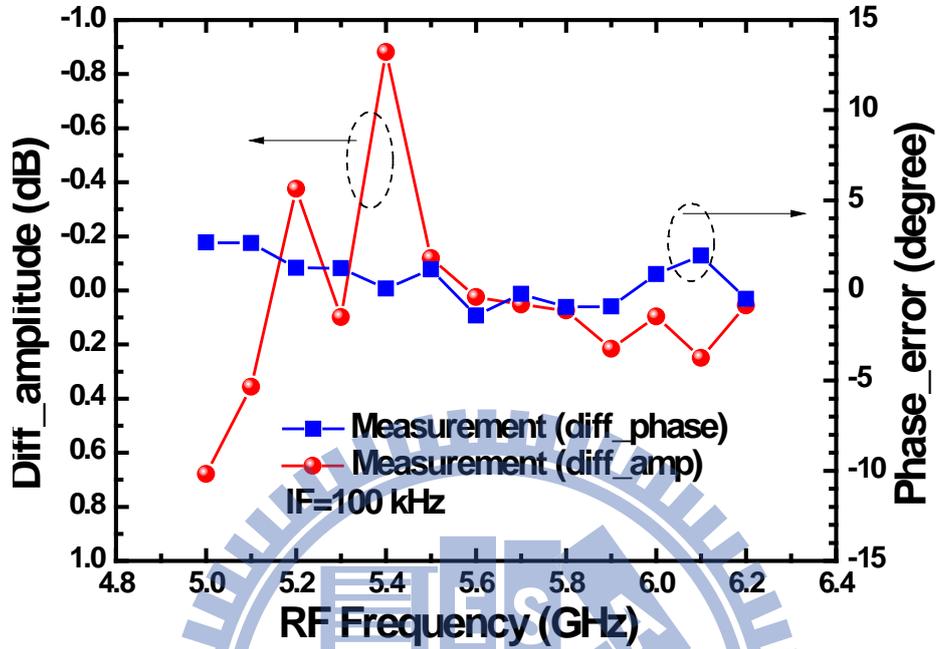
圖(2.38) 隔離度對 LO 頻率



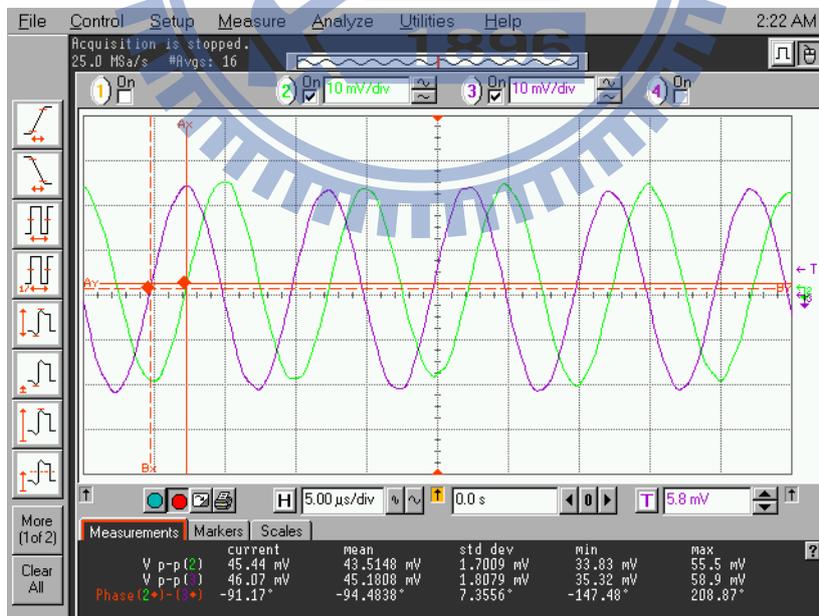
圖(2.39) 雜訊指數對 IF 頻率



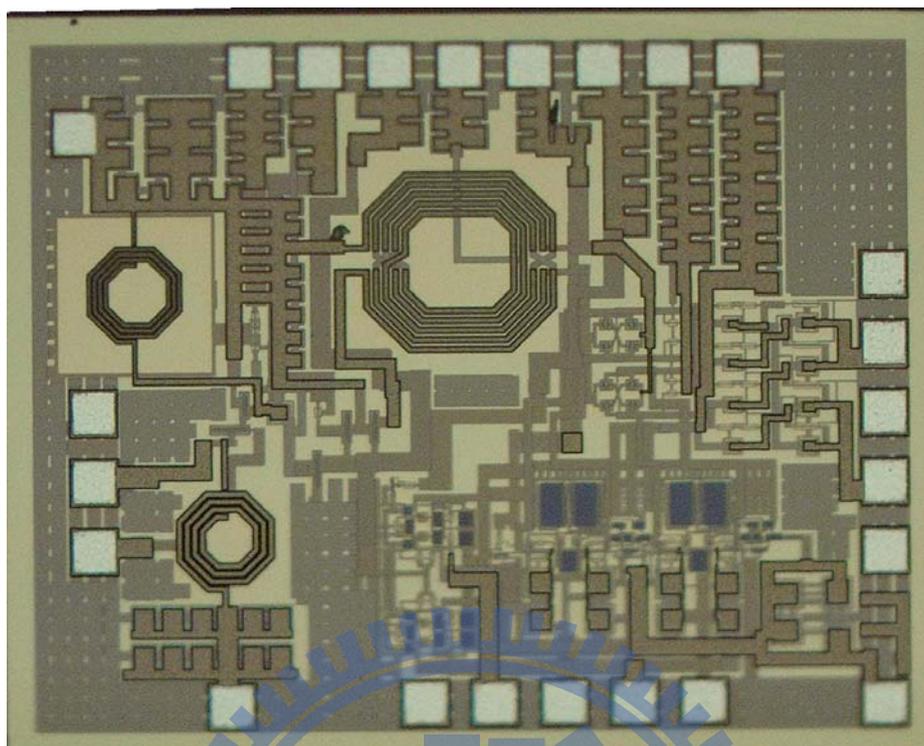
圖(2.40) 增益對 IF 頻率



圖(2.41) I/Q 振幅與相位不對稱對 RF 頻率



圖(2.42) I/Q 通道輸出波形



圖(2.43) 晶片圖(1.25 X 1)

2.3.4 結果與討論

利用 CMOS 製程設計的低雜訊接收機如上圖，整體增益大約是在 50dB 左右，整體面積大約是在 $1.25 \times 1 \text{ mm}^2$ 。利用覆蓋型變壓器減少了面積的損耗，在兩個變壓器和一個電感整體面積仍然是在偏大的情況。

在 s 參數方面，應該是一個寬頻的匹配，覺得是在輸入端的變壓器的關係，使得阻抗有往低阻抗走的趨勢，不然應該是像 post_sim 一樣是個寬頻的匹配，在隔離度上，LO-RF 的隔離度大約是在 70~80dB 之間，跟 2.4GHz 比較起來，5.8GHz 時基板的隔離會較不好，但因為兩級 LNA 的關係隔離度是一個能接受的值，可以發現其實基板的隔

離度在 5.8GHz 的頻段還不會主宰。

在線性度方面，IP1dB 大約是在 -50dBm 左右，但 OP1dB 則在 0dB 附近，這跟文獻的比較上來看是一個差不多的一個值。而 IIP3dB 則在 -40dB 左右，但隨著增益往下掉的時候，IIP3dB 和 IP1dB 皆有上昇的趨式，而在增益掉 10dB。IIP3dB 則在大約 -25dBm 左右，這個值有符合到我們想要的 SPEC。雜訊指數的方面，在頻譜上則是沒有看到顫抖雜訊，這跟前節所描述的關閉重疊(Off Overlap)的區間是有關係的，熱雜訊方面則大約是在 5~6dB 之間。整體的電流損耗大約是在 5.2mA 左右。

Item	Pre Simulation	Measurement
Supply Voltage (V)	1.8	
Conversion Gain (dB)	55	50
RF Bandwidth (GHz)	5.4-5.6	5.1-6.2
IF Bandwidth (MHz)	25	25
NF (dB)	4.6	6.5
IP1dB (dBm)	-50	-48
IP2dB (dBm)@Highest Gain	--	-37
IP3dB (dBm)@Highest Gain	-40	-32
LO-to-RF Isolation(dB)	--	75
Current Consumption (mA)	4.5	5.2
Power Consumption (mW)	8.1	9.36
Chip Size (mm×mm)	1.25 x 1	

表2.2 5.8GHz 利用變壓器設計接收機表現整理

2.4 電路實作 2.4GHz 利用變壓器設計接收機

2.4.1 前言

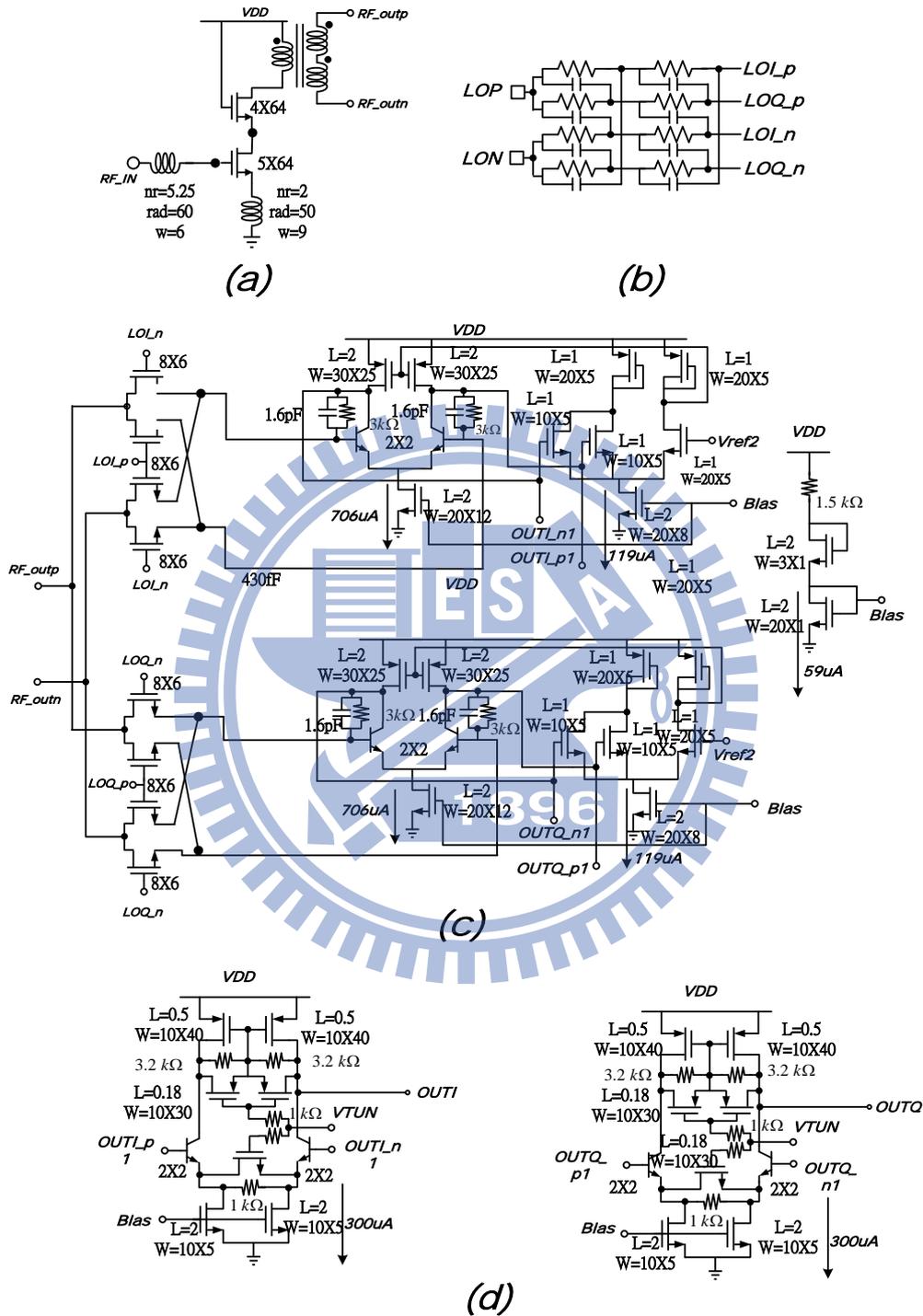
IEEE802 制定委員會在過去幾年分別制定了一些協定，在個人區域網路上(如 IEEE802.11a, IEEE802.11b....)，這些頻段特點都是低消耗功率，較短的通訊距離，最主要就是這些大部份都是操作在 2.4GHz 附近的頻率。降低消耗功率可使電路的使用時間延長，當然這勢必對一些電路的特性做一些取捨，如在線性度，雜訊，增益...等方面。因此在這邊則需一些考量。

2.4.2 電路設計

電路設計考量

電路設計方面，其實與上一節電路差不多。只是在 LNA(低雜訊放大器)部份改為一級的疊接放大器，後級其電路所貢獻的雜訊是需要前級較大的增益來抑制的，但在考慮到整體的功率消耗及增益。經過模擬驗證後，一級放大器就足夠了。其電流消耗也跟著降低了。而在 LNA 和混頻器相接的部份也是採用變壓器當做巴倫(Balun)，可以使用雙平衡式的混頻器，則 LO 到 IF 的隔離度會比較好，且因為是被動混頻器的關係，不管是單平衡式或是雙平衡式的。其都不會損耗電流。而在基頻電路方面則是和上節電路一樣。

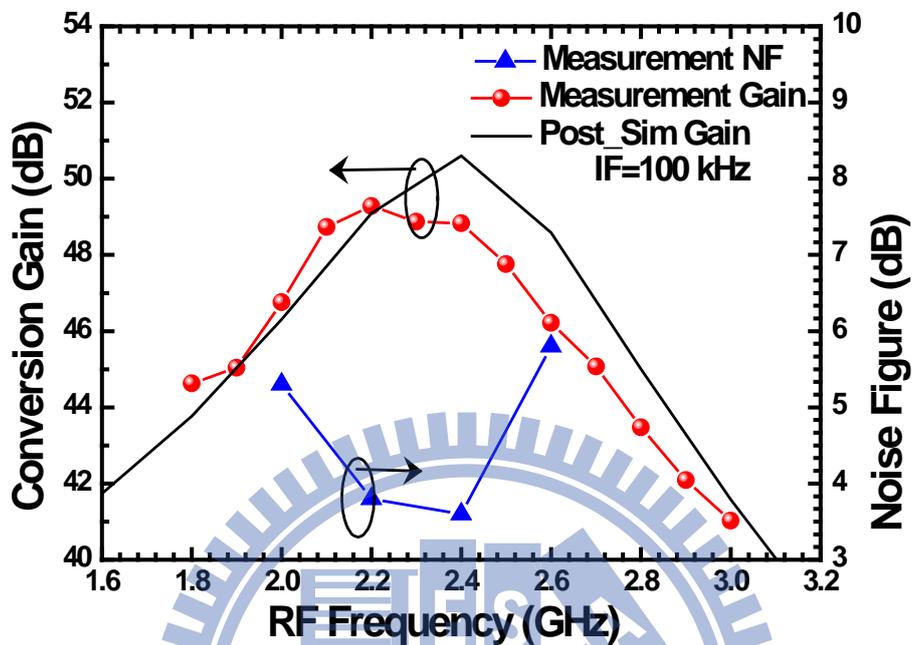
電路架構圖



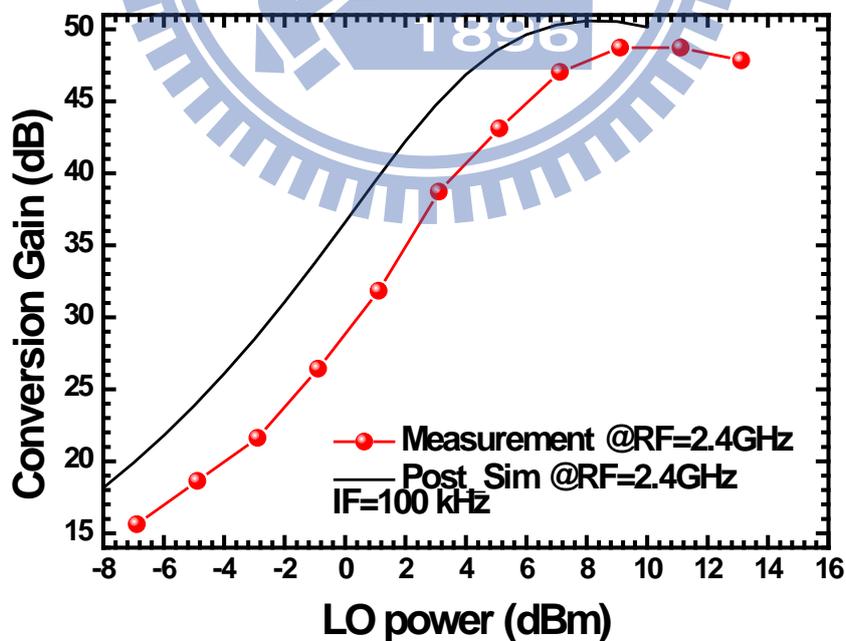
圖(2.44) 2.4GHz 接收機架構圖 (a)LNA (b)Poly-phase filter

(c)Mixer +TIA (d)VGA

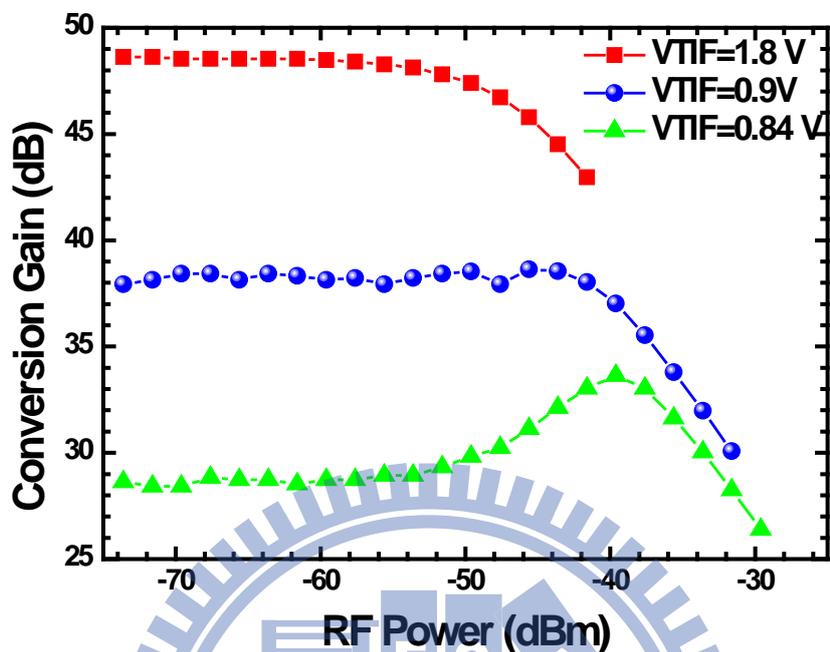
2.4.3 晶片量測結果



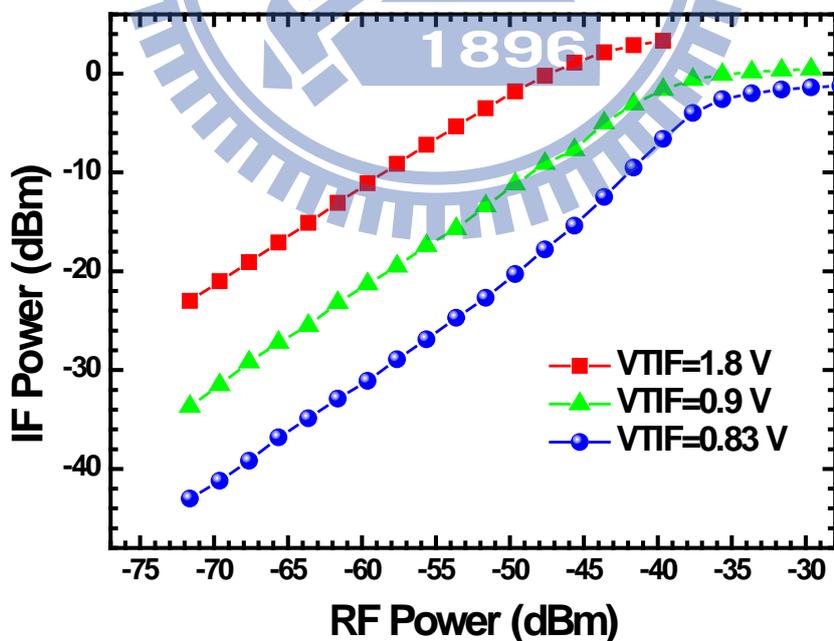
圖(2.45) 轉換增益 對 RF 頻率



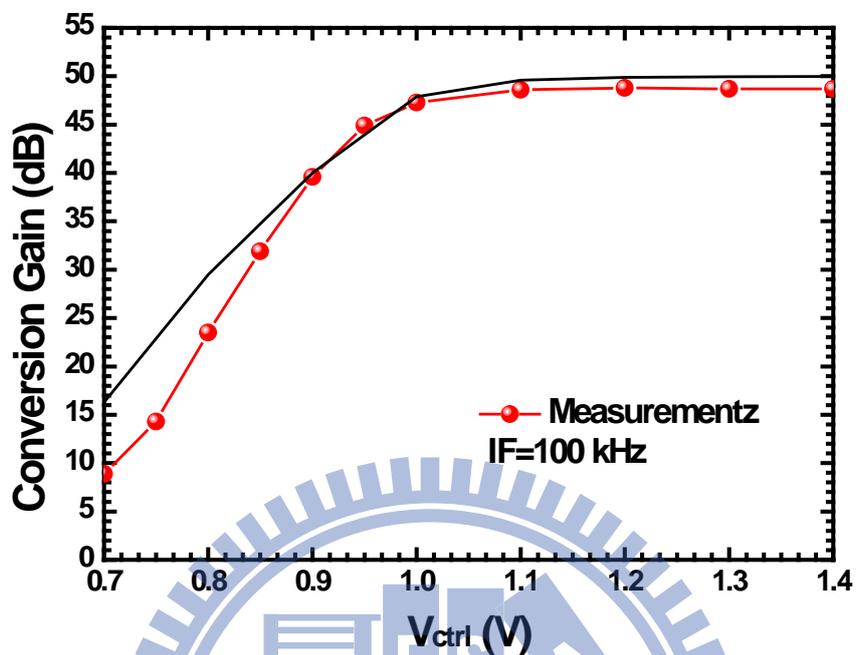
圖(2.46) 轉換增益 對 LO 功率



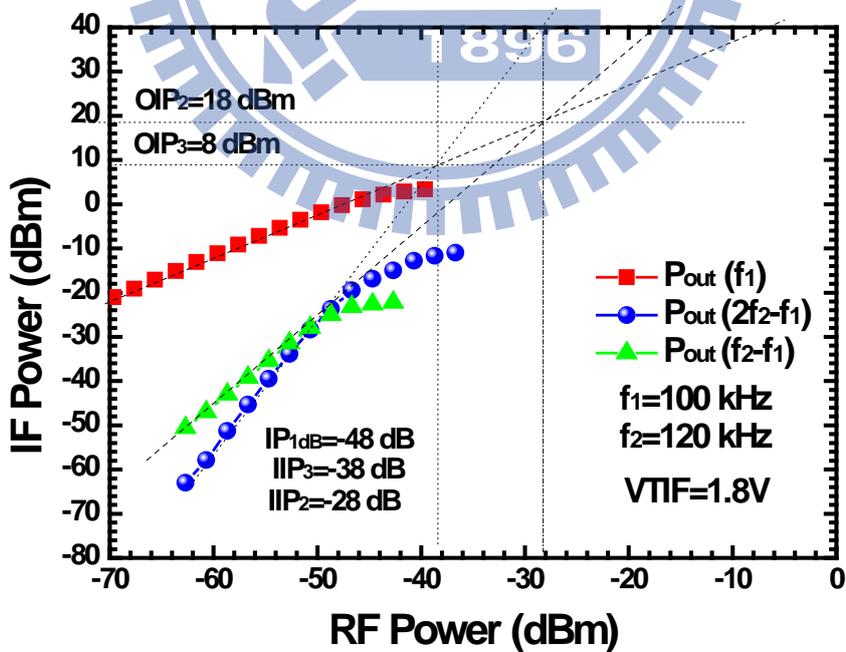
圖(2.47) 轉換增益 對 RF 輸入功率



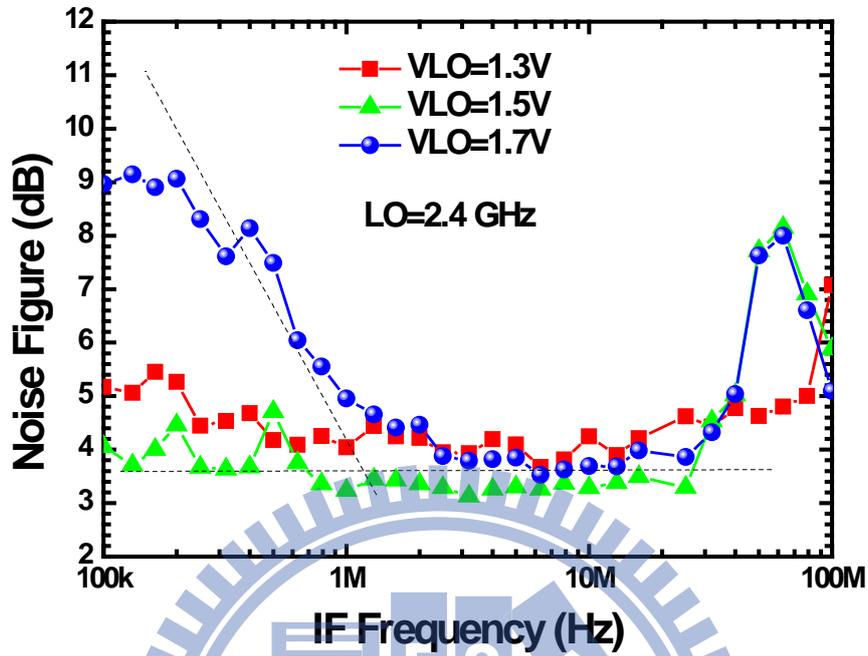
圖(2.48) 輸出功率 對 輸入功率



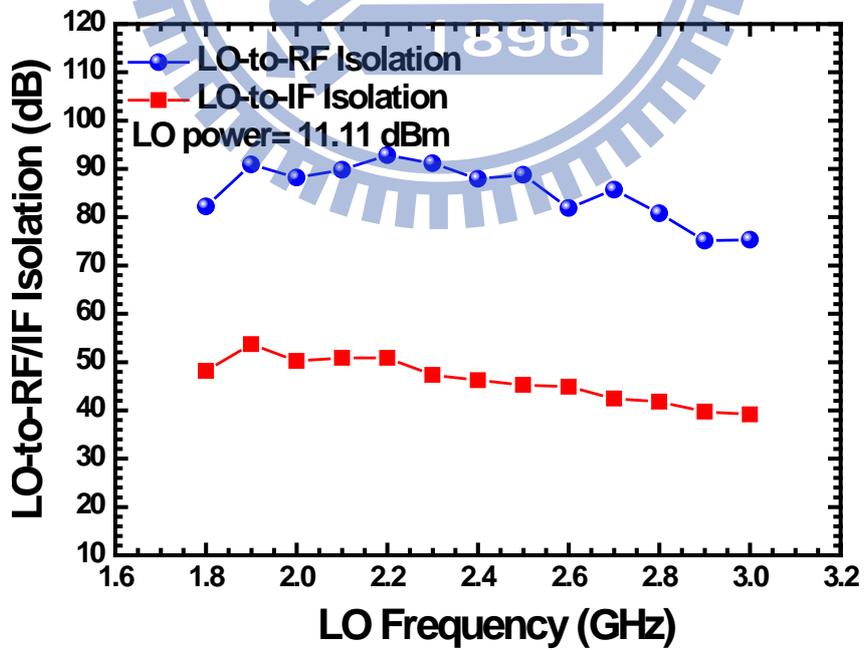
圖(2.49) 轉換增益對 VTIF



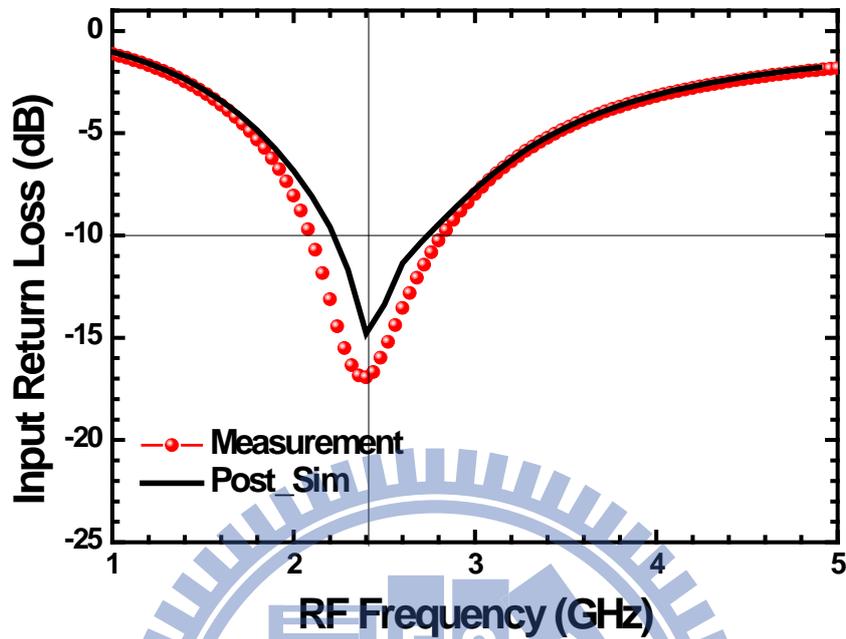
圖(2.50) 線性度表現



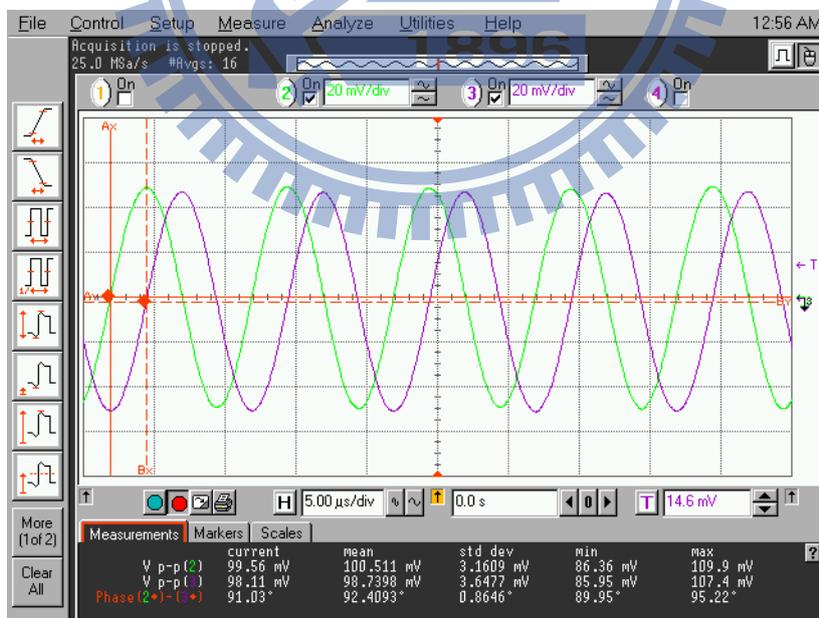
圖(2.51) 雜訊指數對 IF 頻率



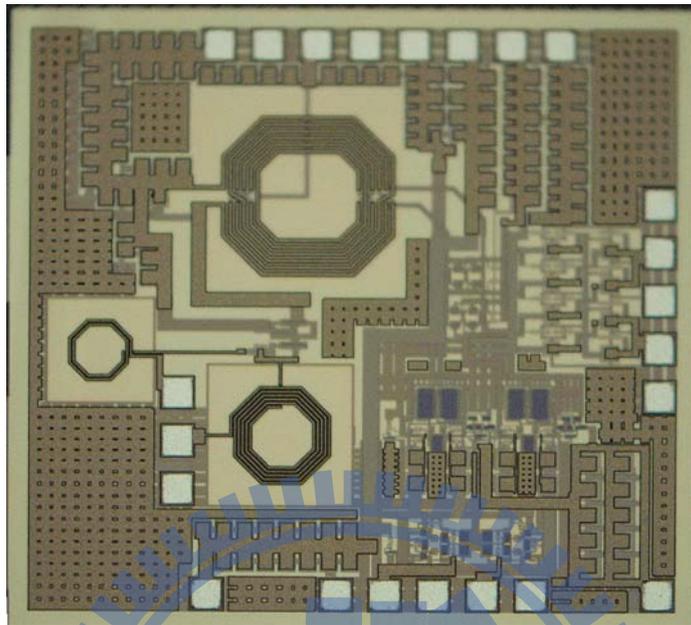
圖(2.52) 隔離度對 LO 頻率



圖(2.53) 輸入返回損耗



圖(2.54) 基頻 IQ 訊號輸出圖



圖(2.55) 晶片圖(1.43 X 1.25)

2.4.4 結果與討論

從實驗結果來看，在 RF 頻率比較低的時候，LO 功率其實沒有在 5.8GHz 來得大，這是因為頻率比較低的時候，混頻器的寄生電容所形成的阻抗比 5.8GHz 的來得大，因此比較小的 LO 的功率就可以驅動混頻器。也因為是一級的低雜訊放大器的關係，沒有如上節般的兩級，故也沒有兩個 tank 的頻率會分開造成寬頻的問題。而在線性度方面，在比較低增益的狀態，其比較可以接受。

而線性度的問題有兩個原因，其一是 TIA 的輸入阻抗並非如想像中的那麼小，輸入阻抗跟 OP 的無迴授的 A 電路的增益有關係。若使用了一級放大器，其增益雖然很大，但其有很大部份是因為電晶體的

輸出阻抗很大的關係，但當迴授電阻加進去時，無迴授 A 電路看到的阻出阻抗相對地被迴授電阻限制住了。因此實際上的增益並沒有無限大，使得輸入阻抗依然不小。使得訊號在 TIA 的輸入阜的部份，其基頻小訊號電壓擺幅過大造成額外的失真，這是第一個原因。而第二個原因則是在後級部份的級性度會越來越要求。使用 BJT 當輸入阜對線性度也是有影響的。

輸入返迴損耗則是和模擬的表現一樣，在 2.4GHz 會有一最低點。顫抖雜訊的部份在一般的情況下是看不到的 CORNER 的。而當混頻器之閘級偏壓給到其打開重疊的區間(on overlap)，就如同前節所描述一般，其顫抖雜訊是明顯的。在實驗中也同時驗證出混頻器閘級偏壓對顫抖雜訊也是有影響的。整體的熱雜訊指數大約是在 3.5~4dB 左右，大概比模擬大了 1dB 左右，我覺得這是一個可以接受的範圍，也應證了，一級 LNA 對於後級的雜訊也有壓制的效果出現。

而在隔離度的表現上，LO-RF 的隔離度其跟直降頻接收機有大的影響，因此好的隔離度也是相當重要的。跟 5.8GHz 比較起來也比較好，在頻率度低時，基板的耦合效果也沒有高頻時來得嚴重。所以整體的隔離大約是在 70~80dB，是個可接受的範圍。

Item	Pre Simulation	Measurement
Supply Voltage (V)	1.8	
Conversion Gain (dB)	53	49
RF Bandwidth (GHz)	2.3-2.5	2.1-2.45
IF Bandwidth (MHz)	25	25
NF (dB)	3	3.7
IP1dB (dBm)	-48	-50
IP2dB (dBm)@Highest Gain	--	-28
IP3dB (dBm)@Highest Gain	-40	-38
LO-to-RF Isolation(dB)	--	80
Current Consumption (mA)	4.5	4.7
Power Consumption (mW)	8.1	7.05
Chip Size (mm×mm)	1.3 x 1.25	

表2.3 2.4GHz 利用變壓器設計接收機表現整理

2.5 電路實作 利用差動放大器設計之接收機

2.5.1 前言

一般差動輸入差動輸出放大器，與單端輸入單端輸出的放大器來說有許多好處，例如：在二階非線性的部份會比較好，也會有共模抵制的效果。但缺點是，要達到如單端輸入單端輸出的放大器的增益來說需要兩倍的功率損耗，且大部份的天線是單端輸出，訊號必需經過一 balun 才能進入放大器.....。對於混頻器來說，單端輸入與差動輸入的比較上，對於相位的不匹配來說，差動輸入的表現會來的好一些，因此在這裡設計一利用差動式低雜訊放大器來驅動被動混頻器來設計一接收機。

2.5.2 電路設計

低雜訊放大器之設計

其架構如下所示

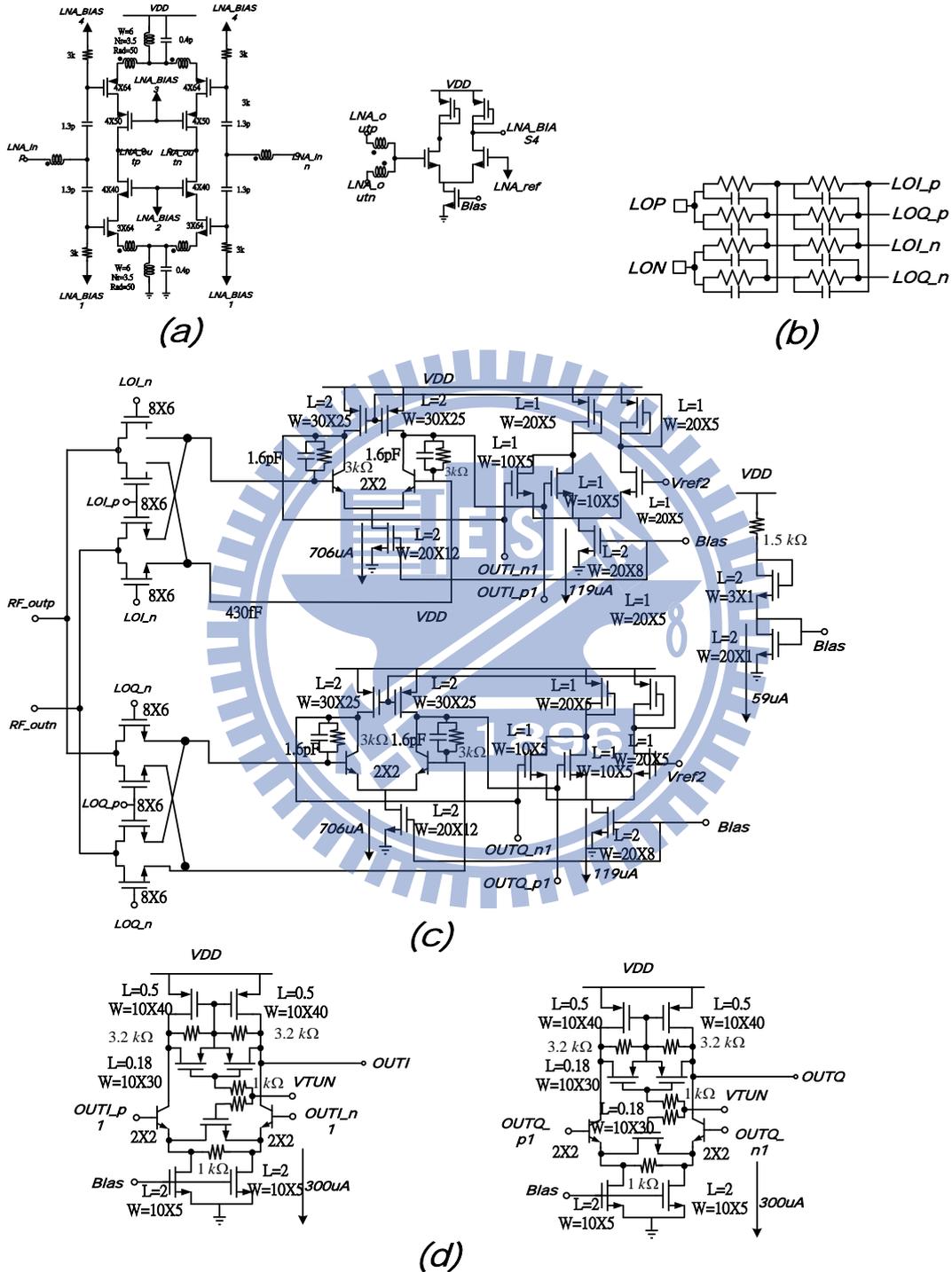
電路仍需在開級拉額外的電感做匹配電路，然而這個高通電路在匹配時會造成更負的虛部，使得匹配的感值更大，使得雜訊指數更差。

而在電路的 X 與 Y 點，對差動訊號來說，這個點會是一個虛接地。但對於共模訊號來說就不是了。通常會在這邊加一個高阻抗電流源，拉大輸出差動與共模訊號比。而一般電路在利用電晶體來當做一電流源。但在高頻率時，電晶體的輸出阻抗時反而是低阻抗，會拉低差動與共模比。為了解決這個問題，電流源的問題，可以利用電感電容並聯，一方面不影響直流偏壓，一方面在某一頻率下差動與共模訊號比會拉高，有選頻的效果。

利用共開級的電晶體，雖然可以有增加隔離度，增加輸出阻抗的效果。但同時，這個輸出的地方會有一個輸出阻抗與寄生電容造成頻率很低的極點，拉低了增益。且在這個地方需要額外的放大器來穩定整體的直流偏壓，故需另一共模迴授(Common mode feedback)差動放大器，M9~M13 所組成的。取其輸出的共模電壓利用這共模迴授的差動放大器來逼近電路外所給的電壓，而迴授的回去 LNA 的電壓則由 M13 的汲級迴授到 PMOS M7，M8 的開級 LNA_BIAS4。而在輸出的極點可以利用電感共振掉寄生電容所造成的極點，其增益對頻率做圖出來還有帶通濾波器的效果。而電感的中點可以拿來取出共模電壓。

電路架構圖

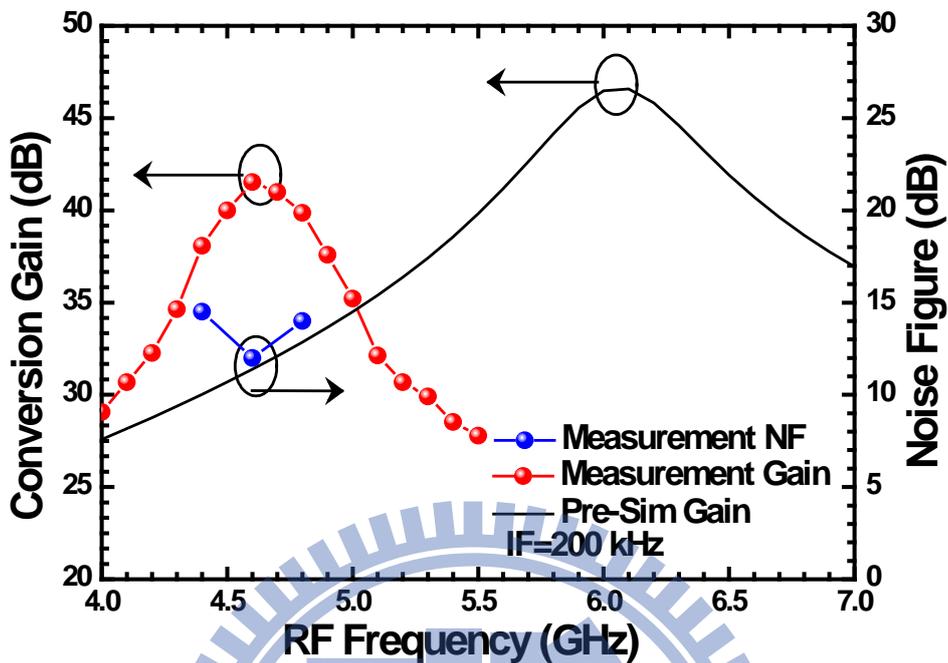
如下圖所示，由上而下依續 LNA，MIXER，TIA，VGA。



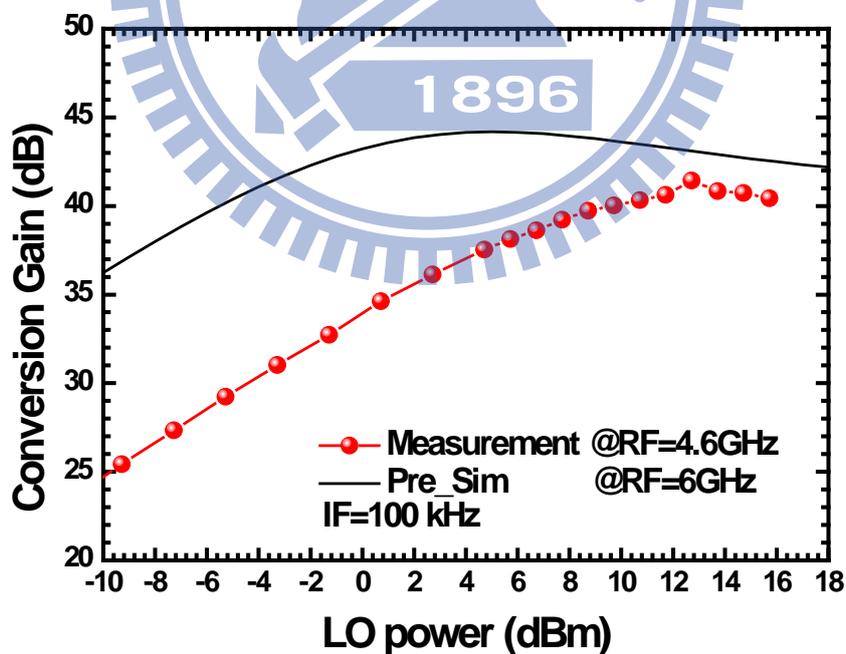
圖(2.57) 5.8GHz 接收機架構圖 (a)LNA (b)Poly-phase filter

(c)Mixer +TIA (d)VGA

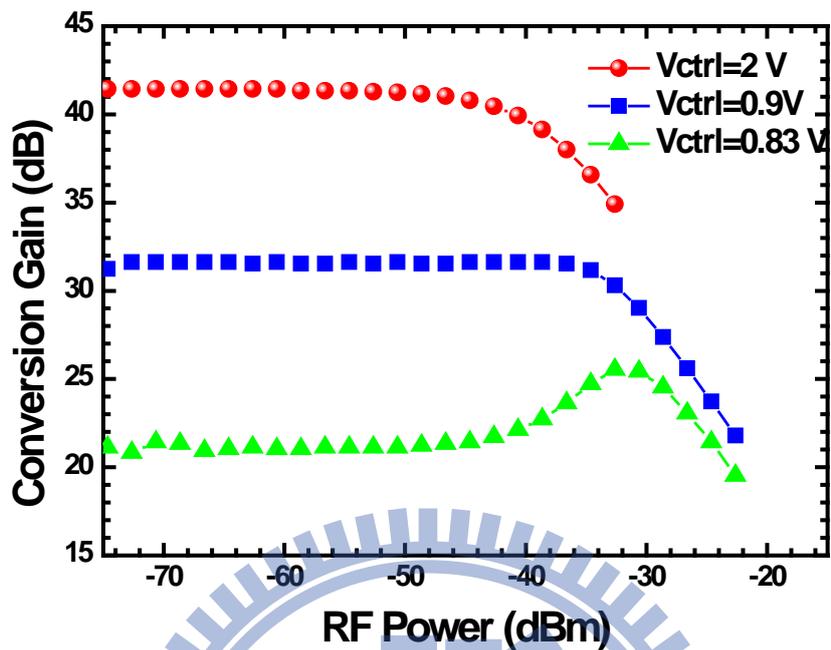
2.5.3 晶片量測結果



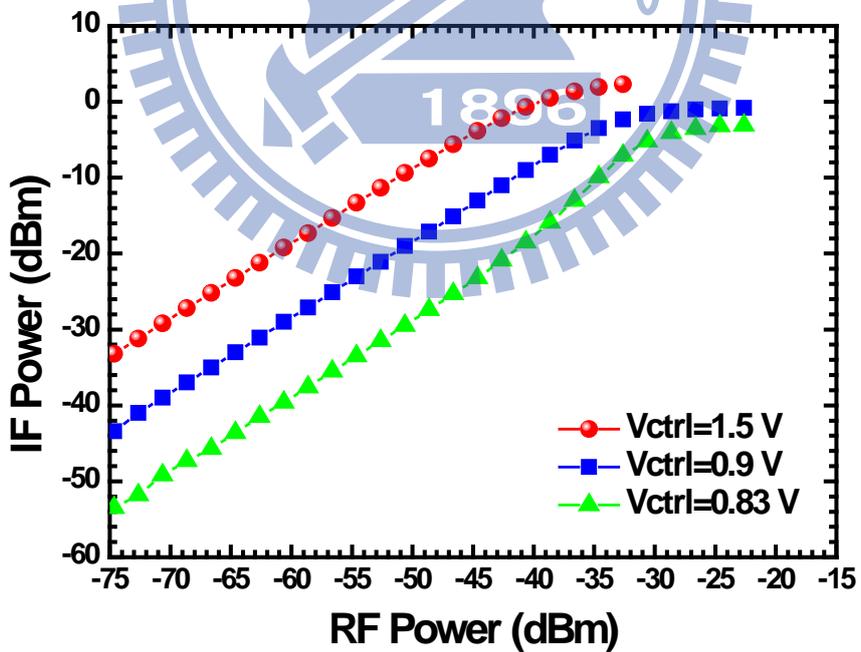
圖(2.58) 轉換增益 對 RF 頻率



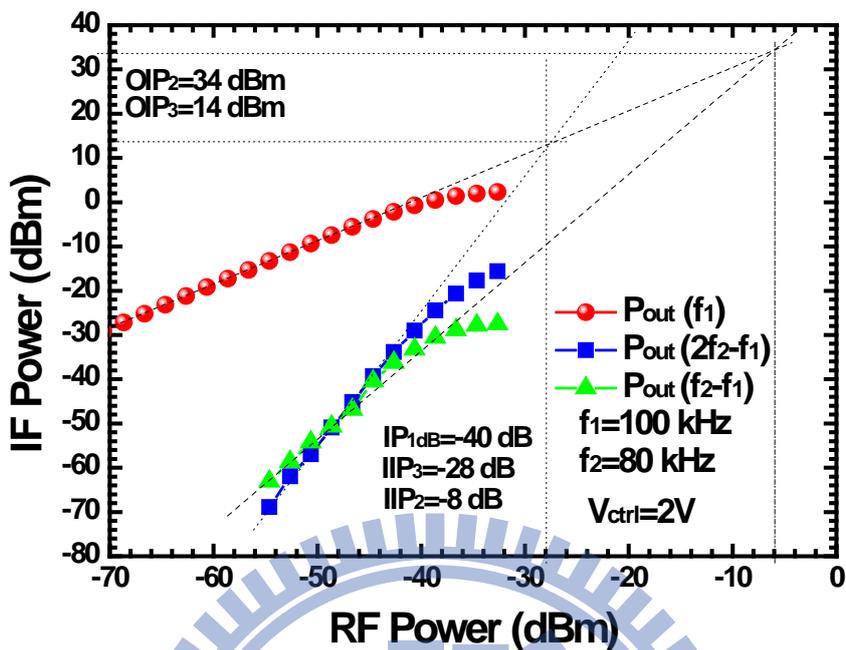
圖(2.59) 轉換增益 對 LO 功率



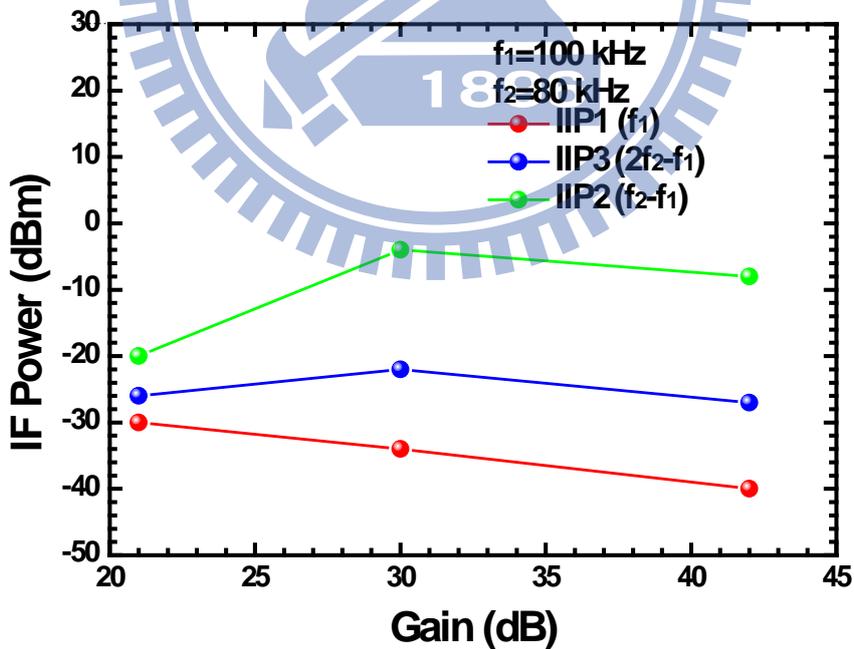
圖(2.60) 轉換增益 對 RF 輸入功率



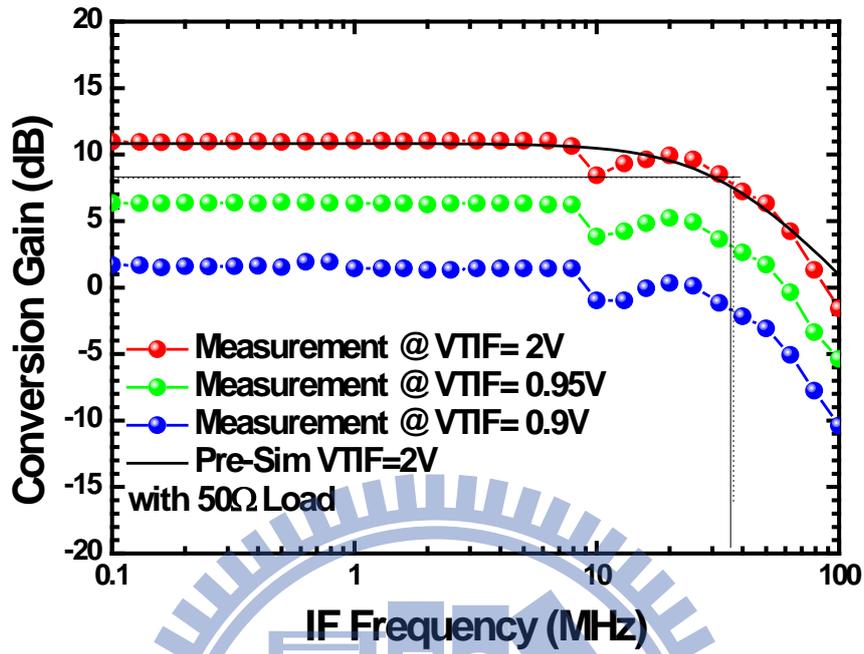
圖(2.61) 輸出功率 對 輸入功率



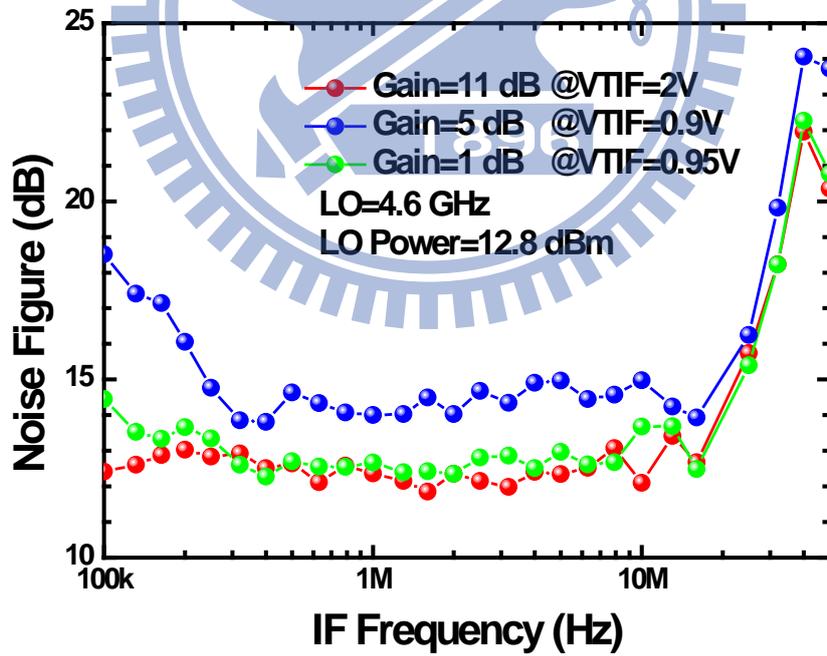
圖(2.62) 線性度表現



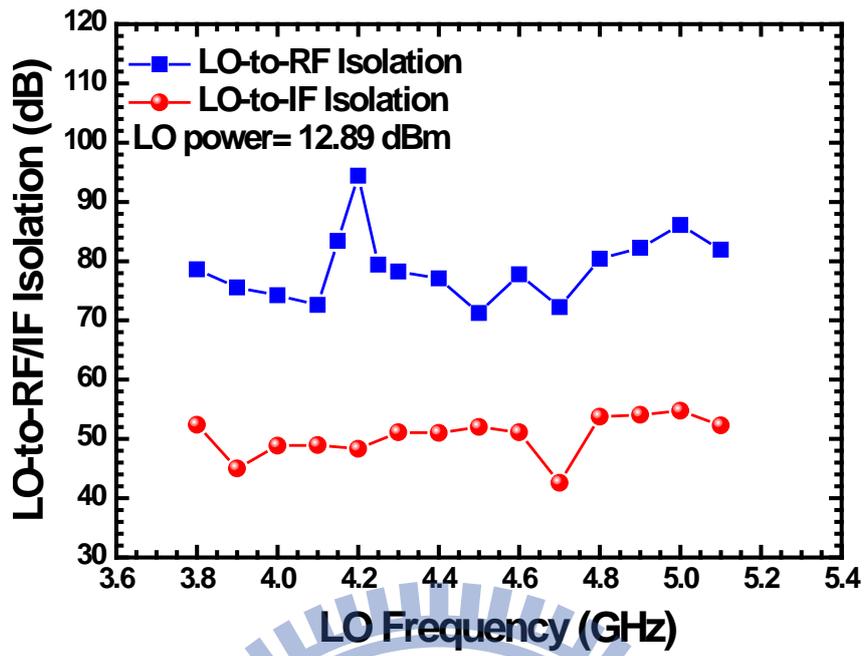
圖(2.63) 線性對表現 對 增益



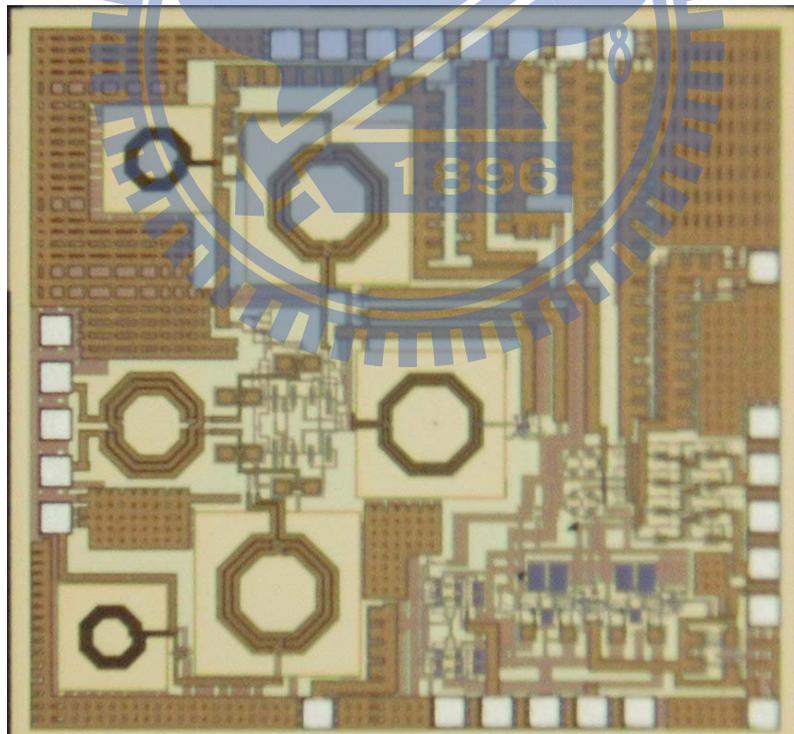
圖(2.64) 轉換增益 對 IF 頻率



圖(2.65) 雜訊指數 對 IF 頻率



圖(2.66) 隔離度 對 LO 頻率



圖(2.67) 晶片圖(1.48 X 1.58)

2.5.4 結果與討論

從實驗結果來看，有許多明顯的缺失。很明顯地就是其 RF 頻率往低頻飄走了，頻率最主要是由 LNA 接到共模迴授的放大器的電感與 LNA 輸出點的寄生電容，和 LNA 接進去 MIXER 中間的電容所共同決定的，但由於這電路需要的電感和變壓器太多了，有 6 個，造成 LNA 到 MIXER 的走線過長，走線的感值太大，影響到整體的頻率，和本身電感的 Q 值，進而影響到電路的增益。

量測上來看線性度似乎好一些，判斷可能是在增益掉了之後，二階和三階非線性項似乎也掉了不少。但相較於前一節的路來看，利用差動放大器的 LNA 二階非線性的效果確實有比較好。而雜訊指數也和增益有很大的關係，前級的 LNA 增益掉了，而相對地增加了雜訊指數。

雖然利用了差動對稱電感和變壓器，減少了一半的電感使用量，但仍然還是太多了，整體電路佈局和設計應再多考量，為了匹配和增加電流源的輸出阻抗，電流重覆利用...等好處。但卻犧牲了面積，面積過大對成本是個很大的缺失。且因為希望整體電流小於 5mA 以內，故使用跟單級放大器的電流一樣，但為了要有更大的增益，重覆利用了電流放大訊號，但也犧牲掉了整體的輸出擺幅。故這架構實際上還有許多需改進的地方。

Item	Pre Simulation	Measurement
Supply Voltage (V)	1.8	
Conversion Gain (dB)	47	42
RF Bandwidth (GHz)	5.8-6.1	4.6-4.7
IF Bandwidth (MHz)	25	25
NF (dB)	7	12
IP1dB (dBm)	-50	-40
IP2dB (dBm)@Highest Gain	--	-8
IP3dB (dBm)@Highest Gain	-36	-27
LO-to-RF Isolation(dB)	--	80
Current Consumption (mA)	4.6	5
Power Consumption (mW)	8.28	9
Chip Size (mm×mm)	1.5 x 1.58	

表2.4 利用差動放大器設計之接收機表現整理



3.1 前言

當一般訊號傳輸時，從發射端天線到接收訊號端天線。在這過程，訊號會其能量隨著空氣的傳播變小，同時也會存在著雜訊對訊號的干擾。到接收端後，其訊雜比相對地變低許多，低到某一程度時，接收機就沒辦法判斷訊號。對接收機而言，可以接收訊號最小值可定義其接收機的靈敏度(Sensitivity)及動態範圍(Dynamic Range)其公式定義如下：

$$P_{in,min} = -174dBm / Hz + NF + 10\log B + SNR_{min} \quad (3.1)$$

$$SFDR = \frac{2(P_{IP3} + 174dBm - NF - 10\log B)}{3} - SNR_{min} \quad (3.2)$$

由式子可以發現，當雜訊指數增加時，其靈敏度及動態範圍都會變差。除了雜訊指數外，線性度也不可太差，其會影響到動態範圍。

對於一般接收機整體的雜訊指數可由下式來說明：

$$NF_{total} = NF_1 + \frac{NF_2 - 1}{G_1} + \frac{NF_3 - 1}{G_1 G_2} + \dots \quad (3.3)$$

可以發現較前級雜訊會主宰整體的雜訊指數，隨後之電路的雜訊貢獻(noise contribution)會隨著前級的增益而變小。故在一接收機天線之後再接一高增益低雜訊放大器(LNA)有其必要性，使得訊號經過一 LNA 時，放大其訊雜比。故本章節利用其 HEMT 的高截止頻率，低雜訊的特性，來實作 2.4/5.8 GHz 低雜訊放大器，針對二種不同架構，不同的製程(MHEMT、PHEMT)不同頻率做比較。

3.2 製程介紹

隨著 IC 科技產業的進步，利用以矽為主的 CMOS 有成本低，且整合度較高..等優點。但對於一些比較嚴格雜訊要求的接收機中，利用 CMOS 似乎稍不夠，即使隨著製程的進步，其截止頻率，也可以做比以往高，但其通道雜訊也隨著變高。跟 HEMT 比較起來，HEMT 有更高的轉導值、更好的功率密度、低雜訊指數、及高的崩潰電壓。在實做 LNA、PA，利用 HEMT 反而有比較優的表現。

以現在 HEMT 技術來說，較主流的有三種：gallium-arsenide(GaAs) 為基礎的 pHEMT，以 GaAs 為基礎的 mHEMT，以及以 indium - phosphide(InP)，pHEMT 有高增益、高截止頻率，由於其 InGaAs 通道直接生長在 GaAs 基本上，其銦含量保持在 15-30%之間才能與鄰近材料的晶格錯位(lattice mismatch)。而 InP HEMT 雖然有比起 pHEMT 有較優異的雜訊效能，較高的功率增加效率(Power-added efficiency, PAE)，但 InP HEMT 天性其材料比較脆弱，以至於其生產成本高，晶原的尺寸無法做大。mHEMT 改進了 pHEMT 其銦含量無法再提高的缺點，在 InGaAs 道通與 GaAs 基板之間置入一變質層(metamorphic layer)來做緩衝，調整通道與基板之間的晶格錯位，這將使得通道中的銦含量不再受到限制，高銦含量讓 mHEMT 有著比 pHEMT 更好的雜訊效能、更高的增益、更高的截止頻率與更低的功率消耗。pHEMT

跟 mHEMT 兩者之性能比較可以如下表：

項目	pHEMT	mHEMT	單位
通道長度	0.15	0.15	μm
In 莫耳含量	15~30	40	%
f_t	88	110	GHz
f_{max}	183	200	GHz
G_{mpeak}	495	730	mS/mm
$V_{\text{break down(gate-drain)}}$	10	12	volt
$I_{\text{DSmax}}(V_{\text{gs}}=-0.5\text{V})$	650	530	mA/mm

表3.1 HEMT 特性比較表

本節的電路主要是由穩懋公司所提供的通道長度為 $0.15 \mu\text{m}$ pHEMT 以及 mHEMT 技術，pHEMT 的截止頻率(f_t)為 $88 \pm 2.2 \text{ GHz}$ ，最大振盪頻率(f_{max})為 $183 \pm 11.2 \text{ GHz}$ ，mHEMT 技術其截止頻率達 120 GHz ，最大振盪頻率則超過 220 GHz ，這兩技術的薄膜電阻(TaN resistor)其片電阻(sheet resistance)皆為 $50 \pm 1 \Omega/\square$ ，金屬-絕緣層-金屬電容(MIM capacitor)其單位電容皆為 $400 \pm 40 \text{ pF}/\text{mm}^2$ 。其結構剖面圖如圖

所示：

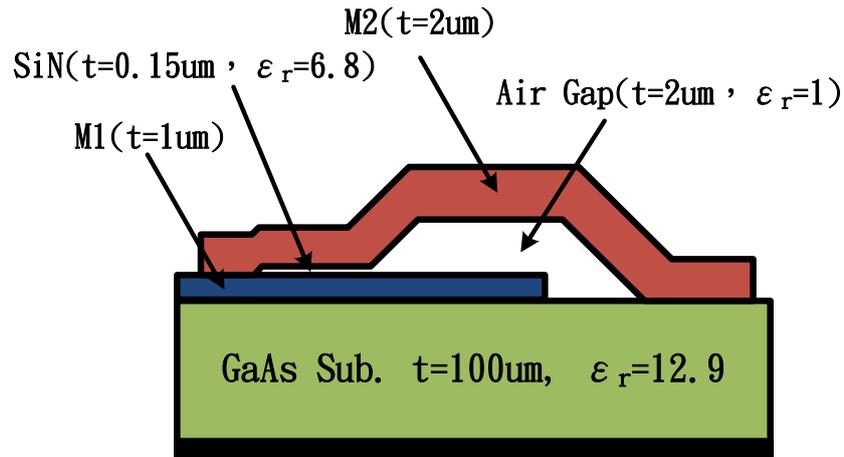


圖3.1 HEMT 製程剖面圖

3.3 基本放大器設計原理

在一般設計低雜訊放大器，最注意不外乎就是其貢獻的雜訊指數，及其功率增益是否夠大，能否壓掉後級的雜訊指數。但在考量系統時，其線性度亦不可太差，會影響整體線性度的動態範圍。線性度和雜訊之間在一定功率損耗的情況下，通常會取捨，故需特別注意。且在高頻的放大器之電路上，穩定度也是一個很重要的考量因素。

3.3.1 源極退化阻抗的共源極放大器 (*Common-Source Amplifier With Source Degeneration*)

先簡單地看一帶有源極退化阻抗的共源極放大器 (*Common-Source Amplifier With Source Degeneration*)，

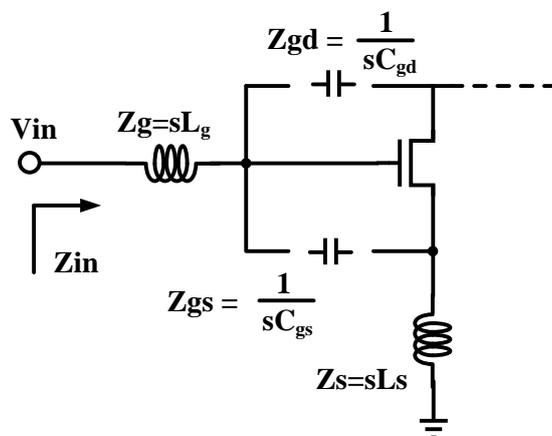


圖3.2 帶有源極退化阻抗的共源極放大器模型

假設 Z_{gd} 很大可以忽略，放大器的輸入阻抗可以寫為

$$Z_{in} = Z_g + Z_{gs} + Z_s (1 + g_m Z_{gs}) \quad (3.4)$$

在實際電路設計上，電晶體上的 Z_{gs} 表示成寄生電容的 C_{gs} ，而 Z_{gd} 表示成寄生電容 C_{gd} ，等效電路圖可以如圖 3.5， Z_s 和 Z_g 可以用無損耗的被動元件 (lossless passive components) 達到一個純實部的 50 歐姆輸入阻抗的匹配，其輸入阻抗可以表示成 $Z_{in} = g_m Z_{gs} Z_s + R_{min}$ 。其中 R_{min} 是 Z_g 、 Z_{gs} 和 Z_s 的實數和。其中 Z_s 是主要是由電感來產生一實部項，把電晶體的寄生電容效應考慮進去時，其電感感值可以表示

$$\text{成 } L_s = R_{in} \frac{C_{gs}}{g_m} \approx \frac{R_{in}}{\omega_T}。$$

由上述式子可以發現其 R_{in} 值是固定在 50 歐姆，而源級退化電感的感值跟電晶體的截止頻率有一個很大的關係。只要電晶體的截止

頻率增高，其所需的感值就可以越小，電感的面積也會變小，其寄生電阻也越小而其所造成的雜訊指數也會因此變小。

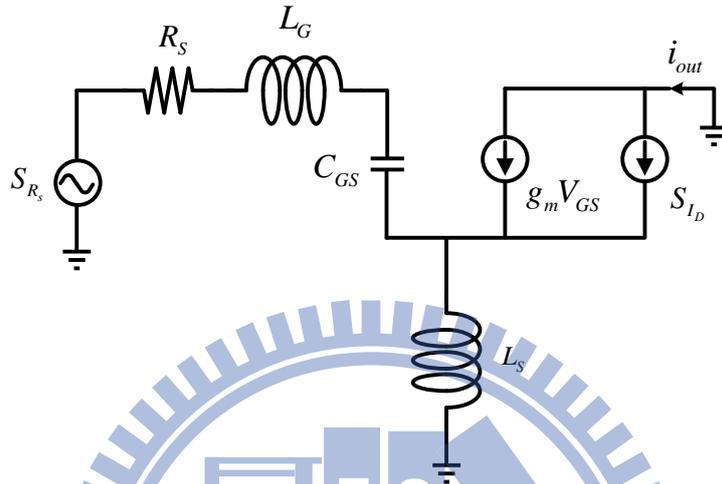


圖3.3 帶有源極退化阻抗的共源極放大器小訊號模型

雜訊指數推導後如下式所表示： $F = 1 + \frac{\Gamma g_m R_S}{\left(\frac{\omega_T}{\omega_0}\right)^2}$ 。電晶體所供獻的

熱雜訊是跟操作頻率和電晶體的截止頻率有關係的，操作頻率越高，雜訊指數越高，而電晶體的截止頻率越高其雜訊指數越低。電晶體的轉導越大其雜訊指數也越低。

經過上述的討論，要操作在一個相當低的雜訊指數，利用 HEMT 來實做是相當適合的，跟 MOS 比較起來的話一方面其截止頻率相當高，其通導雜訊也比 MOS 來的低。

3.4 實作一 2.4/5.8 GHz 低雜訊放大器實做

3.4.1 研究動機

本節電路主要是設計在無線通訊網路架構 IEEE802.11 之系列的低雜訊放大器，其操作頻率操作在 2.4GHz 和 5.8GHz。HEMT 特性雖其有低雜訊、高截止頻率之特性，但在其電晶體閘級正偏壓下，其電流損耗相當驚人。因此為了減少功率損耗，電晶體閘級需偏壓在負壓下。但電路的負壓需另給一電壓源，造成整體電路複雜度跟成本。如何適當地設計負偏壓在電路上，及使用電流重覆利用地概念來設計是本節概念。mHEMT 具有較低的雜訊，及更高的截止頻率。因其設計同樣的電路來比較，也是本節之重點。

3.4.2 電路設計

電流鏡

一般 CMOS 之電流鏡如圖所示，需要另給一條 DC 路徑來偏壓電路的電流源，這形式除了要多消耗電流，且也必需考慮電晶體製程變異的關係造成電流與設計不同。但 HMET 製程，其屬於空乏型電晶體，給負偏壓時即可導通，其 I-V 圖如 3.4 所示：

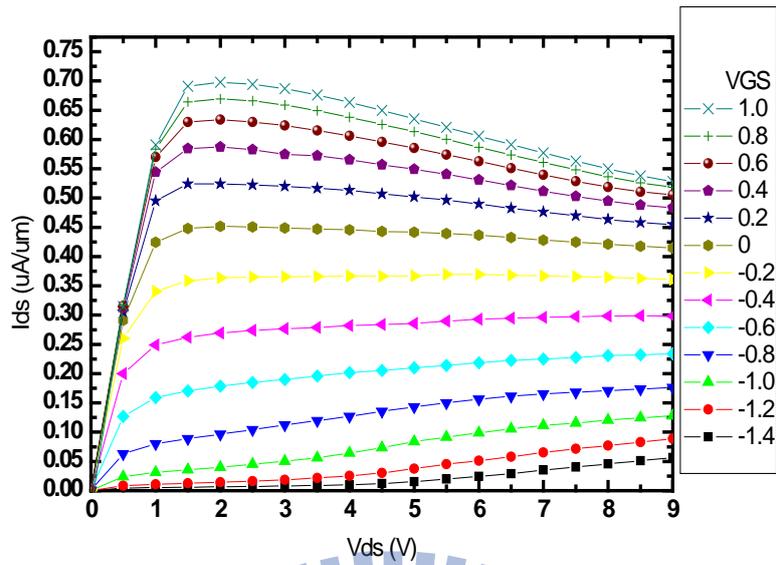


圖3.4 pHEMT I-V 曲線

由圖 3.6 可發現，在其 V_{gs} 為 0 時，其輸出阻抗最大，最適合設計為電流源，故一般增強型的架構可以利用 HEMT，把電晶體的閘級跟源級短路就可以當作是一電流源，如圖 3.7 一般。

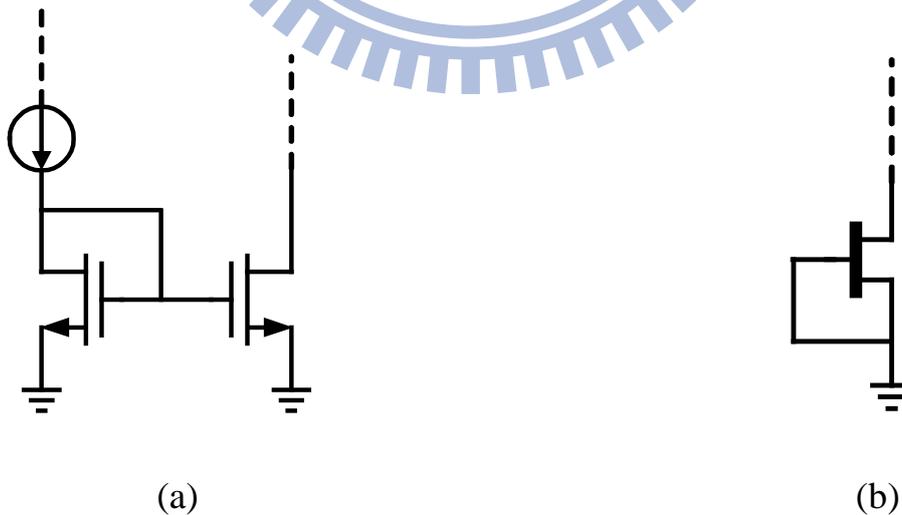


圖3.5 (a)CMOS 電流鏡 (b)HEMT 自偏壓電流鏡

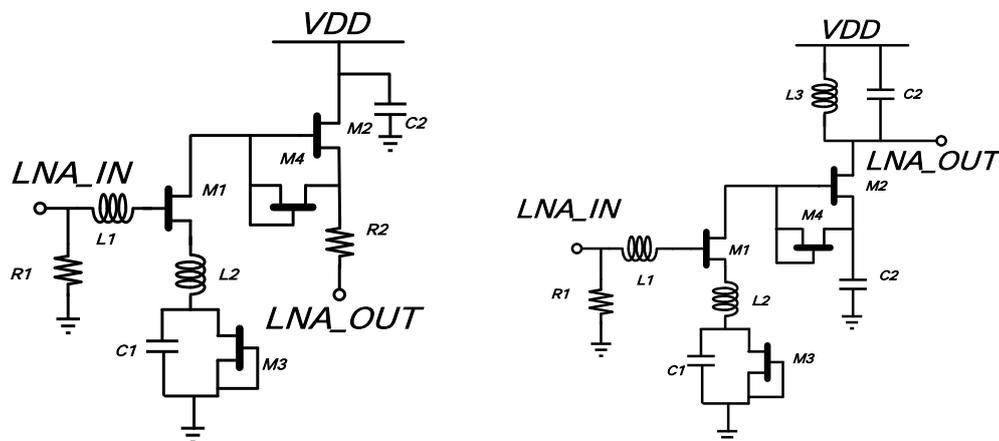


圖3.6 (a)共源級共汲級放大器 (b)共源級共源級放大器

配合一些規格在 VDD 電壓上是給 3V，在 3V 的空間下，LNA 可以疊接兩級電路，第二級電路可以做為輸出的緩衝器。而這節電路架構如圖 3.8 所示，分為兩種。而這兩種在第一級的部份是一樣的，共源級退化放大器的架構除了有比較好的匹配外，這種的架構做為第一級時雜訊指數也較低。從直流的觀點上來看，為了節省功率消耗上，故必需在電晶體 M1 的 Vgs 偏壓給上一負壓，使得整體電流不會太大。因此為了給這一偏壓，在電晶體 M1 源級的部份，電路使用了自偏壓的電流源提供一正偏壓，在閘級的部份則給一大電阻接到地，這種方式就可以給 M1 一個負偏壓。從小訊號的觀點來看，為了源級退化電感負端接到地故在電晶體 M3 並聯了大電容 C1 到地。

而在疊接的第二級電路，採了兩種方式下去比較，一種是如圖

3.8(a)的共閘級放大器，而另一種則是利用圖 3.8(b)的共源級放大器。從直流的觀點上來看，其偏壓方式則如類似第一級，利用自偏壓放大器來提供負壓。而從小訊號的觀點上來看的話圖 3.8(a)利用共閘級來當作輸出級，在輸出的匹配上會是一個寬頻的匹配，因此從輸出阻抗的觀點來看的話，這是一個很好的選擇。而圖 3.8(b)共源級放大器可以使電路得到額外的增益，可以壓制後級的雜訊指數。因此在整體接收機的設計上可以依其需求選擇適當的第二級電路。而在本章節電路則是二種電路都有下去實做，並藉由實驗結果做出比較。

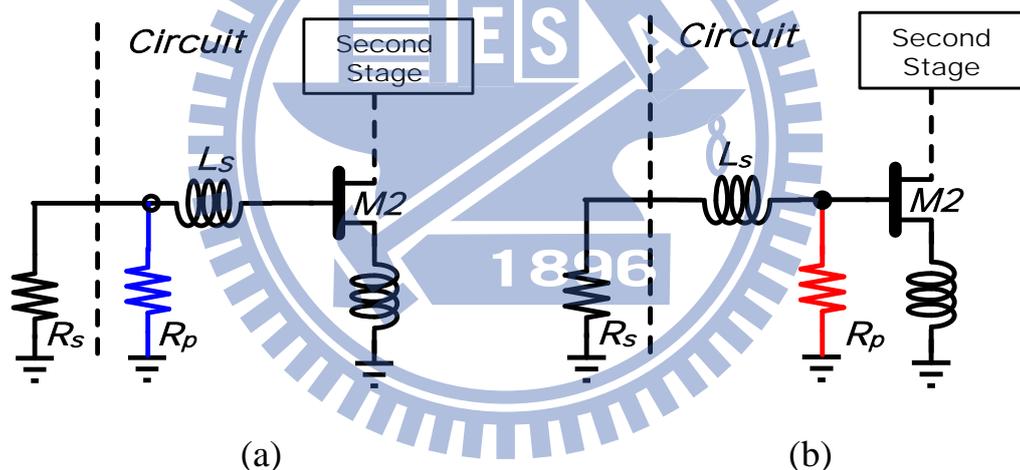


圖3.7 (a) R_p 在 L_g 之後 (b) R_p 在 L_g 之前

在設計第一級電路時，為了不影響輸入阻抗和其雜訊指數，其 R_p 的值應該要放越大越好。但其放大到某一程度時，其阻值對於雜訊指數和輸入阻抗匹配較不影響，故其值經由模擬驗證後，大概給 3000 歐姆到 4000 歐姆之間。然而這邊產生了一問題。那就是 R_p 的位置在放在哪兒？如圖 3.9(a)(b)要在 L_g 前面或是後面？看似沒有關係，但其

實雜訊指數來看，兩者 R_p 貢獻的雜訊不一樣，使得電路最後的雜訊指數會不同。

在模擬上，先用理想的 RLC 元件想去測試，只有電阻會貢獻雜訊的情況下會如何？

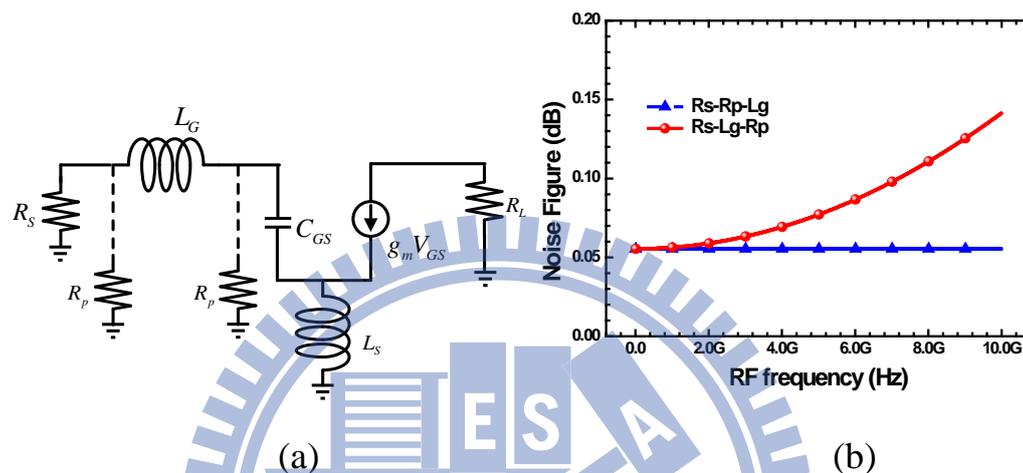


圖3.8 (a)測試 R_p 貢獻雜訊模擬架構圖 (b)雜訊指數對頻率模擬圖

如上圖所示，依照不同的電阻擺放位置模擬，再從模擬軟體下去設定只有 R_s 和 R_p 會貢獻雜訊。經由模擬可以發現，把 R_p 放在 L_g 之前的其雜訊指數對頻率做圖是以一直線的方式，而把 R_p 放在 L_g 之後，其雜訊指數則是對頻率要變大的趨式。當 R_p 放在 L_g 之前， R_p 貢獻到後級的雜訊雜訊增益和 R_s 貢獻到後級的雜訊增益是差不多的，故在計算雜訊指數時，把相同項消去後可以得到 $NF = 1 + \frac{R_s}{R_p}$ 。其雜訊指數是一定值，經過模擬驗證後跟計算的值是一樣的，故其雜訊指數並不會隨著頻率變化。而當 R_p 放在 L_g 之後時， R_p 貢獻的雜訊增益跟 R_s 不一樣了，且由模擬可以發現其雜訊指數會隨著頻率上昇。

這是經由理想上的元件所模擬出來的結果，代入實際上電路模擬雜訊指數的結果如所示，其跟用元件 RLC 的模擬有類似的效果。

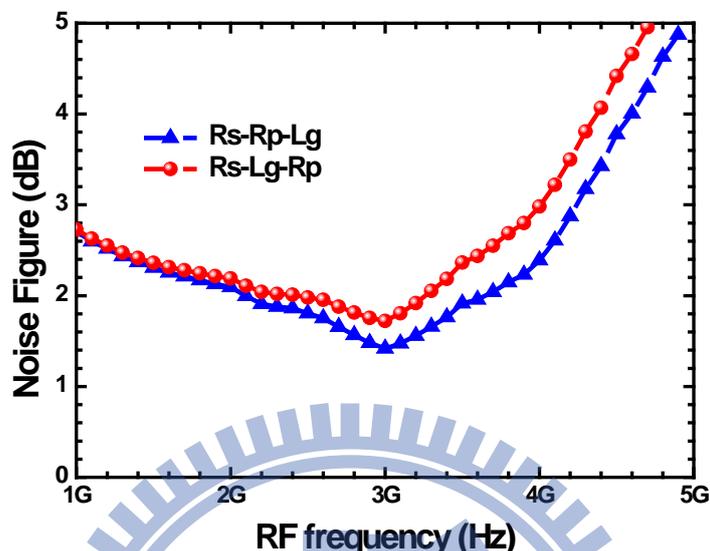


圖3.9 代入實際元件電路雜訊指數對頻率的模擬圖

雜訊指數的模擬

穩懋並沒有提供雜訊的模型(Noise Model)，因此利用穩懋提供的大訊號模型來模擬雜訊指數，只是利用其 FIT 的模型的雜訊去模擬。雖然有提供量測的的檔案，但其取樣的點數太少，例如在 1~10G 中只取 3 個點左右，對於要設計在低頻的低雜訊放大器，是不夠的。因此在模擬雜訊時，這是一個很大的問題，低雜訊放大器的雜訊指數沒辦法準確的模擬。

但對於每個元件的雜訊指數，我們可以透過量測而獲得。因此由大訊號的模型，大略確定了幾個元件的大小和其操作的偏壓後，利用之前下過的測試元件，把 S 參數和雜訊指數的參數給量測出來。我們

就可以知道其雜訊的參數和 S 參數的檔案。把雜訊指數的參數放在 S2p 檔案中，這樣就可以同時模擬 S 參數和雜訊指數。在把 ADS 裡面設計好的電路圖的元件換成 S2p 檔案下去模擬，模擬出來的結果與實際上量測出來的結果相當接近，就取 5.8GHz 和 2.4GHz 的低雜訊放大器模擬和量測比較圖各一張，如。

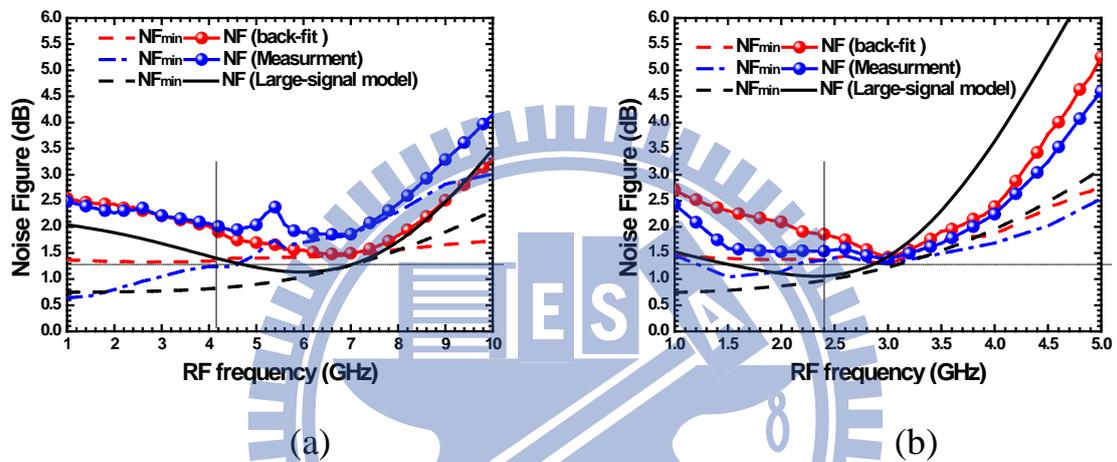


圖3.10 雜訊指數模擬與量測的比較圖(a)2.4GHz(b)5.8GHz

HEMT 元件的選擇

一般來說，第一級電晶體 M1 的偏壓及其 size 會較為決定整體的雜訊與增益，故在選擇時，需特別注意。圖3.12是電體 gm 對 V_{gs} 所做的圖。

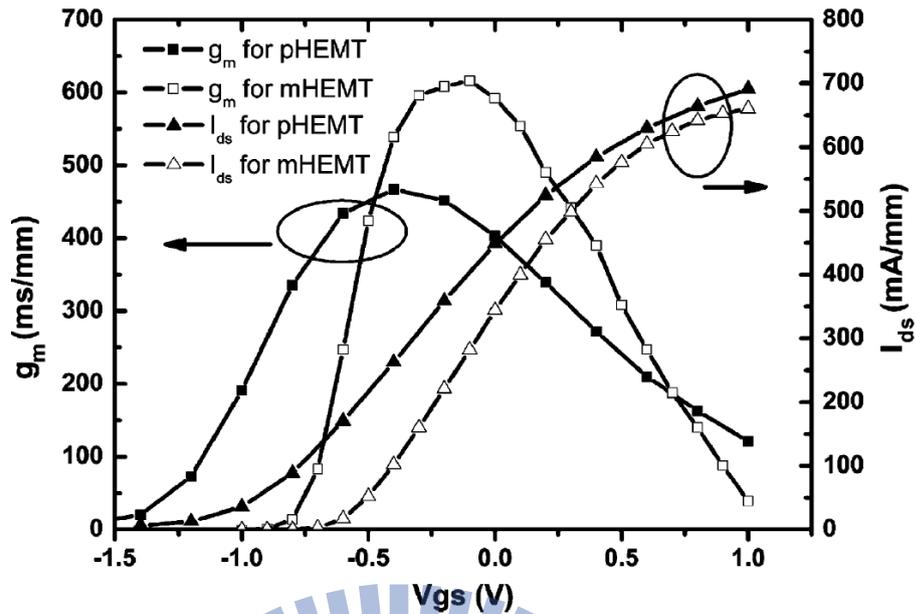


圖3.11 電晶體 電流密度和轉導值對 V_{gs} 作圖

在選擇電晶體的 SIZE 的時候，因其為了線性度跟確保 M2 與 M4 都要在飽和區的關係，故在 M2 與 M4 的 SIZE 要一樣，M1 和 M3 要一樣，使得中間電壓為 1.5 伏。穩懋只提供了幾種固定 SIZE 的電晶體，文獻說其電晶體 I-V 曲線遵守 scaling rule。整體的電流是 M1 主故在 M1 和 M3 電晶體上是自行去 scale，至 2×12 以符合電流為 10mA 附近。而電晶體 M2 和 M4 則是從增益來看，最好是選在 $V_{gs} = -0.5V$ 附近。但在以得到較佳的雜訊及輸入阻抗匹配。電阻 R1 則是盡量選大使其會有較佳地雜訊指數，但也不能無限放大，放大到某一值就差不多其值大約選在 2~3000 歐姆左右。

2.4GHz LNA 電路架構圖

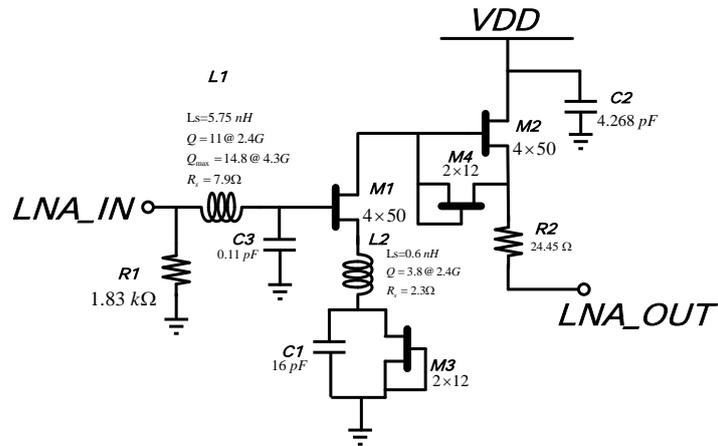


圖3.12 pHEMT 2.4GHz 共源級共汲級放大器(CSCD)

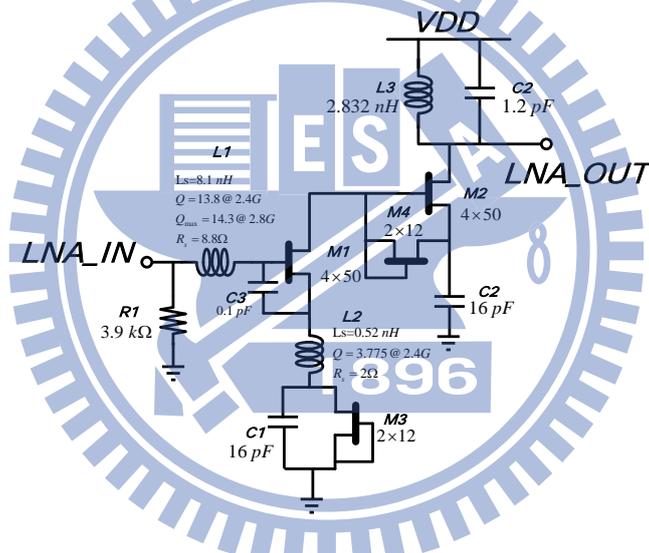


圖3.13 pHEMT 2.4GHz 共源級共汲源放大器(CSCS)

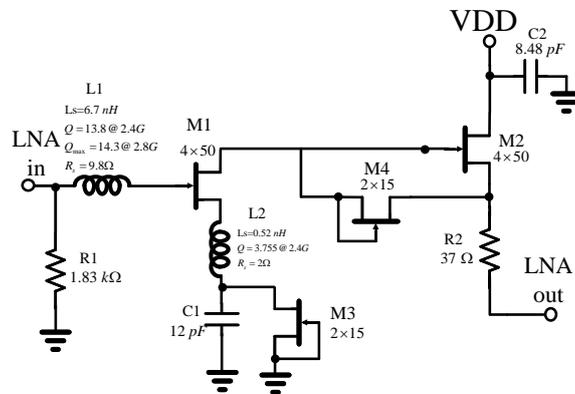


圖3.14 mHEMT 2.4GHz 共源級共汲級放大器(CSCD)

5.8GHz LNA 電路架構圖

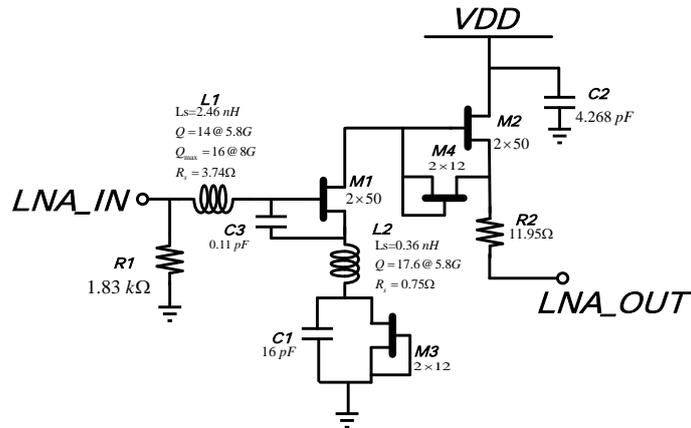


圖3.15 pHEMT 5.8GHz 共源級共汲級放大器(CSCD)

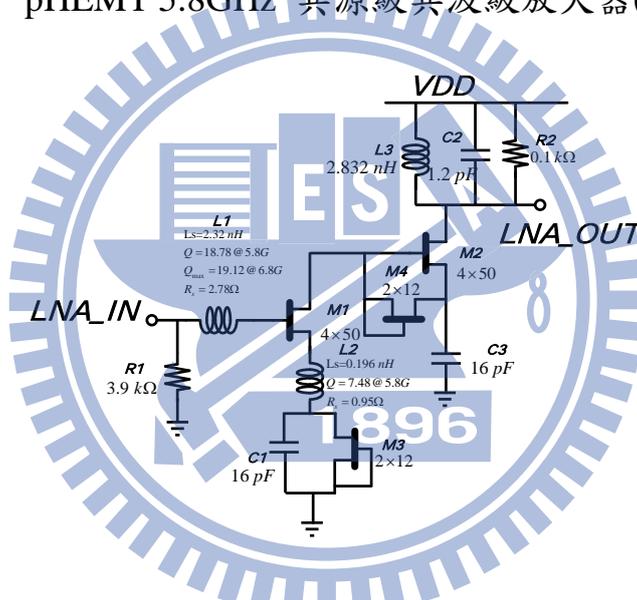


圖3.16 pHEMT 5.8GHz 共源級共汲源放大器(CSCS)

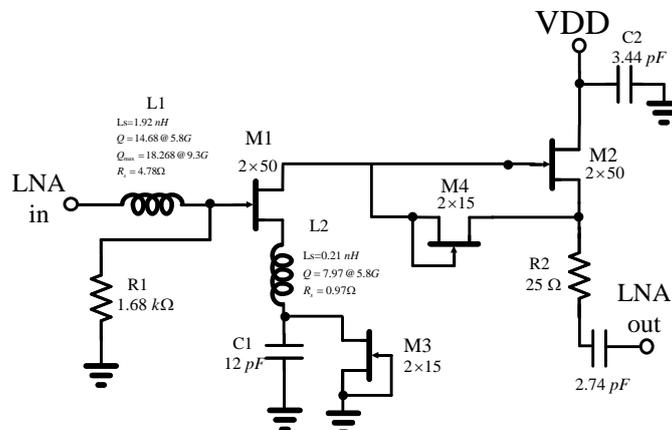


圖3.17 mHEMT 5.8GHz 共源級共汲級放大器(CSCD)

兩種 LNA 架構之小訊號路徑圖和直流路徑圖

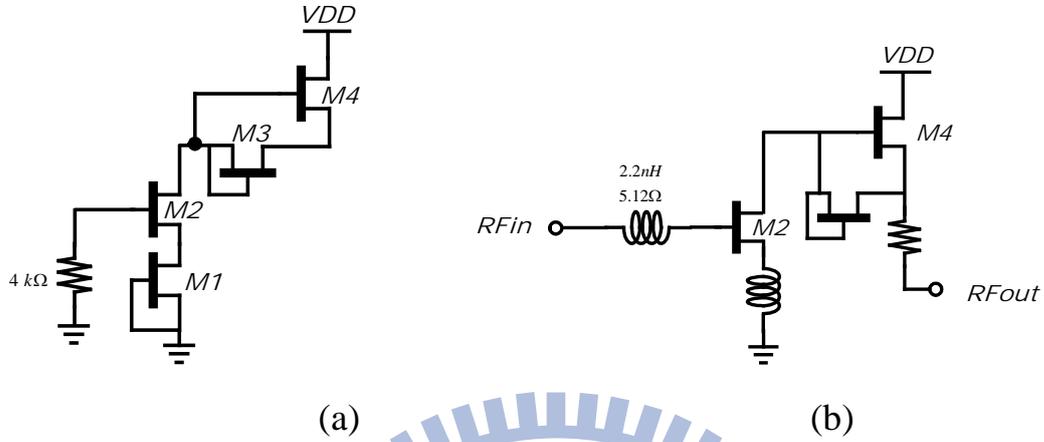


圖3.18 共源級共汲級放大器(a)直流路徑圖(b)小訊號路徑圖

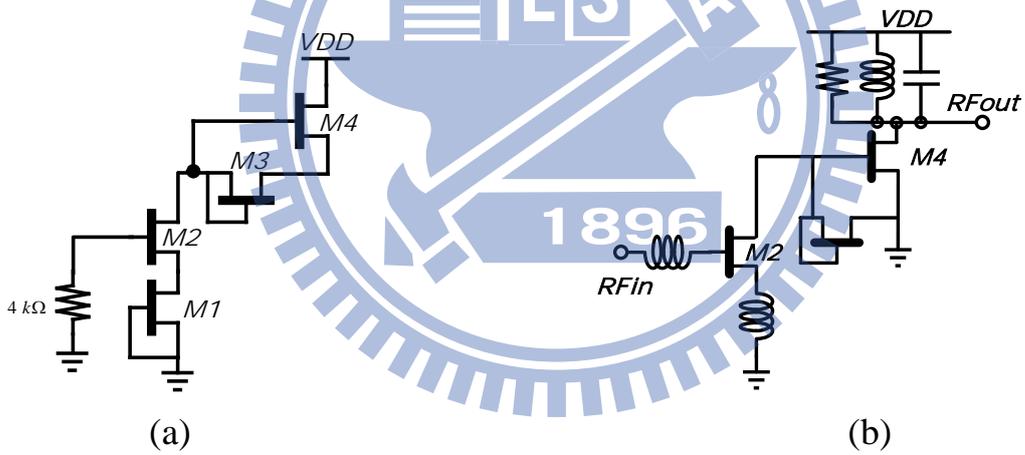


圖3.19 共源級共源級放大器(a)直流路徑圖(b)小訊號路徑圖

3.4.3 晶片量測結果

2.4GHz

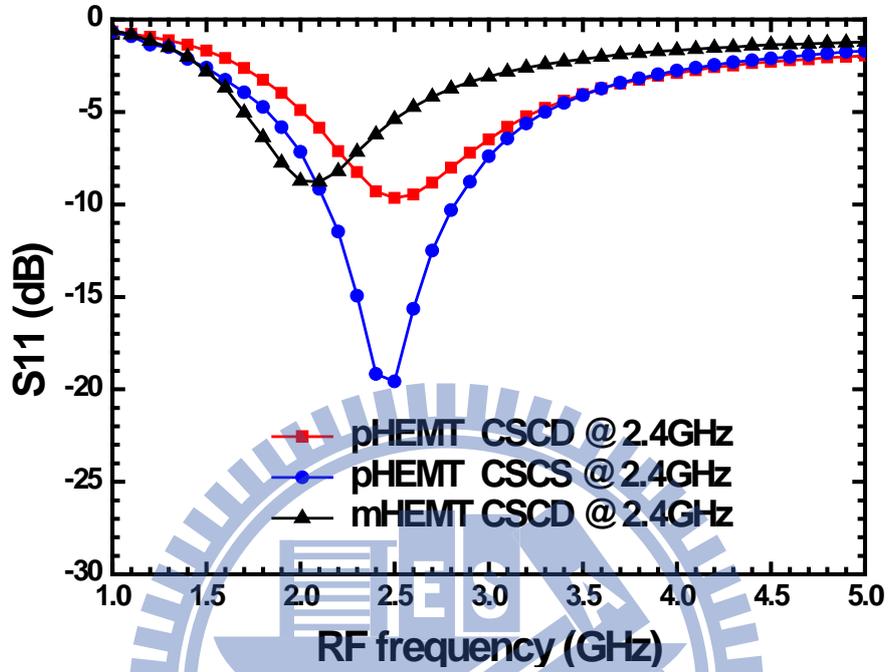


圖3.20 2.4GHz 輸入反射損耗 對 RF 頻率

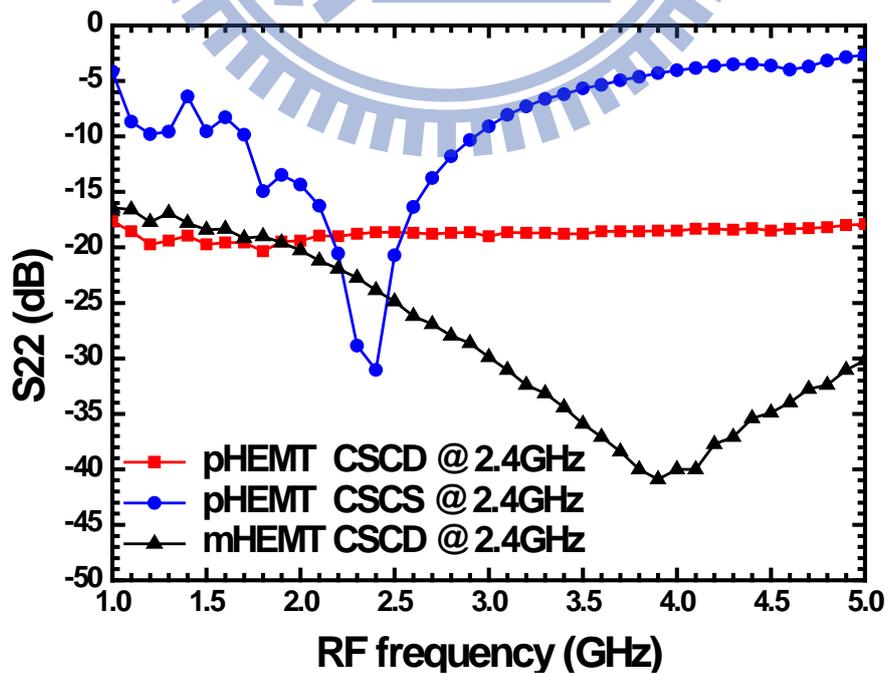


圖3.21 2.4GHz 輸出反射損耗 對 RF 頻率

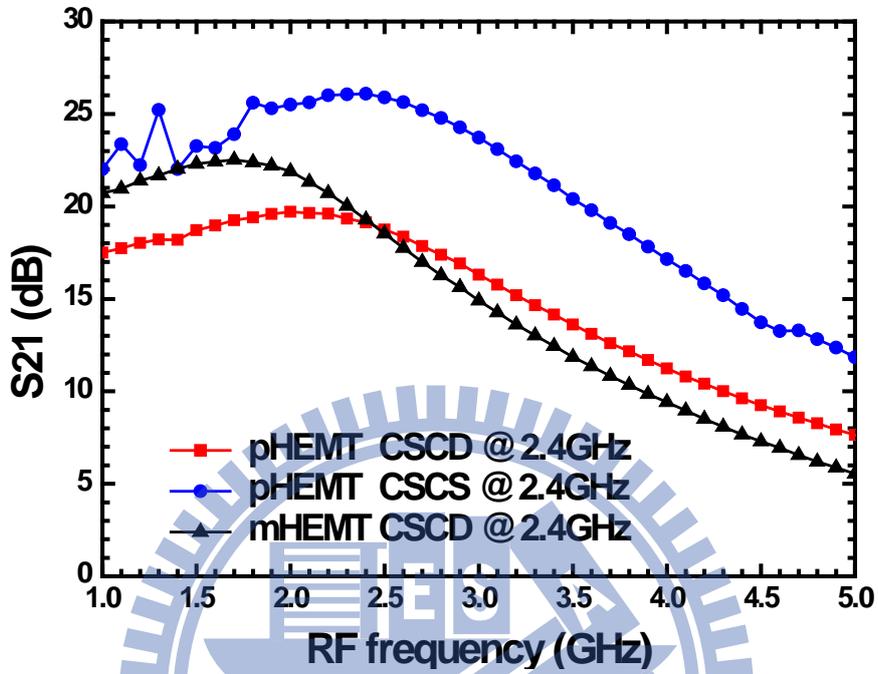


圖3.22 2.4GHz 增益 對 RF 頻率

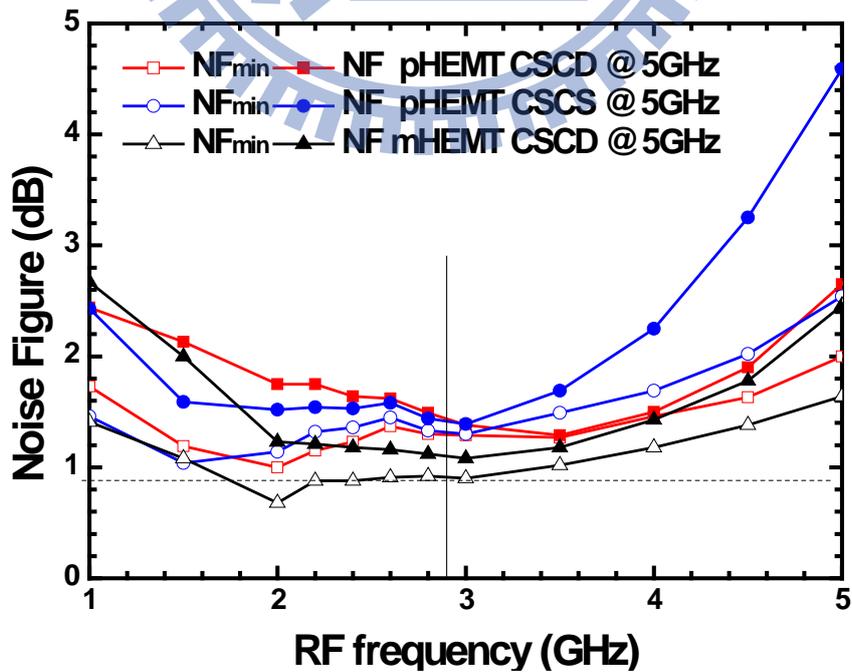


圖3.23 2.4GHz 雜訊指數 對 RF 頻率

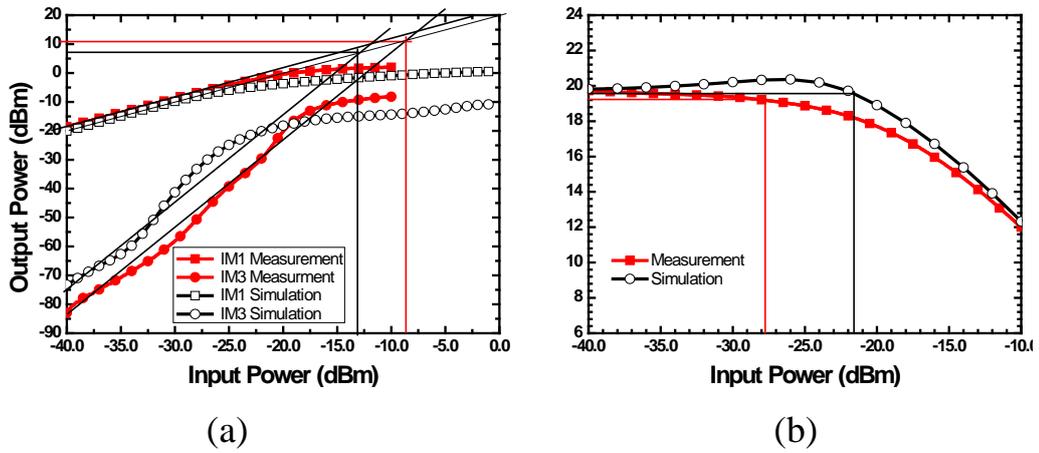


圖3.24 pHEMT 2.4GHz 共源級共汲級放大器(a)IIP3 (b)IP1

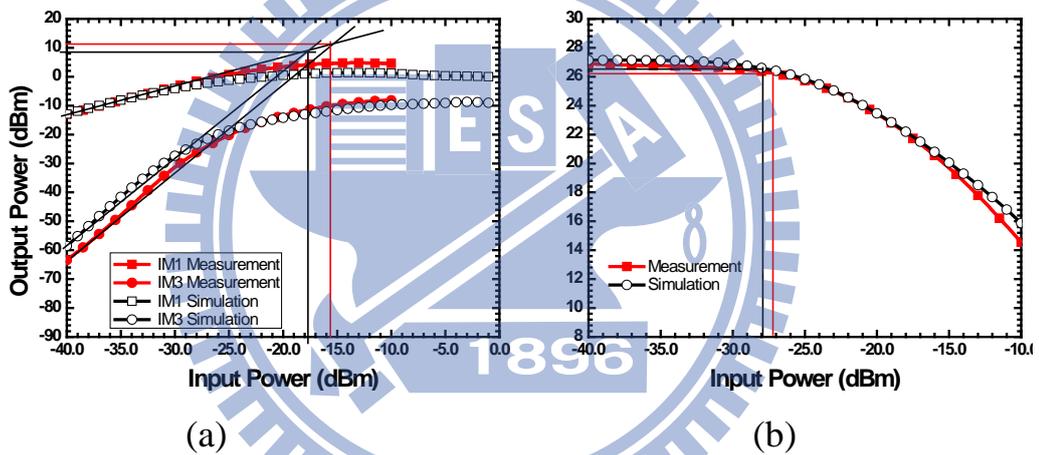


圖3.25 pHEMT 2.4GHz 共源級共源級放大器(a)IIP3 (b)IP1

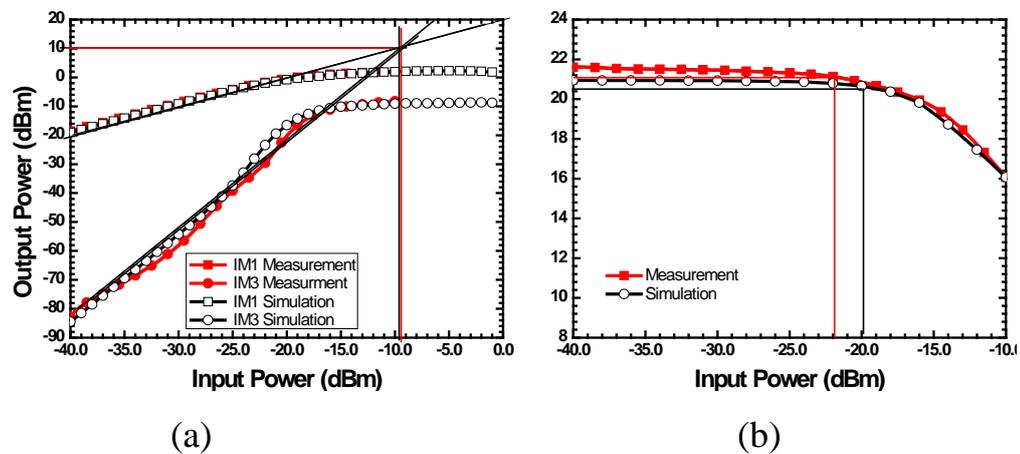


圖3.26 mHEMT 2.4GHz 共源級共汲級放大器(a)IIP3 (b)IP1

5.8 GHz

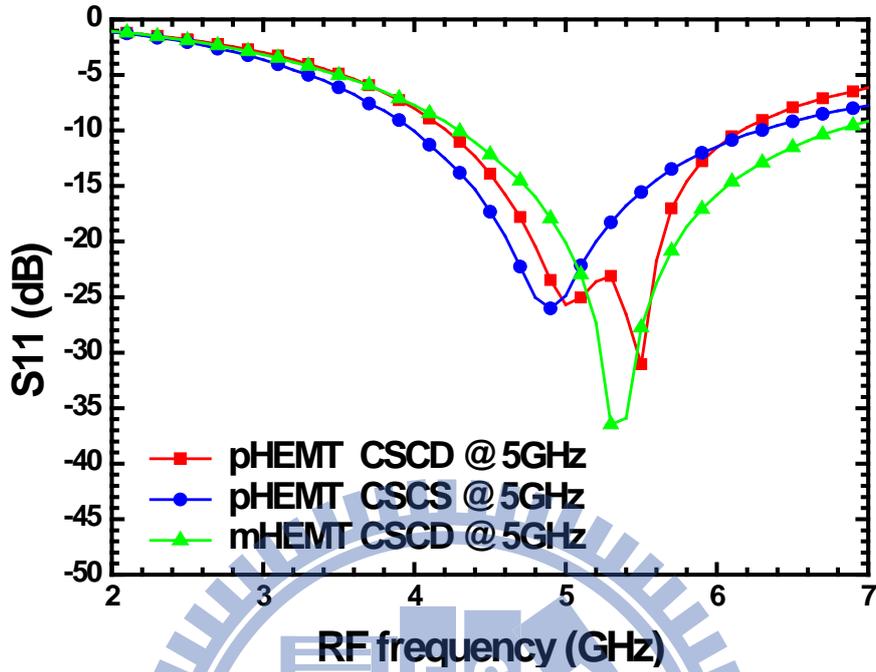


圖3.27 5.8 GHz 輸入反射損耗 對 RF 頻率

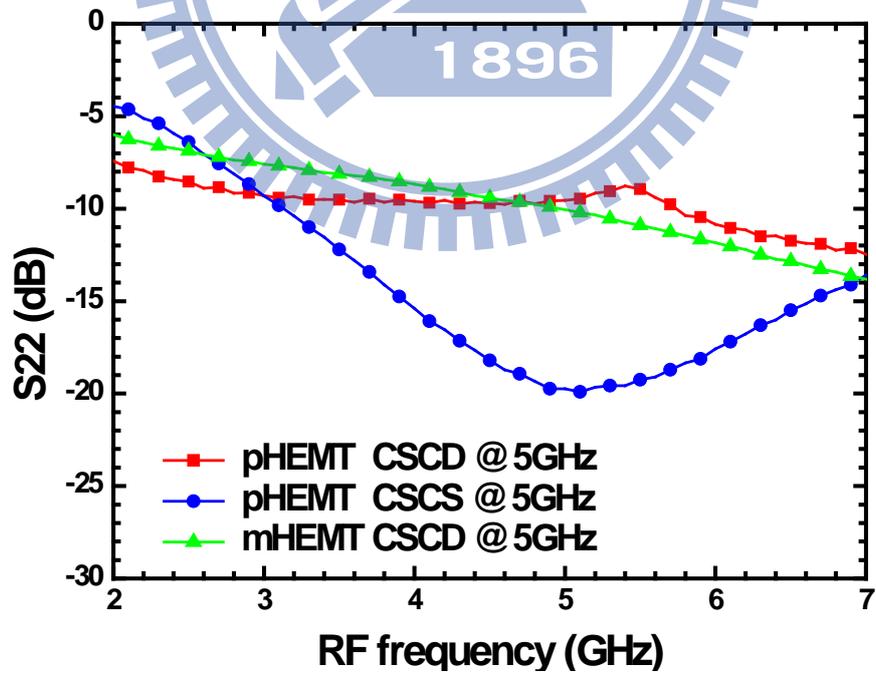


圖3.28 5.8 GHz 輸出反射損耗 對 RF 頻率

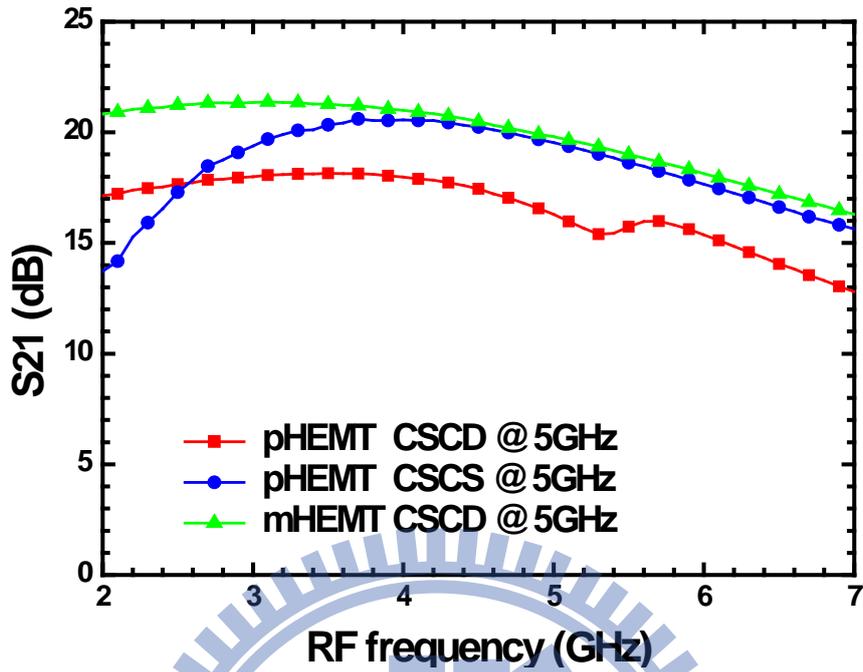


圖3.29 5.8GHz 增益 對 RF 頻率

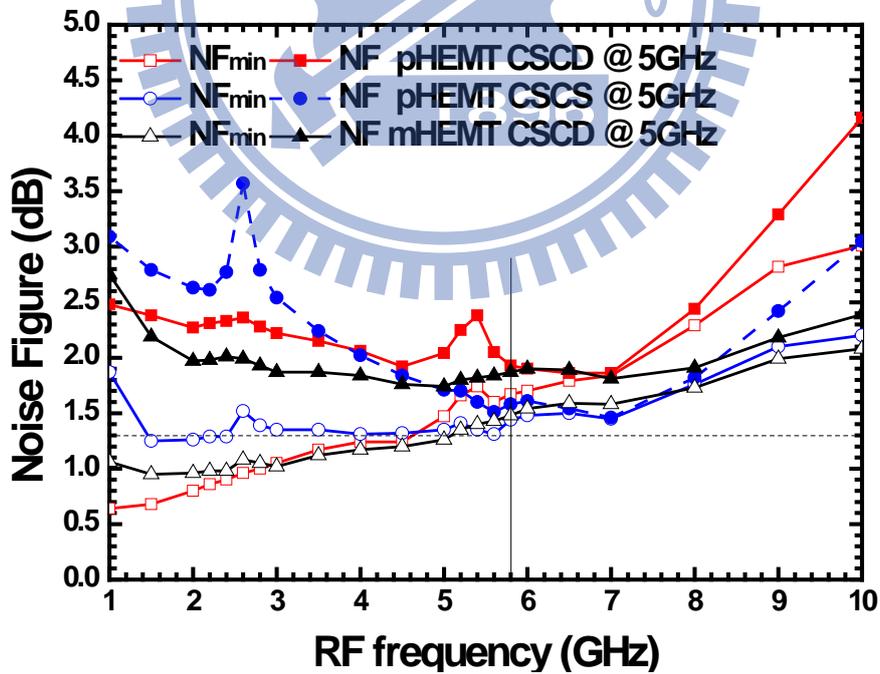


圖3.30 雜訊指數 對 RF 頻率

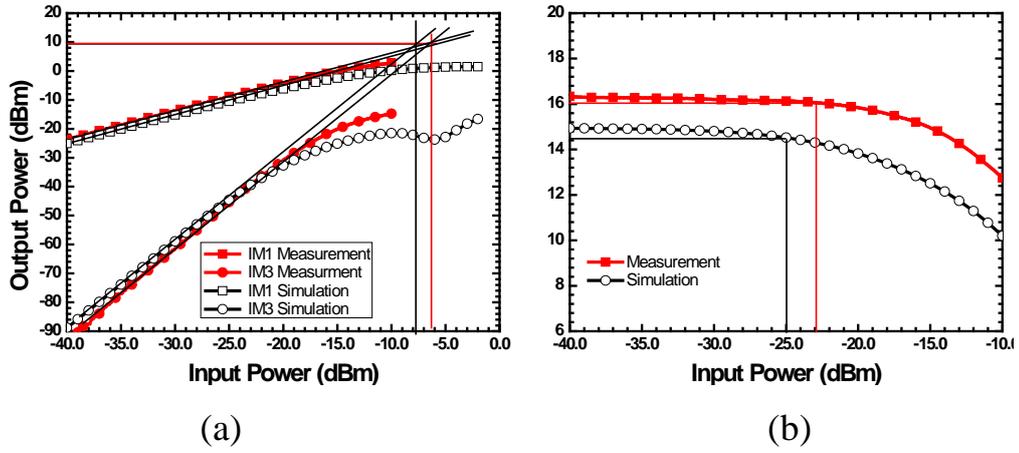


圖3.31 pHEMT 5.8GHz 共源級共汲級放大器(a)IIP3 (b)IP1

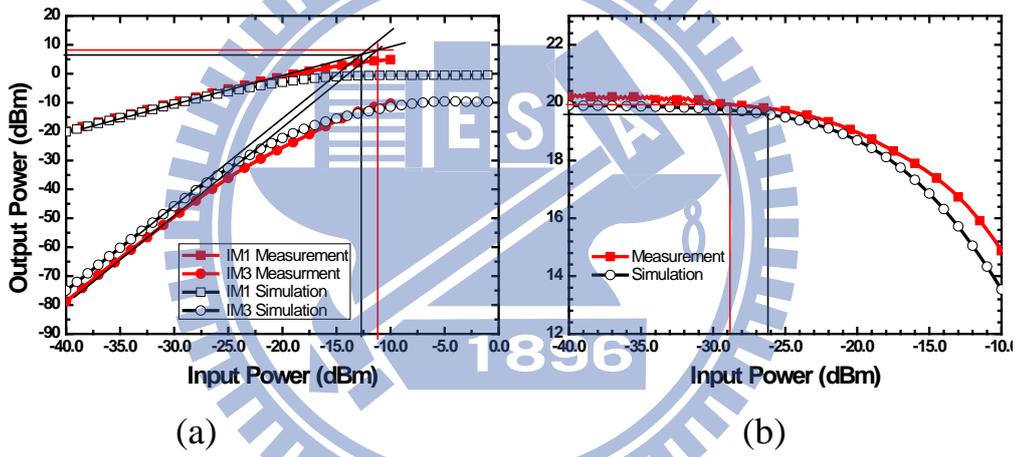


圖3.32 pHEMT 5.8GHz 共源級共源級放大器(a)IIP3 (b)IP1

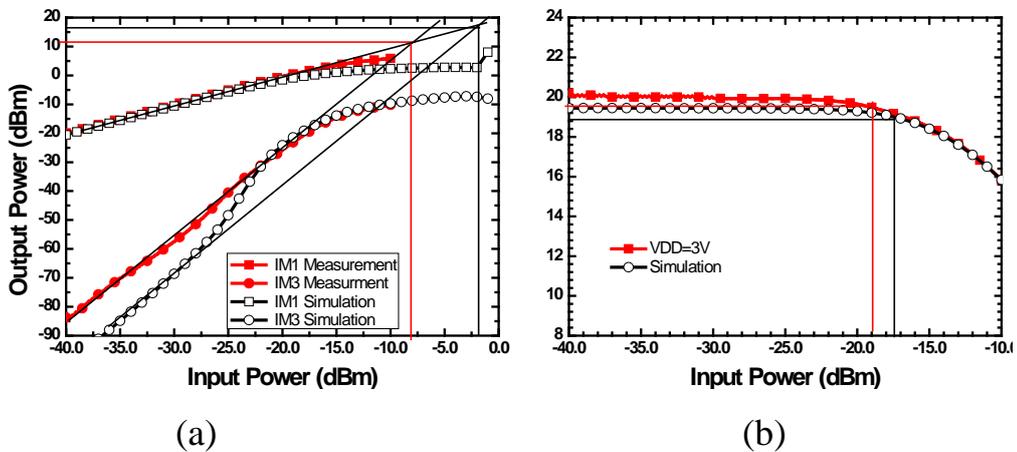


圖3.33 mHEMT 5.8GHz 共源級共汲級放大器(a)IIP3 (b)IP1

晶片照像圖(1x1 mm²)

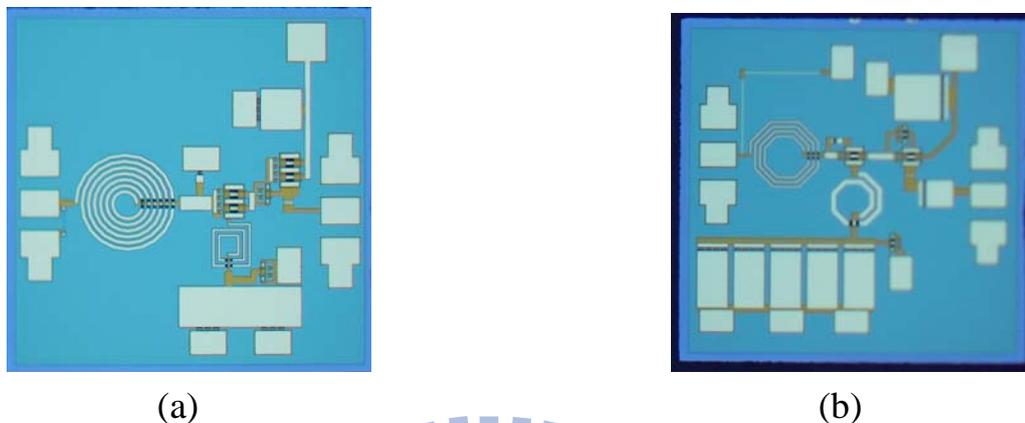


圖3.34 pHEMT 共源級共汲級放大器(a)2.4GHz (b)5.8GHz

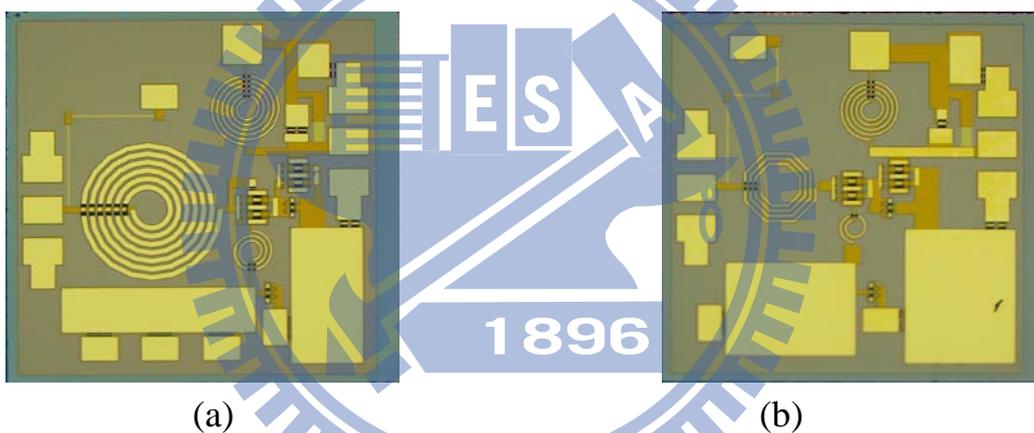


圖3.35 pHEMT 共源級共源級放大器(a)2.4GHz (b)5.8GHz

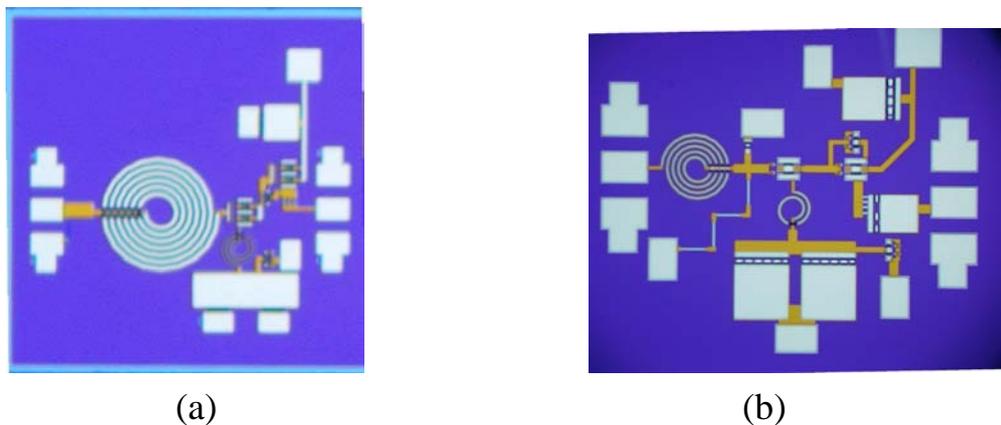


圖3.36 mHEMT 共源級共汲級放大器(a)2.4GHz (b)5.8GHz

Item	CSCD	CSCS	CSCD
Frequency(GHz)	2.4		
Process	pHEMT		mHEMT
Supply Voltage (V)	3	3	3
Current Consumption	12mA	11mA	11mA
Power Consumption	36mW	33mW	33mW
Gain (dB)	19.5	27	20
NF @2.4GHz (dB)	1.65	1.35	1.2
S11 (dB)	< -8 (2.4~2.6GHz)	< -10 (2.1~2.7GHz)	< -8dB (2~2.2GHz)
S22 (dB)	< -10dB	< -10 (1.7~3.2GHz)	< -10dB
OP1dB (dBm)	-6	0	0
OP3dB (dBm)	10	11	10
Chip Size (mm×mm)	1 x 1		

表3.2 2.4GHz 低雜訊放大器表現比較表

Item	CSCD	CSCS	CSCD
Frequency(GHz)	5		
Process	pHEMT		mHEMT
Supply Voltage (V)	3	3	3
Current Consumption	11mA	11mA	12mA
Power Consumption	33mW	33mW	36mW
Gain (dB)	15	18	19
NF @5.8GHz (dB)	1.9	1.5	1.2
S11 (dB)	< -10 (4.75~6GHz)	< -10 (4.2~5.8GHz)	< -10 (4.8~6GHz)
S22 (dB)	< -10dB	< -10dB (4.2~7GHz)	< -10dB (5.5GHz~)
OP1dB (dBm)	-6	-8	1
OP3dB (dBm)	10	8	11
Chip Size (mm×mm)	1 x 1		

表3.3 5.8 GHz 低雜訊放大器表現比較表

3.4.4 結果與討論

在 S 參數，量測出來在 2.4GHz 的時候，S11 看進去的阻抗比模擬來得小，覺得可能發生差異的因素可能是在源級退化的電感 L2 跟接地的大電容及電晶體製程變異。2.4GHz 低頻的況下，感值有點被電容值抵消掉，故其實部比模擬來得小。而在共源級共汲級(CSCD)放大器，S22 因為在源級加小電阻，故達到很寬頻的匹配，模擬與量測均可看的出來，增益則有往低頻漂走趨式，因為對於 M1 來說其負載是在 M3 的阻抗及其寄生電容，是個低通形式的負載，不管在 2.4GHz 或 5.8GHz 皆無法還是最高增益的時候。

雜訊指數的部份，由於穩懋的 model 沒有提供雜訊的。利用我們在模擬雜訊的方式去模擬，跟實做出來的雜訊指數是相當接近的。在一開始設計中，就沒有把 NF 跟 NF_{min} 在所要的頻率貼在一起，這是比較遺憾的。故 2.4GHz 時雜訊指數大概在 1.5dB 上下，雜訊最低則是頻率快到 3GHz，可以到 1.3dB。5.8GHz 的雜訊指數則是在 2dB 上下。

利用了比較好的製程 mHEMT，去實現一樣的電路架構。主要是其結構特性比 pHEMT 來得好。在低頻來說，因製程的關係，其整體表現與 pHEMT 差不多，但增益會比 pHEMT 來得高，雜訊比較低的較果。

第四章

結論



本論文第二章的部份，利用了 TSMC 0.18- μm CMOS 製程實作與量測 2.4-GHz 和 5.8GHz 低功率接收機。第一種是利用變壓器的 LNA，第二種是利用差動 LNA。電流損耗方面來看，兩者是差不多控制在大約 5mA，顫抖雜訊則因為被動混頻器的關係和利用製程裡所提供的 BJT 來取代 NMOS 和在 LNA 接到被動混頻器都有電感去共振掉附近的寄生電容兩者在這方面，因此顫抖雜訊頻率都在 100kHz 之下。熱雜訊部份，因為第二種的頻率做偏了，且增益值也掉了，造成其雜訊指數比較高。兩者除了增益雜訊的比較外，比較值得注意的是 IIP2 的表現，因為差動放大器本身提供的二階非線性項就比單端的放大器提供來的小上許多，故在 IIP2 的表現上會因為使用差動放大器的接收機會比較好。但差動放大器為了相同的電流損耗下，其增益會比單端放大器設計來得小。

第三章的部份，利用 WIN 0.15- μm HEMT 製程來實作適用於 2.4/5.8GHz 發射機的元件電路。因為利用 CMOS 來實現低雜訊放大器來說，對於雜訊很要求的接收機來講，是不夠的。而相對於 CMOS，利用 HEMT 來設計會有較高的 g_m 也就是說會有較大的增益，可以壓掉後級的雜訊，且 HEMT 的截止頻率對於現在較為普遍的製程來看，還是算比較高的。同樣架構不同的製程的 LNA 比較，使用 mHEMT 來設計在比較低頻的 LNA 雜訊指數會比較好。而相同在 pHEMT 製程但不一樣架構的比較下。因第一級都是利用源級退化電感共源級放大器設計，故在雜訊指數設計的比較下，第二級為共源級的放大器比共閘級放大器增益會來得比較大，不同頻率(2.4GHz 和 5.8GHz)下雜訊指數也比較好，而在線性度的表現上，OP1dB 和 OIP3 都是差不多的，因為其偏壓設計都差不多。

第二章：

- [1] D. Manstretta, R. Castello, and F. Svelto, "2.4 GHz 0.18 μ m CMOS Passive Mixer with Integrated Baluns," *Microwave Symposium Digest, 2009.MTT '09. IEEE MTT-S International*, 7-12 June 2009 Page(s):409 - 412.
- [2] M. T. Reih, J.R. Long. and J.J. Pekarik, "A 1.2V Reactive-Feed back3.1-10.6 GHz Low-Noise Amplifier in 0.13 μ m CMOS" *IEEE Radio Frequency Integrated Circuit (RFIC) Symposium, San Francisco , CA, USA, 11-3 June 2006*.
- [3] B. R. Carlton et al, "A 2.2dB NF, 4.9-6GHz Direct Conversion Multi-Standard RF Receiver Front-End in 90nm CMOS " *IEEE Radio-Frequency Integrated Circuits Symposium* , pp.617-620, June 2008.
- [4] A.R. Shahani, D.K. Schaeffer, T.H. Lee, "A 12-mW Wide Dynamic Range CMOS Front-End for a Portable GPS Receiver," *Digest of Technical Papers, IEEE International Solid-State Circuits Conference*, vol. 40, pp. 368-69, February 1997.
- [5] E. Sacchi, I. Bietti, S. Erba, L. Tee, P. Vilmercati, and R. Castello, "A 15 mW, 70 kHz flicker noise Corner Direct Conversion CMOS Receiver. " *IEEE Custom Integrated Circuits Conference*. ,San Jose, CA, Sep. 2003, pp.459-462.
- [6] M. Valla, G. Montagna, R. Castello, R. Tonietto, and I. Boetti "A 72-mW CMOS 802.11a Direct Conversion Front-End With 3.5-dB NF and 200-kHz flicker Noise Corner," *IEEE J. Solid-State Circuits*, vol. 40, no 4, pp.970-977, Apr. 2005.
- [7] Namsoo Kim, Larson, L.E.; Aparin, V.;; "A Highly Linear SAW-Less CMOS Receiver Using a Mixer With Embedded Tx Filtering for CDMA", *IEEE J. Solid-State Circuits*, vol. 44, no. 8, pp.2126 -2137, Aug. 2009.
- [8] Y. Furuta, T. Heima, T. Sato, and T.Shimizu, "A Low Flicker-Noise Direct Conversion Mixer in 0. 13 μ m CMOS with Dual-Mode DC offset Cancellation Circuits," *IEEE Silicon Nomolith. Integr. Circuits RFSyst. Dig.*, Jan. 2007, pp. 265-268.
- [9] T.-K. Nguyen et al., "A Low-Power CMOS Direct Conversion Receiver With 3-dB NF and 30-kHz Flicker-Noise Corner for 915-MHz Band IEEE 802.15.4 ZigBee Standard," *IEEE Trans. Microw. Theory Tech.*, vol. 54, no. 2, pp. 735-741, Feb. 2006.
- [10] Kim, N.; Aparin, V.; Larson, L.E., "A Resistively Degenerated Wideband Passive Mixer With Low Noise Figure and High iip_2 ," *Microwave Theory and Techniques, IEEE Transactions on* , vol. 58, no 4, pp.820-830, Apr. 2010.

- [11] Mirzaei, A.; Darabi, H.; Leete, J.C.; Xinyu Chen; Juan, K.; Yazdi, A.; “Analysis and Optimization of Current-Driven Passive Mixers in Narrowband Direct-Conversion Receivers,” *IEEE J. Solid-State Circuits*, vol. 44, no.10 , pp. 2678–2688, October 2009.
- [12] D. Ham and A. H, “Complete Noise Analysis of CMOS Switching Mixers via Stochastic Differential Equations,” *CICC 2002*
- [13] Z. Zhang and J. Lau, “Experimental Study on MOSFET’s Flicker Noise under Switching Conditions and Modelling in RF Applications,” *Proc. IEEE Custom Integrated Circuits Conf.* , pp. 393-396, 2001.
- [14] D. Knacm and w. Readman-white., “flicker Noise in Passive CMOS Mixers for Low and Zero IF Integrated Receivers,” in *Proceedings of 27th European Solid-State Circuits Conference* , 2001.
- [15] Komoni, K. and Sonkusale, S. and Dawe, G., “Fundamental Performance Limits and Scaling of a CMOS Passive Double-Balanced Mixer,” *Circuits and Systems and TAISA Conference, 2008. Joint 6th International IEEE Northeast Workshop on 22-25 June 2008*.
- [16] Jiong-Guang Su; Heng-Ming Hsu; Shyh-Chyi Wong; Chun-Yen Chang; Tiao-Yuan Huang; Jack Yuan-Chen Sun; “Improving the RF Performance of 0.18um CMOS With Deep n-Well Implantation,” *IEEE J. Solid-State Circuits*, vol. 22, no. 10, pp.328-335, 2010.
- [17] B. G. Perumana, S. Chakraborty, C. H. Lee, and J. Laskar, “Low Flicker Noise and High Linearity Passive Mixer in 0.18um CMOS for Direct Conversion Receiver,” *IEEE Microw. Wireless Compon. Lett.*, vol. 15, no. 6, pp. 428–430, June 2005.
- [18] J.-H. C. Zhan, B. R. Carlton, and S. S. Taylor, “Low-Cost Direct Conversion RF Front-Ends in Deep Submicron CMOS,” *Digest of Papers IEEE Radio Frequency Integrated Circuits Symposium.*, pp. 203-206, June 2006.
- [19] Komoni, K. and Sonkusale, S., “Modeling, Simulation and Implementation of a Passive Mixer in 130nm CMOS Technology and Scaling Issues for Future Technologies,” *MWSCAS 2008. 51st Midwest Symposium on 10-13*, pp. 410-413. Aug 2008.
- [20] W. Kluge, F. Poegel, H. Roller, M. Lange, T. Ferchland, L. Dathe, and D. Eggert, “Noise in Current-Commutating Passive FET Mixers,” *ISSCC Dig. Tech. Papers*, pp. 372–373, Feb. 2006.
- [21] 陸熙良, “2.4-GHz 低功率接收機與應用於60- GHz 發射機之CMOS電路,” 國立交通大學碩士論文, 2009.

- [22] 鄧雅惠, “雙頻帶威福-哈特利鏡像消除接機與超寬頻LR-CR正交相位降頻器,” 國立交通大學碩士論文, 2008.
- [23] Behzad Razavi, *RF Microelectronics*, Prentice Hall PTR, 1997.

第三章：

- [24] Henrik Morkner, Mike Frank and Bryan Ingram, “A Novel 3V, 7mA PHEMT GaAs Active MMIC Mixer/LNA For Wireless Applications,” *IEEE MTT-S Digest*, pp. 527-530, 1995.
- [25] Henrik Morkner, Mike Frank and Shun Yajima, “A 1.7mA Low Noise Amplifier with Integrated Bypass Switch for Wireless 0.05-6 GHz Portable Applications,” *2001 IEEE Radio Frequency Integrated Circuits Symposium*, pp.235-238.
- [26] A. Bevilacqua and A. M. Niknejad, “An ultra wideband CMOS lownoise amplifier for 3.1–10.6 GHz wireless receivers,” *IEEE J. Solid-State Circuits*, vol. 39, no. 12, pp. 2259–2268, Dec. 2004.
- [27] A. Ismail and A. A. Abidi, “A 3–10 GHz low-noise amplifier with wideband LC-ladder matching network,” *IEEE J. Solid-State Circuits*, vol. 39, no. 12, pp. 2269–2277, Dec. 2004.
- [28] Behzad Razavi, *RF Microelectronics*, Prentice Hall PTR, 1997.
- [29] 王大維, “使用矽製程蕭基二極體混頻器之60GHz單/雙次降頻接收機與應用於WLAN的單壓操作pHEMT低雜訊放大器,” 國立交通大學碩士論文, 2008

附錄一 5.8GHz 利用圈數比 4:2 變壓器設計之接收機

前言

在第二章的實作中，利用了變壓器差動輸入至混頻器，變壓器的兩端是採用差不多的感值下去實作出來的，也就是 1:1 的架構。但對於電流操作的接收機中，變壓器的圈數比(n)越大時，從下圖的電路構來看

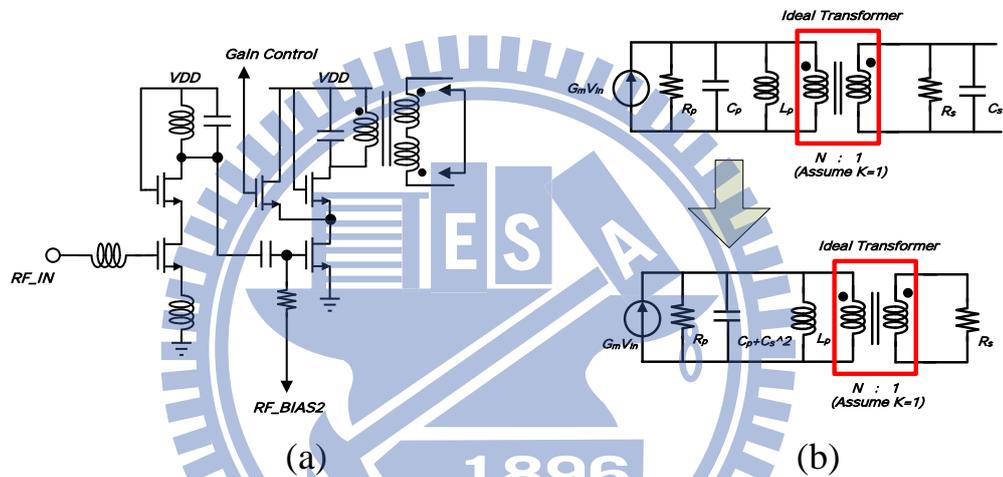


圖 A.1 (a)LNA 架構圖 (b)LNA 加上變壓器等效電路圖

由圖可以發現，從 LNA 變壓器輸出端看回去時，其等效電路圖可以換成如，在共振頻率時，其變壓器可以看成理想理想變壓器。在理想變壓器時，其電流增益會隨著圈數比增加而增加，但其輸出阻抗卻會變低。其中應該是有最佳的圈數比，但其沒有較為合理的解釋，故把這討論和實作在 5.8GHz 圈數比為 2:1 實驗結果放在附錄中。

電路架構圖

如下圖所示，由上而下依續 LNA，MIXER，TIA，VGA。

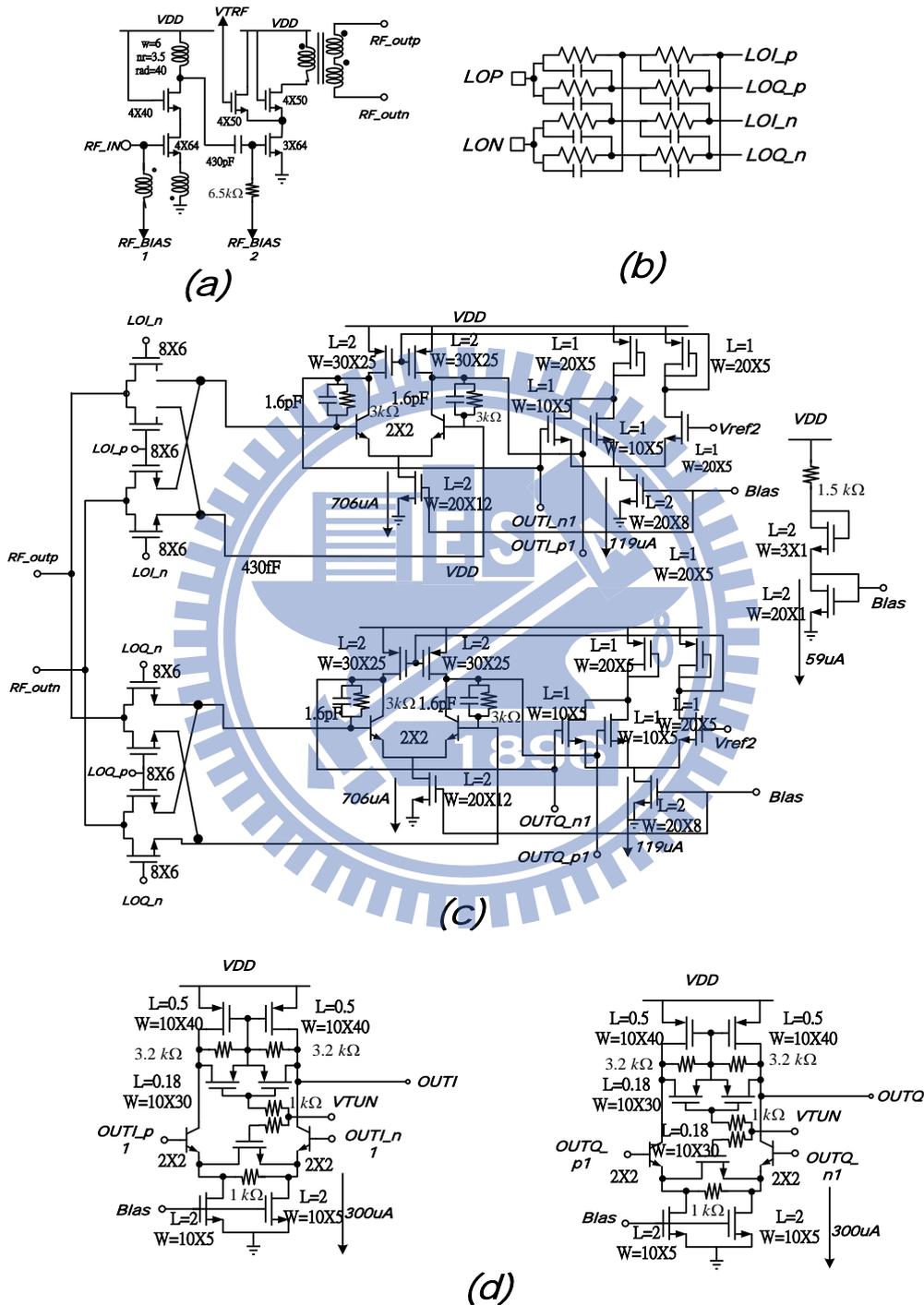


圖 A.2 5.8 GHz 接收機架構圖 (a)LNA (b)Poly-phase filter (c)Mixer +TIA (d)VGA

晶片量測結果

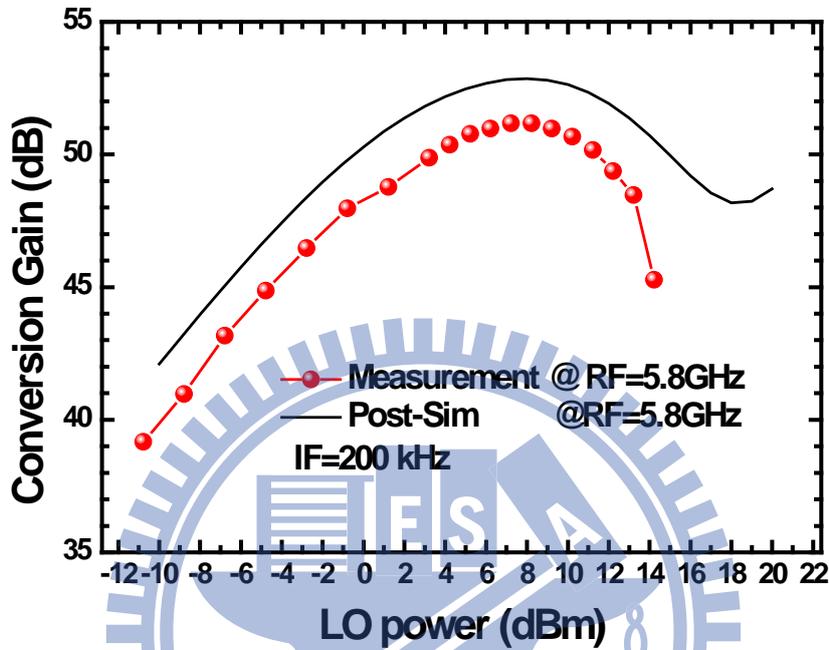


圖 A.3 轉換增益對 LO 功率

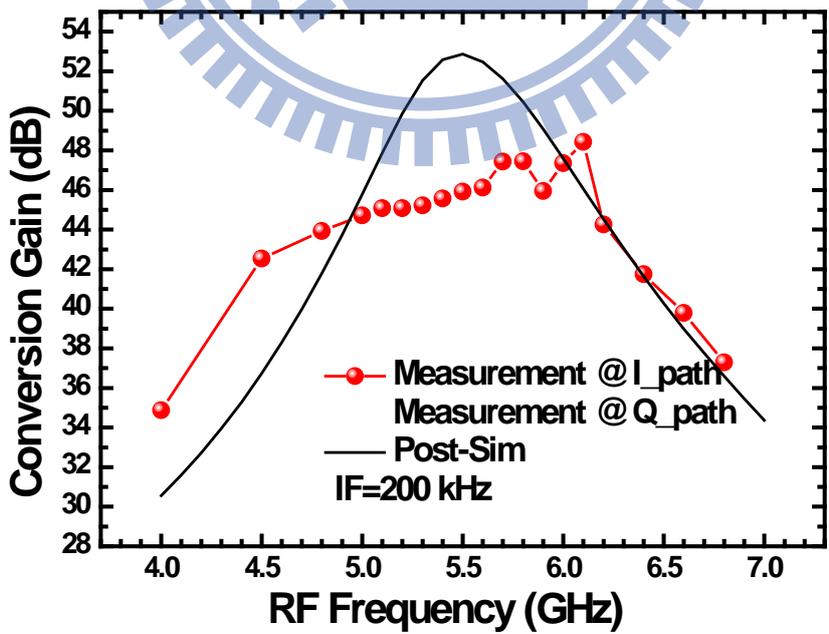


圖 A.4 轉換增益對 RF 頻率

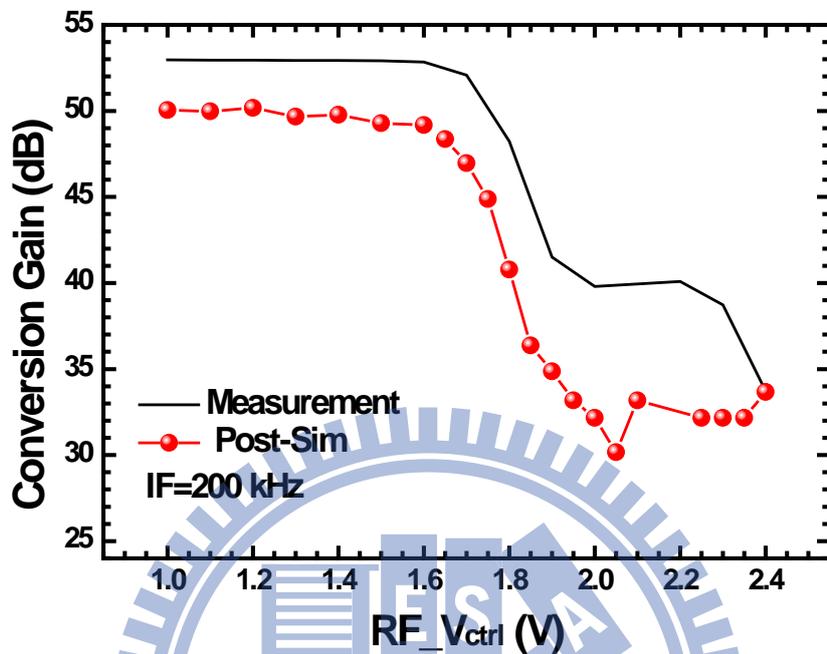


圖 A.5 轉換增益對 VTRF

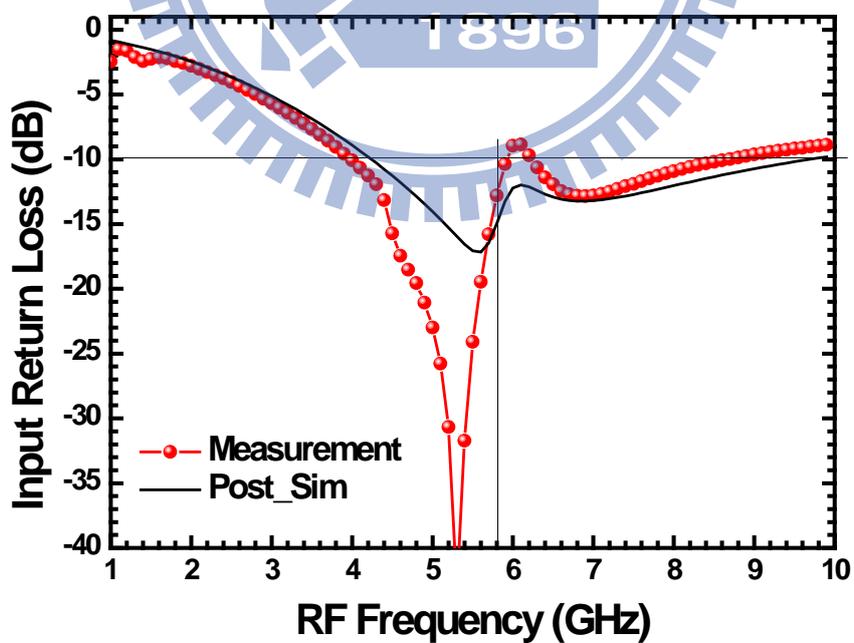


圖 A.6 輸入返回損耗

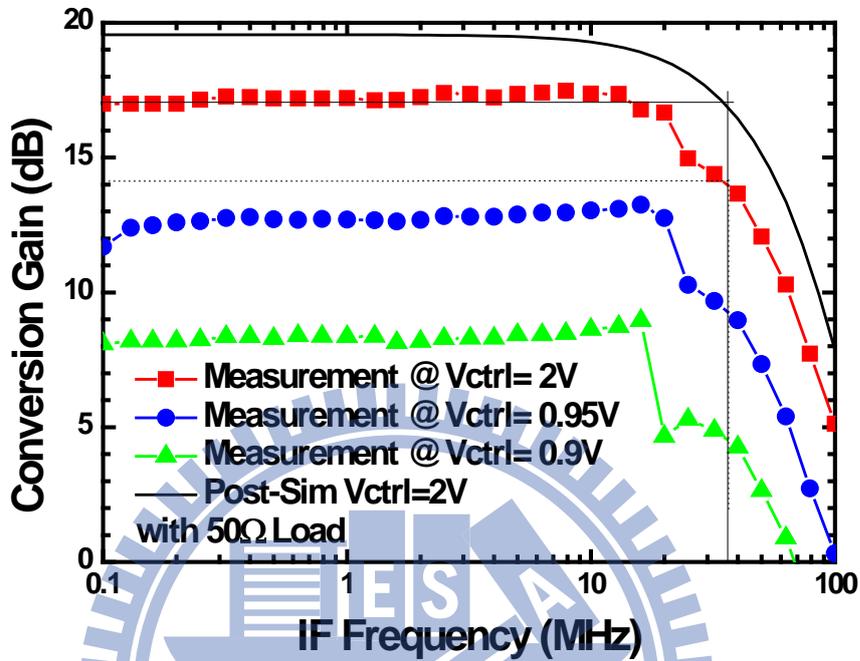


圖 A.7 轉換增益對 RF 功率

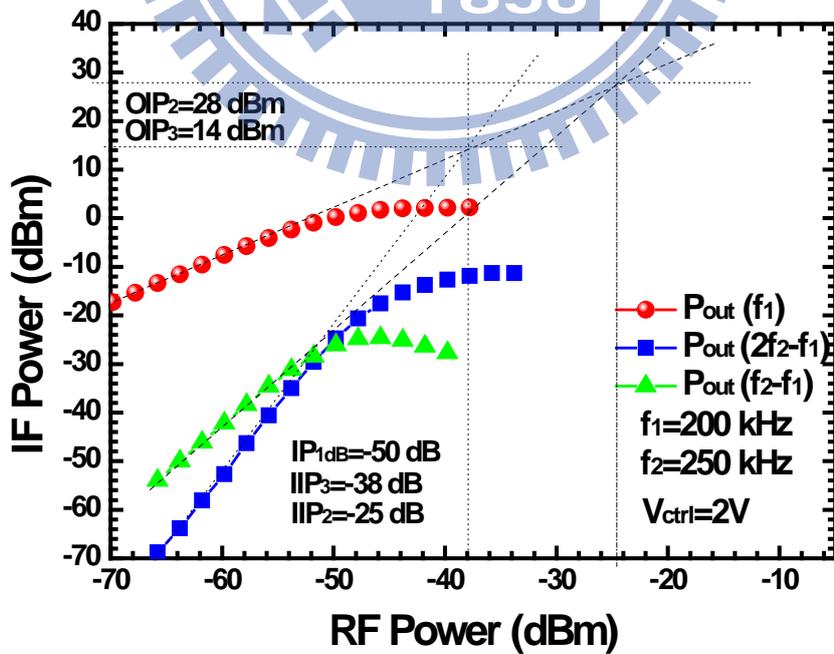


圖 A.8 最高增益時線性度表現圖

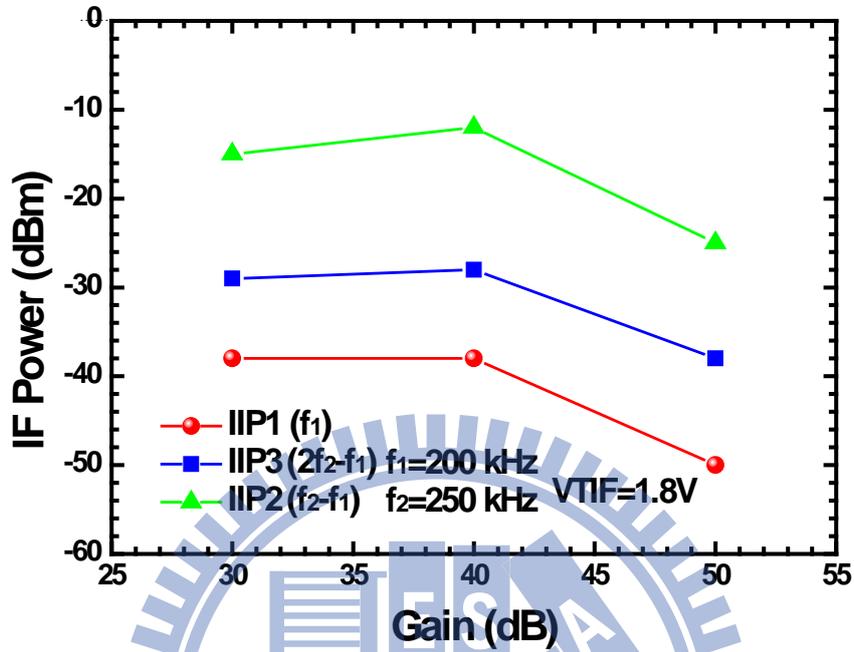


圖 A.9 線性度表現對增益

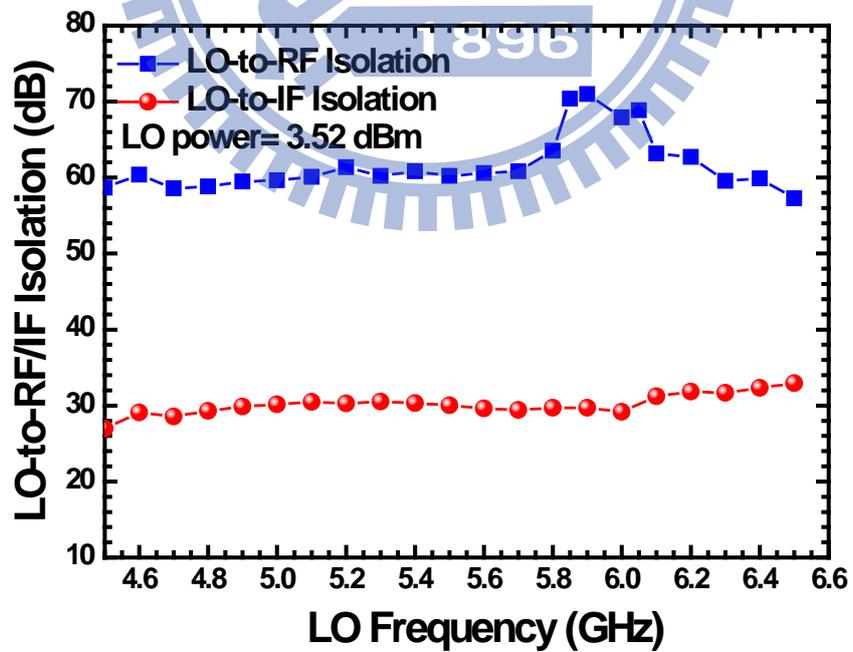


圖 A.10 隔離度對 LO 頻率

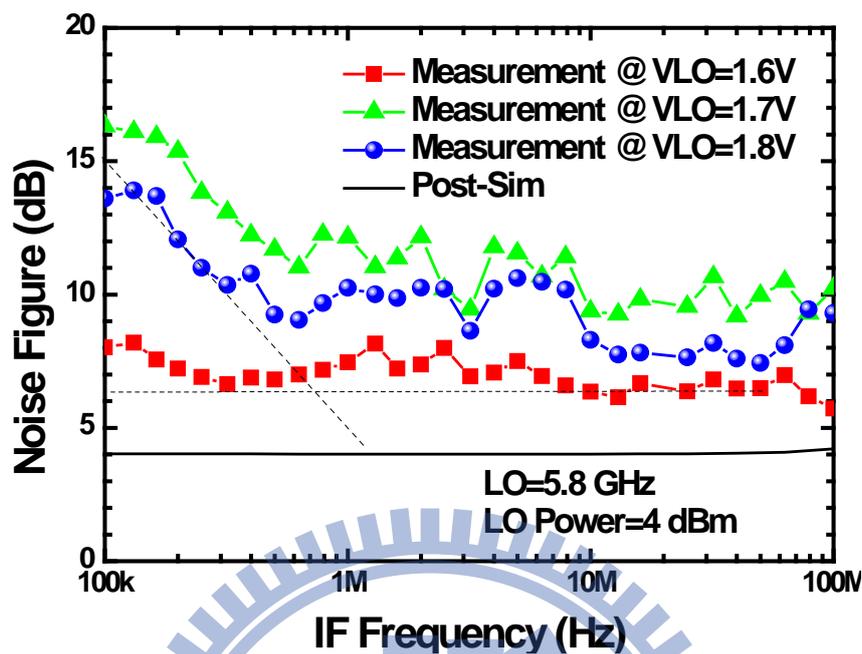


圖 A.11 雜訊指數對 IF 頻率

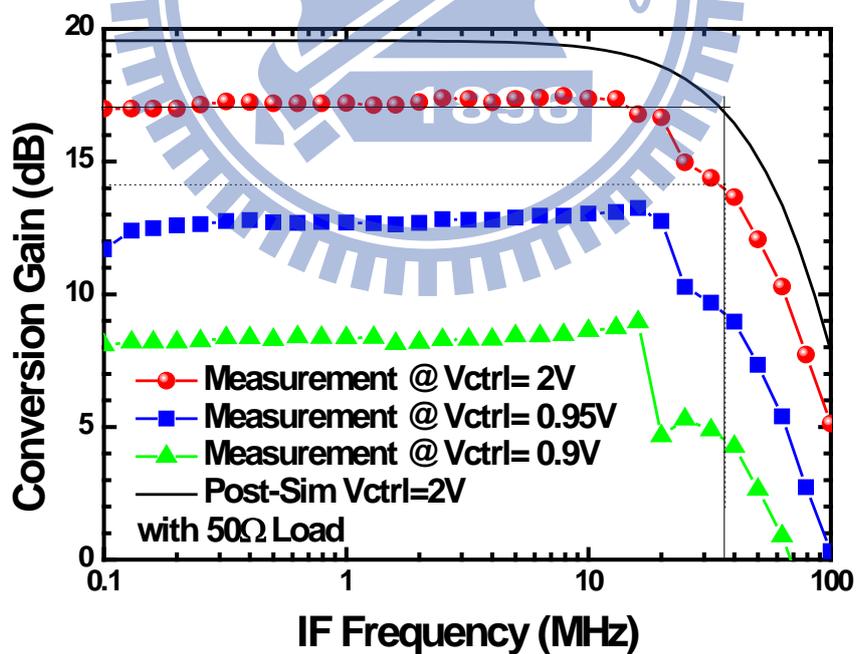


圖 A.12 增益對 IF 頻率

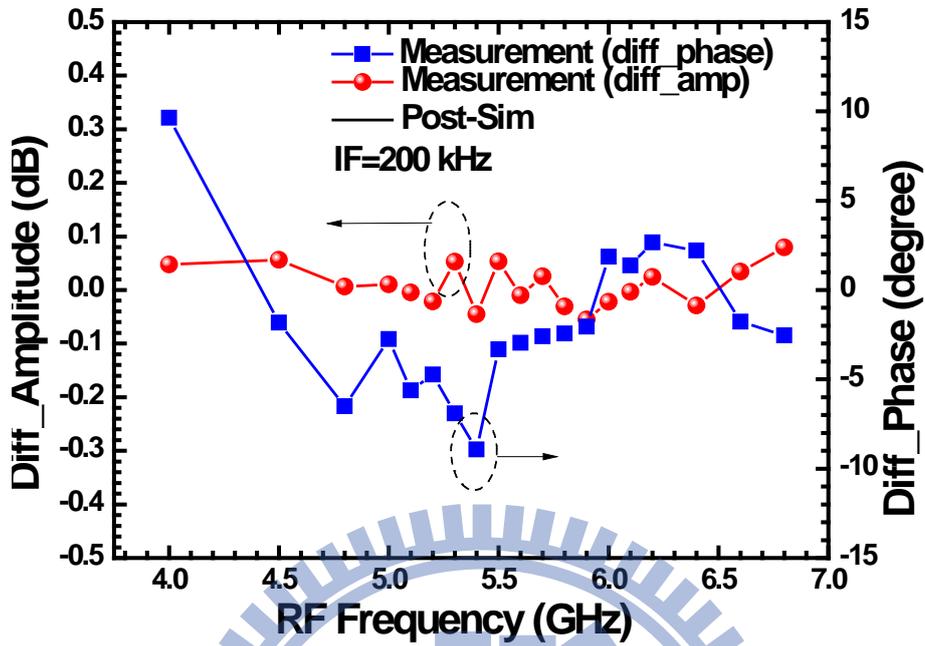


圖 A. 13 I/Q 振幅與相位不對稱對 RF 頻率

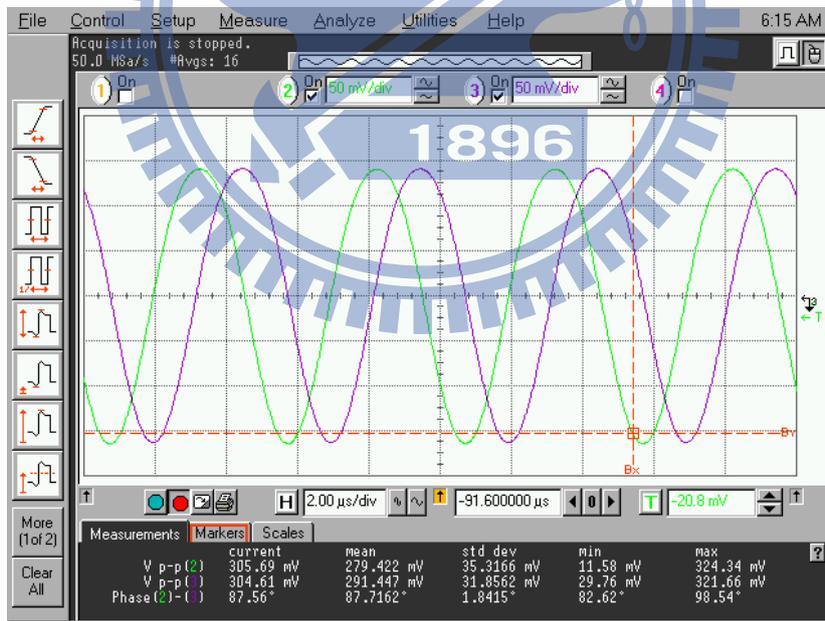


圖 A. 14 I/Q 通道輸出波形

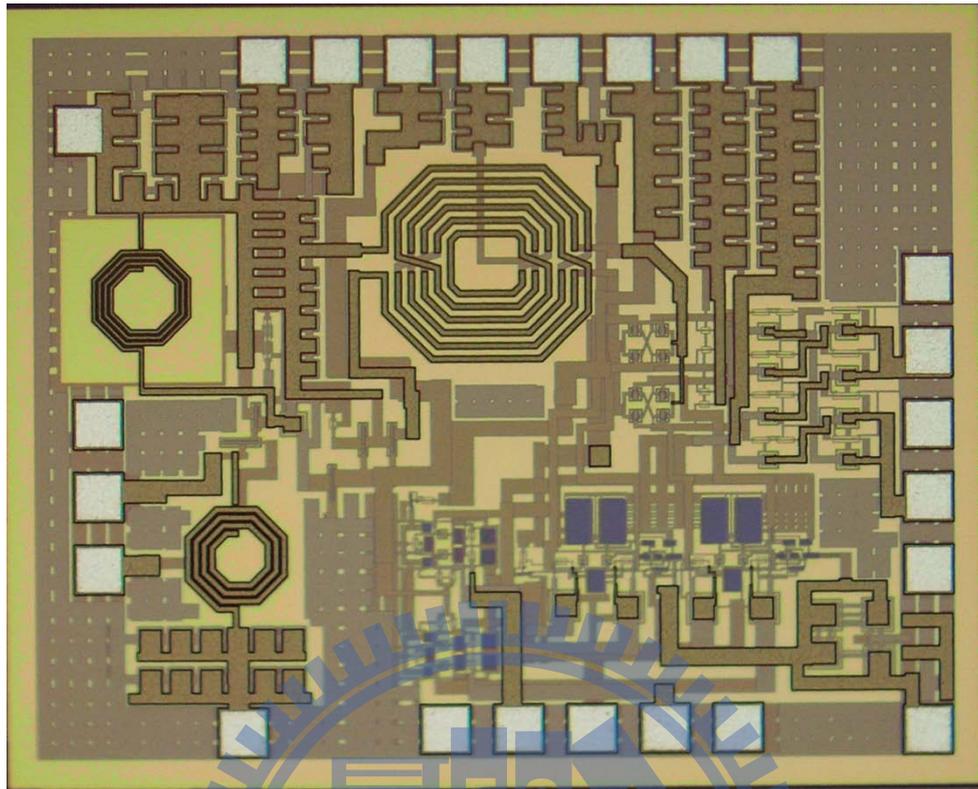


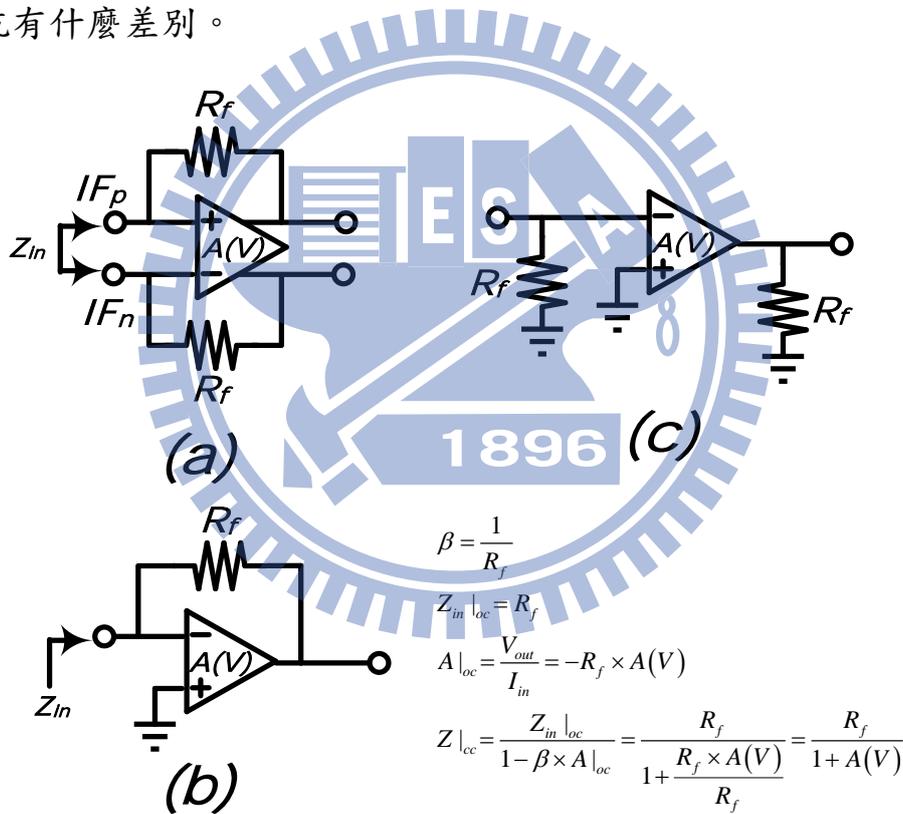
圖 A.15 晶片圖(1.25 X 1)

Item	Pre Simulation	Measurement
Supply Voltage (V)		1.8
Conversion Gain (dB)	53.96	50
RF Bandwidth (GHz)	5.4-5.6	5.7-6.1
IF Bandwidth (MHz)	25	25
NF (dB)	4.6	6.5
IP1dB (dBm)	-50	-50
IP2dB (dBm)@Highest Gain	--	-25
IP3dB (dBm)@Highest Gain	-40	-38
LO-to-RF Isolation(dB)	--	70
Current Consumption (mA)	4.5	5.2
Power Consumption (mW)	8.1	9.36
Chip Size (mm×mm)	1.25 x 1	

表A.1 5.8GHz 利用變壓器設計接收機表現整理

附錄二 利用一級和兩級 OP 當 TIA 之差別

在第二章討論到被動混頻器後級的第一級基頻電路會影響到整體表現如線性度，故在後級的電路選擇輸入阻抗低的電路，也就是使被動混頻器操作在電流模態，而操作在電流模態的一般有兩種，在較低電流損耗時，利用運算放大器搭配回授電阻的 TIA 會有較低的阻抗，而這附錄則是探討一級運算放大器和二級運算放大器對於 TIA 的輸入阻抗有什麼差別。

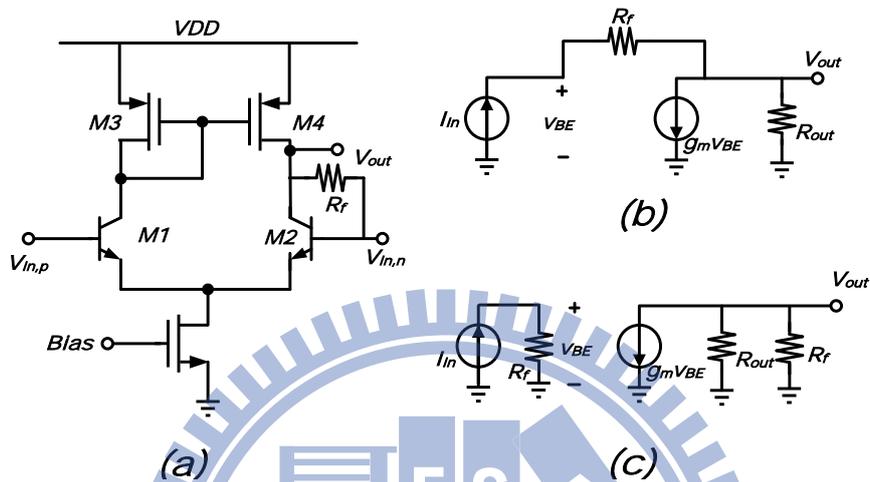


圖B.1 (a)差動輸入差動輸出 TIA (b)簡化後單端輸入單端輸出 TIA

(c)把 TIA 拆成無迴授 A 電路

利用理想的運算放大器，先假設這個運算放大器的輸入阻抗和輸出阻抗是無限大，在只考慮電壓增益的放大器時。從圖 B.1 可以很

清楚的推導出輸入阻抗，觀察後發現只要這個運算放大器的電壓增益夠大時，其輸入阻抗可以接近到 0。為了較為簡單的解釋起見，一級和兩級運算放大器都是以差動輸入單端输出的運算放大器。



圖B.2 (a)差動輸入單端輸出一級運算放大器搭配電阻迴授 (b)小訊號電路模型 (c) 無迴授 A 電路

上圖為以一級運算放大器為例子，以BJT為差動輸入的元件，而負載則是利用電流鏡，迴授電阻從負輸入卓接到輸出。從小訊號電路圖型畫成無迴授 A 電路。假設 BJT 的輸入阻抗很大，其 g_m 是代表 M1 和 M2 的轉導值， R_{out} 則是 M2 和 M4 的输出阻抗並聯。算出迴授因子為 $\beta = \frac{1}{R_f}$ 後，從 A 電路算出其輸入阻抗為 $Z_{in|oc} = R_f$ ，無迴授 A 電路增益為：

$$A|_{oc} = \frac{V_{out}}{I_{in}} = -R_f \times g_m \times (R_{out} \parallel R_f) \quad (B1)$$

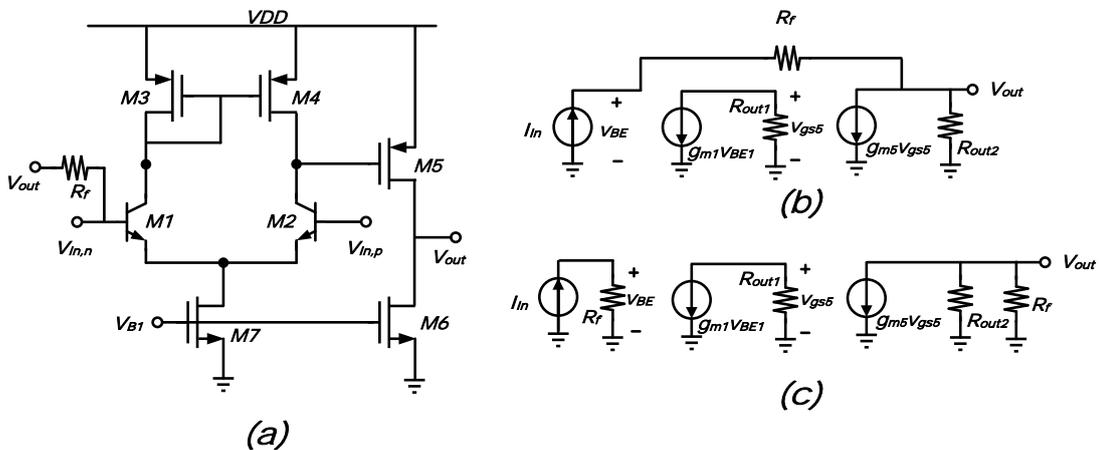
再代入迴授公式可以得到輸入阻抗為：

$$Z|_{cc} = \frac{Z_{in}|_{oc}}{1 - \beta \times A|_{oc}} = \frac{R_f}{1 + \frac{R_f \times g_m \times (R_{out} \parallel R_f)}{R_f}} = \frac{R_f}{1 + g_m \times (R_{out} \parallel R_f)} \approx \frac{R_f}{1 + g_m R_f} \quad (B2)$$

其完整回路轉阻放大增益(Transimpedance gain)則為:

$$A|_{c.c} = \frac{A|_{oc}}{1 - \beta \times A|_{oc}} = \frac{R_f \times g_m \times (R_{out} \parallel R_f)}{1 + \frac{R_f \times g_m \times (R_{out} \parallel R_f)}{R_f}} = \frac{R_f \times g_m \times (R_{out} \parallel R_f)}{1 + g_m \times (R_{out} \parallel R_f)} \approx \frac{R_f^2 \times g_m}{1 + g_m R_f} \quad (B3)$$

由上述的式子可以發現，或者是從無迴授 A 電路就可以發現，當無迴授 A 電路的增益主要是輸出阻抗決定時，輸出阻抗會被迴授電阻限制住。若 OP 原輸出阻抗單位為 $M\Omega$ ，而迴授電阻的單位也才 $k\Omega$ ，輸出阻抗完全被迴授電阻限制在 $k\Omega$ ，進而 loop gain 近似成 $g_m R_f$ 不會遠小於 1，這影響到不管是輸入阻抗沒辦法趨近於 0 也影響到增益沒辦法讓迴授電阻決定。使用一級放大器的問題就在這兒了，無迴授的增益，會被迴授電阻限制住，即使一級 OP 有再大的輸出阻抗來維持住這增益，也沒辦法。



圖B.3 (a)差動輸入單端輸出二級運算放大器搭配電阻迴授 (b)小訊號電路模型 (c) 無迴授 A 電路

上圖為兩級運算放大器搭配回授電阻的示意圖，在圖 B.3 (b)中假設 BJT 的輸入阻抗很大， g_{m1} 代表者電晶體 M1 和 M2 的轉導值，而 R_{out1} 代表電晶體 M2 和 M4 的輸出阻抗並聯， g_{m5} 則代表電晶體 M5 的轉導值， R_{out2} 則是代表了電晶體 M5 和 M6 的輸出阻抗並聯。一樣從小訊號模型去推導。和利用一級放大器時類似， $\beta = \frac{1}{R_f}$ ， $Z_{in|oc} = R_f$ 。而無回授 A 電路的增益為

$$A|_{oc} = \frac{V_{out}}{I_{in}} = -R_f \times g_{m1} \times R_{out1} \times g_{m5} \times (R_{out} \parallel R_f) \quad (B4)$$

利用 AIC 課本上的公式代入後，可以推導出公式如下：

$$\begin{aligned} Z|_{cc} &= \frac{Z_{in|oc}}{1 - \beta \times A|_{oc}} = \frac{R_f}{1 + \frac{R_f \times g_{m1} \times R_{out1} \times g_{m5} \times (R_{out} \parallel R_f)}{R_f}} \\ &= \frac{R_f}{1 + g_{m1} \times R_{out1} \times g_{m5} \times R_f} \approx 1 \end{aligned} \quad (B5)$$

由上述的公式推導到到數第二項時，由實際上電路的參數，可以大概知道 $g_{m1} \times R_{out1} \times g_{m5} \times R_f$ 是大約是幾千的一個數字，故可以可以做以下的近似 $g_{m1} \times R_{out1} \times g_{m5} \times R_f \gg 1$ 。整個 TIA 的輸入阻抗可以近似到很小。而整體的閉迴路增益可以推導成如下式：

$$\begin{aligned}
 A|_{c.c} &= \frac{A|_{oc}}{1 - \beta \times A|_{oc}} = \frac{R_f \times g_{m1} \times R_{out1} \times g_{m5} \times (R_{out} \parallel R_f)}{1 + \frac{R_f \times g_{m1} \times R_{out1} \times g_{m5} \times (R_{out} \parallel R_f)}{R_f}} \\
 &= \frac{R_f \times g_{m1} \times R_{out1} \times g_{m5} \times (R_{out} \parallel R_f)}{1 + g_{m1} \times R_{out1} \times g_{m5} \times (R_{out} \parallel R_f)} \approx R_f
 \end{aligned} \tag{B6}$$

而整個 TIA 的閉迴路增益也是因為 $g_{m1} \times R_{out1} \times g_{m5} \times R_f \gg 1$ 的關係，才可以做這樣子的近似。而整體增益才會近似到由迴授電阻去決定，這才是使用 OP 當做 TIA 的初衷，而其輸出阻抗也可以由類似的方式來推導。

由上面一級和兩級運算放大器來推導輸入阻抗和閉迴路增益，可以發現有這麼大的差別原因在於，在 OP 的電流操做在幾 μA 時，其增益最主要是由輸出阻抗來決定的。當加了迴授電阻時，原本的輸入或輸出的阻抗受到了迴授的電阻限制，故原本應該是高增益的 OP 被限制住了，而相對來講兩級 OP 的第二級增益也是被限制住但第一級的增益也是很大的，故雖說增益掉了，但仍然是足夠的，相較於一級放大器，一級運算放大器的增益則是掉了許多。因此為了有較低的輸入阻抗，兩級運算放大器是必需的。