

國立交通大學

電子工程學系 電子研究所

碩士論文

應用多重區域條件式成組縮放法於快速傅利葉
轉換處理器之面積最小化技術

**Area Minimization for FFT Processor Using Multi-Region
Conditional Block Scaling**

研究 生： 陳柏霖

指 導 教 授： 周 景 揚 教 授

中 華 民 國 一〇一 年 九 月