

國立交通大學

電信工程研究所

碩士論文

主動帶通濾波器及其應用於 2.4/60 GHz 雙模態
雙降頻接收機

Active Bandpass Filter and Its Application to 2.4/60 GHz
Dual-Mode Dual-Conversion Receiver

研究生：廖偉程

指導教授：孟慶宗

中華民國 一百零一年 九月

主動帶通濾波器及其應用於 2.4/60 GHz 雙模態
雙降頻接收機

Active Bandpass Filter and Its Application to 2.4/60 GHz
Dual-Mode Dual-Conversion Receiver

研究生: 廖偉程

Student: Wei-Cheng Liao

指導教授: 孟慶宗 博士

Advisor: Dr. Chinchun Meng

國立交通大學



September 2012
Hsinchu, Taiwan, Republic of China

中華民國一百零一年九月

主動帶通濾波器及其應用於 2.4/60 GHz 雙模態 雙降頻接收機

學生：廖偉程

指導教授：孟慶宗 博士

國立交通大學

電信工程研究所碩士班

摘 要

本篇論文設計並實現適用於無線本地區域網路與毫米波高速影像傳輸的射頻積體電路。主要分成兩大部份：第一部份為主動帶通濾波器設計與分析。第二部份則是實現 2.4 /60 GHz 雙模態雙降頻接收機。

論文第二章首先會對濾波器的架構和其 Q 值增強技術作研究，並探討使用退化電阻來改善濾波器的線性度，以及說明負電阻的可調範圍和交錯耦合電晶體的雜訊特性。

有前章濾波器的設計方法後，在第三章將會先使用 TSMC CMOS 0.18- μm 和 TSMC SiGe 0.18- μm 製程來實作 2.4 GHz 主動帶通濾波器及其前端低雜訊放大器，其主要目的為壓抑濾波器的雜訊。然後進一步延伸到應用於通道選擇之 2.4 GHz 直接降頻接收機，並將此電路結合偶次諧波混頻器，整合其降頻後的低頻電路。最後使用 TSMC SiGe 0.18- μm 製程來實現 2.4/60 GHz 雙模態雙降頻接收機。

Active Bandpass Filter and Its Application to 2.4/60 GHz Dual-Mode Dual-Conversion Receiver

Student : Wei-Cheng Liao

Advisor : Chinchun Meng

Institute of Communication Engineering
National Chiao Tung University

Abstract

In this thesis, the radio frequency circuits which are suitable for Wireless Local Area Network (WLAN) and millimeter wave high speed transmission of images applications are designed and implemented. The thesis consists of two parts. The first part focuses on designing and analyzing the active bandpass filter. The second part implements the 2.4/60 GHz dual-mode dual-conversion receiver.

First, we study the architecture of filter and Q-enhancement techniques in the chapter 2. And then, we discuss to use the degeneration resistor which can improve the linearity of filter and illustrate the tuning range of negative resistance and the noise performance of cross couple pair.

With the results in the former chapter, we will implement the 2.4 GHz active bandpass filter with its front LNA in TSMC CMOS 0.18- μm and TSMC SiGe 0.18- μm technology that its purpose is to suppress the noise of filter. Afterwards we can use it to extend to the 2.4 GHz direct-conversion receiver for channel-selected application. Combining the circuit with a sub-harmonic mixer will integrate with the low frequency circuit after down conversion. Finally, we implement the 2.4/60 GHz dual-mode dual-conversion receiver in TSMC SiGe 0.18- μm technology.

誌謝

兩年的碩士生活過得比想像中還快，來到 918 實驗室後得到許多人的幫助，我才能順利完成這本論文，要感謝的人真的很多。首先感謝孟慶宗教授帶領我進入射頻積體電路這塊領域，讓我學習到很多的知識，使我在碩士生涯兩年中獲益匪淺，老師對於學術的嚴謹更是我學習的典範。再來感謝抽空前來參加學生口試的徐碩鴻教授與紀佩綾教授，教授們在口試中給予了珍貴的意見，使我在短短的時間內獲益良多。再來感謝國家奈米元件實驗室的高頻技術組，特別是榮彥與治華，在非常複雜的八面下針環境，由於你們的專業操作，讓我能順利獲得我所需要的量測結果。

在 918 實驗室的兩年中，首先非常感謝博士班的語銖學長，不厭其煩的指出我研究中的缺失，且能在我遇到瓶頸時為我解惑。此外，博士班的宏儒與金詳學長，我要感謝他們給我研究上的提示與幫助。還有感謝彥鋒與楊雋學長在模擬軟體上的教學，使我能更快完成研究。感謝相處最久的同學協修、格瑋與永豪，彼此互相學習與鼓勵，讓我無論在課業或研究上都能順利完成。謝謝學弟士得、仁傑和維麟的陪伴，由於你們的加入，使實驗室充滿活力並帶來更多的歡笑。

最後，我非常感謝我的家人，父母在我經濟上的支持以及時時刻刻的關心，讓我能順利完成學業，謝謝親戚與朋友們的鼓勵，讓我內心充滿溫暖。在此將本論文獻給所有關心與支持我的人。

廖偉程 謹於
Lab 918, 交通大學
2012 年 9 月

目錄

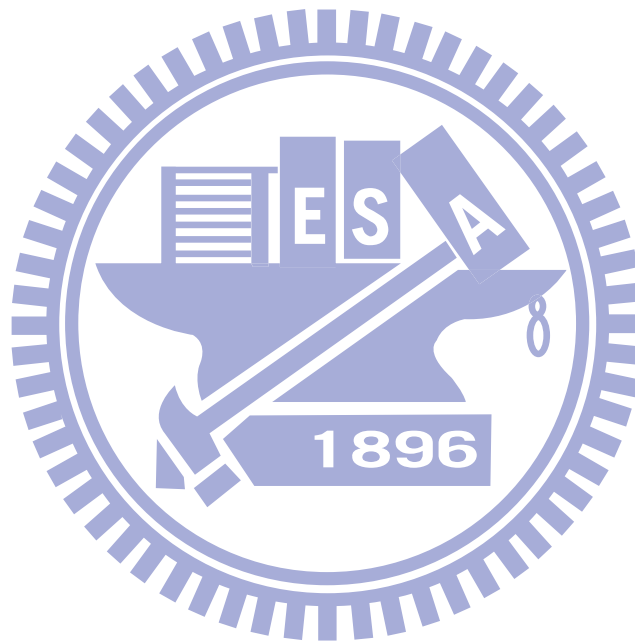
中文摘要.....	i
英文摘要.....	ii
誌謝.....	iii
目錄.....	iv
表目錄.....	vi
圖目錄.....	vii
第一章 導論.....	1
1.1 研究動機.....	2
1.2 論文組織架構.....	3
第二章 主動帶通濾波器設計與分析.....	4
2.1 集總式帶通濾波器原型分析.....	6
2.1.1 集總式帶通濾波器元件選定.....	6
2.1.2 模擬比較.....	10
2.2 設計考量.....	13
2.2.1 使用交錯耦合電晶體改善 on chip 電感 Q 值.....	13
2.2.2 交錯耦合對的線性度比較.....	14
2.2.3 負電阻的可調範圍.....	16
2.2.4 交錯耦合對的雜訊特性比較.....	18
第三章 2.4/60 GHz 雙模態雙降頻接收機.....	20
3.1 系統架構選擇.....	22
3.2 電路設計考量.....	29
3.2.1 窄頻帶通濾波器.....	29
3.2.2 九十度相位移器.....	33
3.2.3 疊接式低雜訊放大器.....	35
3.2.4 可切換式主動混頻器.....	38
3.2.5 使用反對稱二極體之偶次諧波混頻器.....	39
3.2.6 寬頻平衡-不平衡之低雜訊放大器.....	47
3.3 2.4 GHz 主動帶通濾波器及其前端低雜訊放大器.....	51
(CMOS 0.18- μm).....	51
3.3.1 電路設計.....	51
3.3.2 模擬與量測結果.....	53
3.3.3 結果與討論.....	60

3.4 2.45 GHz 主動帶通濾波器及其前端低雜訊放大器.....	62
(SiGe 0.18- μm)	62
3.4.1 電路設計	62
3.4.2 模擬與量測結果	64
3.4.3 結果與討論	71
3.5 2.4/60GHz 雙模態雙降頻接收機 (SiGe 0.18- μm)	73
3.5.1 電路設計	73
3.5.2 模擬與量測結果	76
3.5.3 結果與討論	90
第四章 結論	93
參考文獻	96
附錄一 應用於通道選擇之 2.4 GHz 直接降頻接收機	99
A1.1 電路設計	100
A1.2 模擬與量測結果	104
Vita	114



表目錄

表 3.1、2.4 GHz 主動帶通濾波器及其前端 LNA 模擬與量測比較表。.....	61
表 3.2、2.45 GHz 主動帶通濾波器及其前端 LNA 模擬與量測比較表。...	72
表 3.3、2.4/60 GHz 雙模態雙降頻接收機模擬與量測比較表。.....	92
表 A1.1、2.4 GHz 直接降頻接收機模擬與量測比較表。.....	113



圖目錄

圖 1.1、無線通訊標準發展層次示意圖[1]。	2
圖 2.1、低通原型濾波器[2]。	6
圖 2.2、柴比雪夫響應原型濾波器對正規化頻率的衰減響應[2]。	8
圖 2.3、低通到帶通響應的轉換[2]。	8
圖 2.4、電容耦合帶通濾波器[2]。	8
圖 2.5、中心頻 2.4 GHz 的帶通濾波器。	10
圖 2.6、使用理想元件值模擬(a)反射損耗及(b)植入損耗。	11
圖 2.7、使用 CMOS 0.18- μm 模型模擬(a)反射損耗及(b)植入損耗。	11
圖 2.8、on chip 電感模擬(a)電感值及(b)Q 值。	12
圖 2.9、(a)交錯耦合對及(b)使用源極退化的交錯耦合對。	13
圖 2.10、(a)理想交錯耦合電晶體(b)使用退化電阻的交錯耦合電晶體。 ...	15
圖 2.11、(a)小訊號模型(b)使用退化電阻的小訊號模型。	15
圖 2.12、轉導電流對輸入電壓模擬結果。	16
圖 2.13、交錯耦合負電阻與頻率模擬結果。	17
圖 2.14、串聯轉換並聯的等效電路。	17
圖 2.15、通帶失真的濾波器與理想原型濾波器。	18
圖 2.16、小訊號雜訊模型。	18
圖 3.1、一般超外差接收機架構圖。	22
圖 3.2、一般低中頻接收機架構。	22
圖 3.3、一般直接降頻接收機。	23
圖 3.4、威福鏡像消除架構[1]。	24
圖 3.5、鏡像消除降頻器頻譜分析圖。	24
圖 3.6、LO 洩漏造成直流準位偏移示意圖。	25
圖 3.7、反射訊號造成直流準位偏移示意圖。	26
圖 3.8、強干擾源造成直流準位偏移示意圖。	26
圖 3.9、非平衡 LO 造成直流準位偏移示意圖。	26
圖 3.10、二階非線性失真造成直流準位偏移示意圖。	27
圖 3.11、系統架構圖。	28
圖 3.12、頻譜示意圖。	28
圖 3.13、最平坦響應原型濾波器對正規化頻率的衰減響應[2]。	30
圖 3.14、一階電容耦合帶通濾波器[6]。	31
圖 3.15、中心頻 2.4 GHz 的窄頻帶通濾波器。	31
圖 3.16、使用理想元件值模擬(a)反射損耗及(b)植入損耗。	31
圖 3.17、退化電阻值與濾波器線性度之關係圖。	32

圖 3.18、電晶體尺寸與濾波器線性度之關係圖。	33
圖 3.19、RLC 相位移器。	34
圖 3.20、九十度相位移器。	34
圖 3.21、疊接式低雜訊放大器。	36
圖 3.22、可切換式主動混頻器。	39
圖 3.23、使用反對稱二極體之偶次諧波混頻器。	39
圖 3.24、單一二極體的 $I-V$ 特性。	40
圖 3.25、反對稱二極體對之 $I-V$ 特性。	41
圖 3.26、互補式金屬帶耦合線示意圖。	43
圖 3.27、反射損耗 S 參數之頻率響應圖。	44
圖 3.28、穿透埠、耦合埠及隔離埠之頻率響應圖。	44
圖 3.29、相位平衡模擬圖。	45
圖 3.30、雙馬尚爾巴倫器。	45
圖 3.31、雙巴倫器的 S 參數模擬結果。	46
圖 3.32、振幅平衡模擬結果。	46
圖 3.33、相位平衡模擬結果圖。	47
圖 3.34、雜訊消除之基本 CGCS 電路圖。	50
圖 3.35、共閘極(CG)之小訊號等效電路。	50
圖 3.36、2.4 GHz 主動帶通濾波器及其前端 LNA 電路圖。	51
圖 3.37、單端輸入轉差動輸出之低雜訊放大器。	51
圖 3.38、差動輸入差動輸出之帶通濾波器。	52
圖 3.39、互補式交錯耦合對。	53
圖 3.40、 S 參數模擬與量測結果。	56
圖 3.41、調整 Q 值的量測結果。	57
圖 3.42、調整中心頻率的量測結果。	58
圖 3.43、雜訊指數。	58
圖 3.44、線性度(a) IP_{1dB} 和(b) $IIP3$ 的量測結果。	59
圖 3.45、晶片圖 (1.3551mm×0.9136mm)。	60
圖 3.46、2.45 GHz 主動帶通濾波器及其前端低雜訊放大器電路圖。	62
圖 3.47、使用 BJT 實現單端輸入轉差動輸出之低雜訊放大器。	62
圖 3.48、可變增益放大器。	63
圖 3.49、差動輸入差動輸出之帶通濾波器。	64
圖 3.50、 S 參數模擬與量測結果。	67
圖 3.51、調整增益的量測結果。	68
圖 3.52、調整中心頻率的量測結果。	69
圖 3.53、雜訊指數。	69
圖 3.54、線性度(a) IP_{1dB} 和(b) $IIP3$ 的量測結果。	70
圖 3.55、晶片圖 (1.4345mm×1.2061mm)。	71

圖 3.56、2.4/60 GHz 雙模態雙降頻接收機電路圖。	73
圖 3.57、主動負載之差動放大器。	74
圖 3.58、一級疊接式放大器。	75
圖 3.59、RF1 的輸入反射損耗。	76
圖 3.60、LO1 的輸入反射損耗。	76
圖 3.61、轉換增益對 LO1 功率作圖。	77
圖 3.62、轉換增益對 RF1 頻率作圖。	77
圖 3.63、轉換增益對 IF 頻率作圖。	78
圖 3.64、隔離度對兩倍 LO1 頻率作圖。	78
圖 3.65、隔離度對 LO1 頻率作圖。	79
圖 3.66、隔離度對 RF1 頻率作圖。	79
圖 3.67、基頻波形圖。	80
圖 3.68、RF2 的輸入反射損耗。	80
圖 3.69、轉換增益對 LO2 功率作圖 CH1。	81
圖 3.70、轉換增益對 LO2 功率作圖 CH2。	81
圖 3.71、轉換增益對 RF2 功率作圖 CH1。	82
圖 3.72、轉換增益對 RF2 功率作圖 CH2。	82
圖 3.73、轉換增益對 RF2 頻率作圖。	83
圖 3.74、IQ 增益不匹配對 RF2 頻率作圖。	83
圖 3.75、轉換增益與 NF_{dsb} 對 RF2 頻率作圖。	84
圖 3.76、轉換增益對 IF 頻率作圖 CH1。	84
圖 3.77、轉換增益對 IF 頻率作圖 CH2。	85
圖 3.78、隔離度對 LO2 頻率作圖。	85
圖 3.79、隔離度對 RF2 頻率作圖。	86
圖 3.80、 NF_{dsb} 對 IF 頻率作圖 CH1。	86
圖 3.81、 NF_{dsb} 對 IF 頻率作圖 CH2。	87
圖 3.82、線性度 IIP3 的量測結果 CH1。	87
圖 3.83、線性度 IIP3 的量測結果 CH2。	88
圖 3.84、線性度 IP_{1dB} 與 IIP3 對增益作圖。	88
圖 3.85、基頻輸出波形。	89
圖 3.86、晶片圖 (2.6587 mm×1.6905 mm)。	89
圖 A1.1、多相位濾波器電路圖。	100
圖 A1.2、差動訊號產生器。	100
圖 A1.3、傳輸線與 T-模型的等效電路。	101
圖 A1.4、傳輸線與 π -模型的等效電路。	102
圖 A1.5、系統架構圖。	102
圖 A1.6、應用於通道選擇之 2.4GHz 直接降頻接收機電路圖。	103
圖 A1.7、輸入反射損耗。	104

圖 A1.8、轉換增益對 LO 功率作圖 CH1。	104
圖 A1.9、轉換增益對 LO 功率作圖 CH2。	105
圖 A1.10、轉換增益對 RF 功率作圖 CH1。	105
圖 A1.11、轉換增益對 RF 功率作圖 CH2。	106
圖 A1.12、轉換增益對 RF 頻率作圖。	106
圖 A1.13、轉換增益與 NF _{dsb} 對 RF 頻率作圖。	107
圖 A1.14、轉換增益對 IF 頻率作圖 CH1。	107
圖 A1.15、轉換增益對 IF 頻率作圖 CH2。	108
圖 A1.16、隔離度對 LO 頻率作圖。	108
圖 A1.17、隔離度對 RF 頻率作圖。	109
圖 A1.18、NF _{dsb} 對 IF 頻率作圖 CH1。	109
圖 A1.19、NF _{dsb} 對 IF 頻率作圖 CH2。	110
圖 A1.20、線性度 IIP3 的量測結果 CH1。	110
圖 A1.21、線性度 IIP3 的量測結果 CH2。	111
圖 A1.22、線性度 IP _{1dB} 與 IIP3 對增益作圖。	111
圖 A1.23、基頻輸出波形。	112
圖 A1.24、晶片圖 (2.4321mm×1.5507mm)。	112





第一章

導論

1.1 研究動機

IEEE 電機及電子工程師協會綜合數百名業內之專家學者意見，以涵蓋之區域大小為基準，訂出了無線通訊標準發展層次示意圖，如圖 1.1 所示。該圖包括了從個人區域網 PAN（Personal Area Network）的 IEEE 802.15 標準到本地區域網 LAN（Local Area Network）的 IEEE 802.11 標準、都市區域網 MAN（Metropolitan Area Network）的 IEEE 802.16 標準，直至提議中的廣域網 WAN（Wide Area Network）的 IEEE 802.20 標準[1]。

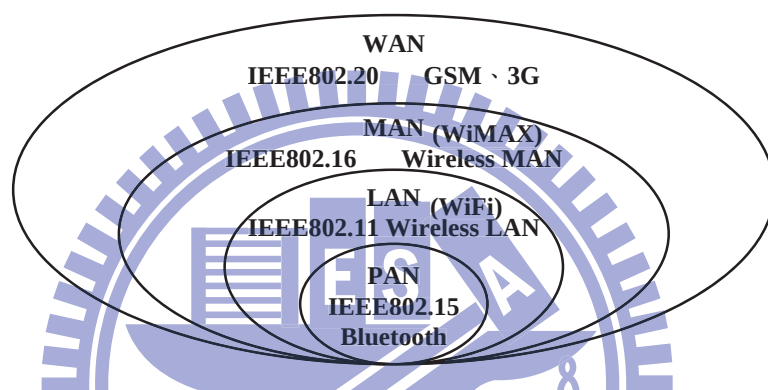


圖 1.1、無線通訊標準發展層次示意圖[1]。

在當前無線通訊頻譜資源越來越緊繃和資料傳輸速率越來越快的趨勢之下，60 GHz 頻段的無線短距離通訊也越來越受到注意，成為未來無線通訊技術中最有潛力的技術之一。60 GHz 屬於毫米波通訊技術，對於 PC、數位家電等應用，能夠實現幾 Gbps 的超高速無線傳輸。毫米波與較低頻段的微波相比之下，其特色是可以使用的頻譜範圍更寬以及資訊容量大，易實現於窄波束和高增益天線，所以解析度高和抗干擾性好。此外，在 60 GHz 頻段附近的自由空間傳輸路徑損耗約為 15 dB/km，所以其在短距離的無線通訊上具有優勢，當然缺點就是不適合長距離通訊。

在各種內含無線功能的消費、資訊以及通訊產品的助長之下，WLAN 與藍芽各在無線通訊市場有良好的發展，其已成為筆記型電腦、智慧型手機的標準配備；而藍芽在資訊領域也有應用，如無線鍵鼠組、藍芽耳機等。

這兩種技術皆使用 2.4 GHz 的 ISM 頻帶，如何使 WLAN 與藍芽共存，並展現其最佳工作效能，將會是未來眾多電子產品面臨到的設計挑戰。

今日的無線技術已發展成熟，在 WLAN 方面，其可以應用在較寬廣的範圍，傳輸距離約 100 公尺，由 WiFi 標準組織制定規範；而藍芽方面則是應用在無線個人網路(WPAN)，其傳輸距離約 10 公尺，該標準是由藍芽 SIG 標準組織負責制定規範。

在本篇論文的第三章，將延續第二章的結果，從主動帶通濾波器延伸到整體接收機，實現出可以選通道的 2.4 GHz 直接降頻接收機，其將帶通濾波器整合在接收機內來取代一般的外接式濾波器，最後將其與 60 GHz 電路整合在一起，完成未來可以應用於無線網路通訊傳輸以及短距離的毫米波高速影像傳輸。

1.2 論文組織架構

本篇論文將採用 TSMC CMOS 0.18- μm 和 TSMC SiGe 0.18- μm 製程技術來設計晶片。本論文分為四個章節，第一章為導論，說明研究動機與論文組織。第二章為主動帶通濾波器設計與分析，介紹濾波器的函數響應，以及如何由低通原型濾波器轉換成帶通濾波器，並探討 Q-增強技術和使用退化電阻來改善濾波器的線性度，然後說明負電阻的可調範圍和交錯耦合電晶體的雜訊特性。第三章為 2.4/60 GHz 雙模態雙降頻接收機，藉由在第二章的結果，先將濾波器前級加上低雜訊放大器來抑制濾波器的雜訊，並結合主動混頻器來實現應用於通道選擇的 2.4 GHz 直接降頻接收機，最後使用可切換式的主動混頻器來整合 2.4 GHz 與 60 GHz 的電路，實現出的電路未來將可以應用於無線網路通訊傳輸與毫米波高速影像傳輸。第四章為結論，將第二章的分析結果做個結論，以及第三章的電路做個結論與比較。

第二章

主動帶通濾波器設計與分析



在現代通訊系統的傳輸中，其在接收端所需要的頻帶中會同時存在許多非相關的訊號，為了避免旁帶訊號對主訊號產生不必要的干擾，此時需要帶通濾波器來濾除上述的干擾項，因而帶通濾波器無論在接收機或發射機皆是一個關鍵零組件。

通常單一個濾波器無法符合所有操作頻帶的需求，而多個濾波器卻會佔據太大的面積，因此使用可調式的濾波器便是解決上述問題的方法。然而在積體電路上設計濾波器時，常會遇到一個嚴重的問題，就是電感的 Q 值(quality factor)太差，一般大約都 10 以下，導致濾波器通帶的損耗太大，所以必須利用各種主動電路來提升電感的 Q 值，增加電感的 Q 值有滿多方法可以達到，而本章將著重在交錯耦合(cross couple)的主動電路來產生負阻抗(negative resistance)使濾波器在不振盪的情形之下，其通帶的損耗盡可能地減少。

本章節首先會介紹濾波器函數的種類，接下來說明設計濾波器的流程，主要將會說明電感的 Q 值對濾波器特性的影響，接著討論如何使用主動元件來改善 Q 值，此外並說明使用交錯耦合的主動電路帶給濾波器的缺點，如線性度以及雜訊指數(Noise Figure)，本論文將建立主動濾波器的設計導引來最佳化其主動特性。

2.1 集總式帶通濾波器原型分析

常見的被動元件可分為柴比雪夫(Chebyshev)及巴特沃茲(Butterworth)響應[1]，不同的頻率響應將對應不同的產品應用需求。本章節所採用的濾波器頻率響應函數為柴比雪夫響應。所實現的集總式帶通濾波器最重要的考量為消除不必要的信號，如果設計者可以接受通帶中具有一些等漣波(ripple)，就可以得到比巴特沃茲濾波器更佳的截止帶信號抑制。在頻率遠大於截止頻率時，柴氏響應的衰減量會比巴特沃茲響應的衰減量大 $(2^{2N})/4$ 倍。

在本章節所使用的濾波器為集總式 LC 元件所實現的直接耦合共振濾波器(Direct-Coupled-Resonator Filter)[2]，其設計流程如下：

2.1.1 集總式帶通濾波器元件選定

在本章節所使用的設計公式都是基於低通原型濾波器，如圖 2.1 所示，

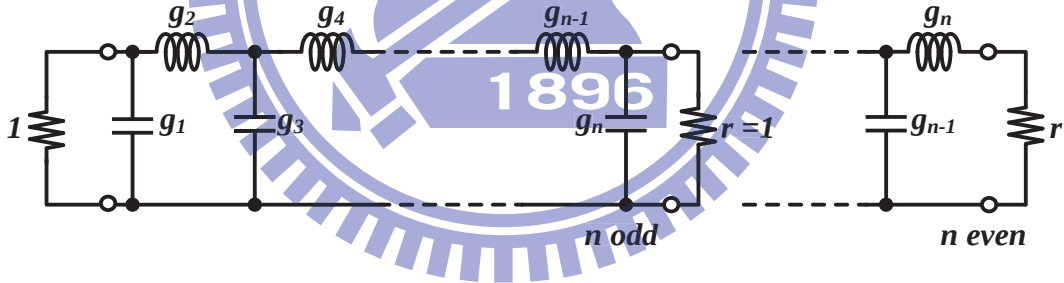


圖 2.1、低通原型濾波器[2]。

在圖 2.1 中，柴比雪夫響應一般的正規化後之元件值設計公式[3][4]如下所示，

$$r=1 \text{ for } n \text{ odd}, r = \tanh^2(\beta/4) \text{ for } n \text{ even} \quad (2.1)$$

(2.1)式中的 $\beta = \ln(\coth \frac{A_m}{17.37})$ ，而其 A_m (單位為 dB)是指截止頻率時的衰減量。

$$g_1 = 2a_1 / \gamma \quad (2.2)$$

(2.2)式中的 g_1 為圖 2.1 中第 1 個正歸化後的元件值，其中 a_1 和 γ 的公式為，

$$a_k = \sin\left[\frac{(2k-1)\pi}{2n}\right], \quad k=1,2,\dots,n \quad (2.3)$$

$$\gamma = \sinh\left(\frac{\beta}{2n}\right) \quad (2.4)$$

$$g_k = \frac{4a_{k-1}a_k}{b_{k-1}g_{k-1}} \quad k=2,3,\dots,n \quad (2.5)$$

(2.5)式中的 g_k 為圖 2.1 中第 2 個到第 n 個正歸化後的元件值，其中 b 的公式為，

$$b_k = \gamma^2 + \sin^2\left(\frac{k\pi}{n}\right), \quad k=1,2,\dots,n \quad (2.6)$$

最後上述的式子必須檢查 $g_n = g_1$ 。

$$A = 10 \log[1 + (10^{A_m/10} - 1) \cos^2(n \cos^{-1} \omega')] dB, \quad \omega' \leq 1 \quad (2.7)$$

(2.7)式為正規化後的頻率小於截止頻率的衰減量公式。

$$A = 10 \log[1 + (10^{A_m/10} - 1) \cosh^2(n \cos^{-1} \omega')] dB, \quad \omega' \geq 1 \quad (2.8)$$

(2.8)式為正規化後的頻率大於截止頻率的衰減量公式。

經由上述的公式說明，我們可以得到當 $n=3$ 時，其正規化頻率的衰減響應如圖 2.2。

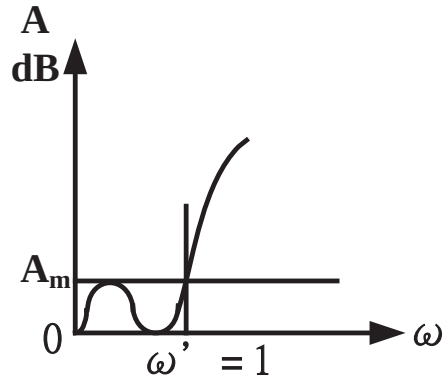


圖 2.2、柴比雪夫響應原型濾波器對正規化頻率的衰減響應[2]。

圖 2.1 可以驗證其基本的低通模型，將低通模型經由頻率轉換可得到所需的帶通模型，其頻率的對應關係為，帶通濾波器的 f_0 對應到低通濾波器的 $f'=0$ ，以及帶通濾波器的兩個邊緣頻率 f_1 和 f_2 對應到低通濾波器的邊緣頻率 f'_1 ，如圖 2.3 所示，



圖 2.3、低通到帶通響應的轉換[2]。

經由低通原型濾波器轉換成帶通濾波器後的電路圖如圖 2.4 所示，

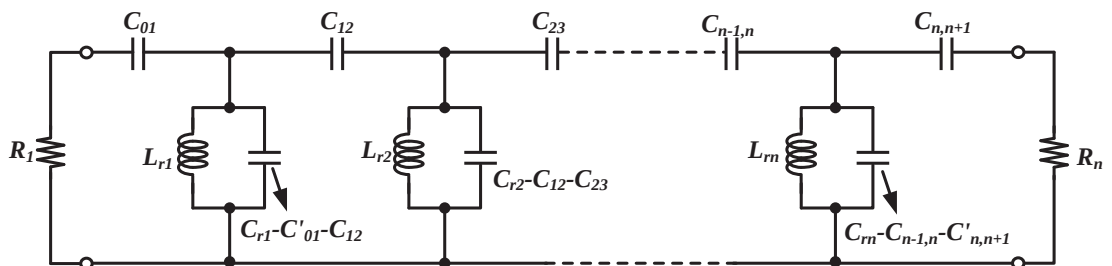


圖 2.4、電容耦合帶通濾波器[2]。

電容耦合帶通濾波器的元件值公式由[2]推導後如下所示，

$$L_{rk}C_{rk} = \frac{1}{\omega_o^2} \quad (2.9)$$

(2.9)式中 ω_o 為帶通濾波器的中心頻率， L_{rk} 和 C_{rk} 為圖 2.4 中相對應的元件值。

$$C_{01} = \sqrt{\frac{1}{\omega_o} \left(\frac{\omega' C_{r1} / R_1 g_1}{1 - \omega' C_{r1} R_1 / g_1} \right)} \quad (2.10)$$

(2.10)式中若原型濾波器的 ω_o 正規化為一，則 ω' 為帶通濾波器的-3 dB 頻寬， R_1 為 50 Ω 特徵阻抗， g_1 為圖 2.1 中的正規化元件值。

$$C_{n,n+1} = \sqrt{\frac{1}{\omega_o} \left(\frac{\omega' C_{rn} R_n / g_n}{1 - \omega' C_{rn} R_n / g_n} \right)} \quad (2.11)$$

(2.11)式中 R_n 為 50 Ω 特徵阻抗， g_n 為圖 2.1 中的正規化元件值。

$$C_{jk} = \omega' \sqrt{\left(\frac{C_{rj} C_{rk}}{g_j g_k} \right)} \text{ for } C_{12} \text{ to } C_{n-1,n} \quad (2.12)$$

(2.12)式中 g_j 和 g_k 為圖 2.1 中的正規化元件值， C_{rj} 和 C_{rk} 則是(2.9)式中的相對應元件值。

$$C'_{01} = \frac{C_{01}}{1 + \omega_o^2 C_{01}^2 R_1^2} \quad (2.13)$$

$$C'_{n,n+1} = \frac{C_{n,n+1}}{1 + \omega_o^2 C_{n,n+1}^2 R_n^2} \quad (2.14)$$

(2.13)式和(2.14)式為圖 2.4 中算 LC tank 的 C 值時所要用到的公式。

$$\omega' = \left(\frac{f_o}{f_1} - \frac{f_o}{f_2} \right) \left(\frac{f_o}{f'_1} \right) \quad (2.15)$$

(2.15)式為耦合電抗($C_{01}, C_{12} \dots C_{n,n+1}$)隨頻率變化影響之近似值。

$$f_o \approx \sqrt{f_1 f_2}, \omega' \cong \frac{f_2 - f_1}{f'_1} \quad (2.16)$$

(2.16)式為 $f_2/f_1 < 0.05$ 且假設耦合電抗($C_{01}, C_{12} \dots C_{n,n+1}$)不隨頻率變化之近似值。

2.1.2 模擬比較

本章節的帶通濾波器預定的規格是設計出中心頻在 2.4 GHz 且 -3 dB 頻寬約為 100 MHz，階數選用 $N=2$ ，所以經由理論算出的元件值帶入理想元件值後進行模擬的結果圖以及電路圖如下所示，

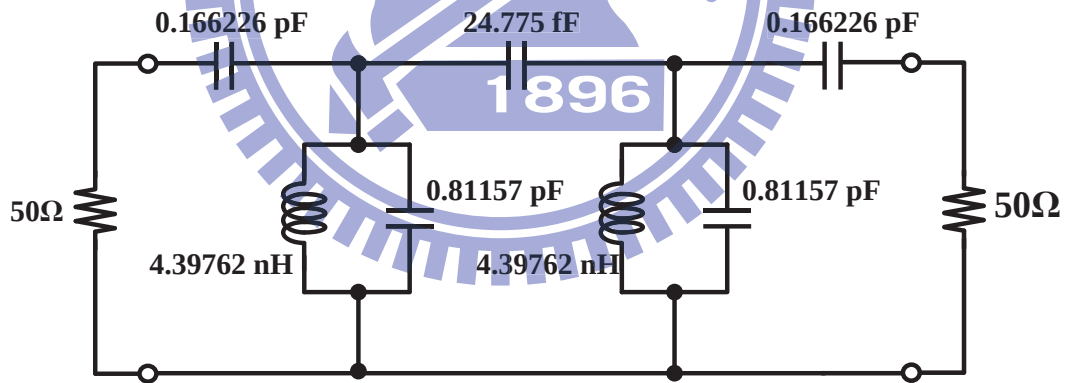


圖 2.5、中心頻 2.4 GHz 的帶通濾波器。

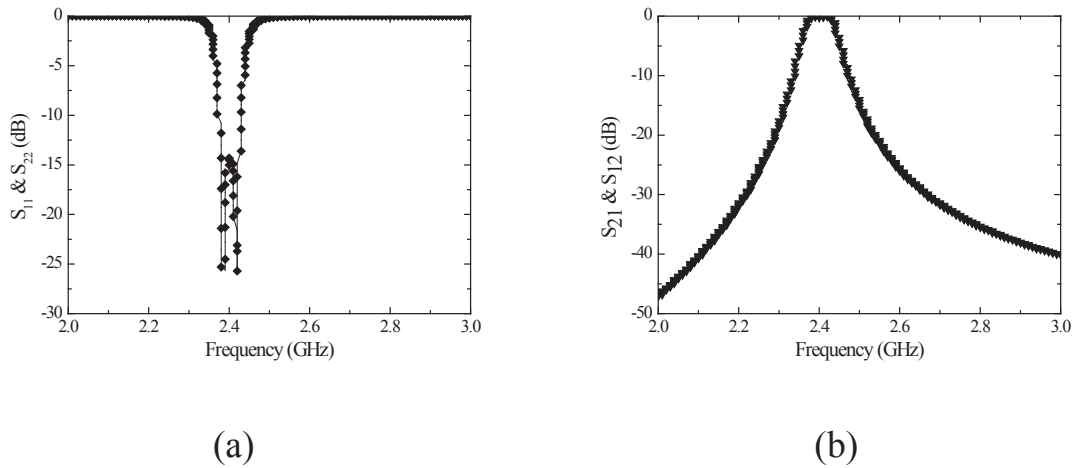


圖 2.6、使用理想元件值模擬(a)反射損耗及(b)植入損耗。

電感和電容若換成 TSMC CMOS 0.18- μm 的模型後，會發現濾波器的植入損耗(insertion loss)增大，即其 Q 值下降，而模擬結果如下圖所示，

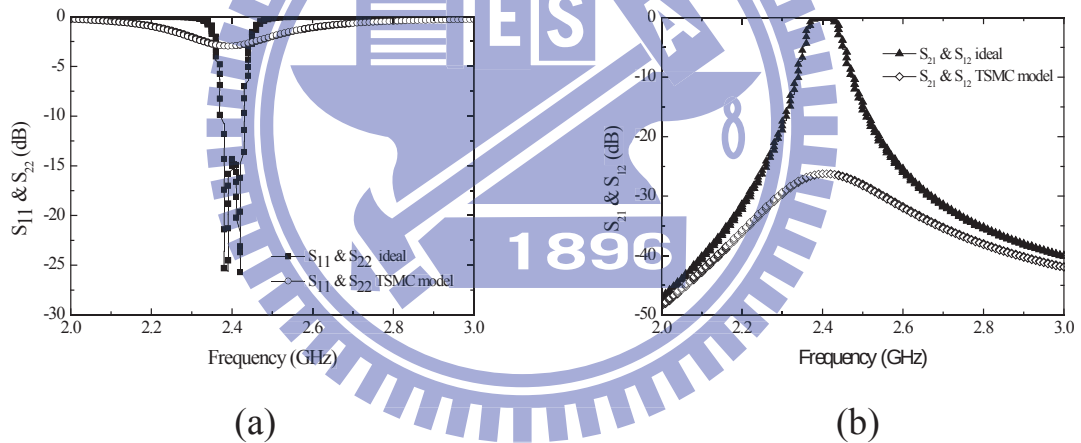


圖 2.7、使用 CMOS 0.18- μm 模型模擬(a)反射損耗及(b)植入損耗。

濾波器 Q 值差的主要係因 CMOS 製程擁有較低的金屬導電率，此外矽基板易漏電流進而使得 on-chip 電感無法呈現較佳的 Q 值。本章節選用 (metal6、w=15 μm 、nr=4、rad=61.5 μm) 模擬，其結果如下所示，

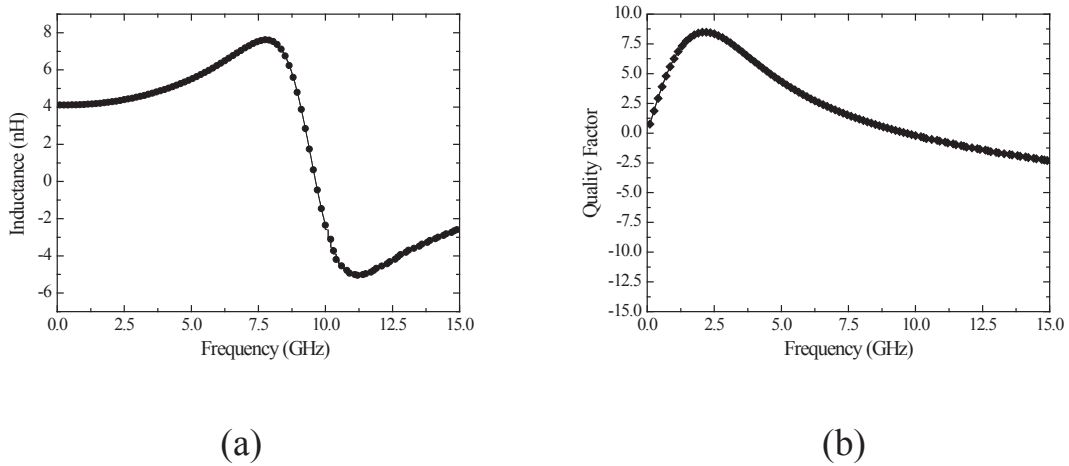


圖 2.8、on chip 電感模擬(a)電感值及(b)Q 值。

由於換成 CMOS 0.18- μm 的模型後，濾波器的植入損耗極差，從圖 2.8 的模擬結果可觀察，大約在 2.5 GHz 時電感 Q 值可達 8 左右，但卻不能滿足濾波器的設計要求，所以必須增強 Q 值來達到更佳的頻率響應。改善電感 Q 值的方法有許多種，傳統主動濾波器設計以使用主動電感為主流，乃因為擁有很寬的可調範圍[5][6]。但主動電感的缺點在於線性度太差及雜訊指數太差，本論文提出了另一方式如交錯耦合電晶體來提升被動電感的 Q 值，經由交錯耦合主動元件所產生的負電阻來將被動電感作補償，進而達到更好的頻率響應。在下一小節將會說明如何使用交錯耦合主動元件對電感 Q 值提升和分析交錯耦合主動元件對濾波器電路所造成的影響，如線性度、通帶失真現象及雜訊指數。

2.2 設計考量

2.2.1 使用交錯耦合電晶體改善 on chip 電感 Q 值

圖 2.9 為交錯式耦合電晶體示意圖，所謂交錯式耦合電晶體是使用兩個 NMOS 電晶體將其閘極和汲極相接，如圖 2.9(a)所示。本論文為了增加其動態範圍(dynamic range)而加入了源極退化電阻(R)，如圖 2.9(b)所示。而交錯耦合電晶體的負電阻可經由圖 2.9(a)和(2.17)式到(2.20)式簡單推得，

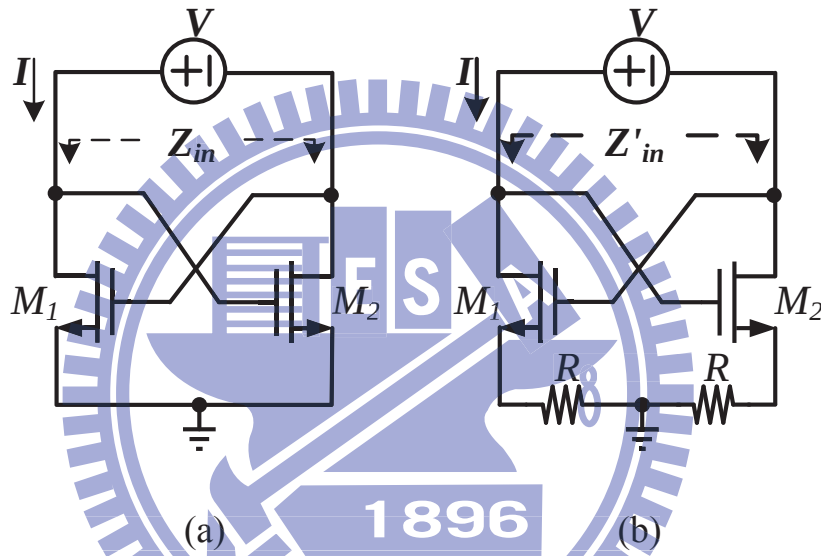


圖 2.9、(a)交錯耦合對及(b)使用源極退化的交錯耦合對。

$$-V_{gs1} + V_{gs2} = V \quad (2.17)$$

$$-\frac{I}{g_{m1}} + \frac{-I}{g_{m2}} = V \quad (2.18)$$

$$g_{m1} = g_{m2} = g_m \quad (2.19)$$

$$Z_{in} = -\frac{2}{g_m} \quad (2.20)$$

由(2.20)式可知道該架構可產生負電阻 $-2/g_m$ 來提高 on chip 電感 Q 值。

若在交錯耦合對的源極有加退化電阻時，等效的負電阻如下式所示，

$$Z'_{in} = -2 / \left(\frac{g_m}{1 + g_m R} \right) \quad (2.21)$$

從上式可以知道當使用更大的退化電阻 R 來增加線性度時，負電阻值會變大，其等效的負電導值會變小，將會造成濾波器植入損耗過大，必須經由更大的驅動電流使負電導更大來補償濾波器的植入損耗。

2.2.2 交錯耦合對的線性度比較

根據[7]可以得知，若要使交錯耦合對的輸入電壓範圍維持線性轉導，即常數負電阻，則要達到符合下列幾項因素，首先是交錯耦合對的兩顆轉導電晶體必須維持在飽合區，即 $V_{GD1,2} \leq V_T$ 。第二因素要使用電流源來驅動交錯耦合轉導電晶體的線性輸入電壓範圍，由圖 2.10 可以知道，對於沒有退化電阻的交錯耦合對可得到，

$$V_{IN-LIN-MAX} < \sqrt{\frac{I_{BIAS}}{K}} \quad (2.22)$$

而含有退化電阻的交錯耦合對可得到，

$$V_{IN-LIN-MAX} < \sqrt{\frac{I_{BIAS}}{K}} + I_{BIAS} R_{eq} \quad (2.23)$$

$V_{IN-LIN-MAX}$ 為最大的線性輸入電壓範圍， I_{BIAS} 為交錯耦合對的偏壓電流，

$K = mC_{OX} \frac{W}{2L}$ ，以及 R_{eq} 為等效的退化電阻。從(2.20)式、(2.22)式和(2.23)

式中可以得知，當減少 I_{BIAS} 的時候，會增加負電阻和減少線性輸入電壓的範圍。

假設交錯耦合對由理想電流源 I_{BIAS} 來驅動，其 V_{GD} 將永遠為零，即電晶體操

作在飽合區，所以電晶體源極電壓將維持在 $V_{DD} - V_{th}$ 。當使用一個 NMOS 電晶體作為電流源時，其必須工作在飽合區，所以若退化電阻 R 越大時，將造成 NMOS 電晶體的汲極電壓下降，使得 NMOS 操作在線性區。而在 W/L 的選取上，基本上為小尺寸 ($W=4\text{ }\mu\text{m}$, $n_r=8$, $L=0.18\text{ }\mu\text{m}$)。

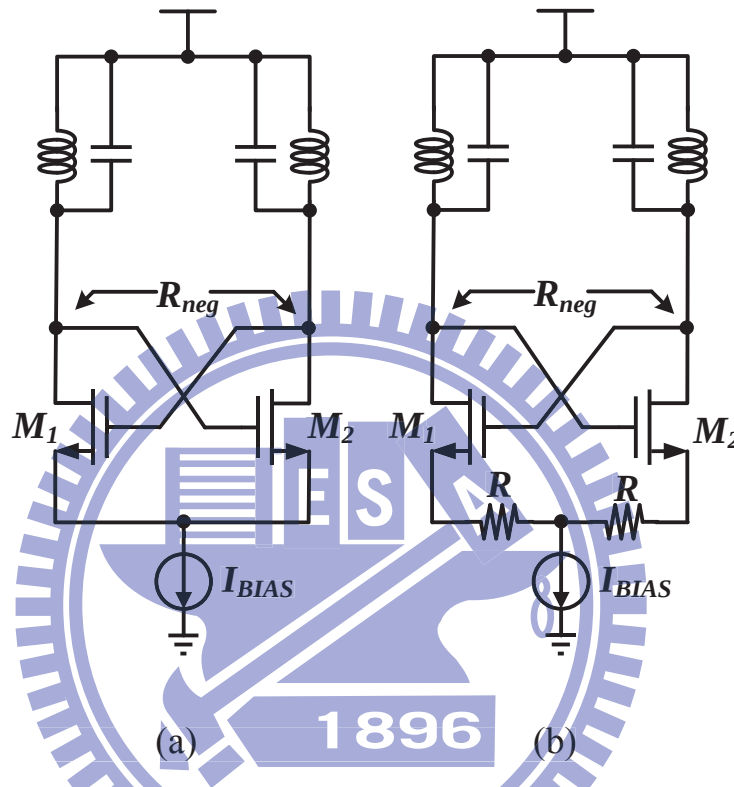


圖 2.10、(a)理想交錯耦合電晶體(b)使用退化電阻的交錯耦合電晶體。

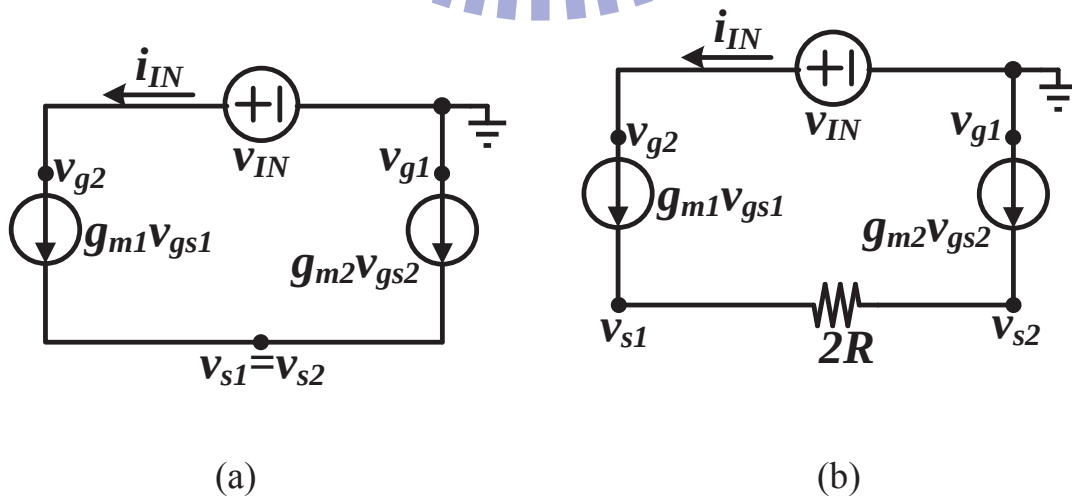


圖 2.11、(a)小訊號模型(b)使用退化電阻的小訊號模型。

從小訊號的操作點來看，線性輸入電壓的近似式如下，

$$v_{IN-LIN-MAX} = I_{BIAS} R_{neg} \quad (2.24)$$

其中 R_{neg} 為小訊號的等效負電阻。

經由模擬，交錯耦合對的線性度改善特性可由圖 2.12 看出來，其中差動輸入電壓是指電晶體 M_1 和 M_2 的汲極端，轉導電流則是流過 M_1 和 M_2 的汲極電流，而退化電阻 $R=210\ \Omega$ 。

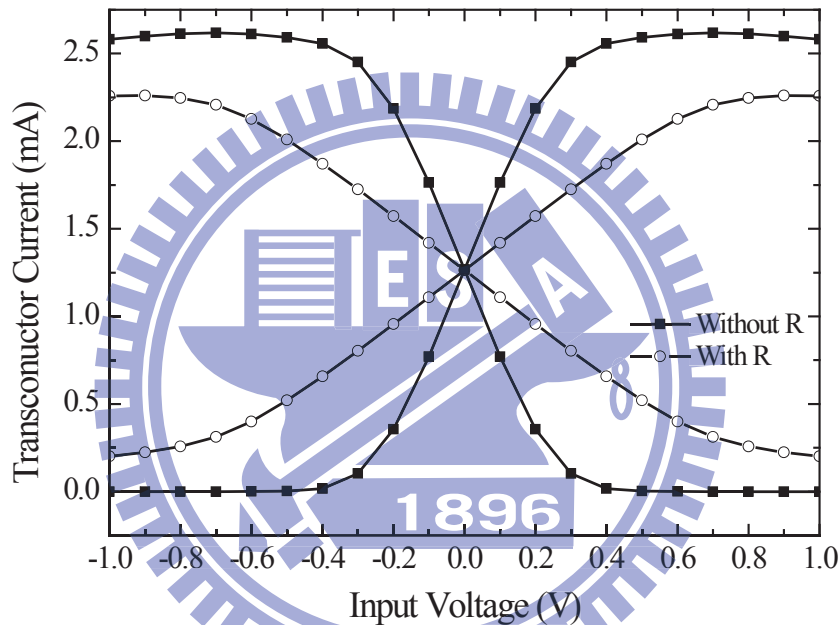


圖 2.12、轉導電流對輸入電壓模擬結果。

2.2.3 負電阻的可調範圍

由於集膚效應(skin effect)、鄰近效應(proximity effect)和基板損耗(substrate loss)，積體化電感的損耗會隨頻率增加而增加。對於電感損耗的補償，其所需要的等效並聯負電阻會隨頻率增加而減少。使用 TSMC CMOS 0.18- μm 的電晶體($W=4\ \mu\text{m}$ ， $L=0.18\ \mu\text{m}$ ， $nr=8$ ， $I_{BIAS}=2.53\ \text{mA}$)模型模擬交錯耦合對的負電阻，如圖 2.13 所示，

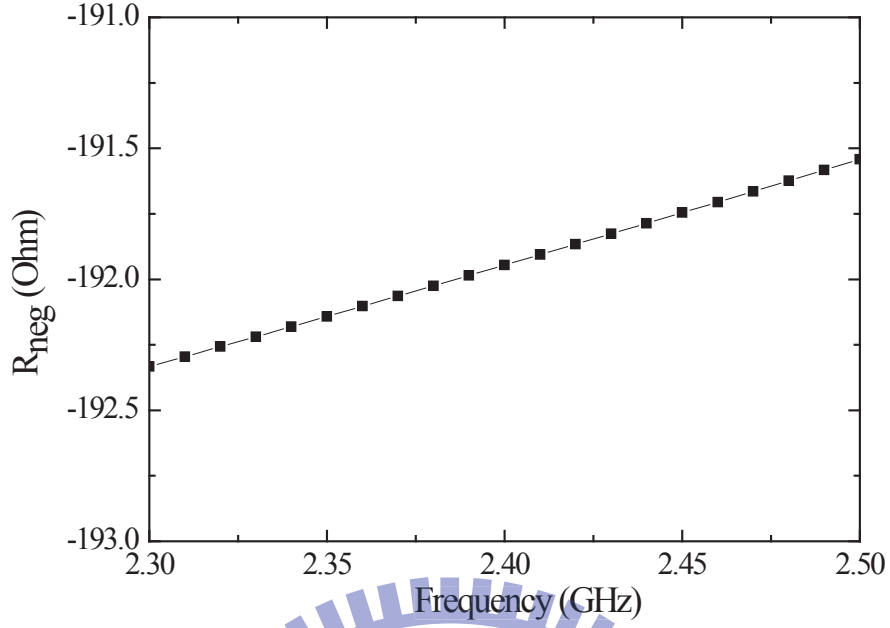


圖 2.13、交錯耦合負電阻與頻率模擬結果。

從圖 2.14 可以知道電阻串聯的電感型式轉換成並聯型式的電阻轉換式如下所示，

$$R_p = R_s(Q^2 + 1) \cong \frac{\omega^2 L_s^2}{R_s} \quad (2.25)$$

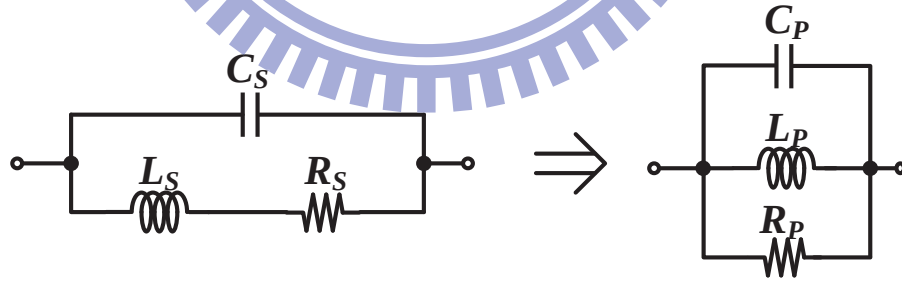


圖 2.14、串聯轉換並聯的等效電路。

由(2.25)式可以看出並聯電阻 R_p 與頻率平方成正比，若要消除電感的損耗，則和 R_p 並聯的負電阻必需要和 R_p 有相同的頻率相依性，當負電阻和 R_p 的頻率相依性不一致時，會有如圖 2.15 的通帶失真現象[8]。

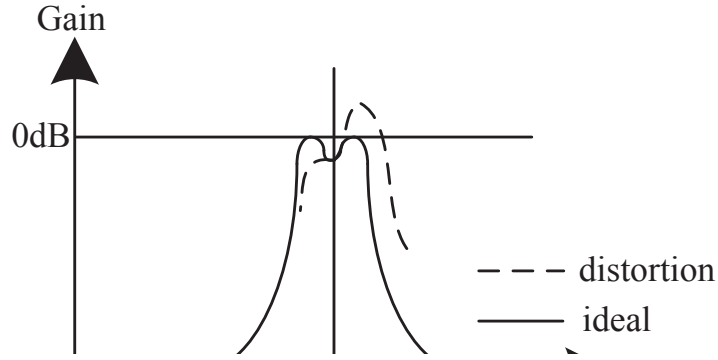


圖 2.15、通帶失真的濾波器與理想原型濾波器。

2.2.4 交錯耦合對的雜訊特性比較

根據文獻[7]，若一個負載阻抗 Z_L 連接到交錯耦合對的汲極端，則輸出雜訊電壓會由轉導電晶體的熱雜訊電流、衰減電阻的熱雜訊電流以及電流源的雜訊所貢獻。為了簡化分析，假設電流源為理想電流源，從雜訊分析可以知道，轉導電晶體的熱雜訊電流會直接貢獻到輸出雜訊電壓，如圖 2.16 所示，

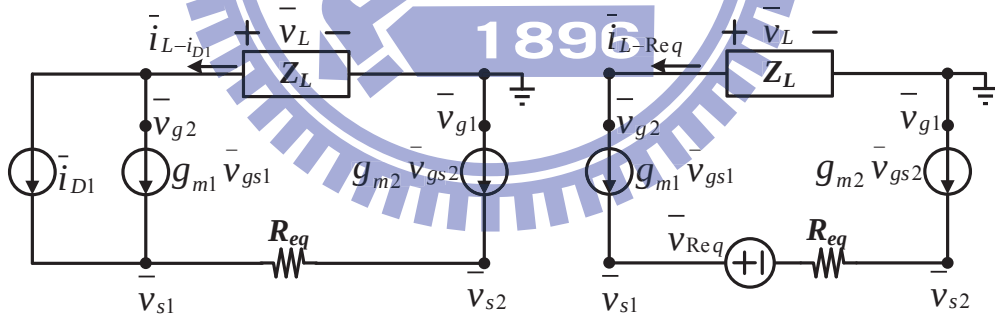


圖 2.16、小訊號雜訊模型。

$$\frac{\overline{v_{L-M1,2}^2}}{\Delta f} = 2 \frac{\overline{i_{D1,2}^2}}{\Delta f} \left(\frac{Z_L}{g_{m1,2}} \right)^2 \left(\frac{1}{Z_L + R_{neg}} \right)^2 \quad (2.26)$$

$$\frac{\overline{i_{D1,2}^2}}{\Delta f} = 4kT\gamma g_{m1,2} \quad (2.27)$$

其中 $\frac{\overline{V_{L-M1,2}}^{-2}}{\Delta f}$ 為電晶體 M_1 和 M_2 的熱雜訊對輸出雜訊電壓的貢獻， $\frac{\overline{i_{D1,2}}^{-2}}{\Delta f}$ 為電晶體 M_1 和 M_2 的熱雜訊電流， R_{neg} 為從電晶體 M_1 和 M_2 的汲極端看入的負電阻， k 為波茲曼常數， T 為凱式溫度， γ 為 $\frac{2}{3}$ 。

若交錯耦合對有使用源極退化電阻，那麼等效的源極退化電阻貢獻到全部的輸出雜訊電壓為，

$$\frac{\overline{V_{L-M1,2}}^{-2}}{\Delta f} = 4kTR_{eq} \left(\frac{Z_L}{Z_L + R_{neg}} \right)^2 \quad (2.28)$$

其中 R_{neg} 為從電晶體 M_1 和 M_2 的汲極端看入的等效負電阻， R_{eq} 為等效的源極退化電阻。

電流源貢獻到交錯耦合對的雜訊，與電流源和交錯耦合對的連接方式有關，若其連接方式如圖 2.10(b)，即單一個偏壓電流源連接在退化電阻的中間或者是沒有使用退化電阻，且使用對稱的交錯耦合對，那麼理想上電流源並不會貢獻雜訊到差動負載。在下一章節的前兩個實作電路將會在濾波器的前一級加上低雜訊放大器，其目的是用來抑制濾波器的所產生的雜訊。



第三章

2.4/60 GHz 雙模態雙降頻 接收機

近年來無線通訊蓬勃發展，高整合性的多模態接收機也逐漸發展開來，多模態接收機為近年來研究發展主軸之一。此外，各國開始開放 60 GHz 附近頻帶為免執照頻帶，因此毫米波高速傳輸電路成為近年來相當熱門的研究主題。本章節將使用新式的接收機架構來實現頻段差距甚遠之 2.4 GHz 及 60 GHz 雙模態雙降頻接收機，此雙模態雙降頻接收機頻段相差甚遠不易於前端電路之整合，因此本章節將整合其降頻後的低頻電路，由於低頻電路已被整合於同一區塊，所以 IF 輸出無法使用傳統的 IF 濾波器作選頻，而本章節提出了新的構想，將使用比例頻寬(fractional bandwidth)極小的主動濾波器於前端來作 IF 輸出選頻，經由此高度整合，本章節所提出之接收機未來將可應用於毫米波高速影像傳輸及無線網路通訊傳輸。

本章節所提出新式射頻收發機技術藉以整合微波及毫米波兩頻帶之應用，而其特色提出可分為兩大特點。首先，提出創新的架構將整合主動式帶通濾波器於射頻接收機之中，主動式帶通濾波器擁有頻寬窄及植入損耗低之特點，而可應用於多模態接收機選頻之關鍵零組件，傳統多模態接收機是以選輸入 RF 頻段為設計考量而本章節所提之架構則以選輸出 IF 頻段，藉由此濾波器之設計，其電路可截取出各個模態所對應的 IF 頻帶，且在基頻電路上則可有效整合。另一方面，60 GHz 降頻器的第一級被動混頻器使用新式的微波耦合線及平衡-不平衡轉接器並結合下一級的主動混頻器來實現擁有正交訊號輸出之降頻器。

3.1 系統架構選擇

一般常見的接收機架構包含：超外差接收機(super-heterodyne receiver)、直接降頻接收機(direct-conversion receiver)以及低中頻接收機(low-IF receiver)，如圖 3.1 到圖 3.3 所示。第一級使用帶通濾波器或是低雜訊放大器則各有其優缺點，若第一級是帶通濾波器，則接收機會有較好的干擾抑制，但由於濾波器植入損耗的關係，所以整體雜訊指數會較高點；然而若第一級使用低雜訊放大器時，則接收機會有較好的雜訊指數，但對於干擾的抑制會較差點。由於雜訊指數主要是由第一級決定，所以通常其前面的通帶選擇濾波器是外接式的濾波器。

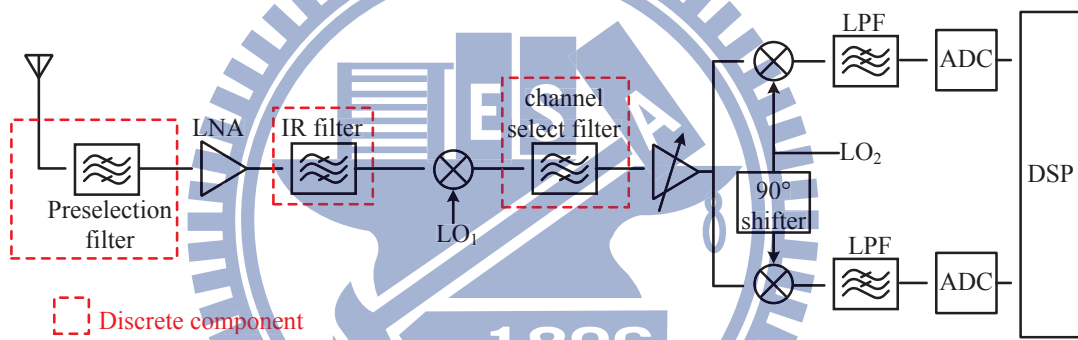


圖 3.1、一般超外差接收機架構圖。

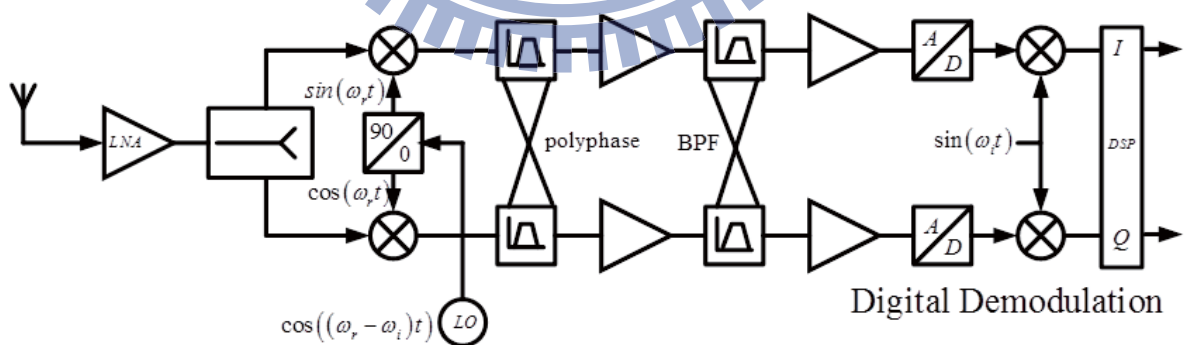


圖 3.2、一般低中頻接收機架構。

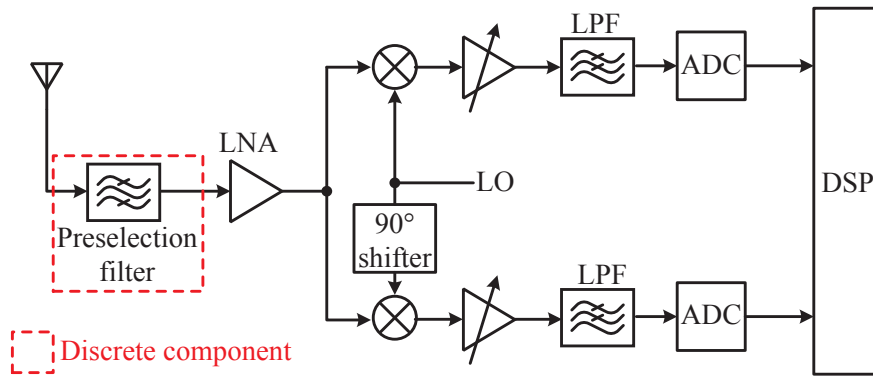


圖 3.3、一般直接降頻接收機。

超外差接收機的優點有較好的靈敏度、動態範圍和頻率選擇性，而其缺點為元件數量較多且鏡像訊號問題嚴重，所以需要較昂貴的晶片外(off-chip)高品質因素表面聲波(SAW)濾波器，因而在整合上較困難而不易達到高度積體化。

為了解決鏡像訊號問題，但又希望系統可以整合在同一個晶片上，則可以使用哈特利(Hartley)鏡像消除架構、威福(Weaver)鏡像消除架構，如圖 3.4 所示，或者是直接降頻架構。其中哈特利為低中頻(low-IF)架構，威福為低中頻和雙降頻(dual-conversion)架構，而直接降頻為零中頻(zero-IF)架構。在威福的架構中，由於是雙降頻架構，所以會有第二鏡像的問題，而且還要多一級降頻器，其功率消耗基本上會比哈特利與直接降頻高一些。此外，我們可以從頻譜圖來分析鏡像消除的原理[1]，在忽略負頻率之下，如圖 3.5 所示，(a)進入降頻器前需要訊號和鏡像訊號(b)經過第一次降頻(c)經過第二次直接降頻。從頻譜圖我們可以看出第一鏡像頻率經過兩次降頻後可以被低通濾波器濾除或是經由第一級複數混頻器來抑制，而由於第二次降頻為直接降頻，所以不會有第二鏡像的問題。在實際的考量下，大部分的接收機需要有整體鏡像抑制約為 55~70 dB 左右；若第一級使用帶通濾波器或是低雜訊放大器後級使用鏡像抑制濾波器，其大約可以有 30~40 dB 的鏡像訊號抑制；而哈特利接收機架構可以提供額外約 25~30 dB 的鏡像

抑制。在真正的應用上，由於 I 和 Q 路徑的不匹配(如：I 和 Q 的混頻器不匹配或是 LO 端的振幅大小以及相位上的不匹配)，會使實際的鏡像抑制受限到只剩約 25~30 dB 左右。

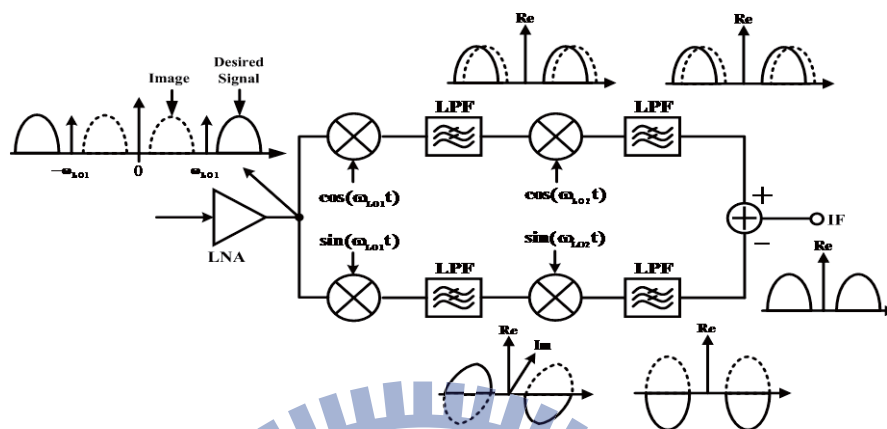


圖 3.4、威福鏡像消除架構[1]。

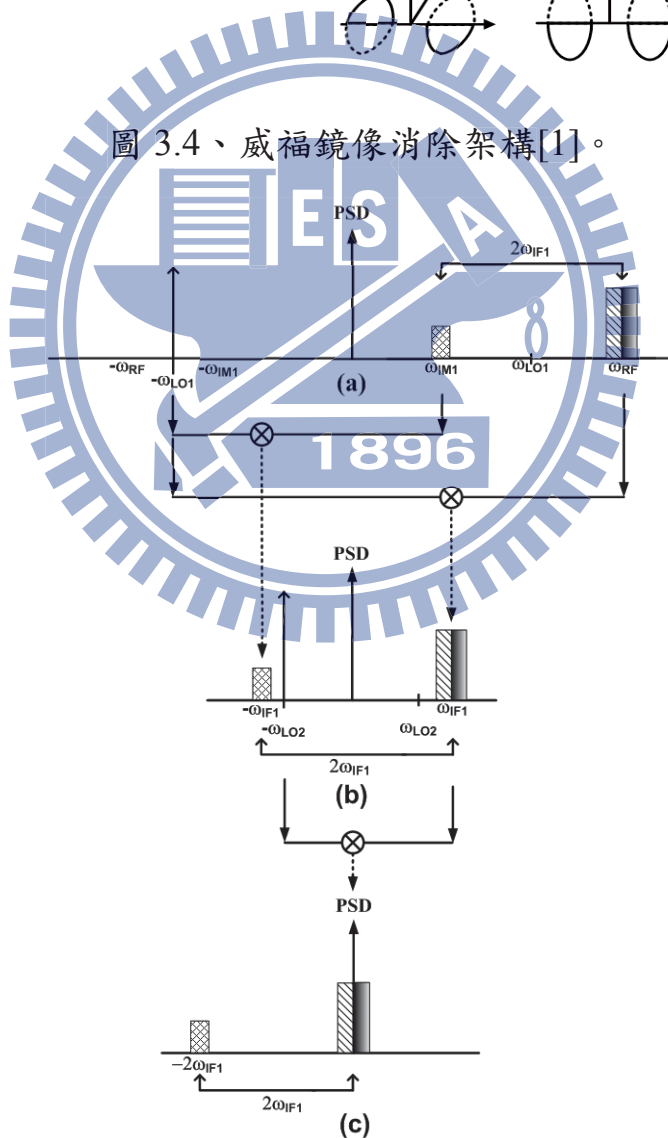


圖 3.5、鏡像消除降頻器頻譜分析圖。

直接降頻接收機是直接轉換 RF 訊號到基頻訊號，所以稱其為零中頻。對於頻率和相位調變訊號，降頻器必須提供正交輸出來避免資料的損失。直接降頻的優點有 1.較少的硬體 2.沒有鏡像問題，所以不需要鏡像抑制濾波器 3.因為基頻訊號頻率很低，只需使用低通濾波器來選擇頻道，所以具有高度整合性。缺點方面則是有 1.本地訊號洩漏(LO leakage) 2.直流準位偏移(DC offset) 3.閃爍雜訊(flicker noise) 4.正交訊號不匹配(I/Q mismatch) 5.二階非線性失真(Second order distortion)。

由於寄生電容與基板的耦合，會造成降頻器的 LO 端和 LNA 的 RF 輸入端有不完美的隔絕，所以 LO 訊號將會饋入到降頻器與 LNA 的輸入端。基於上述的原因，此洩漏的 LO 訊號會與原本的 LO 訊號混頻，即稱為自我混頻(self-mixing)，如圖 3.6 所示，這將在混頻器的輸出造成直流準位偏移，最後會使下一級(ADC)飽和。直流準位偏移由於不同的來源，其值可以大到約 10mV；然而我們所想要的訊號卻非常小，例如約 0.5mV，此外 IF 放大器必須提供足夠高的增益使 ADC 能夠解析我們所要的訊號(例如約 500mV)，若增益有 1000，那麼直流準位偏移將會使 ADC 飽和。此外，LO 訊號也會洩漏到天線而輻射到空氣中，然後經由周圍反射而到達降頻器的 RF 端，如圖 3.7 所示，若 LNA 的反向隔離好，則可以避免此影響。

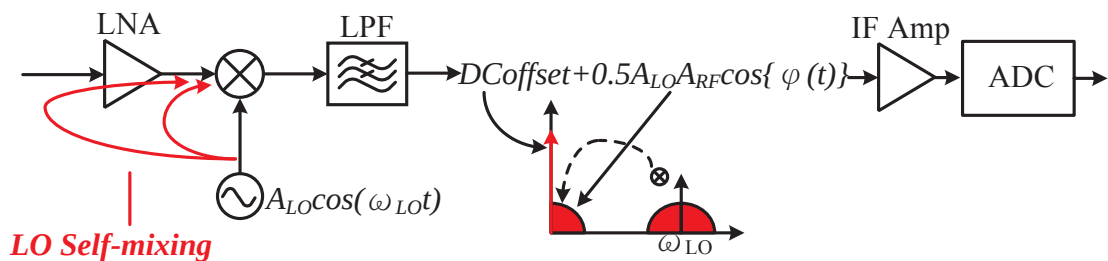


圖 3.6、LO 洩漏造成直流準位偏移示意圖。

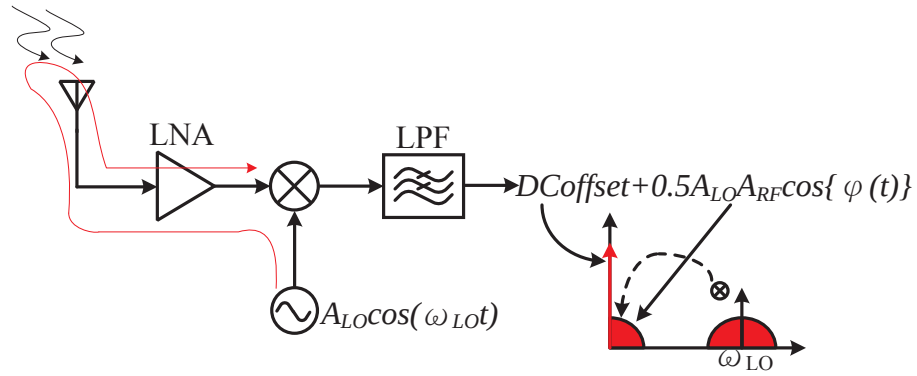


圖 3.7、反射訊號造成直流準位偏移示意圖。

造成直流準位偏移的原因除了 LO 訊號洩漏之外還有其他原因，

1. 強干擾源造成直流準位偏移，一個強干擾源可以經由 RF 端洩漏到 LO 端而造成自我混頻，如圖 3.8 所示。

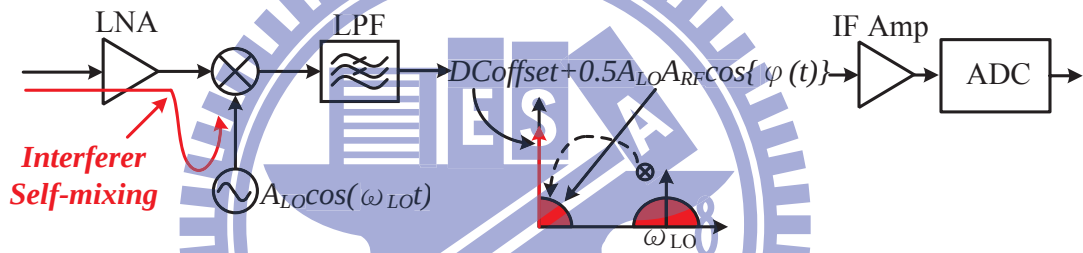


圖 3.8、強干擾源造成直流準位偏移示意圖。

2. 非 50% 的 LO 工作週期(duty cycle) 造成直流準位偏移，若 LO 的工作週期並非為 50%，那麼降頻器的輸出將會有直流準位偏移的問題，如圖 3.9 所示。

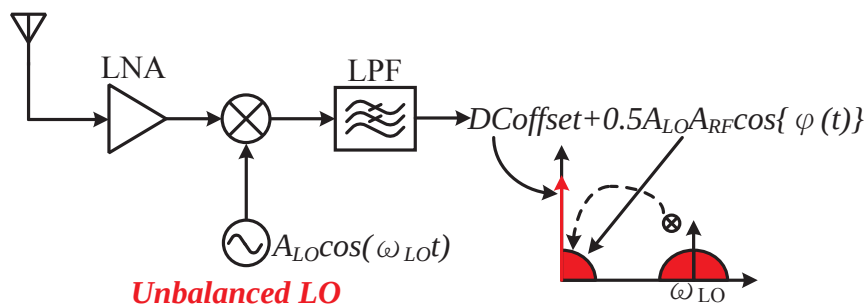


圖 3.9、非平衡 LO 造成直流準位偏移示意圖。

3. 二階非線性失真造成直流準位偏移，若有 2 個頻率很接近的強干擾源從天線接收，經過 LNA 後會在其輸出產生二階非線性失真，由於降頻器會有

一定量的直接饋入，所以差頻訊號將會在降頻器的輸出對我們所想要的訊號造成干擾，如圖 3.10 所示。使用差動電路可以減少二階非線性失真的影響。

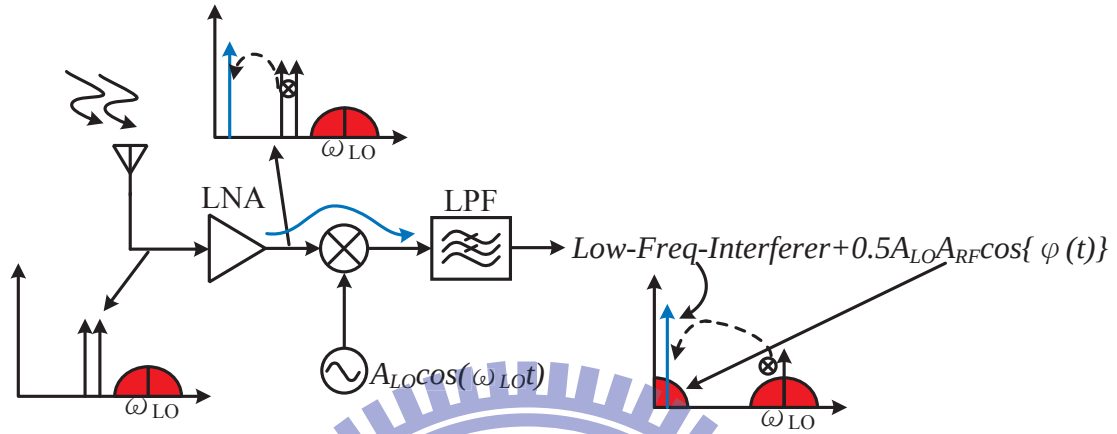


圖 3.10、二階非線性失真造成直流準位偏移示意圖。

本章所使用的系統架構如圖 3.11 所示，其頻譜示意圖如圖 3.12 所示，此架構將植入主動濾波器進而整合微波、毫米波頻段。以傳統多模態接收機而言，由於頻段接近，低雜訊放大器等前端主動元件可整合於同一區塊，因此主動式濾波器常被用來做輸入 RF 訊號選頻，而本章節的架構提出另一種新的系統架構構想，由於 60 GHz 及 2.4 GHz 相距甚遠，目前無相關文獻研究將其整合，此兩頻段不易整合的原因為前端元件頻率相距甚遠，因此本章節提出另一種思維將後端低頻電路做整合，而後端低頻電路整合後就不是由輸出 IF 濾波器來選取相對應之 IF 頻寬，植入主動濾波器的目的則改變為選擇 IF(中頻)訊號。

為了實現本章節所提出之系統架構，本章節所提出各個電路架構皆有其所需之設計機制來實現此系統，其中包含毫米波映像帶消除混頻器、主動式帶通濾波器、可切換式混頻器。從圖 3.11 可以看出來模態為 2.4 GHz 時的電路架構為直接降頻接收機的架構，目的是希望能實現 RF 頻率的頻寬約為 40 MHz(即 IF 頻寬約為 20 MHz)並將帶通濾波器的中心頻率設計成可

調式，其目的是為了可以用來選擇通道，即可應用於 IEEE 802.11n 的無線本地區域網路(WLAN)，其 40 MHz 的通道頻寬為原本 IEEE 802.11b/g 的兩倍，即傳輸效率直接升成兩倍以上。而在模態為 60 GHz 時的電路架構為威福雙降頻器的架構，採用了單正交雙降頻器(Single Quadrature Dual Down-Converter)的架構，第一次降頻到中頻(IF1)為 2.4 GHz 而第二次降頻為直接降頻，其目的是希望能實現 IF 頻寬約為 1 GHz 並在未來可以應用於毫米波高速影像傳輸。

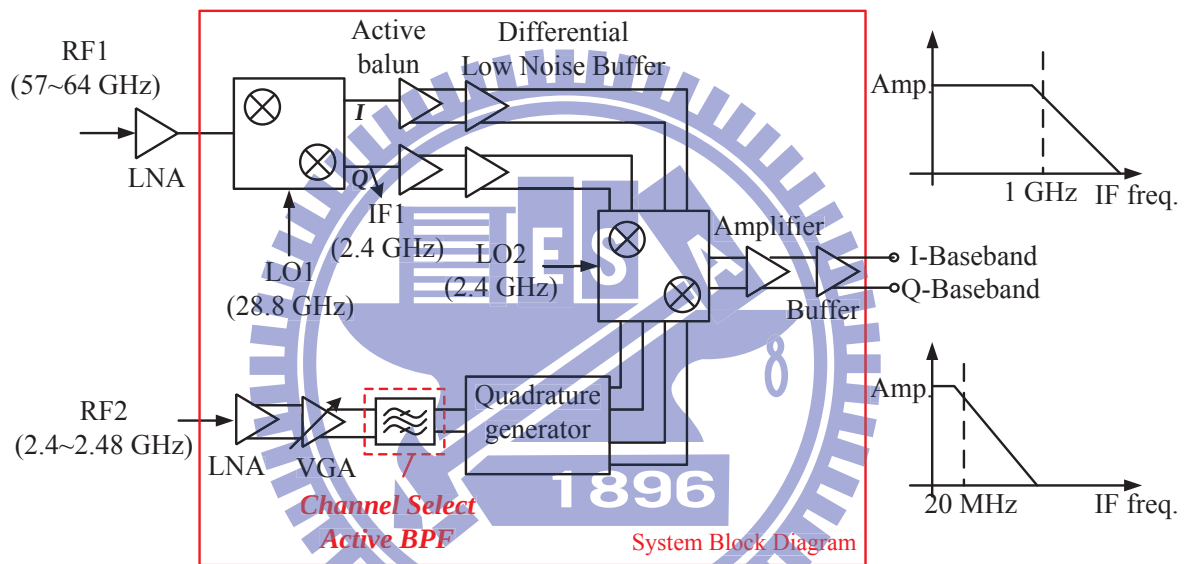


圖 3.11、系統架構圖。

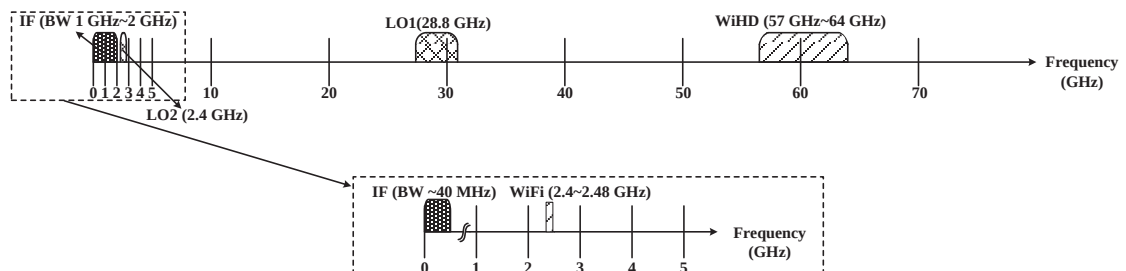


圖 3.12、頻譜示意圖。

3.2 電路設計考量

3.2.1 窄頻帶通濾波器

本章的帶通濾波器希望設計出中心頻在 2.4 GHz 且其-3 dB 頻寬為 40 MHz，由於此規格的比例頻寬(fractional bandwidth)非常小，所以使用一階的濾波器來實現，如圖 3.13 所示。濾波器的頻率響應函數為最平坦響應[2](Maximally flat response)，其又稱巴特沃茲(Butterworth)響應，其能夠最大化濾波器的通帶平坦度，且響應非常平坦，然後慢慢衰減至截止頻率點為-3dB，最後以-20NdB/decade 的衰減率衰減，其中 N 為濾波器的階數。巴特沃茲濾波器特別適用於低頻應用，其對於維護增益的平坦性來說非常重要。

在圖 2.1 中，最平坦響應一般的元件值設計公式[4][5]如下所示，

$$r = 1 \text{ for all } n \quad (3.1)$$

$$g_k = 2 \sin\left[\frac{(2k-1)\pi}{2n}\right], k = 1, 2, \dots, n \quad (3.2)$$

(3.2)式中的 g_k 為圖 2.1 中第 k 個正規化的元件值。

$$A = 10 \log(1 + \omega^{2n}) \text{ dB} \quad (3.3)$$

(3.3)式為正規化後的頻率大於截止頻率的衰減量公式。

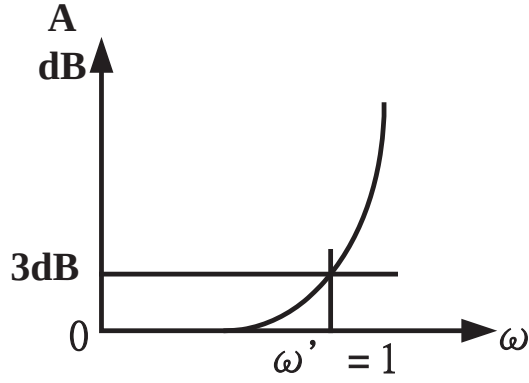


圖 3.13、最平坦響應原型濾波器對正規化頻率的衰減響應[2]。

從低通原型濾波器轉換成帶通濾波器的原理已經在第二章說明過，圖 3.14 上的各個元件值公式由[6]得到的近似值如下所示，

$$C'_r = \frac{1}{\omega_o^2 L} \quad (3.4)$$

(3.4)式中 ω_o 為帶通濾波器的中心頻率， L 為圖 3.14 中相對應的元件值。

$$C_{01} = C_{12} \approx \sqrt{\frac{C'_r}{2\omega_o Q_l R_{so}}} \quad (3.5)$$

(3.5)式中 ω_o 為帶通濾波器的中心頻率， $Q_l = \frac{\omega_o}{\omega_2 - \omega_1}$ ， R_{so} 為 50Ω 特徵

阻抗。

$$C_r = C'_r - 2C_{01} \quad (3.6)$$

(3.6)式中 C_r 為圖 3.14 中相對應的元件值。

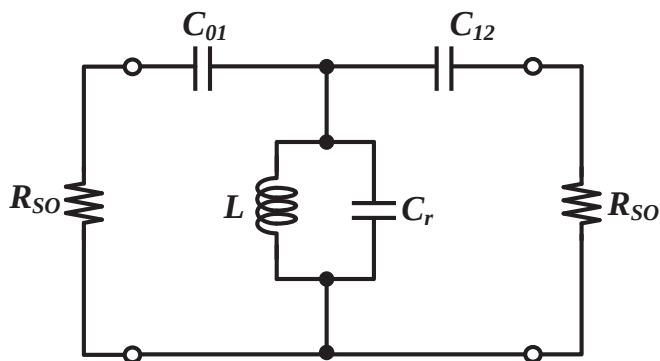


圖 3.14、一階電容耦合帶通濾波器[6]。

經由理論算出的元件值帶入理想元件值後進行模擬的結果圖與電路圖如下所示，

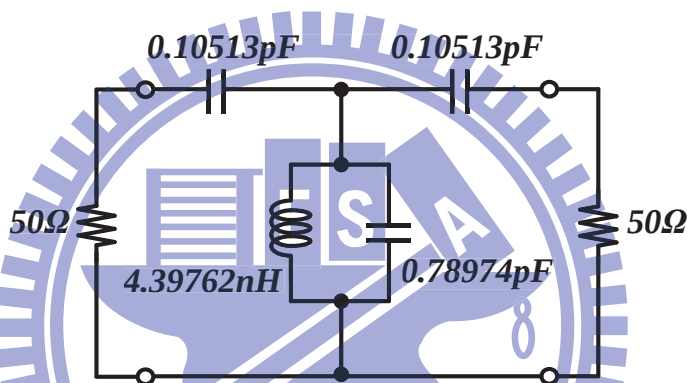


圖 3.15、中心頻 2.4 GHz 的窄頻帶通濾波器。

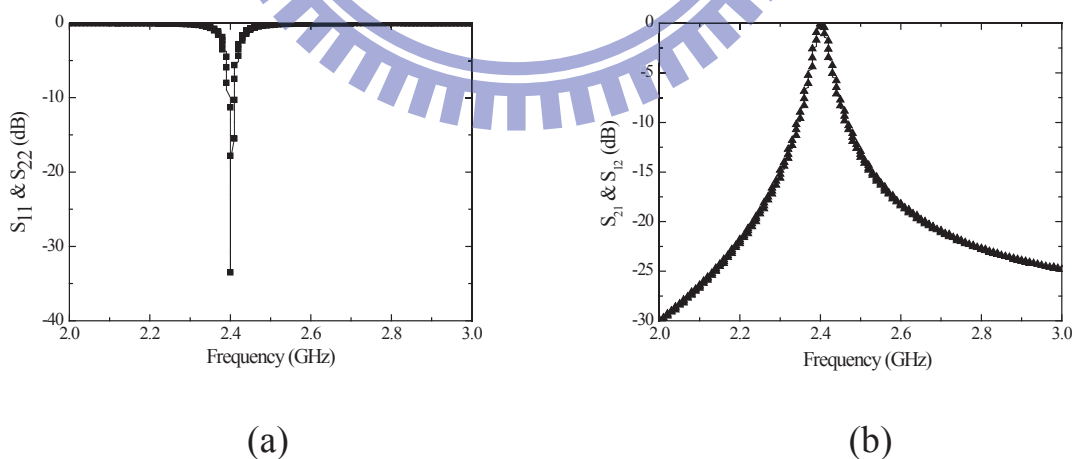


圖 3.16、使用理想元件值模擬(a)反射損耗及(b)插入損耗。

換成 TSMC CMOS 0.18- μm 的模型後所造成的影響，以及 Q 增強的方法和改善其特性的方式皆已經在第二章討論過。使用一階帶通濾波器的優

點為面積較小，但由於還是採用高通的架構，所以在高頻的抑制較低頻略差。

模擬一階帶通濾波器中心頻率設計為 2.4 GHz 且頻寬固定為 40 MHz 之下，其使用的退化電阻值與濾波器線性度的關係，如圖 3.17 所示。

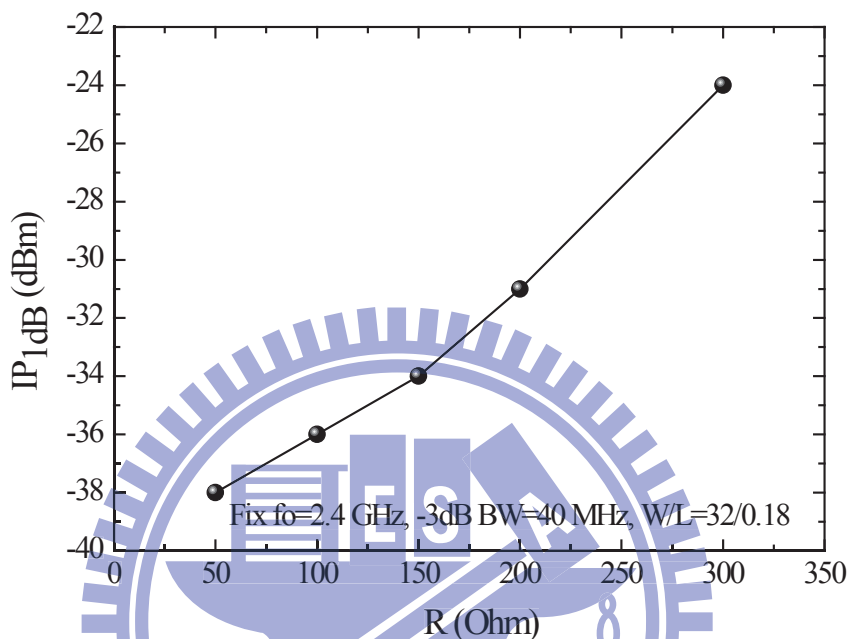


圖 3.17、退化電阻值與濾波器線性度之關係圖。

在交錯耦合對的 W/L 選取上，基本上為小尺寸($W=4\text{ }\mu\text{m}$, $n_r=8$, $L=0.18\text{ }\mu\text{m}$)，若太小則負電阻值變大，其等效的負電導值變小，將會造成濾波器的植入損耗過大；若尺寸太大時，則會使濾波器之線性度變差，如圖 3.18 所示。

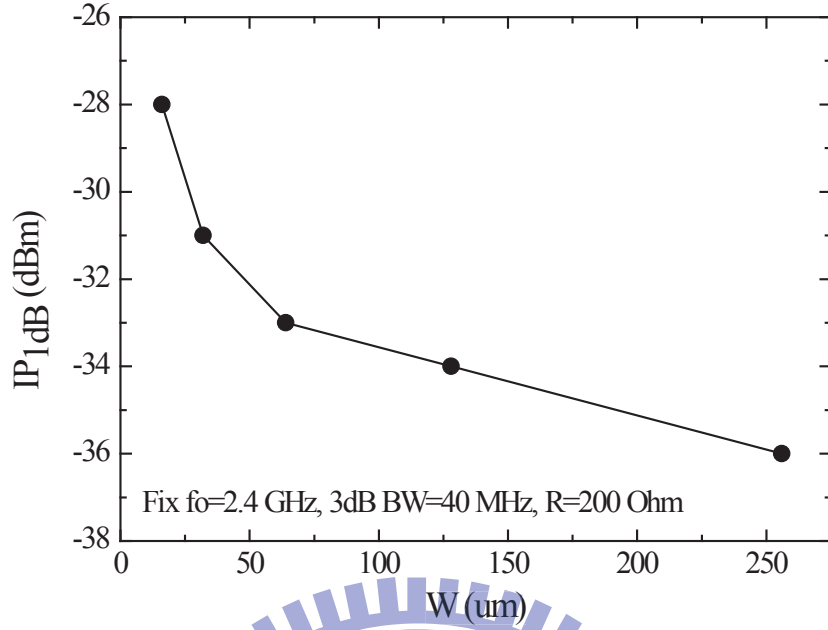


圖 3.18、電晶體尺寸與濾波器線性度之關係圖。

3.2.2 九十度相位移器

根據文獻[7]，九十度相位移器使用如圖 3.19 的 RLC 電路，其輸入與輸出的關係可以經由推導後得到下列公式，

$$RF_Q = RF_I \frac{Z_C}{Z_R + Z_L + Z_C} = RF_I \frac{j\omega C}{R + j\omega L + \frac{1}{j\omega C}} \quad (3.7)$$

$$= RF_I \frac{1}{(1 - \omega^2 LC) + j(\omega RC)} = RF_I \cdot K \cdot \exp(j\theta)$$

$$K = \frac{1}{\sqrt{(\omega^2 LC - 1)^2 + (\omega RC)^2}} \quad (3.8)$$

$$\theta = -\frac{\pi}{2} - \tan^{-1} \left(\frac{\omega^2 LC - 1}{\omega RC} \right) \quad (3.9)$$

其中 K 代表 RF_I 與 RF_Q 的大小比例， θ 為在 RF_Q 端的相位移量，從(3.8)式和(3.9)式可以知道當 $|Z_L| = |Z_C|$ 時， $\theta = -\frac{\pi}{2}$ ；當 $|Z_L| = |Z_C| = |Z_R|$ 時， $K=1$ 。

理想上，正交訊號可由滿足下式來產生，

$$\omega L = \frac{1}{\omega C} = R \Rightarrow \omega = \frac{1}{\sqrt{LC}}, R = \sqrt{\frac{L}{C}} \quad (3.10)$$

因為阻抗 Z_L 和 Z_C 會隨著頻率變化，所以需要使用可變電容在不同頻率時調整出九十度相位差。可變電容可以補償電感在不同頻率時阻抗的變化。在圖 3.20 之中， M_1 和 M_2 是用來隔絕負載效應，其能避免前級訊號的衰減。

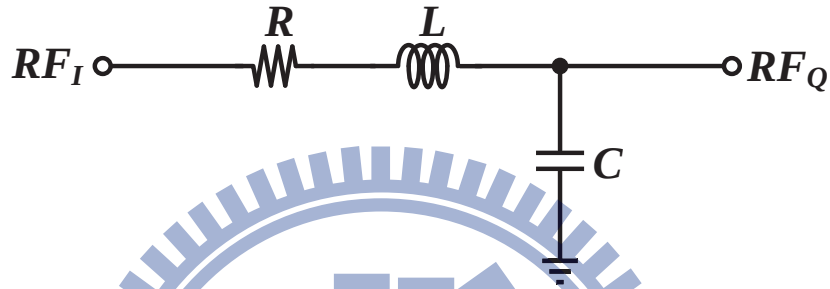


圖 3.19、RLC 相位移器。

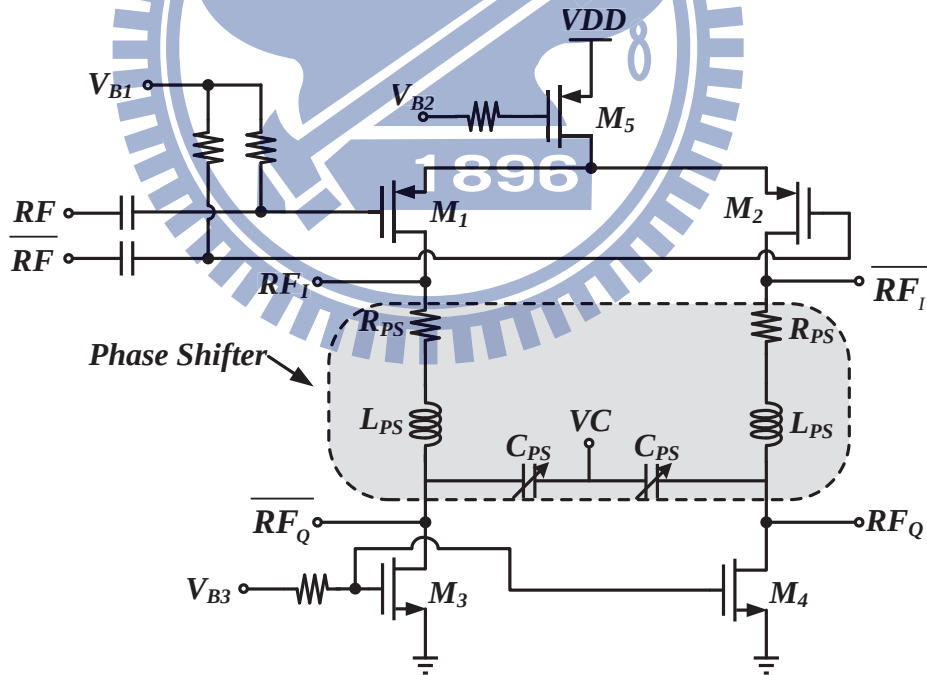


圖 3.20、九十度相位移器。

3.2.3 疊接式低雜訊放大器

根據文獻[8][9]，首先低功率可以由低電流操作來達到，其可以將電路偏壓在次臨界(sub-threshold)導通區域來達成。與一般偏壓在強反轉區的電晶體相比較後，偏壓在次臨界導通區的主要優點為其可以大幅增加轉導對偏壓電流比。操作在弱反轉區(weak inversion region)NMOS 電晶體的汲極電流 I_D 約為

$$I_D = I_{SO} \left[1 - \exp\left(-\frac{v_{DS}}{V_t}\right) \right] \cdot \exp\left(\frac{V_{GS} - V_t - V_{off}}{nV_t}\right) \quad (3.11)$$

其中 V_{off} 為偏移電壓， I_{SO} 正比於 W/L 。

若不考慮 V_{DS} 的影響，電晶體的轉導如下式所示，

$$g_m = \frac{I_D}{\left(\frac{nkT}{q}\right)} \quad (3.12)$$

其中 k 是波茲曼常數， T 是絕對溫度(K)， q 為電子的電荷量。從(3.12)式可以知道， g_m 在固定 I_D 的情況下，其無法藉由增加 W/L 而增加。但是若電流密度 J_D ($\mu A/\mu m$) 保持固定， g_m 會隨著 W/L 而線性增加。所以經由使用更大尺寸的電晶體元件，將其操作在次臨界導通，可以在低電流的狀況之下來達到較大的轉導，以至於低雜訊放大器有較低的功率消耗。

低雜訊放大器採用如圖 3.21 的電路架構，此架構為一般的疊接放大器，其中 LC 共振腔中的電感 L 使用變壓器將輸入訊號轉換為差動輸出，電晶體 M_1 提供了增益以及降低電晶體 M_2 的雜訊貢獻；而操作於共閘極的電晶體 M_2 ，其低輸入阻抗的特性能減少電晶體 M_1 的米勒電容，使電路能寬頻操作。此外，疊接的電路架構能有較好的反向隔離度。

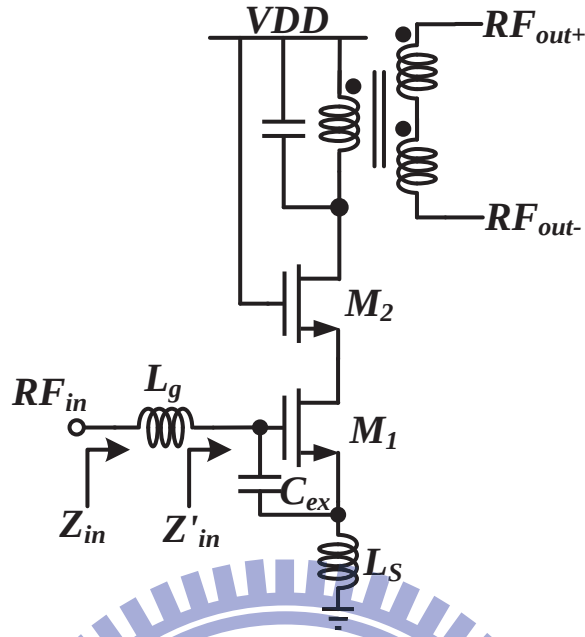


圖 3.21、疊接式低雜訊放大器。

從[8]可以知道雜訊參數如下所示，

$$R_n = R_n^0 = \frac{\gamma}{\alpha g_m} \quad (3.13)$$

$$Z_{opt} = Z_{opt}^0 - sL_s = \text{Re}[Z_{opt}^0] - m \frac{1}{sC_{gs}} - sL_s \quad (3.14)$$

$$F_{min} = F_{min}^0 = 1 + \frac{2}{\sqrt{5}} \frac{\omega}{\omega_T} \sqrt{\gamma \delta (1 - |c|^2)} \quad (3.15)$$

$$Z_{opt}^0 = \frac{\alpha \sqrt{\frac{\delta}{5\gamma} (1 - |c|^2)} + j \left(\frac{C_t}{C_{gs}} + \alpha |c| \sqrt{\frac{\delta}{5\gamma}} \right)}{\omega C_{gs} \left\{ \frac{\alpha^2 \delta}{5\gamma} (1 - |c|^2) + \left(\frac{C_t}{C_{gs}} + \alpha |c| \sqrt{\frac{\delta}{5\gamma}} \right)^2 \right\}} \quad (3.16)$$

$$Z_{opt} = \frac{\alpha \sqrt{\frac{\delta}{5\gamma}(1-|c|^2)} + j \left(\frac{C_t}{C_{gs}} + \alpha |c| \sqrt{\frac{\delta}{5\gamma}} \right)}{\omega C_{gs} \left\{ \frac{\alpha^2 \delta}{5\gamma}(1-|c|^2) + \left(\frac{C_t}{C_{gs}} + \alpha |c| \sqrt{\frac{\delta}{5\gamma}} \right)^2 \right\}} - sL_s \quad (3.17)$$

其中 R_n^0 為雜訊電阻， γ 對於通道熱雜訊電流為常數， δ 對於閘極感應雜訊電流為常數，截止頻率 $\omega_T = g_m / C_{gs}$ ， $\alpha \equiv g_m / g_{do}$ ， $C_t = C_{ex} + C_{gs}$ ，

$c \equiv \frac{\overline{i_{ng} \cdot i_{nd}^*}}{\sqrt{i_{ng}^2} \cdot \sqrt{i_{nd}^2}}$ 為閘極感應雜訊電流和通道雜訊電流的相關係數。 R_n 、 F_{min} 皆

是指疊接放大器在沒有退化電感 L_s 串接下的的雜訊指數，所以從上面的式子可以知道電路加上退化電感 L_s 後，不會影響 R_n 和 F_{min} 的值，且可以把最佳雜訊指數匹配點 Z_{opt} 往 Z_{in} 的負虛部拉近。

加上退化電感 L_s 和 C_{ex} 後，放大器等效的輸入阻抗為

$$Z'_{in} = \omega_T L_s + sL_s + \frac{1}{s(C_{ex} + C_{gs})} \quad (3.18)$$

由上式可以知道加上 L_s 後，可以使輸入阻抗產生實部 $\omega_T L_s$ ，其會將 Z_{opt} 的實部拉往 Z_{in} 的實部。

相關被動元件選取過程如下所述，第一步先做雜訊匹配，

$$\begin{aligned} \text{Re}[Z_{opt}] &= \frac{\alpha \sqrt{\frac{\delta}{5\gamma}(1-|c|^2)}}{\omega C_{gs} \left\{ \frac{\alpha^2 \delta}{5\gamma}(1-|c|^2) + \left(\frac{C_t}{C_{gs}} + \alpha |c| \sqrt{\frac{\delta}{5\gamma}} \right)^2 \right\}} \\ &= \text{Re}[Z_s] \end{aligned} \quad (3.19)$$

$$\begin{aligned} \text{Im}[Z_{opt}] &= \frac{j \left(\frac{C_t}{C_{gs}} + \alpha |c| \sqrt{\frac{\delta}{5\gamma}} \right)}{\omega C_{gs} \left\{ \frac{\alpha^2 \delta}{5\gamma} (1 - |c|^2) + \left(\frac{C_t}{C_{gs}} + \alpha |c| \sqrt{\frac{\delta}{5\gamma}} \right)^2 \right\}} - sL_s \\ &= \text{Im}[Z_s] \end{aligned} \quad (3.20)$$

當操作頻率確定時，由(3.19)式可以求得 C_{gs} ，以 TSMC SiGe 0.18- μm 製程所提供之電晶體的尺寸範圍內可以達到為考量，在這步驟可以確定電晶體尺寸。之後把輸入匹配考慮進來，

$$\text{Im}[Z'_{in}] = sL_s + \frac{1}{s(C_{gs} + C_{ex})} = -\text{Im}[Z_s] = -sL_g \quad (3.21)$$

$$\text{Re}[Z'_{in}] = \frac{g_m L_s}{(C_{gs} + C_{ex})} = \text{Re}[Z_s] = 50 \Omega \quad (3.22)$$

若再考慮(3.19)式則可以得到下式，

$$L_s \approx \frac{\alpha \sqrt{\frac{\delta}{5\gamma}} (1 - |c|^2)}{\omega \omega_T C_t} \quad (3.23)$$

其值大致會由 ω_T 、 C_t 所決定， C_{ex} 也不能太大，若 C_{ex} 的值過大則會減少等效的 ω_T ，會使得增益下降和 F_{min} 升高，這方面需要有所取捨。

3.2.4 可切換式主動混頻器

本論文所使用之接收機架構模態切換關鍵子電路為可切換式混頻器 [10]，以傳統多模態接收機而言，切換機制多以植入開關電路為主，但因本接收機架構已經由兩路低雜訊放大器將訊號放大，因此使用單純單刀開關方式不易完全清除另一路之訊號來源，所以我將混頻器設計為切換式，直接由混頻器對 RF 端選取來得到相對應之模態，如圖 3.22 所示。

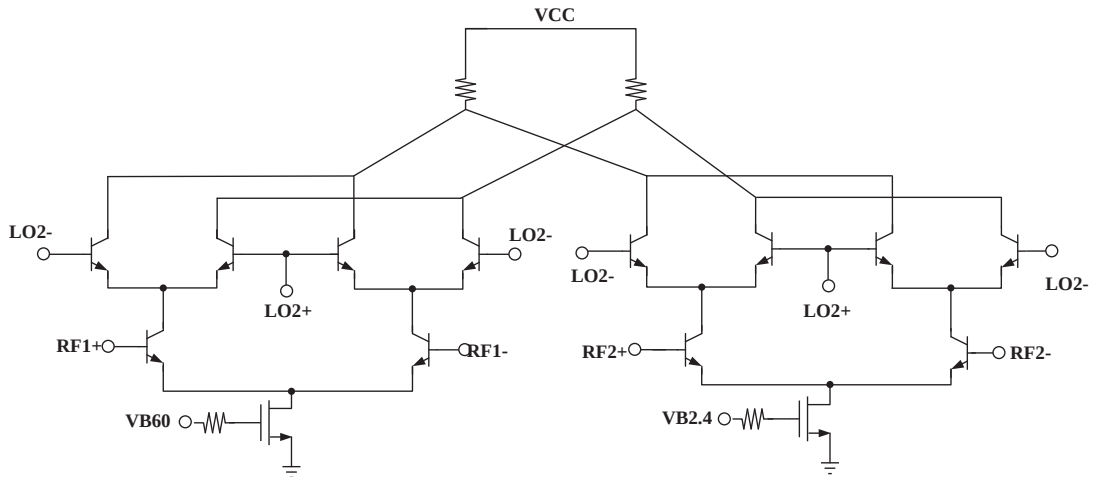


圖 3.22、可切換式主動混頻器。

3.2.5 使用反對稱二極體之偶次諧波混頻器

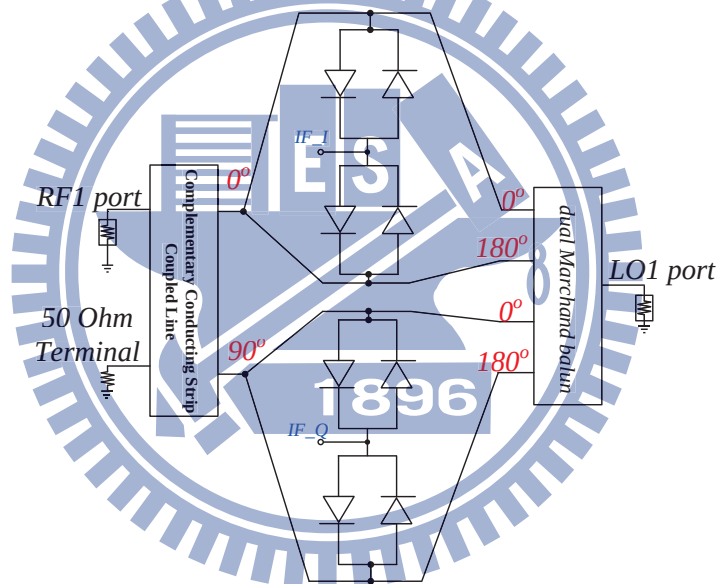


圖 3.23、使用反對稱二極體之偶次諧波混頻器。

本論文使用兩組單平衡式二極體混頻器來設計映像帶消除偶次諧波混頻器，如圖 3.23 所示。蕭基特二極體(Schottky diode)使用實驗室所製作的測試元件，為了達到面積縮小的目的，此電路使用新型的雙巴倫器來取代各個混頻器的馬尚爾平衡-非平衡轉換器(Marchand balun)來得到微小化的混頻器，而輸入的耦合線則使用互補式金屬帶耦合線來實現。

本電路主要可以分為四個部分來做討論，第一部分是蕭特基二極體與一般 PN 接面二極體的差異，第二部分是混頻器偶次諧波的產生方式，第三

部分是輸入慢波耦合線，第四部分是雙巴倫器。

1. 蕭特基二極體與一般 PN 接面二極體的差異

根據文獻[11]，因為蕭特基二極體是金屬與半導體產生之接面，所以其導電是由半導體中之多數載子(majority carrier)主導，而 PN 接面二極體是由靠少數載子(minority carrier)經由擴散(diffusion)穿過空乏區(depletion region)來導電。由此可以知道當 PN 接面二極體由順偏轉逆偏時，在空乏區中會儲存大量少數載子，必須先移除這些少數載子後電流才會截斷，因而導致整流的速度受限，當頻率較高時二極體將失去整流的功用。

然而蕭特基二極體是由多數載子導電，故其由順偏轉逆偏時沒有少數載子儲存在空乏區的問題，所以其截斷電流的速度非常快，因此其整流特性可以拓展到極高的頻率。換句話說，蕭特基二極體可以視為一個速度很快，可以工做到毫米波頻率以上的整流二極體，在順偏時其動態電阻(dynamic resistance)很低，而逆偏時其動態電阻極高可以看做是為開路，這兩者之間的變化速度非常快，是外接訊號速度而定。

2. 反對稱二極體對

當只有一個二極體混頻器時，隨著輸入電壓的變化，在一個週期內會只有一段時間電導大於零，此為最簡單的混頻形式，如圖 3.24 所示。

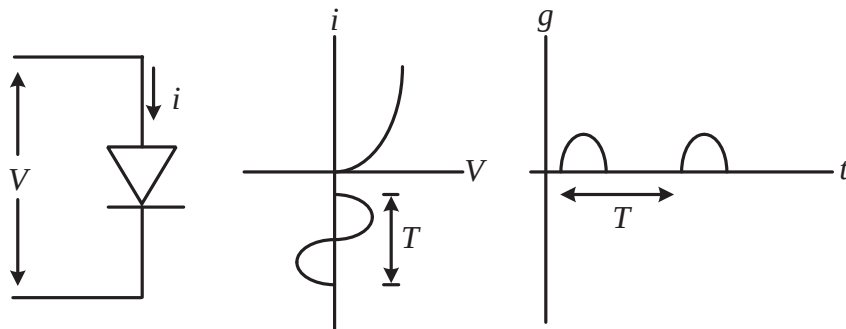


圖 3.24、單一二極體的 I - V 特性。

當有另一個二極體結合成反對稱二極體對時，在一個輸入電壓的週期

內，其會有兩段時間電導大於零，且此兩段時間並不互相重疊，所以會有兩倍頻率的混頻效果，如圖 3.25 所示。

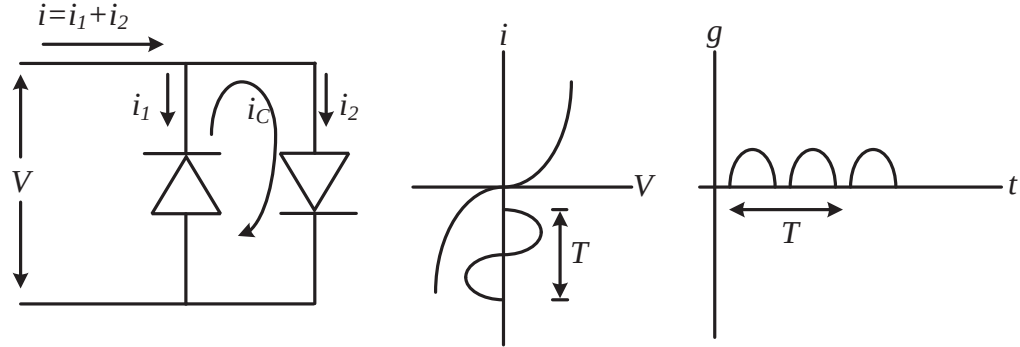


圖 3.25、反對稱二極體對之 I - V 特性。

簡單的數學分析如下：

$$i_1 = -i_s(e^{-\alpha V} - 1) \quad (3.24)$$

$$i_2 = i_s(e^{\alpha V} - 1) \quad (3.25)$$

其中 α 為二極體的斜率參數 $q/\eta kT$ ，同樣地，在反對稱二極體對中，其個別二極體之電導可以由下列式子來表示：

$$g_1 = \frac{di_1}{dV} = \alpha i_s e^{-\alpha V} \quad (3.26)$$

$$g_2 = \frac{di_2}{dV} = \alpha i_s e^{\alpha V} \quad (3.27)$$

所以各別電導的和為

$$g = g_1 + g_2 = \alpha i_s (e^{-\alpha V} + e^{\alpha V}) = 2\alpha i_s \cosh \alpha V \quad (3.28)$$

由上式可以知道此 g 函數對於 V 有偶對稱性，所以在反對稱二極體對中，每個 LO 週期中電導脈衝波的數量為單一二極體電路的兩倍。當 LO 訊號灌入此二極體對時，我們可以得到下式，

$$g = 2\alpha i_s \cosh \alpha V = 2\alpha i_s \cosh(\alpha V_{LO} \cos \omega_{LO} t) \quad (3.29)$$

$$g = 2\alpha i_s [I_0(\alpha V_{LO}) + 2I_2(\alpha V_{LO}) \cos 2\omega_{LO} t + 2I_4(\alpha V_{LO}) \cos 4\omega_{LO} t + \dots] \quad (3.30)$$

從上式我們可以很清楚地知道電導由一個直流項和 LO 頻率(ω_{LO})的偶次諧波項所組成。

所以當電壓為 $V = V_{LO} \cos \omega_{LO}t + V_s \cos \omega_s t$ ，電流將會是

$$i = g(V_{LO} \cos \omega_{LO}t + V_s \cos \omega_s t) \quad (3.31)$$

$$i = A \cos \omega_{LO}t + B \cos \omega_s t + C \cos 3\omega_{LO}t + D \cos 5\omega_{LO}t + E \cos(2\omega_{LO} + \omega_s)t + F \cos(2\omega_{LO} - \omega_s)t + G \cos(4\omega_{LO} + \omega_s)t + H \cos(4\omega_{LO} - \omega_s)t + \dots \quad (3.32)$$

從上式可以看出電流只有包含頻率為 $m\omega_{LO} \pm n\omega_s$ ，其中 $m+n$ 為奇數，即只有諧波係數和為奇數者才能由混頻器核心中取出，換言之，我們可以取出兩倍 LO 頻率與 RF 或 IF 頻率的混頻項。

此外，從圖 3.25 我們可以知道循環電流 i_c 的存在，其由個別電流 i_1 和 i_2 所引起之反相位電流的傅立葉展開式來產生。因為極性相反，所以其會在二極體電路的輸出端彼此消除，但在二極體電路內循環流動。

循環電流 i_c 可由下式表示，

$$i_c = (i_2 - i_1) / 2 = i_s [\cosh \alpha V - 1] \quad (3.33)$$

帶入 $V = V_{LO} \cos \omega_{LO}t + V_s \cos \omega_s t$ 後可以得到，

$$\begin{aligned} i_c &\approx i_s \left[1 + \frac{(V_{LO} \cos \omega_{LO}t + V_s \cos \omega_s t)^2}{2!} + \dots - 1 \right] \\ &\approx \frac{i_s}{2} \left[V_{LO}^2 \cos^2 \omega_{LO}t + V_s^2 \cos^2 \omega_s t + 2V_{LO}V_s \cos \omega_{LO}t \cos \omega_s t + \dots \right] \\ &\approx \frac{i_s}{2} \left\{ \frac{V_{LO}^2 + V_s^2}{2} + \frac{V_{LO}^2}{2} \cos 2\omega_{LO}t + \frac{V_s^2}{2} \cos 2\omega_s t + V_{LO}V_s [\cos(\omega_{LO} - \omega_s)t + \cos(\omega_{LO} + \omega_s)t] + \dots \right\} \end{aligned} \quad (3.34)$$

從(3.34)式可以看出電流只有包含頻率為 $mf_{LO} \pm nf_s$ ，其中 $m+n$ 為偶數，即諧波係數和為偶數者會被限制在混頻器核心中，換句話說，反對稱二極體對可以抑制基頻與其他奇數諧波的混頻項以及 LO 訊號的偶次諧波。

3. 互補式金屬帶耦合線(Complementary Conducting Strip Coupled Line)

在偶次諧波混頻器的 RF 輸入端使用互補式金屬帶耦合線[12]來做正交訊號產生器，所謂互補式金屬多帶耦合線是利用底層週期性開槽結構而使得耦合線產生慢波(slow wave)之效應，如圖 3.26 所示，該耦合線利用 SiGe 0.18- μm 製程的多層結構可輕易實現之，此耦合線利用 Metal-6 及 Metal-5 堆疊而使得橫向界面耦合量增強，而此被動元件可經由全波電磁模擬軟體來做耦合量等設計參數萃取而設計至所需值。其模擬的電路特性如圖 3.27 到圖 3.29，

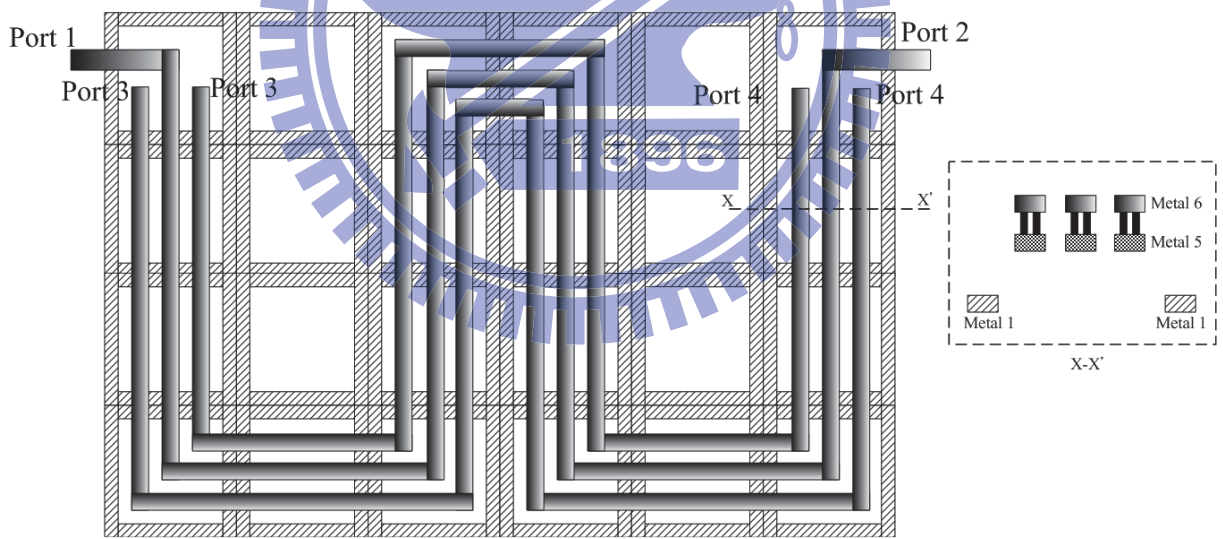


圖 3.26、互補式金屬帶耦合線示意圖。

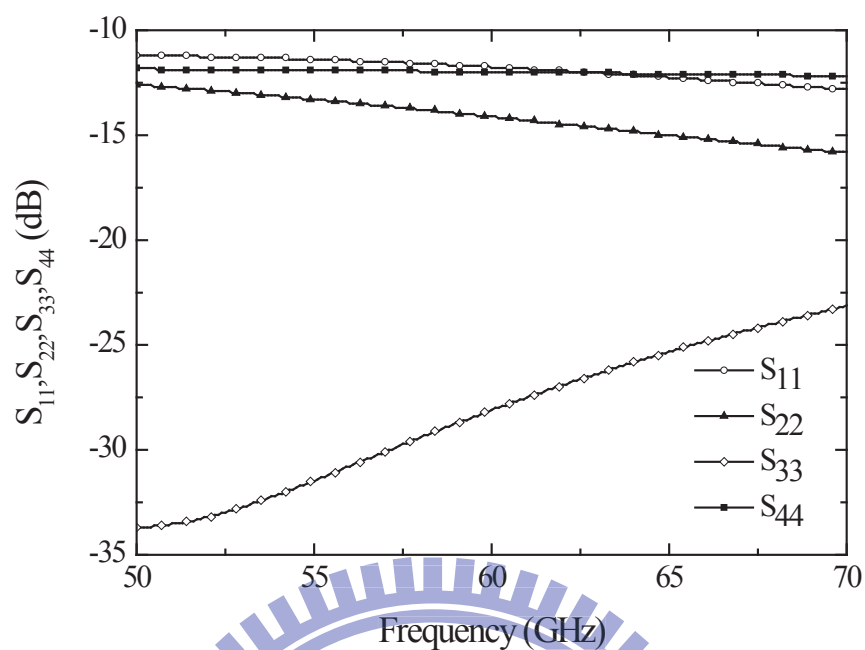


圖 3.27、反射損耗 S 參數之頻率響應圖。

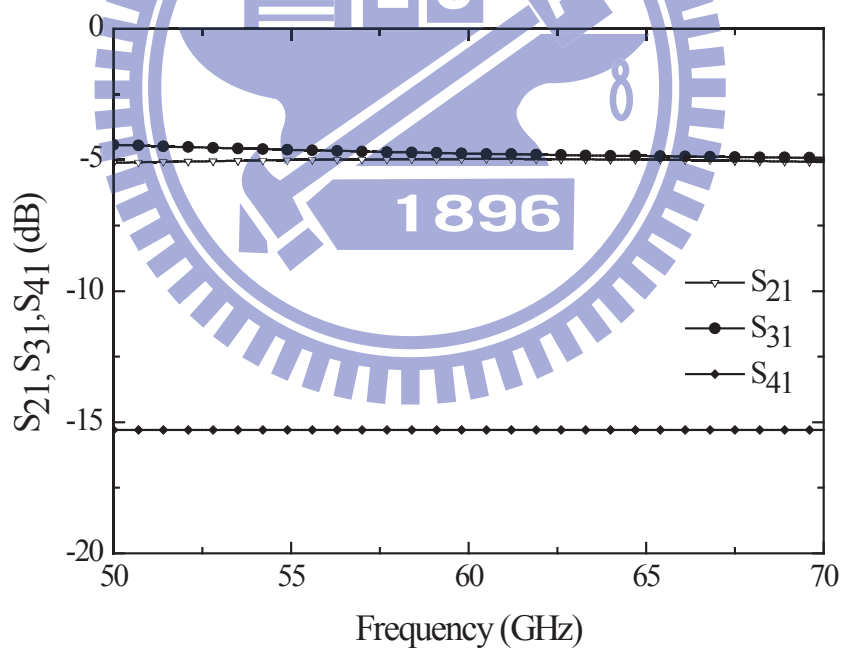


圖 3.28、穿透埠、耦合埠及隔離埠之頻率響應圖。

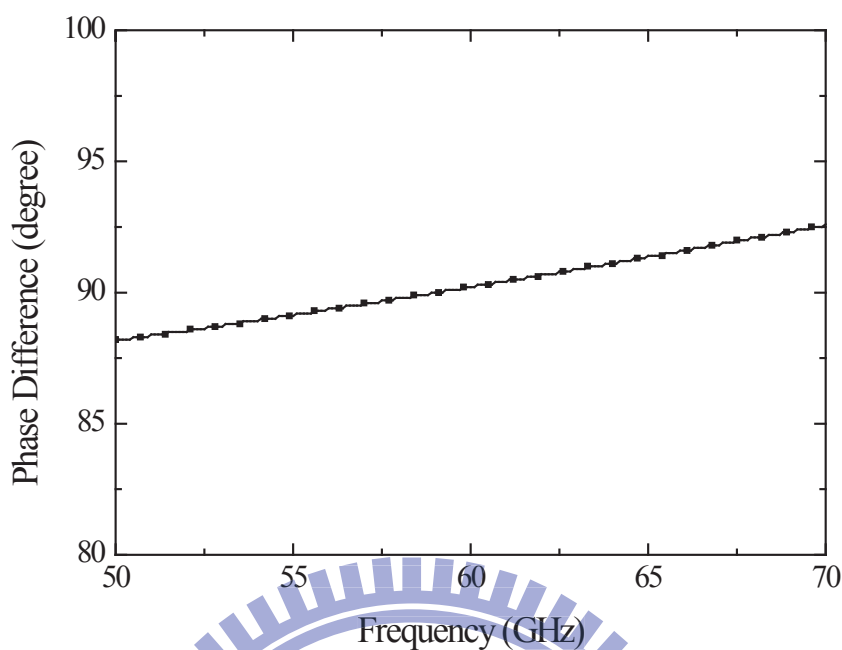


圖 3.29、相位平衡模擬圖。

4. 雙馬尚爾巴倫器 (Dual Marchand Balun)

在偶次諧波混頻器的 LO 端使用雙馬尚爾巴倫器[13]來產生兩組差動輸出訊號，如圖 3.30 所示。其模擬的電路特性如圖 3.31 到圖 3.33，

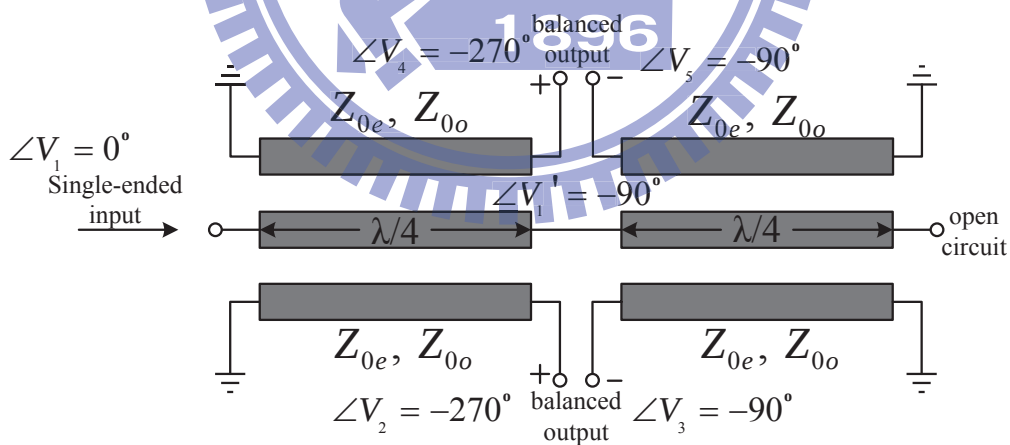


圖 3.30、雙馬尚爾巴倫器。

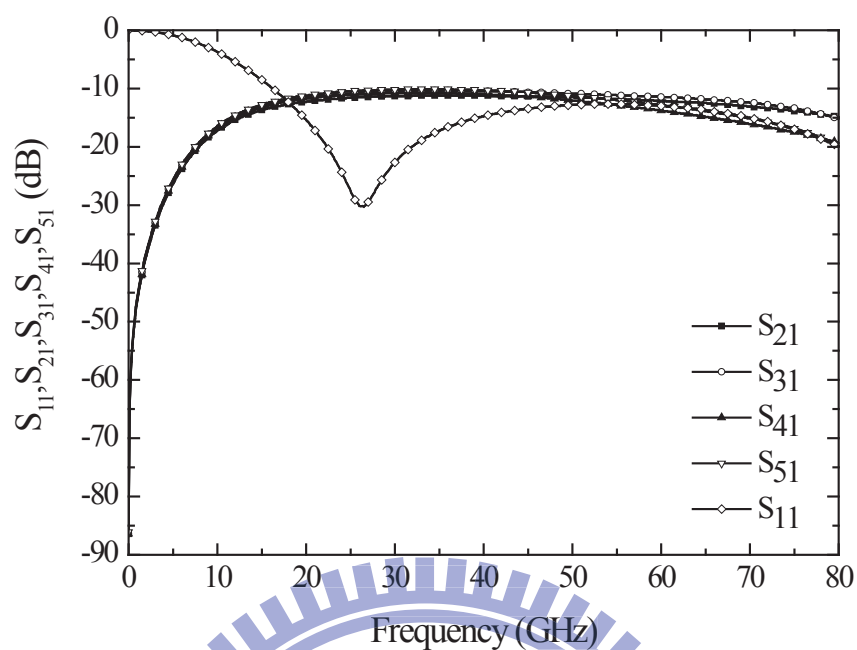


圖 3.31、雙巴倫器的 S 參數模擬結果。

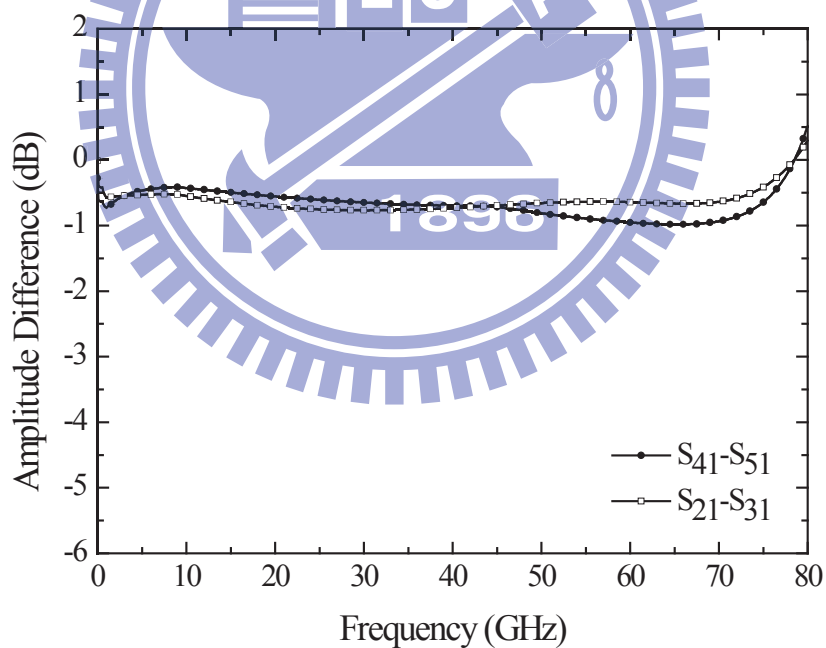


圖 3.32、振幅平衡模擬結果。

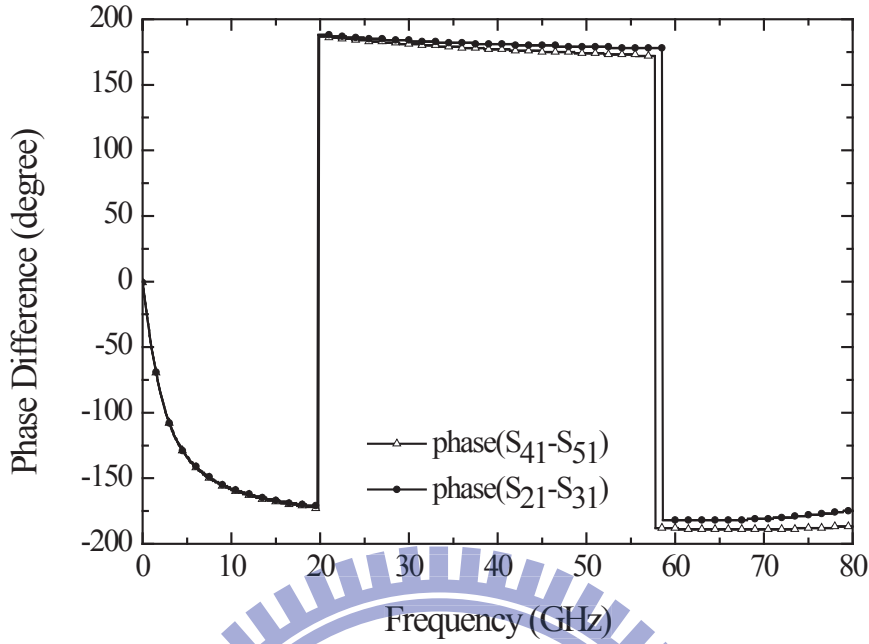


圖 3.33、相位平衡模擬結果圖。

3.2.6 寬頻平衡-不平衡之低雜訊放大器

在偶次諧波混頻器之後的電路，我將使用 CGCS 的電路架構來作為寬頻低雜訊緩衝放大級，根據文獻[14]可以簡單地分析同時平衡輸出、雜訊消除、失真消除之條件，其中為了簡化過程將忽略電容的影響。

1. 平衡輸出

從圖 3.35 可以知道當沒有到地的路徑時，流過負載電阻 R_{CG} 的訊號電流(i_{Rcg})會等於流過輸入端訊號電流(i_{in})。所以可以得到下列關係式，

$$i_{in} = i_{Rcg} = \frac{v_{out,CG}}{R_{CG}} = \frac{v_{in} \cdot A_{v,CG}}{R_{CG}} \quad (3.35)$$

從式(3.35)我們可以得到共閘極的輸入阻抗為，

$$R_{in,CG} = \frac{v_{in}}{i_{in}} = \frac{R_{CG}}{A_{v,CG}} \quad (3.36)$$

理想電晶體的輸出阻抗為無窮大，在這樣的情形之下共閘極的輸入阻抗可

以寫成 $R_{in,CG} = 1/g_m$ 以及電壓增益 $A_{v,CG} = g_m \cdot R_{CG}$ 。

對於一個阻抗匹配的輸入端，共閘極的輸入阻抗($R_{in,CG}$)應該要等於源電阻(R_S)，所以共閘極的電壓增益可以表示成下式，

$$A_{v,CG} = \frac{R_{CG}}{R_{in,CG}} = \frac{R_{CG}}{R_S} \quad (3.37)$$

為了得到平衡輸出，圖 3.34 中的共源極之增益要跟共閘極相同，但相位相反，所以可以得下列關係式，

$$A_{v,CS} = -A_{v,CG} = -\frac{R_{CG}}{R_S} \quad (3.38)$$

2. 雜訊消除

在圖 3.34 共閘極產生的雜訊可以用雜訊電流源 i_n 來表示，其將會在輸入端產生雜訊電壓($v_{n,in} = \alpha_1 \cdot i_n \cdot R_S$)以及在輸出端產生相對反相的雜訊電壓($v_{n,CG} = -\alpha_1 \cdot i_n \cdot R_{CG}$)。其中 α_1 為輸入電阻($R_{in,CG}$)和源電阻(R_S)的分壓比例係數，當在阻抗匹配時， α_1 將等於 0.5，如下式所示，

$$\alpha_1 = \frac{R_{in,CG}}{R_{in,CG} + R_S} \quad (3.39)$$

當共源極增益滿足(3.38)式時，在共源極輸出的雜訊會等於共閘極輸出的雜訊($v_{n,CS} = v_{n,in} \cdot A_{v,CS} = v_{n,CG}$)，所以當共閘極電晶體的雜訊貢獻在差動輸出端呈現純共模訊號時，其將會被消除。這證明了同時得到平衡輸出以及雜訊消除。

3. 失真消除

如圖 3.35 所示，假設弱非線性現象，並由電流 i_{ds} 模型化，其非線性特

性取決於 v_{gs} 和 v_{ds} 的電壓變化。源訊號(v_s)造成非線性電流(i_{ds})，其會經由線性源電阻(R_s)轉換成非線性電壓在輸入端(v_{in})。非線性電壓(v_{in})可以寫成源電壓(v_s)的泰勒級數展開式，如下式所示，

$$v_{in} = \alpha_1 \cdot v_s + \alpha_2 \cdot v_s^2 + \alpha_3 \cdot v_s^3 + \alpha_4 \cdot v_s^4 + \dots = \alpha_1 \cdot v_s + v_{NL} \quad (3.40)$$

其中 α 為泰勒係數以及 v_{NL} 包含所有不要的非線性項， α_1 即式(3.39)。

從圖 3.35 可以知道共閘極輸出電壓可寫成下式，

$$v_{out,CG} = i_{in} \cdot R_{CG} = \frac{v_s - v_{in}}{R_s} \cdot R_{CG} = ((1 - \alpha_1) \cdot v_s - v_{NL}) \frac{R_{CG}}{R_s} \quad (3.41)$$

共源極輸出電壓則可以寫成下式，

$$v_{out,CS} = -v_{in} \frac{R_{CG}}{R_s} = -(\alpha_1 \cdot v_s + v_{NL}) \frac{R_{CG}}{R_s} \quad (3.42)$$

所以線性差動輸出訊號為，

$$v_{out,diff} = v_{out,CG} - v_{out,CS} = v_s \cdot \frac{R_{CG}}{R_s} \quad (3.43)$$

最後我們可以得到一個結論，由共閘極電晶體所產生的雜訊和失真電流將可以被消除，其與轉導之非線性以及輸出電導之非線性皆無關。此外，當由於共閘極電晶體造成的失真被消除後且 R_{CG} 通常十分線性，共源極將會決定整個寬頻放大器的線性度。最後的雜訊將會由 R_{CG} 和共源極來決定。

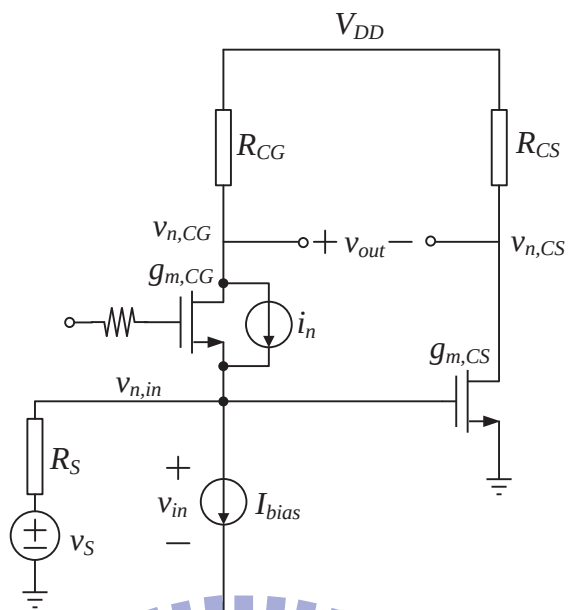


圖 3.34、雜訊消除之基本 CGCS 電路圖。

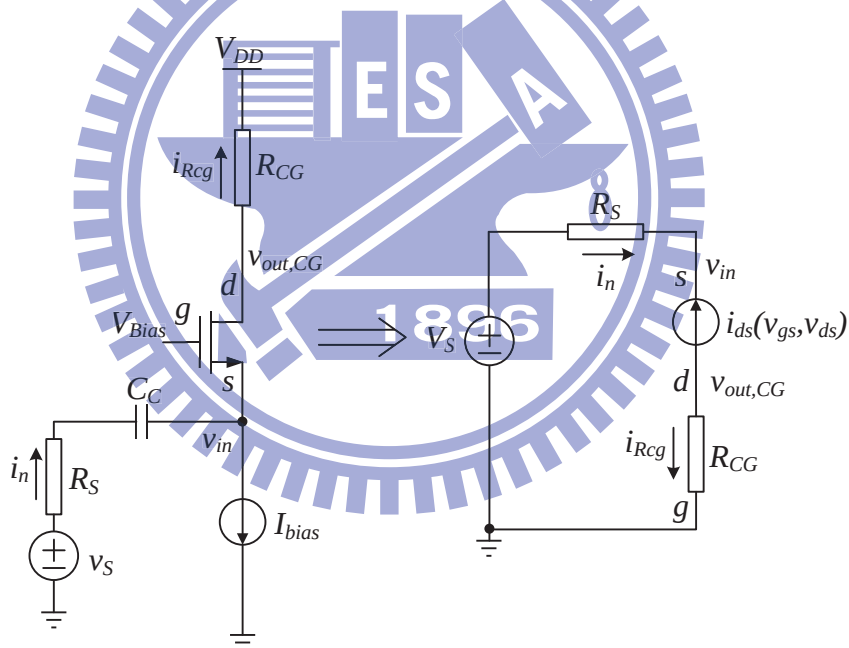


圖 3.35、共閘極(CG)之小訊號等效電路。

3.3 2.4 GHz 主動帶通濾波器及其前端低雜訊放大器 (CMOS 0.18- μm)

3.3.1 電路設計

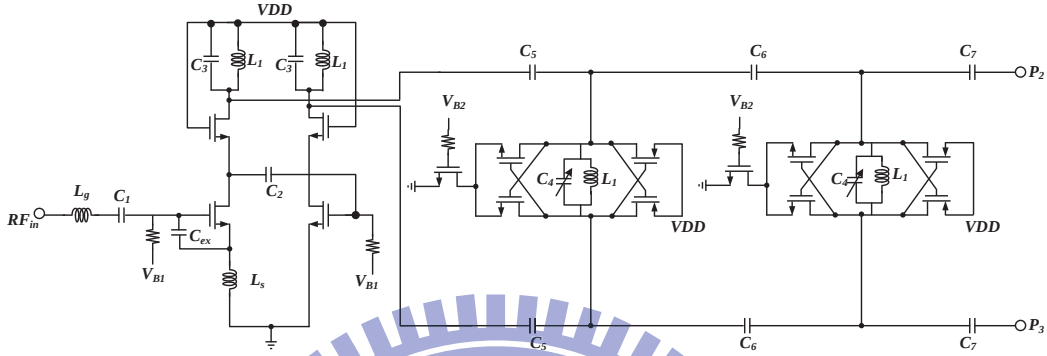


圖 3.36、2.4 GHz 主動帶通濾波器及其前端 LNA 電路圖。

(1) 低雜訊放大器 (Low Noise Amplifier)

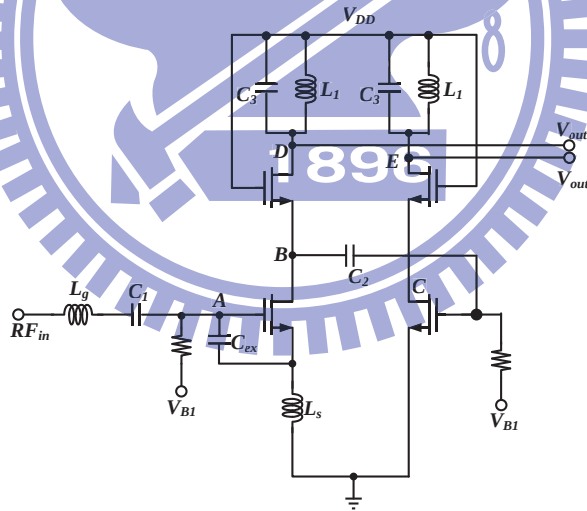


圖 3.37、單端輸入轉差動輸出之低雜訊放大器。

LNA 採用單端輸入差動輸出的架構， C_1 為 DC 隔絕電容， L_s 為源級退化電感，使用 L_g 、 L_s 、 C_{ex} 的原因是為了達到同時最大功率匹配和雜訊匹配。從 A 點往電晶體看入的阻抗 $Z_{in} = sL_s + \frac{1}{sC_t} + \frac{g_m L_s}{C_t}$ ， $C_t = C_{gs} + C_{ex}$ 。當 L_g 和 C_t 共振時， Z_{in} 呈現純電阻，將其調整成為 $\frac{g_m L_s}{C_t} = 50\Omega$ 時，則達成最大功率匹配。

使用 C_{ex} 的目的是為了在有限的功率消耗之下達到最低雜訊匹配，而疊接式 (cascode) 的架構是為了減少米勒效應 (Miller effect)。此外，在汲級端的兩組 LC tank 中，L 使用中間抽頭的電感來達到節省面積的目的。從 LNA 的電路圖中可以得知：B 點和 A 點反相，C 點和 B 點反相 (C_2 將 B 點的訊號耦合到閘極端)；D 點和 B 點同相；E 點和 C 點同相，所以可以得到 D 點和 E 點反相，由此可知此架構的輸出為差動輸出。

(2) 主動帶通濾波器 (Bandpass Filter)

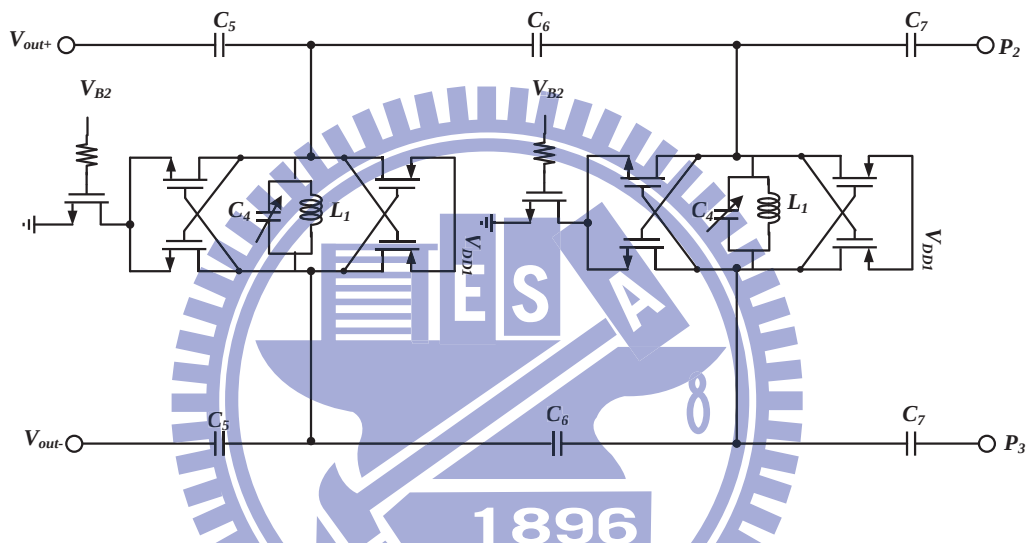


圖 3.38、差動輸入差動輸出之帶通濾波器。

使用互補式交錯耦合對會比單純使用一組 NMOS 的交錯耦合對 得到更高的 Q 值，電容 C_5 可以用來調整 LNA 與 BPF 間匹配的問題， C_6 是用來調整 BPF 的頻寬， C_7 則是可以用來調整輸出匹配， C_4 是用可變電容來實現，目的是為了可以調整帶通濾波器的中心頻率。

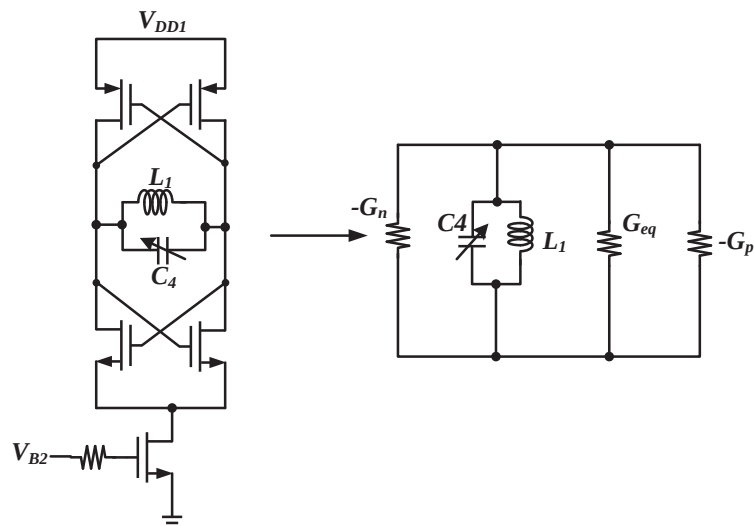
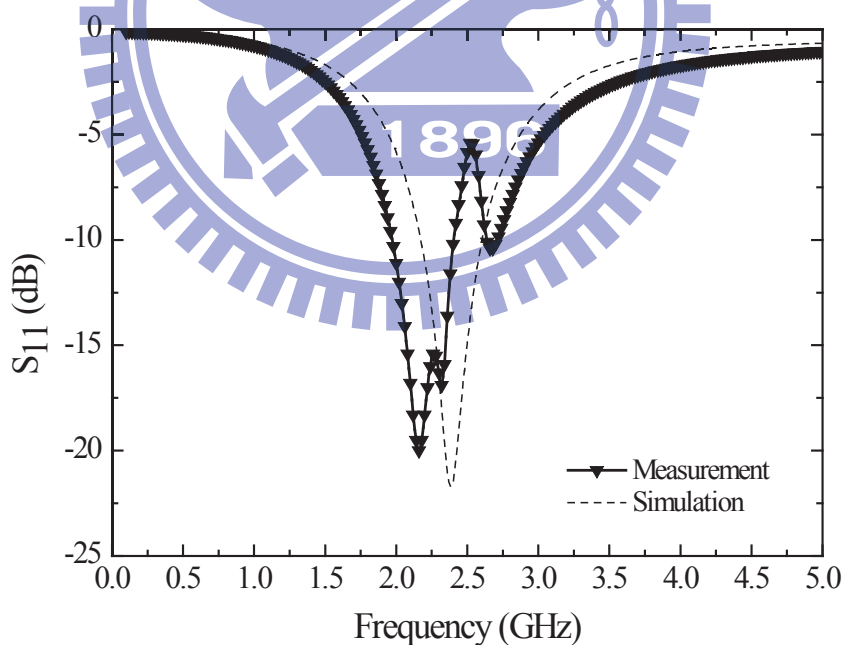


圖 3.39、互補式交錯耦合對。

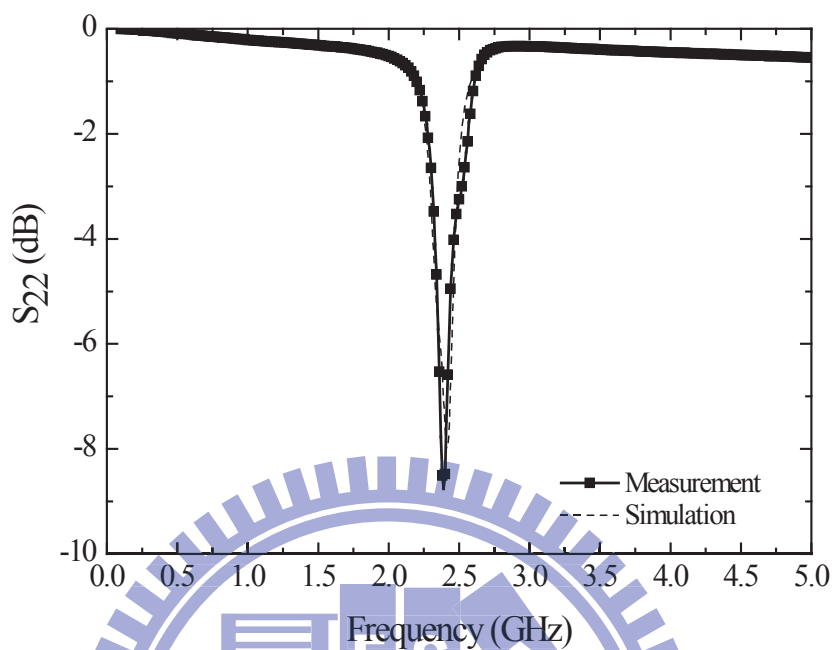
3.3.2 模擬與量測結果

S_{11} 的量測結果跟模擬結果相比較後，發現稍微往低頻飄，但在頻率為 2.4 GHz 時， $S_{11} < -10\text{dB}$ 。



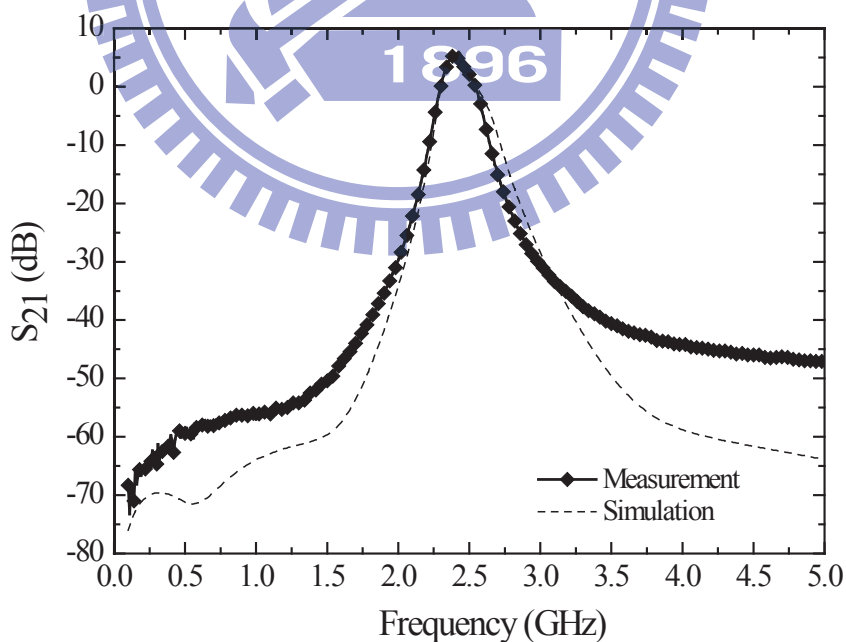
(a)

由於之後會結合成接收機，而濾波器的下一級會接到混頻器(高輸入阻抗)，所以濾波器的 S_{22} 與 S_{33} 不需要匹配到 $50\ \Omega$ 。

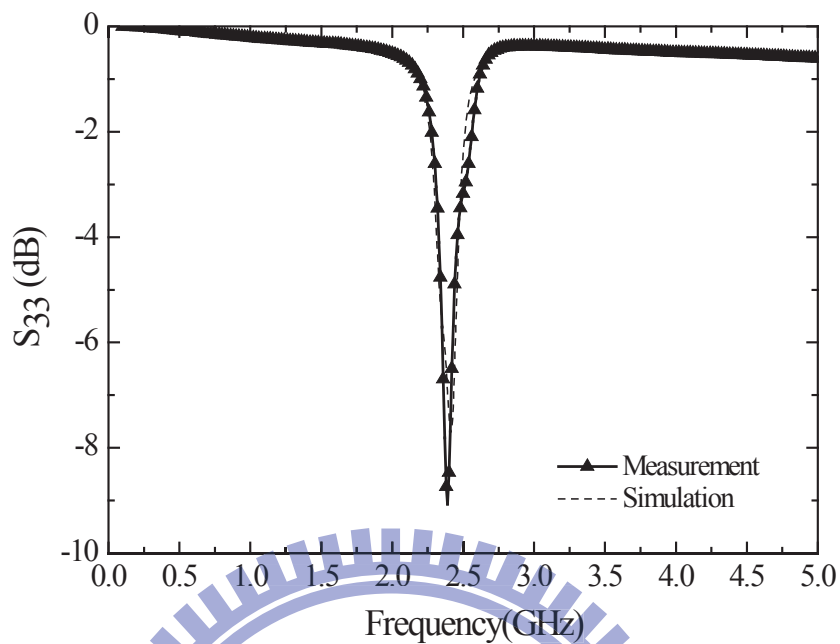


(b)

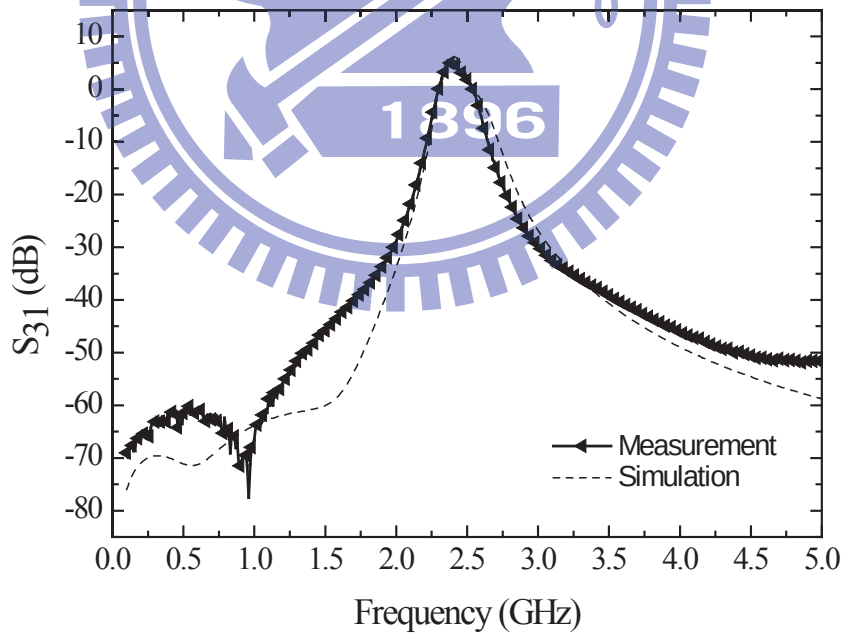
S_{21} 的量測結果與模擬結果接近。有載 Q 值 (loaded Q) 約 13.33。



(c)



S_{31} 的量測結果與模擬結果接近。有載 Q 值 (loaded Q) 約 14.12。



電路差動輸出的相位差，在 2.4 GHz 附近大約都在 180 度左右。

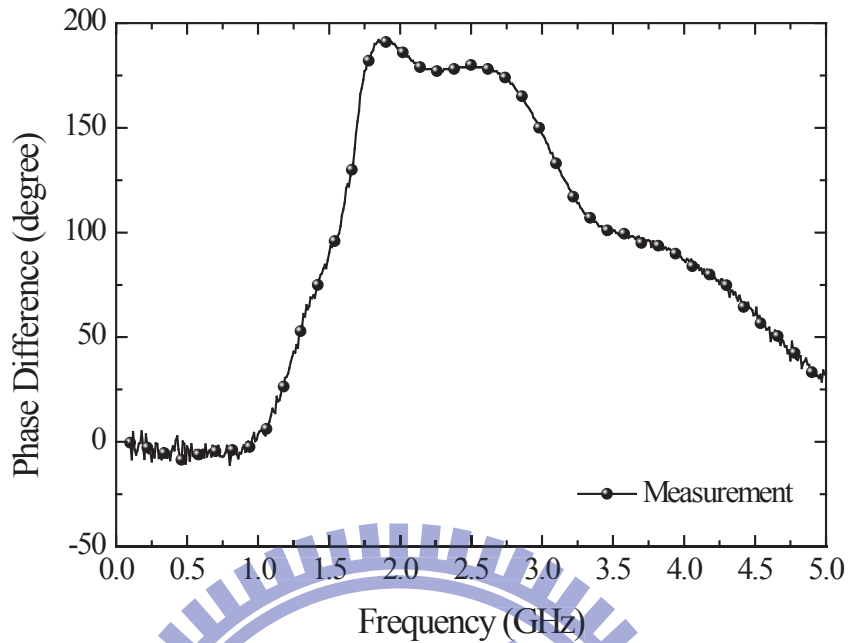
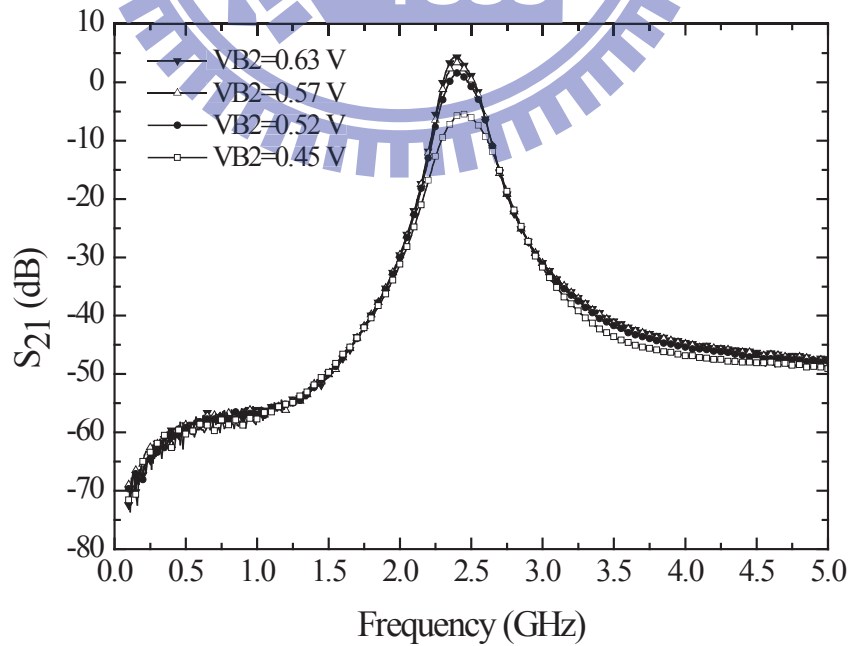
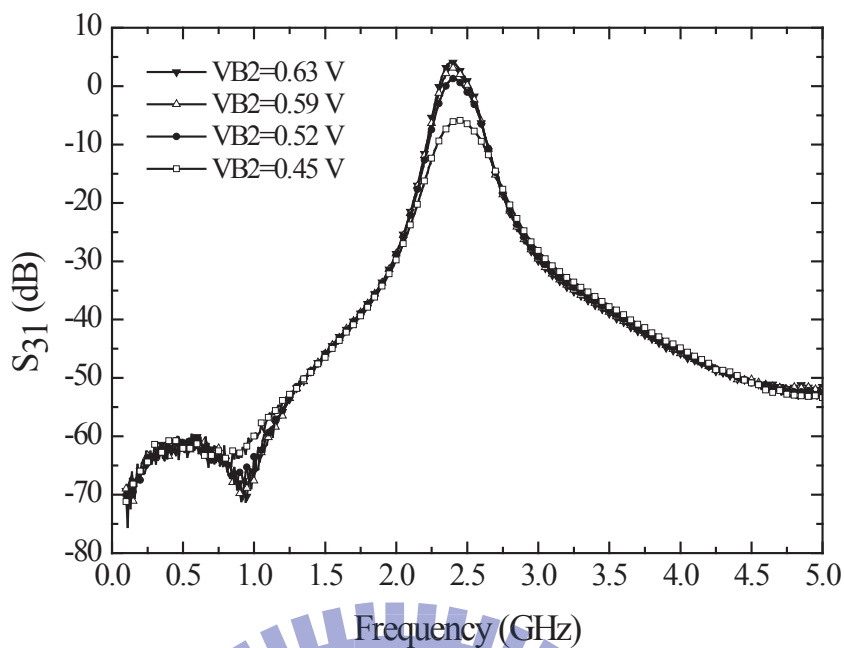


圖 3.40、S 參數模擬與量測結果。

當交錯耦合對的驅動電流變動時，則其負電阻值也跟著在改變，即調整濾波器 Q 值。下圖為調整電流源閘極電壓的 S_{21} 與 S_{31} 量測結果。



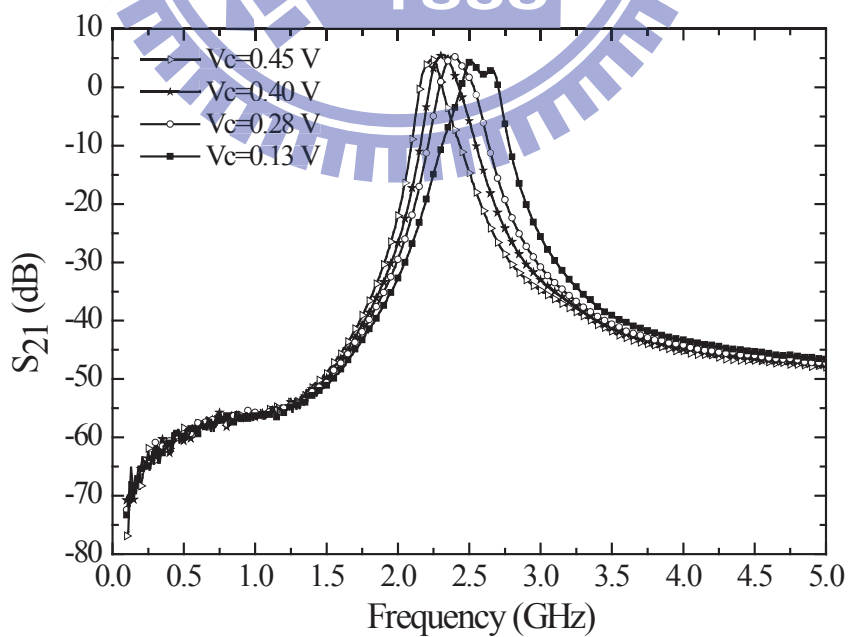
(a)



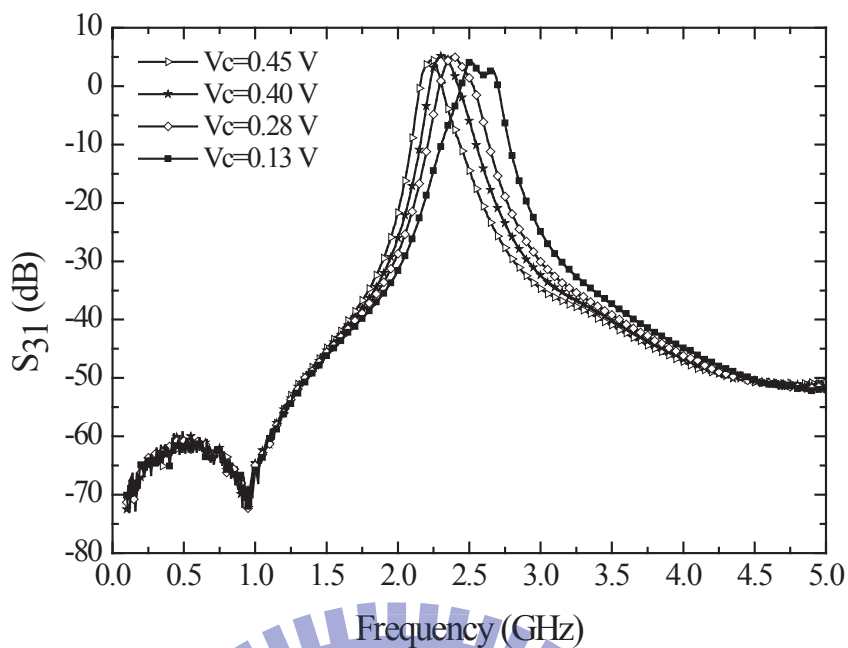
(b)

圖 3.41、調整 Q 值的量測結果。

當可變電容兩端的跨壓改變時，其容值就會跟著改變，兩端跨壓越大時，容值越小，所以下圖的 S_{21} 與 S_{31} 量測結果，隨著 V_c 電壓變小，濾波器中心頻會往高頻移動。頻率可調範圍約為 2.26 GHz~2.49 GHz。



(a)



(b)

圖 3.42、調整中心頻率的量測結果。

模擬 NF=4.731 dB，量測 NF=6.832 dB。

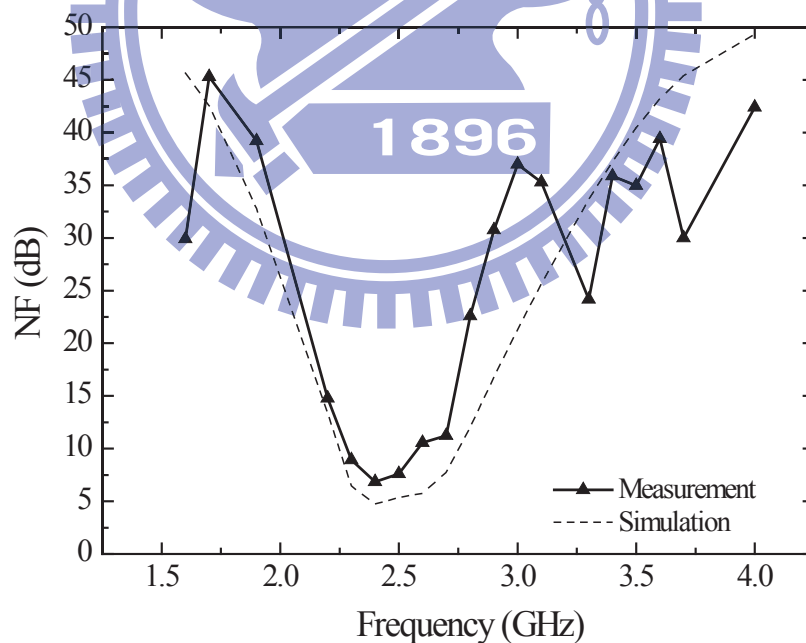
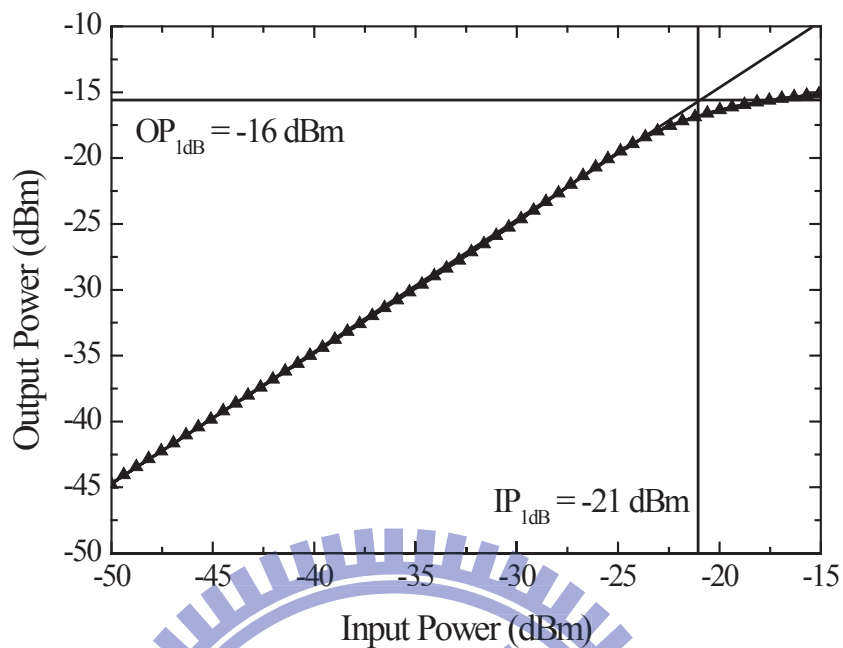


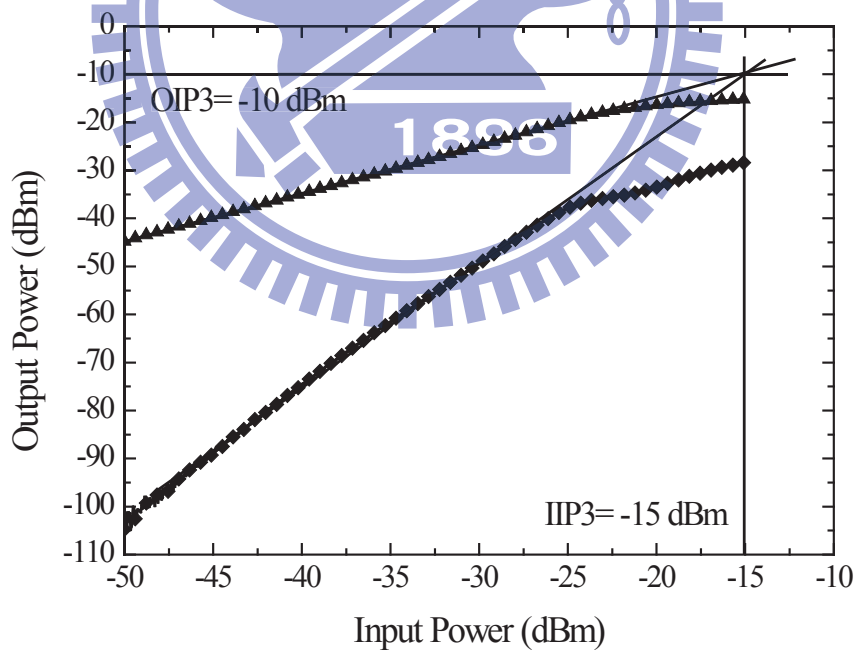
圖 3.43、雜訊指數。

線性度 $IP_{1dB} = -21$ dBm， $OP_{1dB} = -16$ dBm。



(a)

線性度 $IIP3 = -15$ dBm， $OIP3 = -10$ dBm。



(b)

圖 3.44、線性度(a) IP_{1dB} 和(b) $IIP3$ 的量測結果。

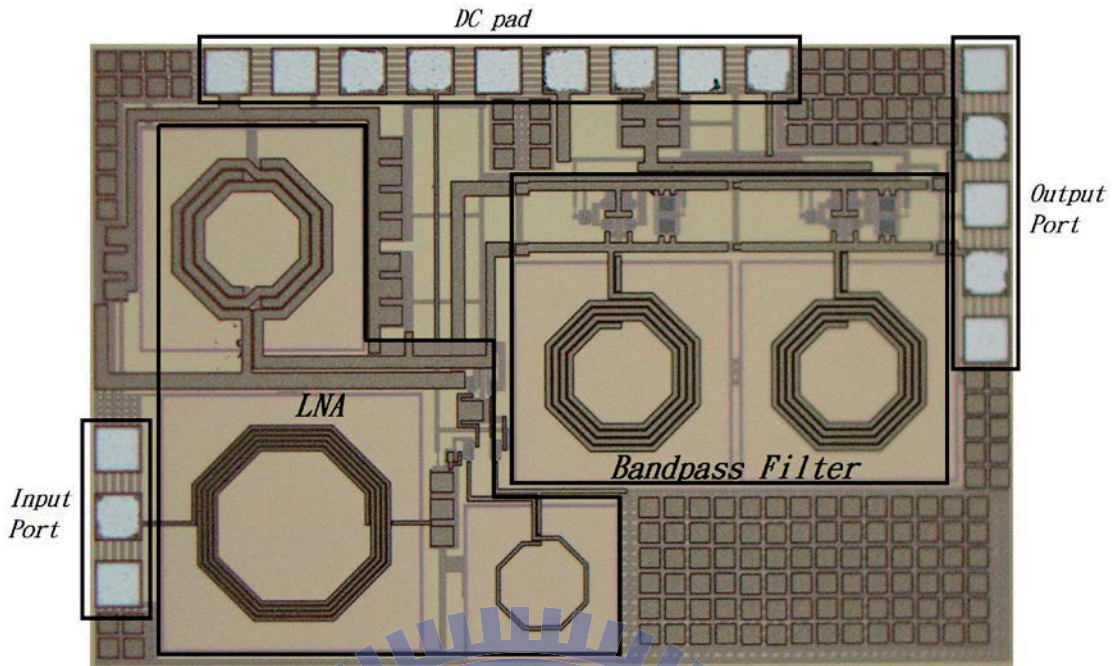


圖 3.45、晶片圖 (1.36 mm×0.91 mm)。

3.3.3 結果與討論

本電路使用 TSMC CMOS 0.18- μm 製程，晶片照片如圖 3.45 所示，輸入埠採用 GSG pad，輸出埠採用 GSGSG pad，DC 偏壓則是用 9 pin 的 PGPPGPPGP pad，晶片面積為 $1.36 \times 0.91 = 1.24 \text{ mm}^2$ 。

若外掛 balun 來進行量測時，會讓 S 參數的增益與線性度無法對起來，以及雜訊指數量測的準確性會有所疑慮，所以此晶片才會量三埠的 S 參數，從圖 3.40 可以看出 S 參數的量測結果與模擬接近，但在 S_{21} 和 S_{31} 的圖中會發現在高頻部分的抑制皆是比低頻略差，其原因是帶通濾波器選用高通的架構來實現。從圖 3.42 可看出帶通濾波器的中心頻率可調範圍約為 2.26 GHz~2.49 GHz。

在線性度方面， $IP_{1\text{dB}}$ 與預期差不多，IIP3 比預期差 4 dBm，推測原因為模擬 IIP3 時 HB 的階數較小所造成的誤差，雜訊指數雜則是比預期結果多了 2.1 dB 左右，其原因推測是 LNA 的中心頻率頻飄所造成。

表 3.1、2.4 GHz 主動帶通濾波器及其前端 LNA 模擬與量測比較表。

Item	Post-Simulation	Measurement
VDD	1.8 V	
Center Frequency	2.4 GHz	2.4 GHz
S_{21} (dB)	6.272	5.261
S_{21} 3dB Bandwidth	160 MHz	180 MHz
S_{31} (dB)	6.177	5.015
S_{31} 3dB Bandwidth	160 MHz	170 MHz
S_{11} (dB)	< -10	< -10
NF (dB)	4.731	6.832
IP_{1dB} (dBm)	-22	-21
IIP3 (dBm)	-11	-15
Power Consumption	9.65 mW	10.21 mW
Chip Size (mm×mm)	1.36×0.91	

3.4 2.45 GHz 主動帶通濾波器及其前端低雜訊放大器

(SiGe 0.18- μm)

3.4.1 電路設計

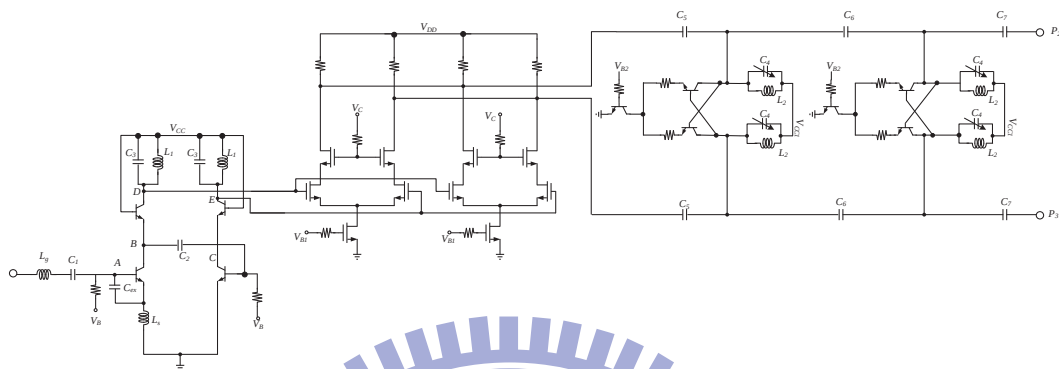


圖 3.46、2.45 GHz 主動帶通濾波器及其前端低雜訊放大器電路圖。

(1) 低雜訊放大器 (Low Noise Amplifier)

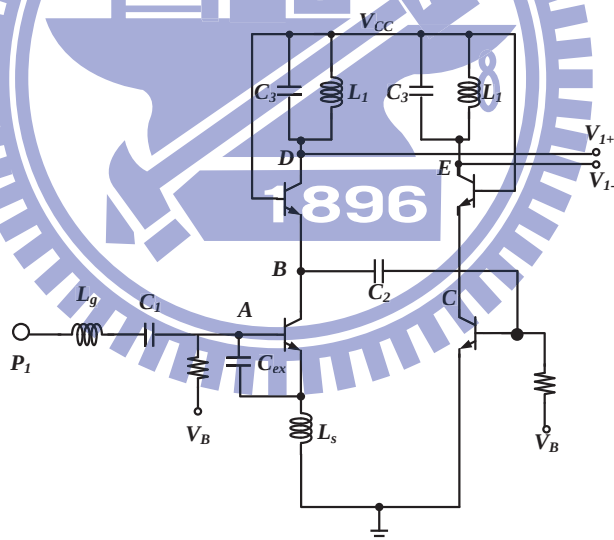


圖 3.47、使用 BJT 實現單端輸入轉差動輸出之低雜訊放大器。

此低雜訊放大器的電路設計原理與圖 3.37 中的低雜訊放大器一樣，而其輸出不需要先做匹配，其原因是下一級接 VGA 的輸入(開級→高阻抗)，使用 BJT 實現此低雜訊放大器的優點為雜訊指數會比使用 MOS 低，原因是 BJT 沒有閃爍雜訊(flicker noise)的問題，但缺點為電路的功耗較大。

(2) 可變增益放大器 (Variable Gain Amplifier)

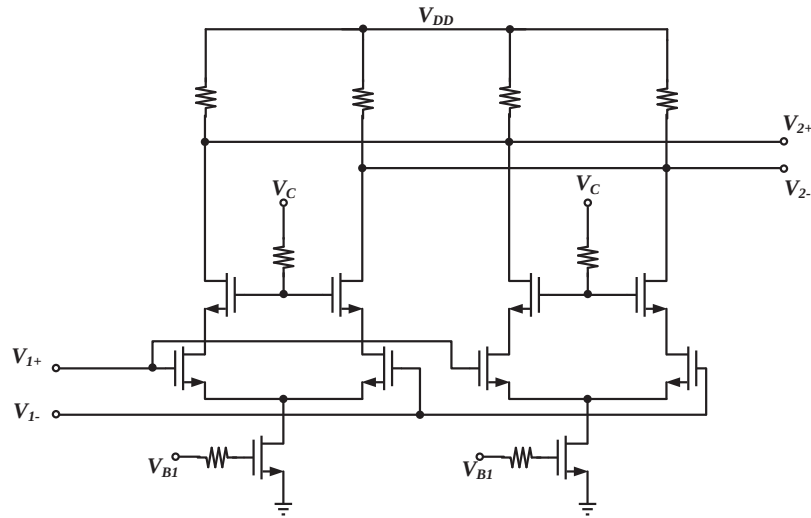


圖 3.48、可變增益放大器。

VGA 使用兩級並接的 CSCG 差動對放大器，使用兩級的原因為電晶體寬度 W 為有限值，若只靠一級來得到所需的轉導 g_m 則要足夠大的偏壓電流，導致功率消耗過大。由於兩級 VGA 使用相同的偏壓與尺寸，所以其各別輸入所獲得之增益為相同。至於 VGA 使用 MOS 而不使用 BJT 的原因為考量到 VGA 輸入偏壓的問題，若使用 BJT 則需要在 LNA 和 VGA 之間加入 DC block 且 VGA 輸入端要加入一組 DC 偏壓，所以我使用 MOS 來完成 VGA，其輸入偏壓可以經由 LNA 的輸出來直接偏壓。此外，兩級並聯可以降低輸出阻抗，即可以改善輸出匹配，且放大器並聯的形式可以改善其 OP_{1dB} 。

(3) 帶通濾波器(Bandpass Filter)

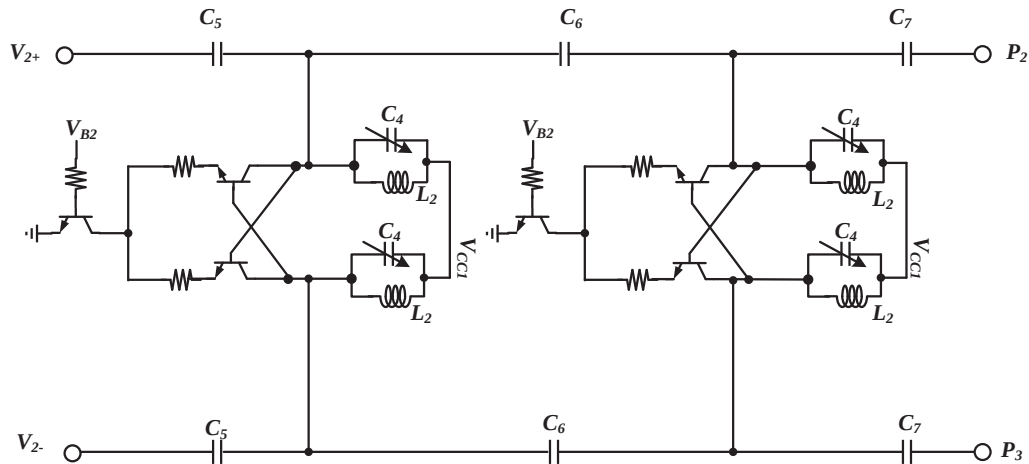
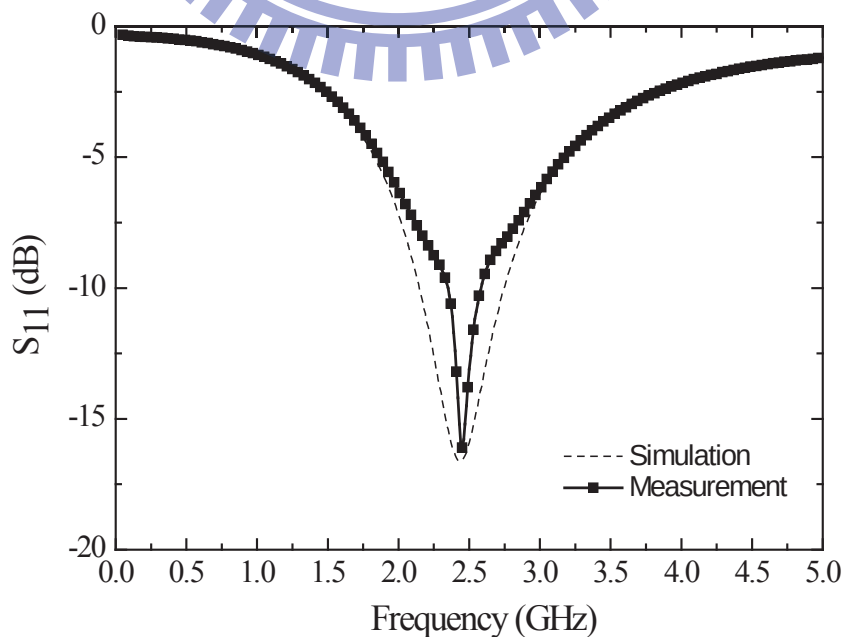


圖 3.49、差動輸入差動輸出之帶通濾波器。

此窄頻帶通濾波器的電路設計原理與圖 3.38 一樣，不一樣的地方是將 pMOS 的交錯耦合對拿掉，並且使用中間抽頭的電感，以及加上衰減電阻來改善濾波器的線性度。

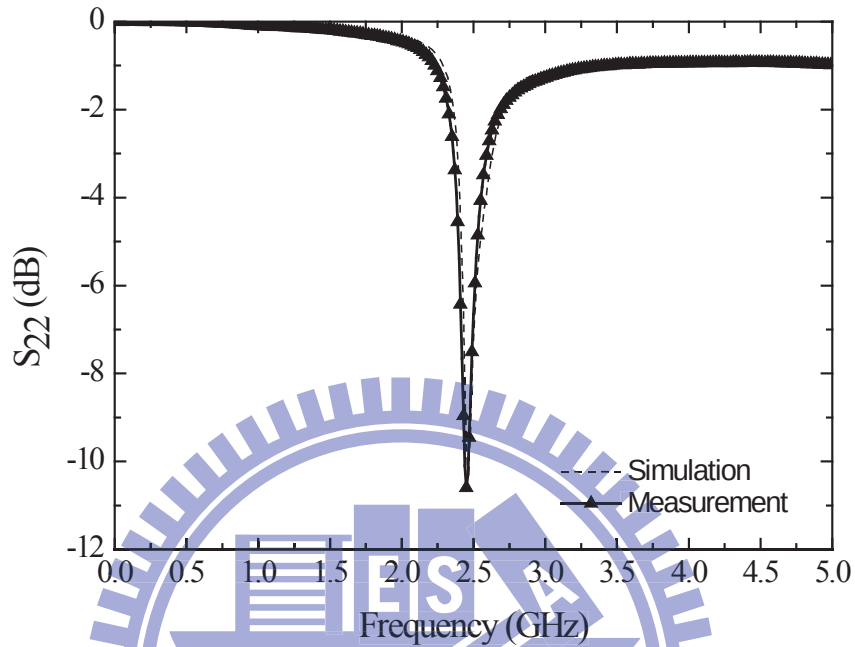
3.4.2 模擬與量測結果

S_{11} 的量測結果跟模擬結果近似，但輸入匹配頻寬稍微往內縮小，但在頻率為 2.45 GHz 時， $S_{11} < -10$ dB。



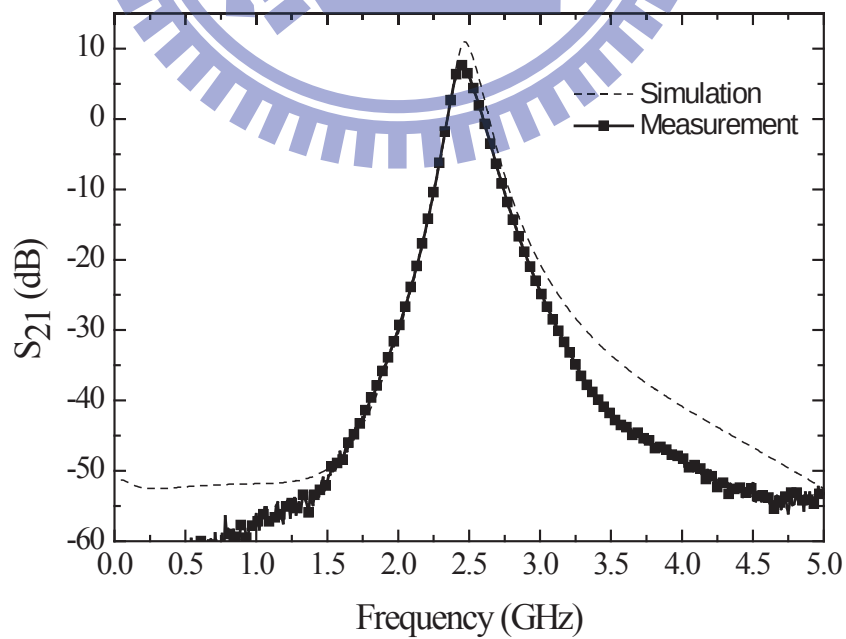
(a)

由於之後會結合成接收機，而濾波器的下一級會接到混頻器(高輸入阻抗)，所以濾波器的 S_{22} 與 S_{33} 基本上不需要匹配到 $50\ \Omega$ 。

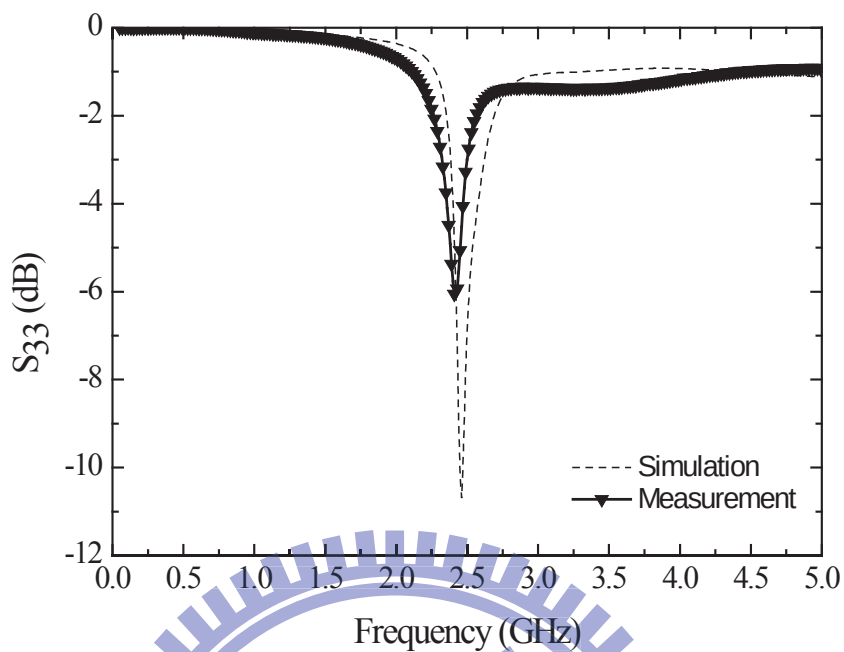


(b)

S_{21} 的量測結果與模擬結果有些微差異。有載 Q 值 (loaded Q) 約 17.5。

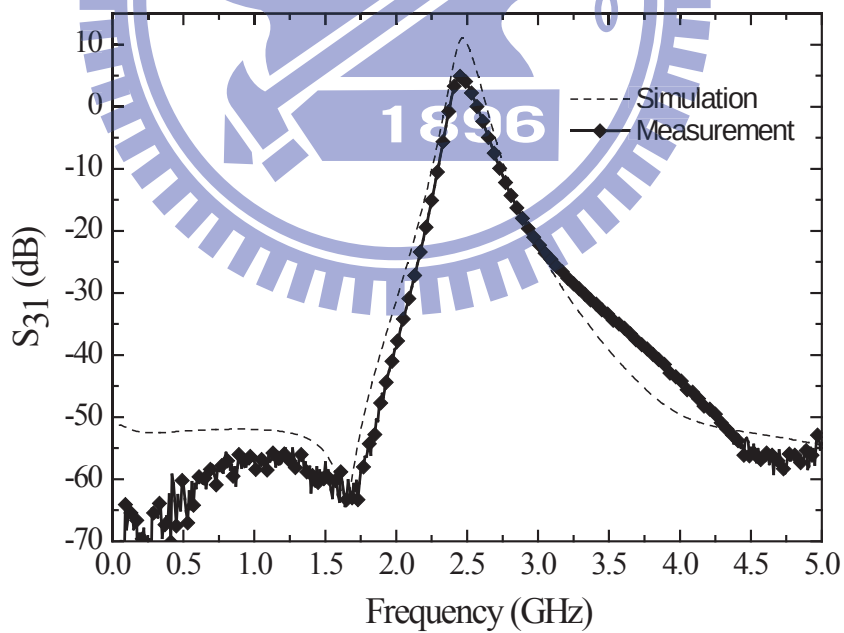


(c)



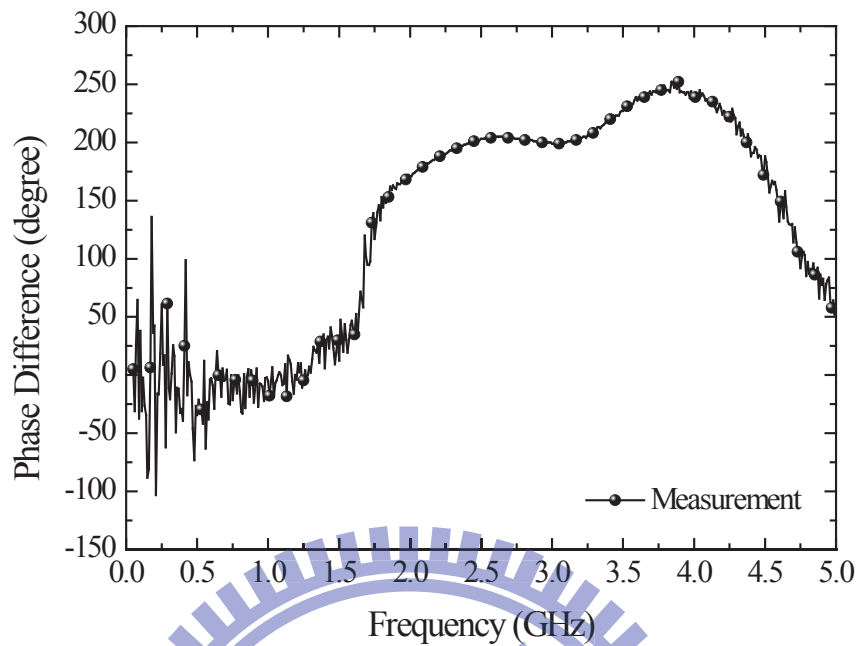
(d)

S_{31} 的量測結果與模擬結果有些微差異。有載 Q 值 (loaded Q) 約 16.33。



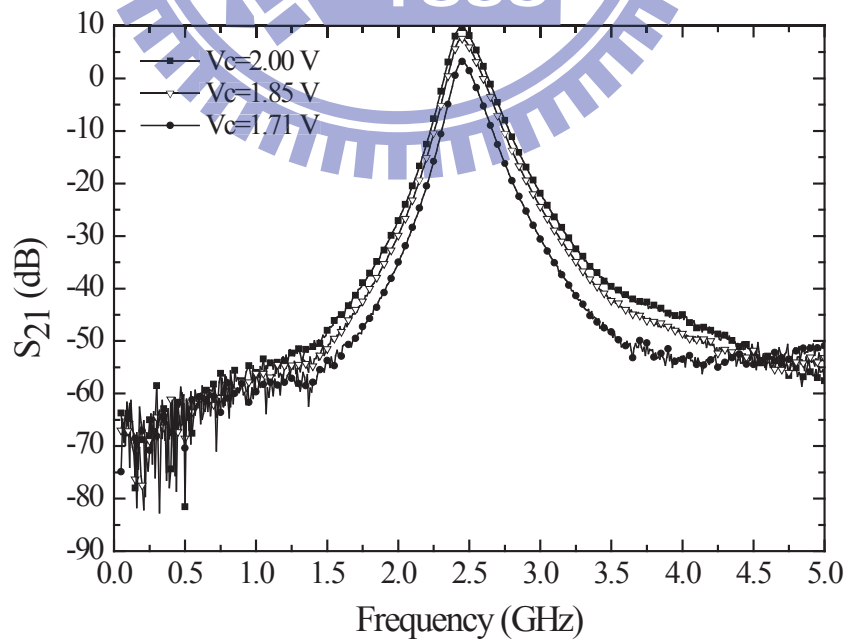
(e)

電路差動輸出的相位差，在 2.45 GHz 附近大約都在 180 度左右。

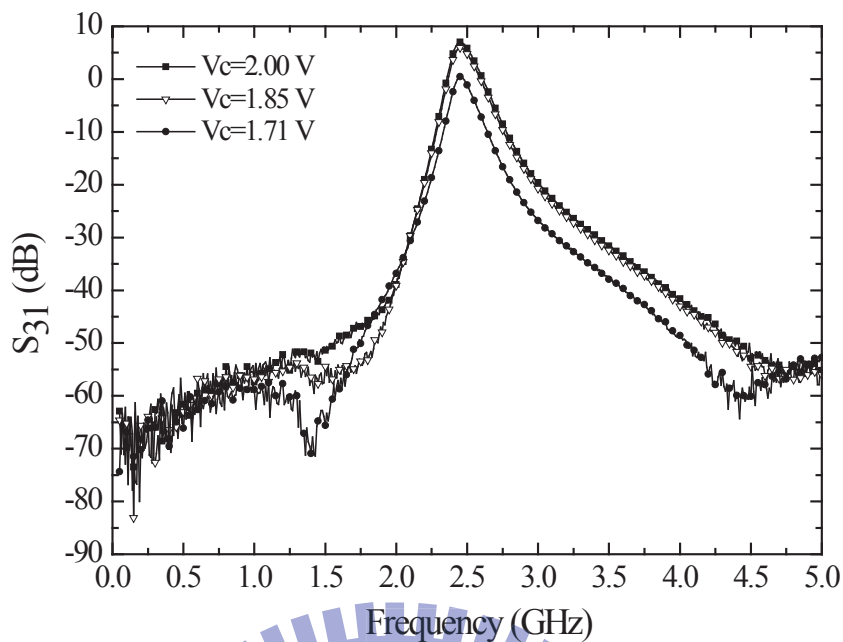


(f)
圖 3.50、S 參數模擬與量測結果。

當調整 VGA 中的電壓 V_c ，將改變共源極電晶體的 g_m ，即達到調整增益的目的。下圖為 S_{21} 與 S_{31} 調整增益的量測結果。



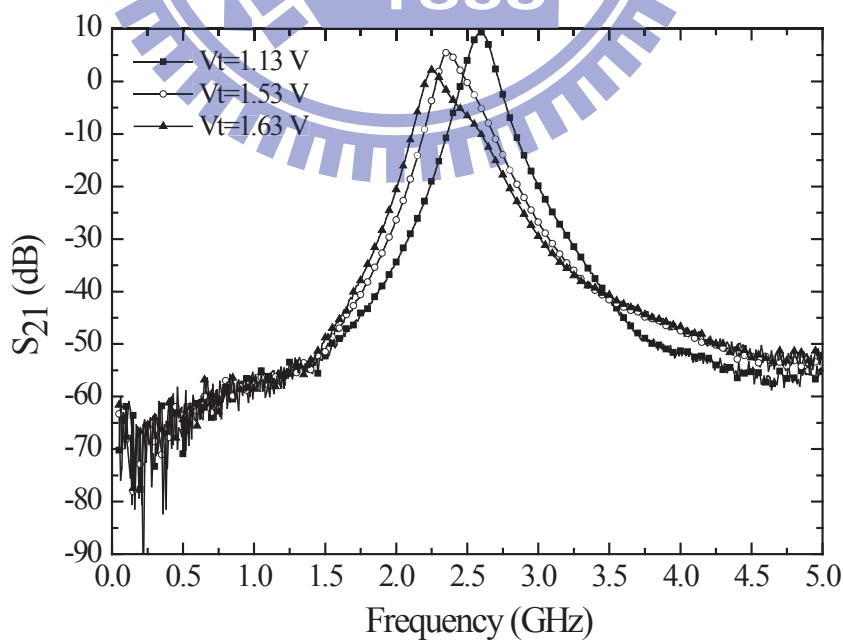
(a)



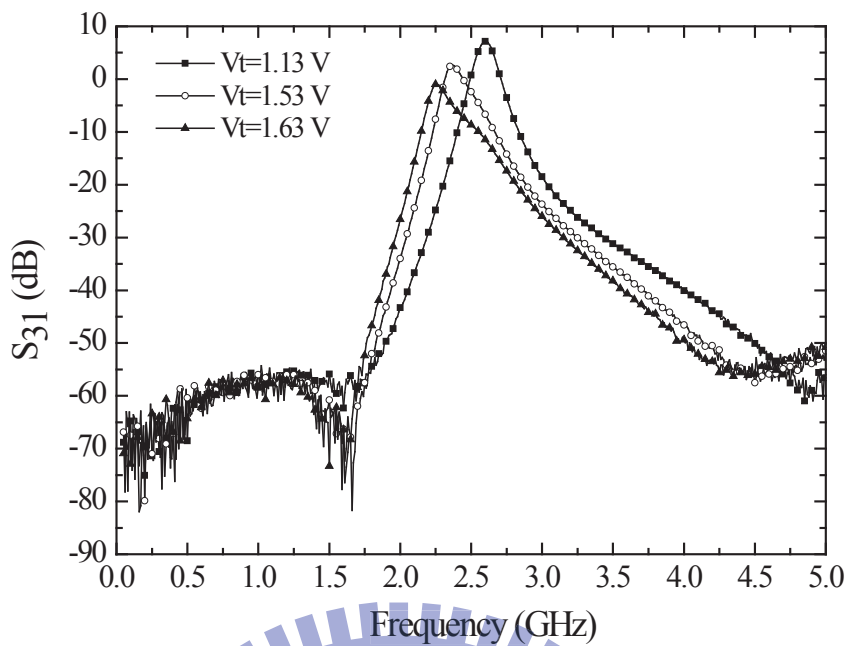
(b)

圖 3.51、調整增益的量測結果。

當可變電容兩端的跨壓改變時，其容值就會跟著改變，兩端跨壓越大時，容值越小，所以下圖的 S_{21} 與 S_{31} 量測結果，隨著 V_t 電壓變小，濾波器中心頻會往高頻移動。頻率可調範圍約為 2.25 GHz~2.61 GHz。



(a)



(b)

圖 3.52、調整中心頻率的量測結果。

模擬 NF=4.327 dB，量測 NF=6.014 dB。

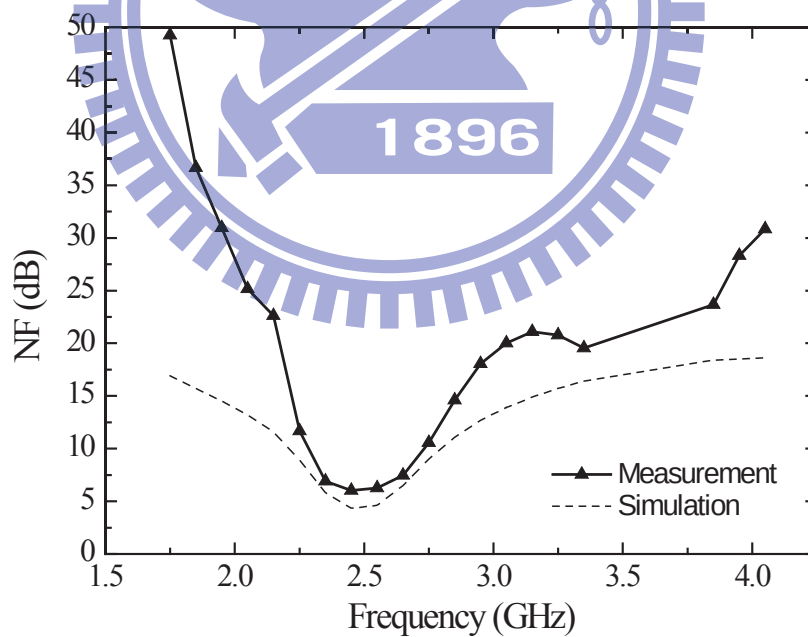
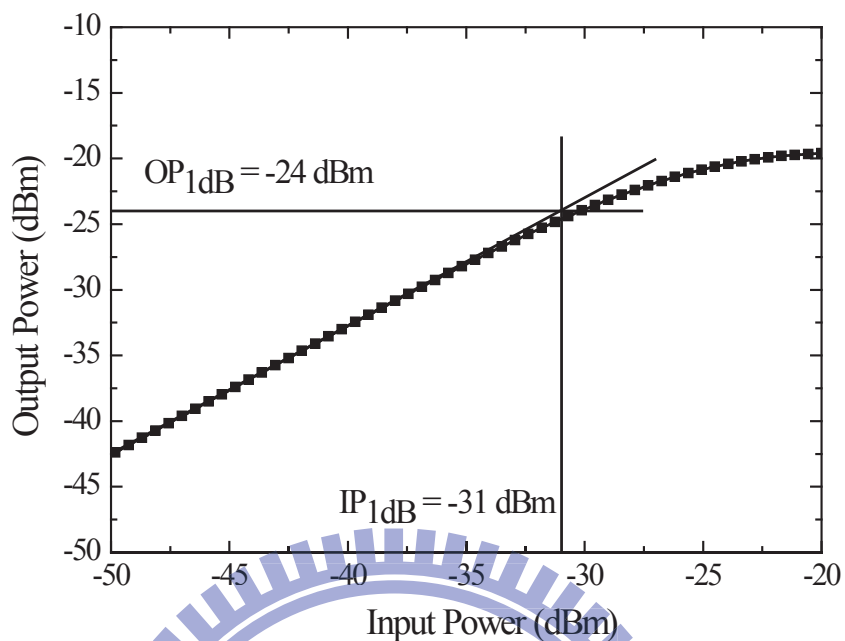


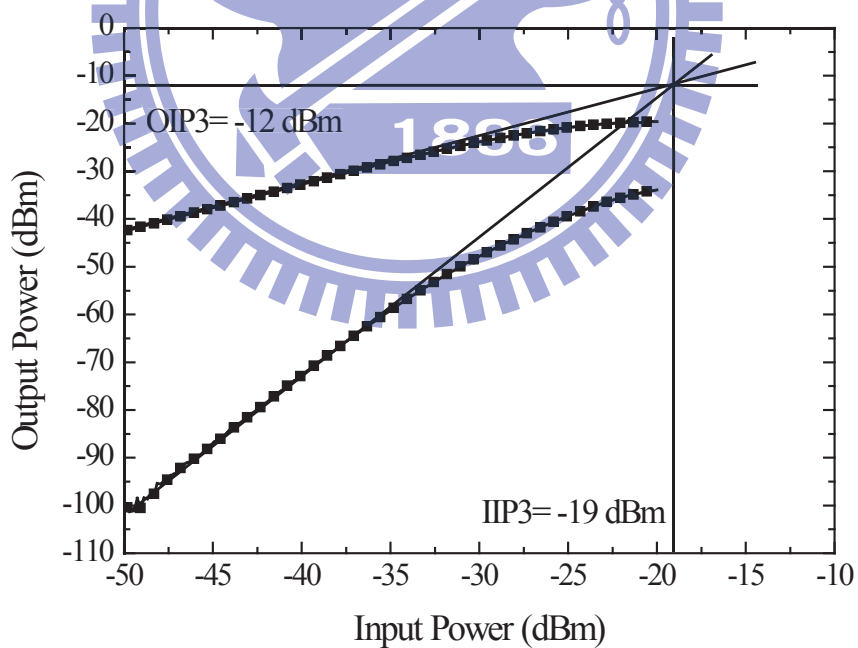
圖 3.53、雜訊指數。

線性度 $IP_{1dB} = -31$ dBm， $OP_{1dB} = -24$ dBm。



(a)

線性度 $IIP3 = -19$ dBm， $OIP3 = -12$ dBm。



(b)

圖 3.54、線性度(a) IP_{1dB} 和(b) $IIP3$ 的量測結果。

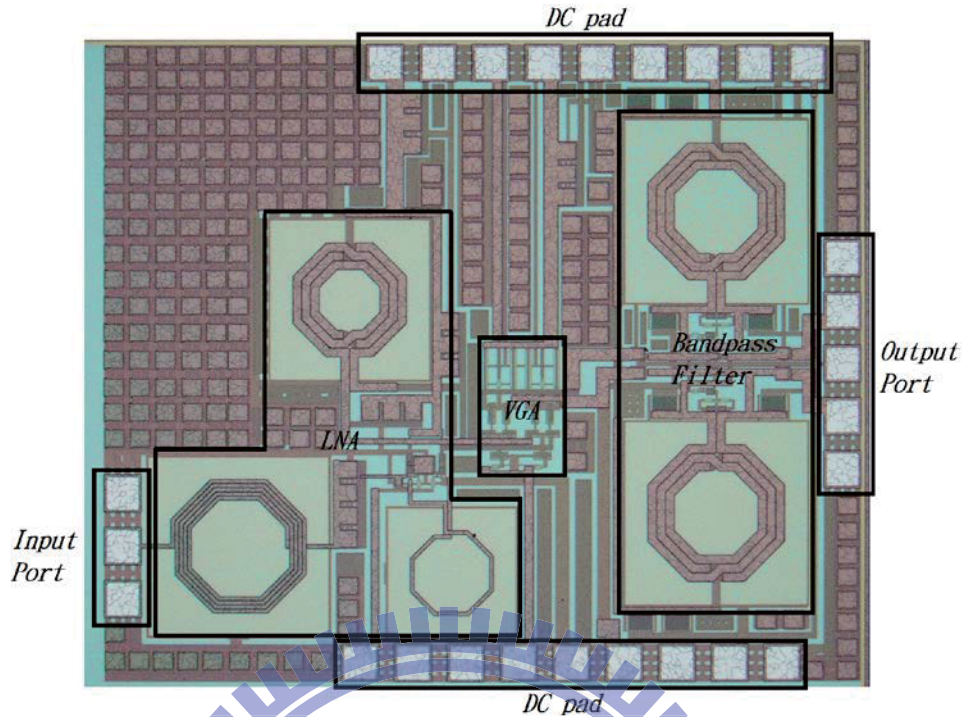


圖 3.55、晶片圖 (1.43 mm×1.21 mm)。

3.4.3 結果與討論

本電路使用 TSMC SiGe 0.18- μm 製程，晶片照片如圖 3.55 所示，輸入埠採用 GSG pad，輸出埠採用 GSGSG pad，DC 偏壓則是用兩組 9 pin 的 PGPPGPPGP pad，晶片面積為 $1.43 \times 1.21 = 1.73 \text{ mm}^2$ 。

量測結果與模擬有些差異， S_{21} 增益比預期低了 3 dB 和 S_{31} 增益比預期低了 5.8 dB，主要原因是 SiGe 的 BJT 模型不夠準確所造成，在量測時，DC 在使用與 POSIM 相同電壓時，會發現電流明顯減少許多，所以必須去調整各個電路的偏壓使其電流達到與 POSIM 差不多的值。從圖 3.52 可看出帶通濾波器的中心頻率可調範圍約為 2.25 GHz~2.61 GHz。在線性度的部分， $\text{IP}_{1\text{dB}}$ 與預期相近，但 IIP3 比預期好 7 dBm，主要原因除了模擬時 HB 的階數較低之外，還有因為量測時調整過偏壓所造成的結果。在雜訊指數方面，則是比預期大了 1.687 dB，推測原因主要是 BJT 的模型不準確的關係，以及 LNA 中心頻率頻飄所造成，但其誤差比使用 MOS 的低雜訊放大器要小。

表 3.2、2.45 GHz 主動帶通濾波器及其前端 LNA 模擬與量測比較表。

Item	Post-Simulation	Measurement
VDD	1.8 V	
Center Frequency	2.45 GHz	2.45 GHz
S_{21} (dB)	10.6	7.61
S_{21} 3dB Bandwidth	130 MHz	140 MHz
S_{31} (dB)	10.7	4.88
S_{31} 3dB Bandwidth	130 MHz	150 MHz
S_{11} (dB)	< -10	< -10
NF (dB)	4.327	6.014
IP_{1dB} (dBm)	-32	-31
IIP3 (dBm)	-26	-19
Power Consumption	41.51 mW	44.05 mW
Chip Size (mm×mm)	1.43×1.21	

3.5 2.4/60GHz 雙模態雙降頻接收機 (SiGe 0.18- μm)

3.5.1 電路設計

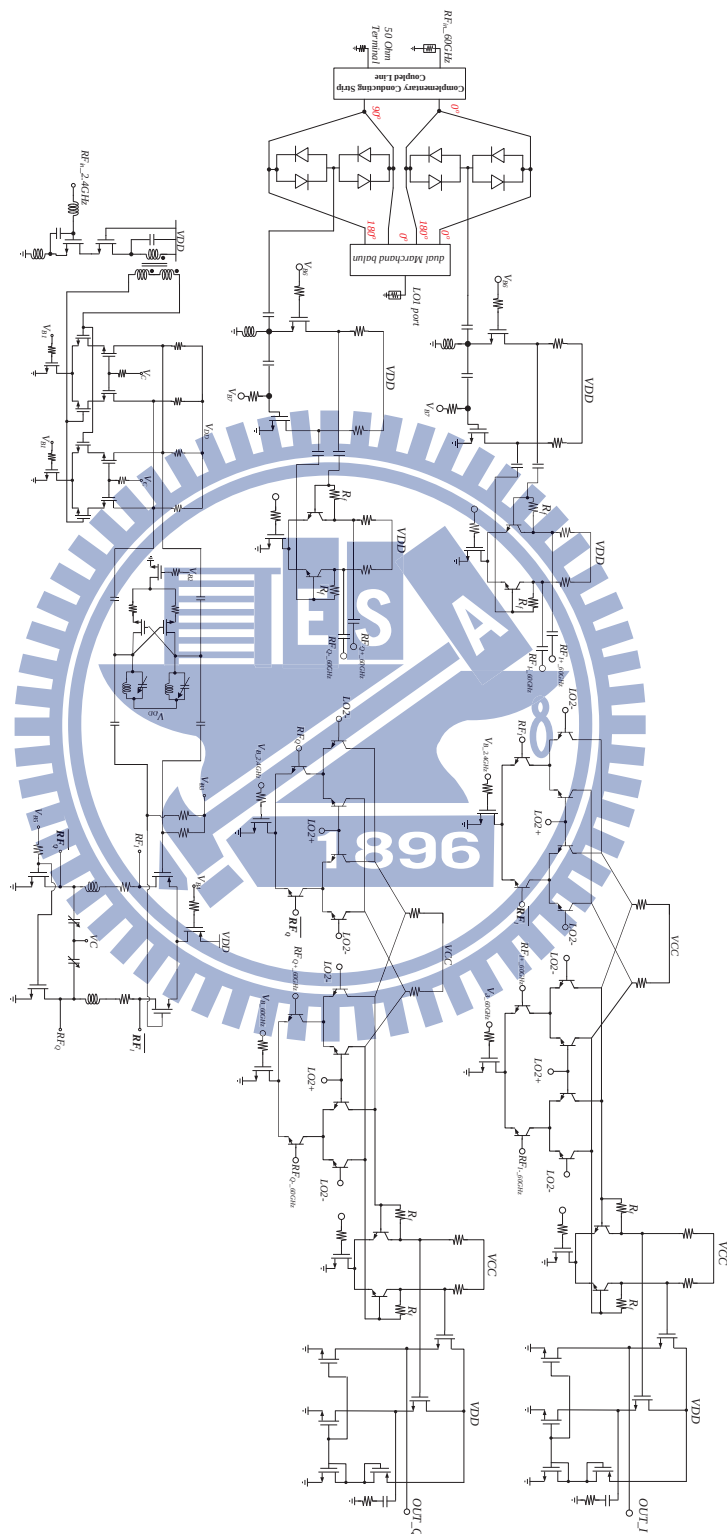


圖 3.56、2.4/60 GHz 雙模態雙降頻接收機電路圖。

1. 可調增益放大器之分析

從文獻[15]我們可以知道放大器的設計上為了要符合規格常需要做些取捨(trade-off)，如放大器的增益越高時，其頻寬越小且線性度越差。一個簡單的差動放大器如圖 3.57 所示，其增益如下式，

$$A_v = g_m(r_{O2} // r_{O4}) \quad (3.44)$$

其中 g_m 為輸入電晶體 M_1 和 M_2 之轉導，而放大器的-3dB 頻寬如下式，

$$\omega_{-3dB} = \frac{1}{C_L(r_{O2} // r_{O4})} \quad (3.45)$$

從(3.44) 和(3.45)式可以看出放大器增益與輸出阻抗成正比以及頻寬和輸出阻抗成反比，所以在增益與頻寬將會有所取捨。

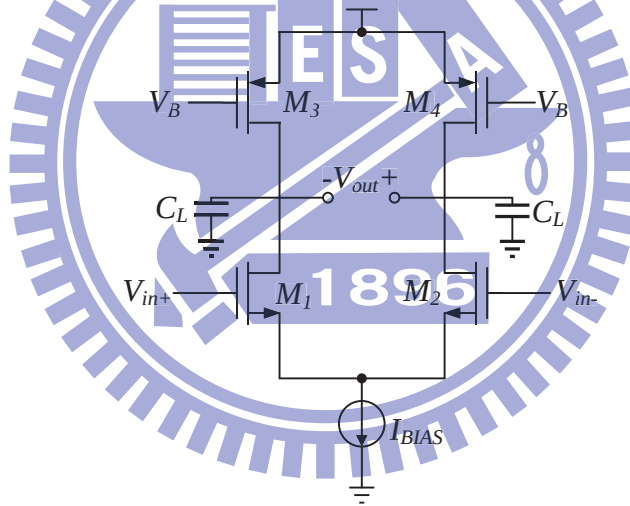


圖 3.57、主動負載之差動放大器。

兩級放大器之增益可以藉由使用功率較低的疊接架構來得到相同的增益，如圖 3.58 所示，一級疊接式放大器之增益如下式，

$$A_v = g_{m1}r_{O1}[(g_{m2} + g_{mb2})r_{O2} + 1] \approx g_{m1}g_{m2}r_{O1}r_{O2} \quad (3.46)$$

使用疊接的架構，其優點為減少米勒效應，從 X 點往電晶體 M_2 看時，其低輸入阻抗能減少電容 C_{GD1} 所看到的米勒效應，以及輸入輸出有更好的隔離度。然而缺點是疊接式的架構會限制輸出電壓的擺幅，所以通常不能在低

電壓應用。

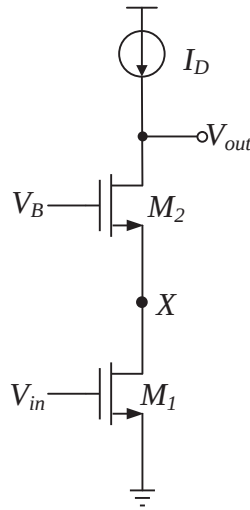


圖 3.58、一級疊接式放大器。

經由上述的簡單分析，我們可以知道圖 3.48 的可變增益放大器，先假設共閘極電晶體操作在飽和區，其 V_{GS} 的壓降維持約一個 V_{th} 左右，當改變共閘極的閘極電壓時，其源極變壓也會跟著變化，所以就是指共源極的汲極端電壓會變化。當由低增益往高增益調整時，即共源極電晶體將會由線性區往飽和區變化，其 g_m 將從正比於 V_{DS} 變化往正比於 $(V_{GS}-V_{th})$ 變化。此外，由於圖 3.48 的最下面使用一個 NMOS 當電流源，所以其電流、閘極電壓、尺寸決定後，汲極電壓也就決定；而共源極的閘極電壓是由 LNA 的輸出埠來決定，所以共源極的 V_{GS} 壓降就不太會變化。經由上述的分析後，必須將共源極電晶體操作在線性區才能使放大器得到線性的可調增益範圍；若共源極電晶體操作在飽和區時，增益已無法再上升。

3.5.2 模擬與量測結果

(1) 60 GHz 雙降頻器

RF1 輸入反射損耗的量測結果只有在 48.2~52.7 GHz 時， $S_{11} < -10$ dB。

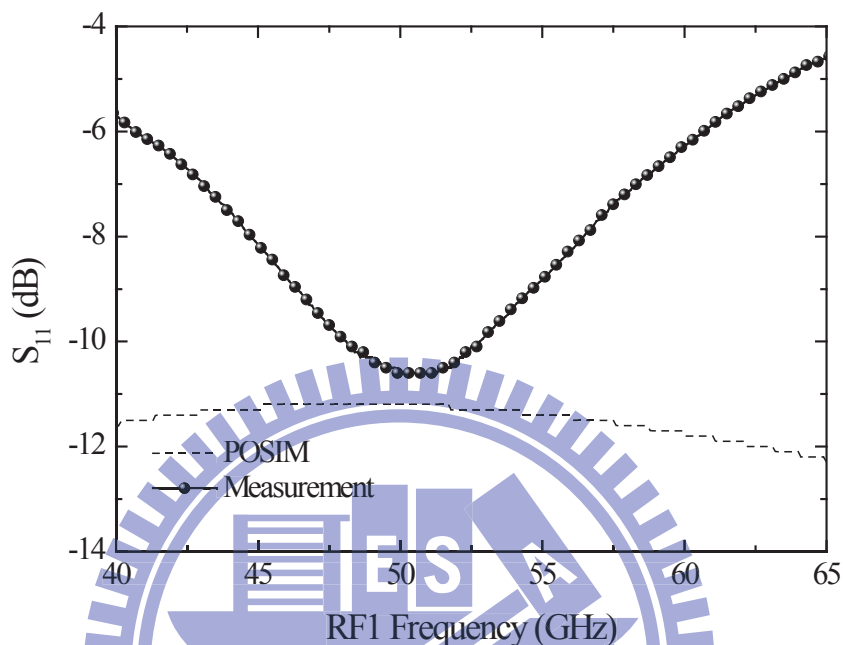


圖 3.59、RF1 的輸入反射損耗。

LO1 輸入反射損耗的最佳點從 25 GHz 頻飄到高频 42.5 GHz。

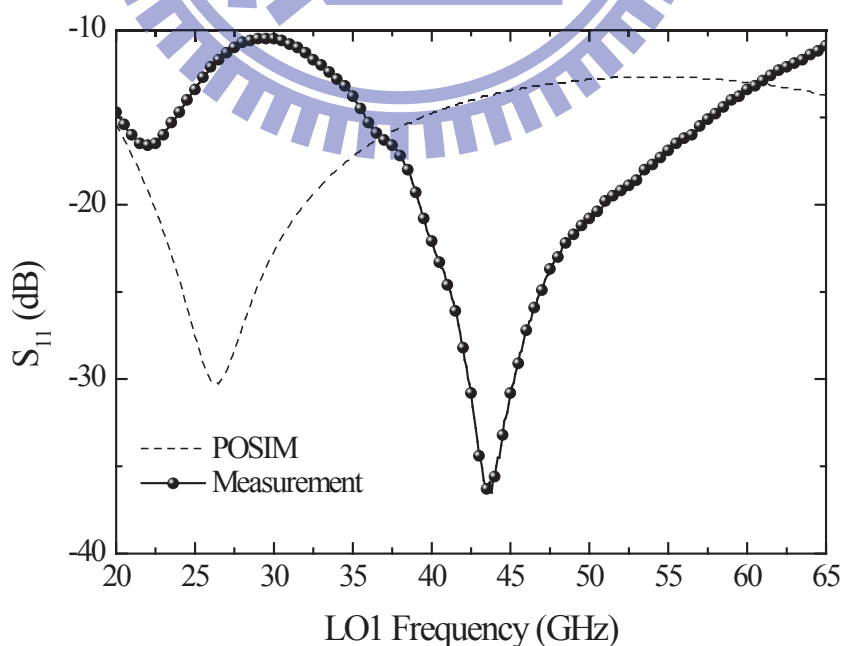


圖 3.60、LO1 的輸入反射損耗。

LO1 功率取 14 dBm。

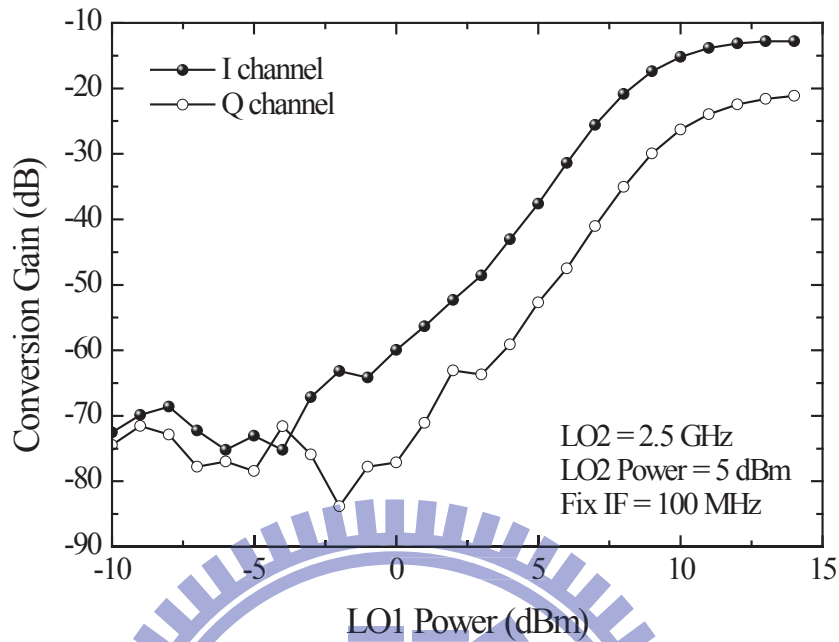


圖 3.61、轉換增益對 LO1 功率作圖。

以 60 GHz 為中心頻時，I 通道的 RF1 頻寬為 50~65.2 GHz，Q 通道的 RF1 頻寬為 50~65.2 GHz。

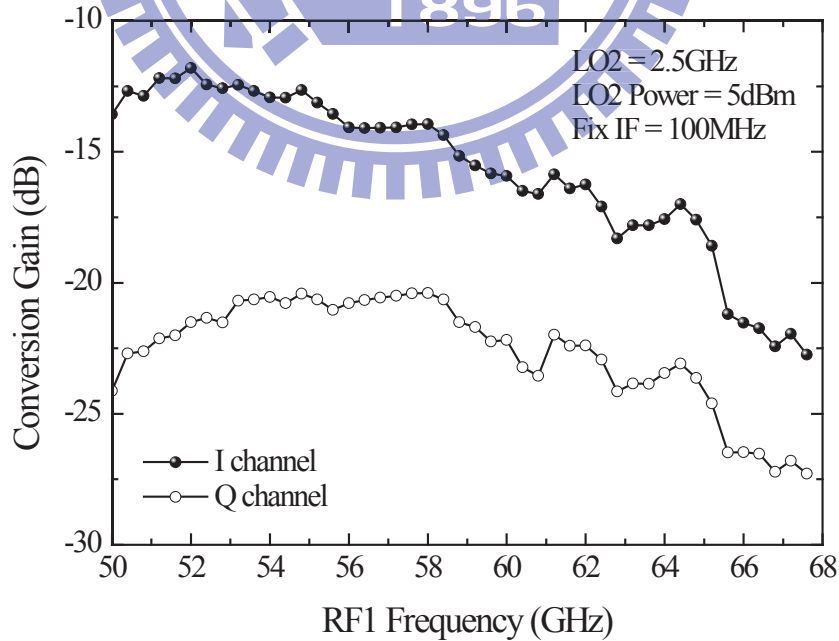


圖 3.62、轉換增益對 RF1 頻率作圖。

I 通道的 IF 頻寬為 750 MHz，Q 通道的 IF 頻寬為 1 GHz。

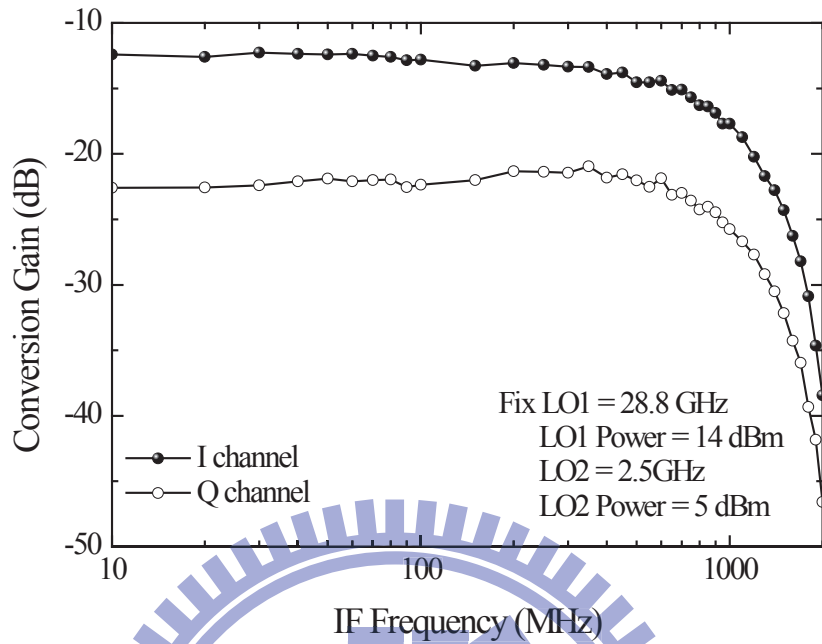


圖 3.63、轉換增益對 IF 頻率作圖。

2LO1 到 RF1 的隔離度約為 -40 dB，2LO1 到 IF 的隔離度約為 -57.5 dB。

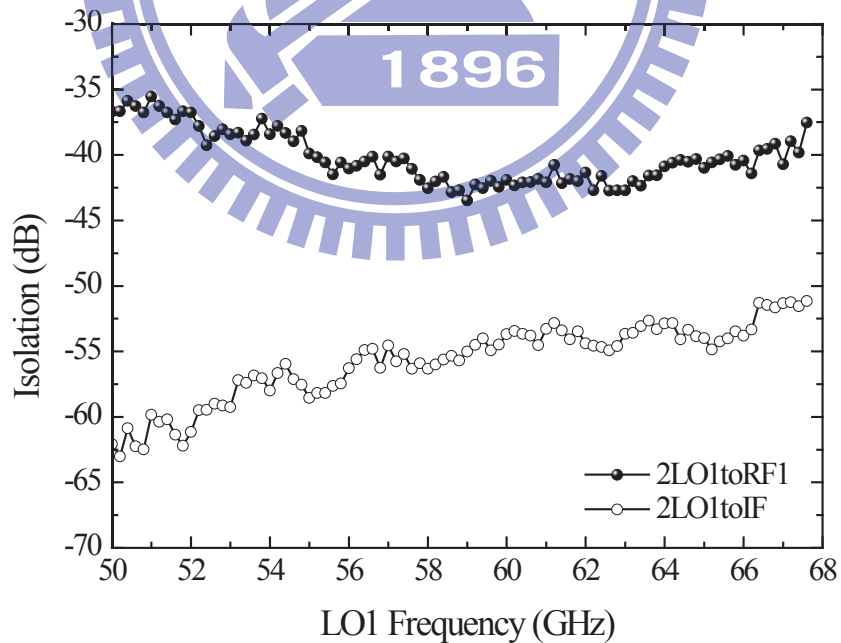


圖 3.64、隔離度對兩倍 LO1 頻率作圖。

LO1 到 RF1 的隔離度約為-55 dB，LO1 到 IF 的隔離度約為-37.5 dB。

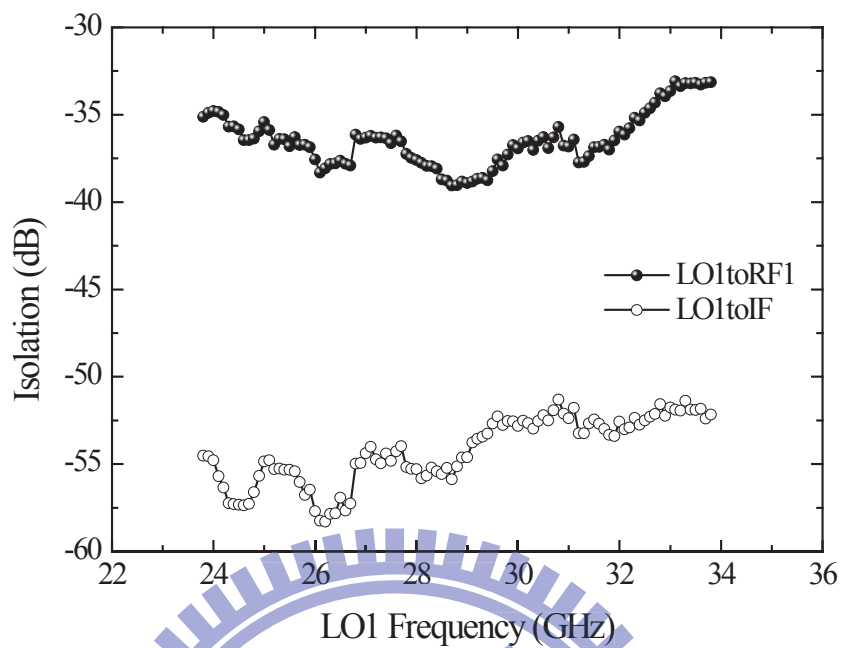


圖 3.65、隔離度對 LO1 頻率作圖。

RF1 到 IF 的隔離度約為-45 ~ -55 dB。

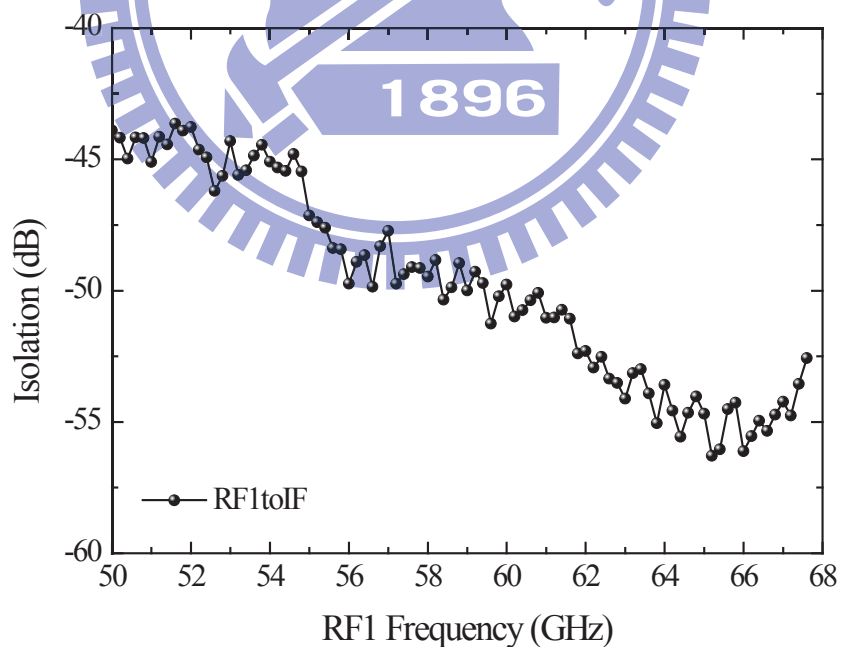


圖 3.66、隔離度對 RF1 頻率作圖。

基頻相位差為 110 度。

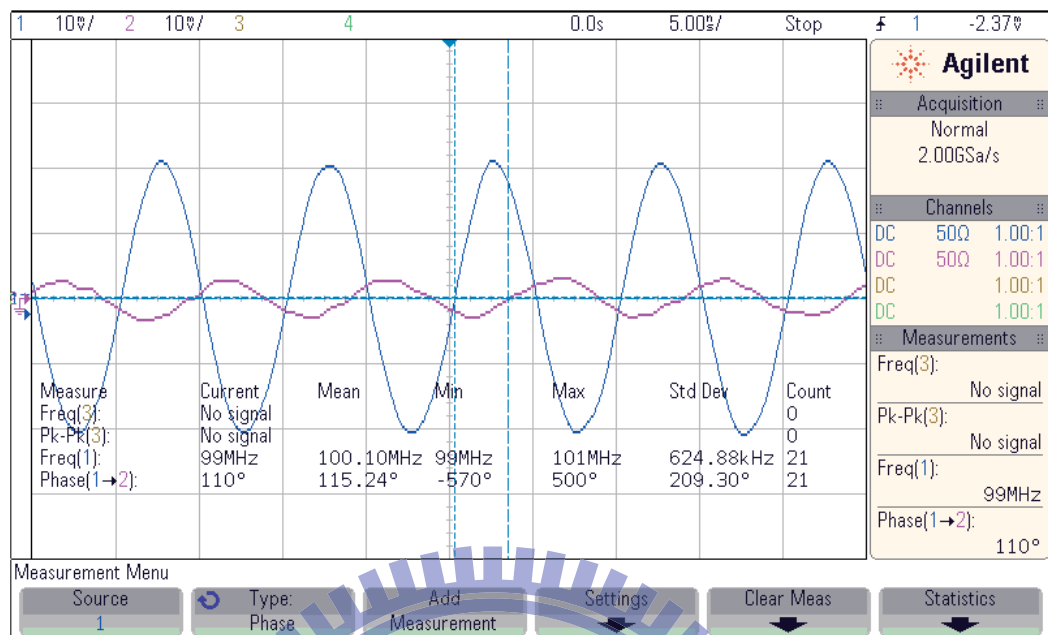


圖 3.67、基頻波形圖。

(2) 應用於通道選擇之 2.4 GHz 直接降頻接收機

S_{11} 的量測結果跟模擬結果相比較後，最佳匹配點往低頻移動，在頻率為 2.01~2.34 GHz 時， $S_{11} < -10$ dB。

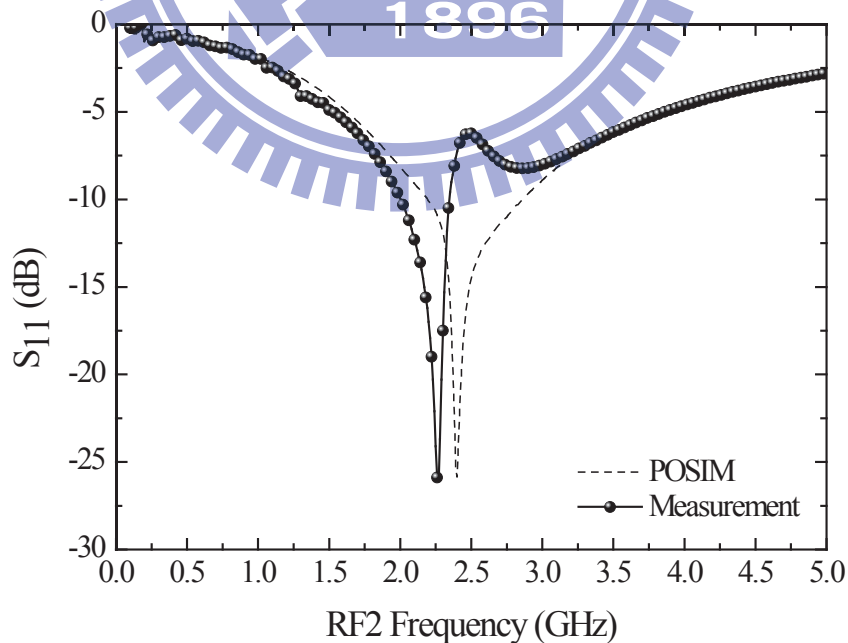


圖 3.68、RF2 的輸入反射損耗。

第一個通道的中心頻為 2.42 GHz，其 LO2 功率取 5 dBm。

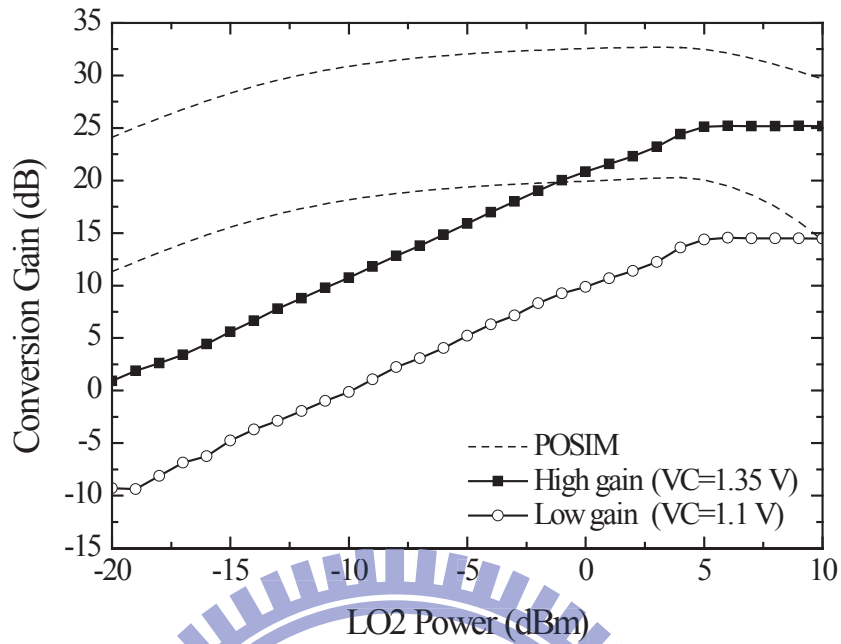


圖 3.69、轉換增益對 LO2 功率作圖 CH1。

第二個通道的中心頻為 2.46 GHz，其 LO2 功率取 5 dBm。

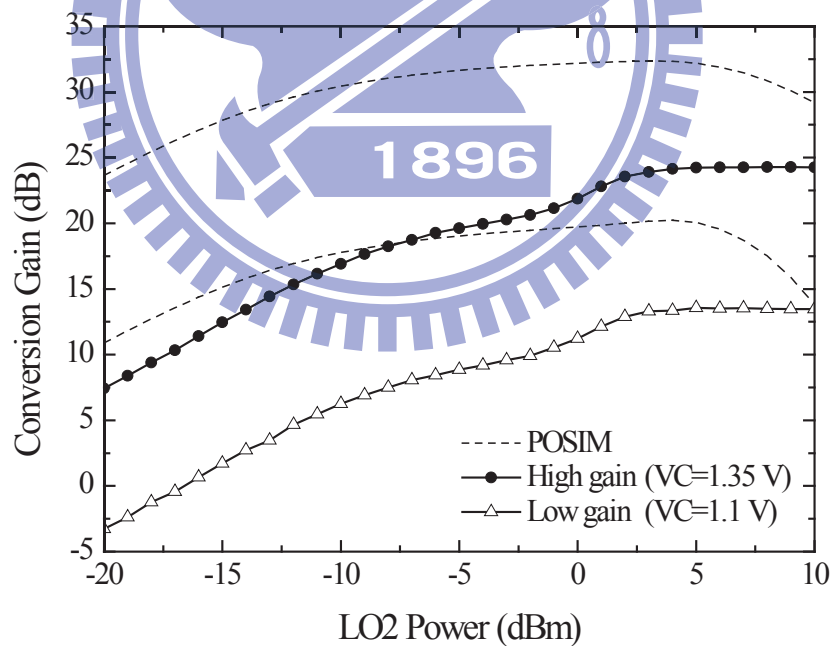


圖 3.70、轉換增益對 LO2 功率作圖 CH2。

第一個通道的中心頻為 2.42 GHz，其 $IP_{1dB} = -40$ dBm(高增益)、 $IP_{1dB} = -29$ dBm(低增益)。

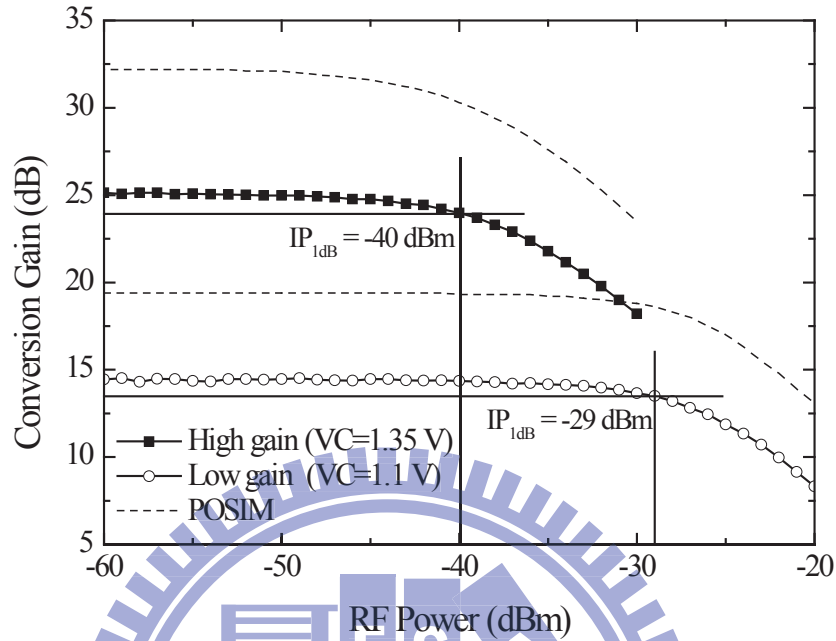


圖 3.71、轉換增益對 RF2 功率作圖 CH1。

第二個通道的中心頻為 2.46 GHz，其 $IP_{1dB} = -38$ dBm(高增益)、 $IP_{1dB} = -26$ dBm(低增益)。

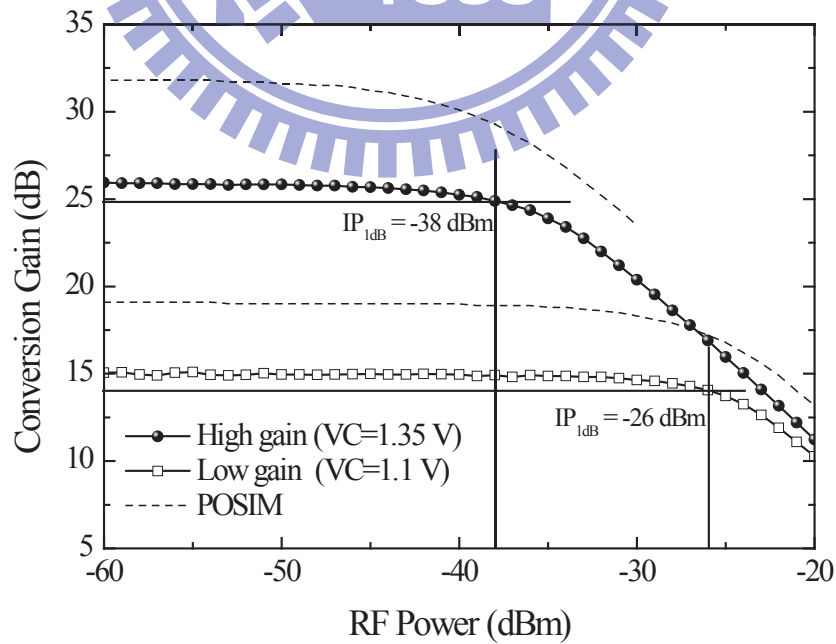


圖 3.72、轉換增益對 RF2 功率作圖 CH2。

第一個通道的中心頻為 2.42 GHz，其 RF2 頻寬約為 34 MHz (高增益)；
第二個通道的中心頻為 2.46 GHz，其 RF2 頻寬約為 32 MHz (高增益)。

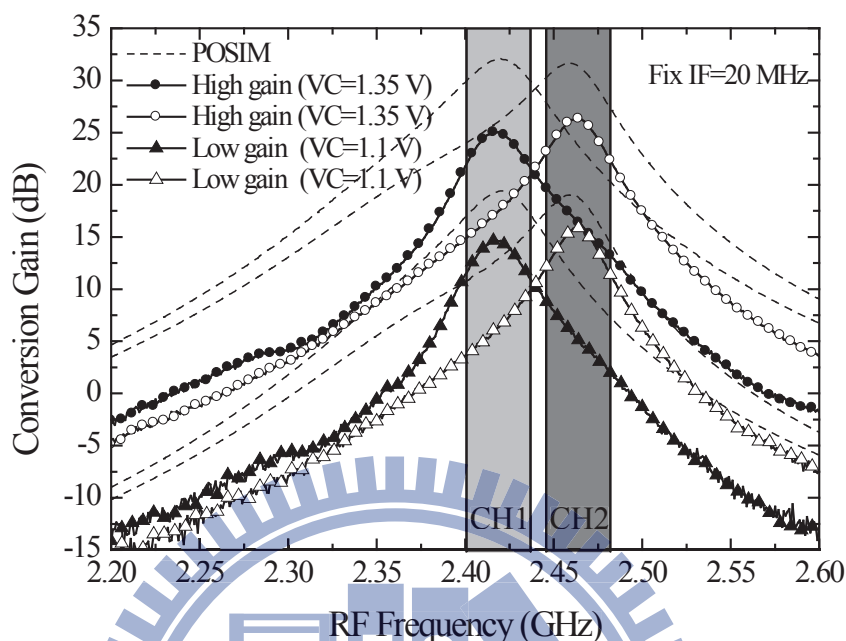


圖 3.73、轉換增益對 RF2 頻率作圖。

在通道一的中心頻為 2.42 GHz，其 IQ 增益差約為 4.5 dB；通道二的中心頻為 2.46 GHz，其 IQ 增益差約為 4.5 dB。

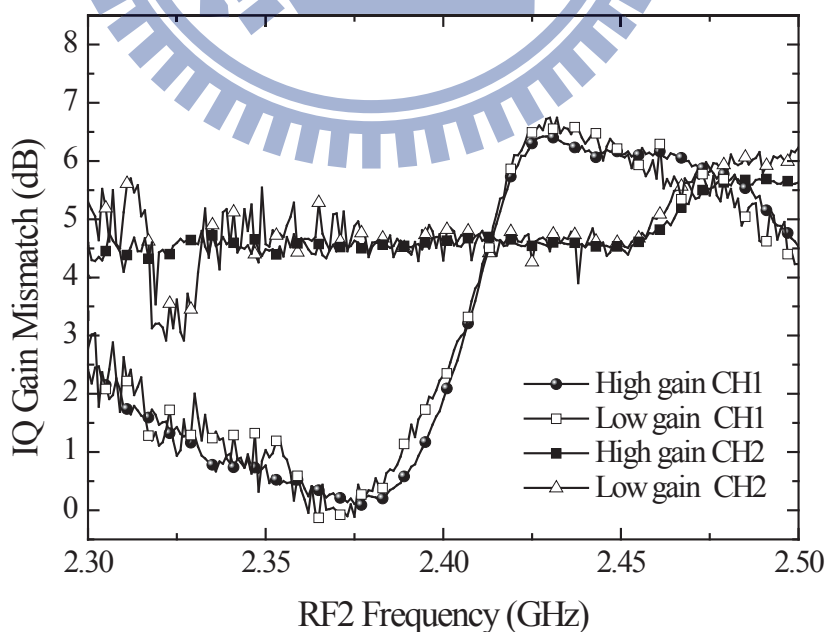


圖 3.74、IQ 增益不匹配對 RF2 頻率作圖。

通道一的 RF2 頻寬內所對應的 NF_{dsb} 皆在 10.5 dB 左右；通道二的 RF2 頻寬內所對應的 NF_{dsb} 在 11 dB 左右。

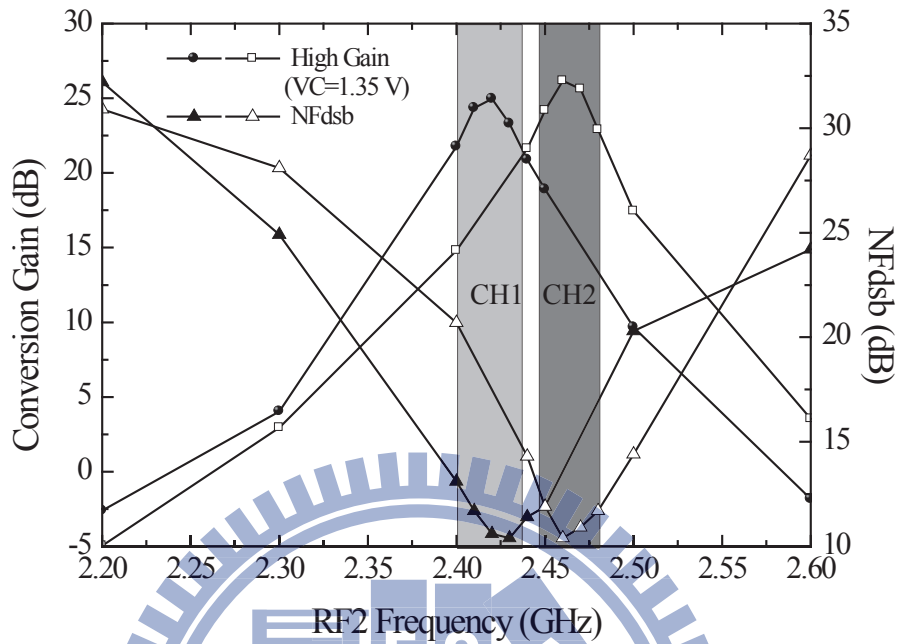


圖 3.75、轉換增益與 NF_{dsb} 對 RF2 頻率作圖。

第一個通道的中心頻為 2.42 GHz，其 IF 頻寬約為 14 MHz (高增益以及低增益)。

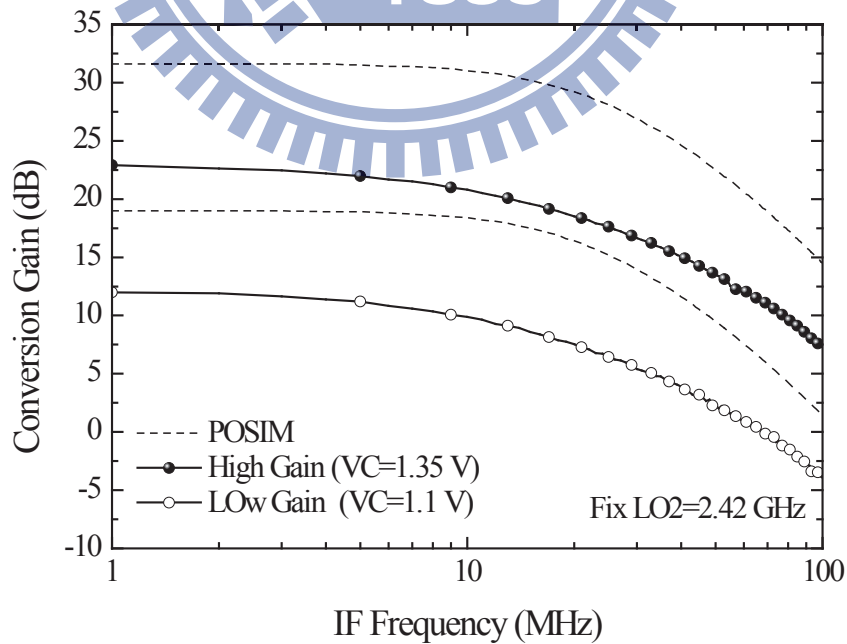


圖 3.76、轉換增益對 IF 頻率作圖 CH1。

第二個通道的中心頻為 2.46 GHz，其 IF 頻寬約為 14 MHz(高增益以及低增益)。

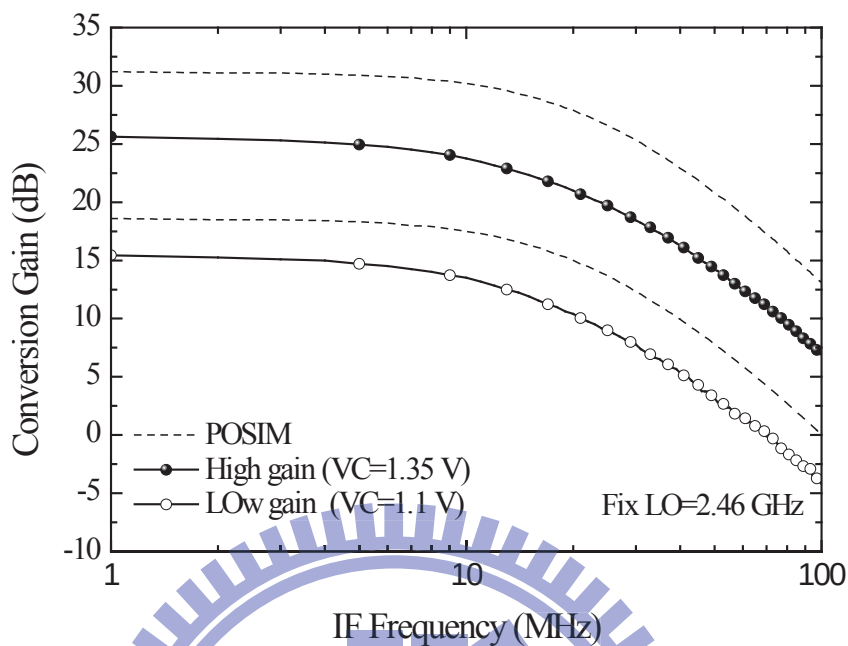


圖 3.77、轉換增益對 IF 頻率作圖 CH2。

通道一與通道二的 LO2 埠到 IF 埠隔離度約為-27.5 dB 左右，而其 LO2 埠到 RF2 埠隔離度約為-57.5 dB 左右。

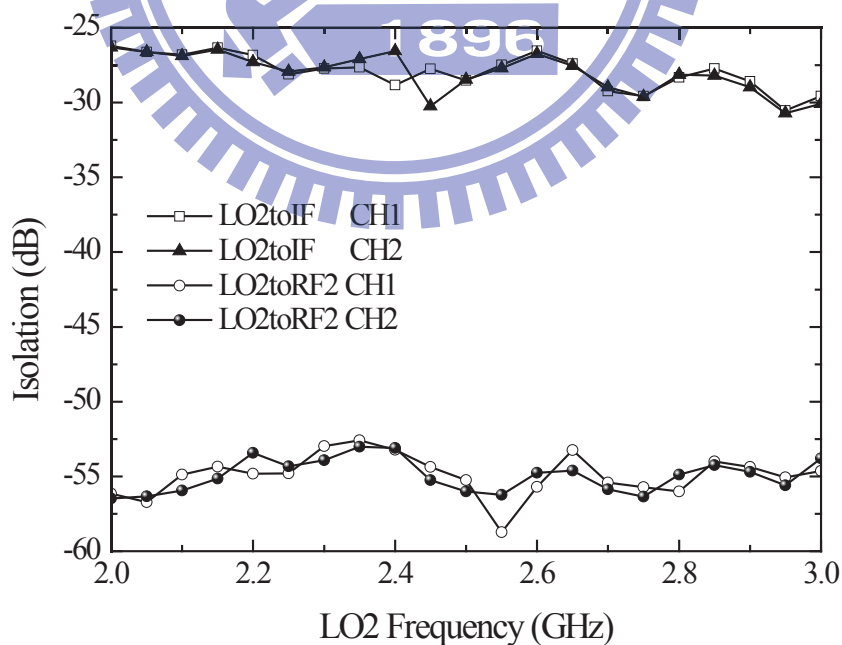


圖 3.78、隔離度對 LO2 頻率作圖。

通道一與通道二的 RF2 埠到 IF 埠隔離度約為 -20 ~ -35 dB 左右。

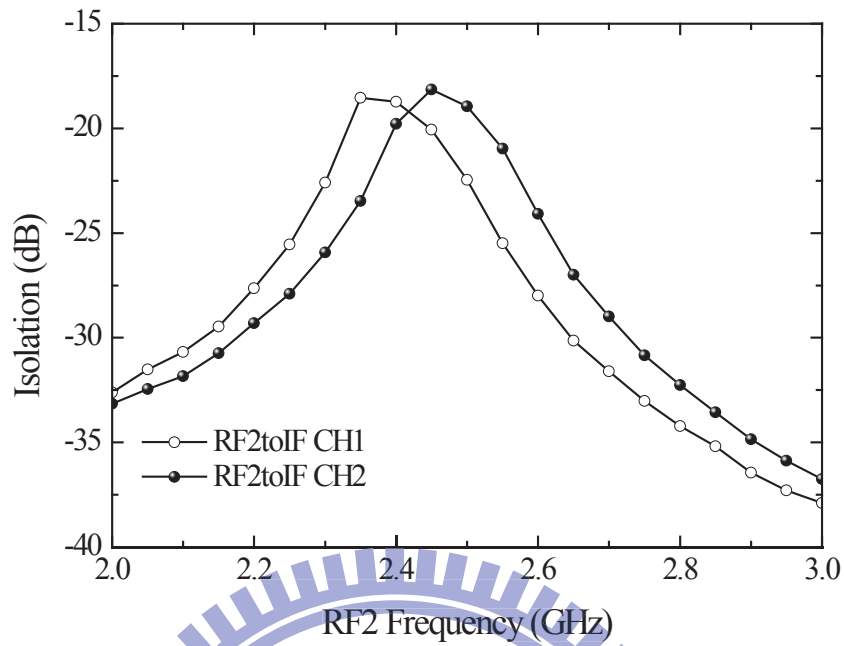


圖 3.79、隔離度對 RF2 頻率作圖。

通道一最低的 $NF_{dsb} = 11.1 \text{ dB @ } 15 \text{ MHz}$ (高增益)。

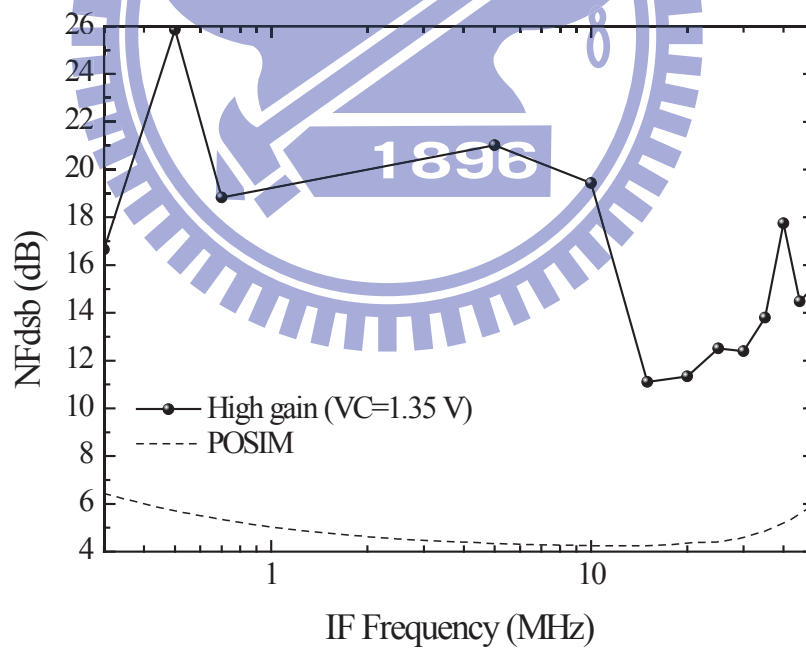


圖 3.80、 NF_{dsb} 對 IF 頻率作圖 CH1。

通道二最低的 $NF_{dsb}=10.65 \text{ dB @ } 20 \text{ MHz}$ (高增益)。

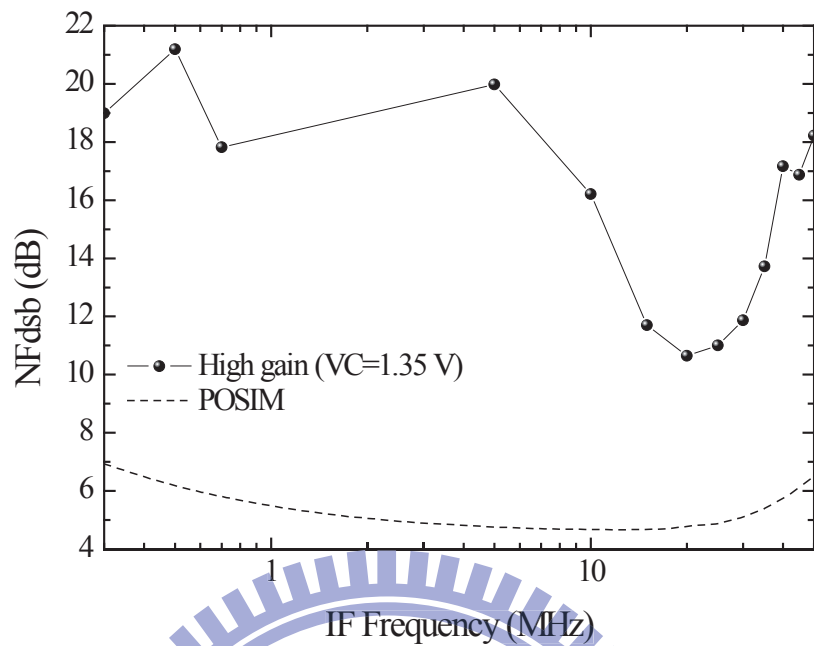


圖 3.81、 NF_{dsb} 對 IF 頻率作圖 CH2。

通道一的線性度 $IIP3 = -33.5 \text{ dBm}$ ， $OIP3 = -10 \text{ dBm}$ (高增益)。

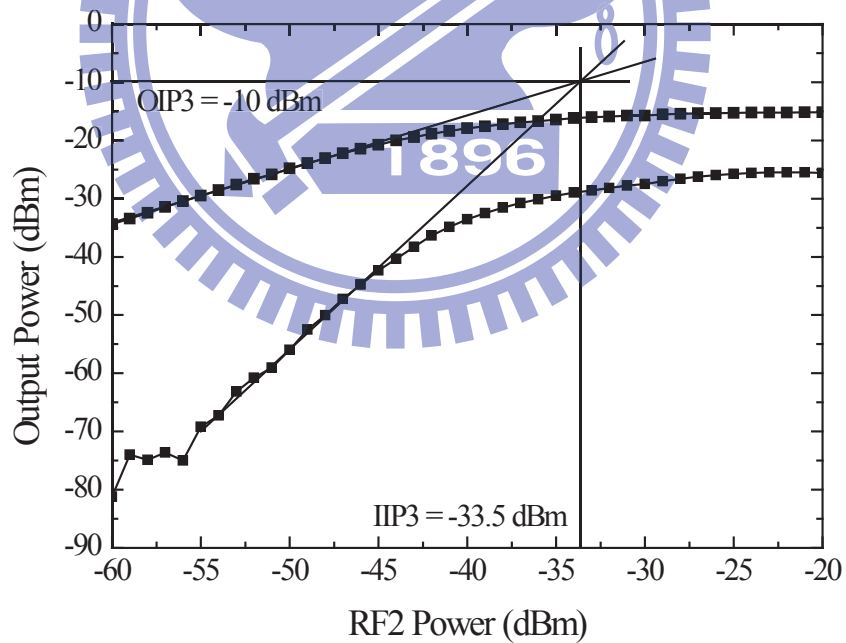


圖 3.82、線性度 $IIP3$ 的量測結果 CH1。

通道二的線性度 $IIP3 = -31.5$ dBm， $OIP3 = -6$ dBm(高增益)。

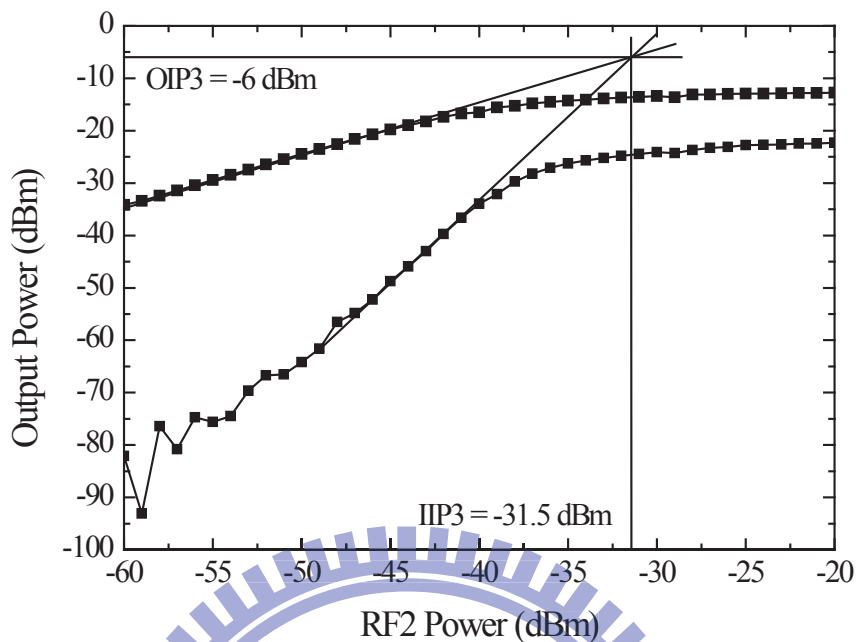


圖 3.83、線性度 $IIP3$ 的量測結果 CH2。

通道一與通道二可以在增益和線性度之間作取捨(trade off)。

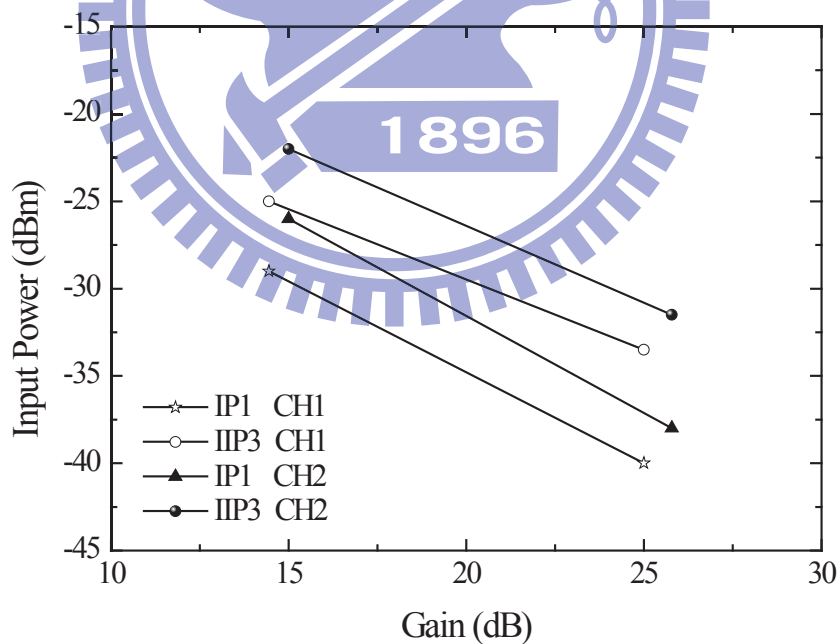


圖 3.84、線性度 IP_{1dB} 與 $IIP3$ 對增益作圖。

基頻輸出相位差約為 93 度。

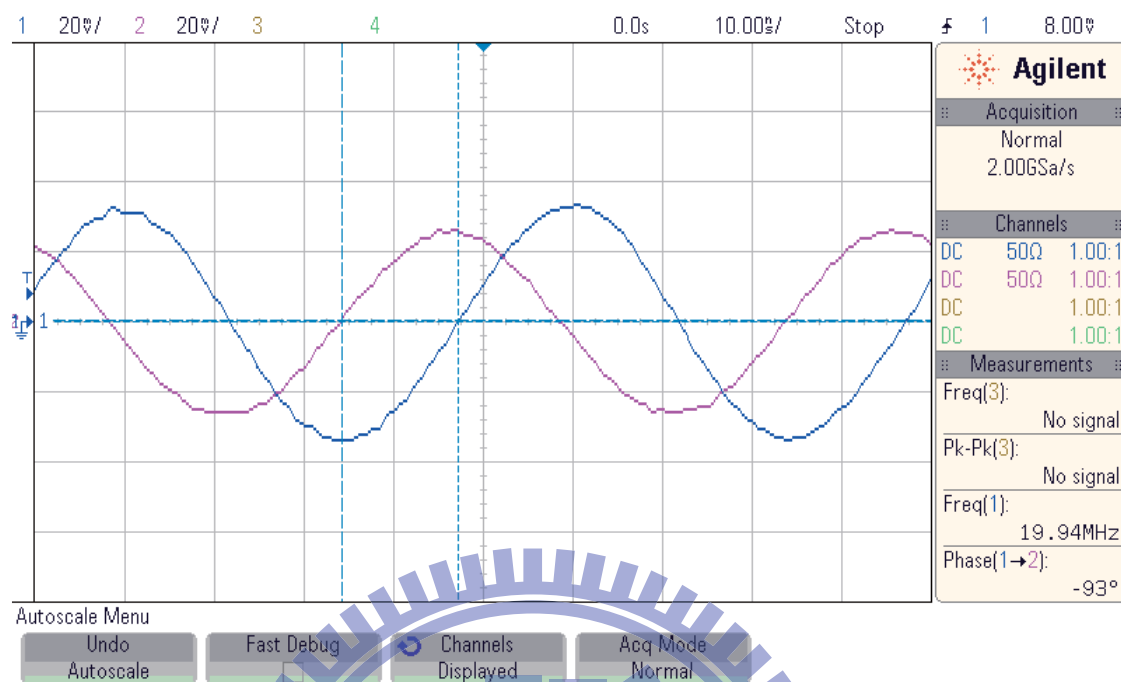


圖 3.85、基頻輸出波形。

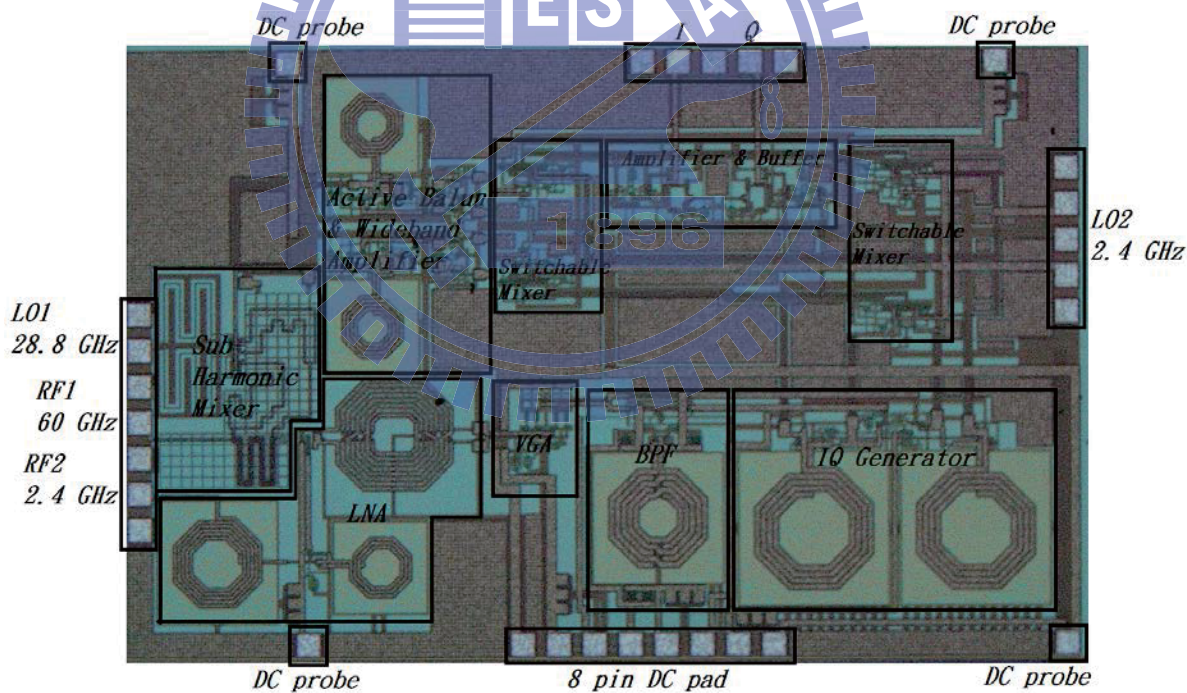


圖 3.86、晶片圖 (2.66 mm×1.69 mm)。

3.5.3 結果與討論

本電路使用 TSMC SiGe 0.18- μm 製程，晶片照片如圖 3.86 所示， $RF1$ 60 GHz 和 $LO1$ 28.8 GHz 共同使用 GSGSG pad，而 $RF2$ 2.4 GHz 採用 GSG pad， $LO2$ 2.4 GHz 和 $IF(I/Q)$ 皆使用 GSGSG pad，DC 偏壓則是用一組 8 pin 的 PPPPPPPP pad 以及 4 組 DC probe，晶片面積為 $2.66 \times 1.69 = 4.5 \text{ mm}^2$ 。

在圖 3.86 佈局圖的上半部為 60 GHz 雙降頻器，其電路如圖 3.56 所示， $RF1$ 與 $LO1$ 的輸入反射損耗量測結果如圖 3.59 和圖 3.60 所示，和模擬相比之下， $RF1$ 只有在 48.2~52.7 GHz 是 $S_{11} < -10 \text{ dB}$ ，表示其從原本設計的 60GHz 往低頻 50 GHz 頻飄；而 $LO1$ 的最佳匹配點雖然往高頻頻飄，但在所要的頻率範圍 20~40 GHz 皆是 $S_{11} < -10 \text{ dB}$ 。從圖 3.61 的量測結果可以知道 $LO1$ 功率為 14 dBm 比模擬小了 2 dBm，而 IQ 增益差了約 10 dB 左右，其原因為 $RF1$ 的耦合線出問題，即穿透埠與耦合埠的大小差異比預期大。掃 $RF1$ 頻率時，從圖 3.62 可以看出轉換增益較高的地方偏移到低頻 52 GHz 附近，而 IQ 增益不匹配差了約 10 dB 左右。掃 IF 頻率時，從圖 3.63 可以知道 I 通道的 IF 頻寬約為 750 MHz，而 Q 通道的 IF 頻寬約為 1 GHz，且 IQ 增益差了約 10 dB 左右，其結果表示後級的放大器可以很寬頻。線性度方面，由於轉換增益比預期低很多，所以量測時無法量到更高的功率。最後的基頻波形如圖 3.67 所示，IQ 相位差為 110 度。

在 2.4 GHz 直接降頻接收機的量測和模擬結果相比後，輸入反射損耗最佳匹配點往低頻移動，在頻率為 2.01~2.34 GHz 時， $S_{11} < -10 \text{ dB}$ 。在 $LO2$ 功率方面， $LO2$ 功率的模擬值為 -5 dBm，但量測結果需要打到 5 dBm 比預期多了 10 dBm，其原因為主動混頻器是使用 BJT 來實現所導致，從 3.4 節的實作中已經知道 BJT 的直流模型不夠準確，所以量測時的 $LO2$ 功率會較大是可預期的結果。線性度 $IP_{1\text{dB}}$ 和 $IIP3$ 跟預期差不多，且從圖 3.84 可以知道

增益與線性度可以透過調整 VGA 的增益來作取捨。掃 RF2 頻率的結果符合預期，即可以選通道 CH1 ($f_0=2.42$ GHz)和 CH2 ($f_0=2.46$ GHz)且-3 dB 頻寬為 34 MHz 左右(有載 Q 值約 71.18)和 32 MHz 左右(有載 Q 值約 76.88)，頻寬結果比預期的 40 MHz 小了 6 MHz 和 8 MHz，其原因為量測時會調整濾波器的 Q 值；而在圖 3.74 中 IQ 增益有明顯的不匹配，其主要是因為圖 3.20 中 R_{PS} 的電阻值變化對 IQ 增益大小非常敏感。掃 IF 頻率的頻寬為 14 MHz 比預期的 20 MHz 小了 6 MHz。 NF_{dsb} 的量測結果皆比模擬大了約 6 dB 左右，其原因是第一級 LNA 的中心頻往低頻頻飄到 2.25 GHz 左右而導致 CH1 和 CH2 沒有在最佳匹配點。在隔離度方面，LO2-RF2 有不錯的結果，其原因是主動式混頻器使用雙平衡式(double-balanced)的架構。最後的基頻波形如圖 3.85 所示，IQ 相位差為 93 度。



表 3.3、2.4/60 GHz 雙模態雙降頻接收機模擬與量測比較表。

Process	TSMC SiGe 0.18-μm			
Supply Voltage	1.8 V			
Simulation	Post-sim	Measurement	Post-sim	Measurement
Frequency	2.42 GHz 2.46 GHz	2.42 GHz 2.46 GHz	60 GHz	60 GHz
Conversion Gain	32.1 dB 31.6 dB	25 dB 26.34 dB	5.382 dB	-12.81 dB(I) -21.14 dB(Q)
LO1 Power	N/A	N/A	16 dBm	14 dBm
LO2 Power	-5 dBm	5 dBm	-5 dBm	5 dBm
IP1dB	-42 dBm -42 dBm	-40 dBm -38 dBm	-15 dBm	N/A
IIP3	-31 dBm -31 dBm	-29 dBm -26 dBm	-5 dBm	N/A
RF Bandwidth	45 MHz 45 MHz	34 MHz 32 MHz	54~68.3GHz	50~65.2 GHz
IF Bandwidth	24 MHz 24 MHz	14 MHz 14 MHz	1.12 GHz	750 MHz(I) 1 GHz(Q)
NF _{dsb}	4.69 dB 5.04 dB	11.1 dB 10.65 dB	30.873 dB	N/A
Power Consumption	1.8×38.53= 69.354 mW		1.8×33.05= 59.49 mW	
Chip Size	2.66×1.69 = 4.5 mm ²			



第四章

結論

本論文第二章的部分，可以藉由公式計算出不同的中心頻率與頻寬之下，其所需要的電感和電容值，並由模擬結果說明 TSMC 所提供的被動電感 Q 值太低而導致帶通濾波器的植入損耗太大而無法滿足設計要求。然後使用交錯耦合電晶體產生負電阻來補償濾波器的植入損耗，之後分析使用退化電阻來改善濾波器的線性度。最後說明交錯耦合電晶體的雜訊特性，而退化電阻也會貢獻雜訊到交錯耦合對的汲極端。

第三章的實作部分，首先使用了 TSMC CMOS 0.18- μm 以及 TSMC SiGe 0.18- μm 製程實作與量測 2.4 GHz 與 2.45 GHz 之主動帶通濾波器及其前端 LNA。在 2.4 GHz 方面，其帶通濾波器是使用兩組交錯耦合對和沒有使用退化電阻來實現，其量測結果可以知道頻率可調範圍約為 2.26~2.49 GHz，往更高頻調時會有通帶失真現象。在 2.45 GHz 方面，其帶通濾波器是使用一組交錯耦合對以及使用退化電阻來改善線性度，但因為 SiGe 製程中的 BJT 模型不夠準確，導致量測結果與模擬結果有些微差異，而其頻率可調範圍約為 2.25~2.61 GHz。從這兩個實作的量測結果，可以知道共同特點是在高頻的抑制較低頻差，其原因是濾波器使用高通架構，此外，在調頻時高頻之增益較高，其原因是可變電容在低容值時 Q 值較高。

最後使用 TSMC SiGe 0.18- μm 製程來實作 2.4/60 GHz 雙模態雙降頻接收機。在 60 GHz 的雙降頻器方面，LO1 功率比模擬小 2 dBm，IQ 增益差了 10 dB，其原因為 RF1 的耦合線出問題，即穿透埠與耦合埠的大小差異比預期大。在掃 RF1 頻率時，發現量測結果往低頻 52 GHz 飄移。掃 IF 頻寬時，其 I 通道的頻寬為 750 MHz 和 Q 通道的頻寬為 1 GHz，說明了後級放大器的頻寬可以有 1 GHz。

在 2.4 GHz 直接降頻接收機方面，從圖 3.73 的量測結果可以看出使用比例頻寬極小的帶通濾波器來實現通道選擇的應用是可行的，即其 RF2 頻寬與 IF 頻寬是由主動窄頻帶通濾波器所決定，量測結果為中心頻 2.42 GHz

的通道與中心頻 2.46 GHz 的通道。可變增益放大器的功用可以從圖 3.84 看出來，在增益與線性度可以作取捨(trade off)。如圖 3.22 所示，由於主動混頻器使用 BJT 來完成，所以其 LO2 埠的直流偏壓比預期低而導致 LO2 功率會比模擬較大些。從圖 3.85 可以看出基頻 IQ 輸出的相位差為 93 度但波形振幅卻有些許差異，原因是圖 3.20 中的 R_{PS} 電阻值受製程變異所導致，在做 POSIM 時就發現 R_{PS} 電阻值對最後的 IQ 振幅差異很敏感。在雜訊指數方面，由於第一級 LNA 頻偏到低頻 2.25 GHz，所以 CH1 和 CH2 的量測結果都比模擬大了 6 dB。而隔離度方面，從可以看出 LO2 埠到 RF2 埠有不錯的隔離度，其原因是 Gilbert 混頻器使用雙平衡式(double balanced)的架構，LO2 訊號經由寄生電容或基板耦合洩漏到 RF2 埠時，會看到虛接地(virtual ground)，所以 LO2 埠到 RF2 埠會有較好的隔離度。



參考文獻

第一章：

- [1] 廖建興,“無線個人區域網路(WPAN)技術發展與應用概論,”中華民國電子零件認證委員會.

第二章：

- [1] *Microwave Engineering*, by David M. Pozar, 3rd Edition, John Wiley & Sons, 2004.
- [2] S. Cohn, “Direct-Coupled-Resonator Filters,” *Proceedings of the IRE*, vol. 45, pp. 187-196, Feb. 1957.
- [3] Belevitch, V. “Tchebyscheff Filters and Amplifier Networks,” *Wireless Engineer*, vol. 29, pp. 106-110, April 1952.
- [4] Orchard, H. J. , “Formulas for Ladder Filters,” *Wireless Engineer*, vol. 30, pp. 3-5, Jan. 1953.
- [5] Thanachayanont A. , “A 1.5-V CMOS fully differential inductorless RF bandpass amplifier,” *IEEE Int. Symp. Circuits Systems (ISCAS)*, vol.4, pp. 49-52, 2001.
- [6] Y. Wu, X. Ding, M. Ismail, and H. Olsson, “A novel CMOS fully differential inductorless RF bandpass filter,” *IEEE Int. Symp. Circuits Systems (ISCAS)*, vol. 4, pp. 149-152, 2000.
- [7] Holly Pekau; Jim Kulyk; James W. Haslett; Leonid Belostotski; , “Linearization Techniques for Cross-Coupled Transconductor Circuits

Used in Integrated Q-Enhanced LC Filters,” *Electrical and Computer Engineering*, pp.541-546, May 2006.

- [8] B. Georgescu, I. G. Finvers and F. Ghannouchi, “2 GHz Q-Enhanced Active Filter With Low Passband Distortion and High Dynamic Range,” *IEEE J. Solid-State Circuits*, vol.41, no. 9, Sep. 2006.

第三章：

- [1] 游勝文, “雙頻帶雙轉換鏡像消除複數降頻器與寬頻吉伯特混頻器設計,” 國立交通大學碩士論文, 2010.
- [2] *Microwave Engineering*, by David M. Pozar, 3rd Edition, John Wiley & Sons, 2004.
- [3] S. Cohn, “Direct-Coupled-Resonator Filters,” *Proceedings of the IRE*, vol. 45, pp.187-196, Feb. 1957.
- [4] Belevitch, V. “Tchebyscheff Filters and Amplifier Networks,” *Wireless Engineer*, vol. 29, pp. 106-110, April 1952.
- [5] Orchard, H. J. “Formulas for Ladder Filters,” *Wireless Engineer*, vol. 30, pp. 3-5, Jan. 1953.
- [6] Risto Kaunisto, “Monolithic Active Resonator Filters for High Frequencies,” Helsinki University of Technology, Department of Electrical and Communications Engineering, Electronic Circuit Design Laboratory.
- [7] C. Y. Wu, and C. Y. Chou, “A 5-GHz CMOS double-quadrature receiver front-end with single-stage quadrature generator,” *IEEE J. Solid-State Circuits*, vol. 39, no. 3, pp. 519-521, Mar. 2004.
- [8] T. K. Nguyen, C. H. Kim, G. J. Ihm, M. S. Yang, and S. G. Lee, “CMOS

- low-noise amplifier design optimization techniques”, *IEEE Trans. Microw. Theory Tech.*, vol. 52, no. 5, May 2004.
- [9] 張智凱, “2.4/5.8-GHz 低功率低雜訊 CMOS 直接降頻接收機,” 國立交通大學碩士論文, 2010.
- [10] B. Gilbert, “A precise four-quadrant multiplier with subnanosecond response,” *IEEE J. Solid-State Circuits*, 1968.
- [11] *Semiconductor Devices: Physics and Technology*, by S. M. Sze, 2nd Edition, John Wiley & Sons, 2001.
- [12] M.-J. Chiang, H.-S. Wu, C.-K. C. Tzuang, “Artificial-synthesized edge-coupled transmission line for compact CMOS directional coupler designs,” *IEEE Trans. Microw. Theory Tech.*, vol. 57, no. 12, pp. 3410-3417, Dec. 2009.
- [13] C.-C. Kuo, H.-C. Lu, H. Wang, “A new doubly balanced sub-harmonically miniature mixer using dual Marchand balun in CMOS 0.18- μm technology,” *IEEE Trans. Microw. Theory Tech.*, pp. 1-3, 17-22, June 2012.
- [14] S. C. Blaakmeer, E. A. M. Klumperink, D. M. W. Leenaerts and B. Nauta, “Wideband balun-LNA with simultaneous output balancing, noise-canceling and distortion-canceling,” *IEEE J. Solid-State Circuits*, vol. 43, pp. 1341, June 2008.
- [15] Sivasankari Krishnanji, “Design of A Variable Gain Amplifier for An Ultra Wideband Receiver,” Birla Institute of Technology and Science, India.

The logo of the Federal Communications Commission (FSA) is a circular seal. It features a gear-like outer ring. Inside the ring, there is a shield with a book and a quill. The letters 'FSA' are prominently displayed in the center of the shield.

附錄一

應用於通道選擇之 2.4 GHz

直接降頻接收機

A1.1 電路設計

1. 多相位濾波器

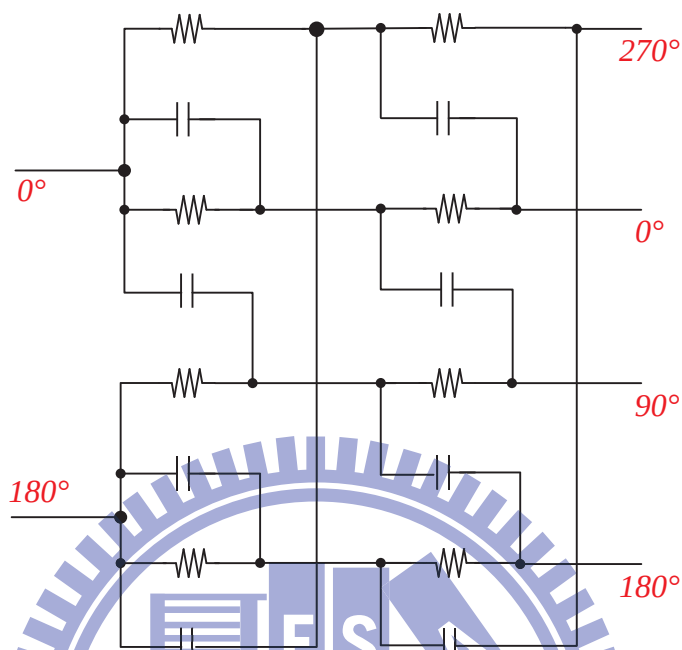


圖 A1.1、多相位濾波器電路圖。

主動混頻器 LO 埠的輸入為四相位，利用 RC-CR 多相位濾波器將差動輸入轉換成四相位輸出。藉由重疊原理我們可以把差動輸入視為正頻率與負頻率訊號的相加，經由 RC-CR 濾波器的正頻通過以及負頻不通過之特性，最後可以得到相差 90 度的兩組差動訊號。

2. 差動訊號產生器

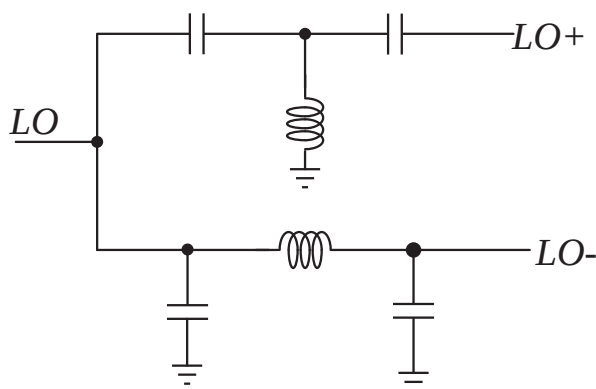


圖 A1.2、差動訊號產生器。

由於多相位濾波器的輸入為差動輸入，所以我使用 LC 元件組成 T-模型來產生+90 度的相位領先以及 π -模型來產生-90 度的相位落後，所以最後可以得到差動訊號。其簡單的分析如下，首先先分析傳輸線與相位移器 T-模型和 π -模型的 ABCD 矩陣，再利用矩陣參數相等則可算出所需要的電感值以及電容值，其相關等式可以由下列圖推得，

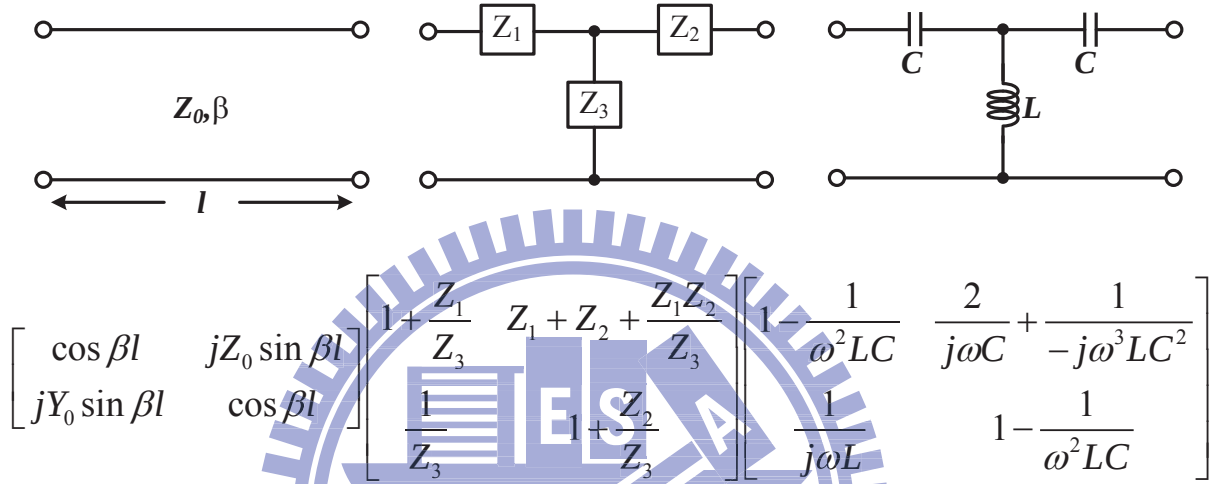


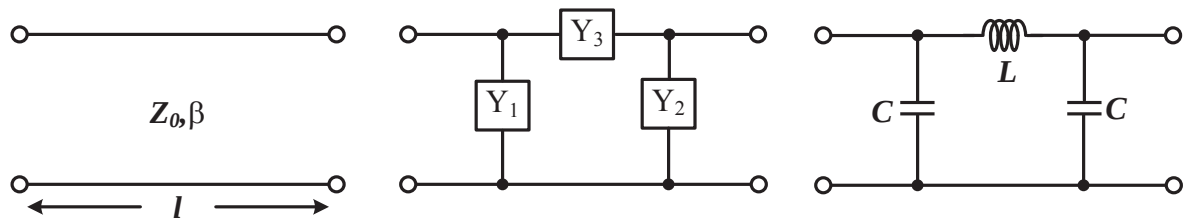
圖 A1.3、傳輸線與 T-模型的等效電路。

相位領先相移器的電感值和電容值如下式所示，

$$L = \frac{Z_C}{\omega_o \sin \theta_{lead}} \quad (A1.1)$$

$$C = \frac{\sin \theta_{lead}}{Z_C \omega_o (1 - \cos \theta_{lead})} \quad (A1.2)$$

其中 Z_C 為傳輸線的特徵阻抗， $0^\circ < \theta_{lead} < 180^\circ$ 。



$$\begin{bmatrix} \cos \beta l & jZ_0 \sin \beta l \\ jY_0 \sin \beta l & \cos \beta l \end{bmatrix} \begin{bmatrix} 1 + \frac{Y_2}{Y_3} & \frac{1}{Y_3} \\ Y_1 + Y_2 + \frac{Y_1 Y_2}{Y_3} & 1 + \frac{Y_1}{Y_3} \end{bmatrix} \begin{bmatrix} 1 - \omega^2 LC & j\omega L \\ j2\omega C - j\omega^3 LC^2 & 1 - \omega^2 LC \end{bmatrix}$$

圖 A1.4、傳輸線與 π -模型的等效電路。

相位落後相移器的電感值和電容值如下式所示，

$$L = \frac{Z_C \sin \theta_{lag}}{-\omega_o} \quad (A1.3)$$

$$C = \frac{\cos \theta_{lag} - 1}{Z_C \omega_o \sin \theta_{lag}} \quad (A1.4)$$

其中 Z_C 為傳輸線的特徵阻抗， $180^\circ < \theta_{lag} < 360^\circ$ 。此外，為了節省面積，電感最後使用 3D 電感來實現。

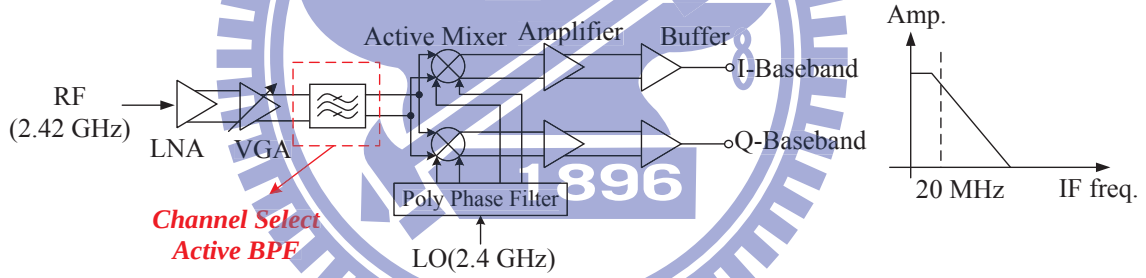


圖 A1.5、系統架構圖。

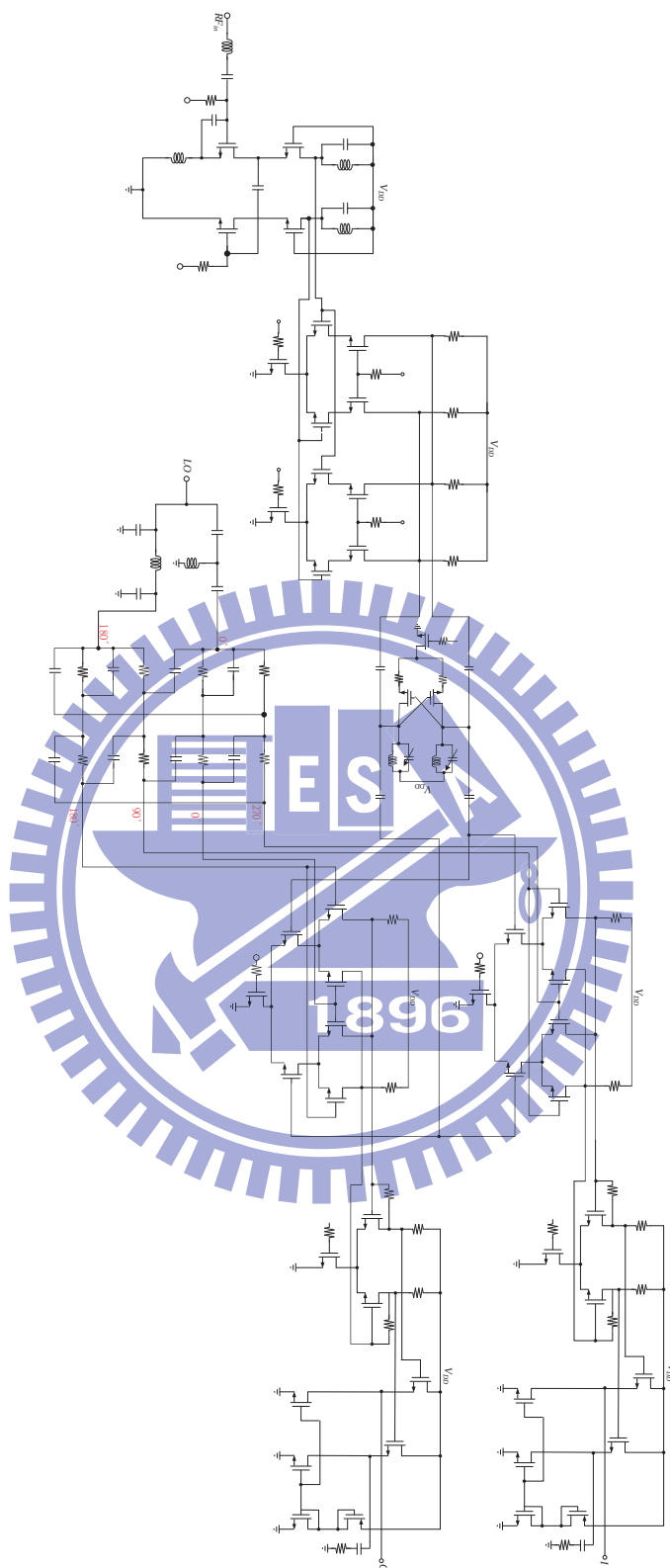


圖 A1.6、應用於通道選擇之 2.4GHz 直接降頻接收機電路圖。

A1.2 模擬與量測結果

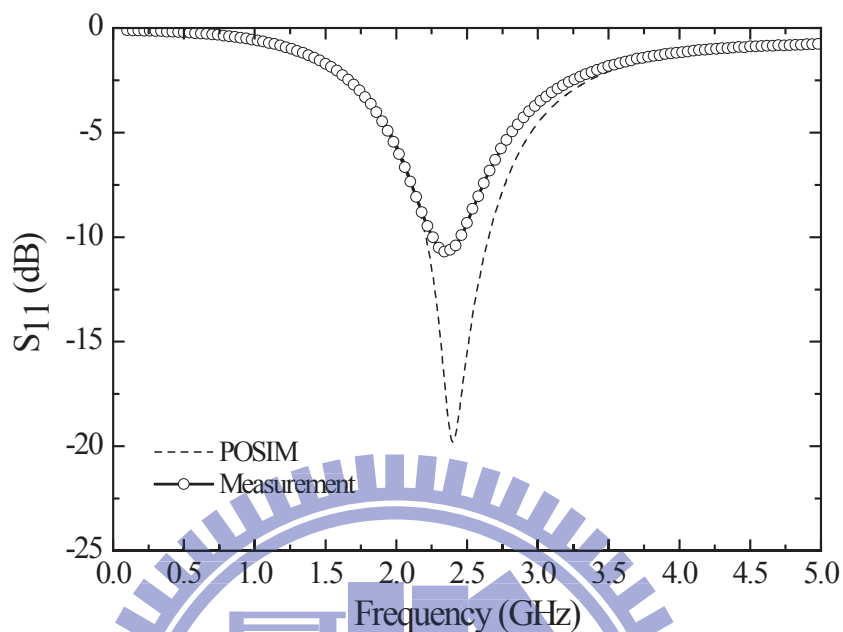


圖 A1.7、輸入反射損耗。

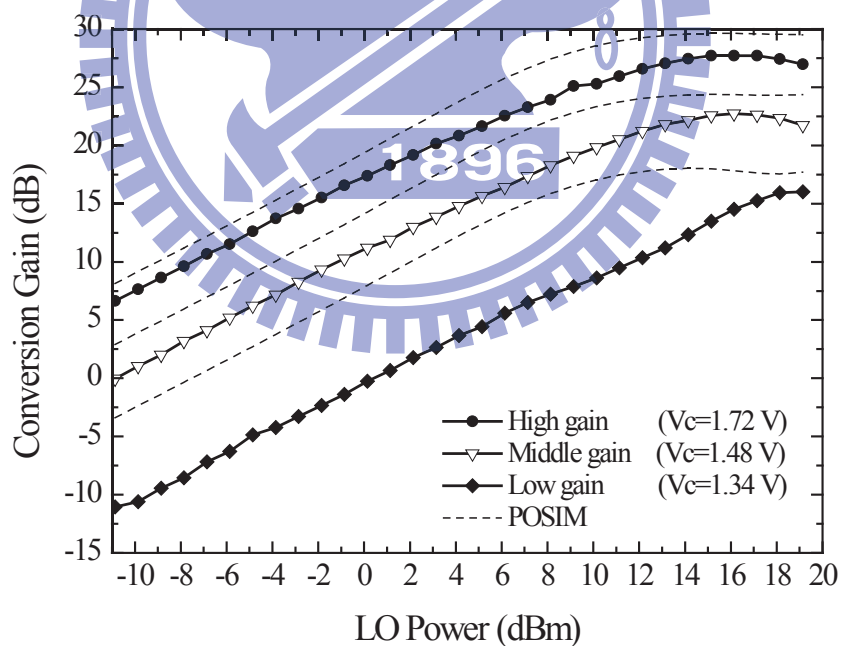


圖 A1.8、轉換增益對 LO 功率作圖 CH1。

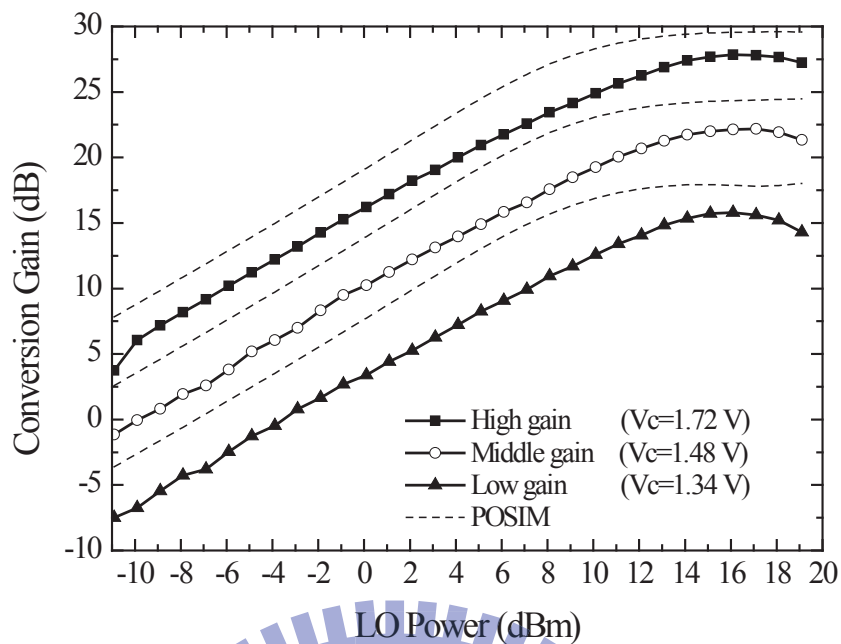


圖 A1.9、轉換增益對 LO 功率作圖 CH2。

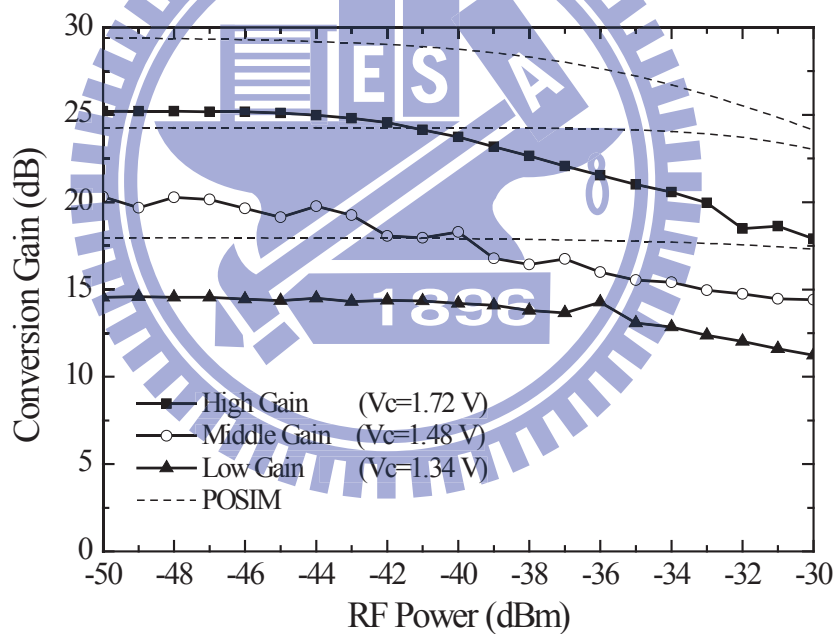


圖 A1.10、轉換增益對 RF 功率作圖 CH1。

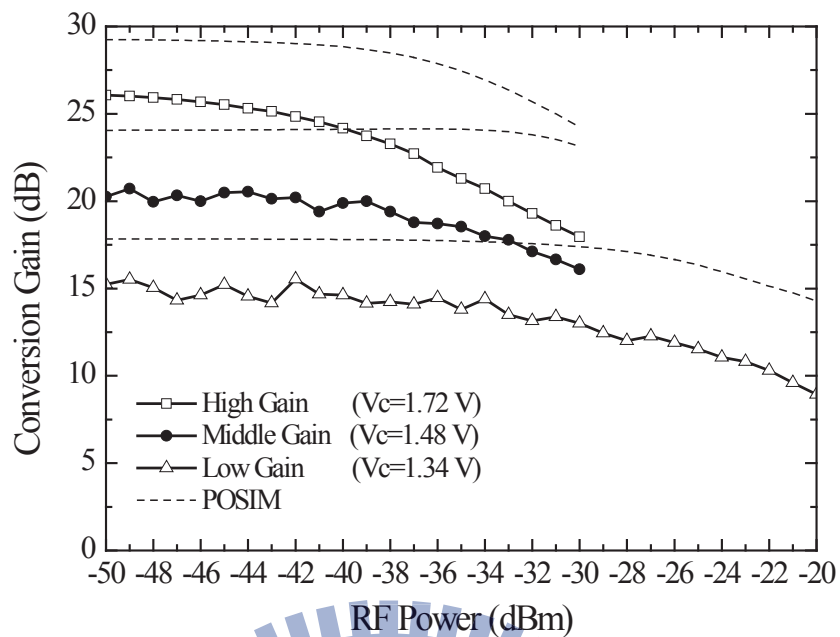


圖 A1.11、轉換增益對 RF 功率作圖 CH2。

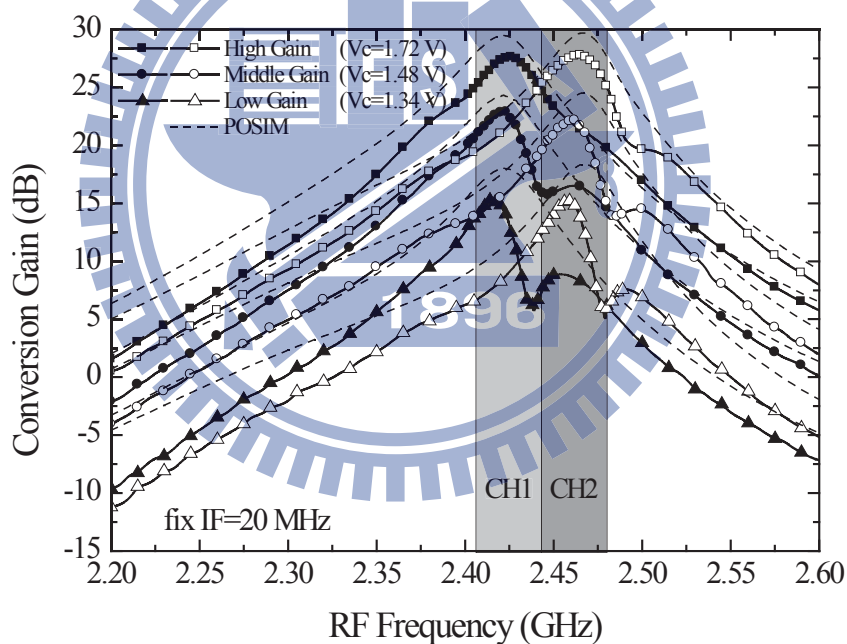


圖 A1.12、轉換增益對 RF 頻率作圖。

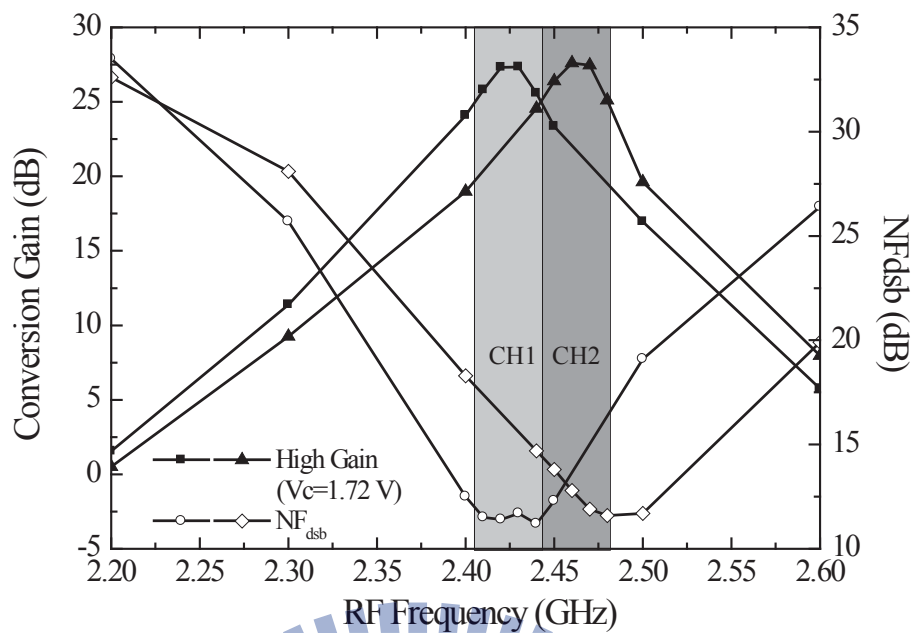


圖 A1.13、轉換增益與 NF_{dsb} 對 RF 頻率作圖。

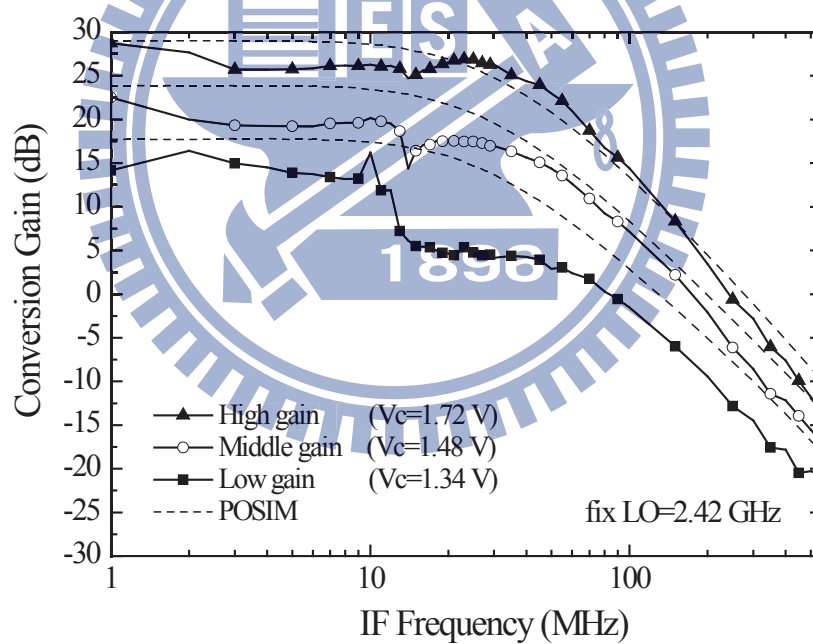


圖 A1.14、轉換增益對 IF 頻率作圖 CH1。

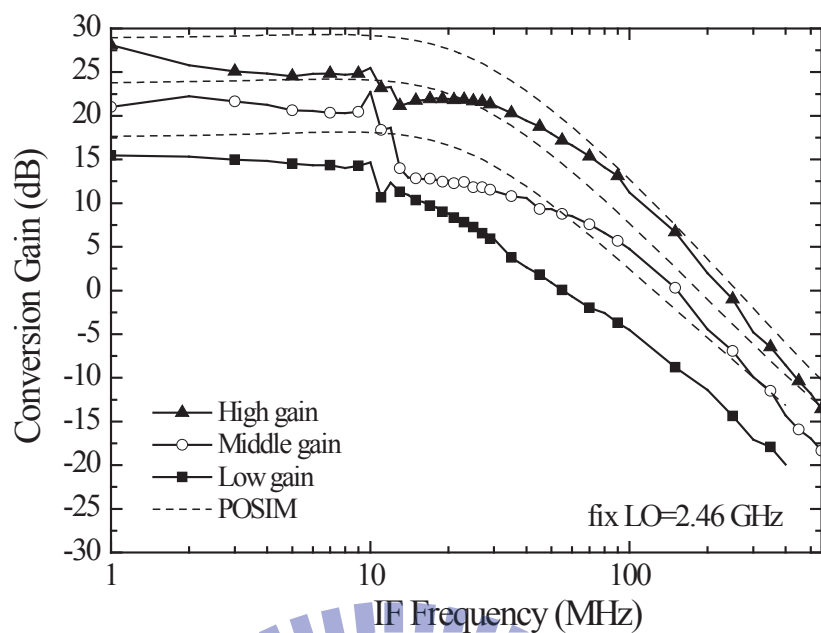


圖 A1.15、轉換增益對 IF 頻率作圖 CH2。

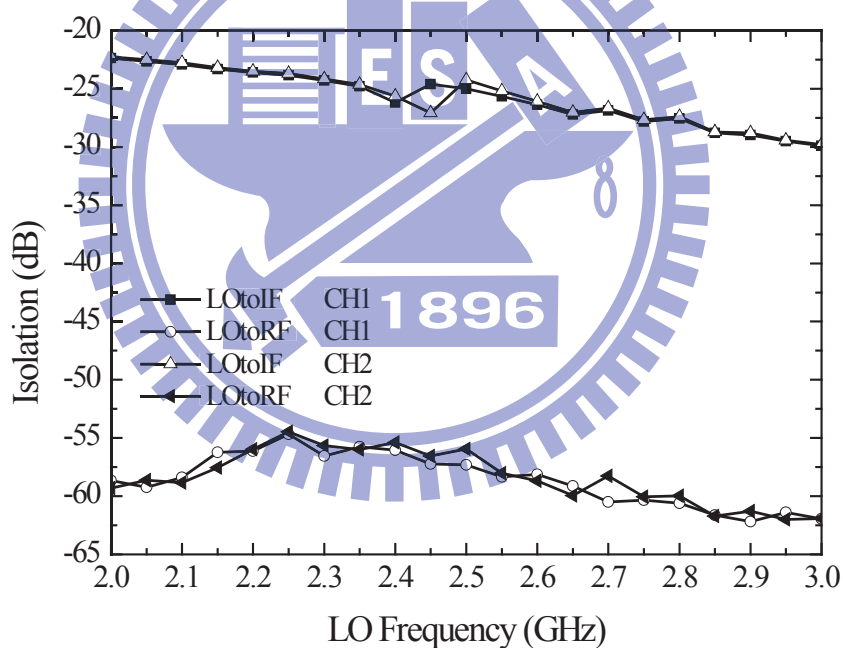


圖 A1.16、隔離度對 LO 頻率作圖。

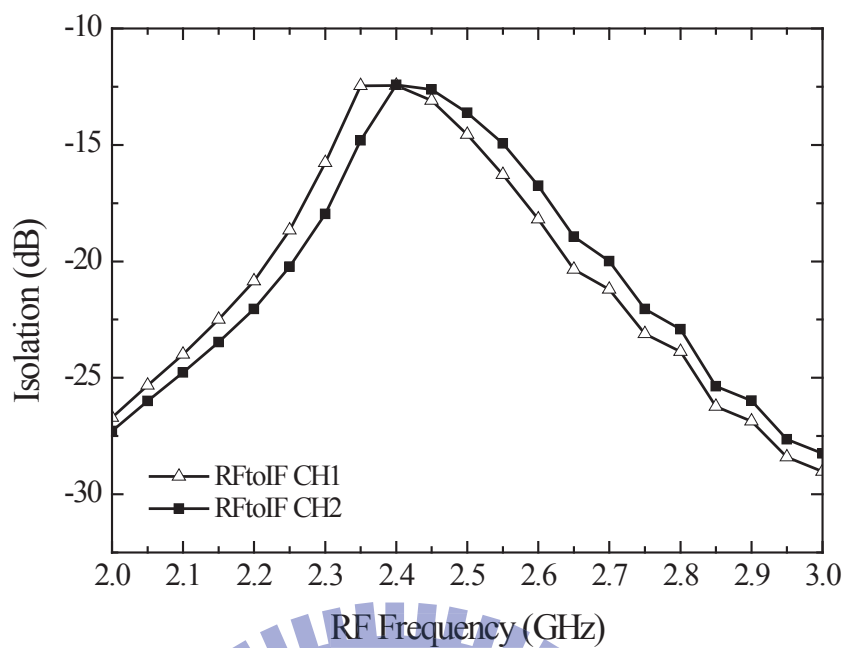


圖 A1.17、隔離度對 RF 頻率作圖。

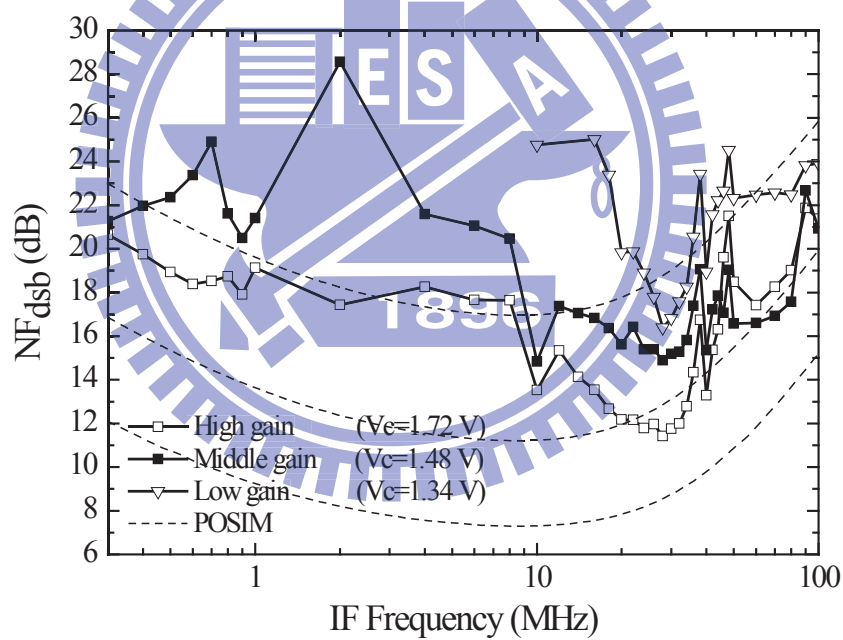


圖 A1.18、 NF_{dsb} 對 IF 頻率作圖 CH1。

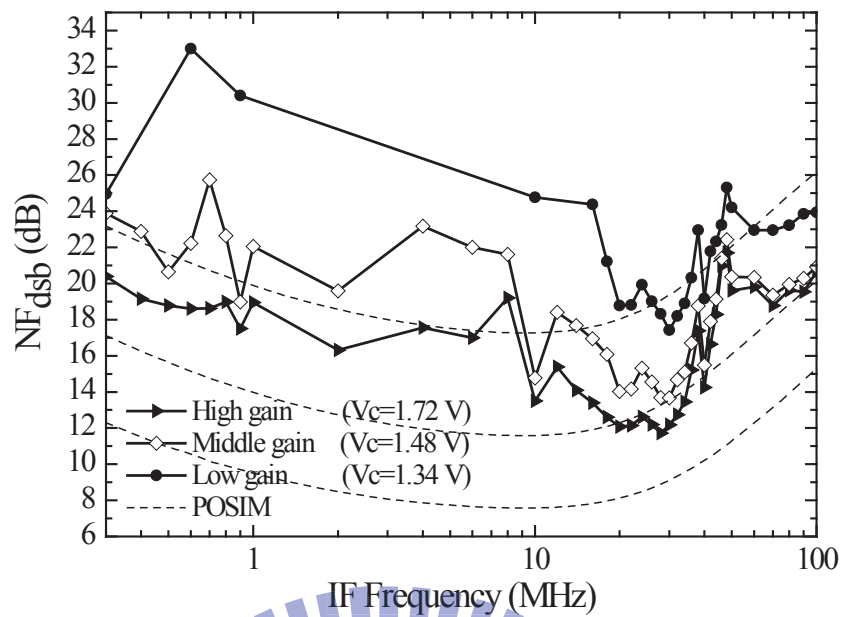


圖 A1.19、 NF_{dsb} 對 IF 頻率作圖 CH2。

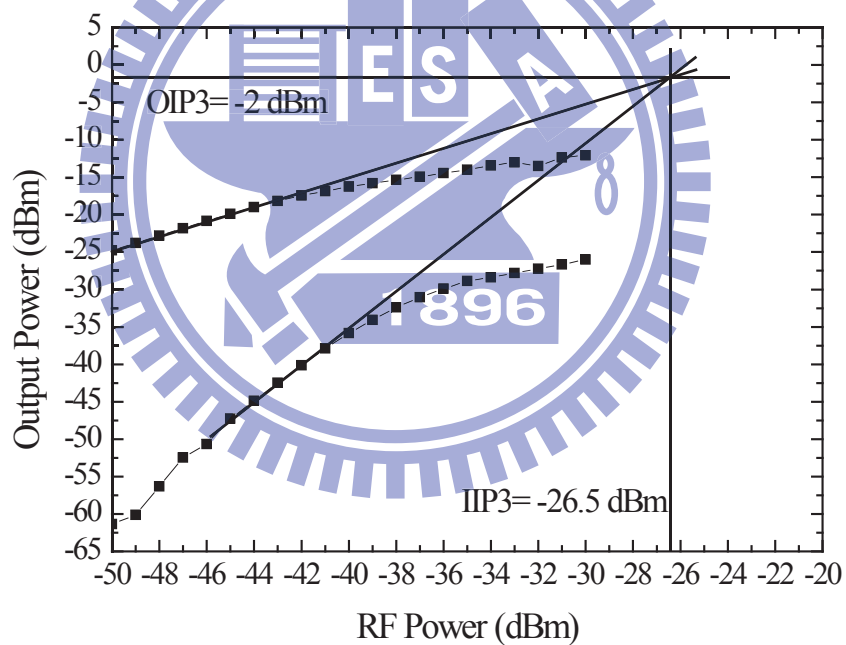


圖 A1.20、線性度 IIP3 的量測結果 CH1。

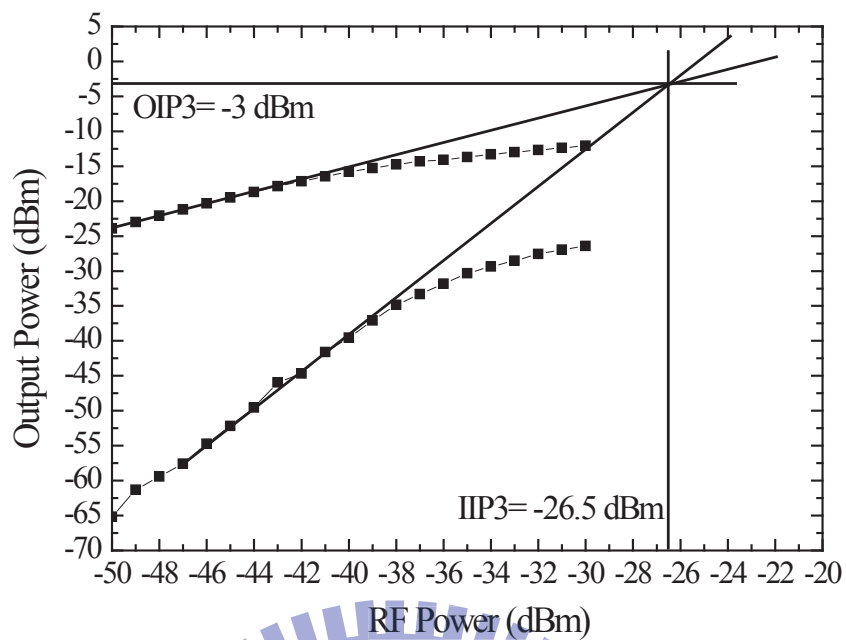


圖 A1.21、線性度 IIP3 的量測結果 CH2。

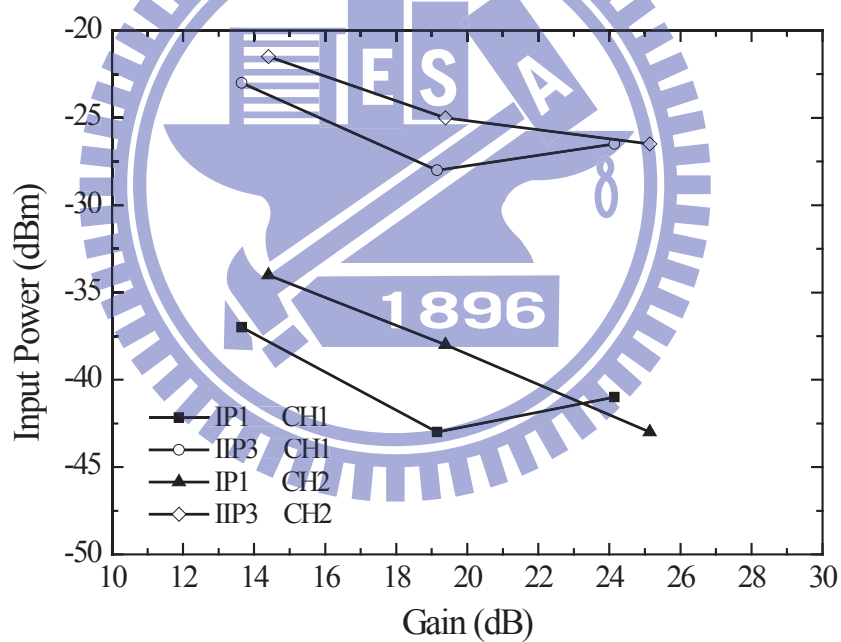


圖 A1.22、線性度 IP_{1dB} 與 IIP3 對增益作圖。

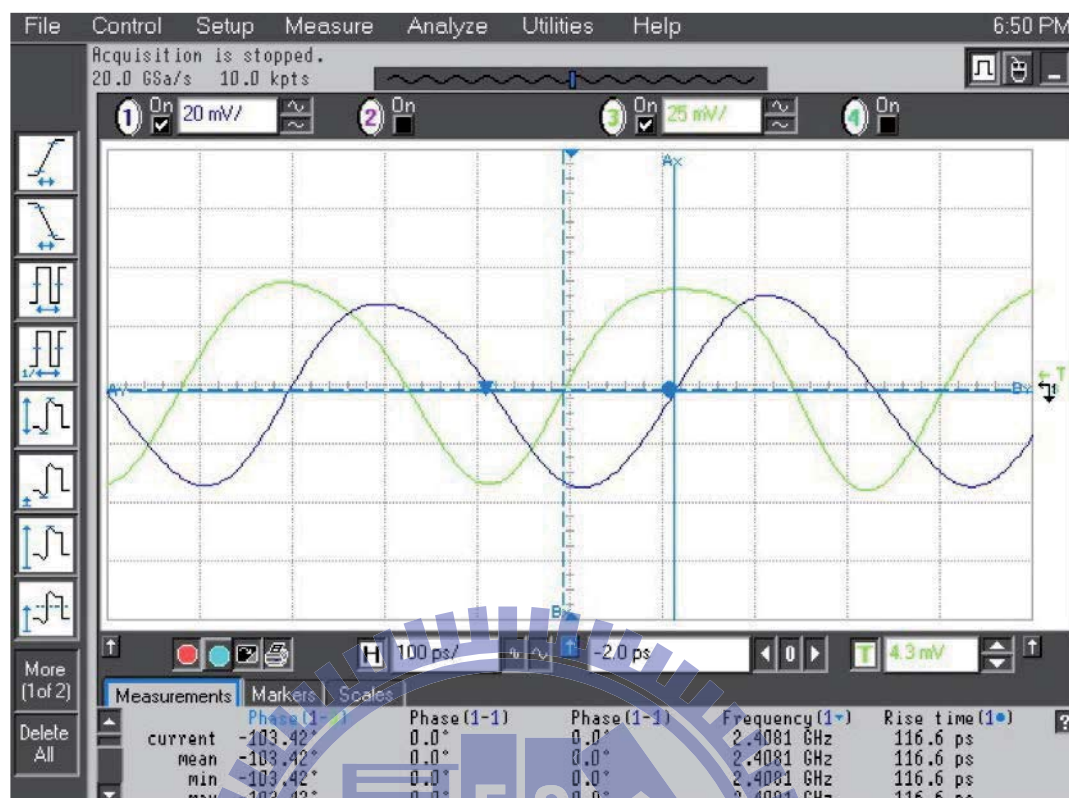


圖 A1.23、基頻輸出波形。

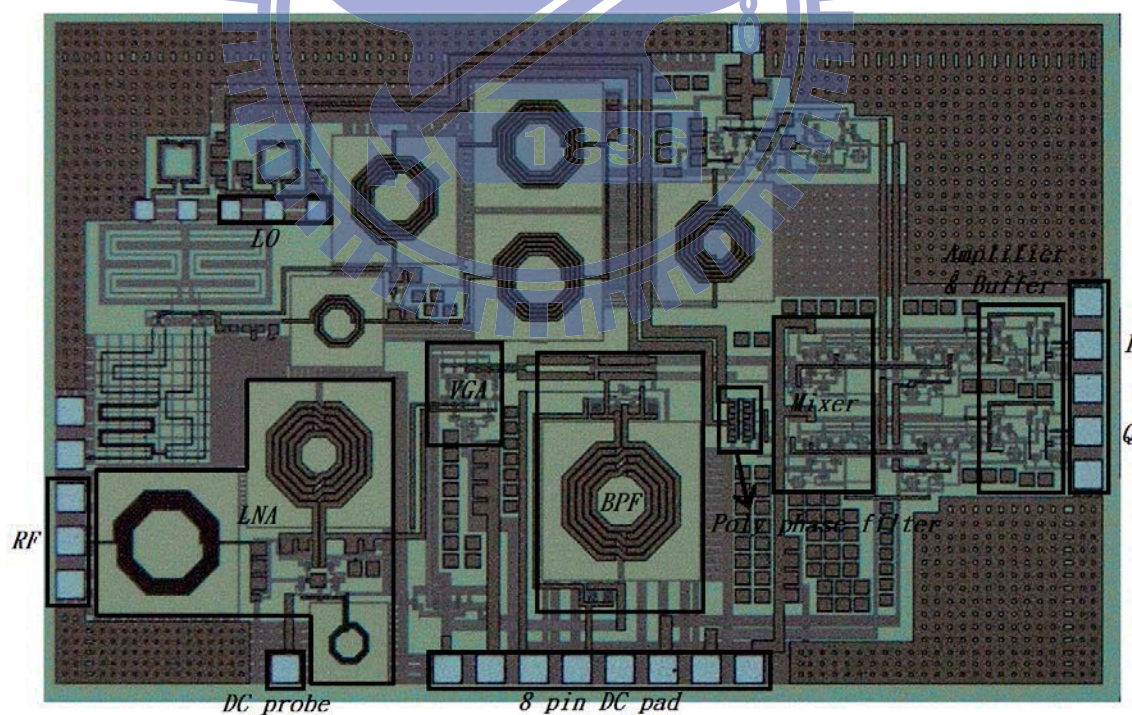


圖 A1.24、晶片圖 (2.4321mm×1.5507mm)。

表 A1.1、2.4 GHz 直接降頻接收機模擬與量測比較表。

Item	Post-Simulation	Measurement
VDD	1.8 V	
Center Frequency	2.42 GHz	2.42 GHz
S_{11} (dB)	< -10	< -10
Conversion Gain	29 dB	27 dB
LO Power	14 dBm	19 dBm
IP_{1dB}	-34 dBm	-41 dBm
RF Bandwidth	50 MHz	41 MHz
IF Bandwidth	25 MHz	18 MHz
NF	8.12 dB	11.4 dB
IIP3	N/A	-26.5 dBm
Power Consumption	64.98 mW	89.64 mW
Chip Size (mm×mm)	2.43×1.55	

Vita

姓 名：廖偉程

性 別：男

出生年月日：民國 77 年 1 月 12 日

籍 貫：台灣省彰化縣

學 歷：

國立竹山高級中學 2003-2006

國立中山大學 電機工程學系 學士 2006-2010

國立交通大學 電信工程研究所 碩士 2010-2012

經 歷：

交通大學	電信所	助教	2011/09-2012/01	射頻積體電路實驗助教
交通大學	電機系	助教	2010/09-2011/01	電子學助教
交通大學	電機系	助教	2011/02-2011/06	電子學助教

論文題目：

主動帶通濾波器及其應用於 2.4/60 GHz 雙模態雙降頻接收機