

國立交通大學

電機與控制工程學系碩士班

碩士論文

一個應用於32~96KHz SPDIF/AES訊號之時脈回復器
電路的設計

Design of a Clock Recovery Circuit for the 32~96KHz
SPDIF/AES Receiver

研究生：潘皇承

指導教授：洪浩喬博士

中華民國九十七年一月

一個應用於32~96KHZ SPDIF/AES訊號之時
脈回復器電路的設計

Design of a Clock Recovery Circuit for the 32~96KHz
SPDIF/AES Receiver

研究生：潘皇承 Student: Huang-Cheng Pan

指導教授：洪浩喬 博士 Advisor: Dr. Hao-Chiao Hong

國立交通大學 電機資訊學院

電機與控制工程學系

碩士論文

A Thesis

Submitted to Department of Electrical and Control Engineering College
of Electrical Engineering and Computer Science

National Chiao-Tung University

in Partial Fulfillment of the Requirements

for the Degree of Master

in

Electrical and Control Engineering

Jan 2008

Hsinchu, Taiwan, Republic of China

中華民國九十七年一月

一個應用於32~96KHz SPDIF/AES訊號之時脈回復器電路的設計

研究生：潘皇承

指導教授：洪浩喬 博士

國立交通大學

電機與控制工程學系

摘要

在通訊系統中，由於訊號經過長通道的傳送，受到許多雜訊的干擾而帶有大量的抖動，因此在接收端我們需要一個時脈回復器的電路來還原出一個低抖動的時脈以正確的取樣資料。根據不同的輸入訊號規格有不同的時脈回復器電路的設計考量。在處理32~96KHz取樣頻率的音頻輸入訊號時，它的困難處在於輸入訊號的頻率範圍很廣，傳統的時脈資料回復器架構在處理這樣的寬頻率範圍訊號有其困難點，因此我們提出一種新的時脈資料回復器架構來還原時脈。我們的設計是以雙迴路以鎖相迴路為基礎的時脈資料回復器電路為基本架構，所使用的頻率偵測器則為一個對SPDIF/AES訊號擁有無限寬鎖定範圍的頻率偵測器，同時我們修改其電路以解決此頻率偵測器在一開始壓控振盪器還未起振時無法正確操作的問題。為了避免此頻率偵測器在頻率鎖定的狀況下還持續的干擾迴路，我們設計一個能針對不同輸入頻率且易實現的頻率鎖定偵測器用來切換相位和頻率偵測雙迴路。模擬結果顯示系統的鎖定時間小於5 ms，峰對峰的週期抖動為1 ns，而均方根週期抖動則為191.17 ps。

Design of a Clock Recovery Circuit for the 32~96KHz SPDIF/AES Receiver

Student: Huang-Cheng Pan Advisor: Dr. Hao-Chiao Hong

Department of Electrical and Control Engineering
National Chiao-Tung University

Abstract

In communication systems, the received signals are usually contaminated by the channel noise and distorted by the finite channel bandwidth. As a result, they often carry a lot of jitter. At the receiver end, we need a clock recovery circuit to recover a low jitter clock and use the recovered clock to sample the input data. For popular audio applications, the specification of the input clock is in the range of 32~96 KHz. Traditional clock recovery circuits are not suitable for recovering the clock of such a wide frequency range signal. This thesis proposes a new clock recovery circuit to address the issue. Our design is based on a dual-loop, PLL based, clock recovery architecture with a modified wide locking range frequency detector. We also proposed a modified frequency detector to address the possible dead-lock scenario. To avoid the frequency detector subsequently disturbing the control voltage of the voltage control oscillator, a simple frequency lock-indicator purely implemented by digital circuits has been added. It turns off the frequency locked loop when the frequency is locked. Our frequency lock-indicator doesn't require any extra reference clock and is capable of indicating when the frequency is locked even if the clock of the input signal is not fixed. The simulation results showed that the lock-in time is under 5 ms , the peak-to peak period jitter is 1 ns , and the rms period jitter is 191.17 ps .

誌 謝

研究所的期間，論文的完成，仰賴老師與實驗室同學和學弟的的指導與協助，在此獻上誠摯的感謝。

首先要感謝我的指導教授洪浩喬老師，在研究上給了我很多幫助與建議，除了知識上的獲得，洪老師更教導我許多做人做事應有的態度，使我受益匪淺。謝謝您，老師。

感謝實驗室的孟軒，宏慶，振綱，榮洲，永順，對於我的論文研究給了不少寶貴的建議，讓我遇到困難時能夠很快的解決。另外，感謝實驗室的所有同學，讓我度過了很愉快的研究所生活。

感謝支持我的家人，你們的鼓勵與關懷是支撐我的最大動力，讓我無後顧之憂的專心於研究，完成此篇論文。

最後，真的感謝所有人的幫忙，僅以此篇論文獻給大家。

潘皇承 謹識

中華民國九十七年一月

新竹 交大

Contents

中文摘要	i
Abstract	ii
誌 謝	iii
Contents	iv
List of Tables	vii
List of Figures	viii
Chapter 1 序論	1
1.1. 動機	1
1.2. 輸入訊號的格式	1
1.3. 論文的編排方式	4
Chapter 2 時脈資料回復器(CDR)架構	5
2.1. 時脈資料回復的概念	5
2.2. 以鎖相迴路為基礎的時脈資料回復器	5
2.3. 時脈資料回復器架構	6
2.3.1. 無參考訊號的架構	6
2.3.2. 有粗條和微調的無參考訊號架構	7
2.3.3. 有參考訊號的時脈資料回復器架構	7
2.3.4. 使用鎖定偵測器的有參考訊號時脈資料回復器	8
Chapter 3 提出的時脈資料回復器架構與系 統分析	10
3.1. 提出的時脈資料回復器架構	10
3.2. 時脈資料回復器內部各元件的介紹	13
3.2.1. 相位偵測器(Phase detector)	13

3.2.2. 電荷幫浦(Charge pump)	14
3.2.3. 電壓控制振盪器(VCO)	15
3.2.3.1. CMOS壓控振盪器原理	15
3.2.3.2. 理想的電壓控制振盪器	16
3.2.3.3. LC諧振振盪器	18
3.2.3.4. 環型振盪器	18
3.2.3.5. LC諧振振盪器和環型振盪器的比較	19
3.2.4. 頻率除法器(Divider).....	20
3.2.5. 迴路濾波器(Loop filter)	20
3.3. 相位迴路的線性系統分析	21
3.3.1. 針對每個元件作線性化	21
3.3.2. 迴路濾波器的設計[32].....	22
3.3.3. 如何決定每個元件的參數	24
3.3.3.1. 迴路頻寬和相位雜訊的關係	24
3.3.3.2. 系統的暫態響應	26
3.3.3.3. 迴路頻寬 ω_c 與自然頻率 ω_n , 阻尼比 ξ 及相位邊限 PM 的關係	27
3.3.3.4. 抖動容忍(Jitter tolerance).....	28
3.3.3.5. 抖動轉換(Jitter transfer)	30
3.3.4. 總結整個系統的設計流程	30
Chapter 4 一個應用於SPDIF/AES訊號格式的時脈回復器設計	32
4.1. 相位偵測器	32
4.1.1. Hogge相位偵測器的操作原理.....	32
4.1.2. Hogge相位偵測器的非理想效應.....	34
4.1.3. Hogge相位偵測器與時脈資料回復器架構的關係	35
4.2. 電荷幫浦.....	35

4.3. 頻率偵測器	39
4.3.1. 頻率偵測器的操作原理	39
4.3.2. 此頻率偵測器的缺點	41
4.3.3. 修正前和修正後的模擬比較	42
4.4. 壓控振盪器	46
4.4.1. 環型振盪器裡的增益級	46
4.4.2. 複製偏壓電路	47
4.4.3. 差動轉單端電路	48
4.4.4. 壓控振盪器的頻率與設計上的考量	49
4.4.5. 壓控振盪器的模擬結果	50
4.4.6. VCO總結	51
4.5. 頻率鎖定偵測器	52
Chapter 5 Layout與模擬結果	54
Chapter 6 結論	66
Reference	67



List of Tables

表格 1-1 檔頭的格式	3
表格 3-1 不同雜訊來源的轉換函數	24
表格 3-2 系統的各项線性參數表	31
表格 4-1 VCO PreSim總結	51
表格 4-2 VCO PostSim總結	51



List of Figures

圖表 1-1 輸入訊號的位元格式	2
圖表 1-2 Biphase-Mark-Coding 的編碼方法	3
圖表 2-1 以鎖相迴路為基礎的時脈資料回復器架構	5
圖表 2-2 無參考訊號的時脈資料回復器架構	7
圖表 2-3 有粗條和微調的無參考訊號的時脈資料回復器架構	7
圖表 2-4 使用兩個壓控振盪器的有參考訊號時脈資料回復器架構	8
圖表 2-5 使用鎖定偵測器的有參考訊號時脈資料回復器	9
圖表 3-1 改良的無參考訊號時脈資料回復器架構	10
圖表 3-2 數位式的平方率相關頻率偵測器	11
圖表 3-3 提出的時脈資料回復器架構	12
圖表 3-4 相位偵測器的定義	14
圖表 3-5 相位偵測器的特性	14
圖表 3-6 電荷幫浦的定義	15
圖表 3-7 負回授系統	16
圖表 3-8 振盪回授系統的不同觀點	16
圖表 3-9 壓控振盪器的定義	17
圖表 3-10 基本的LC諧振振盪器	18
圖表 3-11 (a)三及單端環型振盪器 (b)四極差動環型振盪器	19
圖表 3-12 除2的除頻器	20
圖表 3-13 二階的低通濾波器	20
圖表 3-14 相位迴路系統的線性模型	22

圖表 3-15	$\frac{G(s)}{1+G(s)}$ 的轉換函數特性	25
圖表 3-16	$\frac{1}{1+G(s)}$ 的轉換函數特性	25
圖表 3-17	AES3規範的抖動容忍規格	29
圖表 3-18	抖動轉換函數	30
圖表 4-1	Hogge相位偵測器	33
圖表 4-2	(a)時脈領先的相位圖 (b)時脈落後的相位圖 (c)時脈鎖定的相位圖	33
圖表 4-3	時脈到輸出延遲存在時的鎖定情形	34
圖表 4-4	補償Hogge相位偵測器延遲的方式	34
圖表 4-5	Hogge相位偵測器的轉換特性	35
圖表 4-6	單端電荷幫浦 (a)開關在汲極 (b)開關在閘極 (c)開關在源極	36
圖表 4-7	利用運算放大器幫助電流匹配的電荷幫浦	37
圖表 4-8	電荷幫浦架構	38
圖表 4-9	電荷幫浦放電波形	38
圖表 4-10	電荷幫浦充電波形	39
圖表 4-11	頻率偵測器架構	39
圖表 4-12	LPE架構及操作方式	40
圖表 4-13	頻率偵測器操作原理 (a)偵測頻率太慢的情形 (b)偵測頻率太快的情形	40
圖表 4-14	在檔頭部份偵測到時脈太快的訊息	41
圖表 4-15	修正後的頻率偵測器(其中Freq_high為了後面接到電荷幫浦的PMOS開關，所以從Q拉出反向)	42
圖表 4-16	修正後的頻率偵測器偵測頻率振太快的情形	43
圖表 4-17	修正後的頻率偵測器偵測頻率振太慢的情形	43

圖表 4-18	修正後的頻率偵測器偵測不起振且VCO為高準位時的情形	44
圖表 4-19	修正後的頻率偵測器偵測不起振且VCO為低準位時的情形	44
圖表 4-20	修正前的頻率偵測器在VCO不起振且為高準位時的情形	45
圖表 4-21	修正前的頻率偵測器在VCO不起振且為低準位時的情形	45
圖表 4-22	環型振盪器裡的增益級電路	46
圖表 4-23	對稱負載的電源對電壓特性	46
圖表 4-24	複製偏壓以定義環型振盪器的振幅	47
圖表 4-25	偏壓電路	48
圖表 4-26	差動轉單端電路	49
圖表 4-27	壓控振盪器PreSim模擬結果	50
圖表 4-28	壓控振盪器PostSim模擬結果	50
圖表 4-29	頻率鎖定偵測器	53
圖表 5-1	整個晶片的Layout圖	54
圖表 5-2	晶片佈局	55
圖表 5-3	輸入無抖動，TT_27°C時的鎖定情形	56
圖表 5-4	輸入無抖動，TT_27°C鎖定時的時脈與資料對齊情形	56
圖表 5-5	輸入無抖動，FF_0°C時的鎖定情形	57
圖表 5-6	輸入無抖動，FF_0°C時的時脈與資料對齊情形	57
圖表 5-7	TT_27°C時，還原時脈的週期分佈情形	58
圖表 5-8	FF_0°C時，還原時脈的週期分佈情形	59
圖表 5-9	SS_80°C時，還原時脈的週期分佈情形	60
圖表 5-10	V _{DD} =3.6V時的壓控振盪器模擬結果	61
圖表 5-11	V _{DD} =3.0V時的壓控振盪器模擬結果	61
圖表 5-12	V _{DD} =3.6V_FF_0°C時的電荷幫浦放電波形	62
圖表 5-13	V _{DD} =3.6V_FF_0°C時的電荷幫浦充電波形	62

圖表 5-14 $V_{DD}=3.0V_{SS_80^{\circ}C}$ 時的電荷幫浦放電波形	63
圖表 5-15 $V_{DD}=3.0V_{SS_80^{\circ}C}$ 時的電荷幫浦充電波形	63
圖表 5-16 $V_{DD}=3.6V_{FF_0^{\circ}C}$ 時，頻率偵測器偵測時脈太快的模擬結果..	64
圖表 5-17 $V_{DD}=3.0V_{SS_80^{\circ}C}$ 時，頻率偵測器偵測時脈太快的模擬結果	64
圖表 5-18 $V_{DD}=3.6V_{FF_0^{\circ}C}$ 時，頻率偵測器偵測時脈太慢的模擬結果..	65
圖表 5-19 $V_{DD}=3.0V_{SS_80^{\circ}C}$ 時，頻率偵測器偵測時脈太慢的模擬結果	65



Chapter 1 序論

在本章我們將介紹時脈資料回復器架構的需求與SPDIF/AES的訊號格式和論文的編排方式。

1.1. 動機

在通訊系統中，訊號經過長距離的傳送，使得訊號帶有大量的失真抖動，導致訊號判別困難，因此在接收端中，需要一個時脈資料回復器電路來偵測其時脈訊號，並進而利用此時脈還原其資料。

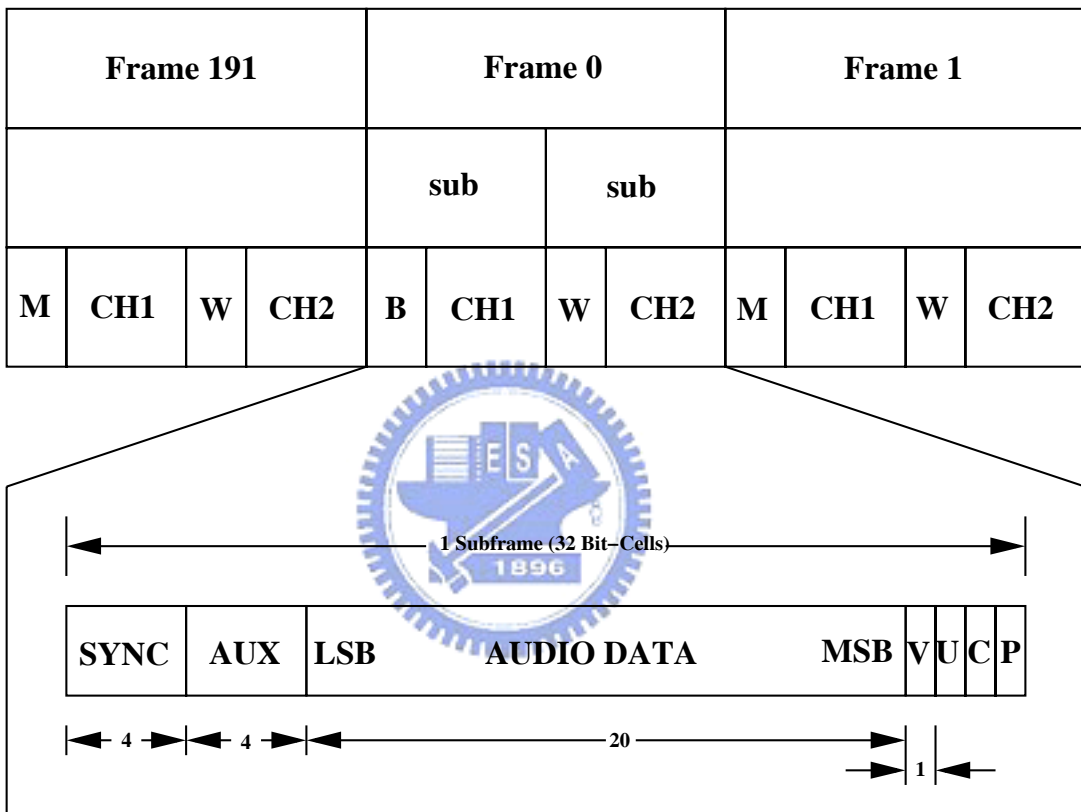
在音頻訊號的應用上，系統包含很多不同的取樣頻率[1]，例如44.1KHz的CD格式，48KHz的DAT資料還有32KHz的DSR資料，這些都是SPDIF的資料格式，更高階的還有88.2KHz和96KHz AES資料。

本論文希望設計一個以鎖相迴路為基礎的時脈資料回復器電路用來還原32~96KHz音頻訊號的時脈。

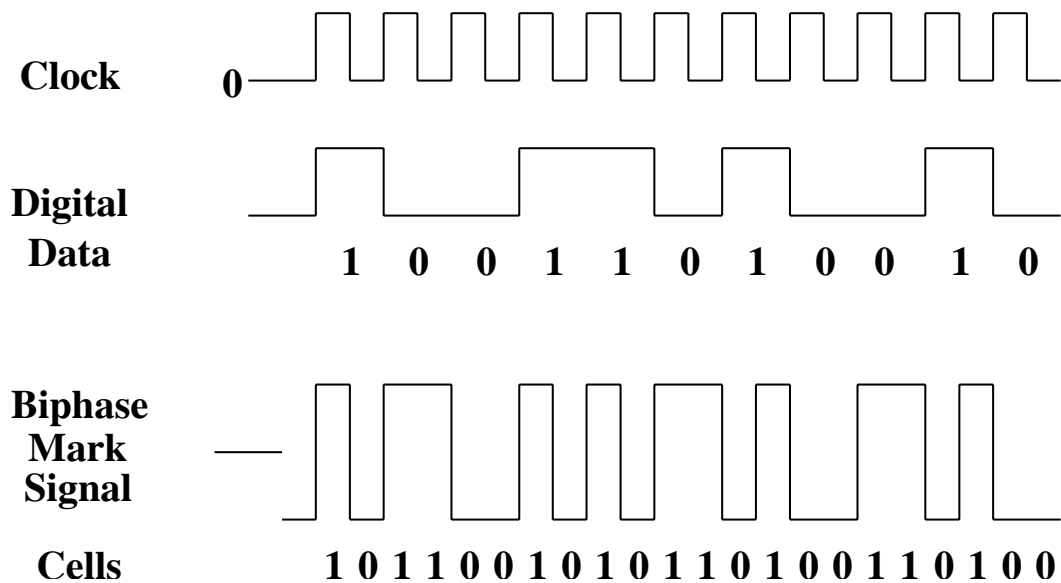
1.2. 輸入訊號的格式

在通訊系統中，為了節省一根ping腳，訊號在傳送前會將資料與時脈編碼成一個訊號然後才送出，而在接收端接收到此一訊號，必須先解出時脈然後才能解出訊號的資料，因此瞭解輸入訊號的格式對我們設計時脈資料還原電路非常重要。參考圖表 1-1[1]，S/PDIF和AES訊號每取樣一次會傳送兩筆32位元資料，一筆32位元資料前面4個位元是檔頭(preamble)，用來做同步用，後面4個位元是控制訊號位元，中間24位元則是資料。資料會透過

一種叫Biphase-Mark-Coding (BMC)的編碼方式將時脈與資料結合，其編碼方式參考圖表 1-2，利用兩個Cells來代表一個位元，Data若為1則Cells會被編碼成10或01；Data若為0則Cells會被編碼成00或11。特點是每個位元間都會作轉換，使得其時脈的成份比NRZ訊號來的多，不會因為連續好幾個位元的零或一而讓訊號還原困難。



圖表 1-1 輸入訊號的位元格式



圖表 1-2 Biphas-Mark-Coding 的編碼方法

在檔頭(preamble)的部份則並非使用 Biphas-Mark-Coding 的編碼方式，它是固定的格式用做同步用，如表格 1-1 所示。其中檔頭(preamble)B 表示每 192 frames 的資料區塊的左聲道檔頭(preamble)，檔頭(preamble)M 為非每個資料區塊起始 frame 的其他左聲道檔頭(preamble)，至於檔頭(preamble)W 則代表每個右聲道的檔頭(preamble)。

Preamble	Cell Order (Last Cell '0')	Cell Order (Last Cell '1')
"B"	11101000	00010111
"M"	11100010	00011101
"W"	11100100	00011011

表格 1-1 檔頭的格式

觀察檔頭(preamble)與Biphase-Mark-Coding所編碼出來的訊號最大的不同點在於編碼出來最多只會有連續兩個1或0的情形，而在檔頭(preamble)則出現了連續三個1或0的情形。

1.3. 論文的編排方式

本論文包含六章。在第二章將會介紹傳統的時脈資料回復器架構，第三章則介紹我們所提出的時脈資料回復器架構並且作系統的線性分析。第四章介紹架構裡每個元件的電路，第五章為Layout與模擬結果，第六章為結論。



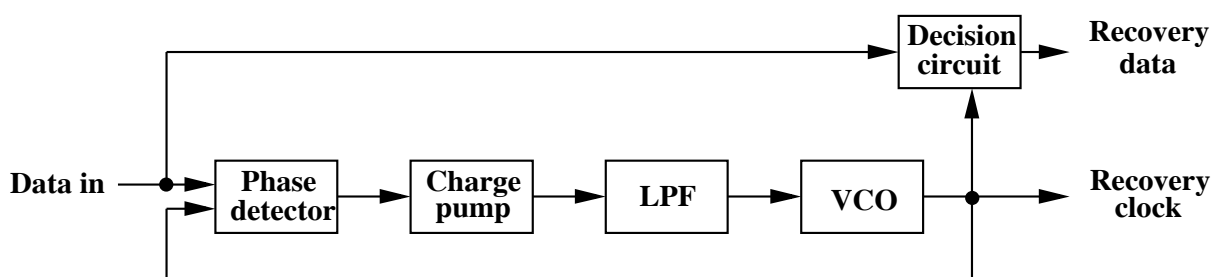
Chapter 2 時脈資料回復器(CDR)架構

在本章，我們將簡介時脈資料回復器的基本原理及前人所提出的各種架構。

2.1. 時脈資料回復的概念

在通訊系統中，因為訊號資料經過長距離的傳送，加上外界訊號的干擾，造成訊號的失真，導致在接收端接受訊號時無法判別或者判別錯誤，因此我們需要一個時脈資料回復器的電路來還原失真的訊號。它的概念是利用鎖相迴路的觀念，從失真的訊號中得到一個可還原資料的時脈，再利用此時脈對失真的訊號重新取樣[2][3]。

2.2. 以鎖相迴路為基礎的時脈資料回復器



圖表 2-1 以鎖相迴路為基礎的時脈資料回復器架構

圖表 2-1 為一個以鎖相迴路為基礎的時脈資料回復器架構，它是一個回授型誤差控制系統，包含了以下幾個構成方塊。

(1)相位偵測器(Phase detector):一個線性的相位偵測器，用來比較輸入資料與還原時脈的相位誤差。

(2)電荷幫浦(Charge pump):將相位誤差轉換成電流對後端低通濾波器的電容做充放電。

(3)低通濾波器(LPF):用來穩定整個閉迴路系統並將前端的訊號作濾波，產生後端壓控振盪器所需的直流電壓。

(4)壓控振盪器(VCO):一個電壓控制的時脈產生器，所產生的時脈會回授回去與輸入訊號作比較。

(5)取樣電路(Decision circuit):在閉迴路系統穩定後，利用壓控振盪器所產生的時脈對輸入訊號作取樣。

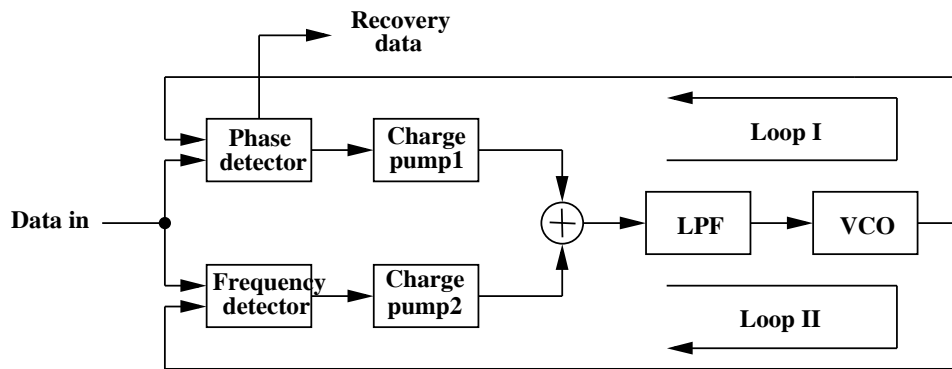
2.3. 時脈資料回復器架構

以鎖相迴路為基礎的時脈資料回復器有許多不同的架構，在此節簡單介紹[4]。



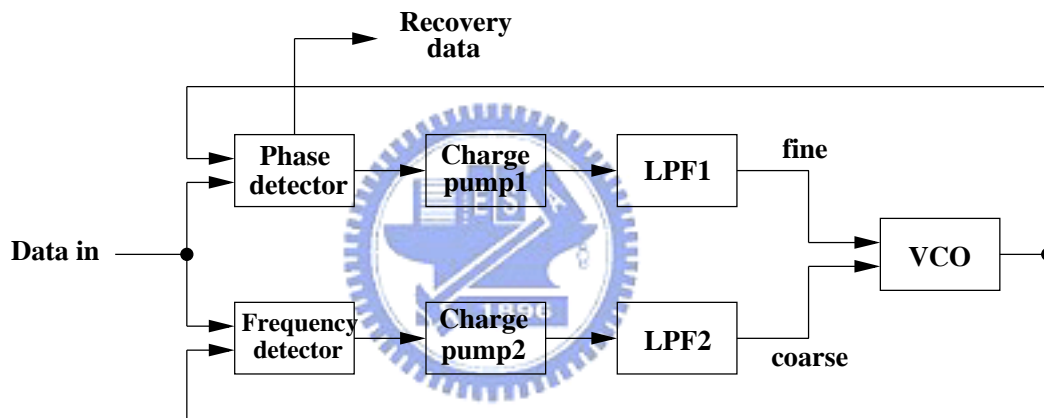
2.3.1. 無參考訊號的架構

圖表 2-2顯示了一個無參考訊號的時脈資料回復器架構[5]，它包含了相位偵測器、頻率偵測器、電荷幫浦、低通濾波器還有壓控振盪器。當電源打開或者相位無法鎖定时，頻率偵測的迴路(Loop II)會先運作把壓控振盪器的頻率拉到接近輸入頻率，直到這頻率誤差小到相位偵測的迴路的鎖定期限內，相位偵測的迴路(Loop I)會接管，最終將時脈和輸入資料的相位鎖到一樣。此架構的缺點為兩個迴路會交互運作互相干擾，可能會使得相位無法鎖定，而且即便頻率迴路已鎖定，它仍然會產生一些額外的脈波來干擾壓控振盪器的控制電壓。



圖表 2-2 無參考訊號的時脈資料回復器架構

2.3.2. 有粗條和微調的無參考訊號架構



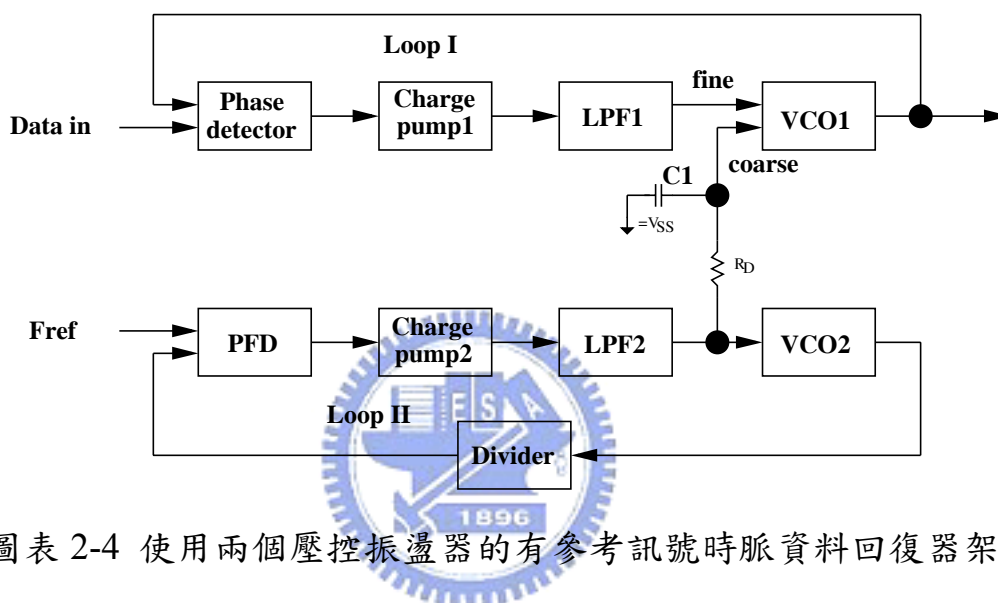
圖表 2-3 有粗條和微調的無參考訊號的時脈資料回復器架構

圖表 2-3顯示了一個擁有對壓控振盪器作粗調和微調的架構。它允許使用不同的低通濾波器(或稱之為迴路濾波器)，因此頻率偵測迴路的頻寬可以設計的比相位偵測器頻寬來的小很多以降低頻率迴路對相位偵測迴路的干擾。

2.3.3. 有參考訊號的時脈資料回復器架構

圖表 2-4為一個有參考訊號的時脈資料回復器架構[6]，因為系統會提供一個參考訊號時脈到頻率偵測的迴路，所以它的頻率偵測器不需要從輸入資料還原時脈。此架構藉由Loop II先將VCO2鎖定到參考訊號的倍數頻當作

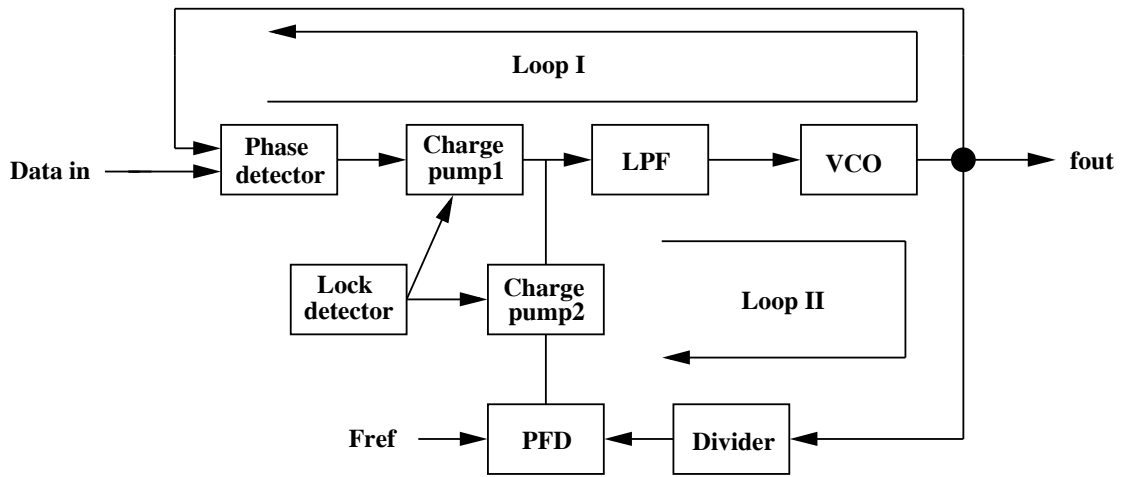
粗調，由於VCO1會設計的跟VCO2一樣，VCO1的頻率會跟VCO2非常接近，之後再藉由Loop I完成微調的工作。但是此架構有個很大的缺點是兩個VCO的特性因為製程漂移因素的影響可能會不同，甚至即使兩個VCO完全的匹配，經過長通道而來的輸入資料與接收端內部石英振盪器的頻率也很難完全一樣。如此的不匹配性會增加錯誤位元數的發生，同時也會影響系統的穩定性。



圖表 2-4 使用兩個壓控振盪器的有參考訊號時脈資料回復器架構

2.3.4. 使用鎖定偵測器的有參考訊號時脈資料回復器

圖表 2-5所示為一個僅使用一個壓控振盪器的有參考訊號時脈資料回復器，它避免了圖表 2-4架構兩個壓控振盪器不匹配所造成的不良影響。它的原理為一開始Loop II先工作，當鎖定偵測器(Lock detector)偵測到經過除頻後的頻率與參考頻率的誤差非常小後，它會將Loop II關掉然後啟動Loop I，再將壓控振盪器的頻率與相位更進一步的鎖定到跟資料一樣。然而在使用這種架構時，從Loop II跳到Loop I的開關切換設計要非常小心以避免這個過程造成過大的壓控振盪器輸入電壓變化，使得壓控振盪器的頻率掉出Loop I可允許的鎖定範圍。



圖表 2-5 使用鎖定偵測器的有參考訊號時脈資料回復器

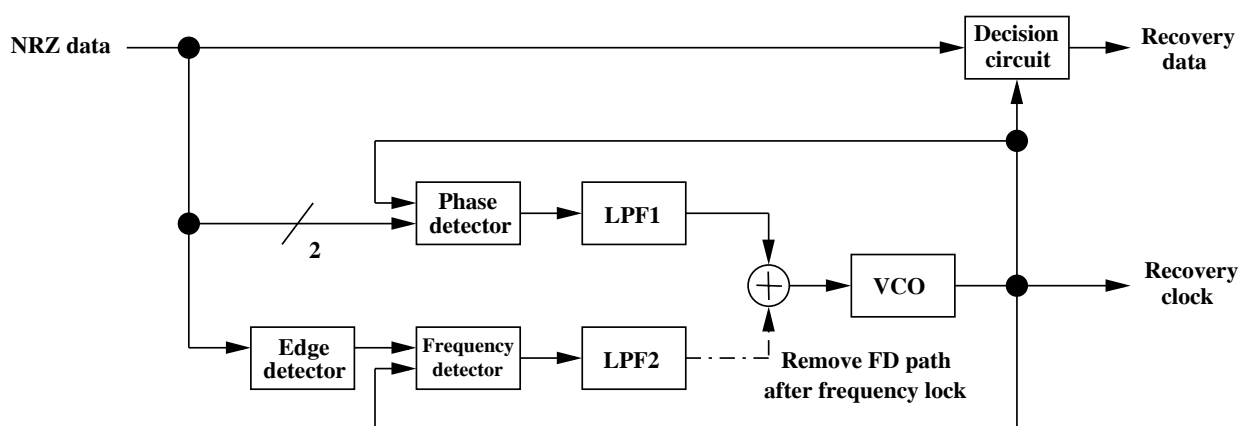


Chapter 3 提出的時脈資料回復器架構與系統分析

在本章，我們將介紹所提出的時脈資料回復器架構並與之前的架構作比較。然後，我們會針對我們的架構作線性系統的分析。

3.1. 提出的時脈資料回復器架構

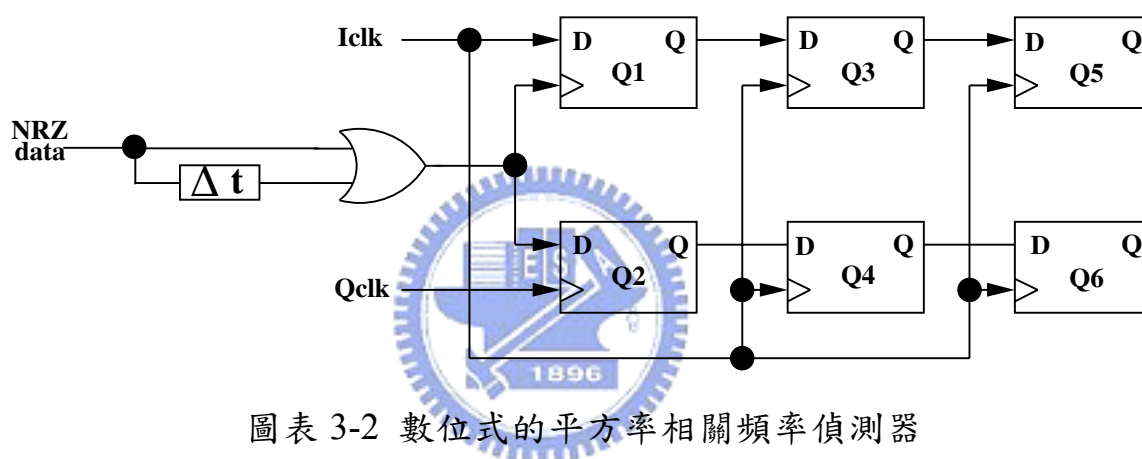
在我們的應用中，我們所要接收並還原的是2.048 Mbit/s~6.144 Mbit/s的SPDIF/AES訊號，由於處理的最低訊號2.048 Mbit/s跟最高訊號6.144 Mbit/s的頻率相差三倍，所以只用一個相位偵測的迴路是無法鎖定的，同時也不容易使用圖表 2-4及圖表 2-5的有參考訊號的時脈資料回復器架構，因為我們很難找到一個參考訊號來對這麼寬的輸入訊號範圍作匹配。所以，我們從無參考訊號架構的方向著手。



圖表 3-1改良的無參考訊號時脈資料回復器架構

圖表 3-1所示為一個改良後的無參考訊號時脈資料回復器架構。此架構一開始由Richman [7]所提出，然後由Belliso [8]加以改良。

其操作方法如下。首先兩個迴路都會同時運作並且經由比較輸入的NRZ訊號產生錯誤訊號來調整壓控振盪器的頻率。接著，頻率鎖定迴路會將壓控振盪器的頻率慢慢的鎖到輸入訊號的頻率，當鎖定之後，此數位式的平方率相關頻率偵測器(digital quadricorrelator frequency detector)，如圖表3-2，會自動的將頻率偵測迴路關掉，因為此頻率偵測器的特性是當頻率鎖定时，它的輸出不會產生任何的訊號，也就是說它完全不會對後端迴路濾波器作充放電的動作，如此它便不會對壓控振盪器的輸入電壓產生任何的干擾。



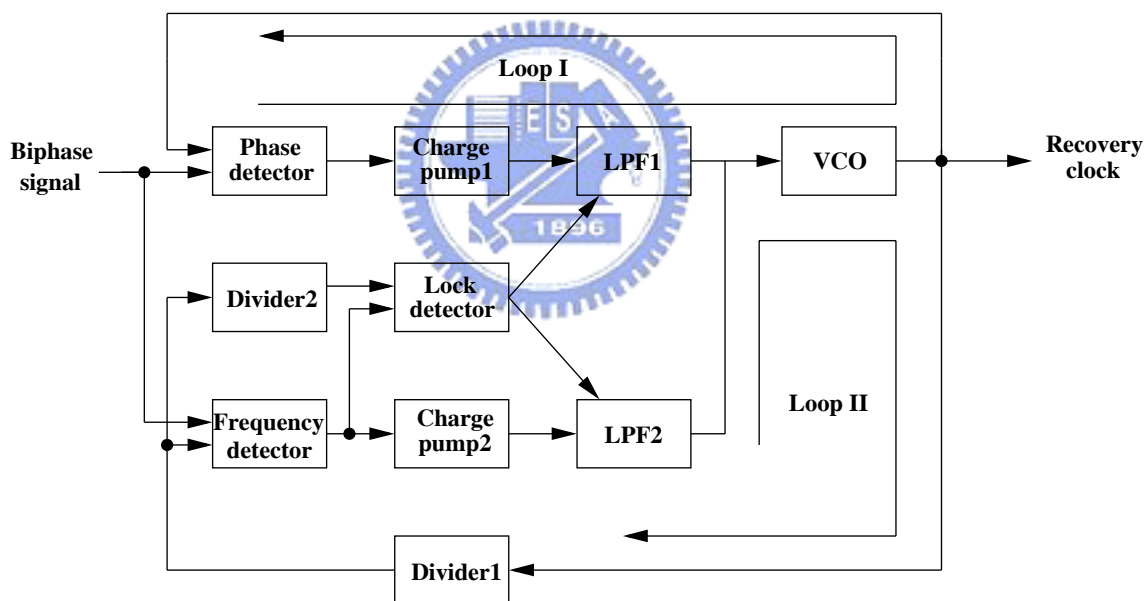
圖表 3-2 數位式的平方率相關頻率偵測器

然而此種架構依然不適用在我們的應用，因為雖然它的頻率鎖定範圍已經比傳統的頻率偵測器[9][10][11]來的大的多(15% → 50%)，但是明顯的50%的頻率鎖定範圍還是無法用來處理我們的輸入訊號。

到目前為止，我們知道要處理我們的輸入訊號，我們需要相位偵測和頻率偵測兩個迴路，同時所使用的頻率偵測器必須要有非常大的頻率偵測範圍。Toifl和Moreira在1998年提出了一個頻率偵測器架構[12]，此架構對Biphase和NRZ訊號擁有無限的鎖定範圍，所以我們採用此架構當作我們的頻率偵測器，但是此架構在頻率鎖定时，由於資料檔頭(preamble)的緣故，

造成它的輸出並非是零，也就是說即使頻率鎖定的狀況，它依然會產生不必要的充放電訊號，持續性地干擾壓控振盪器的輸入電壓。

此干擾的量是可觀的，所以我們希望頻率偵測的迴路能夠在拉近壓控振盪器的頻率之後關掉，但它又不像數位式的平方率相關頻率偵測器一樣可以自動的關掉，因此我們需要一個額外的頻率鎖定偵測器來判讀頻率誤差的量，當此誤差量小於某個範圍，迴路應該由頻率偵測迴路切換至相位偵測迴路。礙於輸入訊號有多種不同的頻率，我們無法使用一個既定頻率的參考訊號來做頻率比較的动作，所以我們設計了一個新的頻率鎖定偵測器，它的輸入由頻率偵測器提供，控制時脈則由壓控振盪器提供，整個所提出的時脈資料還原器架構如圖表 3-3 所示。



圖表 3-3 提出的時脈資料回復器架構

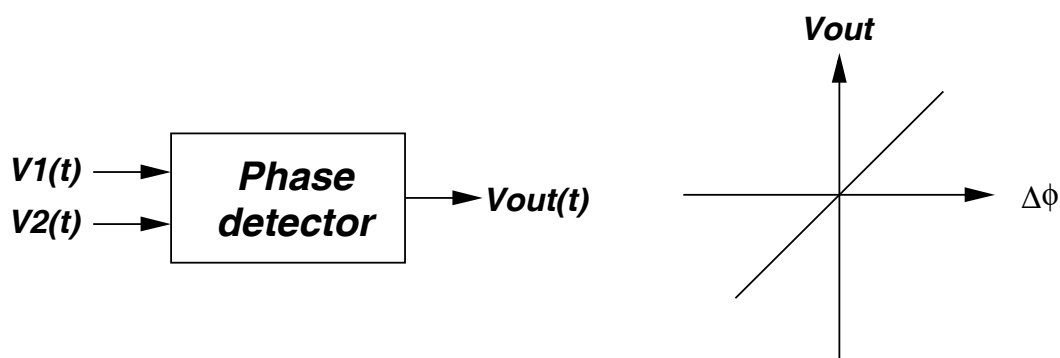
3.2. 時脈資料回復器內部各元件的介紹

以鎖相迴路為基礎的時脈資料回復器架構其理論相當繁雜，在此我們就做一簡單的分析。參照圖表 3-3，Loop I 為主要的核心迴路，它主導了整個電路穩定時的抖動效能，在設計上，整個迴路的頻寬會設計的非常小以降低輸入抖動的影響。Loop II 則是用來加快鎖定時間，它縮短了迴路在暫態的時間，當迴路趨近於穩定時，Loop II 會關掉，也就是說它並不會影響系統穩態時的效能，因此在設計上，我們只要確保其系統是穩定的即可。以下我們便針對各元件作介紹。

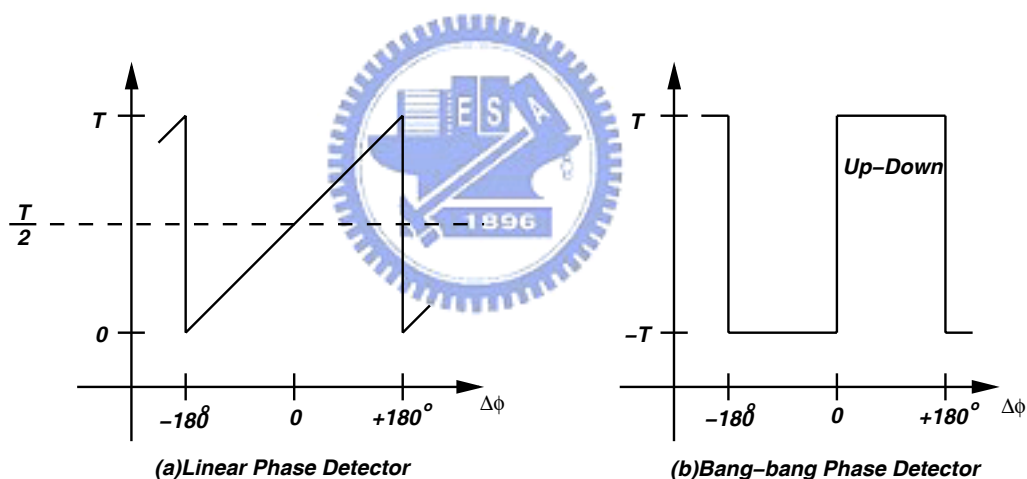
3.2.1. 相位偵測器(Phase detector)

前面提過以鎖相迴路為基礎的時脈資料回復器類似一個閉迴路系統，而相位偵測器便是扮演其中誤差放大器的腳色。在定義上，相位偵測器為一個平均輸出電壓 $\overline{V_{out}}$ 與其兩個輸入端之間相位差 $\Delta\phi$ 呈線性關係的電路(如圖表 3-4)，在理想狀況下， $\Delta\phi=0$ 時，輸出平均電壓 $\overline{V_{out}}$ 會等於零。而此直線的斜率 K_{pd} 稱之為相位偵測器的增益，其單位為 V/rad。由於輸入的 biphase 訊號並非週期性的訊號，所以我們不能使用一般的相位/頻率偵測器的電路[4]。而 biphase 訊號與 NRZ 訊號又是一體之兩面[13]，所以我們可以使用線性(如 Hogge 相位偵測器[14])或非線性的 Bang-Bang 相位偵測器(如 Alexander 相位偵測器[15])來處理 biphase 訊號。參考圖表 3-5，線性偵測器的優點在於它比 Bang-Bang 相位偵測器對電壓控制線上的變化量較小，因此壓控振盪器的輸出會有較低的抖動[16]，同時它也比非線性的 Bang-Bang 相位偵測器容易模組化，但是其缺點為在高速時會有正反器時脈到輸出延遲的問題[17][18][19]。而非線性的 Bang-Bang 相位偵測器則廣泛地應用在高速電路中[20][21][22]，但其增益與系統中的抖動量有關[23]，使得整個

鎖相迴路的迴路頻寬設計可能無法達到通訊抖動規格的規範。由於我們所要處理的輸入訊號的速度並非非常高速，所以衡量之後採用線性相位偵測器是比較適合在我們的應用之中。



圖表 3-4 相位偵測器的定義

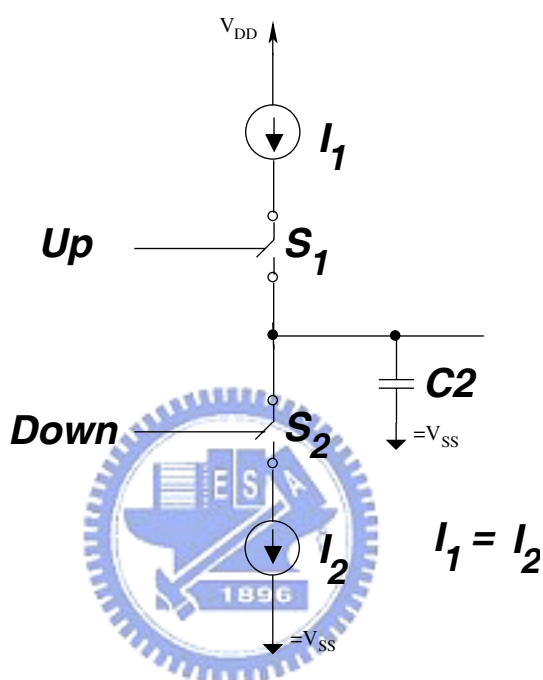


圖表 3-5 相位偵測器的特性

3.2.2. 電荷幫浦(Charge pump)

傳統的鎖相迴路(型態1)是將相位偵測器的輸出直接接到迴路濾波器，當相位偵測每執行一次相位比較，電荷會注入到迴路濾波器的電容上，但因為電容效應的關係，電荷會逐漸的減少。若加上電荷幫浦的電路(如圖表 3-6)，此電路可視為一個固定對迴路濾波器充電或放電的定電流源，其中相位偵測器的輸出Up訊號控制電荷幫浦對迴路濾波器充電，輸出Down訊號則

控制電荷幫浦對迴路濾波器放電，理想的電荷幫浦其充電電流與放電電流必須相等，當每次相位比較時，只要有誤差的產生，此誤差脈衝訊號經由電荷幫浦將持續穩定地注入電荷至電容中迫使壓控振盪器的輸入電壓改變，換句話說，對一個有限輸入誤差，輸出最後會變成 $+\infty$ 或 $-\infty$ ，也就是說相位偵測器與電荷幫浦的結合電路，其增益為無限大。



圖表 3-6 電荷幫浦的定義

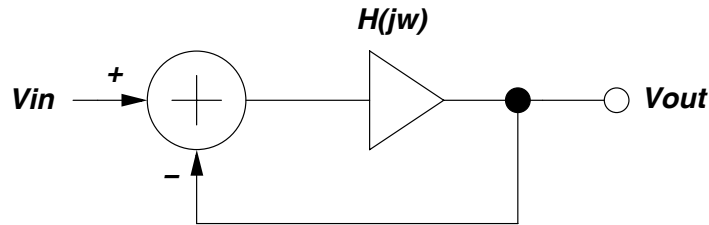
3.2.3. 電壓控制振盪器(VCO)

3.2.3.1. CMOS壓控振盪器原理

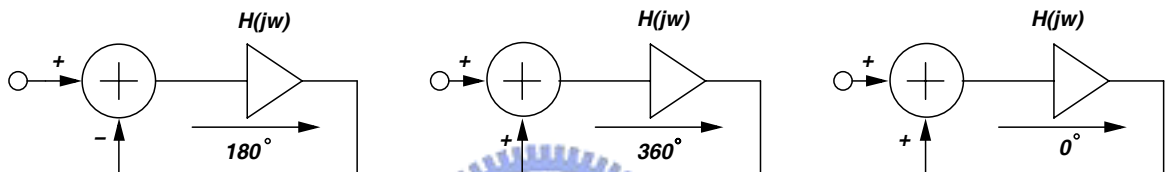
根據巴克豪森條件(Barkhausen's Criteria)，一個負回授系統(如圖表 3-7)，若此系統滿足公式(1)和(2)兩個條件，則電路會在 ω_0 振盪。為了確保在製程和溫度變化下電路仍能振盪，一般來說，我們設計迴路增益至少為所需值的二到三倍。

$$|H(\omega_0)| \geq 1 \quad (1)$$

$$\angle H(j\omega_0) = 180^\circ \quad (2)$$



圖表 3-7 負回授系統



圖表 3-8 振盪回授系統的不同觀點

事實上對正回授系統而言，我們亦可使系統產生振盪，如圖表 3-8 所示。圖表 3-8 (b) 與 (c) 也符合公式 (2)，(b) 與 (c) 的差別在前者的開路迴路放大器具有適當極性的足夠組態以提供 ω_0 之相位偏移 360° ，而後者則無相位誤差產生。對於一個符合振盪條件的迴路系統，其系統將會在頻率 ω_0 無限制的放大雜訊，直到系統本身的非線性限制此放大而停止，此時系統處在穩態振盪的狀態。

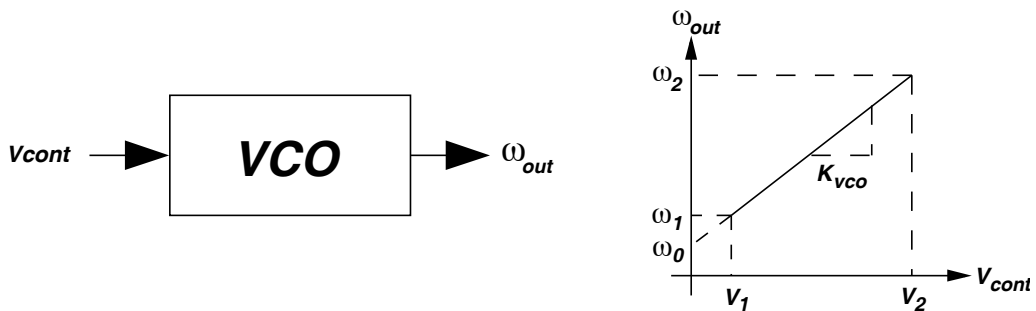
3.2.3.2. 理想的電壓控制振盪器

圖表 3-9 所示為一理想的電壓控制振盪器的定義，它是一個輸出頻率為控制電壓之線性函數的電路，

$$\omega_{out} = \omega_0 + K_{VCO} \cdot V_{cont} \quad (3)$$

在此 ω_0 代表 $V_{cont} = 0$ 時的頻率，我們稱之為自發頻率 (free-running frequency)。而 K_{VCO} 代表壓控振盪器的增益， $\omega_2 - \omega_1$ 則稱之為調諧範圍 (tuning range)。一個理想可用的電壓控制器必須盡可能的符合以下的規格：

- (1) 調諧的線性度：一個理想的電壓控制振盪器必須在整個調諧範圍都有固定的增益 K_{VCO} 。
- (2) 輸出信號的純度：電壓控制器的相位雜訊將會造成輸出時脈無法呈現完美的週期性，因此相位雜訊要盡可能的最小化。
- (3) 供應電壓的敏感度和共模排斥：振盪對於雜訊是相當敏感的，特別是從 V_{DD} 所耦合過來的數位電路切換雜訊會嚴重干擾輸出頻率，因此我們必須盡可能的降低雜訊的干擾，通常，會透過差動架構及其他電路技巧來降低。
- (4) 調諧範圍：壓控振盪器的調諧範圍必須在溫度和製程變化下依然能夠涵蓋所需要的振盪頻率範圍。



圖表 3-9 壓控振盪器的定義

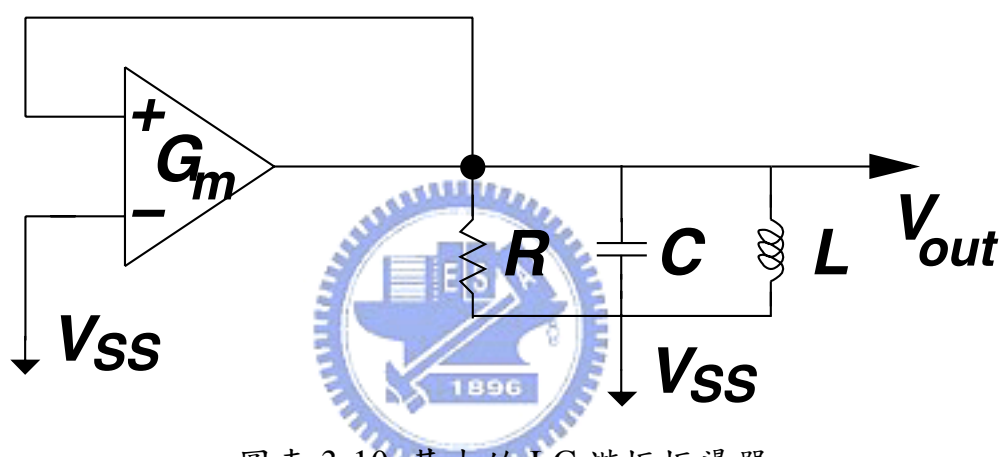
現今CMOS電路中最常使用兩種振盪器架構為LC諧振振盪器和環型振盪器。

3.2.3.3. LC諧振振盪器

LC諧振的基本原理是利用主動放大器補償諧振埠寄生電阻 R 所造成的消耗，如圖表 3-10，主動放大器的轉導為 G_m ，則所需的 G_m 值以及所得到的諧振頻率為[24]:

$$G_m = \frac{1}{R} \quad (4)$$

$$\omega_0 = \frac{1}{\sqrt{LC}} \quad (5)$$



圖表 3-10 基本的 LC 諧振振盪器

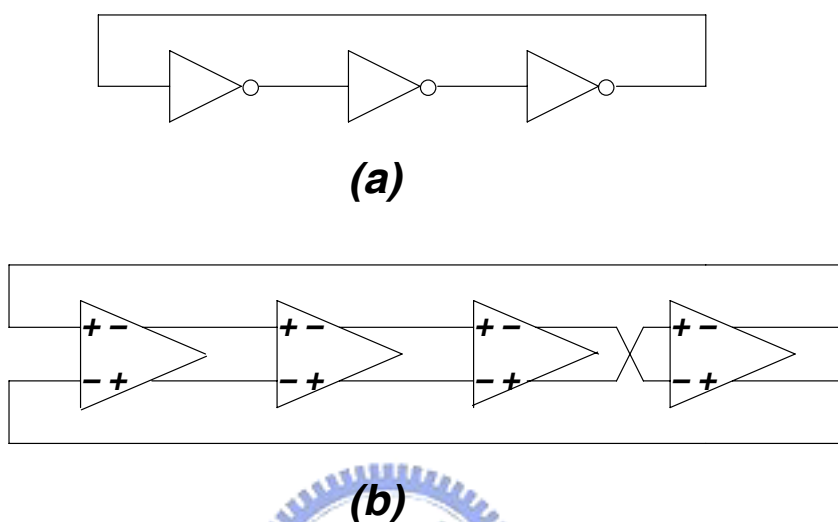
由公式(5)可知LC諧振振盪器可經由改變電容(C)或電感(L)來控制振盪器的振盪頻率，但是通常電感的感值是不容易改變的，因此大部分都是藉由電壓來改變電容值以改變振盪頻率。

3.2.3.4. 環型振盪器

環型振盪器(如圖表 3-11)是由反向器或共源極放大器串接而成的，其串接的最小級數為三，振盪頻率則由串接的級數和每級的延遲時間所決定，如公式(6)，其中 f_0 為振盪頻率， N 為串接的級數， T_D 則為每級的延遲時間。

當串接的級數越多，頻率會越低，一般串接的級數為奇數個，但若使用差動的架構，透過反接一級則可允許使用偶數個的級數，如圖表 3-11(b)所示。

$$f_0 = \frac{1}{2 \cdot N \cdot T_d} \quad (6)$$



圖表 3-11 (a)三及單端環型振盪器 (b)四極差動環型振盪器

由公式(6)可知，在固定級數下，藉由電壓改變每級的延遲時間可改變振盪頻率。

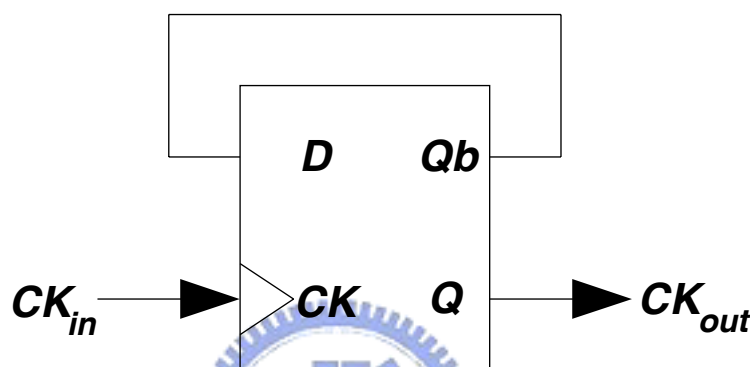
3.2.3.5. LC諧振振盪器和環型振盪器的比較

環型振盪器的優點在於輸出振幅較大，如此它的協調範圍很寬，然而環型振盪器沒有像LC諧振振盪器具有諧振埠來穩定頻率，同時環型振盪器有較多的主動電路，因此通常環型振盪器的相位雜訊比較大。

LC諧振振盪器雖然有較佳的相位雜訊效能，但因為電感的緣故，它的面積會非常大，同時它的協調範圍並沒有像環型振盪器那麼寬[25]-[30]。

3.2.4. 頻率除法器(Divider)

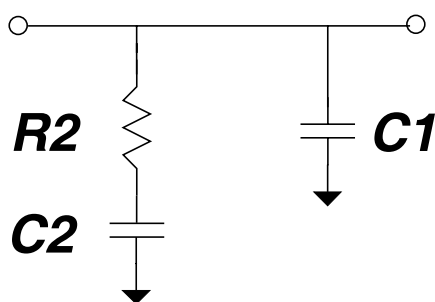
由於頻率偵測器[12]是針對Biphase訊號來產生誤差訊號，而Hogge相位偵測器[14]是針對NRZ訊號來產生誤差訊號，兩者差了兩倍的頻率，因此我們設計讓壓控振盪器振盪在NRZ訊號的頻率範圍，至於Biphase訊號所需要的時脈則是讓壓控振盪器的輸出經由一個除以二的除頻器(如圖表 3-12)來產生。



圖表 3-12 除 2 的除頻器

3.2.5. 迴路濾波器(Loop filter)

迴路濾波器介於電荷幫浦和壓控振盪器之間，它用來穩定整個閉迴路系統，同時更重要的它能夠濾掉高頻的雜訊使得壓控振盪器的輸入電壓不會有太大的變化，而讓壓控振盪器所產生的時脈抖動量變小。圖表 3-13所示為一個二階的低通濾波器用來當作迴路濾波器。

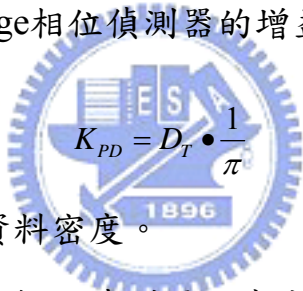


圖表 3-13 二階的低通濾波器

3.3. 相位迴路的線性系統分析

3.3.1. 針對每個元件作線性化

參照圖表 2-1 的架構，我們要設計一個二階的低通濾波器使得整個閉迴路能夠穩定並且能符合 AES3 和 IEC60958-4 的規格。要分析整個系統我們必須先把相位偵測器和電荷幫浦及壓控振盪器線性化，首先參照[31]，Hogge 相位偵測器在 $\Delta\phi = \pm 180^\circ$ 時，平均輸出電壓會達到最大或最小值，超過 180° 電路特性會等於從 -180° 開始重複，此特性告訴我們 Hogge 相位偵測器在倍數的頻率都是有可能鎖定的，其次並透露出我們可將 Hogge 相位偵測器以 $\frac{1}{\pi}$ 的模型來表示。然而 Hogge 相位偵測器的增益與輸入訊號的資料密度又呈現正相關性，因此我們將 Hogge 相位偵測器的增益 K_{PD} 表示為：


$$K_{PD} = D_T \cdot \frac{1}{\pi} \quad (7)$$

其中 D_T 代表輸入訊號的資料密度。

電荷幫浦的運作是將相位偵測器所產生的相位誤差經由定電流源對後端迴路濾波器作充放電，因此我們可將電荷幫浦以 I_{CP} 的模型來表示，其中 I_{CP} 為定電流源的電流大小，單位為 A。

由於相位的微分等於頻率，且根據公式(3)可知， $\omega_{out} = \omega_0 + K_{VCO} \cdot V_{cont}$ ，因此，

$$\begin{aligned} \phi_{out} &= \int \omega_{out} dt + \phi_0 \\ &= \omega_0 t + K_{VCO} \cdot \int V_{cont} dt + \phi_0 \end{aligned} \quad (8)$$

對於鎖相迴路系統，我們可將壓控振盪器視為輸入控制電壓 V_{cont} 和輸出多餘相位 ϕ_{ex} 的系統：

$$\phi_{ex} = K_{VCO} \cdot \int V_{cont} dt \quad (9)$$

由公式(9)可知壓控振盪器為一個理想積分器的模型，對公式(9)作拉普拉斯轉換可得壓控振盪器的轉移函數：

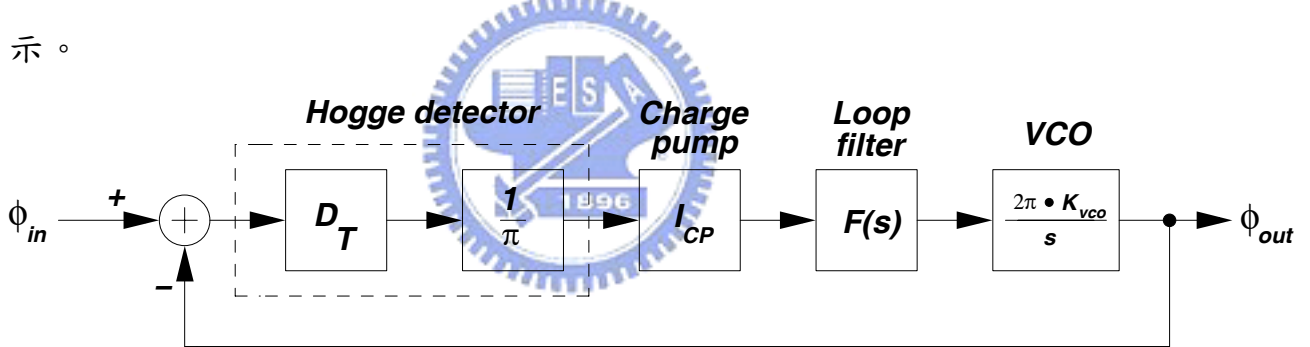
$$\frac{\phi_{ex}}{V_{cont}}(s) = \frac{K_{VCO}}{s} \quad (10)$$

若將 K_{VCO} 單位從 rad/V 換成 Hz/V ，則壓控振盪器的轉移函數為：

$$\frac{\phi_{ex}}{V_{cont}}(s) = \frac{2\pi \cdot K_{VCO}}{s} \quad (11)$$

3.3.2. 迴路濾波器的設計[32]

經由以上的推導，現在我們可將相位迴路系統以圖表 3-14 的模型來表示。



圖表 3-14 相位迴路系統的線性模型

迴路濾波器(Loop filter)為如圖表 3-13 所示的二階低通濾波器，其轉換函數為：

$$F(s) = \frac{1 + s \cdot T2}{s \cdot Ctot \cdot (1 + s \cdot T1)} \quad (12)$$

其中

$$\begin{aligned}
T2 &= R2 \cdot C2 \\
T1 &= \frac{R2 \cdot C2 \cdot C1}{Ctot} \\
Ctot &= C1 + C2
\end{aligned} \tag{13}$$

對於PRBS的輸入訊號，輸入資料密度 $D_r = 0.5$ ，因此系統的開迴路增益為 ($H(s) = 1$):

$$G(s) \cdot H(s) = \frac{I_{cp} \cdot K_{VCO}}{Ctot} \cdot \frac{1 + s \cdot T2}{s^2 \cdot (1 + s \cdot T1)} \tag{14}$$

令開迴路增益在迴路頻寬 ωc 時等於一可得:

$$Ctot = \frac{C1 \cdot T2}{T1} = \frac{I_{cp} \cdot K_{VCO}}{\omega c^2} \cdot \sqrt{\frac{(1 + \omega c^2 \cdot T2^2)}{(1 + \omega c^2 \cdot T1^2)}} \tag{15}$$

同時由公式(14)可知開迴路在迴路頻寬 ωc 時的相位邊限(Phase Margin) ϕ 為:

$$\phi = 180^\circ + \tan^{-1}(\omega c \cdot T2) - \tan^{-1}(\omega c \cdot T1) \tag{16}$$

為了確保迴路在迴路頻寬穩定，我們設計讓迴路在迴路頻寬有最大的相位邊限，因此我們可對公式(16)在迴路頻寬時微分並令它等於零，可得:

$$\left. \frac{d\phi}{d\omega} \right|_{\omega=\omega c} = 0 = \frac{\omega c \cdot T2}{1 + \omega c^2 \cdot T2^2} - \frac{\omega c \cdot T1}{1 + \omega c^2 \cdot T1^2} \tag{17}$$

由公式(17)可推得:

$$\omega c^2 = \frac{1}{T1 \cdot T2} \tag{18}$$

將公式(18)的結果代入公式(16)可得:

$$\begin{aligned}
T1 &= \frac{\sec(\phi) - \tan(\phi)}{\omega c} \\
T2 &= \frac{1}{\omega c^2 \cdot T1}
\end{aligned} \tag{19}$$

總結以上我們可計算迴路濾波器的電阻和電容值為:

$$\begin{aligned}
C1 &= C_{tot} \cdot \frac{T1}{T2} \\
C2 &= C_{tot} - C1 \\
R2 &= \frac{T2}{C2}
\end{aligned}
\tag{20}$$

3.3.3. 如何決定每個元件的參數

上節雖然推導出迴路濾波器電阻和電容值的算法，但是我們必須先給定迴路頻寬 ω_c ，相位邊限(PM) ϕ ，壓控振盪器的增益 K_{VCO} 和電荷幫浦的電流 I_{CP} 才能算出電阻和電容。通常 K_{VCO} 和 I_{CP} 可由電路設計完後量測可得，至於迴路頻寬和相位邊限則與所需的抖動規格有關。

3.3.3.1. 迴路頻寬和相位雜訊的關係

參照圖表 3-14，且根據控制理論，我們可計算每個元件所貢獻雜訊對系統的等效轉換函數，整理如表格 3-1:

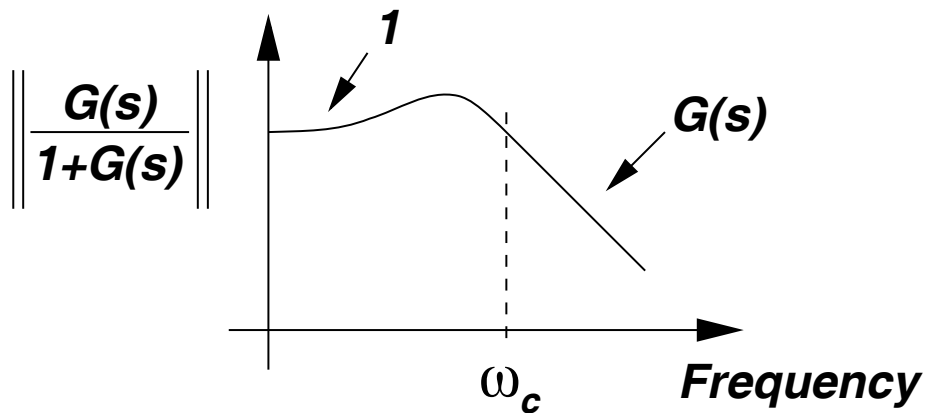
雜訊來源	相關的轉換函數
輸入訊號	$\frac{G(s)}{1+G(s)}$
相位頻率偵測器/電荷幫浦	$\frac{1}{I_{CP}} \cdot \frac{G(s)}{1+G(s)}$
壓控振盪器	$\frac{1}{1+G(s)}$

表格 3-1 不同雜訊來源的轉換函數

參照公式(14)和(16)及 $\|G(j \cdot \omega_c) \cdot H(j \cdot \omega_c)\| = 1$ 可得:

$$\frac{G(s)}{1+G(s)} \approx \begin{cases} 1 & \text{for } \omega \ll \omega_c \\ G(s) & \text{for } \omega \gg \omega_c \end{cases}
\tag{21}$$

我們可繪得此方程式如圖表 3-15:

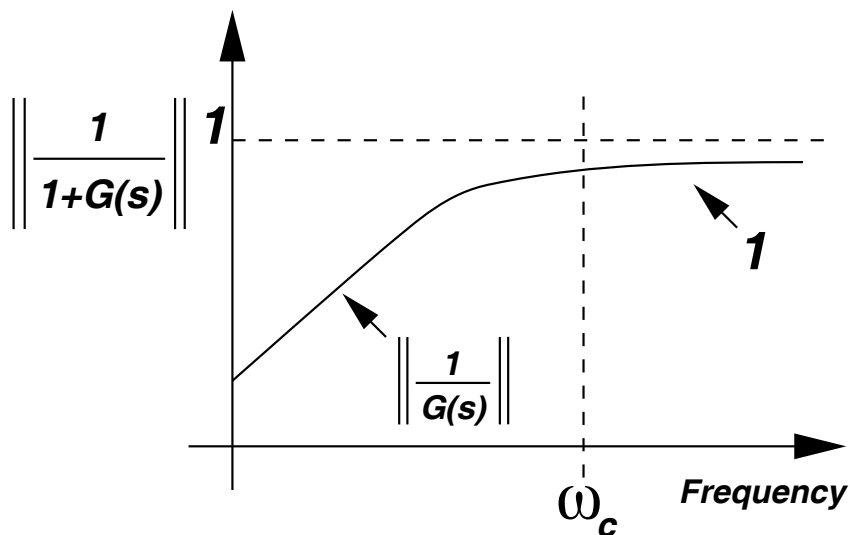


圖表 3-15 $\frac{G(s)}{1+G(s)}$ 的轉換函數特性

同時對於壓控振盪器的轉換函數 $\frac{1}{1+G(s)}$ 我們可得:

$$\frac{1}{1+G(s)} \approx \begin{cases} \frac{1}{G(s)} & \text{for } \omega \ll \omega_c \\ 1 & \text{for } \omega \gg \omega_c \end{cases} \quad (22)$$

同樣我們可描繪此方程式如圖表 3-16:



圖表 3-16 $\frac{1}{1+G(s)}$ 的轉換函數特性

由以上的推論可知，為了濾掉輸入訊號和相位偵測器/電荷幫浦所引入的相位雜訊，我們設計讓迴路頻寬盡可能的小，然而壓控振盪器的轉換函數顯示了一個高通的特性，這代表較低的迴路頻寬導致較差的壓控振盪器雜訊濾波效果，在此，迴路頻寬的設計產生折衷的考量，通常在時脈資料回復器的應用當中，由於接收的訊號經過通道而來受到很大的干擾，會對電路產生很大的雜訊影響，因此在時脈資料回復器的應用當中，我們會設計讓迴路頻寬小一點，至於壓控振盪器的雜訊影響則藉由電路設計的技巧來盡可能的降低。

3.3.3.2. 系統的暫態響應

要更精確地決定迴路頻寬 ω_c 的值，我們要先從系統的暫態響應分析起。參照系統的開迴路轉移函數公式(14)，我們可得系統的閉迴路轉移函數 $CL(s)$ 公式為：

$$CL(s) = \frac{I_{CP} \cdot K_{VCO} \cdot (1 + s \cdot T2)}{s^3 \cdot T1 \cdot Ctot + s^2 \cdot Ctot + s \cdot I_{CP} \cdot K_{VCO} \cdot T2 + I_{CP} \cdot K_{VCO}} \quad (23)$$

由初值定理(公式(24))可知，高階項對系統的暫態響應影響較小，

$$\lim_{s \rightarrow \infty} s \cdot Y(s) = \lim_{t \rightarrow 0} y(t) \quad (24)$$

因此我們忽略分子的三階項(忽略 $C1$)，所以

$$\begin{aligned} T2 &= R2 \cdot C2 \\ T1 &= 0 \\ Ctot &= C2 \end{aligned} \quad (25)$$

如此可將閉迴路系統近似為一個二階系統 $CL_{2nd}(s)$ ：

$$\begin{aligned}
CL_{2nd}(s) &= \frac{I_{CP} \cdot K_{VCO} \cdot (1 + s \cdot T2)}{s^2 \cdot Ctot + s \cdot I_{CP} \cdot K_{VCO} \cdot T2 + I_{CP} \cdot K_{VCO}} \\
&= \frac{\frac{I_{CP} \cdot K_{VCO}}{C2} \cdot (1 + s \cdot T2)}{s^2 + s \cdot I_{CP} \cdot K_{VCO} \cdot R2 + \frac{I_{CP} \cdot K_{VCO}}{C2}}
\end{aligned} \tag{26}$$

公式(26)可被寫為標準二階的形式:

$$CL_{2nd}(s) = \frac{2 \cdot \xi \cdot \omega n \cdot s + \omega n^2}{s^2 + 2 \cdot \xi \cdot \omega n \cdot s + \omega n^2} \tag{27}$$

其中

$$\omega n = \sqrt{\frac{I_{CP} \cdot K_{VCO}}{C2}} \tag{28}$$

$$\xi = \frac{R2}{2} \sqrt{I_{CP} \cdot C2 \cdot K_{VCO}} \tag{29}$$

此閉迴路系統的零點為

$$\omega z = \frac{-1}{T2} = \frac{-1}{R2 \cdot C2} = \frac{-\omega n}{2 \cdot \xi} \tag{30}$$

極點則為(在 $\xi > 1$ 的情況)

$$\omega p_{1,2} = -\xi \cdot \omega n \pm \sqrt{\xi^2 - 1} \cdot \omega n \tag{31}$$

3.3.3.3. 迴路頻寬 ωc 與自然頻率 ωn , 阻尼比 ξ 及相位邊限 PM 的關係

由公式(19),(26)及(28)可得

$$\frac{\omega n}{\xi} = 2 \cdot \omega c \cdot (\sec \phi - \tan \phi) \tag{32}$$

由公式(15), (25)及(28)

$$\frac{I_{CP} \cdot K_{VCO}}{\omega c^2} \sqrt{\frac{1 + (\omega c \cdot T2)^2}{1 + (\omega c \cdot T1)^2}} = C1 + C2 = \frac{I_{CP} \cdot K_{VCO}}{\omega n^2} \quad (33)$$

將公式(19)及(32)代入(33)可得

$$\left(\frac{\omega c}{\omega n}\right)^4 = \frac{1 + \left(\frac{2 \cdot \xi \cdot \omega c}{\omega n}\right)^2}{1 + \left(\frac{\omega n}{2 \cdot \xi \cdot \omega c}\right)^2} \quad (34)$$

由公式(34)解得

$$\omega c = 2 \cdot \xi \cdot \omega n \quad (35)$$

將公式(35)代入(32):

$$\sec \phi - \tan \phi = \frac{1}{4 \cdot \xi^2} \quad (36)$$

3.3.3.4. 抖動容忍(Jitter tolerance)

系統的相位雜訊使時脈產生抖動，同時輸入訊號本身也帶有大量的抖動，通常我們會將抖動以每個位元週期的方式來表示，稱之為單位間隔時間(unit interval, UI)。

抖動容忍的規格代表時脈資料回復器迴路能夠容忍多少的輸入抖動而不致增加位元錯誤率，在一個固定頻率下，當輸入訊號的相位大到超過0.5UI時，取樣點將會跑到資料轉換的邊緣而產生位元錯誤，所以不增加位元錯誤的條件為：

$$\phi_{in} - \phi_{out} < \frac{1}{2} UI \quad (37)$$

上式也等於

$$\phi_{in} [1 - H(s)] < \frac{1}{2} UI, \quad \text{where } H(s) = \phi_{out} / \phi_{in} \quad (38)$$

所以

$$\phi_{in} < \frac{0.5UI}{1 - H(s)} \quad (39)$$

因此我們將抖動容忍表示為

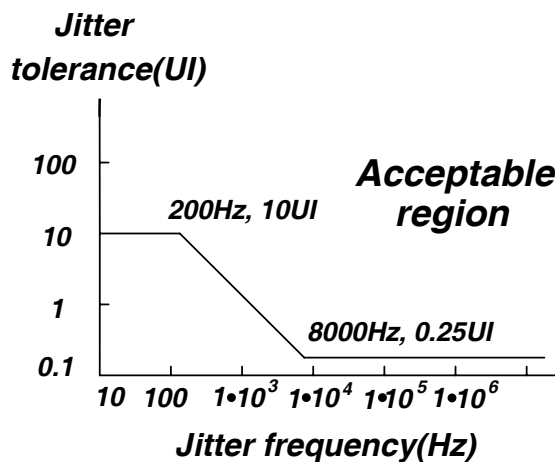
$$G_{JT}(s) = \frac{0.5}{1 - H(s)} \quad (40)$$

參照公式(27)，

$$G_{JT}(s) = \frac{1}{2} \frac{s^2 + 2\xi\omega ns + \omega n^2}{s^2} \quad (41)$$

因此此轉換函數的零點為時脈資料回復器閉迴路系統的極點，兩個極點則在零。故此系統以40dB/dec的速度往下掉，在頻率大於第二個極點位置後會趨近於0.5UI。

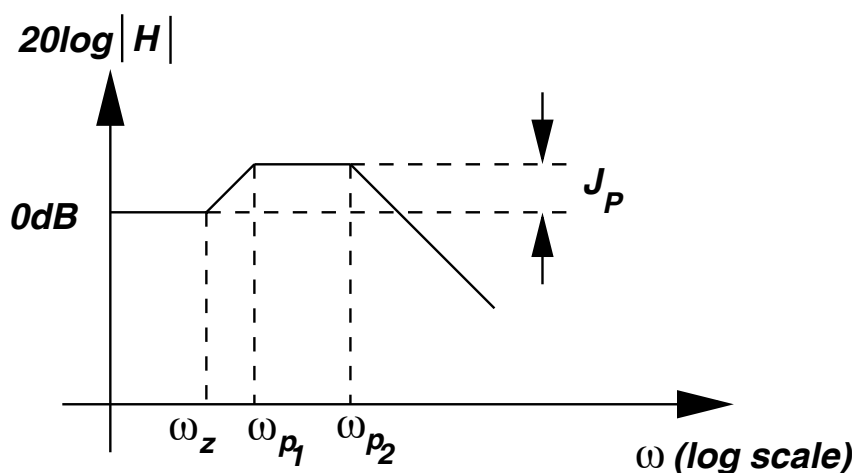
AES3和IEC60958-4規範了如圖表 3-17所示的抖動容忍規格。由公式(31)及(35)可得迴路頻寬 ωc 稍大於第二個極點，而由圖表 3-17可知第二個極點頻率至少要大於4kHz，因此選擇迴路頻寬 ωc 大於10kHz能確保系統符合抖動容忍的規格。



圖表 3-17 AES3 規範的抖動容忍規格

3.3.3.5. 抖動轉換(Jitter transfer)

由(30)及(31)可知零點總是比極點先出現，所以會產生抖動峰值 J_p (如圖表 3-18)，



圖表 3-18 抖動轉換函數

AES3及IEC60958-4規範 J_p 不得大於2dB，而：

$$J_p = \frac{\omega_{p1}}{\omega_z} \quad (42)$$

由公式(30)及(31)代入(42)得到 J_p 只跟系統阻尼比 ξ 有關，而由公式(36)可知阻尼比與相位邊限 PM 有一關係式存在，最後可推得相位邊限 $PM > 72^\circ$ 可使 $J_p < 2\text{dB}$ 。

3.3.4. 總結整個系統的設計流程

我們歸納整個時脈資料回復器電路的系統設計流程如下：

- (1)根據輸入訊號的頻率範圍設計壓控振盪器，然後從模擬結果量測得參數 K_{VCO} 。
- (2)設計電荷幫浦，由模擬量測得參數 I_{CP} 。

(3)由AES3及IEC60958-4所規範的抖動容忍和抖動轉換規格，決定適當的迴路頻寬 ω_c 與相位邊限 PM 。

(4)根據以上參數算出迴路濾波器的電阻和電容值。

(5)如果算出來的電阻和電容值不太理想可藉由重新設計電荷幫浦的電流源大小來調整。

下表為系統所算出來的電阻電容值，其中15KHz為設計的頻率，200KHz是為了快速模擬暫態鎖定行為所採用的規格。

迴路頻寬 ω_c	15KHz	200KHz
相位邊限 PM	75°	75°
電荷幫浦電流 I_{CP}	$10\mu A$	$10\mu A$
VCO增益 K_{VCO}	$10MHz/V$	$10MHz/V$
$R2$	959Ω	$12.755k\Omega$
$C2$	$84nF$	$472.67 pF$
$C1$	$1.482nF$	$8.337 pF$


表格 3-2 系統的各项線性參數表

Chapter 4 一個應用於SPDIF/AES訊號格式的 時脈回復器設計

在本章我們將討論應用於SPDIF/AES訊號格式的時脈回復器電路設計，所使用的製程是TSMC CMOS 0.35um 2P4M的製程。延續第三章所介紹的架構，我們將對相位偵測器，頻率偵測器，電荷幫浦，壓控振盪器和鎖定偵測器作更進一步的分析。

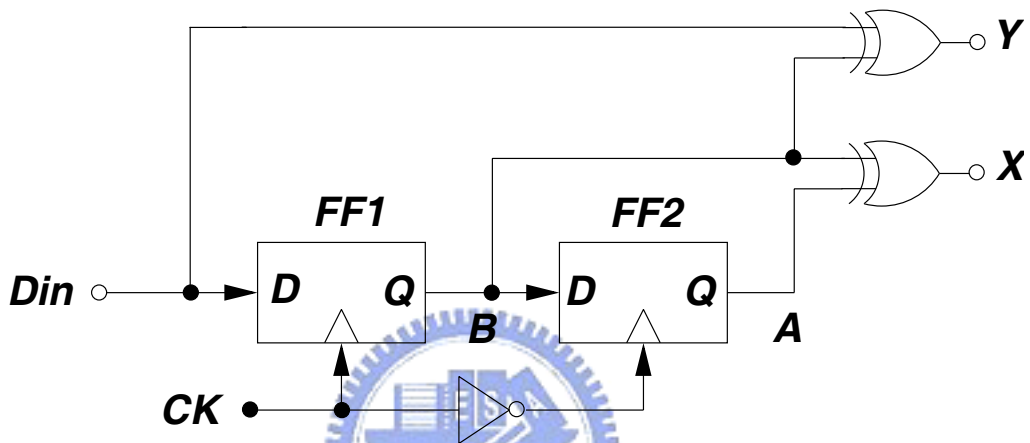
4.1. 相位偵測器

4.1.1. Hogge相位偵測器的操作原理

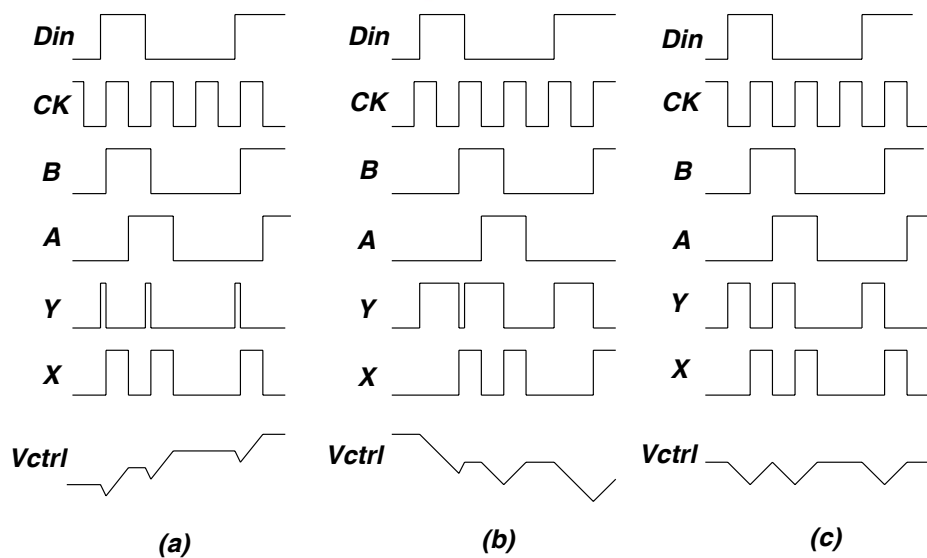


我們所使用的相位偵測器是在時脈資料回復器被廣泛利用的Hogge相位偵測器[14]，它是由兩個D型正反器和兩個互斥或閘(XOR)所構成，如圖表 4-1。輸入 D_{in} 經過FF1取樣後得到 B ，然後將 D_{in} 與 B 作XOR得到 Y ， Y 的波形顯示了輸入 D_{in} 與 CK 的相位差。雖然 Y 顯示了相位偵測的功能，但是卻有可能產生相位差不同而等效控制脈波一樣的矛盾狀況，例如如果輸入資料密度變為兩倍而相位差變為二分之一，所得到的控制脈波時間會一樣長，因此出現不同相位差卻有相同直流位準的狀況。為了避免這種非唯一現象，Hogge相位偵測器多加了一組D型正反器和XOR來產生訊號 X ，訊號 X 的波形隨著每次 CK 變化產生一個固定為 CK 半週期的脈波當作一參考訊號，因此 Y 與 X 訊號的結合便能消除上述的非唯一現象。

Hogge相位偵測器的輸出接到如圖表 3-6的電荷幫浦架構，其中因為我們的壓控振盪器是負斜率的形式，所以Hogge的輸出和電荷幫浦之間要反接，也就是Y會接到電荷幫浦的Down端控制NMOS開關，X則經由一反向器接到電荷幫浦的Up端控制PMOS開關，在不同相位的對電容充放電情形如圖表 4-2所示，而在鎖定时，CK的上升邊緣會對準每個位元的中心點，因此訊號B即為還原過的資料。



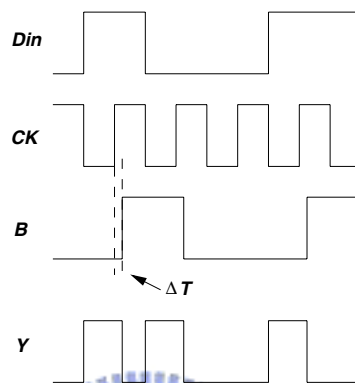
圖表 4-1 Hogge 相位偵測器



圖表 4-2 (a)時脈領先的相位圖 (b)時脈落後的相位圖 (c)時脈鎖定的相位圖

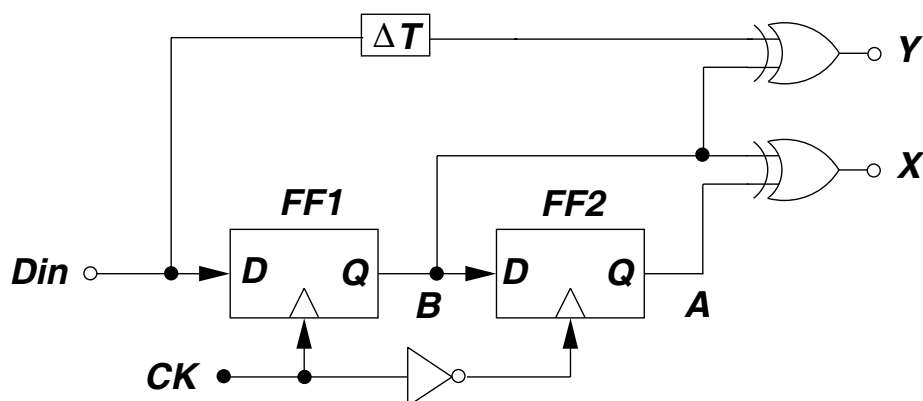
4.1.2. Hogge相位偵測器的非理想效應

由於正反器的非理想效應，正反器的時脈到輸出(Clock to Q)的延遲，將會導致訊號 B 較慢上升，因此在鎖定时， CK 的上升邊緣將不會是在資料的中心點，也就是還原的資料不是在最佳取樣點得到(如圖表 4-3)，如此的情形會增加誤碼率(Bit error rate)的提升。



圖表 4-3 時脈到輸出延遲存在時的鎖定情形

為了改善這種狀況，我們可以利用圖表 4-4 的方式插入額外的延遲來匹配正反器的時脈到輸出延遲，而為了讓這兩個延遲的變異量在製程的變異下仍然能夠相等，我們所使用的延遲元件為等同正反器的兩個鎖存器，只是這兩個鎖存器的時脈接成同向而非反向當作讓訊號延遲通過。

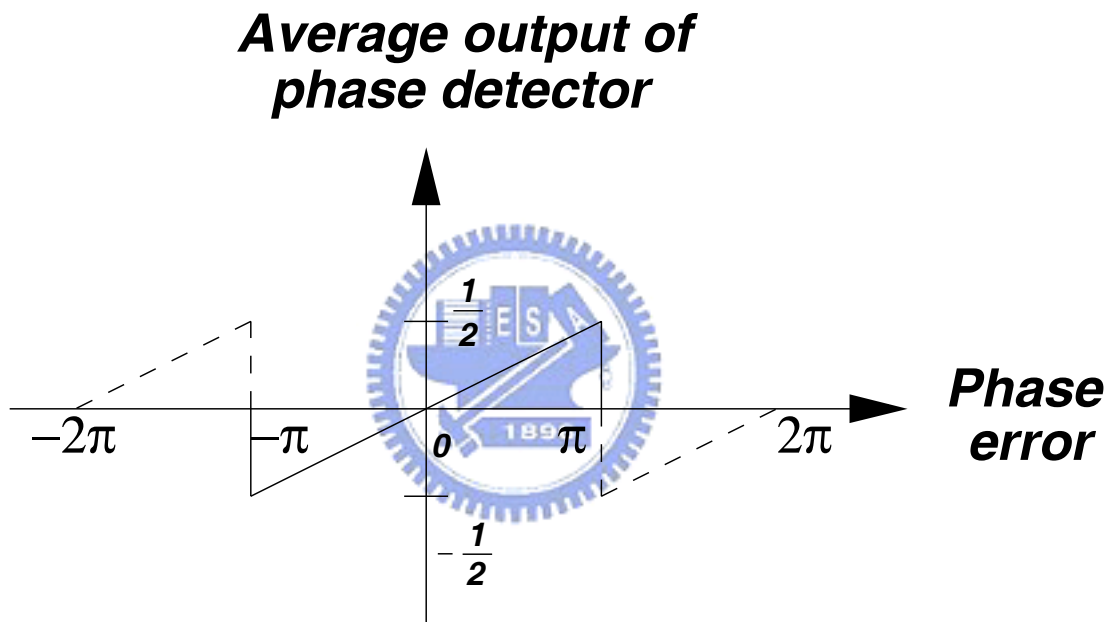


圖表 4-4 補償 Hogge 相位偵測器延遲的方式

4.1.3. Hogge相位偵測器與時脈資料回復器架構的關係

在使用Hogge相位偵測器有兩個要特別注意的特性。

- (1)Hogge相位偵測器將輸入訊號當作NRZ訊號，並且時脈的上升邊緣會鎖定在NRZ訊號的位元中心點。
- (2)參照圖表 4-5[31]，相位偵測器有可能鎖到倍數倍的頻率，所以時脈資料回復器架構需要頻率偵測器迴路一方面縮短系統的鎖定時間，另一方面避免相位偵測器鎖到錯誤的頻率。

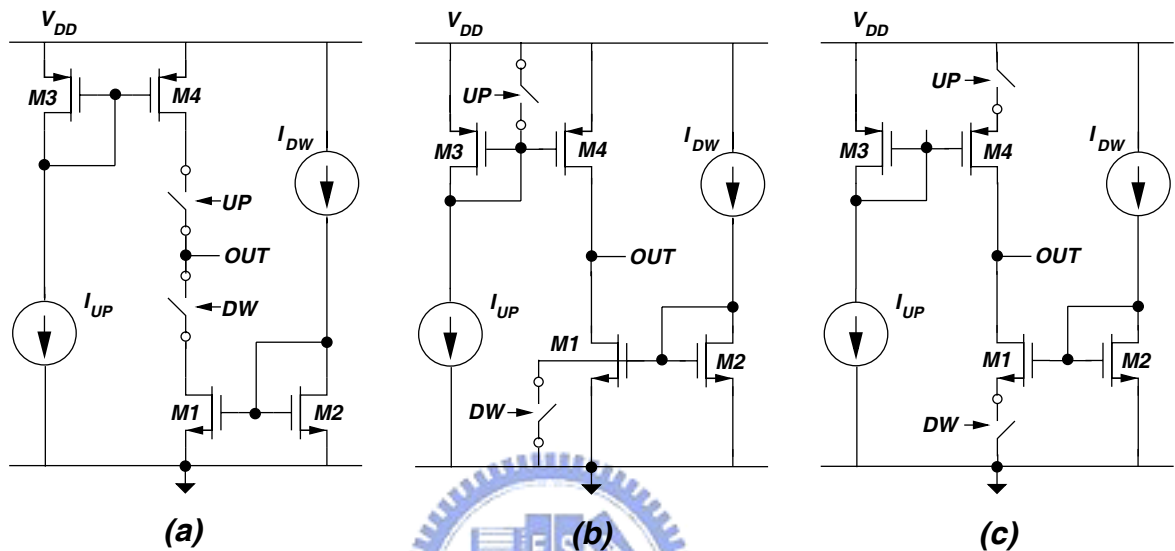


圖表 4-5 Hogge 相位偵測器的轉換特性

4.2. 電荷幫浦

電荷幫浦用來將前面相位或頻率偵測器的誤差訊號轉換成電流對迴路濾波器作充放電。參照圖表 4-6[33]，根據開關位置的不同而有三種基本架構，圖表 4-6(a)的架構開關位在汲極，當開關關掉時，M1的汲極會放電到0V，當開關重新打開時，M1的汲極電壓會從0V上升到電容上的控制電壓 V_{CTRL} ，這過程M1將會有一段時間位於三極管區，產生峰值電流(peak cur-

rent), 同樣的情形也會發生在M4的汲極端, 由於這兩個峰值電流很難匹配, 因此會造成控制電壓 V_{CTRL} 的跳動。圖表 4-6(b)則為開關作在閘極端, 如此能確保兩個電流源都永遠維持在飽和區, 但是這種架構有切換速度的問題, 因此通常都使用圖表 4-6(c)的架構將開關作在源極端。



圖表 4-6 單端電荷幫浦 (a)開關在汲極 (b)開關在閘極 (c)開關在源極

電荷幫浦最重要的就是上下兩個電流源電流要匹配, 參照圖表 4-7[34], $MN0, MN2$ 和 $MN4$ 形成一組電流鏡, 因此:

$$I_1 = I_4 \quad (43)$$

而 $MP1$ 和 $MP3$ 形成另一組電流鏡, 因此:

$$I_2 = I_3 \quad (44)$$

又

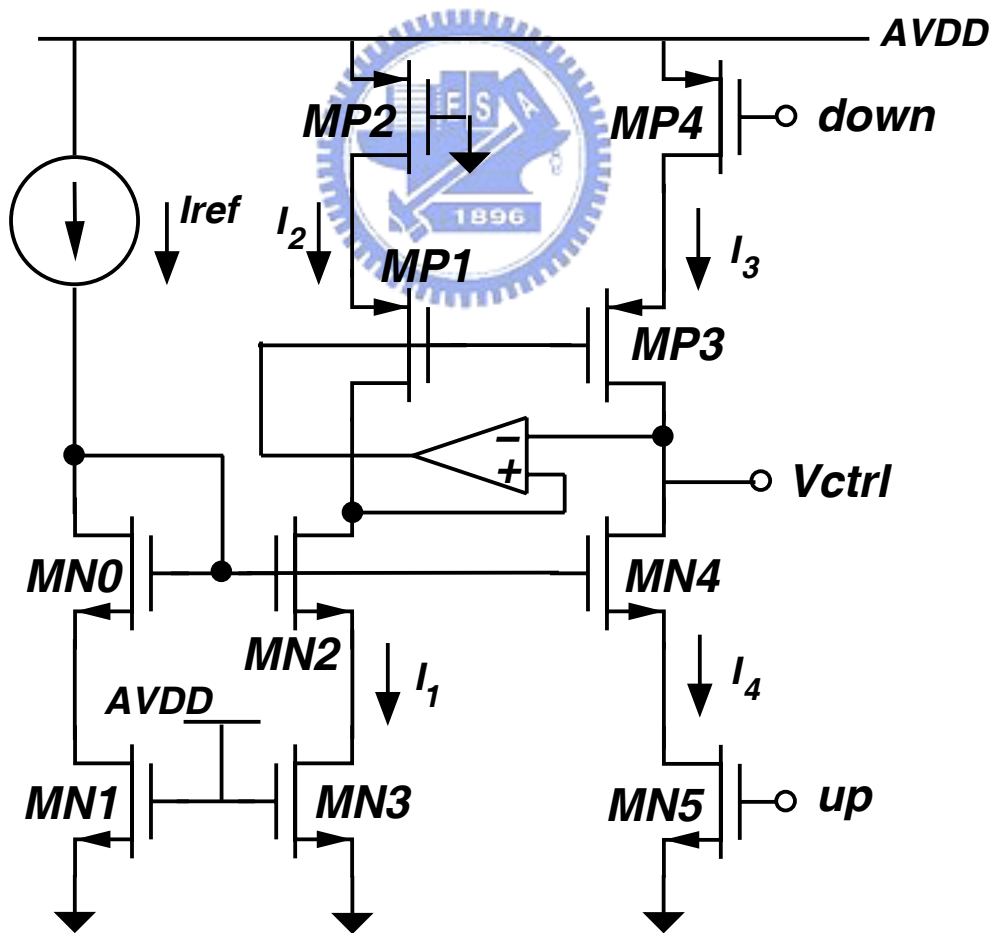
$$I_1 = I_2 \quad (45)$$

故得

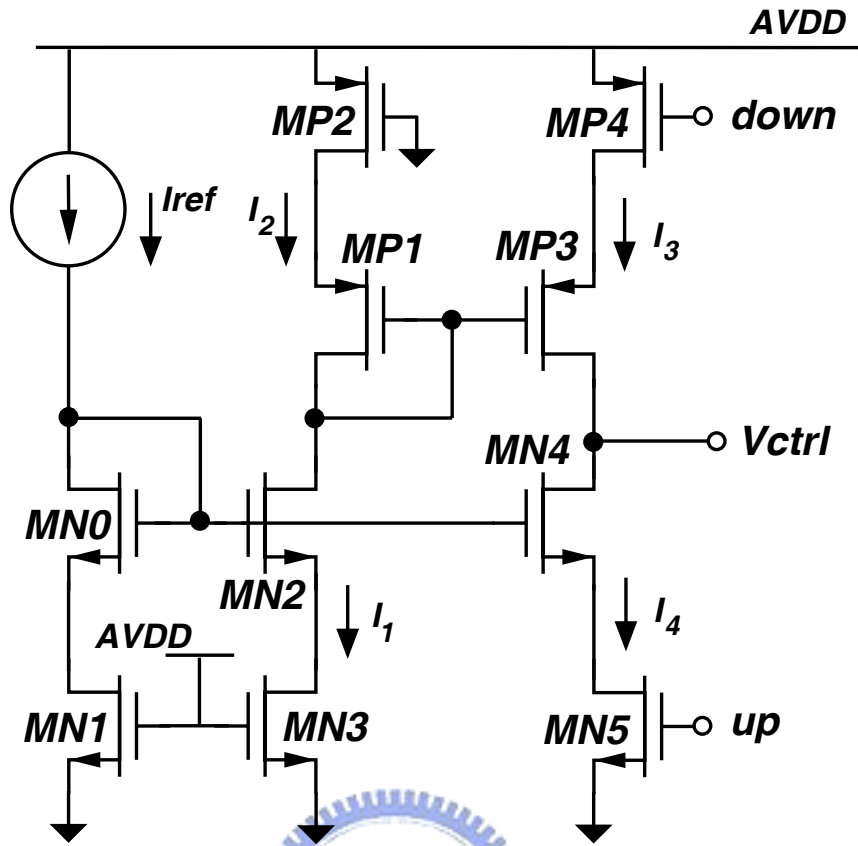
$$I_3 = I_4 \quad (46)$$

由於控制電壓 V_{ctrl} 一直在改變，因此 $MN2$ 和 $MN4$ 的汲極電壓可能會不太一樣而使得電流匹配不是很準，如果加入一顆運算放大器讓 $MN2$ 的汲極電壓隨著控制電壓 V_{ctrl} 變，則電流的匹配會比較好。

但是加入這顆運算放大器會引進額外的雜訊，同時也可能引進額外的極點造成系統的不穩定，經過考量之後，還是不採用加入運算放大器的架構，最終的電荷幫浦架構如圖表 4-8 所示[35]， $MN1, MN3$ 和 $MP2$ 用來與開關匹配，而中間當電流源的電晶體的長度則不能設計太小，否則電流會容易受製程影響。此外，雖然疊接架構可改善電流的匹配，但由於我們規格需要很大的可調控制電壓範圍，因此就不使用疊接組態以免吃掉頭部空間。

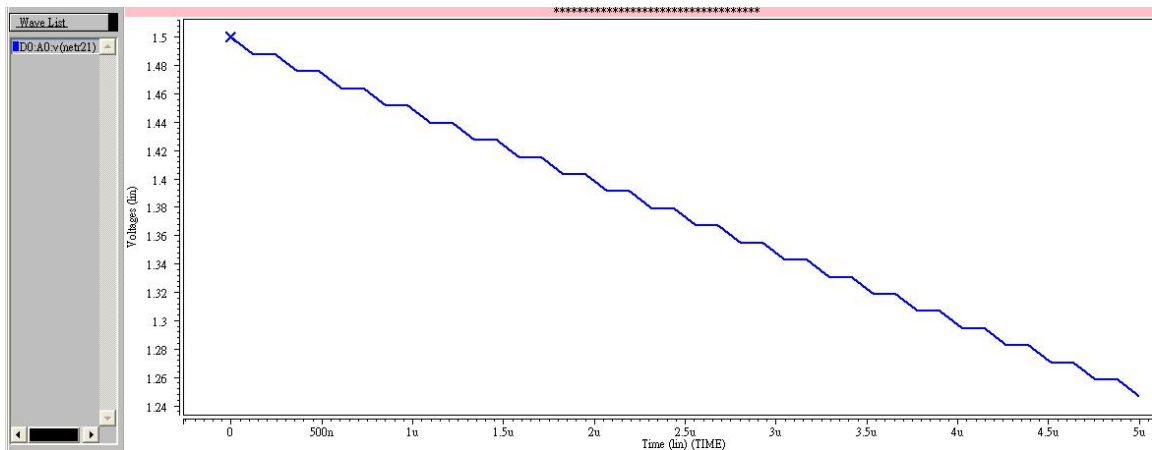


圖表 4-7 利用運算放大器幫助電流匹配的電荷幫浦

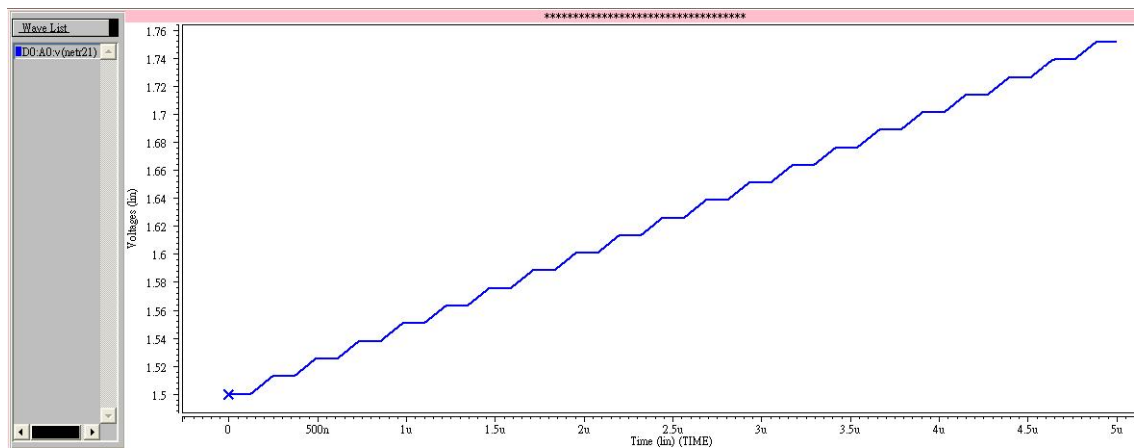


圖表 4-8 電荷幫浦架構

電荷幫浦的充放電波形模擬結果如圖表 4-9和圖表 4-10所示。



圖表 4-9 電荷幫浦放電波形

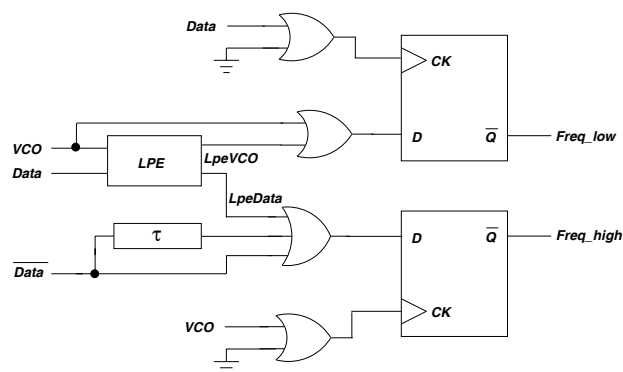


圖表 4-10 電荷幫浦充電波形

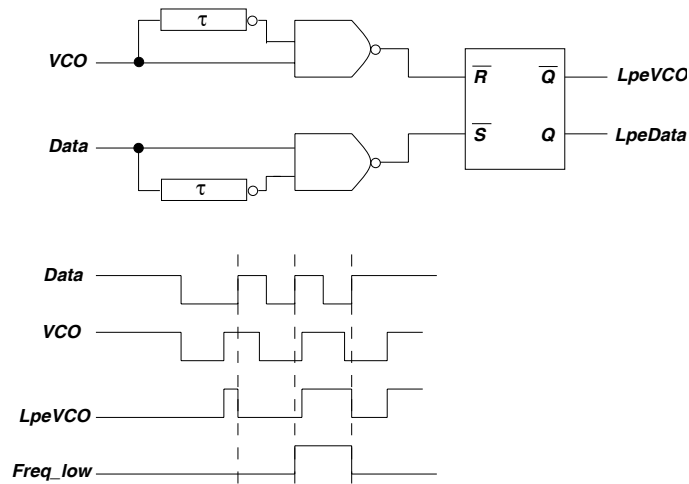
4.3. 頻率偵測器

4.3.1. 頻率偵測器的操作原理

頻率偵測器在處理寬頻率範圍輸入訊號的時脈資料回復器扮演了重要的腳色。由於輸入訊號的頻率範圍相當廣，對於一個單一壓控振盪器的時脈資料回復器架構，我們所需求的頻率偵測器鎖定範圍就必須非常的寬，Toifl和Moreira兩人所提出的頻率偵測器架構 [12]對Biphase訊號有無限的鎖定範圍，因此我們便使用此架構來當作我們的頻率偵測器。其電路架構如圖表 4-11和圖表 4-12所示：

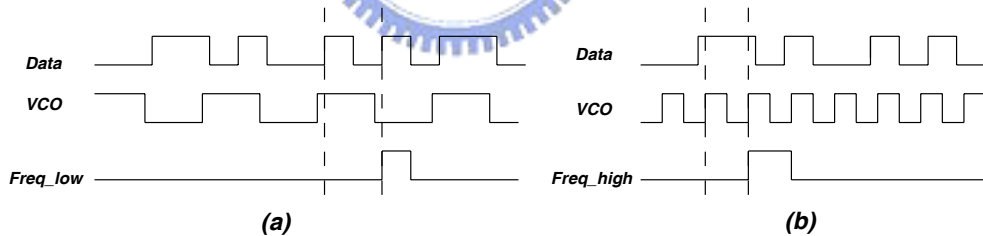


圖表 4-11 頻率偵測器架構



圖表 4-12 LPE 架構及操作方式

操作原理參考圖表 4-13，(a)為偵測時脈頻率振太慢的情形，當 *Data* 端兩個上緣變化時間之間，若 *VCO* 端沒有任何上緣變化，則產生一個 *Freq_low* 的訊號；(b)為偵測時脈頻率振太快的情形，當 *VCO* 端兩個上緣變化時間之間，若 *Data* 端為高準位，且沒有任何上緣或下緣變化，則產生一個 *Freq_high* 的訊號。



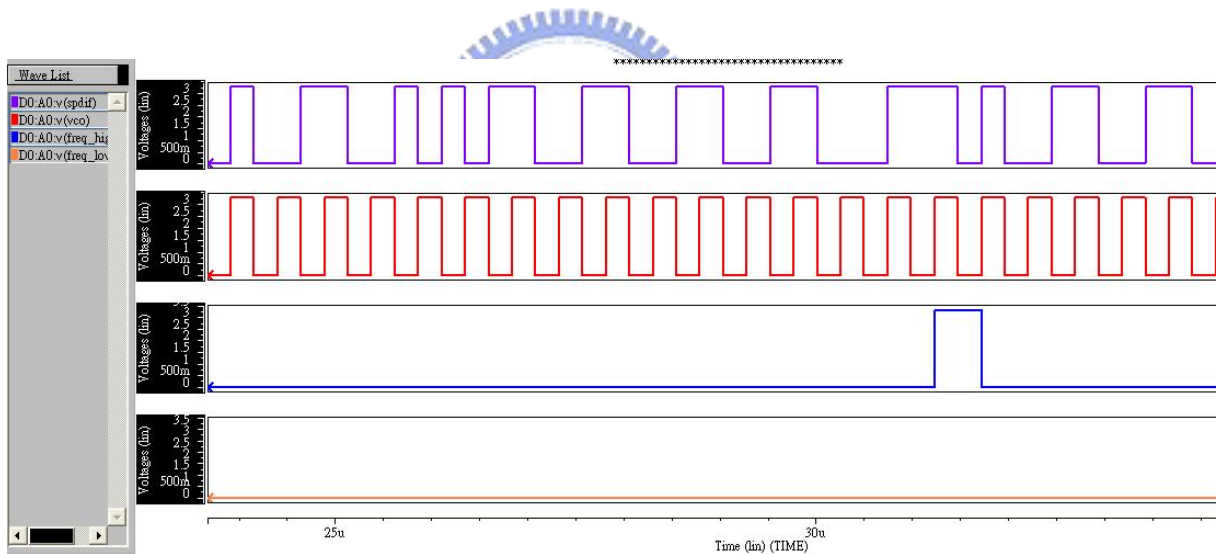
圖表 4-13 頻率偵測器操作原理 (a) 偵測頻率太慢的情形 (b) 偵測頻率太快的
情形

圖表 4-11及圖表 4-12中的延遲元件我們是使用兩個反向器中間夾入一個以NMOS做成的電容來實現，其中圖表 4-12的延遲的下限不得低於NAND閘加上S-R正反器的延遲時間，上限則限制了兩個輸入訊號的最小相位差，因此延遲也不能設計太大。而為了避免偵測到錯誤的頻率振太快訊息，圖

表 4-11 中的延遲，必須大於 LPE 裡的延遲加上 NAND 閘和 S-R 正反器的延遲時間。

4.3.2. 此頻率偵測器的缺點

此頻率偵測器對 biphase 訊號理論上在頻率鎖定的狀況下，*freq_low* 和 *freq_high* 都會是零，但是由於接收而來的訊號包含資料的檔頭(preamble)，因此即使在頻率的理想鎖定值，此電路仍然有可能偵測到頻率振太快的訊息(如圖表 4-14)而降低壓控振盪器的頻率，此結果會造成頻率振太慢的情形又再次被偵測到，因此，頻率偵測器的充放電訊號將會持續性的產生而嚴重干擾迴路濾波器上的控制電壓，所以頻率偵測的迴路在輸入訊號與時脈的頻率很接近時要關掉。



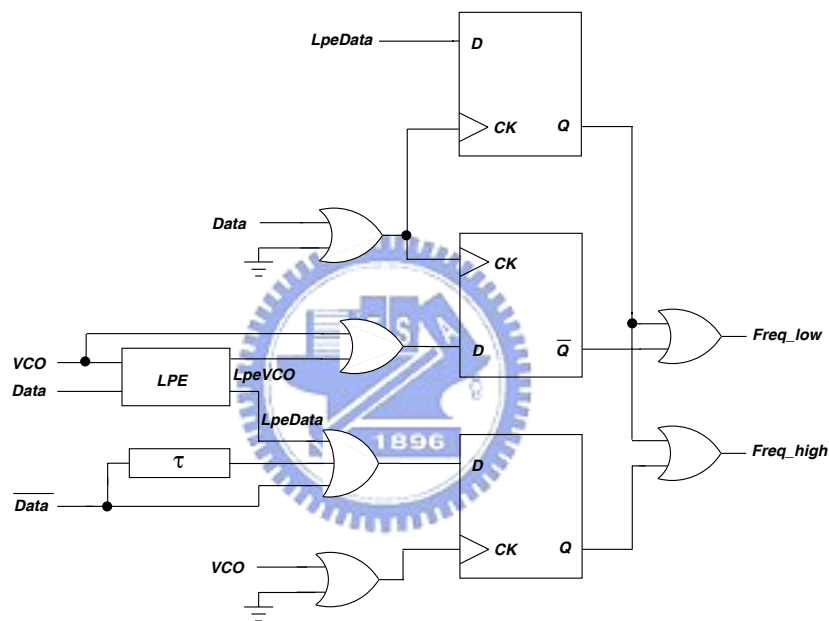
圖表 4-14 在檔頭部份偵測到時脈太快的訊息

此頻率偵測器還有一個問題就是當電路開始的時候，如果壓控振盪器不起振，此電路是否有辦法產生誤差訊號驅動電荷幫浦充放電將壓控振盪器的輸入電壓拉到壓控振盪器的振盪範圍內？

要思考此問題，參照圖表 4-11，*Freq_high* 前的 *DFE* 由回授時脈的上升邊緣所控制，但是壓控振盪器不起振，所以我們並無法知道 *Freq_high* 的訊

號會是什麼樣子；對於 $Freq_low$ 的訊號，它前面的 DFF 是由資料的上升邊緣所控制，由於壓控振盪器不起振，所以 $LpeVCO$ 會維持在零，如果不起振的訊號維持在高準位，則 $Freq_low$ 會輸出低準位，相反地，如果不起振的訊號維持在低準位，則 $Freq_low$ 會輸出高準位。

由以上的討論得知如果壓控振盪器不起振，此頻率偵測器並不一定能將迴路濾波器上的控制電壓導入壓控振盪器的起振範圍。因此我們將此架構作一些修正如圖表 4-15:



圖表 4-15 修正後的頻率偵測器(其中 $Freq_high$ 為了後面接到電荷幫浦的 PMOS 開關，所以從 Q 拉出反向)

4.3.3. 修正前和修正後的模擬比較

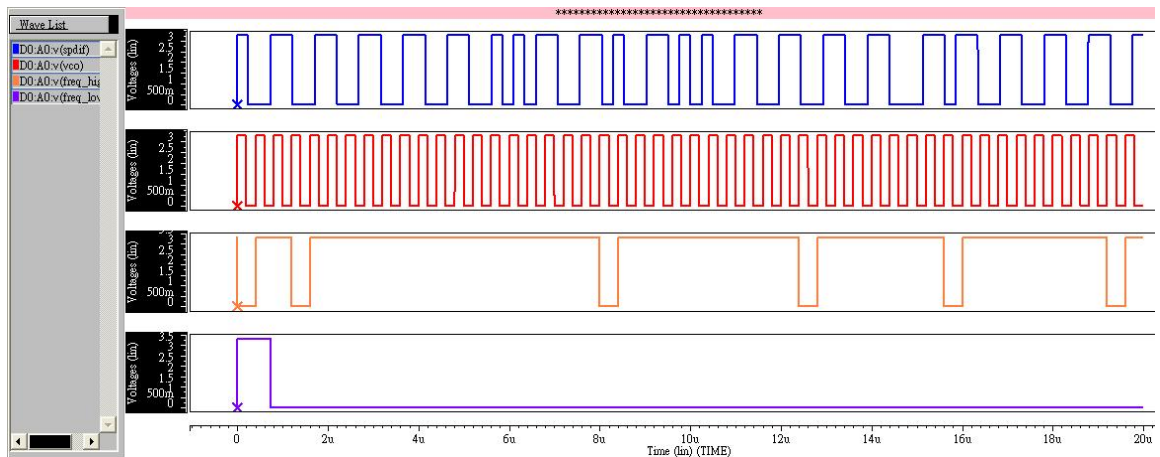
由於我們的壓控振盪器在接近 V_{DD} 的區段不起振，因此我們選擇讓 $Vctrl$ 一開始從 V_{DD} 往下拉，意思即為在 VCO 不起振的狀況，頻率偵測器要將此狀況判斷為頻率振太慢，迫使 $Vctrl$ 往下拉以提高壓控振盪器的頻率。在此條

件下， $Freq_low$ 在不起振時要維持輸出 $High$ ，而 $Freq_high$ 因為要接到 PMOS 開關的緣故已經先行反向，因此 $Freq_high$ 也要輸出 $High$ 。

以下為模擬結果：

(1) 修正後的架構偵測頻率振太快：

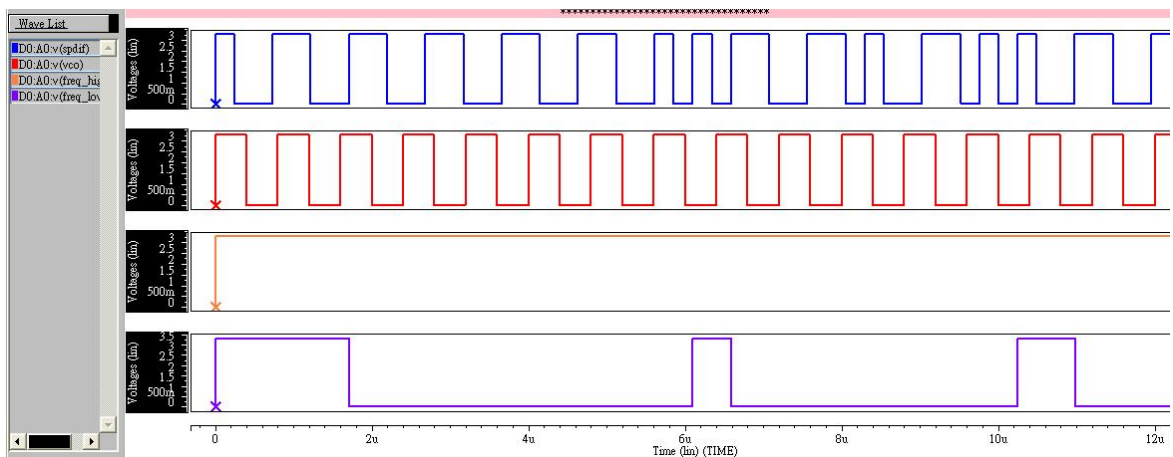
如圖表 4-16，加入額外的電路並沒有影響頻率振太快情形的判別。



圖表 4-16 修正後的頻率偵測器偵測頻率振太快的情形

(2) 修正後的架構偵測頻率振太慢：

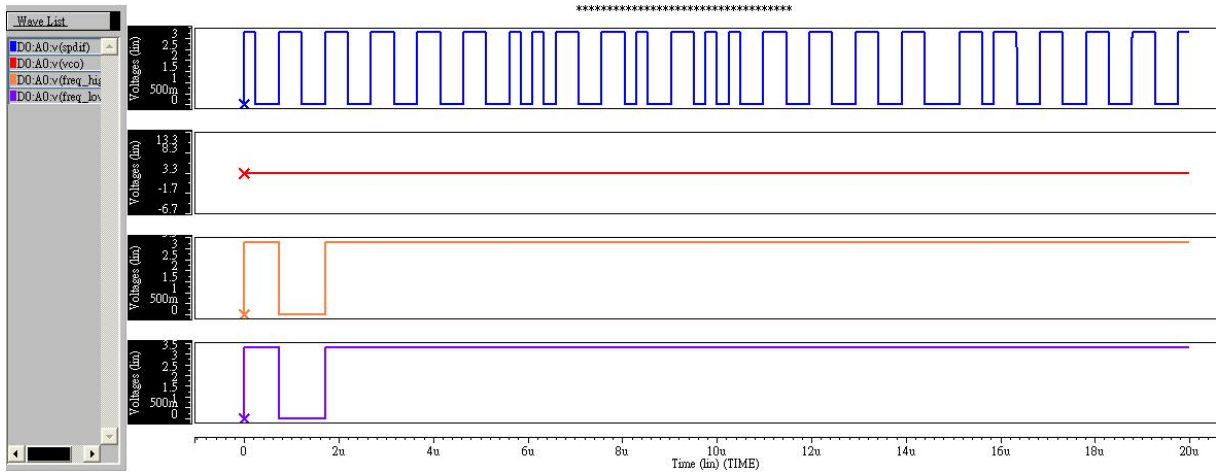
如圖表 4-17，頻率振太慢的情形也正確的偵測到。



圖表 4-17 修正後的頻率偵測器偵測頻率振太慢的情形

(3) 壓控振盪器不起振且為高準位，修正後的頻率偵測器反應為：

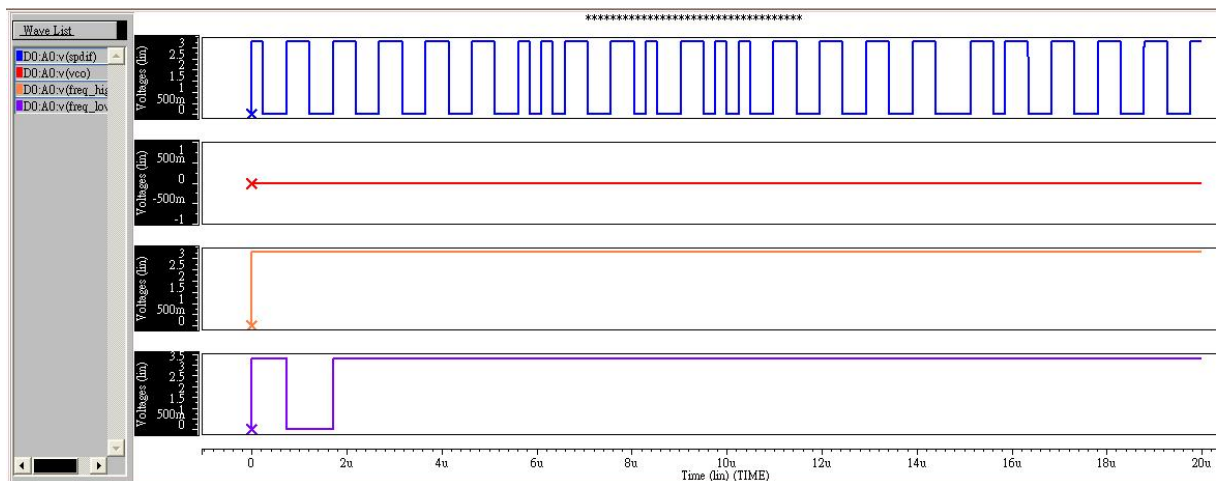
如圖表 4-18， $Freq_low$ 和 $Freq_high$ 都維持在高準位，符合前面所討論的需求。



圖表 4-18 修正後的頻率偵測器偵測不起振且 VCO 為高準位時的情形

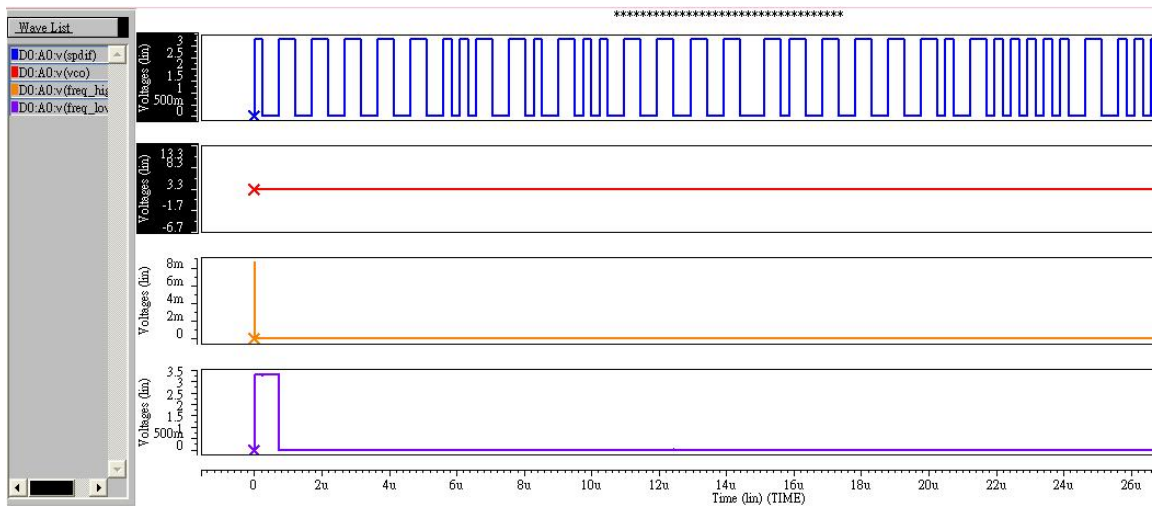
(4) 壓控振盪器不起振且為低準位，修正後的頻率偵測器反應為：

如圖表 4-19， $Freq_low$ 和 $Freq_high$ 都維持在高準位，符合前面所討論的需求。



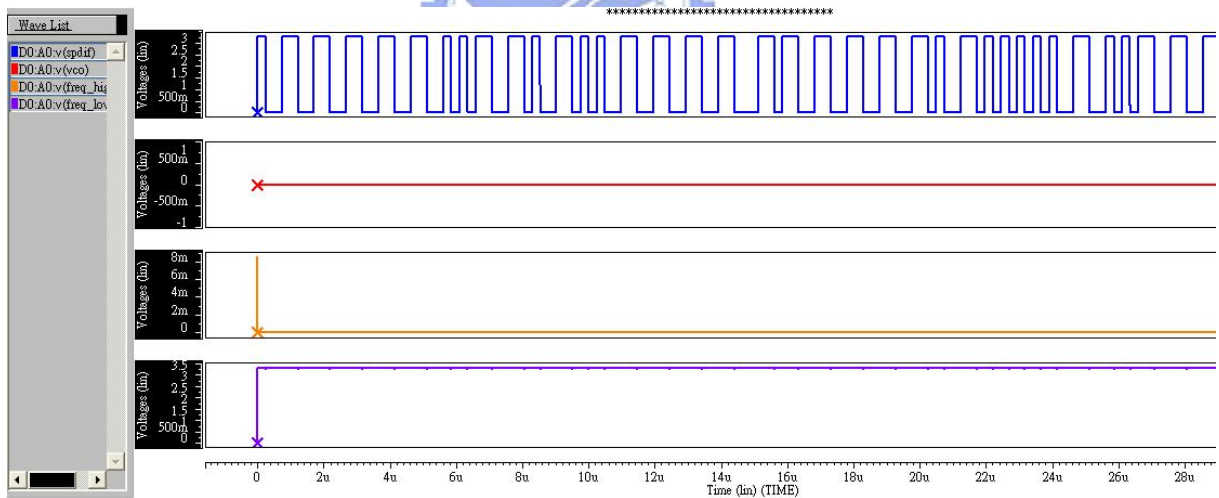
圖表 4-19 修正後的頻率偵測器偵測不起振且 VCO 為低準位時的情形

(5)修正前的架構偵測不起振且VCO為高準位的情形:



圖表 4-20 修正前的頻率偵測器在 VCO 不起振且為高準位時的情形

(6)修正前的架構偵測不起振且VCO為低準位的情形:



圖表 4-21 修正前的頻率偵測器在 VCO 不起振且為低準位時的情形

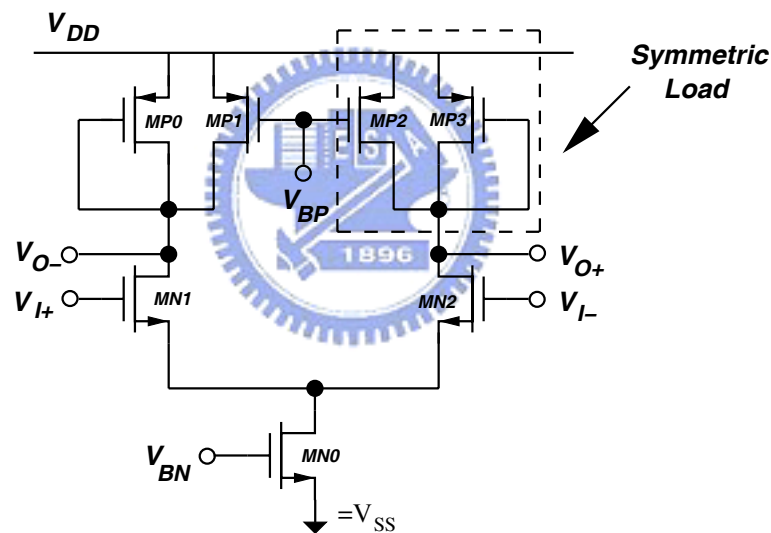
圖表 4-20及圖表 4-21供作比較，事實上，*Freq_high* 因為VCO不起振所以可能是任意值，因此無法對不起振的訊號產生可預測的反應，而*Freq_low* 的訊號則跟VCO的訊號有關，同樣不可預測。

4.4. 壓控振盪器

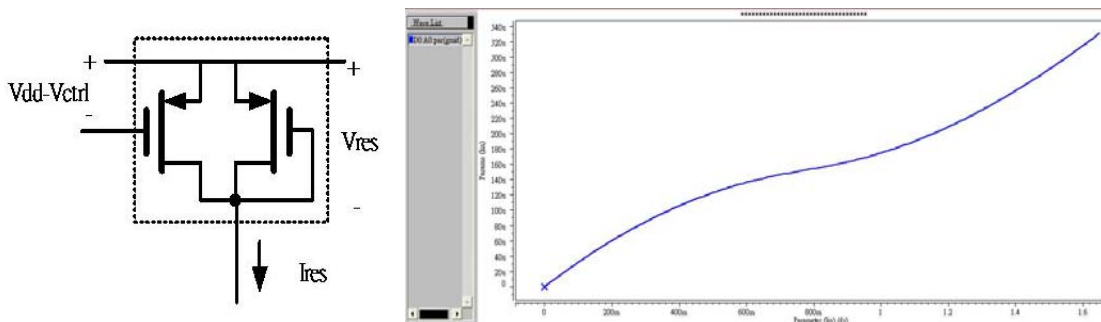
根據規格，我們需要一個振盪頻率範圍非常廣的壓控振盪器，由於LC諧振振盪器的頻率振盪範圍比較小，因此我們選擇環型振盪器的架構。

4.4.1. 環型振盪器裡的增益級

我們使用了如圖表 3-11(b)的四級差動的環型振盪器，每一級的電路如圖表 4-22[36][37]所示。它使用兩顆同樣尺寸的電晶體相接當作增益級的負載元件，稱之為對稱負載，這種架構的電路特性如圖表 4-23所示，當作一個由 V_{BP} (由前級偏壓電路產生，等於迴路濾波器上的控制電壓 V_{ctrl})控制的可調電阻。理想上，我們希望能用電晶體實現一個線性電阻，因為線性電



圖表 4-22 環型振盪器裡的增益級電路

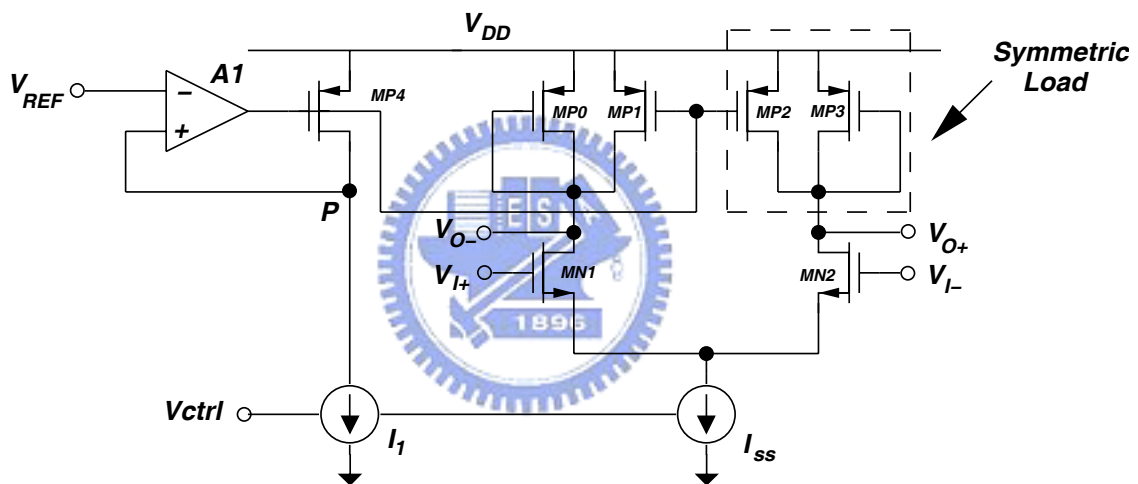


圖表 4-23 對稱負載的電源對電壓特性

阻顯示良好的抗共模雜訊能力，但實際上我們很難利用電晶體實現一個完全線性的電阻，而對稱負載的架構它雖然不線性，不過其一階項被對消了，只剩下高階項，所以對稱負載元件有效了降低共模雜訊造成的抖動量。

圖表 4-22的電路有個嚴重的缺點就是電路的輸出振幅在調諧範圍中會劇烈地變化，使得壓控振盪器的調諧範圍將會受限。為了將振幅變化最小化，需要有額外的偏壓電路來定義增益級輸出的偏壓點。

4.4.2. 複製偏壓電路

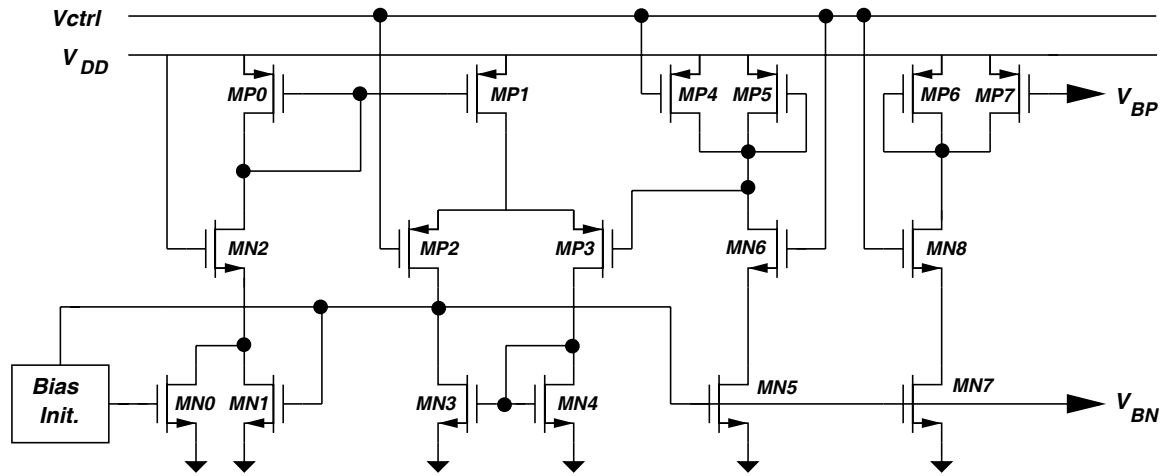


圖表 4-24 複製偏壓以定義環型振盪器的振幅

複製偏壓的概念如圖表 4-24所示，它利用一個運算放大器使得 $V_P = V_{REF}$ ，此回授系統確保 $R_{on7} \cdot I_1 = V_{DD} - V_{REF}$ ，當 MN1 與 MN2 將電流完全導入一邊時，由於等效電阻和電流 ($I_1 = I_{SS}$) 都相等，故輸出振幅會被偏壓的與 V_{REF} 相等，定義了環型振盪器的電壓振幅。

圖表 4-25[37]顯示了一用來偏壓增益級的偏壓電路。由差動放大器和複製偏壓電路形成一回授控制系統使得 $V_{BP} = V_{CTRL}$ ，定義增益級的擺幅下限，提供對稱負載正確的擺幅限制。此外，它還能使電流源不受供應電壓的影響，那就是如果供應電壓改變，電流源的汲極電壓會改變，但是由於控制

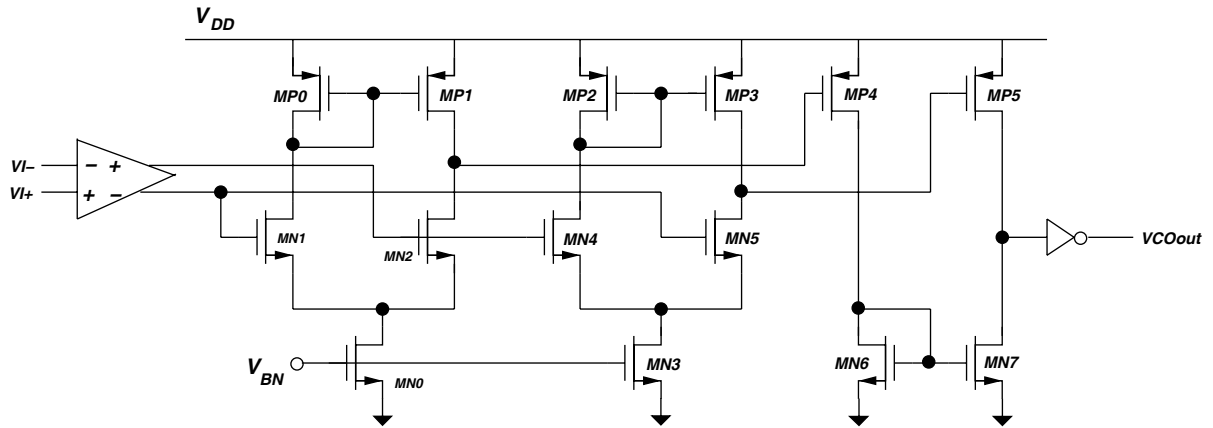
電壓 V_{CTRL} 及 $R_{on_{4,5}}$ 不變，經由差動放大器和複製偏壓電路的回授系統會讓電流源的閘極電壓改變以讓電流源的電流維持不變。



圖表 4-25 偏壓電路

4.4.3. 差動轉單端電路

由於壓控振盪器回授回去相位偵測器是單端訊號而環型振盪器是差動架構，因此需要一差動轉單端的電路，如圖表 4-26。傳統上，為了達到 50% 工作週期(duty cycle)的輸出，壓控振盪器必須操作在兩倍頻率再用除二電路來達成 50% 工作週期[38]。若使用此差動轉單端電路，它本身就能提供 50% 工作週期(duty cycle)的輸出而不需要壓控振盪器操作在兩倍頻率。此電路利用兩組反向的 NMOS 差動放大器來驅動 PMOS 共源極放大器。這兩組 NMOS 差動放大器與環型振盪器的增益級有相似的結構與偏壓，它用來放大環型振盪器的輸出訊號並提供後級 PMOS 共源極放大器的直流偏壓點。PMOS 共源極放大器會將訊號做進一步的放大並透過 NMOS 電流鏡將訊號轉成單端輸出。



圖表 4-26 差動轉單端電路

4.4.4. 壓控振盪器的頻率與設計上的考量

在我們的應用上，我們需要的壓控振盪器必須提供非常寬的振盪頻率範圍。而此架構的環型振盪器頻率由下式決定：

$$F = \frac{1}{2 \cdot N \cdot T_D} = \frac{1}{2 \cdot N \cdot R_{ON} \cdot C_{EFF}} = \frac{g_m}{2 \cdot N \cdot C_{EFF}} = \frac{k \cdot (V_{CTRL} - V_T)}{2 \cdot N \cdot C_{EFF}} \quad (47)$$

其中 N 為環型振盪器的級數， T_D 為每級的延遲時間， R_{ON} 為負載的等效電阻， C_{EFF} 為每級輸出看到的等效電容。

至於壓控振盪器的增益 K_{VCO} 則等於：

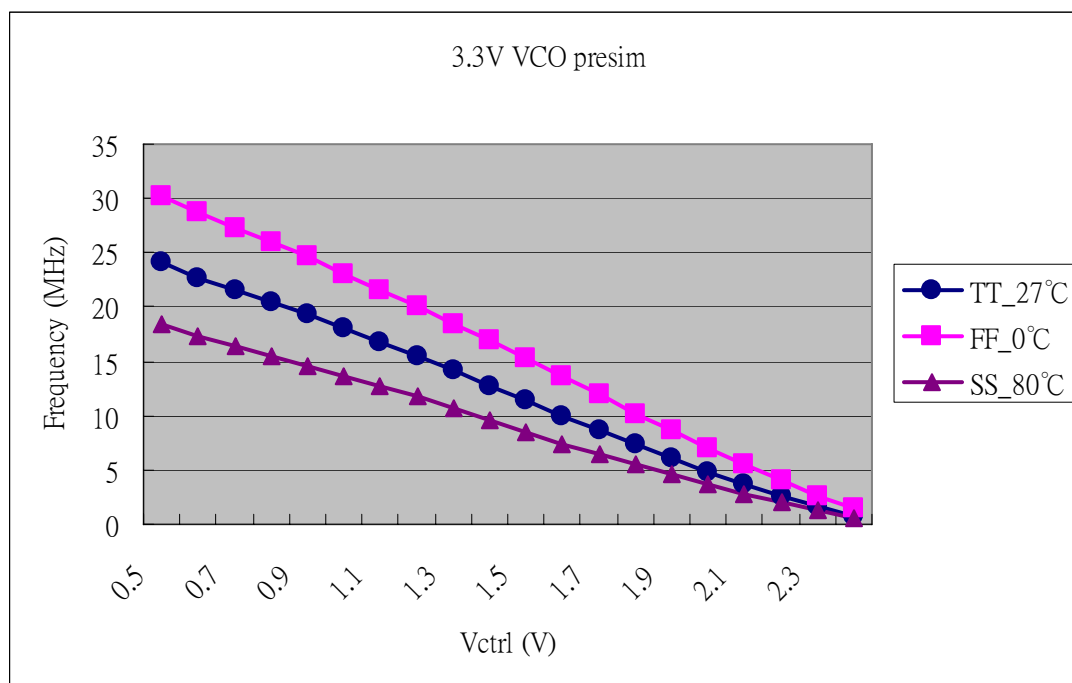
$$K_{VCO} = \left| \frac{dF}{dV_{CTRL}} \right| = \frac{k}{2 \cdot N \cdot C_{EFF}} \quad (48)$$

由(47)和(48)可知，在layout的時候，每級間連線的導線所增加的電容將會使得振盪頻率和壓控振盪器的增益 K_{VCO} 變小。為了降低此影響，在畫layout時盡量讓每級的連線距離縮短，而在電晶體的大小設計上，環型振盪器增益級的NMOS差動對的尺寸可以調大一點讓電路原本的電容值大一點，如此導線額外加入的電容的影響便不會太大。

4.4.5. 壓控振盪器的模擬結果

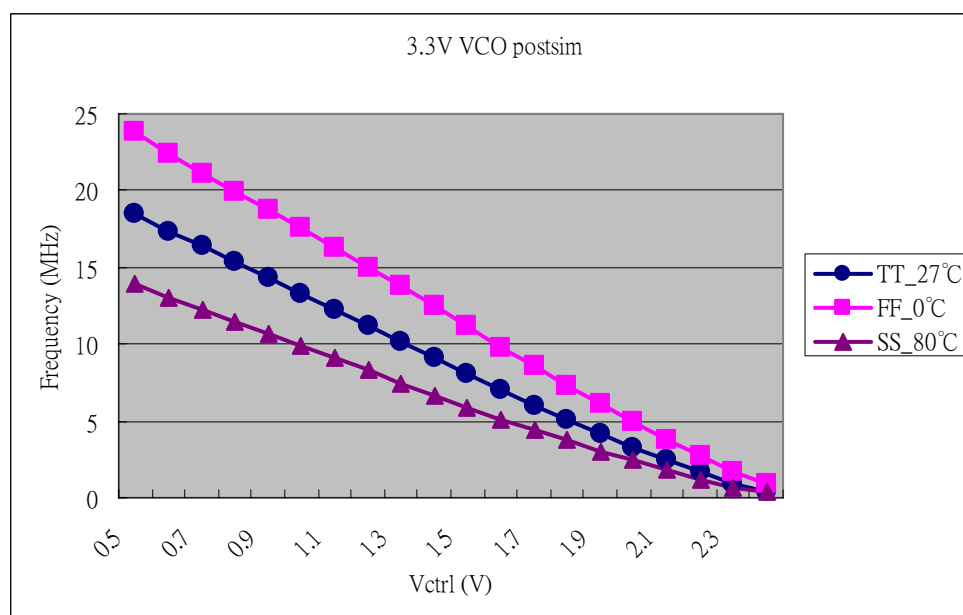
$V_{DD} = 3.3V$,

PreSim: $K_{VCO}(TT) = 13MHz/V$



圖表 4-27 壓控振盪器 PreSim 模擬結果

PostSim: $K_{VCO}(TT) = 10MHz/V$



圖表 4-28 壓控振盪器 PostSim 模擬結果

4.4.6. VCO總結

$V_{ctrl} = 0.5 \sim 2.4V$,

	Pre-Sim_TT_27°C	Pre-Sim_FF_0°C	Pre-Sim_SS_80°C
f_{min} (MHz)	0.78589	1.429	0.62122
f_{max} (MHz)	24.043	30.238	18.362
K_{VCO} (MHz/V)	13	16	10

表格 4-1 VCO PreSim 總結

	Post-Sim_TT_27°C	Post-Sim_FF_0°C	Post-Sim_SS_80°C
f_{min} (MHz)	0.44905	0.88555	0.33543
f_{max} (MHz)	18.501	23.799	13.895
K_{VCO} (MHz/V)	10	12.5	7.5

表格 4-2 VCO PostSim 總結

輸入訊號的取樣頻率範圍為32~96KHz，而一次取樣為兩個32bits，因此bit-rate為2.048~6.144MHz，而Hogge相位偵測器的鎖定時脈會在Biphase訊號的兩倍，因此壓控振盪器所需涵蓋的頻率範圍為4.096~12.288MHz。由表格 4-1和表格 4-2可知所設計的壓控振盪器振盪範圍符合需求。

4.5. 頻率鎖定偵測器

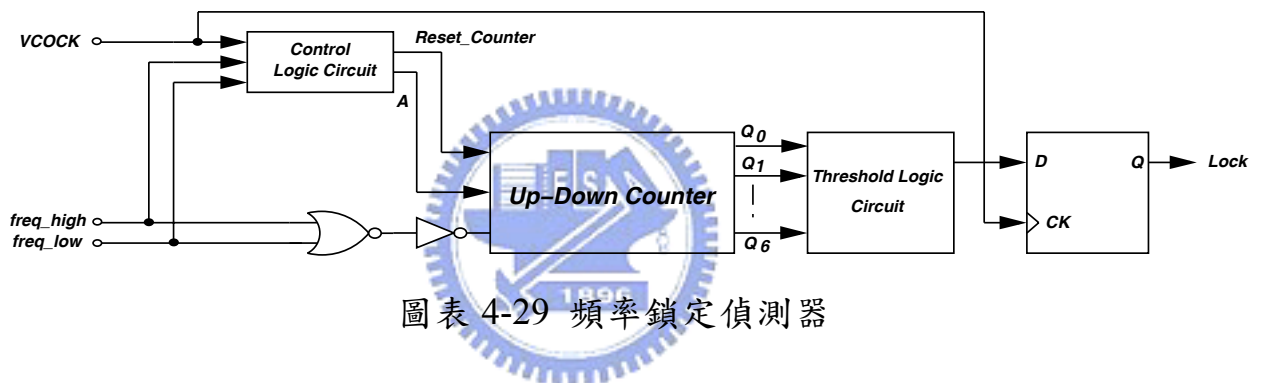
在我們的時脈資料回復器架構中，由於所採用的頻率偵測器[12]在頻率鎖定時無法自動關掉頻率迴路，而且還會持續的干擾迴路濾波器上的控制電壓，所以要加入一個鎖定偵測器來關掉頻率迴路。傳統上，鎖定偵測器的實現是利用一參考訊號來與輸入訊號的頻率做頻率誤差的比對，當誤差小於一定百分比後便切換系統至相位迴路[39][40][41]。但是在我們的應用上，輸入訊號有好幾組不同的頻率，並且差距很大，故無法利用傳統的方法來實現頻率鎖定偵測器。

為了實現此一頻率鎖定的偵測器，我們從頻率偵測器[12]的輸出特性著手。先不考慮biphase訊號的檔頭(preamble)，當頻率振太快時，頻率偵測器只會有 *freq_high* 的訊號產生，而 *freq_low* 則保持為零；反之，當頻率振太慢時，就只會有 *freq_low* 的訊號產生，*freq_high* 保持為零。此外，我們還可觀察得一個特性就是頻率誤差越大，則產生的誤差訊號數目越多，當頻率越來越接近時，誤差數目就越來越少。由以上歸納得如果我們利用計數器計算一段時間內頻率偵測器所產生的輸出訊號數目，並且設計一範圍值，當計數出來的誤差訊號數目少到落在所設計的範圍值內，則我們可知此時輸入訊號和時脈的頻率已經相當接近，便可將頻率鎖定迴路關掉切到相位鎖定迴路。

圖表 4-29 為我們所設計的頻率鎖定偵測器架構，以一組7位元的上下計數器為(負緣觸發)核心，由於 *freq_high* 和 *freq_low* 的訊號不會同時產生，因此將兩個訊號經由或閘(OR gate)當作上下計數器的輸入。然後利用兩組正緣觸發正反器在輸入訊號正緣變化時先判斷要往上或往下計數，之後在輸入訊號負緣時才正式計數。計數器的輸出將會接到一組邏輯電路去與設計的範圍值比較，此比較判斷的控制時脈將由壓控振盪器的輸出經過一除頻器來產生，我們在此時脈 V_{COCK} 的負緣去抓過去一個週期內，計數器計數了

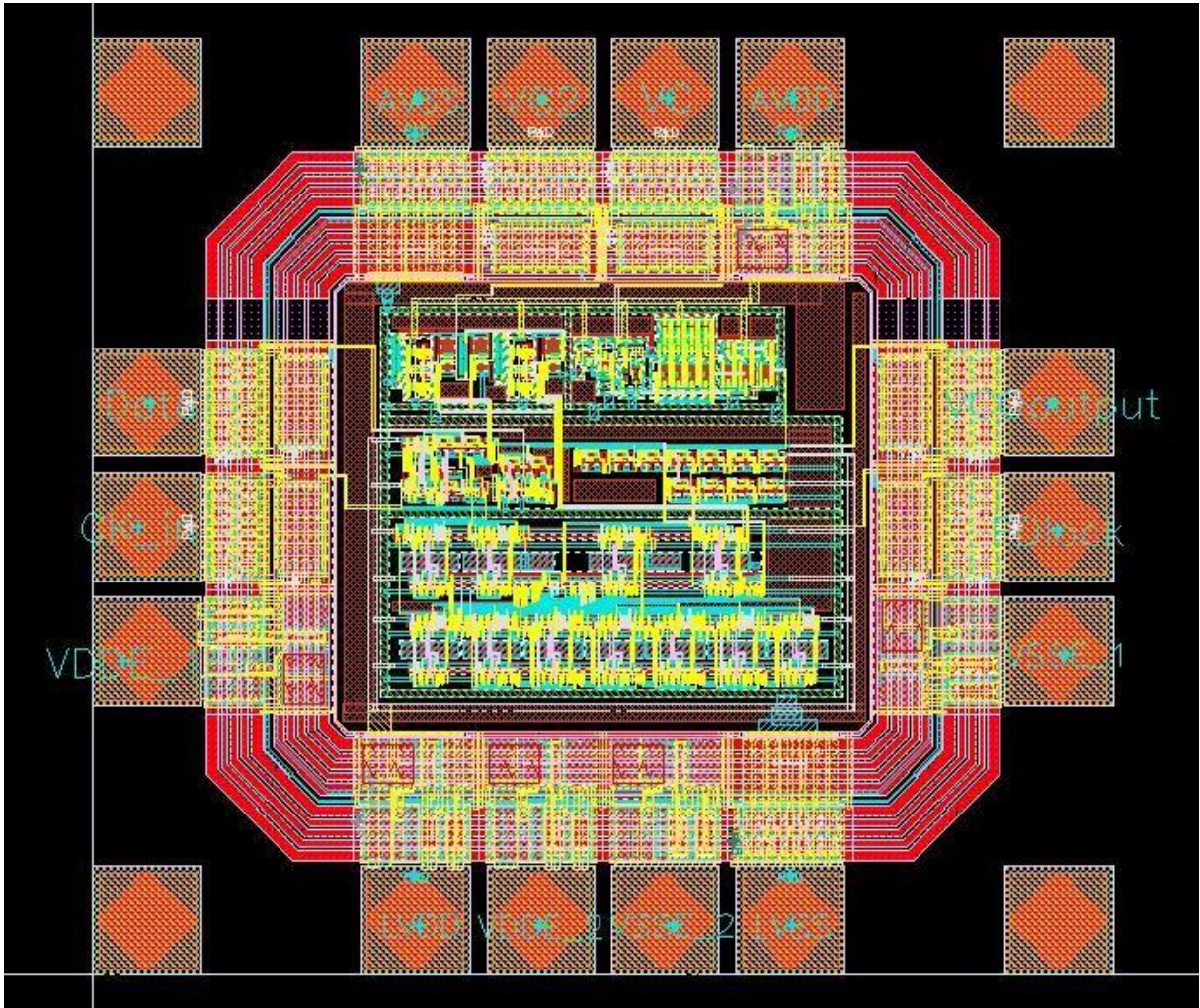
多大的值，如果此值落在設計的範圍內，則產生一頻率鎖定的訊號切換迴路。

接下來討論如何決定頻率鎖定的範圍值。首先，我們將壓控振盪器輸出頻率除以兩百五十六分之一當作控制頻率鎖定偵測器的時脈。而biphase訊號一個subframe有三十二位元，因此在頻率接近時約是八個subframes抓一次計數器的值，所以檔頭(preamble)最多產生八個頻率振太快的訊息，最少就是零個，因此我們定鎖定範圍的上限為八。而在頻率振太慢方面，由於檔頭(preamble)產生頻率振太快的訊息會與頻率振太慢的訊息數目對消，為了避免時脈太慢卻被判定為鎖定的狀況，我們將鎖定範圍的下限定為零。



Chapter 5 Layout與模擬結果

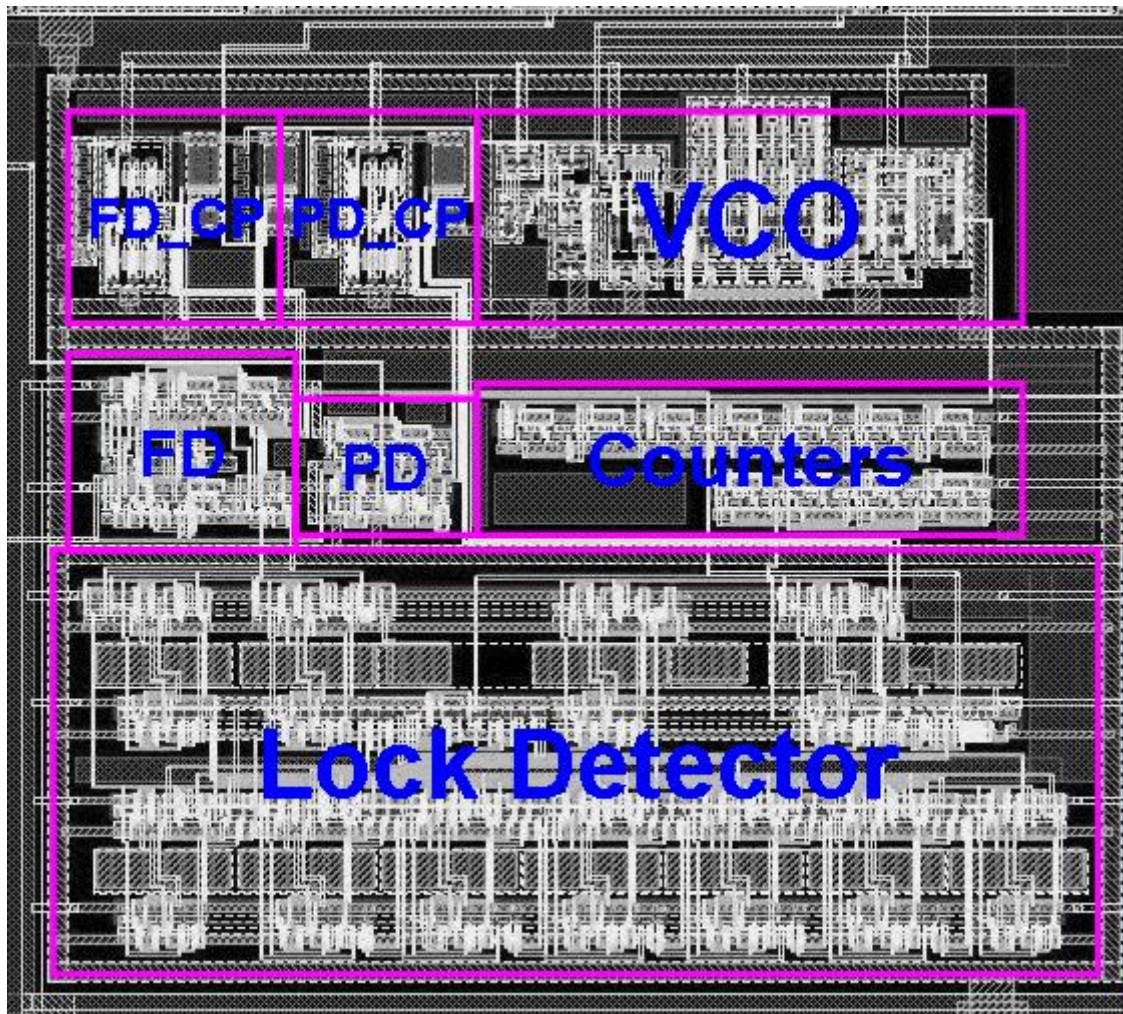
Layout:



圖表 5-1 整個晶片的 Layout 圖

Technology: TSMC 2P4M 0.35um

Area: 0.908*0.835mm²



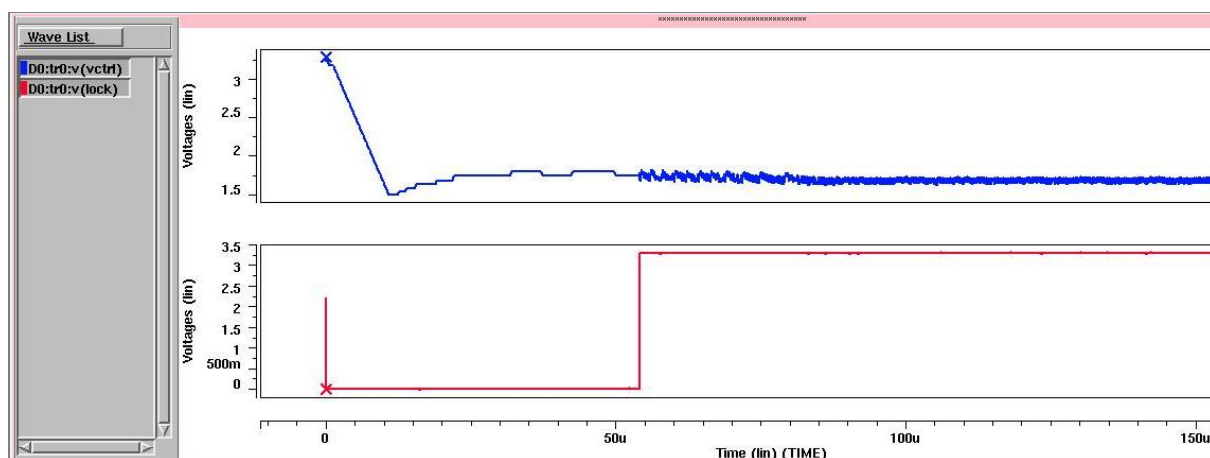
圖表 5-2 晶片佈局

我們用 TSMC 0.35um 的製程並用 HSPICE 來模擬時脈資料回復器 PostSim 的特性。首先先輸入不帶雜訊的訊號，觀察系統鎖定的情形。由於所設計的迴路頻寬 15KHz 模擬會相當久，因此在此利用 200KHz 頻寬來代替模擬系統的暫態響應。

(1) 輸入 3.072MBit/s 的訊號，則預計鎖到的時脈週期為 163ns。在 TT_27°C 下的模擬結果：

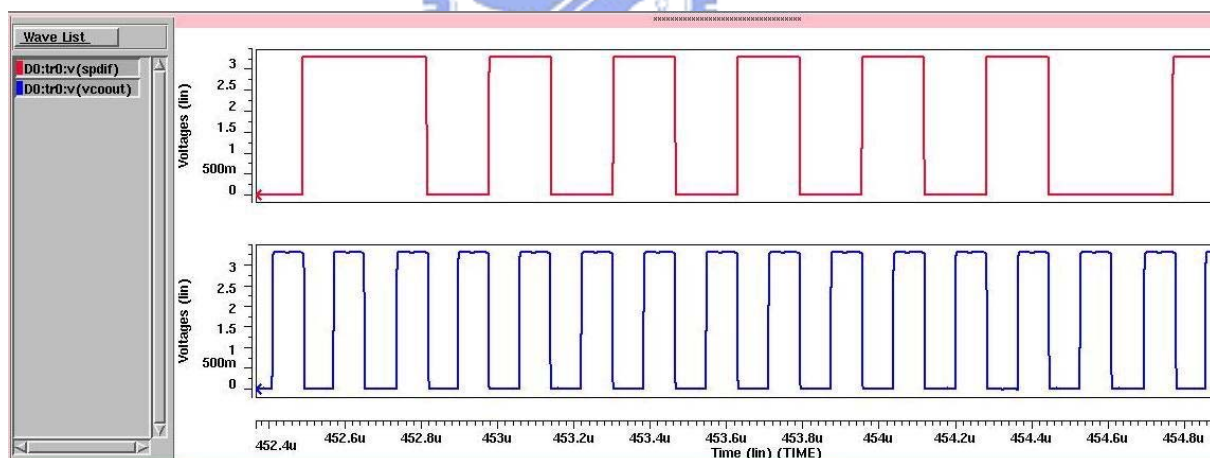
第一個訊號為 V_{CTRL} 。

第二個則為頻率鎖定偵測器的輸出，低準位時將開關切換在頻率鎖定迴路，高準位時將開關切換至相位鎖定迴路。



圖表 5-3 輸入無抖動，TT_27°C 時的鎖定情形

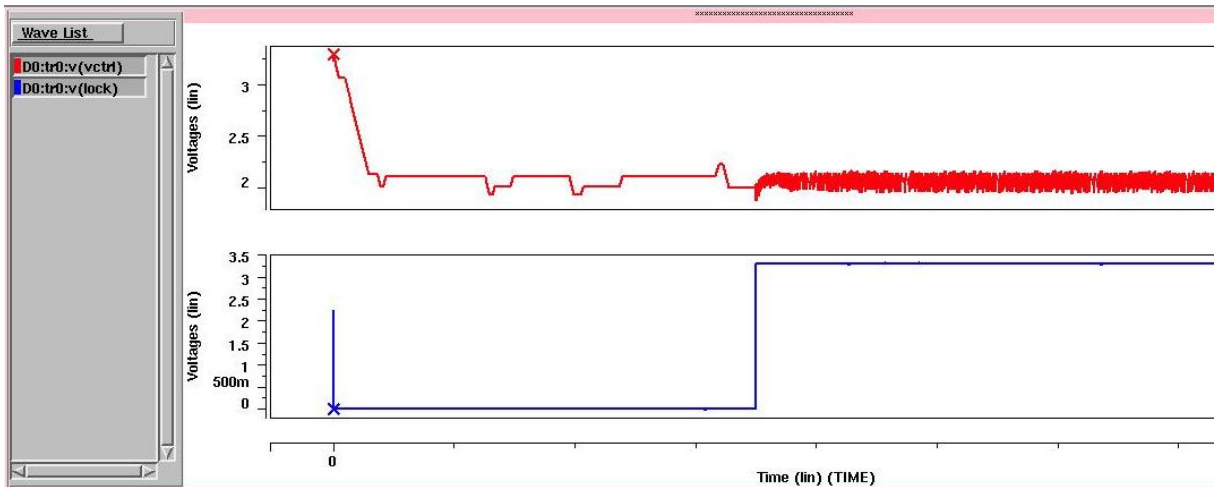
由圖表 5-3，系統成功地將 V_{CTRL} 從 V_{DD} 拉進壓控振盪器的振盪範圍，並且在頻率接近的時候，頻率鎖定偵測器也成功的將迴路從頻率偵測切換到相位偵測迴路。



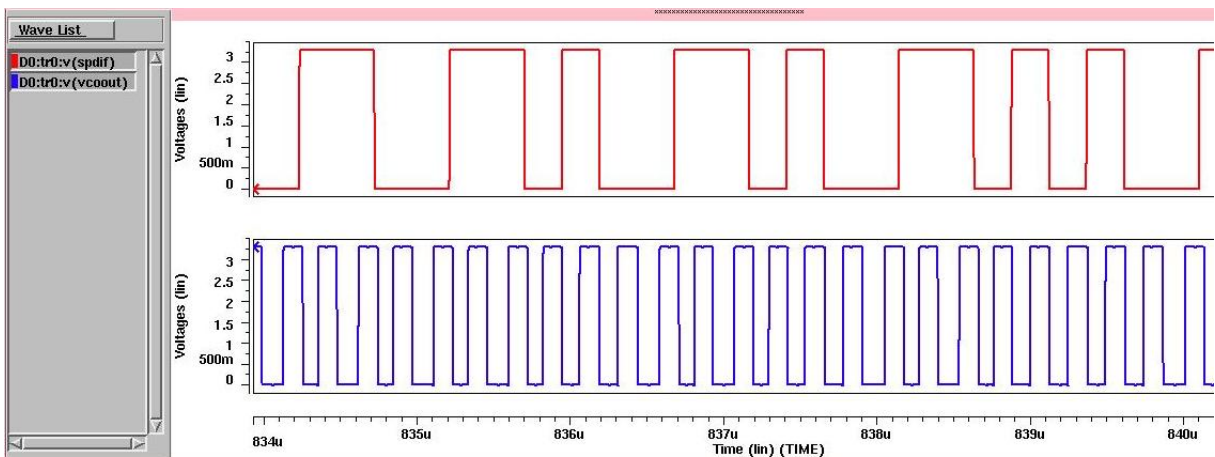
圖表 5-4 輸入無抖動，TT_27°C 鎖定時的時脈與資料對齊情形

由圖表 5-4可知，鎖定時，時脈的上升邊緣對齊資料的中心點。

(2)輸入2.048MBit/s的訊號，預計鎖到的時脈週期為244ns，在FF_0°C下的模擬結果：



圖表 5-5 輸入無抖動，FF_0°C 時的鎖定情形



圖表 5-6 輸入無抖動，FF_0°C 時的時脈與資料對齊情形

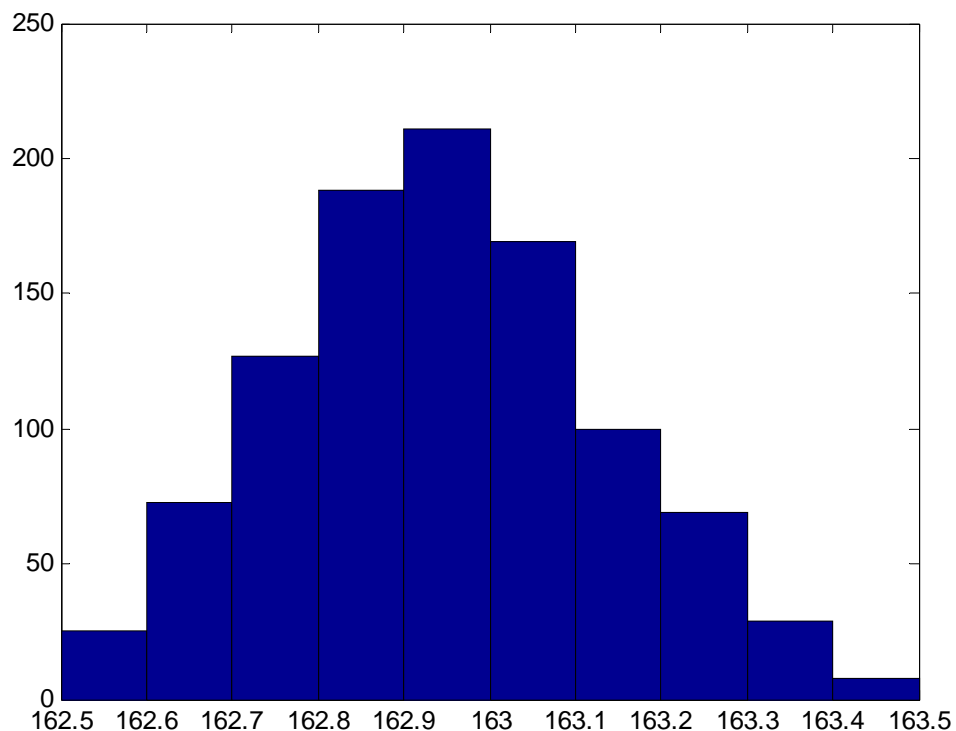
由以上模擬可知，本電路在不同角模擬(Corner Simulation)以及不同的輸入頻率，頻率偵測器都能將控制電壓拉進到所需的電壓值附近，同時，頻率鎖定偵測器也能成功的偵測到頻率誤差夠小，更進一步的將迴路切換到相位迴路作鎖定。

接下來，我們將模擬輸入3.072Mbit/s訊號帶有 $\pm 20\text{ns}$ (40ns (p-p))的抖動量，看看在這麼大的抖動下，系統能將此抖動量抑制到何種程度，此抖動量約佔163ns的1/4。

下面分別模擬TT_27°C，FF_0°C，SS_80°C，頻寬為15KHz時，穩態時還原出來的時脈其抖動情形。

(A) TT_27°C

我們擷取鎖相迴路穩定時連續一千筆上升邊緣的資料，計算還原出來時脈的平均週期為162.9965966ns，與期望的頻率誤差為0.002088%。



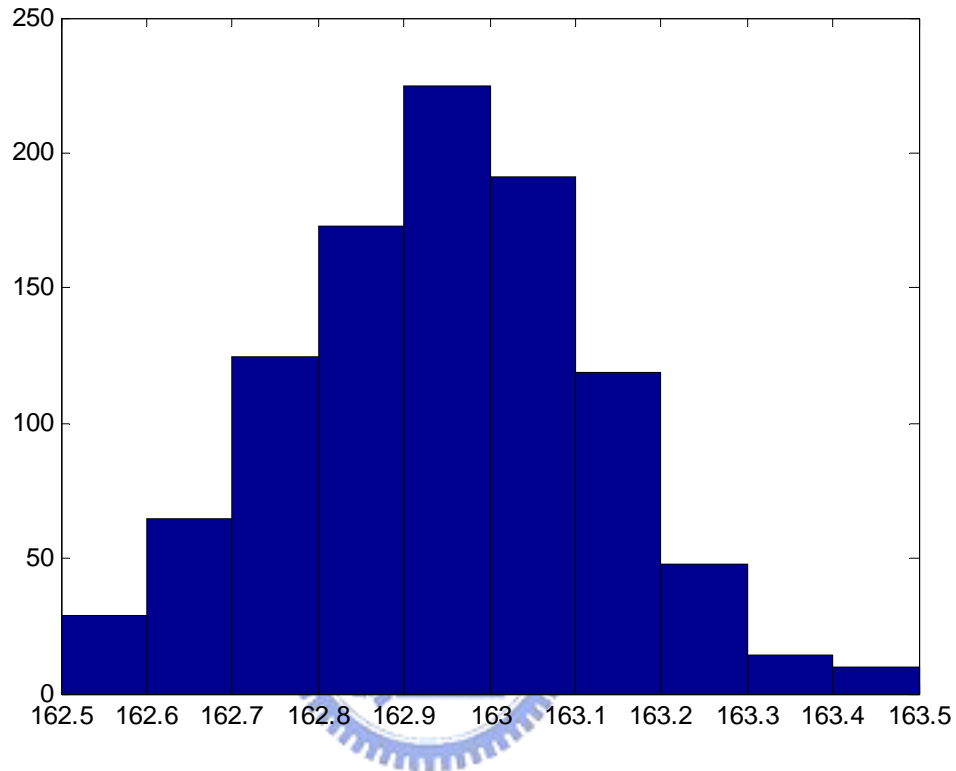
圖表 5-7 TT_27°C時，還原時脈的週期分佈情形

可求得peak-to-peak的period jitter為1ns，佔平均週期的0.6135%。

rms period jitter為191.17ps，佔平均週期的0.11728%。

(B) FF_0°C

我們擷取鎖相迴路穩定時連續一千筆上升邊緣的資料，計算還原出來時脈的平均週期為162.9935936ns，與期望的頻率誤差為0.00393%。

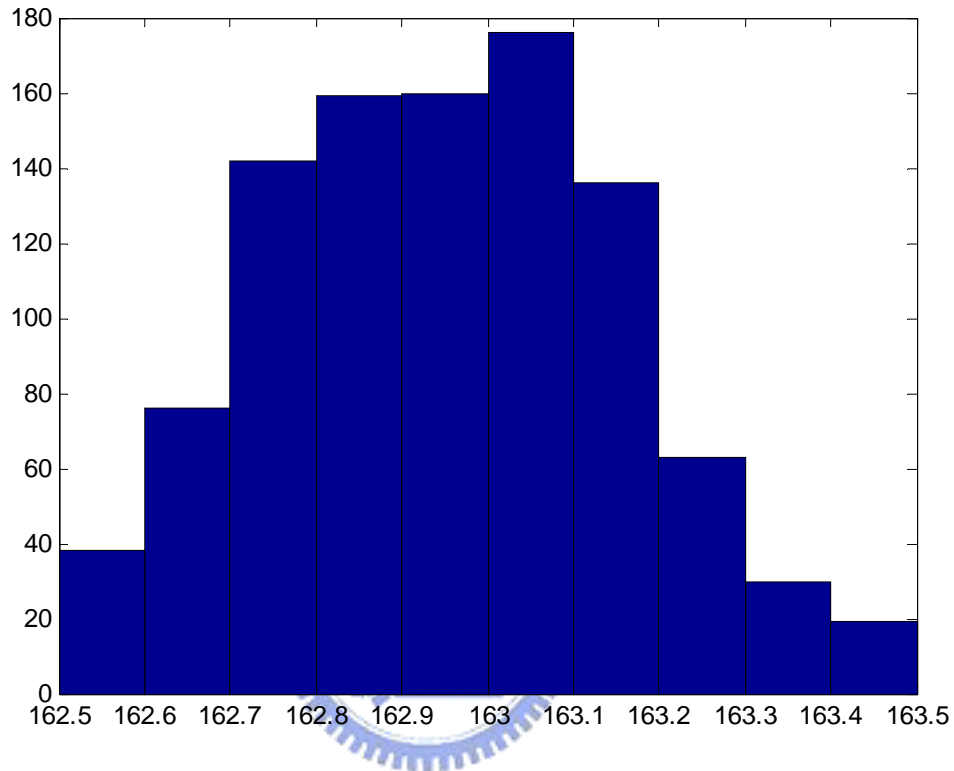


圖表 5-8 FF_0°C時，還原時脈的週期分佈情形

可求得peak-to-peak 的period jitter為1ns，佔 平均週期的0.61352%。
rms period jitter為183.72ps，佔平均週期的0.11272%。

(C) SS_80°C

我們擷取鎖相迴路穩定時連續一千筆上升邊緣的資料，計算還原出來時脈的平均週期為163.0021021ns，與期望的頻率誤差為0.00129%。

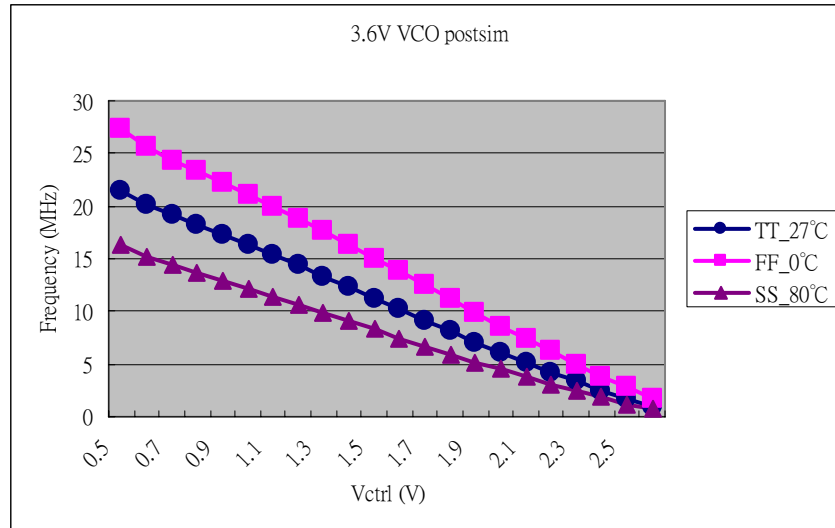


圖表 5-9 SS_80°C時，還原時脈的週期分佈情形

可求得peak-to-peak 的period jitter為1ns，佔 平均週期的0.6135%。
rms period jitter為208.25ps，佔平均週期的0.12776%。

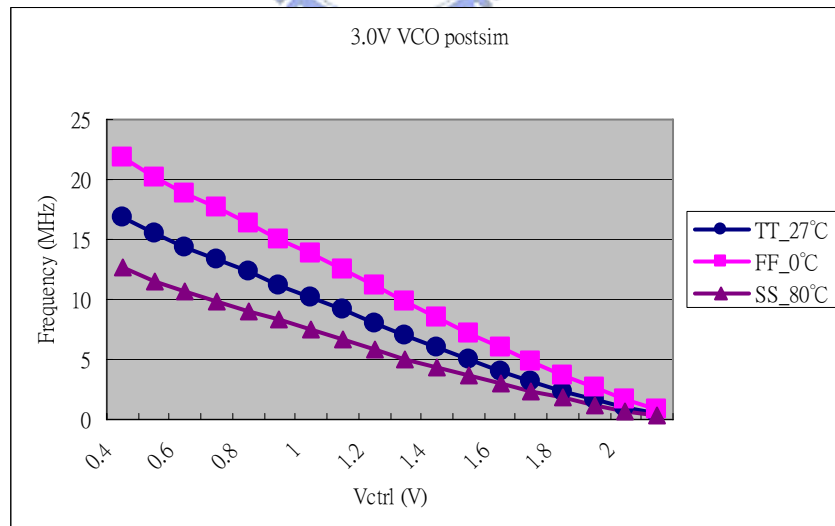
[壓控振盪器在不同電壓下的模擬結果]

$V_{DD} = 3.6V$,



圖表 5-10 $V_{DD}=3.6V$ 時的壓控振盪器模擬結果

$V_{DD} = 3.0V$,

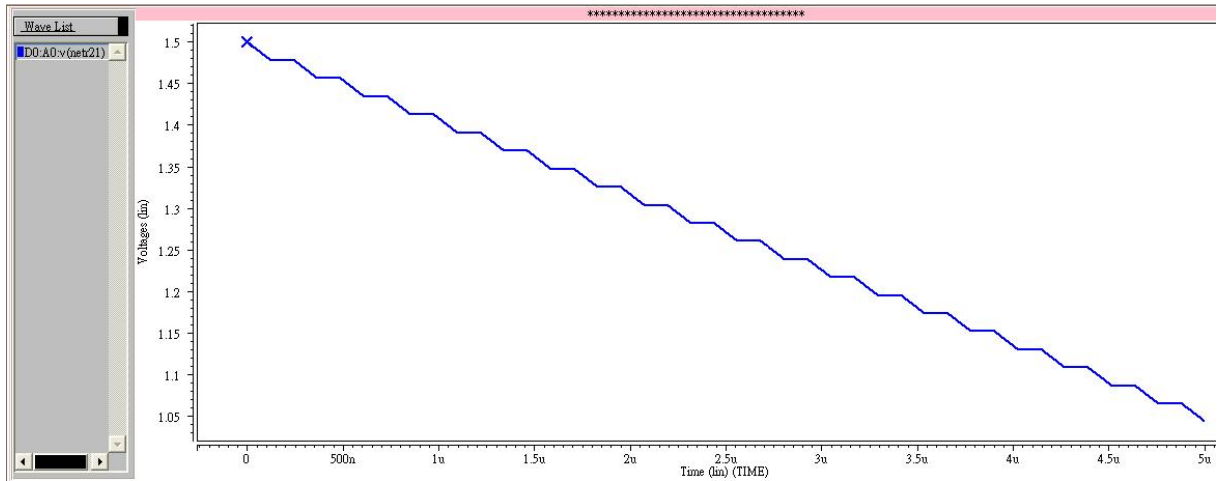


圖表 5-11 $V_{DD}=3.0V$ 時的壓控振盪器模擬結果

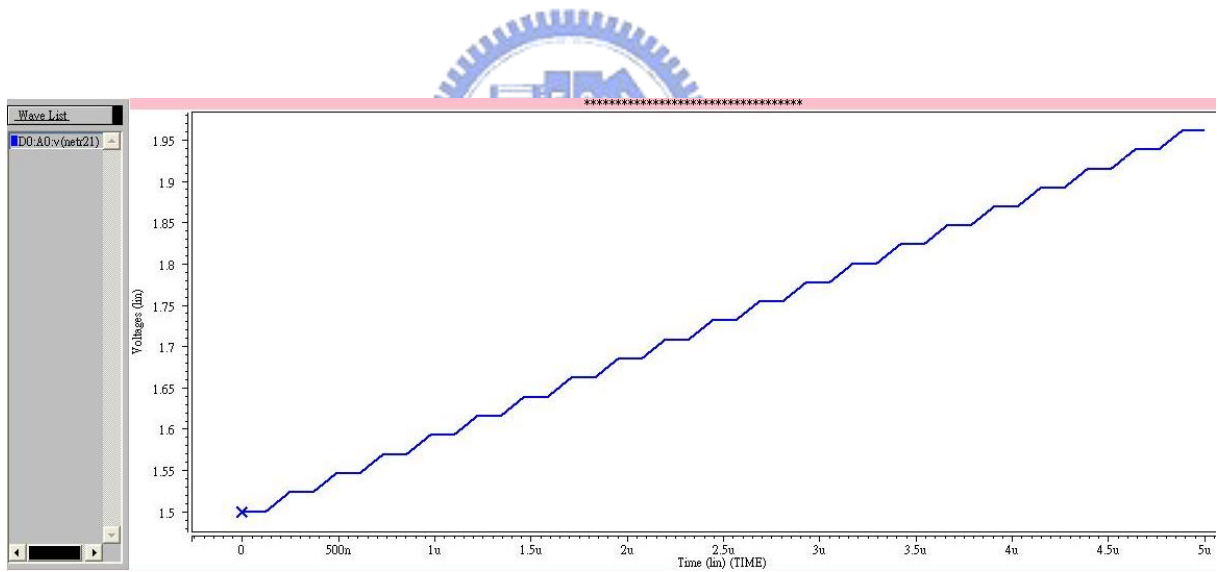
所有的 Corners 都有涵蓋 4.096~12.288MHz 的頻率範圍。

[電荷幫浦的角模擬結果]

$$V_{DD} = 3.6V_FF_0^{\circ}C ,$$



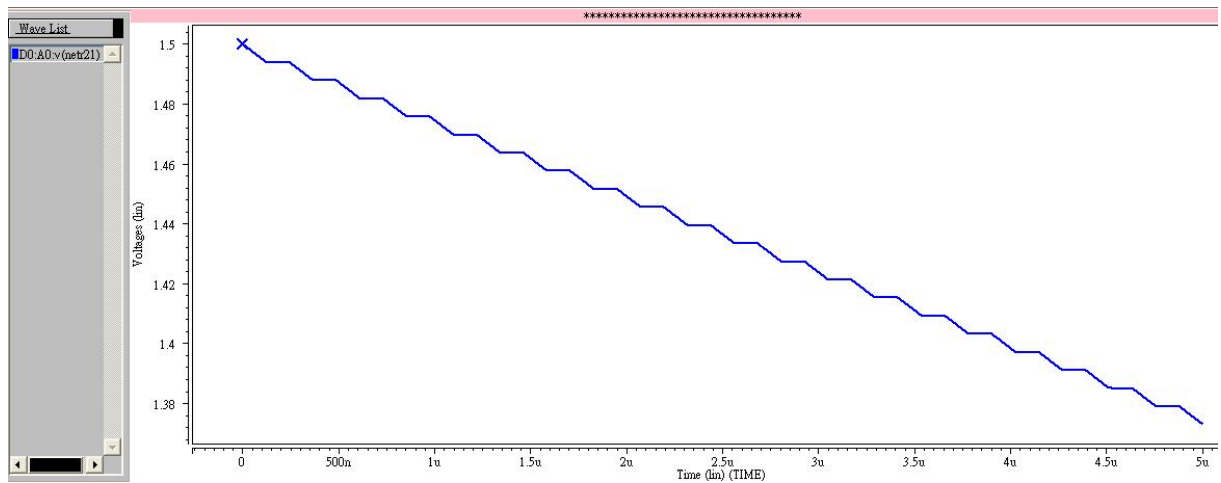
圖表 5-12 $V_{DD}=3.6V_FF_0^{\circ}C$ 時的電荷幫浦放電波形



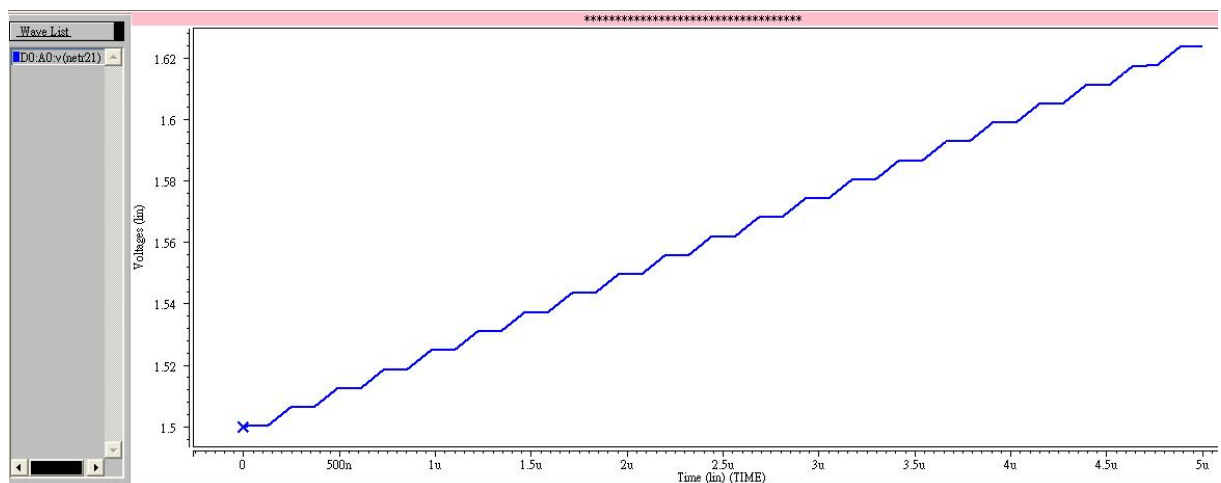
圖表 5-13 $V_{DD}=3.6V_FF_0^{\circ}C$ 時的電荷幫浦充電波形

由圖表 5-12及圖表 5-13可知此時的充放電電流仍大致相等。

$$V_{DD} = 3.0V_SS_80^{\circ}C ,$$



圖表 5-14 $V_{DD}=3.0V_SS_80^{\circ}C$ 時的電荷幫浦放電波形



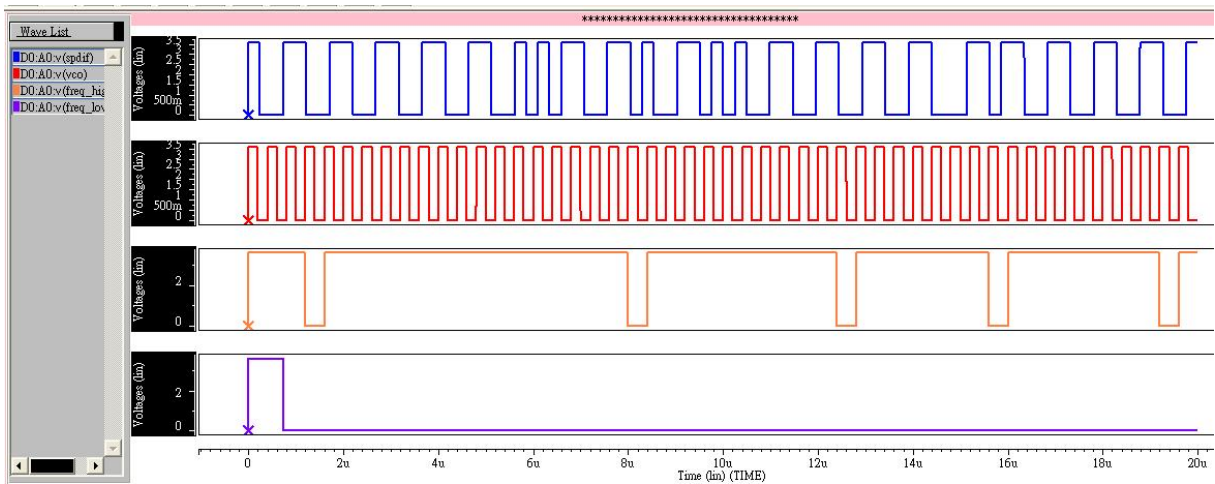
圖表 5-15 $V_{DD}=3.0V_SS_80^{\circ}C$ 時的電荷幫浦充電波形

由圖表 5-14及圖表 5-15可知此時的充放電電流仍大致相等。

[頻率偵測器角模擬結果]

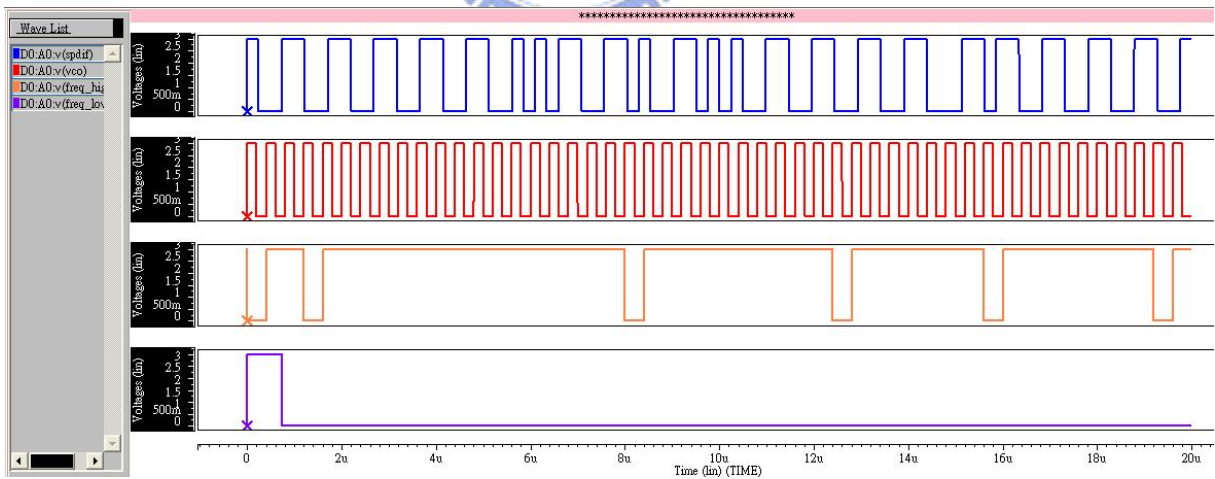
(a) Clock too fast

$V_{DD} = 3.6V_{FF}_{0^{\circ}C}$,



圖表 5-16 $V_{DD}=3.6V_{FF}_{0^{\circ}C}$ 時，頻率偵測器偵測時脈太快的模擬結果

$V_{DD} = 3.0V_{SS}_{80^{\circ}C}$,

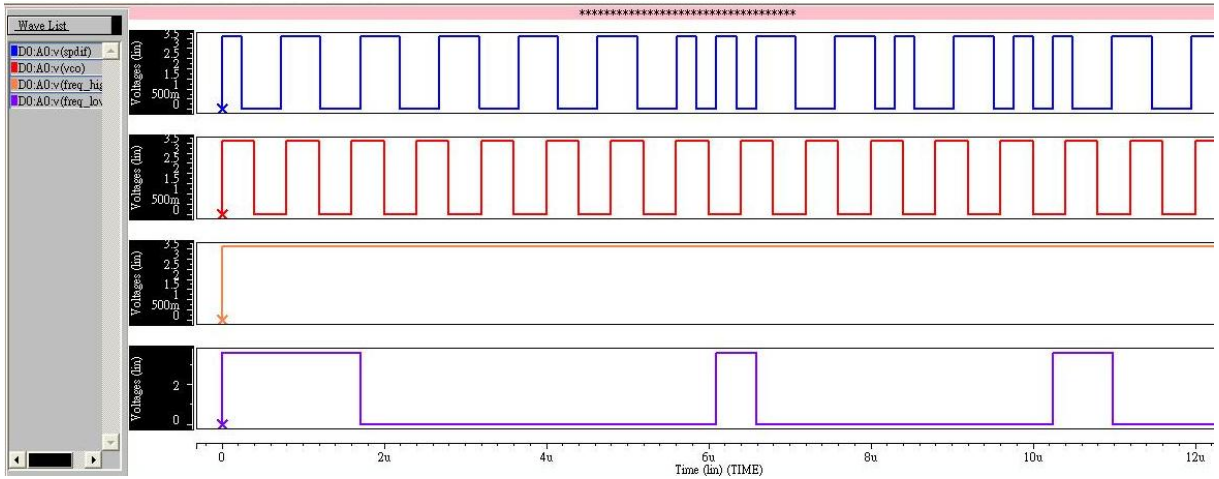


圖表 5-17 $V_{DD}=3.0V_{SS}_{80^{\circ}C}$ 時，頻率偵測器偵測時脈太快的模擬結果

由圖表 5-16及圖表 5-17可知頻率偵測器在不同角模擬下能正確地偵測到時脈太快的訊息。

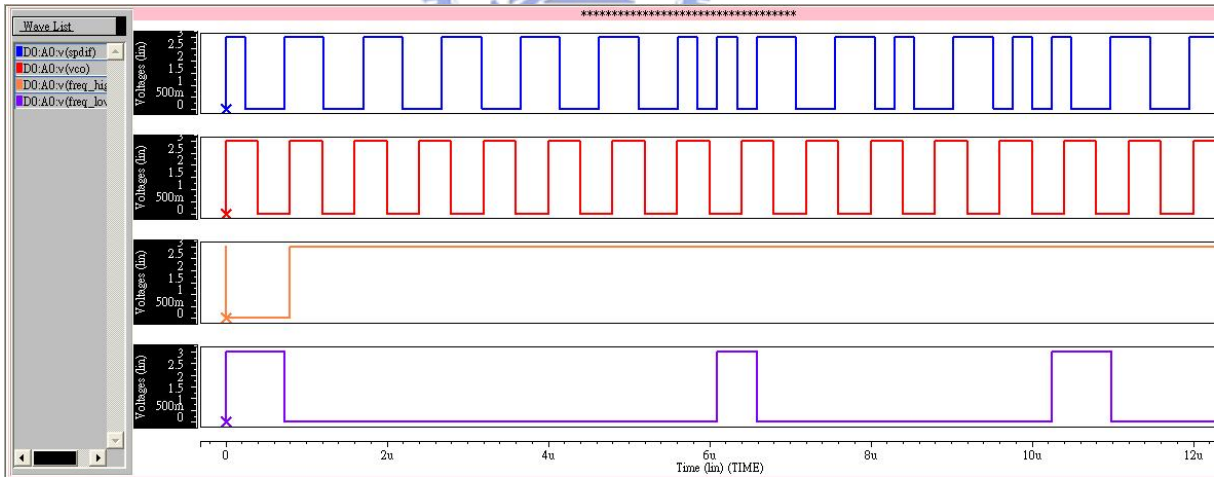
(b) Clock too slow

$V_{DD} = 3.6V_{FF_0^{\circ}C}$,



圖表 5-18 $V_{DD}=3.6V_{FF_0^{\circ}C}$ 時，頻率偵測器偵測時脈太慢的模擬結果

$V_{DD} = 3.0V_{SS_80^{\circ}C}$,



圖表 5-19 $V_{DD}=3.0V_{SS_80^{\circ}C}$ 時，頻率偵測器偵測時脈太慢的模擬結果

由圖表 5-18及圖表 5-19可知頻率偵測器在不同角模擬下能正確地偵測到時脈太慢的訊息。

Chapter 6 結論

本論文提出一個適用於多組輸入頻率的時脈回復電路之設計，在我們所設計的架構中，我們避免使用額外的鎖相迴路電路來產生參考頻率用以偵測頻率誤差，同時也不使用類比數位轉換器或數位類比轉換器來作頻帶偵測的動作，我們是利用一易實現的數位電路當作頻率鎖定偵測器來完成頻率鎖定判斷的動作，即使輸入頻率相差三倍，所設計的頻率鎖定偵測器也能正確的偵測頻率誤差。

此外，我們也修改了Toifl 和Moreira所提出的寬頻率偵測器電路[12]，使得它在壓控振盪器不起振時亦能驅動電荷幫浦將電壓導入壓控振盪器的振盪範圍。

由PostSim模擬結果顯示，所設計的時脈回復器電路能正常的工作，在資料與時脈頻率接近時，頻率鎖定偵測器能正確的切換迴路，同時在所設計的迴路頻寬，電路亦顯示了即使輸入帶有 $1/4$ UI抖動的訊號，系統還是能夠還原出低抖動量的時脈。整個系統的鎖定時間小於 $5ms$ ，而峰對峰值週期抖動為 $1ns$ ，均方根值週期抖動為 $191.17ps$ 。

Reference

- [1] Tomi Engdahl, "AES and S/P DIF Digital Interfaces"
- [2] Y. M. Greshishchev and P. Schvan, "SiGe clock-and-data recovery IC with linear-type PLL for 10-Gb/s SONET application," *IEEE J. of Solid-State Circuits*, vol. 35, no. 9, pp. 1353-1359, Sep. 2000.
- [3] Y. M. Greshishchev, P. Schvan, J. L. Showell, M.-L. Xu, J. J. Ojha, and J. E. Rogers, "A fully integrated SiGe receiver IC for 10-Gb/s data rate," *IEEE J. of Solid-State Circuits*, vol. 35, no. 12, pp. 1949-1957, Dec. 2000.
- [4] Behzad Razavi, "Design of Integrated Circuits for Optical Communications," .
- [5] A. Pottbacker, U. Langmann, and H. U. Schreiber, "A Si Bipolar phase and frequency detector for clock extraction up to 8 Gb/s," *IEEE J. of Solid-State Circuits*, vol. 27, Dec. 1992, pp. 1747-51.
- [6] J. C. Scheytt, G. Hanke, and U. Langmann, "A 0.155, 0.622, and 2.488 Gb/s automatic bit rate selecting clock and data recovery IC for bit rate transparent SDH systems," *ISSCC Dig. of Tech. Papers*, pp. 348-349, Feb. 1999.
- [7] D. Richman, "Color-carrier reference phase synchronization accuracy in NTSC color television," *Proc. IRE*, vol. 42, pp. 106-133, Jan. 1954.
- [8] J. A. Belliso, "A new phase-locked timing recovery method for digital regenerators," *IEEE Int. Conf. Rec*, vol. 1, pp. 10-17, June 1976.
- [9] C. G. Yoon, J. S. Lee, and C. W. Lee, "Digital Logic Implementation of Wide-Range Frequency Linear Detector," *IEICE Trans. Commun.*, vol. E82 B, no. 1, Jan 1999.
- [10] D. G. Messerschmitt, "Frequency detector for PLL acquisition in timing and carrier recovery," *IEEE Trans. Commun.*, vol. 27, no. 9, pp. 1288-1295, Sept. 1979.
- [11] F. M. Cardner, "Properties of frequency difference detectors," *IEEE Trans. Commun.*, vol. 33, no. 2, pp. 131-138, Feb. 1985.
- [12] T.H. Toifl and P. Moreira, "Simple frequency detector circuit for biphasic and NRZ clock recovery," *Electronics Letters.*, vol. 34, no. 20, Oct. 1998.

- [13]P. W. Hooijmans, M. T. Tomesen, and Abram Van de Grijp, "Penalty free biphase linecoding for pattern independent FSK coherent transmission systems," IEEE J. Lightwave Tech., vol .8, no. 3, Mar. 1990.
- [14]C. R. Hogge, "A Self-correcting clock recovery circuit," IEEE J. Lightwave Tech., vol. 3, pp. 1312-1314, Dec. 1985.
- [15]J. D. H. Alexander, "Clock recovery from random binary data," Electronics Letters, vol. 11, pp. 541-542, Oct. 1975.
- [16]J. Savoj and B. Razavi, "A 10-Gb/s CMOS clock and data recovery circuit with a half-rate linear phase detector," IEEE J. of Solid-State Circuits, vol. 36, pp. 761-768, May 2001.
- [17]T. Morikawa, M. Soda, S. Shioiri, T. Hashimoto, F. Sato, K. Emura, "A SiGe single-chip 3.3V receiver IC for 10 Gb/s optical communication systems," ISSCC Tech. Dig. 1999, pp. 380-381.
- [18]A. Buchwald, and K. Martin, "Integrated fiber-optic receivers," Boston, MA: Kluwer Academic Publishers, 1995.
- [19]B. Razavi, "Challenges in the design of high-speed clock-and-data recovery circuits," IEEE Commun. Mag., vol. 40, no.8, pp. 94-101, Aug. 2002.
- [20]J. E. Rogers and J. R. Long, "A 10-Gb/s CDR/DEMUX with LC delay line VCO in 0.18-um CMOS," IEEE J. of Solid-State Circuits, Vol. 37, pp. 1781-1789, Dec. 2002.
- [21]R. Farjad-Rad, et all, "A 33-mW 8-Gb/s CMOS clock multiplier and CDR for highly integrated I/Os," IEEE J. of Solid-State Circuits, Vol. 39, pp. 1553-1561, Sept. 2004.
- [22]L. Henrickson, et all, "Low-power fully integrated 10-Gb/s SONET/SDH transceiver in 0.13-um CMOS," IEEE J. of Solid-State Circuits, Vol. 38, No. 10, pp. 1595-1601, Oct. 2003.
- [23]J. Lee, K. S. Kundert, and B. Razavi, "Analysis and modeling of bang-bang clock-and-data recovery circuits," IEEE J. of Solid-State Circuits, Vol. 39, no. 9, pp. 1571-1580, Sep. 2004.
- [24]朱元凱，應用於802.11a WLAN之5GHz U-NII頻帶降頻器CMOS RFIC，國立成功大學電機工程研究所碩士論文，民國九十一年。
- [25]Cordell et al., R. R., "A 50MHz phase and frequency locked loop," IEEE J. of Solid-State Circuits SC-14, 6, 1003-1009, Dec. 1979.
- [26]Enam, S. K. and A. A. Abidi, "Decision and clock recovery circuits for gigahertz optical fiber receivers in Silicon NMOS," Journal of Lightwave Technology LT-5, 3, 367-372, Mar. 1987.

- [27] DeVito et al., L., "A 52MHz and 155MHz clock-recovery PLL," ISSCC Digest of Technical Papers, 142, 143, 306, Feb. 1991.
- [28] Lam, V. M. T., "Microwave oscillator phase noise reduction using negative resistance compensation," Electronics Letters 29, 4, 379-340, Feb. 1993.
- [29] Walker, R. C., "Fully integrated high speed voltage controlled ring oscillator," U.S. Patent 4,884,041, Granted Nov. 1989.
- [30] Weigandt, T. C., B. Kim and P. R. Gray, "Analysis of timing jitter in CMOS ring oscillators," ISCAS proceedings, May 30-June 2, 1994.
- [31] Thomas H. Lee, and John F. Bulazcchelli, "A 155-MHz clock recovery delay- and phase-locked loop," IEEE J. of Solid-State Circuits, vol. 27, no. 12, Dec. 1992.
- [32] D. Banerjee, "PLL Performance, Simulation, and Design," 2nd Edition, 2001.
- [33] W. Rhee, "Design of high-performance CMOS charge pumps in phase-locked loops," Proceedings of the 1999 IEEE International Symposium on Circuits and Systems, pp. 545-548, Jun. 1999.
- [34] W.-H. Lee, J.-D. Cho, S.-D. Lee, "A High speed and low power phase-frequency detector and charge-pump," Proc. ASP-DAC '99 Asia and South Pacific Design Automation Conf., 1999, Vol. 1, pp. 269-272.
- [35] P. Larsson, "A 2-1600MHz CMOS clock recovery PLL with low-V_{dd} capability," IEEE J. of Solid-State Circuits, vol. 34, no.12, pp.1951-1999, Dec. 1999.
- [36] J. Maneatis and M. Horowitz, "Precise delay generation using coupled oscillators," IEEE J. of Solid-State Circuits, vol. 28, no. 12, pp.1273-1282, Dec. 1993.
- [37] J. Maneatis, "Low-jitter process-independent DLL and PLL based on self-biased techniques," IEEE J. of Solid-State Circuits, vol 31, no. 11, Nov. 1996.
- [38] I. Young et al., "A PLL clock generator with 5 to 110 MHz of lock range for microprocessors," IEEE J. of Solid-State Circuit, vol. 27, no. 11, pp. 1599-1607, Nov. 1992.
- [39] M. Meghelli, A. V. Rylyakov, S. J. Zier, M. Sorna, and D. Friedman, "A 0.18-um SiGe BiCMOS receiver and transmitter chipset for SONET OC-768 transmission systems," IEEE J. of Solid-State Circuits, Vol. 38, No. 12, Dec. 2003.
- [40] H. R. Lee, M. S. Hwang, B. J. Lee, Y. D. Kim, D. Oh, J. Kim, S. H. Lee, and D. K. Jeong, and W. Kim, "A 1.2-V-Only 900-mW 10 Gb ethernet trans-

ceiver and XAUI interface with robust VCO tuning technique,” IEEE J. of Solid-State Circuits, Vol. 40, No. 11, Nov. 2005.

- [41]F. Centurelli, G. Scotti, and A. Trifiletti, “A high-speed low-voltage phase detector for clock recovery from NRZ data,” IEEE Transactions on Circuits and Systems—I: Regular Papers, Vol. 54, No. 8, Aug. 2007.

