

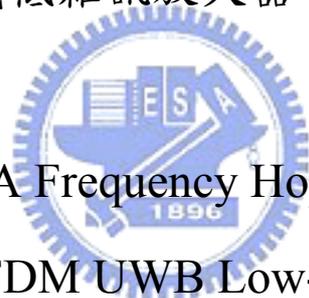
國立交通大學

電機學院與資訊學院

電信學程

碩士論文

OFDM 跳頻式低雜訊放大器在超寬頻系統中之應用



A Frequency Hopping for an

MB-OFDM UWB Low-Noise Amplifier

研究生：邱顯傑

指導教授：周復芳 博士

中華民國九十五年十月

OFDM 跳頻式低雜訊放大器在超寬頻系統中之應用

A Frequency Hopping for an
MB-OFDM UWB Low-Noise Amplifier

研究生：邱顯傑

Student : Hsien Chieh Chiu

指導教授：周復芳 博士

Advisor : Dr. Christina F. Jou

國立交通大學

電機學院與資訊學院專班 電信學程



Submitted to Degree Program of Electrical Engineering and
Computer Science College of

Electrical Engineering and Computer Science

National Chiao Tung University

In Partial Fulfillment of the Requirements

For the Degree of

Master of Science

In Communication Engineering

October 2006

Hsin Chu, Taiwan, Republic of China

中華民國九十五年十月

OFDM 跳頻式低雜訊放大器在超寬頻系統中之應用

A Frequency Hopping for an

MB-OFDM UWB Low-Noise Amplifier

研究生：邱顯傑

指導教授：周復芳 博士

國立交通大學 電機學院與資訊學院

電信學程（研究所）碩士班



本篇論文主要研究跳頻式低雜訊放大器在超寬頻系統中的應用與分析。

本論文首先用 Chebyshev L-C 帶通濾波器架構進行輸入端匹配，再經過改良後使輸入阻抗在 3.1GHz~10.6GHz 間頻寬範圍內依然有良好的低反射係數，再使用單一電壓供給的 source inductive degeneration 疊接放大器架構，同時也可以達到降低米勒效應且獲得較低之 Noise Figure 以及較高的 reverse isolation 的結果，在 switch 部份使用 NMOS 與電容串接，用五個 NMOS 開關控制電容，與 L_d 的電感形成 LC 諧振，使得 output gain 直接工作於所需的頻帶，以達到跳頻的結果，且輸出

增益會因為能量集中的關係而在我們所控制輸出的 channel 有比較好的增益表現，而輸出端則利用緩衝器自身特性，使電路最終的輸出端能夠具有低輸出阻抗以及大電流的特性，來足以驅動下一級的電路。。



A Frequency Hopping for an MB-OFDM UWB

Low-Noise Amplifier

Student: Hsien Chieh Chiu Advisor: Dr. Christina F. Jou

Degree Program of Electrical Engineering and Computer Science

National Chiao Tung University

Abstract

In this thesis, we present a Frequency Hopping Low-Noise amplifier for an MB-OFDM UWB system.

First of all, we introduce the Chebyshev L-C band-pass filter architecture implement for input impedance matching use. We modify this architecture and to obtain best reflection coefficient during 3.1GHz~ 10.6GHz frequency range. Then, we implement single power to source inductive degeneration cascade amplifier architecture. In this architecture, we degrade Millier Effect and obtain lowest noise figure and highest reverse isolation. We use 5 set NMOS to make switch function, collocate L_d to choice LC resonance frequency and they can work we want frequency and enhance the output gain. In the output section, we use buffer have low output impedance and large current character to drive next stage circuit

誌 謝

三年前，我跨入了交大電資學院在職專班的大門，開始了我夢寐以求的研究所生活，三年來，需要兼顧學業與工作天平的生活，確實讓我體會到許多難處，很榮幸的，我有機會得以寫這篇誌謝，因為我有太多太多的人要感謝。感謝周復芳老師的指導，你的支持讓我能在這段求學生涯中能完成我想做的研究並從中得到許多寶貴的經驗，並且體會到真正的研究精神和求學問態度。感謝周復芳教授與張志揚教授與胡政吉博士在口試時，所提供寶貴的建議。另外，在晶片設計過程中，特別要感謝實驗室的欽賢、匯儀、博揚、文明以及學弟子豪在學問上的分享以及秋榜、政展、仕豪、宏斌還有學弟妹瑞嫻、智鵬、宇清、宜星、你們的關心與幫忙，沒有你們我真的沒辦法完成我的論文。在晶片量測上，感謝子豪及國家奈米實驗室射頻量測實驗室全體同仁不辭辛苦地大力幫忙才得以把複雜的量測工作完成。

最感謝就是我的老婆郁雯，從男女朋友變夫妻是我們在這三年來最大的轉變，就是有你全力支持，我也得以在這三年順利完成學業，同時感謝我的父母與兄弟，因為有你們的教導，讓我更加的深刻體會許多的事情。最後，僅把此論文的榮耀獻給我的老婆、父母與以及身邊所有關懷我的朋友們。

目 錄

中文摘要.....	I
英文摘要.....	II
誌謝.....	III
目錄.....	IV
表目錄.....	VI
圖目錄.....	VII
第一章 緒論.....	1
1.1 前言.....	1
1.2 背景-超寬頻(Ultra-Wideband)標準現況.....	2
1.3 論文組織.....	4
第二章 相關技術討論.....	5
2.1 散佈式架構.....	5
2.2 並聯回授架構.....	8
2.3 輸入匹配架構.....	9
2.2 跳頻式架構.....	10
第三章 跳頻式低雜訊放大器分析與設計.....	14
3.1 電路結構.....	14
3.2 輸入匹配網路.....	16
3.3 頻率切換開關電路.....	23
3.4 雜訊指數.....	30

3.5 增益分析.....	37
第四章 晶片製作的實現與量測結果.....	39
4.1 佈局考慮.....	39
4.2 量測考慮.....	40
4.3 量測結果與討論.....	43
4.4 比較.....	66
第五章 結論與未來研究方向.....	67
5.1 結論.....	67
5.2 未來研究方向.....	69
參考文獻.....	71

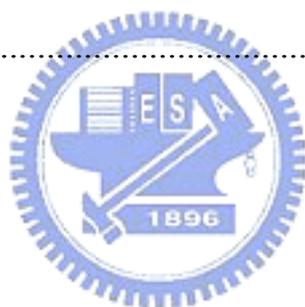


表 目 錄

Table 2.1.1 UWB LNA 相關技術比較表	13
Table 3.2.1 Chebyshev 低通濾波器原型的各元件值 (0.5dB 漣波).....	20
Table 3.2.2 低通與帶通濾波器電路的轉換.....	21
Table 3.3.3 不同開關所形成的共振頻率 f_c	30
Table 4.3.1 雜訊指數在不同頻道的量測與模擬比較值.....	56
Table 4.3.2 P1dB 在不同頻道的量測與模擬比較值.....	59
Table 4.3.3 IIP3 在不同頻道的量測與模擬比較值.....	62
Table 4.3.4 MB LNA 效能在 Post Simulation 與量測比較值.....	65
Table 4.4.5 下線晶片與使用 MB-OFDM LNA 相關 paper 的效能比較	66



圖 目 錄

Figure 1.1.1 UWB 使用頻帶圖	3
Figure 1.1.2 UWB 接收機方塊圖	4
Figure 2.1.1 常見的散佈式放大器架構	6
Figure 2.1.2 Cascade 兩級式散佈式放大器	7
Figure 2.1.3 並聯回授放大器的架構圖	8
Figure 2.1.4 輸入匹配架構寬頻放大器的架構圖	10
Figure 2.1.5 Real-time 跳頻 3D 概念圖	11
Figure 2.1.6 使用跳頻式 LNA 的接收機方塊圖	11
Figure 3.1.1 MB LNA 與 Buffer 架構	16
Figure 3.2.1 Double terminal 雙埠網路	17
Figure 3.2.2 Chebyshev 與 Butterworth 濾波器頻率響應圖(N=3)	19
Figure 3.2.3 低通濾波器原型的 n 階電路及各元件編號，(a)是以並聯為開始的原型電路，(b)是以串聯為開始的原型電路	19
Figure 3.2.4 經過轉換後的 n 階帶通濾波器電路	21
Figure 3.2.5 Inductively degenerated transistor 與小信號等效電路	22
Figure 3.2.6 輸入阻抗線路圖	22
Figure 3.3.7 (a)簡單採樣開關電路 (b)利用 MOS 元件組成開關	23
Figure 3.3.8 採樣開關電路在 $V_{in}=0$ 時輸入位準與初始狀況之響應	24
Figure 3.3.9 採樣開關電路在 $V_{in}=1V$ 時輸入位準與初始狀況之響應	24
Figure 3.3.10 採樣開關電路的追蹤與維持能力	25
Figure 3.3.11 MOS 電容	26
Figure 3.3.12 C_{GS} 和 C_{GD} 與 V_{GS} 的關係圖	26

Figure 3.3.13 共振頻率切換電路	27
Figure 3.3.14 switch circuit 架構	28
Figure 3.3.15 total switch circuit 等效電路	28
Figure 3.3.16 single switch circuit 等效電路	29
Figure 3.3.17 single switch circuit ON/OFF 等效電路	30
Figure 3.4.17 MOS 之通道熱雜訊	31
Figure 3.4.18 考慮 R_1 的熱雜訊模型	32
Figure 3.4.19 MOS 的熱雜訊模型	32
Figure 3.4.20 電晶體 M_1 雜訊模型 (a) M_1 雜訊源 (b) 輸入相關等效雜訊電路 ..	33
Figure 3.4.21 平均雜訊圖	36
Figure 3.5.22 MB LNA 與 Buffer 架構	37
Figure 3.5.23 利用 C_{db1} 來改善離散電容效應	38
Figure 4.1.1 MB LNA IC 佈局圖	40
Figure 4.2.2 MB LNA on-wafer 量測方塊圖	41
Figure 4.2.3 使用 4 組探針做 on-wafer 量測	42
Figure 4.2.4 量測方塊圖 (a) S-參數 (b) noise figure	42
Figure 4.2.5 P1 dB Compression Point 量測方塊圖	43
Figure 4.2.6 third-order intercept point 量測方塊圖	43
Figure 4.3.7 在輸入匹配電路中考慮離散電容 C_2	46
Figure 4.3.8 在開關電路中考慮離散電容 $C_{parasitic}$	46
Figure 4.3.9 在 L_d 線路上考慮雜散電阻 R_d	47
Figure 4.3.10 S11 參數在整個頻帶中的量測與模擬比較 (a) 量測結果 (b) 模擬結果	48

Figure 4.3.11 S21 參數在整個頻帶中的量測與模擬比較 (a)量測結果 (b)模擬結果	49
Figure 4.3.12 S22 參數在整個頻帶中的量測與模擬比較 (a)量測結果 (b)模擬結果	50
Figure 4.3.13 S12 參數在整個頻帶中的量測與模擬比較 (a)量測結果 (b)模擬結果	51
Figure 4.3.14 S 參數在 Channel 2 量測與模擬比較圖(a) S11 (b) S21 (c) S22 (d) S12	52
Figure 4.3.15 S 參數在 Channel 3 量測與模擬比較圖(a) S11 (b) S21 (c) S22 (d) S12	53
Figure 4.3.16 S 參數在 Channel 4 量測與模擬比較圖(a) S11 (b) S21 (c) S22 (d) S12	53
Figure 4.3.17 S 參數在 Channel 5 量測與模擬比較圖(a) S11 (b) S21 (c) S22 (d) S12	54
Figure 4.3.18 S 參數在 Channel 6 量測與模擬比較圖(a) S11 (b) S21 (c) S22 (d) S12	55
Figure 4.3.19 S 參數在 Channel 7 量測與模擬比較圖(a) S11 (b) S21 (c) S22 (d) S12	55
Figure 4.3.20 S 參數在 Channel 8 量測與模擬比較圖(a) S11 (b) S21 (c) S22 (d) S12	56
Figure 4.3.21 雜訊指數在 Channel 2 量測與模擬比較圖	57
Figure 4.3.22 雜訊指數在 Channel 3 量測與模擬比較圖	57
Figure 4.3.23 雜訊指數在 Channel 4 量測與模擬比較圖	57
Figure 4.3.24 雜訊指數在 Channel 5 量測與模擬比較圖	58
Figure 4.3.25 雜訊指數在 Channel 6 量測與模擬比較圖	58
Figure 4.3.26 雜訊指數在 Channel 7 量測與模擬比較圖	58
Figure 4.3.27 雜訊指數在 Channel 8 量測與模擬比較圖	59

Figure 4.3.28 P1dB 在 Channel 2 量測與模擬比較圖	60
Figure 4.3.29 P1dB 在 Channel 3 量測與模擬比較圖	60
Figure 4.3.30 P1dB 在 Channel 4 量測與模擬比較圖	60
Figure 4.3.31 P1dB 在 Channel 5 量測與模擬比較圖	61
Figure 4.3.32 P1dB 在 Channel 6 量測與模擬比較圖	61
Figure 4.3.33 P1dB 在 Channel 7 量測與模擬比較圖	61
Figure 4.3.34 P1dB 在 Channel 8 量測與模擬比較圖	62
Figure 4.3.35 IIP3 在 Channel 2 量測與模擬比較圖	63
Figure 4.3.36 IIP3 在 Channel 3 量測與模擬比較圖	63
Figure 4.3.37 IIP3 在 Channel 4 量測與模擬比較圖	63
Figure 4.3.38 IIP3 在 Channel 5 量測與模擬比較圖	64
Figure 4.3.39 IIP3 在 Channel 6 量測與模擬比較圖	64
Figure 4.3.40 IIP3 在 Channel 7 量測與模擬比較圖	64
Figure 4.3.41 IIP3 在 Channel 8 量測與模擬比較圖	65
Figure 5.1.1 使用 L_{multi} 來產生 multi-band LNA	69

第一章

緒論

1.1 前言

UWB 是一種新興的無線通訊技術，不像窄頻通訊系統，UWB 更可以使用更高的資料串列來傳輸資料，更可以使用於例如像影音傳送，家庭劇院的應用上，隨著 IEEE802.15.3a 規格的明確訂定，加上美國聯邦通訊委員會 (FCC) 正式立法通過，使得 UWB 成為新興的 WLAN 傳輸技術，目前使用超寬頻無線電技術由 IEEE 802.15.3a 審核主要分為脈衝無線電 (Impulse radio, IR) 與多頻帶系統 (Multi-band system)。脈衝無線電技術是利用數個 Gigahertz 頻寬的極短時間基頻脈衝，與過去傳輸系統最大差異在於不需利用載波的調變以及解調變程序，因此不需要複雜的混頻器、中頻濾波器等電路，可大幅降低電路複雜度和成本。並且基頻脈衝信號由於無線通道傳輸因而具有較佳的穿透力，適合於室內短距離通訊。極寬頻多頻帶系統是把整段頻譜(3.1-10.6GHz) 分成數個頻段進行傳輸，每一頻段為 528MHz，優點是若預先偵測頻譜有干擾或被佔用時，系統可自動放棄該頻段傳輸，而利用其他頻段保持正常運作。而不管是何種系統，為了使系統的整合性提高，電路系

統使用 SOC(System on Chip)已經是一個不可避免的方向，而 CMOS 製程技術的發展與進步再加上接收機往輕薄短小且功能齊全的方向一直不變，所以低耗能與微小化的 Receiver 是近幾年來發展的重要趨勢，簡而言之，當你要實現 UWB Receiver SOC 化的同時，LNA 將是所面臨的第一道課題，也更加隨著 UWB standard 的明朗化，使得應用於 UWB LNA 的研究陸陸續續的出現。

1.2 背景-Ultra-Wideband 標準現況

隨著網際網路資訊的爆炸與移動式通信設備的流行，使得原始無線網路頻寬與資料傳輸量也逐漸不敷使用，因此由 FCC 於 2002 首先發表頻寬由 3.1GHz 到 10.6GHz 的 UWB 架構，而在 2003 年 IEEE 也正式成立 IEEE802.15 task group 3a[1]的 task group 來訂定相關的規範，在 IEEE802.15.3a 中主要採用了兩種傳輸技術來達到寬頻的目的，一種為 Pulsed Baseband & DS-UWB，而另外一種是 MB-OFDM。

以 Intel、TI、Nokia 為主要的公司提出了 MB-OFDM 的技術，使用 Multi-Band OFDM 的調變技術，並採用美國 FCC 所認可的 3.1- 10.6GHz 為使用的頻帶，這種方式的接收機[2]將整個 7.5GHz 的頻帶區分為 13 個 Group 每一個 Group 內更含有若干的次頻帶，如 Figure 1.1.1 所示，每一個頻帶的頻寬為 528MHz，如此一來，使得在應用上可以使用

OFDM 的調變與 frequency-hopping 的技術，訊號可以在不同的頻帶上傳輸，使用頻譜使用的效能更加提高且可以避免訊號間的彼此干擾。

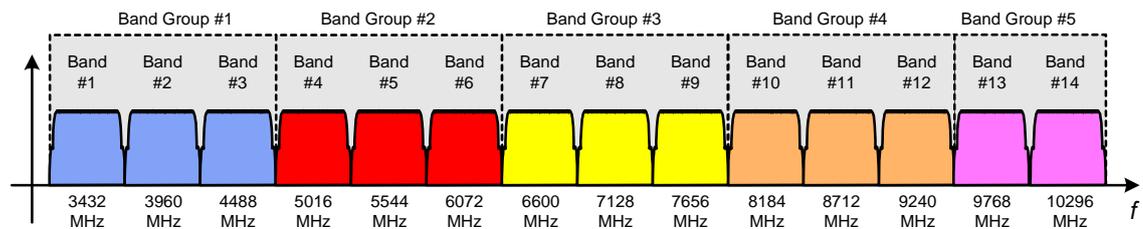


Figure 1.1.1 UWB 使用頻帶圖

以 Motorola、Freescale 為主要的公司則提出 DS-UWB 的技術，使用的是 Direct Sequence Spread Spectrum 的調變技術並使用於 3.1- 4.85 GHz 與 6.2-9.7GHz，這種方式的接收機[3]除了 LNA 與 mixer 部份外，均可以利用數位電路的方式來實現。

除了 IEEE802.15.3a 外，ECMA-368[4]也明訂了 MB-OFDM 為主要的調變方式，也是使用 3.1-10.6GHz 的頻帶，WUSB (Wireless USB)的應用更是可能成為第一個使用 UWB 的產品。

Figure 1.1.2 是 UWB 接收機的方塊圖，信號接收天線接收後，先由一個寬頻帶通濾波器濾除系統工作頻道外的信號，再將信號送到低雜訊放大器，通過中頻將 RF 信號成分移除，再經過混頻後形成基頻的信號，最後送往 DSP 做信號的處理。而本論文所討論的部分標示於 Figure 1.1.2 中。

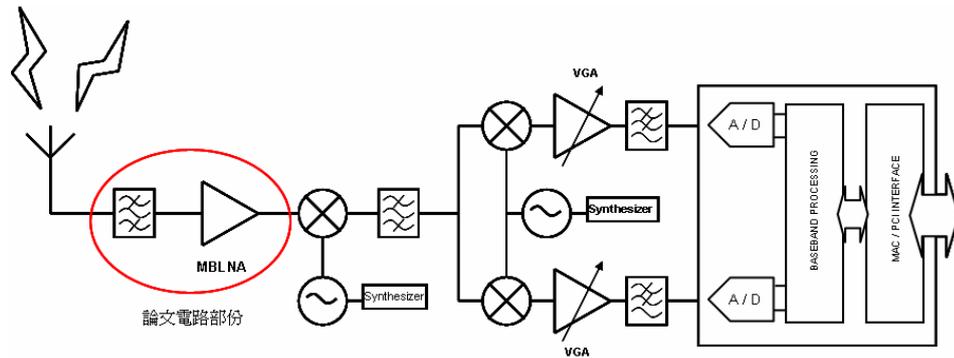


Figure 1.1.2 UWB 接收機方塊圖

1.3 論文組織

本論文內容分五個章節。第一章為緒論，說明了Ultra-Wideband的概述及論文結構，第二章將探討在Ultra-Wideband中所常運用的相關技術，第三章則是討論在Ultra-Wideband系統中使用Frequency Hopping 傳輸技術的低雜訊放大器的設計方法，包括了輸入匹配、雜訊指數、功率消耗與Hopping Frequency switch等幾個重要的設計概念與討論，第四章便將闡述電路佈局的概念，以及模擬的結果，並將模擬的結果與實際晶片的量測結果做一比較，第五章則是做最後整個電路心得的整理以及對電路可以加以改進的部份列入未來發展的方向。

第二章

相關技術討論

2.1 散佈式架構

對使用 CMOS 製程來發展寬頻式的低雜訊放大器，[5]的散佈式的架構是最基本的架構之一，利用此種電路架構可以得到最好的頻寬響應，Figure 2.1.1 是散佈式放大器的架構圖，在其它的論文研究參考中 [6]可以在 300K~3GHz 的頻帶中得到 $5\pm 1.2\text{dB}$ 的增益以及 1dB 截止頻率在 4.7GHz，在另一個論文參考研究 [7][8]利用 0.6 μm CMOS 的製程技術分別達到了增益為 $5.5\pm 1.5\text{dB}$ 與 6.5dB 的效能，最後在論文參考 [9][10] 中，分別實現了在 0.5GHz~14GHz 頻帶中 $10.6\pm 0.9\text{dB}$ 的增益以及 0.6GHz~22GHz 頻帶中 $7.3\pm 0.8\text{dB}$ 增益特性。在這些所討論的研究中，所有的增益均不會超過 10.6dB，參考文件 [25] 可以獲得較低的功率消耗 9mW，但是在 0.04~6.2GHz 的頻寬中增益只有 $8\text{dB}\pm 0.6\text{dB}$ 。

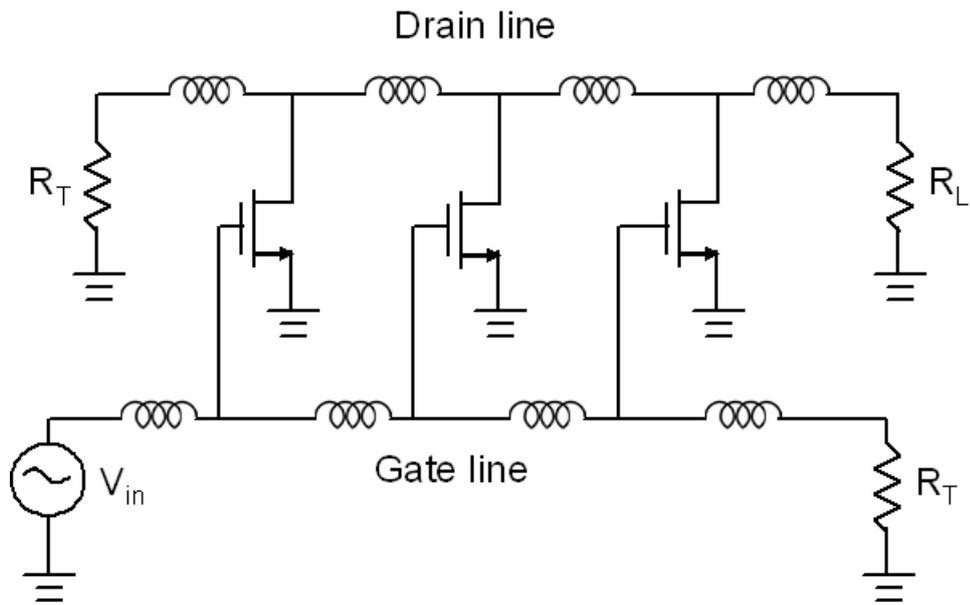


Figure 2.1.1 常見的散佈式放大器架構

而由[11][24]所提出的 cascade 兩級散佈式放大器更可以比傳統式的散佈式架構除了利用散佈式架構所擁有寬頻響應的特性外，更利用了 cascade 架構具有增加增益的特性來提高整個系統架構的增益特性，更加提升增益響應，Figure 2.1.2 是 cascade 兩級式散佈式放大器架構，差異性在於[11]使用 0.18 μm CMOS 而[24]使用 0.35 μm SiGe BiCMOS 製程，在這個架構下可以得到在 3.1GHz~10.6GHz 以及 1.6GHz~12.1GHz 中的增益響應為 $18\pm 1.2\text{dB}$ 與 20dB，且整個的功率消耗為 54mW 與 40mW，但整個的晶片電路佈局分別需要 2.2mm x 1mm 與 1.43mm x 1mm。

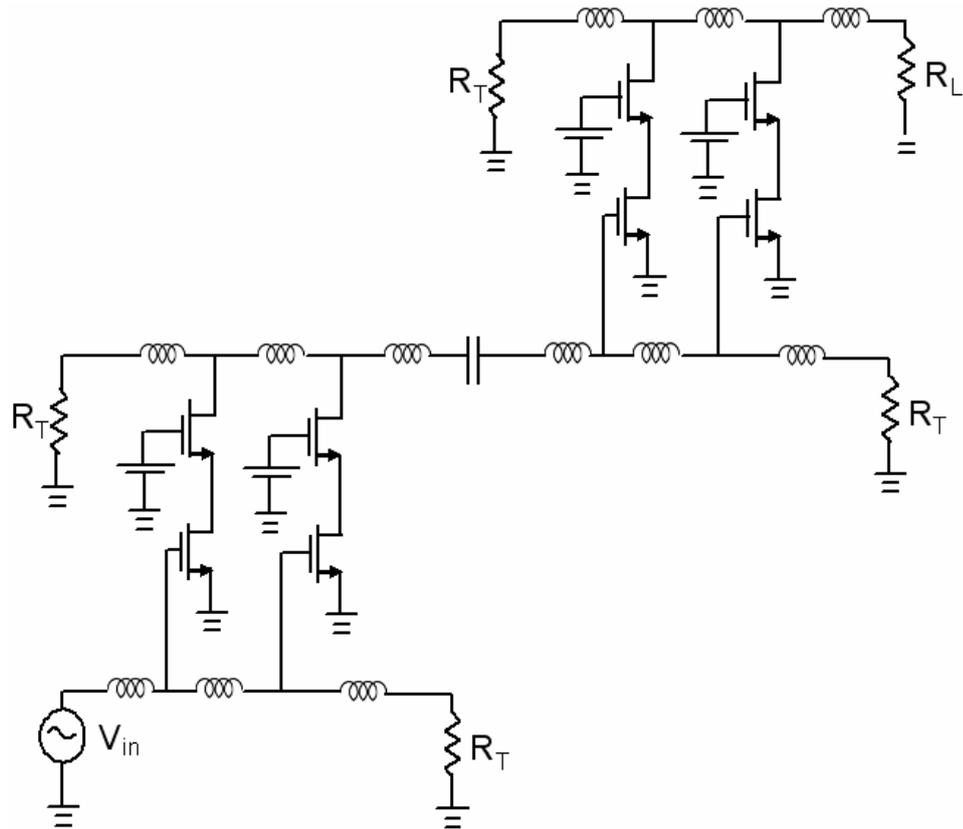


Figure 2.1.2 Cascade 兩級式散佈式放大器

與傳統架構的散佈式放大器相比，cascade 兩級式散佈式放大器更具結合了 cascade 架構與散佈式架構兩者的優點，整個的 voltage 增益可達 12~24dB，以[11]來說，整個功率增益更可達到 18dB，且功率消耗為 54mW。以傳統的散佈式架構來說，雖具有寬頻增益的特性，相對來說，卻無法擁有高增益的表現且使用電感做為主要元件的缺點更使得整個電路的尺寸略顯龐大，使用了 cascade 的架構雖然可以克服低增益響應的缺點，但由於使用了兩級的結構，卻使得整體電路的尺寸更為龐大，也由於為了提供 Wideband 的特性，必須消耗較大的電流來驅動多級的架構，所以並不適於低功率的應用。

2.2 並聯回授架構

在早期利用 CMOS 製程發展 Wideband 放大器的技術中，主要可分成兩大類的方向，除了散佈式的架構外，另外一種便是並聯回授的架構，Figure 2.1.3 是並聯回授放大器的概念架構圖。

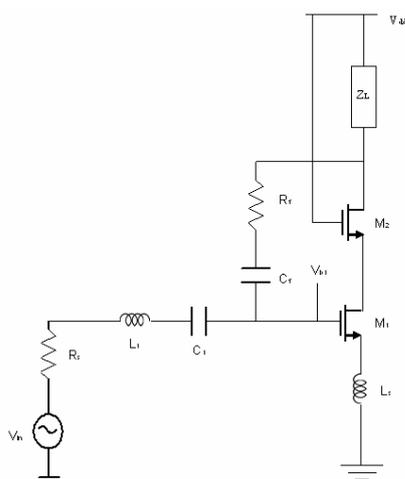


Figure 2.1.3 並聯回授放大器的架構圖

Resistive 並聯回授式放大器是比較常見的架構，但是在低消耗功率時不能提供較好的雜訊指數與增益，依據論文參考[12][13]，並聯回授的架構的放大器具有較好的寬頻匹配響應與平坦的增益，但是在雜訊指數的表現會比較差且會有較大的消耗電流，在整個並聯回授架構中，輸入阻抗主要是由回授放大器的 loop gain 中的回授阻抗所決定 [14]，傳統的並聯回授放大器容易被回授網路中的離散電容影響到高頻部份的響應，也影響到雜訊指數，使得[12][13]兩者的增益雖然可達 13.7dB@0.02G~1.6GHz 與 13.1dB@1G~7GHz，但是所消耗的功率卻也達到 35mW 與 75m W，也因此並不適合於低功率的應用。另外，在論

文參考[15]將傳統的窄頻式 cascode LNA 與 Resistive 並聯回授電路相結合，雖然解決了 Resistive 並聯回授並需要較大功率消耗的問題(只消耗了 12.6mW)，但是整個頻寬只適用於較低頻的 2G~4.6GHz，且增益也僅有 9.8dB。由論文參考[26]所提出的架構中，使用了 0.13um CMOS 的製程，功率消耗只有 19mW，且增益可達 16dBm，但頻寬也是只適用於較低頻的 2G~5.2GHz，且 NF 最小只有 4.7dB。

2.3 輸入匹配架構

除了散佈式與並聯回授式兩種架構外，利用 LC 帶通濾波器當做 cascode LNA 的寬頻輸入匹配阻抗是另外一種新的架構[16][17] [18]，這是一種將 cascode 放大器當做整個輸入匹配的 LC 帶通濾波器的一部份的架構，這種架構在小功率消耗時會有不錯的效能，但由於在輸入匹配電路上使用了 LC 濾波器為主要架構，所以可能會導致要使用較大的區域做為電路佈局且雜訊指數的表現上會比較不好，Figure 2.1.4 是使用 LC 匹配電路形成寬頻放大器的架構圖。

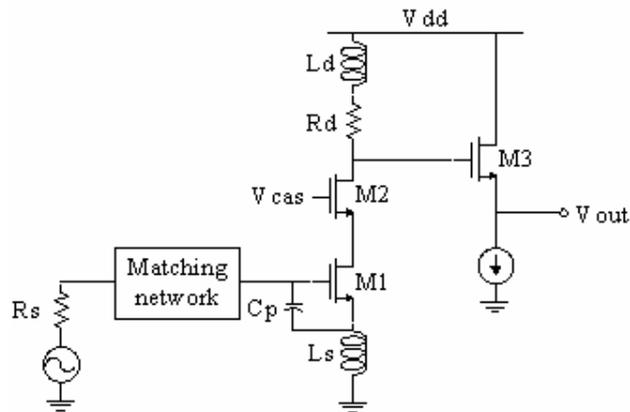


Figure 2.1.4 輸入匹配架構寬頻放大器的架構圖

在[16][18]中在 0.18um CMOS 製程中使用了 inductively degenerated 共源極組態這種常見的窄頻電路設計搭配三階 Chebyshev 濾波器所形成的寬頻響應輸入匹配電路，讓整個電路的頻率響應分別在 2.4G~9.5GHz 以及 2G~10.1GHz 的寬頻帶，且功率消耗只有 9mW 與 7.2 mW，但是雜訊指數是偏高的 4dB 與 3.68dB，且增益只有 9.3dB 與 10.2dB；另一篇論文研究[17]則是使用 SiGe 製程，雖然可以得到較好的增益(21dB)，且雜訊指數為 2.5~4dB，但是功率消耗卻達到 30mW，而不適合於小功率的應用。

所以在此架構下的電路雖然可以獲得比較寬頻的特性，且功率消耗上比前兩種架構小，但是整個的增益在使用 0.18um CMOS 製程下不會超過 10.6dB。

2.4 跳頻式架構

整個 Ultra-Wideband 所定義的整個頻帶是由 5 個 Group,14 個頻寬

達 528MHz 的頻道所組成，MB-OFDM 的調變方式也是由 IEEE 所規定使用的方式之一，利用由 real-time 的跳頻概念[2]，如 Figure 2.1.5，所形成的跳頻式放大器也是可以達到 MB-OFDM 的目的，整個的使用跳頻式 LNA 的接收機方塊圖可以如 Figure 2.1.6 所示。

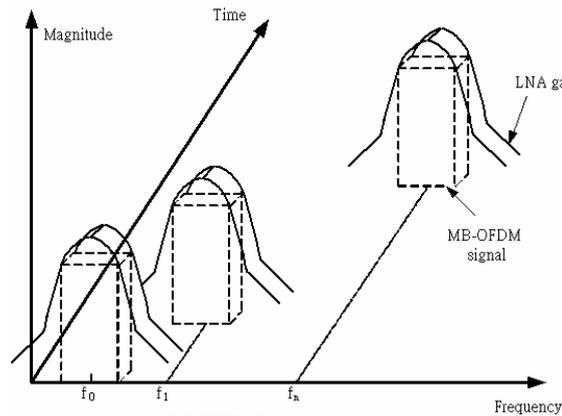


Figure 2.1.5 Real-time 跳頻 3D 概念圖

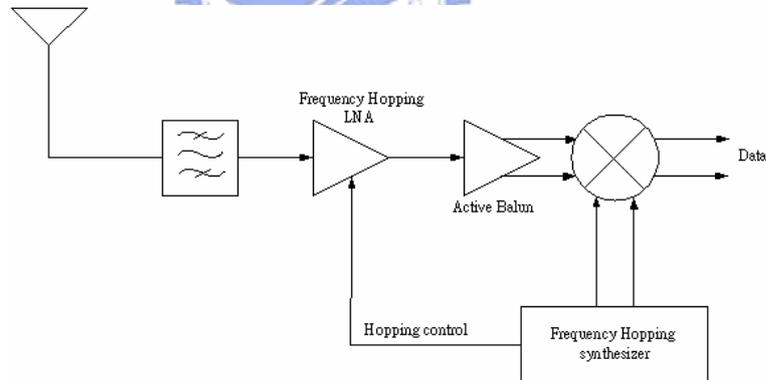


Figure 2.1.6 使用跳頻式 LNA 的接收機方塊圖

整個的方塊圖是由天線接收到信號開始，接收到信號經過一個 BPF 來濾除不在頻帶內的信號，在經過跳頻式的 LNA 處理後，送到 Active balun 將 single-end 的信號變成 differential signal，再送入混頻器做降頻的動作，而 LNA 所需要工作的頻帶與 LO 的頻率則由一個跳頻式的 synthesizer 來控制。由於 MB-OFDM 的每個信號頻寬為 528MHz 且會

在整個 3.1~10.6 GHz 的 UWB 頻帶中跳動，所以在整個跳頻式架構中，LNA 的增益響應是會隨著 UWB 所定義的 14 個次頻道來跳頻改變的，且 LNA 的中心頻率也會符合 UWB 中的 14 個頻道的中心頻率，所以雖然跳頻式 LNA 所要涵蓋的頻帶可以符合 3.1~10.6 GHz 的要求，但在一個時間點上，LNA 的響應只會是符合一個次頻帶的 528MHz 頻寬。

所以在 LNA 的設計上除了要考慮 noise figure 外，要再考慮擁有寬頻的輸入阻抗，使得通過 BPF 後 3.1~10.6GHz 的訊號都能進入 LNA，以及具有能在 14 個次頻帶中跳頻的特性，整個 LNA 的輸出特性不需要為寬頻，而是只需要 528MHz 的窄頻輸出，由參考論文研究[2]利用 0.18um CMOS 製程，可以模擬得到在 7.6GHz 頻率中有最大 17dB 的功率增益以及在整個 3.4G~4.7GHz 與 5.1G~7.6GHz 頻帶中有 16 ± 1.5 dB 的功率響應，另一篇論文參考[27]也是利用跳頻的架構來達到在 3G-5GHz 之間跳頻的功能，整個增益可達 16.2dB，所以跳頻式的放大器在功率增益會比傳統散佈式的架構高，更由於不需使用到多個電感來，所以整個的晶片尺寸也會比散佈式架構來的小，整個功率消耗也僅比輸入匹配架構大的 10.8mW 與 12mW。高增益輸出，低消耗功率以及節省空間的電路佈局便成為了本論文採用跳頻式架構來設計 LNA 的原因。Table 2.1.1 是將相關技術所提出的效能做個比較

Table 2.1.1 UWB LNA 相關技術比較表

	Tech.	BW (GHz)	S11 (dB)	Gmax (dB)	Min NF (dB)	IIP3 (dBm)	VDD (V)	Power (mW)	Topology
[6]	0.8um CMOS	0.3-3	-6	5	5.1	N/A	3	54	Distributed
[7]	0.6um CMOS	0.5-5.5	-7	6.5	5.3	N/A	3	83.4	Distributed
[8]	0.6um CMOS	0.5-7.5	-6	5.5	8.7	N/A	3	216	Distributed
[9]	0.18um CMOS	0.5-14	-11	10.6	3.5	N/A	1.3	52	Distributed
[10]	0.18um CMOS	0.6-22	-8	8.1	4.3	N/A	1.3	52	Distributed
[11]	0.18um CMOS	3.1-10.6	-10	18	5	N/A	1.8	54	Distributed
[24]	0.35um SiGe	1.6-12.1	-8	20	6.5	N/A	1	40	Distributed
[25]	0.18um CMOS	0.04-6.2	-16	8	4.2	3	1.8	9	Distributed
[12]	0.25um CMOS	0.02-1.6	-8	13.7	1.9	0	2.5	55	Feedback
[13]	0.18um CMOS	1-7	-7.2	13.1	3.3	-4.7	1.8	75	Feedback
[15]	0.18um CMOS	2-4.6	-9	9.8	2.3	-7	1.8	12.6	Feedback
[26]	0.13um CMOS	2-5.2	-9	16	4.7	N/A	2	38	Feedback
[16]	0.18um CMOS	2.3-9.2	-9.9	9.3	4	-6.7	1.8	9	Input match
[17]	0.35um SiGe	3-10	-10	21	2.5	-1	3	30	Input match
[18]	0.18um CMOS	2-10.1	-9.76	10.2	3.68	-1	1	7.2	Input match
[2]	0.18um CMOS	3.4-4.7 5.1-7.6	-9 -9	N/A 17.5	N/A 3.3	-9.3 N/A	1.8	10.8mW 10.8mW	Hopping
[27]	0.18um CMOS	3-5	-10	16.2	2.63	-10	1.8	12mW	Hopping

第三章

跳頻式低雜訊放大器 的分析與設計

3.1. 電路結構

本電路所使用的 UWB Frequency Hopping 低雜訊放大器與緩衝器，線路如 Figure 3.1.1 所示，供給電壓為 1.8V，並且所有元件皆使用 on-chip 元件，在前端輸入電路，我們採用 Chebyshev L-C 帶通濾波器架構進行輸入端匹配，再經過我們進一步改良電路中過於繁複的輸入級元件，將原先與 L_2 並聯電容的效應降低，最後能夠將其忽略，並且使用 M_1 的開級電容取代原先與 L_3 所串聯的電容，以期望在 3.1-10.6GHz 的頻寬範圍內依然有良好的低反射係數，以達成我們的第一個目標，就是能將整個 UWB 的信號能接收到 LNA 中；為了達到低功耗的要求，我們使用單一電壓供給的 source inductive degeneration 疊接放大器架構[16]，同時也可以達到降低米勒效應且獲得較低之 Noise Figure 以及較高的 reverse isolation 的結果；在 switch 部份使用 NMOS 與電容串接，用五個 NMOS 開關控制電容，與 L_d 的電感形成 LC 諧振，

使得 output gain 直接工作於所需的頻帶，當全部的 switch on 時產生的 $C_5 \sim C_9$ 電容並聯的結果再與 L_d 諧振，使得增益輸出的響應產生於 UWB 的低頻段，而當 M_9 on 且 $M_5 \sim M_8$ off 時則會形成 C_9 與 $M_5 \sim M_8$ 的 C_{gd} 電容並聯再 L_d 產生諧振頻率於 UWB 的高頻段互產生，利用五個 switch 相互搭配的結果，使得電路將 S_{21} 的響應分別 Hopping 於 7 個 channel，如此就可 cover UWB 從 3 GHz~7GHz 的頻帶，並可達到我們所需要的，就是增益輸出的頻率能靠 5 個 switch 控制以達到 Hopping 的目的，且輸出增益會因為能量集中的關係而在我們所控制輸出的 channel 有比較好的增益表現；使訊號能夠完整由放大器輸出而進入緩衝器；並且經由緩衝器自身特性，使電路最終的輸出端能夠具有低輸出阻抗以及大電流的特性，來足以驅動下一級的電路； L_{S2} 則作為為緩衝器的電流源，來達到輸出阻抗的匹配，以及維持較大的增益。特別注意的是，回授電路的使用可以令增益減緩變化趨勢，但是為了達到寬頻阻抗匹配，電路必須是具有 low Q 的特性，但是卻會因此增加 Noise Figure，並且有電路振盪的可能性，所以並不採用回授電路。在偏壓部份，採用外加式 DC 偏壓，將使用 on wafer DC 針來提供偏壓，並且可依據實際量測狀況調整 M_1 工作點，以期能使電路發揮更好的特性。最後再利用 V_{bias1} 與 V_{bias2} 電壓的變化來調整輸出響應的頻率點。

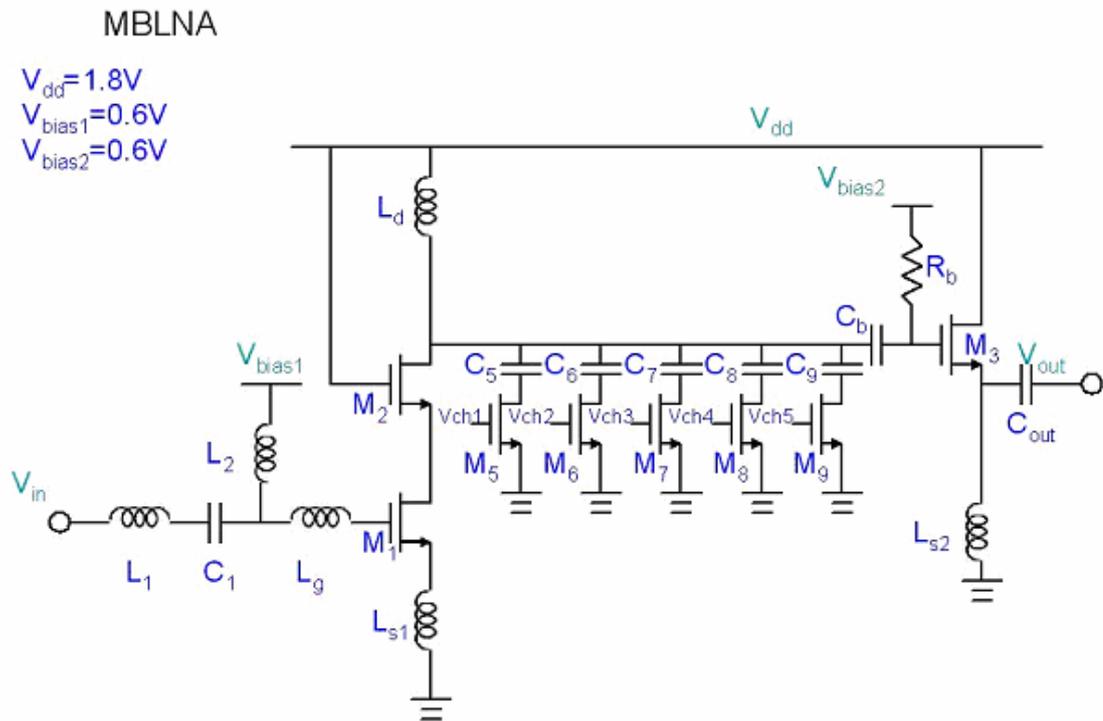


Figure 3.1.1 MB LNA 與 Buffer 架構

3.2. 輸入匹配網路

本論文中所使用的輸入匹配網路需要達到寬頻的目的並能將工作頻帶以外的訊號加以濾除，所以便以寬頻微波帶通濾波器為匹配線路的設計方向，微波濾波器為一個雙埠網路，主要功能為：若信號的頻率在其通帶中，信號可以通過；若信號的頻率在其截止帶中，則訊號會被衰減，而我們利用了介入損失參數法設計出一低通濾波器的原型，再利用轉換公式轉換成帶通濾波器的線路，已達到我們所需要的系統要求[19]。

考慮含有 R_1 與 R_2 的 Double terminal 雙埠網路，如 Figure 3.2.1 所

示[20]，並定義出包含輸出/輸入轉移函數 $H(s)$ 與損耗 α 以及相位 β 的 (3-2-1)，以及(3-2-2)

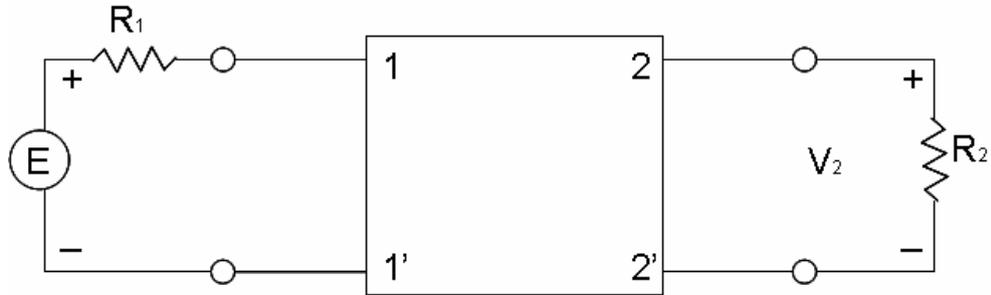


Figure 3.2.1 Double terminal 双埠網路

$$\alpha + j\beta = \ln H(j\omega) = \ln \frac{E}{2V_2} \sqrt{\frac{R_2}{R_1}} \quad (3-2-1)$$

$$2\alpha = \ln \frac{|E|^2}{|V_2|^2} = \ln \frac{4R_1}{R_2} = \ln \frac{P_{\max}}{P_2} \quad (3-2-2)$$

此處的 P_{\max} 是指 source 端產生的最大使用能量， P_2 是在 R_2 端所實際消耗的能量，所以當 $P_2=P_{\max}$ 時可以得到 loss α 為 0，也就是幾乎沒有損耗，此時便可獲得最大的能量轉移，為了能使 source 端將最大能量轉移到負載端，因此双埠網路應該為實數且與 source 端的 R_1 相等[14]。

而在[19]介入損失函數法中，濾波器的響應函數就是其介入損失的頻率響應或是功率損失比 P_{LR} (3-2-3)或是以介入損失 IL (3-2-4)，其中 P_{LR}

就是當波源與負載相匹配時， $|S_{21}|$ 的倒數

$$P_{LR} = \frac{\text{由波源可獲得的功率}}{\text{送到負載的功率}} = \frac{P_{inc}}{P_{load}} = \frac{1}{1 - |\Gamma(\omega)|^2} \quad (3-2-3)$$

$$IL = 10 \log P_{LR} \quad (3-2-4)$$

我們知道 $|\Gamma(\omega)|^2$ 為 ω 的偶函數，可以用 ω^2 的多項式表示(3-2-5)，

其中M、N為實數多項式，並帶回(3-2-3)中可得到(3-2-6)

$$|\Gamma(\omega)|^2 = \frac{M(\omega^2)}{M(\omega^2) + N(\omega^2)} \quad (3-2-5)$$

$$P_{LR} = 1 + \frac{M(\omega^2)}{N(\omega^2)} \quad (3-2-6)$$



我們使用 Chebyshev response 來表示 N 階低通濾波器的介入損失 (3-2-7)，其中 $T_N(x)$ 在 $|x| \leq 1$ 時，會在 ± 1 之間震盪，所以在通帶中會有大小為 $1+k^2$ 的漣波，但是在通帶的外緣會得到比 Butterworth 較快速的衰減，這也是本電路選擇 Chebyshev response 的因素，Figure 3.2.2 為 Chebyshev 與 Butterworth 的頻率響應圖

$$P_{LR} = 1 + k^2 T_N^2\left(\frac{\omega}{\omega_C}\right) \quad (3-2-7)$$

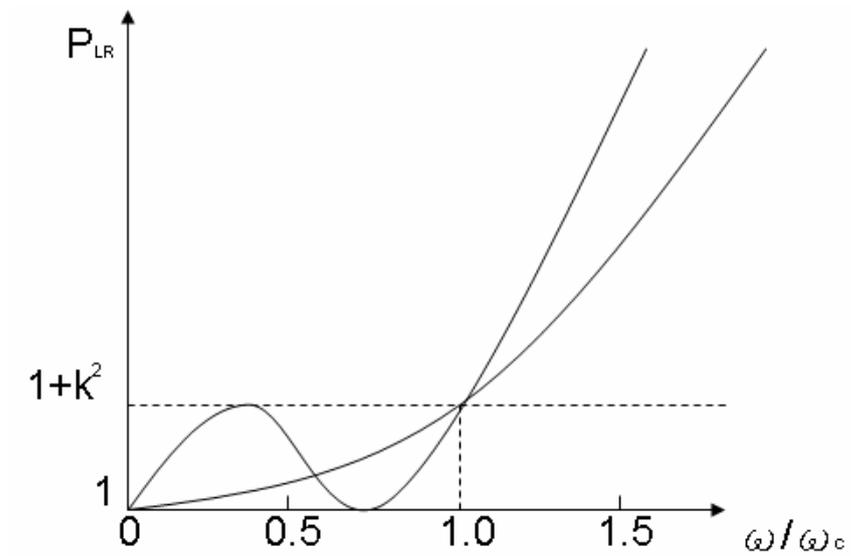


Figure 3.2.2 Chebyshev與Butterworth濾波器頻率響應圖(N=3)

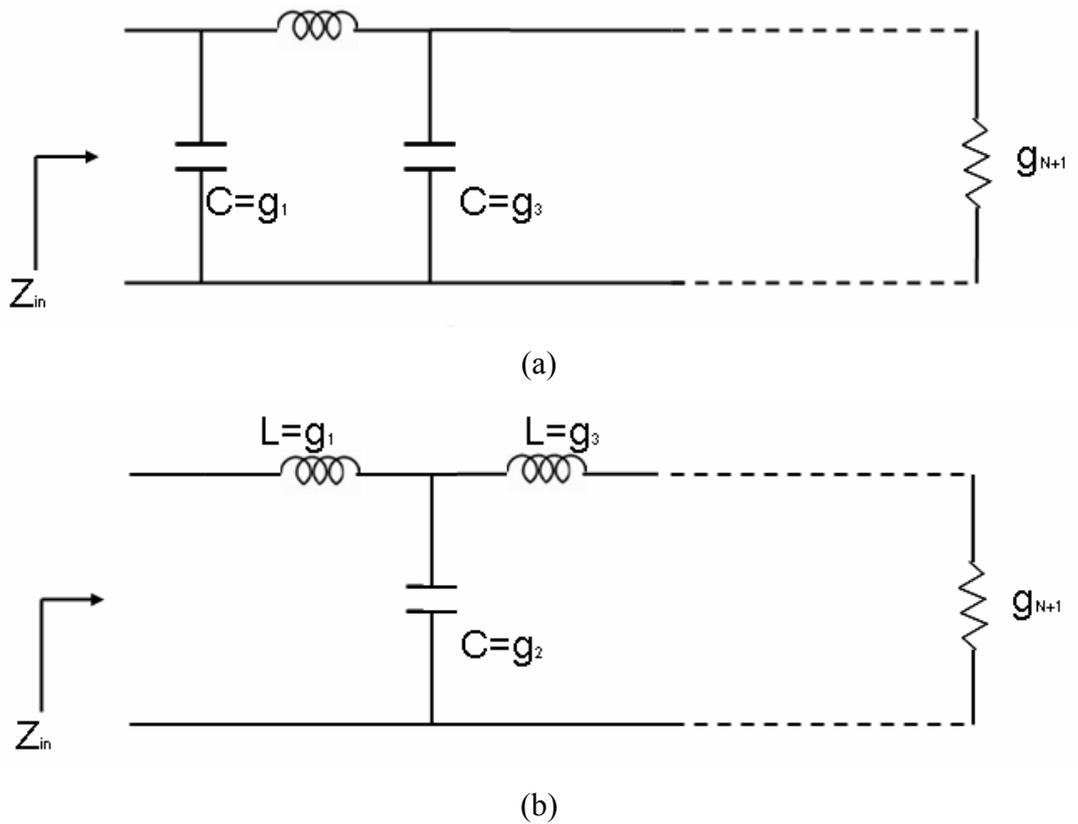


Figure 3.2.3 低通濾波器原型的n階電路及各元件編號，(a)是以並聯為開始的原型電路，(b)是以串聯為開始的原型電路

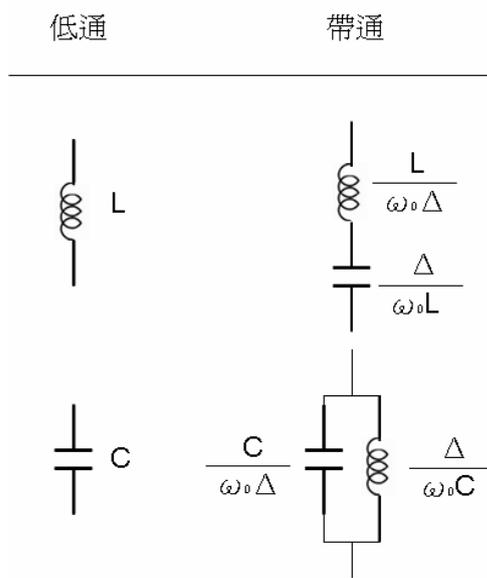
Table 3.2.1 Chebyshev低通濾波器原型的各元件值 (0.5dB漣波)

N	g1	g2	g3	g4
1	0.6986	1.0000		
2	1.4029	0.7071	1.9841	
3	1.5963	1.0967	1.5963	1.0000

使用 Figure 3.2.3(a)(b)的 n 階低通濾波器的原型電路並參考 table 3.2.1 Chebyshev 原型電路的等效元件值。再利用已知 ω_1 與 ω_2 為通帶的兩個截止頻率，則帶通的響應可由經由低通濾波器在用(3-2-8)的頻率轉換來得到。而其中 $\Delta = \frac{\omega_2 - \omega_1}{\omega_0}$ ，稱之為通帶的比例頻寬，中心頻率 ω_0 是 ω_1 與 ω_2 的算術平均數，若換成幾何平均數可獲得 $\omega_0 = \sqrt{\omega_1 \omega_2}$ ，且一個低通濾波器可以依據 Table 3.2.2 中所示轉換成帶通濾波器的新元件值，低通濾波器中的串聯電感 L_k 轉換成 LC 串聯電路，如(3-2-9)；並聯的電容 C_k 必須轉換成 LC 並聯電路，如(3-2-10)，並可獲得如 Figure 3.2.4 的電路圖。而在本論文中是以 3 階的 Chebyshev filter 為設計方向。

$$\omega \leftarrow \frac{\omega_0}{\omega_2 - \omega_1} \left\{ \frac{\omega}{\omega_0} - \frac{\omega_0}{\omega} \right\} = \frac{1}{\Delta} \left\{ \frac{\omega}{\omega_0} - \frac{\omega_0}{\omega} \right\} \quad (3-2-8)$$

Table 3.2.2 低通與帶通濾波器電路的轉換



$$L'_k = \frac{L_k}{\Delta \omega_0} \quad (3-2-9a)$$

$$C'_k = \frac{\Delta}{\omega_0 L_k} \quad (3-2-9b)$$

$$L'_k = \frac{\Delta}{\omega_0 C_k} \quad (3-2-10a)$$

$$C'_k = \frac{C_k}{\Delta \omega_0} \quad (3-2-10b)$$

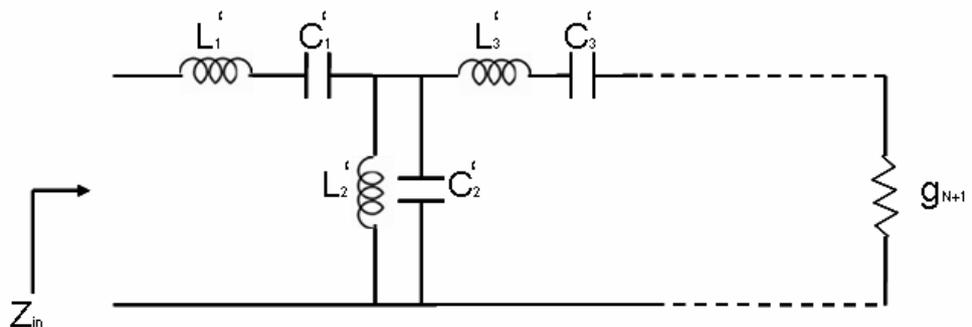


Figure 3.2.4 經過轉換後的n階帶通濾波器電路

而對一個 inductively degenerated transistor 來講[17]，他的小信號等效電路會如 Figure 3.2.5 所示，也就是由一個串聯的 RLC 電路所組成，如 (2-3-11)

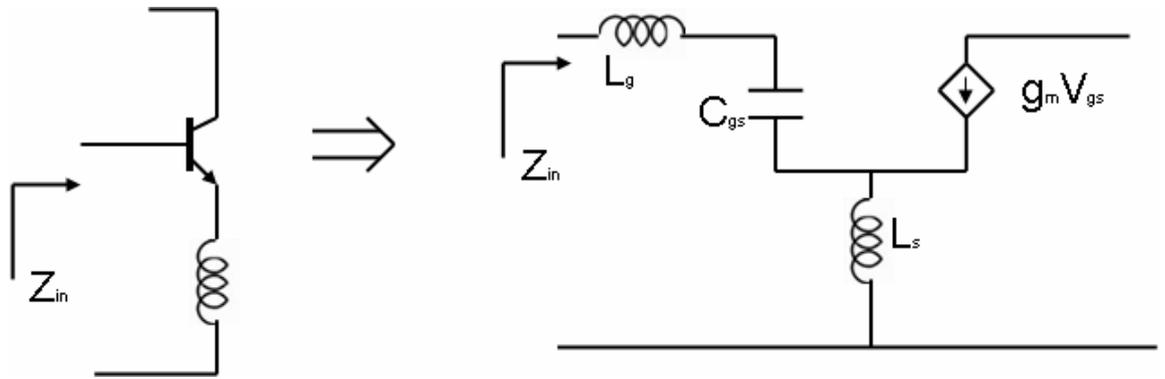


Figure 3.2.5 Inductively degenerated transistor 與小信號等效電路

$$Z_{in} = \omega_T L_s + \frac{1}{s(C_{gs})} + s(L_s + L_g) \quad (3-2-11)$$

其中 C_{gs} 是 M_1 的 gate-source capacitance[18]，而 $\omega_T = g_m / C_{gs}$ ，而所形成的等效電路可以與我們所需要的 chebyshev 濾波器架構中的第 3 階相結合而形成 Figure 3.2.6，其中 C_3' 可完全由 C_{gs} 所取代而不需要額外的電容，而與 L_2' 並聯的 C_2' 則可以完全忽略， L_3' 則被 L_s 與 L_g 所取代，而整個輸入網路擁有要低的反射係數與較簡單實現的電路架構。

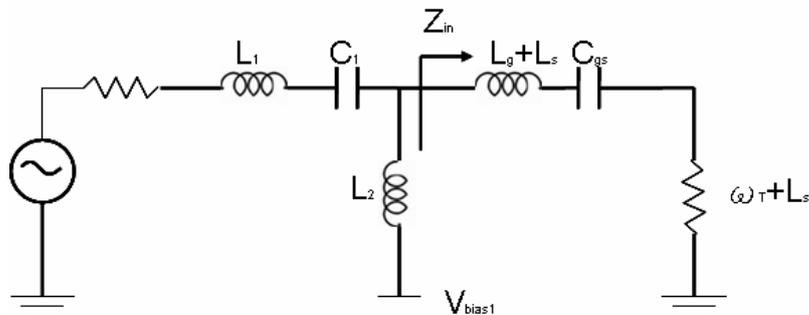


Figure 3.2.6 輸入阻抗線路圖

3.3. 頻率切換開關電路

在微波電路的架構中[19]，開關的功能是在不同的元件之間做信號或者是能量的導引，PIN 二極體可用為電子式的開關，方便與平面電路做結合，也可作為高速的切換；另外 MOS 也可以當作另一型式的開關架構，Figure 3.3.7(a)主要是由 MOS 跟電容所組成的簡單採樣開關電路，如 Figure 3.3.7(b)，它可在無電流時開啟且源極與汲極電壓不會受到閘極電壓所控制[14]。

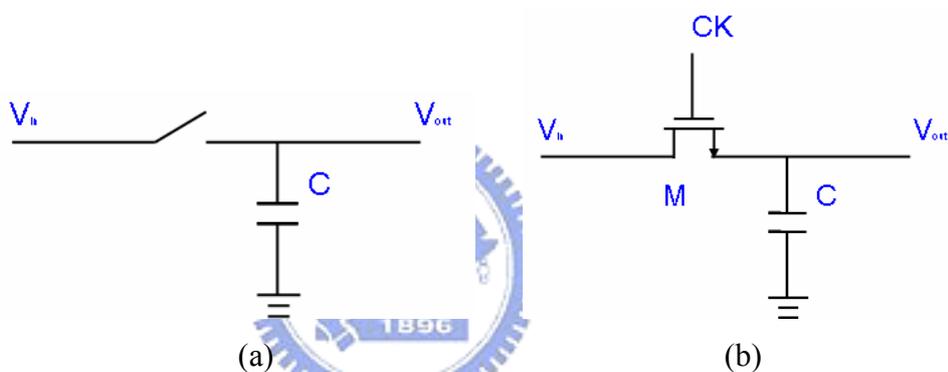


Figure 3.3.7 (a)簡單採樣開關電路 (b)利用MOS元件組成開關

而依照 Figure 3.3.7 的採樣開關電路來進一步了解如何對輸入信號進行採樣開關，其中當閘極的控制開關 CK 在 $t=t_0$ 時會變高，假設在 $t \geq t_0$ 時 $V_{in}=0$ ，如 Figure 3.3.8 所示，且電容有一初始電壓 V_{DD} ，所以在 $t=t_0$ 時， M_1 量測到閘極-源極電壓為 V_{DD} ，而汲極電壓也是 V_{DD} ，因此電晶體會工作於飽和區，且從電容中引出一電流(3-3-12)，當 V_{out} 下降時，在 $V_{out}=V_{DD}-V_{TH}$ 時會驅使 M_1 進入三極管區，然而元件持續對 C_H 進行放電直到 V_{out} 趨近為 0，其中當 $V_{out} \ll 2(V_{DD}-V_{TH})$ 時，電晶體可被視為電阻，如(3-3-13)。

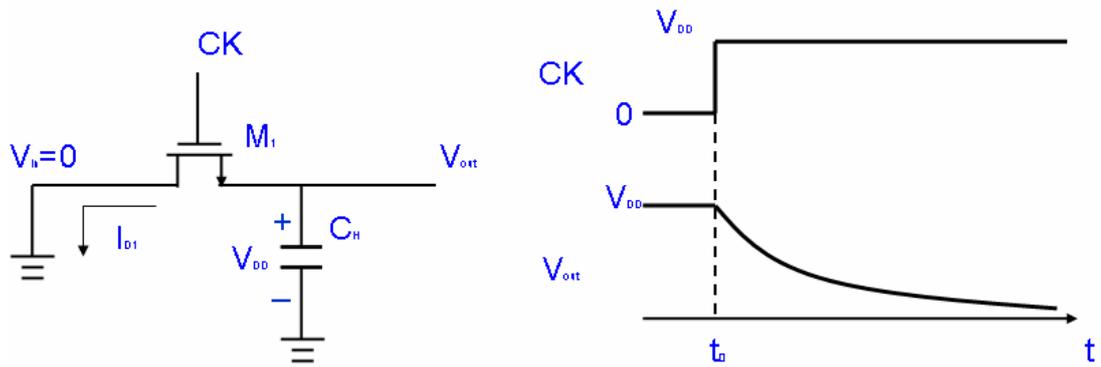


Figure 3.3.8 採樣開關電路在 $V_{in}=0$ 時輸入位準與初始狀況之響應

$$I_{D1} = \left(\frac{\mu_n C_{ox}}{2} \right) \left(\frac{W}{L} \right) (V_{DD} - V_{TH})^2 \quad (3-3-12)$$

$$R_{ON} = \left[\mu_n C_{ox} \left(\frac{W}{L} \right) (V_{DD} - V_{TH}) \right]^{-1} \quad (3-3-13)$$

而當 $V_{in}=+1V$ ， V_{out} 在 $t=t_0$ 時為 $0V$ 且 $V_{DD}=3V$ ，如 Figure 3.3.9 所示，因此連接到 C_H 的 M_1 端點可做為源極且電晶體將隨著 $V_{GS}=+3V$ 而開啟，但是 $V_{DS}=+1V$ ，所以 M_1 工作於三極管區，對 C_H 充電直到 V_{out} 趨近於 $+1V$ ，當 V_{out} 近似於 $+1V$ 時， M_1 展現的 R_{on} ，如(3-3-14)。

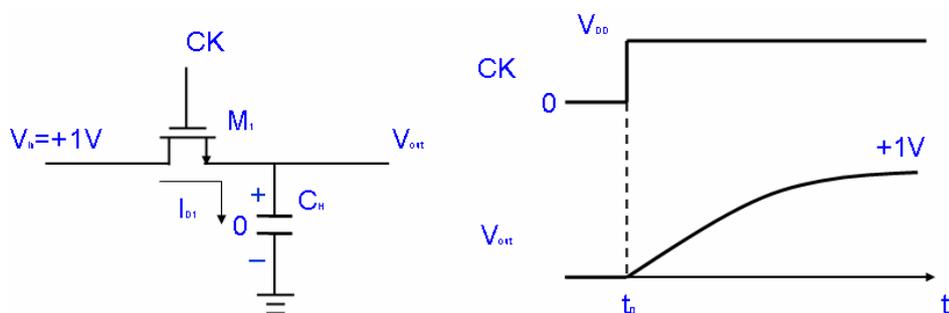


Figure 3.3.9 採樣開關電路在 $V_{in}=1V$ 時輸入位準與初始狀況之響應

$$R_{ON} = \left[\mu_n C_{OX} \left(\frac{W}{L} \right) (V_{DD} - V_{in} - V_{TH}) \right]^{-1} \quad (3-3-14)$$

依照上述的分析我們可以得到兩個結論，(a)一個 MOS 開關僅需要交換源極與汲極的角色即可以引導電流在任意方向，(b)當開關開啟時， V_{out} 會遵循 V_{in} ，而當開關關閉時， V_{out} 維持不變，因此電路在高 CK 時會追蹤信號，而當 CK 變低時電路則會凍結跨在 C_H 上的 V_{in} 瞬間值，如 Figure 3.3.10。

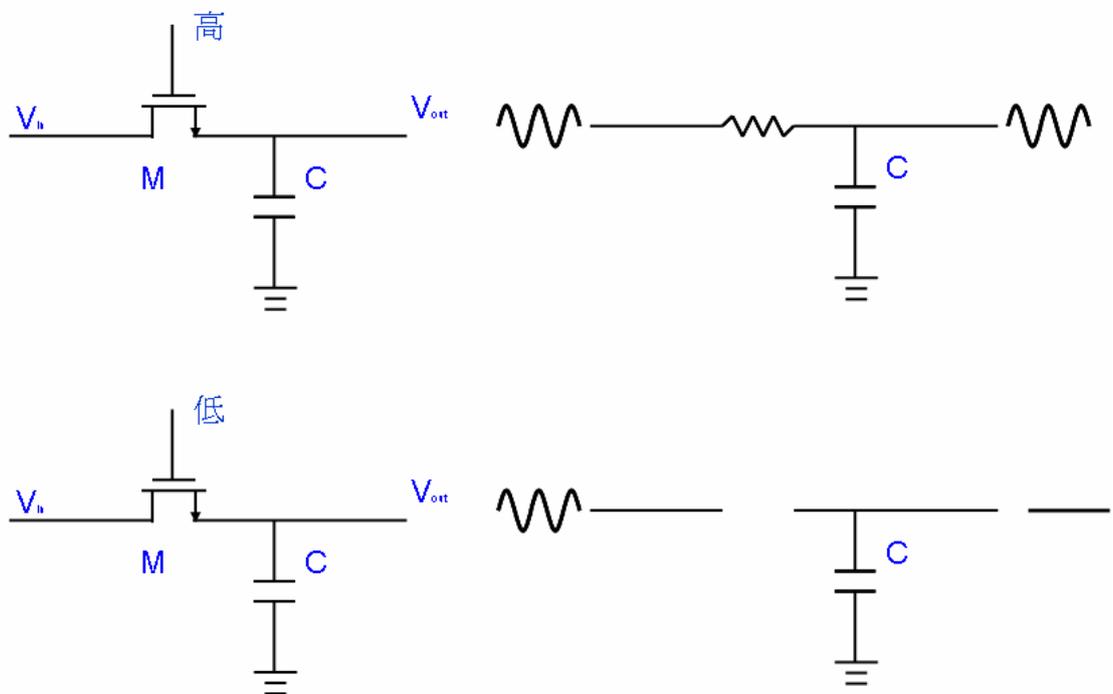


Figure 3.3.10 採樣開關電路的追蹤與維持能力

除了可以利用 MOS 作為簡單的開關之外，MOS 本身的四個端點中也都會有元件電容存在[14]如 Figure 3.3.11 所示，每兩個端點間都會存在著電容，且每個電容值都和電晶體的狀態有關，如果元件為關閉時， $C_{GD}=C_{GS}=C_{OV}W$ ，而閘極-基板電容由閘極氧化層與空乏區電容串聯而

成，如(3-3-15)，其中 $C_d = WL \sqrt{\frac{q\epsilon_{si}N_{sub}}{4\Phi_F}}$ 。

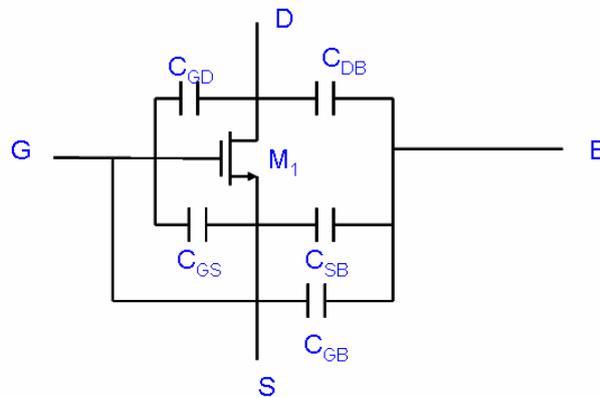


Figure 3.3.11 MOS電容

$$C_{GB} = \frac{(WLC_{ox})C_d}{(WLC_{ox} + C_d)} \quad (3-3-15)$$

而當元件工作於飽和區時，MOS 的 $C_{GD} = WC_{OV}$ ，而閘極和通道間的電位差為由源極端的 V_{GS} 到截止點的 $V_{GS} - V_{TH}$ ，導致再沿著通道間之閘極氧化層中存在一不均勻電場，在不同操作區域的 C_{GD} 與 C_{GS} 特性圖如 Figure 3.3.12。

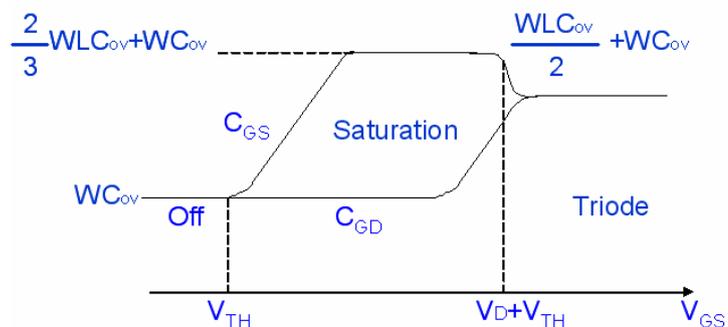
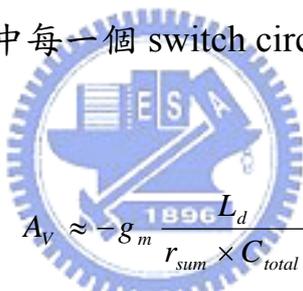


Figure 3.3.12 C_{GS} 和 C_{GD} 與 V_{GS} 的關係圖

另外，電晶體的輸出電阻 R_{ON} 在實際使用上會隨著 V_{DS} 變化，當

R_o 變化時會在電路中產生非線性化的現象，影響到許多類比電路的效能，例如在疊接放大器中，當輸出電壓變化時，則疊接元件的輸出阻抗和電路的增益也會變化，此外，碰撞離子化現象也限制了可由疊接結構得到的最大增益，因為它會產生小信號電阻於汲極至基板，而非源極。

本論文使用開關電路，利用 L_d 與 switch circuit 的總電容效應形成 LC 共振負載[2]，來控制整個電路架構的輸出增益(3-3-16)能分別落在 3960M、4488M、5016M、5544M、6072M、6600M、7128M 頻率中，如 Figure 3.3.13，其中每一個 switch circuit 是由 Figure 3.3.14 的電路所組成。



$$A_v \approx -g_m \frac{L_d}{r_{sum} \times C_{total}} \quad (3-3-16)$$

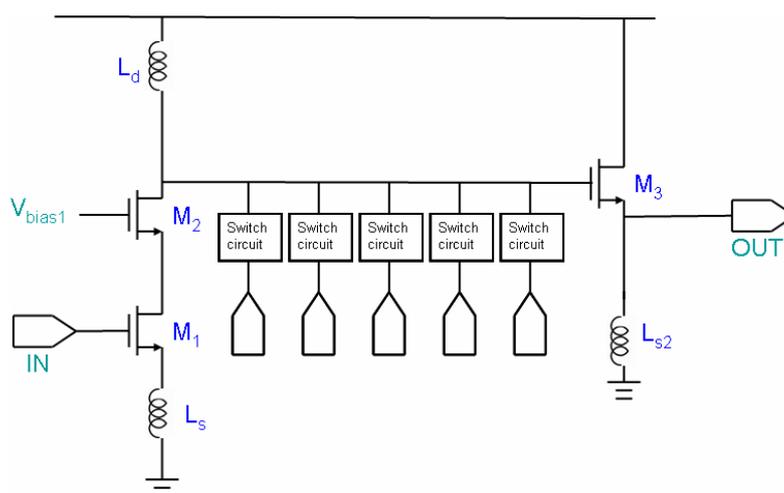


Figure 3.3.13 共振頻率切換電路

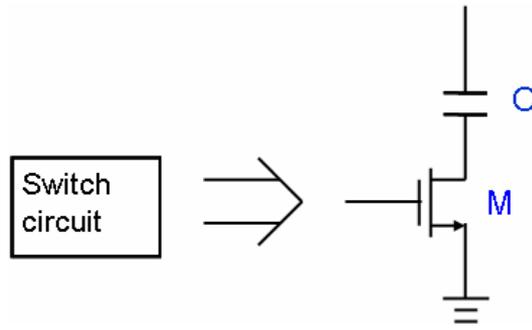


Figure 3.3.14 switch circuit 架構

Figure 3.3.15 是切換電路的等效電路圖，其中共振頻率的電感與電容成分分別由 L_d 與 C_{total} 所組成，每一個 C 的值會依照所選擇的電容開關並考慮 C_{GD} 與 C_{DB} 相互作用所決定，最後 C_{total} 是由電容開關的 C_5' 、 C_6' 、 C_7' 、 C_8' 、 C_9' 的電容值以及寄生電容 C_p 的電容值所合成 (3-3-17)。

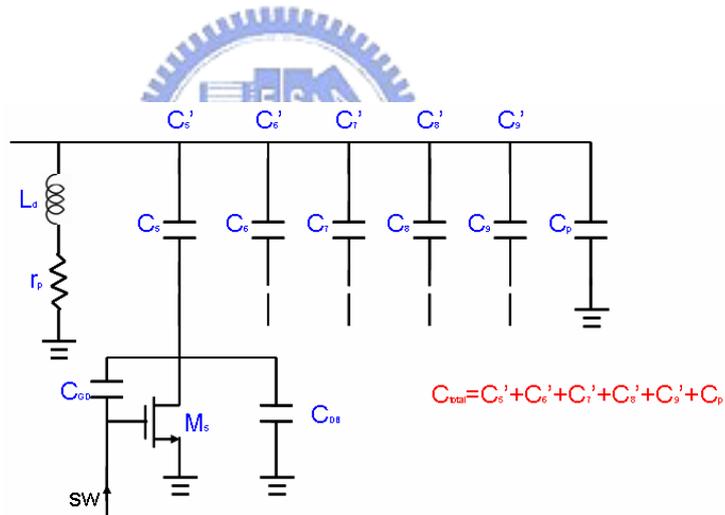


Figure 3.3.15 total switch circuit 等效電路

$$C_{total, \max} = C_5 + C_6 + C_7 + C_8 + C_9 + C_p \quad (3-3-17a)$$

$$C_{total, \min} = \frac{C_5(C_{GD} + C_{DB})}{C_5 + C_{GD} + C_{DB}} + \frac{C_6(C_{GD} + C_{DB})}{C_6 + C_{GD} + C_{DB}} + \frac{C_7(C_{GD} + C_{DB})}{C_7 + C_{GD} + C_{DB}} + \frac{C_8(C_{GD} + C_{DB})}{C_8 + C_{GD} + C_{DB}} + \frac{C_9(C_{GD} + C_{DB})}{C_9 + C_{GD} + C_{DB}} + C_p \quad (3-3-17b)$$

如將單一個 MOS 開關來看，可以獲得 Figure 3.3.16 的等效電路圖，當 MOS on 時會獲得像 Figure 3.3.17(a) 的等效電路圖，當 MOS off 時會獲得像 Figure 3.3.17(b) 的等效電路圖，而 C_5' 、 C_6' 、 C_7' 、 C_8' 、 C_9' 的值則是由 C_5 、 C_6 、 C_7 、 C_8 、 C_9 所形成的電容值與 MOS 的 C_{GD} 與 C_{DB} 相互作用，如 Figure 3.3.16。其中電晶體的輸出電阻(R_{ON})必須儘可能的小，以增加 LNA 的增益。而寄生電容 C_p 則可以利用 buffer M3 來加以控制。

而所得到的 C_{total} 進而與 L_d 所形成的 LC 共振腔來決定 f_c (3-3-18)，也就是共振頻率點的位置，而在增益的表現上，由 R_d 與 R_{ON} 所組成的 r_{sum} 會影響到 power loss (3-3-16)，太大的 r_{sum} 會造成整個增益的失真，Table 3.3.3 是不同的開關形成的 LC 共振頻率 f_c 點。

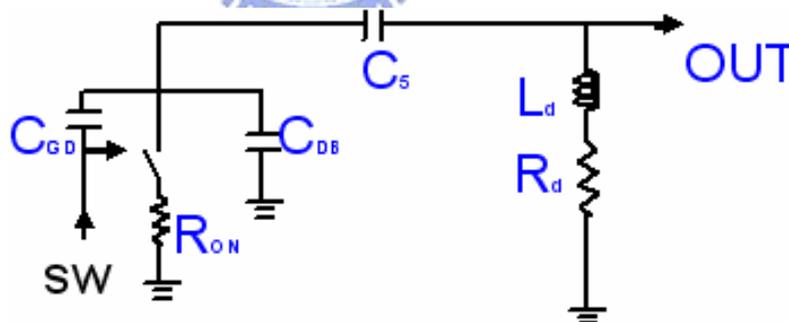


Figure 3.3.16 single switch circuit 等效電路

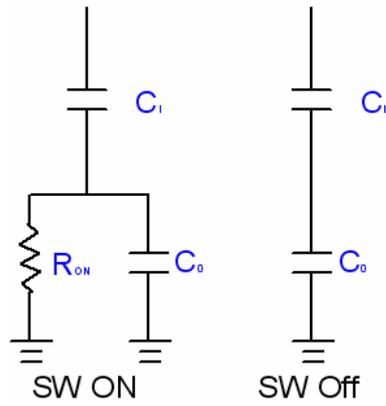


Figure 3.3.17 single switch circuit ON/OFF 等效電路

$$f_c = \frac{1}{2\pi\sqrt{L_d C_{total}}} \quad (3-3-18)$$

Table 3.3.3 不同開關所形成的共振頻率 f_c

	Vch1	Vch2	Vch3	Vch4	Vch5
3.96GHz	ON	ON	ON	ON	ON
4.48GHz	ON	Off	ON	ON	Off
5.01GHz	ON	Off	Off	Off	Off
5.54GHz	Off	ON	Off	Off	Off
6.07GHz	Off	Off	ON	Off	Off
6.6GHz	Off	Off	Off	ON	Off
7.12GHz	Off	Off	Off	Off	ON

3.4. 雜訊指數

雜訊是指源自物質中電子或電洞的隨機移動過程，當溫度高於絕對零度時，元件中的熱擾動是最基本的成因，雜訊是可以來自外部的

雜訊源的干擾，也有可能是來自系統自己的產生，不論是哪一種雜訊都會提高接收信號強度的下限，在整個通訊架構中，通訊電路最主要的設計方向都是如何使雜訊獲得最小，以得到最佳的系統輸出品質 [5]，而以一般電路架構而言，雜訊的來源很多，但不外乎分成幾大類，第一類是指由電阻或電晶體內部所產生的隨機雜訊，第二類是指接收到外部另一個頻道的訊息，稱之為 cross-coupling 的雜訊以及最後一類是由大自然產生的雜訊如雷雨等。

對 MOS 晶體而言也會有熱雜訊的產生，其主要的來源是來自於通道中所產生的雜訊，MOS 元件運作於飽和區時可以用一個連接汲極與源極端的電流源來建立通道雜訊模型，如 Figure 3.4.17，其中 $\overline{i_n^2} = 4kT\gamma g_{ds}$

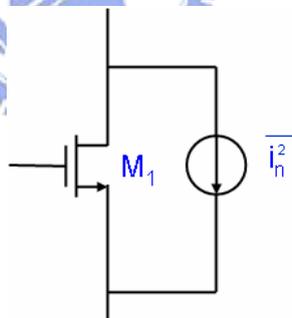


Figure 3.4.17 MOS之通道熱雜訊

而對 MOS 的電阻部分也會造成熱雜訊的產生，閘極、源極、汲極材料都將呈現一有限電阻，所以也會產生雜訊，但對一個相當寬的電晶體來說，源極與汲極電阻可被忽略不計，但是閘極電阻將會變得很重要，如 Figure 3.4.18，而所產生的雜訊為 $\overline{v_{n,out}^2} = 4kT \frac{R_G}{3} (g_m r_o)^2$

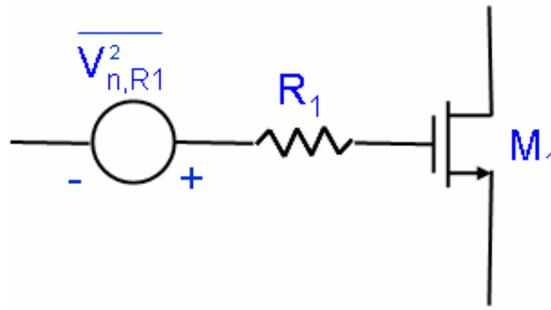


Figure 3.4.18 考慮 R_1 的熱雜訊模型

所以依照上面所敘述對一個完整的 MOS noise model 來說，會獲得如 Figure 3.4.19，而雜訊源也如(3-4-16)(3-4-17)

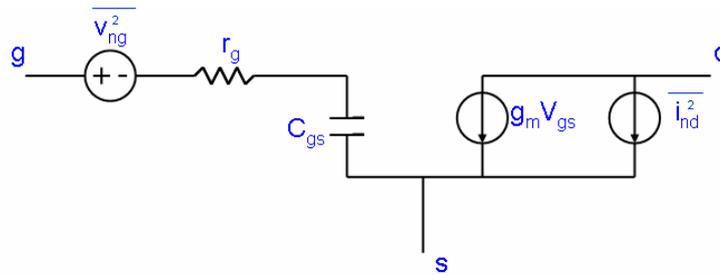


Figure 3.4.19 MOS的熱雜訊模型

$$\overline{i_{nd}^2} = 4kT\gamma g_{do} \Delta f + \frac{K_1}{f} \Delta f \quad (3-4-16)$$

$$\overline{v_{ng}^2} = 4kT \delta r_g \Delta f \quad (3-4-17)$$

所以針對本論文所提出的電路而言，Noise 主要是會由兩部分所組成，分別是由輸入匹配電路的損耗以及電晶體 M_1 的雜訊這兩部分所貢獻[16]。

我們可以知道每一個元件的品質因素 Q 都會影響到線路的雜訊值，所以對本論文所提出的輸入匹配線路來講，電感的品質因素 Q 也不例外的會影響到輸入匹配線路的雜訊值，所以一個高 Q 值的元件是可以將因輸入匹配網路的損耗所產生的雜訊值優化的一個方式；而對 M_1 所產生的雜訊值來說，選擇合適的 Width 搭配適合的偏壓將是獲得 M_1 雜訊指數優化的方式。

而依照[5]所提出有關 Noise 分析的方式，以及將電感所產生的負載效應加入計算，MOS 的雜訊源如 Figure 3.4.20(a)所示，並依照(3-4-14)(3-4-15)可獲得如 Figure 3.4.20(b)中輸入參考等效雜訊源。

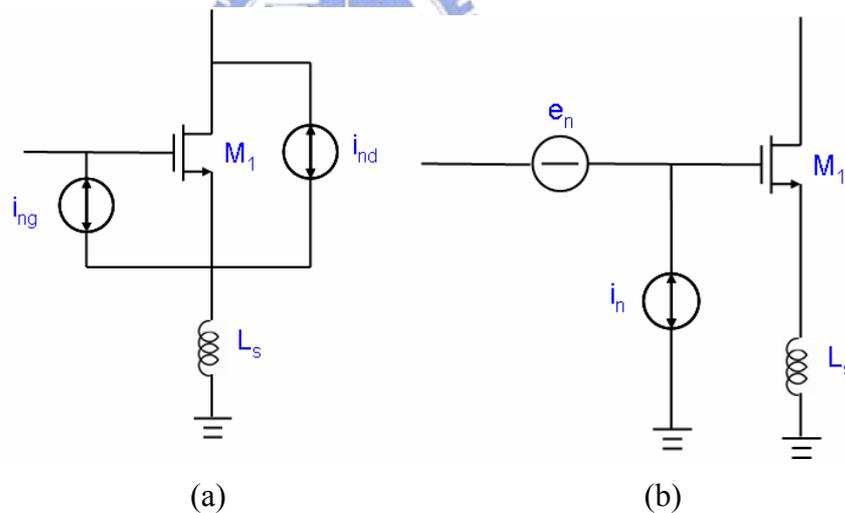


Figure 3.4.20 電晶體 M_1 雜訊模型 (a) M_1 雜訊源 (b) 輸入相關等效雜訊電路

$$i_n = i_{ng} + \frac{j\omega C_{gs}}{g_m} i_{nd} \quad (3-4-14)$$

$$Z_{in} = \omega_T L_s + \frac{1}{S(C_{gs})} + S(L_s + L_g) \quad (3-4-15)$$

其中 i_{nd} 是由於通道中的熱擾動所產生的汲極雜訊電流，而當 i_{ng} 所引入的閘極雜訊由於耦合效應的關係而對閘極端放電，則閘極雜訊與汲極電流雜訊的頻譜密度可由(3-4-16)(3-4-17)得到

$$S_{i_{ng}}(\omega) = 4kT\delta \frac{\omega^2 C_{gs}^2}{5g_{do}} \quad (3-4-16)$$

$$S_{i_{nd}}(\omega) = 4kT\gamma g_{do} \quad (3-4-17)$$

已知的雜訊參數[21] $\delta \cong 1.33 \sim 4$ ， $\gamma \cong 0.67 \sim 1.33$ ，而 g_{do} 則是當 $V_{ds}=0$ 時的通道傳導係數。

雜訊電壓 e_n 是由相關雜訊源 e_{nc} 與非相關雜訊源 e_{nu} 這兩個部分的總和，也就是 $e_n = e_{nc} + e_{nu}$ ，而相關阻抗 Z_c 就可以寫成(3-4-18)

$$\begin{aligned} Z_c &= \frac{S_{e_n i_n}(\omega)}{S_{i_n}(\omega)} = R_c + jX_c = jX_c \\ &= \frac{1 - \omega^2 L_s C_{gs} \frac{1 + 2|c|p\alpha\chi + \alpha^2\chi^2}{1 + |c|p\alpha\chi}}{j\omega C_t \frac{1 + 2|c|p\alpha\chi + \alpha^2\chi^2}{1 + |c|p\alpha\chi}} \end{aligned} \quad (3-4-18)$$

其中 $\chi = \sqrt{\frac{\delta}{5\gamma}}$ 、 $c = \frac{S_{ingind}(\omega)}{\sqrt{S_{ing}(\omega)S_{ind}(\omega)}}$ 是閘極雜訊與汲極雜訊相關的係

數，對一個 MOS 而言， $c \approx j0.4$ [21]。參數 $\alpha = \frac{g_m}{g_{do}}$ 說明了由於垂直基板

較短使得迅速飽和且移動性變低導致轉導函數變小的短通道的效應，

而兩個非相關雜訊源 e_{nu} 與 i_n 可以由(3-4-19)(3-4-20)得到，並根據所得

到的參數，可以得到 NF(3-4-21)

$$R_u = \frac{S_{e_{in}}(\omega)}{4kT} = \frac{\gamma}{\alpha^2 g_{do}} \times \frac{\alpha^2 \chi^2 (1 - |c|^2)}{1 + 2|c|p\alpha\chi + p^2 \alpha^2 \chi^2} \quad (3-4-19)$$

$$G_n = \frac{S_{i_n}(\omega)}{4kT} = \frac{\gamma}{\alpha^2 g_{d0}} \times \omega^2 C_i^2 (1 + 2|c|\alpha\chi + p^2 \alpha^2 \chi^2) \quad (3-4-20)$$

$$F = 1 + \frac{R_u + |Z_c + Z_s|^2 G_n}{R_s} \quad (3-4-21)$$

而輸入阻抗 $Z_s = R_s + jX_s$ 。

對傳統的雜訊優化理論而言[19]、[5]，在輸入阻抗 $Z_s = Z_{opt} = R_{opt} + jX_{opt}$

且 $X_{opt} = -X_c$ 的條件下可獲得最小的 NF 值，所以 R_{opt} 會如(3-4-22)得到

$$R_{opt} = \sqrt{\frac{R_u}{G_n}} = \frac{\alpha\chi\sqrt{1 - |c|^2}}{\omega C_i (1 + 2|c|\alpha\chi + \alpha^2 \chi^2)} \quad (3-4-22)$$

(3-4-18)與(3-4-22)概略的顯示了串聯 L_s 與 C_t 共振的最佳化輸入阻抗，對實際上來說，接近最小的 NF 必須考慮包括輸入阻抗匹配電路的整個放大器頻寬，必須包含整個寬頻帶的 X_{opt} ，所以根據前面所討論的結果，LNA 的 NF 會如(3-4-23)

$$F(\omega) \approx 1 + \frac{R_u}{R_s} + G_n R_s = 1 + \frac{P(\omega)}{g_m R_s} \times \frac{\gamma}{\alpha} \quad (3-4-23)$$

而

$$p(\omega) = \frac{\alpha^2 \chi^2 (1 - |c|^2)}{1 + 2|c|\alpha\chi + \alpha^2 \chi^2} + \omega^2 C_{gs}^2 R_s^2 (1 + 2|c|\alpha\chi + \alpha^2 \chi^2) \quad (3-4-24)$$

LNA NF 由(3-4-23)中可得知主要是由汲極偏壓電流 I_D 、過載電壓 V_{OD} 、電晶體寬度 W 以及頻率所決定，為了讓雜訊指數在我們所需要的頻寬中都是最佳化的表現，我們必須考慮平均雜訊值，所以必須減少變數，Figure 3.4.21 是考慮 I_D 與 W 變化的平均雜訊值，也因此對每一個偏壓電源來說，都必須選擇適當的電晶體寬度來得到最小的 NF

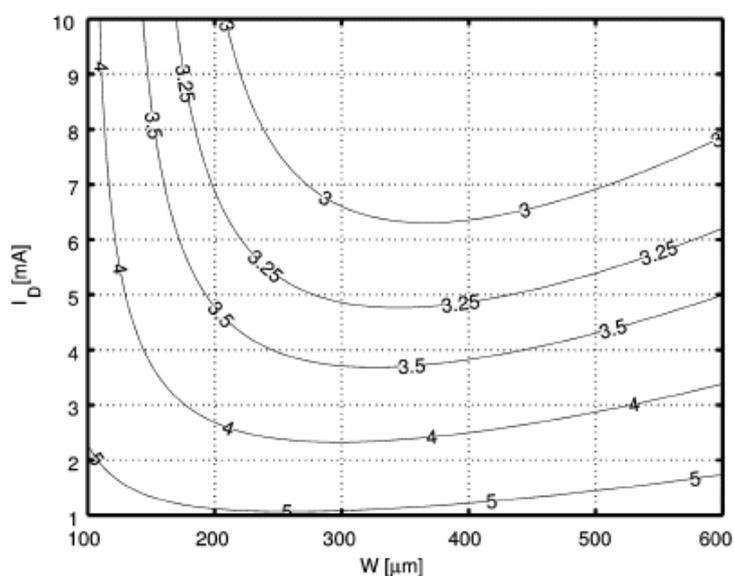


Figure 3.4.21 平均雜訊圖

因為 Figure 3.4.21 中所呈現的數據主要是針對 M_1 所產生的雜訊指數，但是實際 LNA 所產生的雜訊指數會預期中的差，主要是因為下列因素：

1. 輸入阻抗電路的損耗，就像是電感的品質因素的限制。
2. 疊接元件 M_2 所產生的雜訊，尤其是在高頻的部份。
3. 負載電阻 R_L 所產生的雜訊。
4. 輸出緩衝 M_3 所產生的雜訊。

3.5. 增益分析

對一個使用源極退化的疊接組態結構來說，會具有改善反向的隔離度，頻率響應，較好的 Noise Figure 以及比較低的米勒效應，而本論文所使用的 MB-LNA 如 Figure 3.5.22

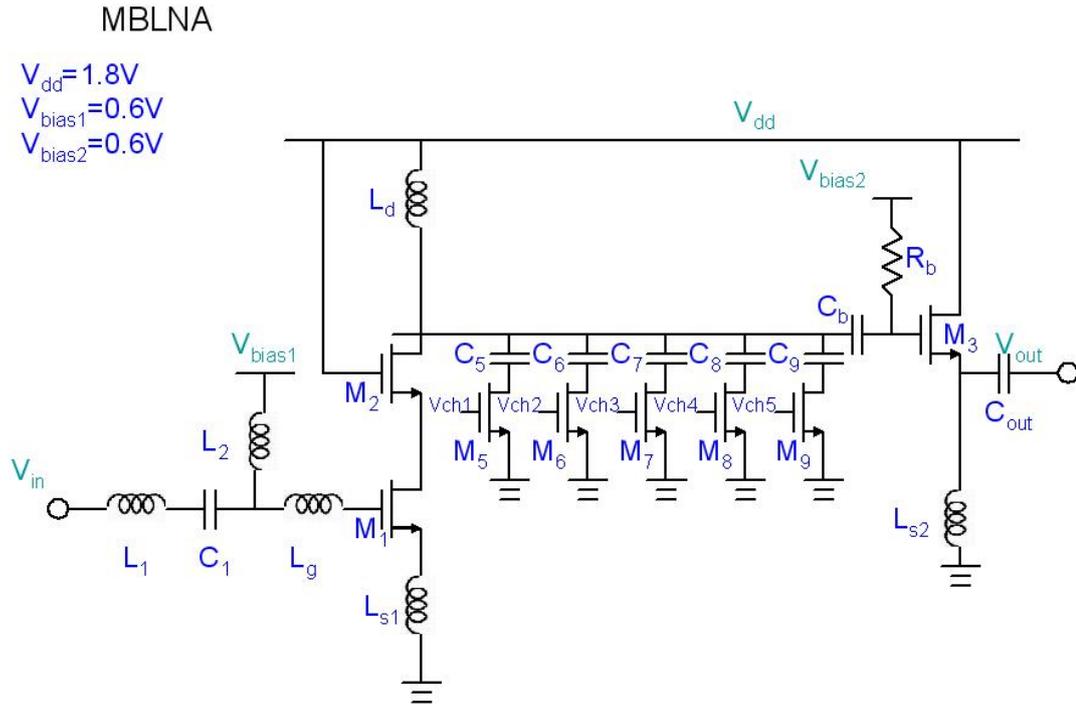


Figure 3.5.22 MB LNA 與 Buffer 架構

對高頻來說，電晶體的動作如同一個電流放大器，電流增益為

$$\beta(s) = \frac{g_m}{sC_{gs}} \text{ 且 } M_1 \text{ 的電流消耗為 } \frac{V_{in} \times W(s)}{R_s}, \text{ 其中 } W(s) \text{ 是 Chebyshev 轉換}$$

式，所以整個電壓增益是

$$\frac{V_{out}}{V_{in}} = -\frac{g_m W(s)}{sC_{gs} R_s} \times [(R_d + sL_d) // C_c] = -\frac{g_m W(s)}{sC_{gs} R_s} \times \frac{R_d(1 + sL_d/R_d)}{1 + sR_d C_c + s^2 L_d C_c} \quad (3-5-25)$$

而總聯合電容 $C_c = C_{db2} + [C_{pass} C_{gd3} / (C_{pass} + C_{gd3})]$ ， C_{db2} 是電晶體 M_2 的汲極-

基底電容，而 C_{gd3} 是 M_3 的閘極-汲極電容，由(3-5-25)得知，電流增益

的下降會由 L_d 補償，且 C_{out} 會與 L_d 在所需頻帶外形成一個虛擬共振。

整個的 M_1 汲極離散電容(包括 C_{db1} 與 C_{db2})形成一個限制放大器高頻頻寬的極點，而將 M_1 的基底與源極相連接會改善放大器的效能，如 Figure 3.5.23

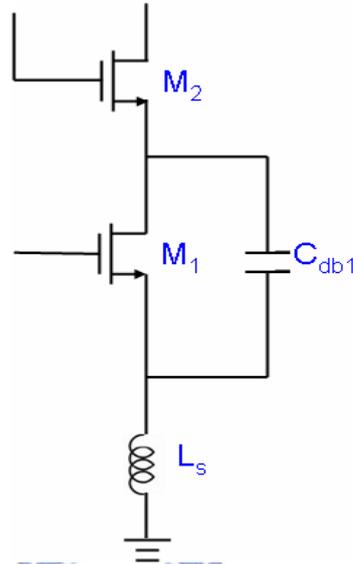


Figure 3.5.23 利用 C_{db1} 來改善離散電容效應

在這個方式中， M_1 源極與基底間的電容是短路的而 C_{db1} 是連接在 M_1 的源極與汲極之間， C_{db1} 與會降低米勒效應的影響且整個汲極點上的電容值會落在高頻，也因此提升了放大器的頻寬。

而緩衝器 M_3 是用來控制外部的低阻抗負載，外部的輸出電壓 V'_{out} 會與放大器所放大的輸出電壓有關

$$\frac{V'_{out}}{V_{out}} = \frac{sL_{S2}}{sL_{S1} + 1/g_{m3}} \quad (3-5-26)$$

緩衝器主要是設計來改善放大器在高頻的功率增益，電感 L_{S2} 是一個電流源，緩衝器的偏壓以及模擬再較高頻段維持高增益的匹配元件，也因此可以在所需要的頻段維持較平坦的增益表現。

第四章

晶片製作的實現與量測結果

4.1. 佈局考慮

整個 MB LNA 的佈局圖如 Figure 4.1.1，佈局的考慮對高頻電路的设计來說是很重要的，因為可能會嚴重的影響到電路的效能，為了減少雜訊對電路的影響必須考慮 3.4 節所討論的事項，MOSFET 是使用 multi-finger，電流源 V_{dd} 為 1.8V，MOS 使用 0.18um 的閘極長度以獲得較快的速度，另外 MIM (Metal- Insulator-Metal) 的電容選擇 non-shield，也就是在每一個電容單位面積中不使用 shield，而電感選擇六角形的結構，Q 值為小於 18，以上是在本論文電路中所使用的元件。

在每一個元件上加上 Guard-ring 以避免基底的雜訊與干擾，一個 shield 的信號源 GSG 結構使用在射頻輸入端與射頻輸出端以減少由基底所產生的耦合雜訊，至於電路中所使用的連接線，若是電源線則必須考慮電流密度且信號線設計上必須要儘可能的短，所有內部連接線的轉角必須為 45 度角以避免尖端放電的效應，而射頻輸入與射頻輸出在佈局上為相對的以避免耦合效應的產生，最後整個晶片的大小為 1.239mm X 0.9mm。

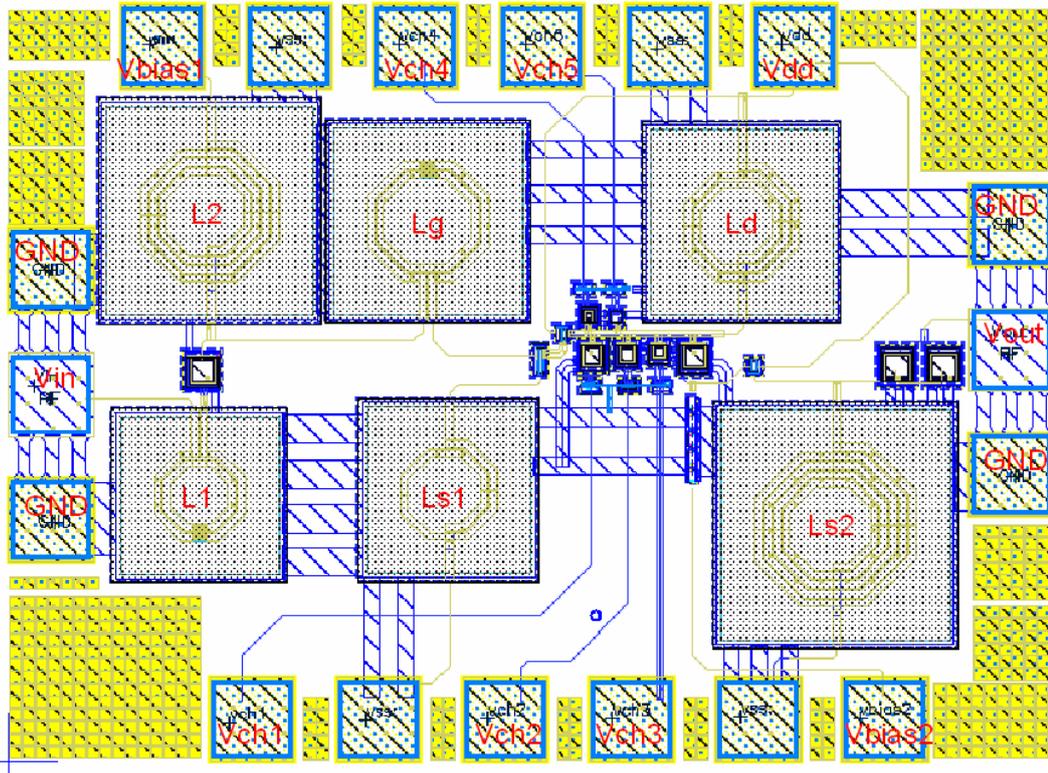


Figure 4.1.1 MB LNA IC 佈局圖

4.2 量測考慮

整個電路設計上是以 on-wafer 量測為設計考量，所以電路設計必須依據國家晶片中心(Chip Implementation Center; CIC)的高頻探針工作站的測試規範，在整個 on-wafer 的量測上使用兩個 6-pins 的直流 PGP 探針與兩個射頻的 GSG 探針，Figure 4.2.2 就是整個測試環境的方塊圖，上方與下方的 DC PGP probe 對整個電路提供了 DC 電壓與 bias 偏壓以及開關的啟動/關閉的 DC 位準，左右兩邊的 RF GSG probe 則是提供 RF in/out 的訊號。

在整個 MB LNA 的 RF 輸入端必須有一個大電容來隔離電路與量測

設備的直流，Figure 4.2.3 則呈現了使用 4 組探針做 on-wafer 量測照片圖，Figure 4.2.4~Figure 4.2.6 則是量測 S 參數、雜訊指數、1-dB compression point 與 3-dB intercept point 的配置圖，我們使用以 LabView 為主的射頻 IC 量測系統來量測 MB LNA 的線性度，我們在下一章節將討論實際量測與模擬的結果。

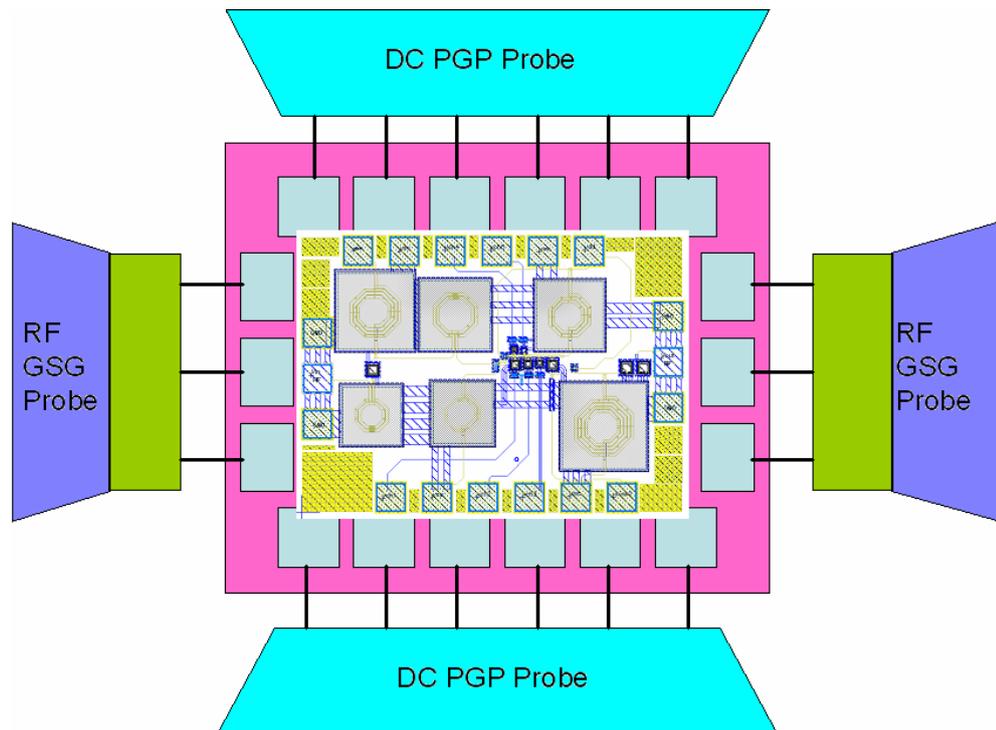


Figure 4.2.2 MB LNA on-wafer 量測方塊圖



Figure 4.2.3 使用 4 組探針做 on-wafer 量測

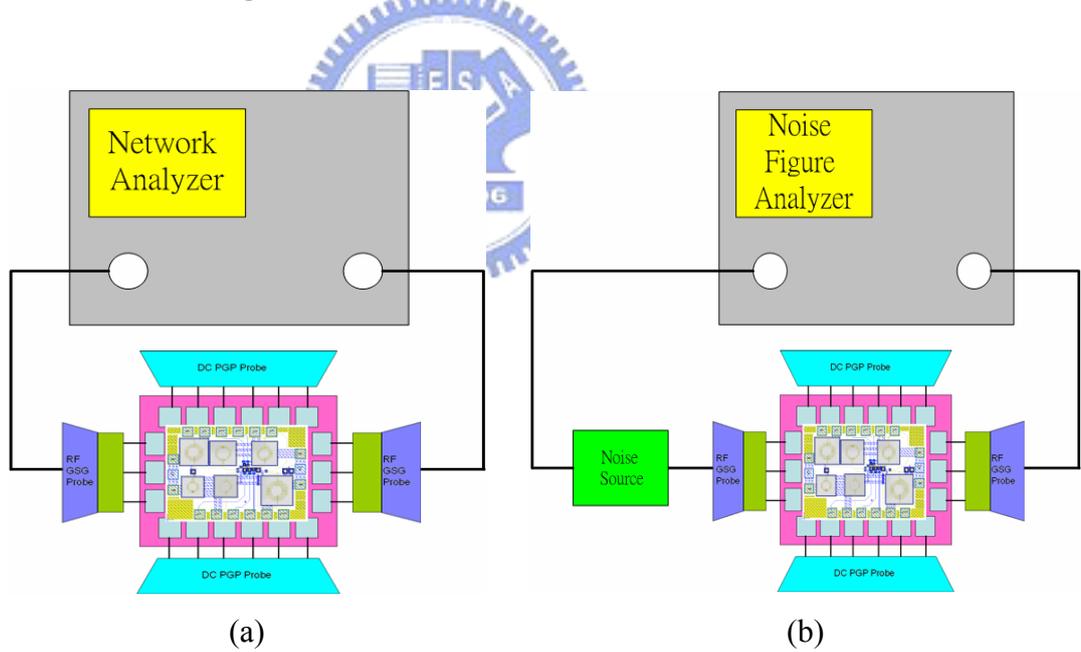


Figure 4.2.4 量測方塊圖 (a) S-參數 (b) noise figure

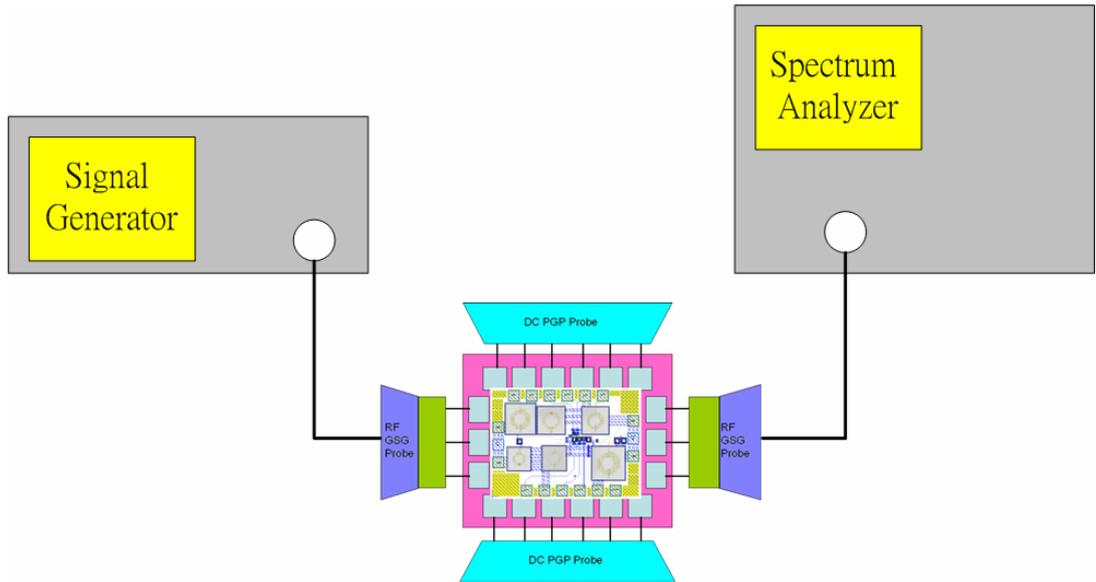


Figure 4.2.5 P1 dB Compression Point 量測方塊圖

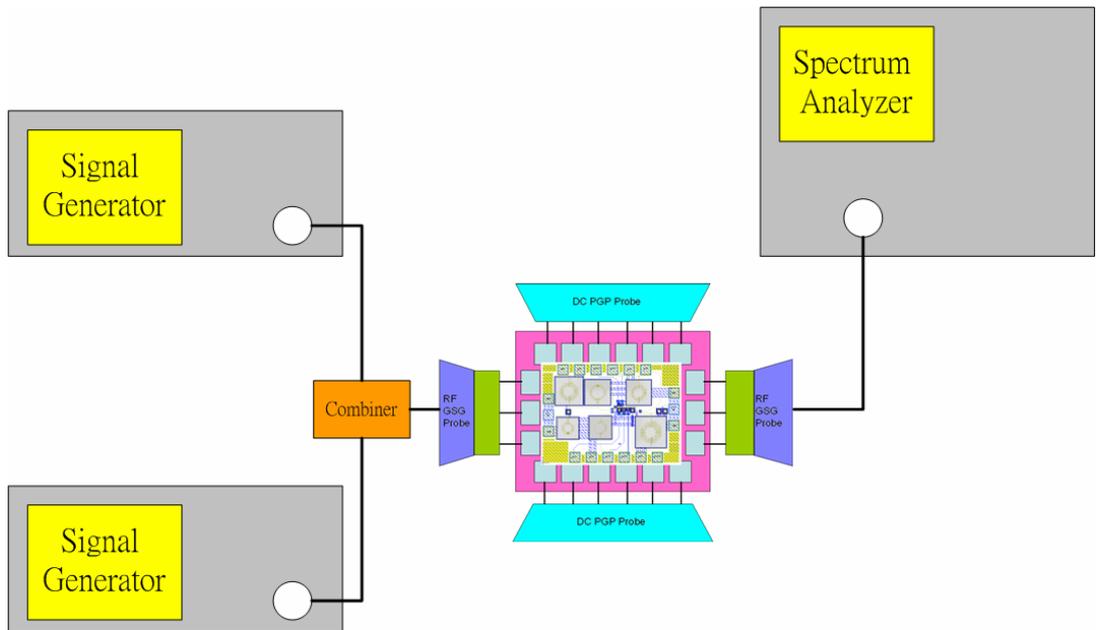


Figure 4.2.6 third-order intercept point 量測方塊圖

4.3 量測結果與討論

本論文的 IC 設計與製作是使用 TSMC 0.18 μ m mixed-signal/RF CMOS 1P6M 製程，S 參數在整個頻帶的表現如 Figure4.3.10~Figure 4.3.13 所量測，每一個頻道的 S 參數量測結果則如 Figure 4.3.14~Figure

4.3.20，所量測到的 $S_{11} < -5\text{dB}$ 而 $S_{22} < -9\text{dB}$ 在整個 3.1GHz~10.6GHz 的 UWB 頻寬中，功率放大(S21)在 3.9GHz~7.12GHz 的響應為 3.5dB~7dB 左右。雜訊指數的量測結果如 Figure 4.3.21~Figure 4.3.27，在不同的頻道中，雜訊指數會跟著變化，最小的雜訊指數為工作於頻道 4 (5.015GHz) 時的 4.54dB(at 4.1GHz)，而所有頻道中的雜訊指數不會超過 6.7dB，可參考 Table 4.3.1。 $P_{1\text{dB}}$ 的量測是針對 8 個頻道進行，量測結果如 Figure 4.3.28 ~Figure 4.3.34，所得到的 $P_{1\text{dB}}$ 在各個頻率分別是 -8dB 在 channel 2 (3.96GHz)，-8dB 在 channel 3 (4.48GHz)，-12dB 在 channel 4 (5.01GHz)，-11dB 在 channel 5 (5.54GHz)，0dB 在 channel 6 (6.07GHz)，-12dB 在 channel 7 (6.6GHz)，-10dB 在 channel 8 (7.12GHz)，可參考 Table 4.3.2。 IP3 的量測也是針對 8 個頻道進行，所得到的結果分別為 4.7dB 在 channel 2 (3.96GHz)，4.8dB 在 channel 3 (4.48GHz)，4.9dB 在 channel 4 (5.01GHz)，7dB 在 channel 5 (5.54GHz)，8dB 在 channel 6 (6.07GHz)，6dB 在 channel 7 (6.6GHz)，3dB 在 channel 8 (7.12GHz)，量測結果如 Figure 4.3.35~ Figure 4.3.41，並可參考 Table 4.3.3。

由量測的結果可以知道，電路設計的困難點在於跳頻開關機制的實現以及離散因素的考量，當一個 RF 信號輸入時，由 substrate 所產生的離散電容的效應是非常重要的，對輸入匹配網路來說， C_c 的大小會影響到整個功率增益，而 M_2 中的 C_{gs} 由於提供了一個路徑，也會影響到

功率的損耗，此外，在電路設計中， L_{s1} 是一個小電感，所以製程的變化也會影響到電感值的大小，而在開關電路中由於是使用電容作為共振頻率的控制變因，所以製程的變化影響到電容值進而可能影響到共振頻率點。

由整個量測結果可以知道，整個 MB LNA 電路的 S 參數響應與原始模擬的預期結果不同，所以我們試著去修正模擬的結果並與量測結果做個比對，我們假設在電晶體的大小與模擬結果相同的條件下考慮每一個被動元件都有可能產生 10% 左右的變動誤差。雖然我們使用晶圓廠所提供的螺旋狀電感與 MIM 電容模型來進行模擬，但仍有兩個變數讓我們假設元件可能有 10% 的誤差存在，第一個是只有一種大小尺寸的螺旋狀電感被量測，例如一個電感會由這些 $W=9\mu\text{m}$, $S=2\mu\text{m}$, $R=30\mu\text{m}$, $60\mu\text{m}$, $90\mu\text{m}$, $120\mu\text{m}$, $N=1.5, 3.5, 5.5$ 所決定，其中 W 是電感 track 寬度， S 是每一個 track 間間距， R 是 inner radius，而 N 則是指圈數。電感值不會只有某一個特定的 model 所產生的，舉例來說， L_1 是由 $W=9\mu\text{m}$, $S=2\mu\text{m}$, $R=34\mu\text{m}$ 以及 $N=2$ 所構成，但是相同的 L_1 也有可能由其它的電感 model 來計算得到，如 $W=9\mu\text{m}$, $S=2\mu\text{m}$, $R=55\mu\text{m}$, $95\mu\text{m}$ 以及 $N=1.5, 1$ 一樣可獲得心相同的電感值，所以假如模型的準確度不夠，就無法忽略電感模型所可能產生的誤差，尤其被動元件會影響到整個匹配電路的敏感度，相同的問題一樣會發生在 MIM 電容模型當中，另

外一個變數則是由金屬線到基底之間的離散電容效應無法在電路設計的過程中經由 layout parasitic extraction 被精確的預估出來。

而在整個電路上有幾個離散因素需要被考慮，首先在整個輸入匹配網路中，金屬線到地有可能產生一個離散電容 C_2 ，如 Figure 4.3.7 所示。第二個是考慮開關電路中所產生的離散電容 C_{para} ，如 Figure 4.3.8，以及 L_d 線路上所產生的雜散電阻 R_d ，如 Figure 4.3.9 所示。

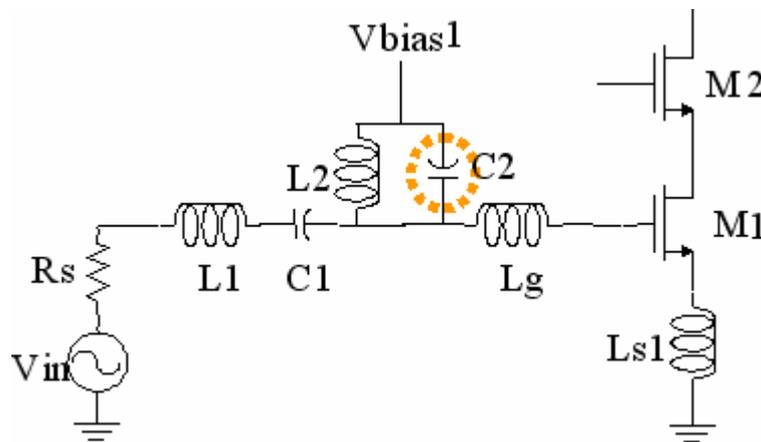


Figure 4.3.7 在輸入匹配電路中考慮離散電容 C_2

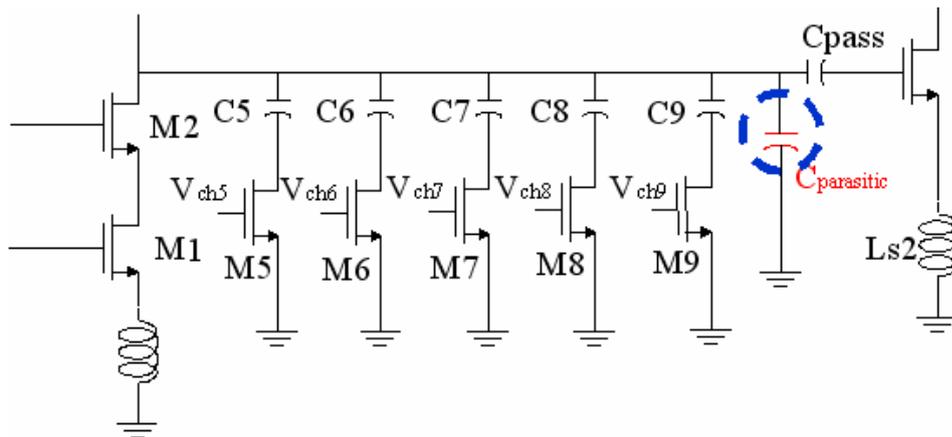


Figure 4.3.8 在開關電路中考慮離散電容 $C_{parasitic}$

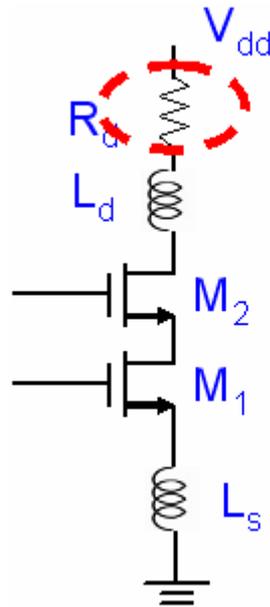
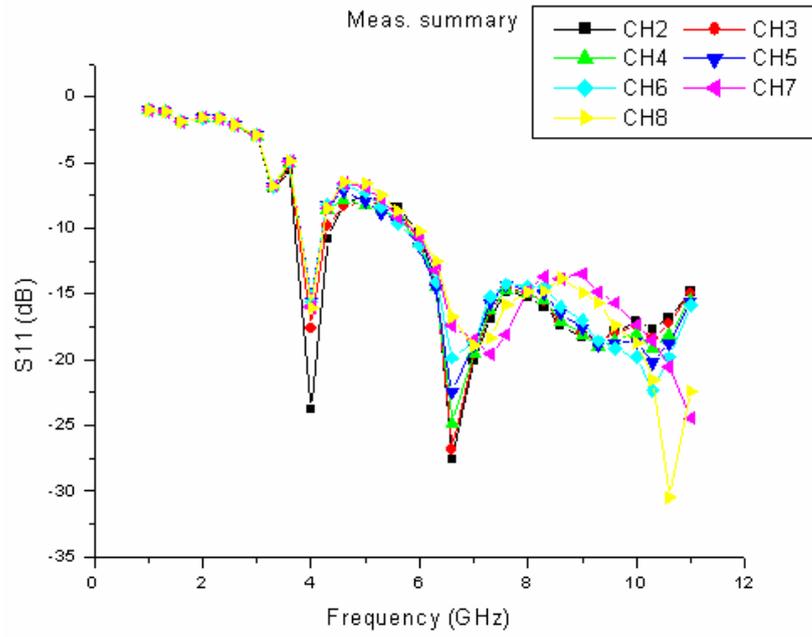


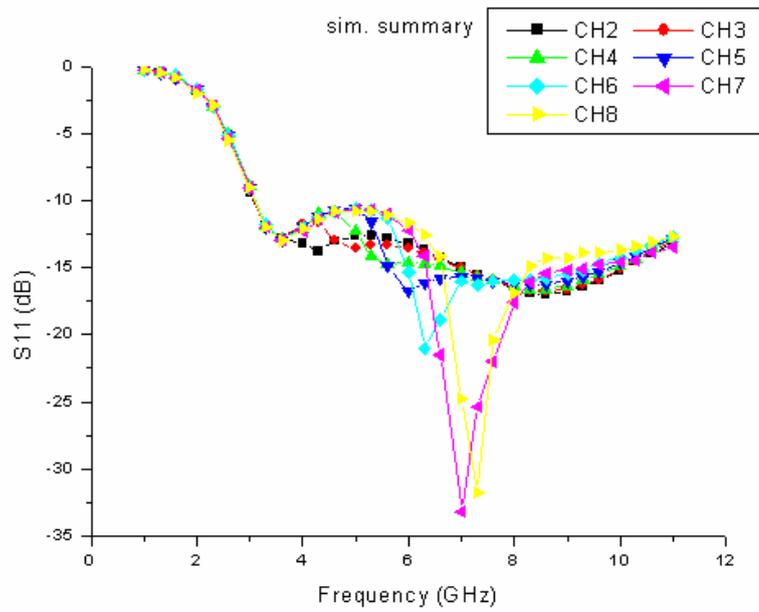
Figure 4.3.9 在 L_d 線路上考慮雜散電阻 R_d

經由上面所述的原因，我們修正了 MB-OFDM UWB LNA 的被動元件的變化而產生了與量測結果相似的模擬結果，整個比較的結果同樣在 Figure 4.3.7~Figure 4.3.38 表示，修正後的 S 參數模擬結果與量測結果在頻率點上的響應相似，但在能量大小上會不太相同，這就意味著被動元件的變化影響了頻率響應的變化，而在整個線性度的量測上會比修正後的結果好是因為整個功率增益的衰減。

最後，整個 MB LNA 電路耗電流為 11.5mA，所以電路的 DC 偏壓是正常工作，且 S22 也會因為開關電路的切換 LC 共振頻率點而變化，所以 MB LNA 的跳頻概念是成立的，但是必須考慮更多離散效應對整個電路的影響，整個模擬與實際量的比較結果，如 Table. 4.3.2。



(a)



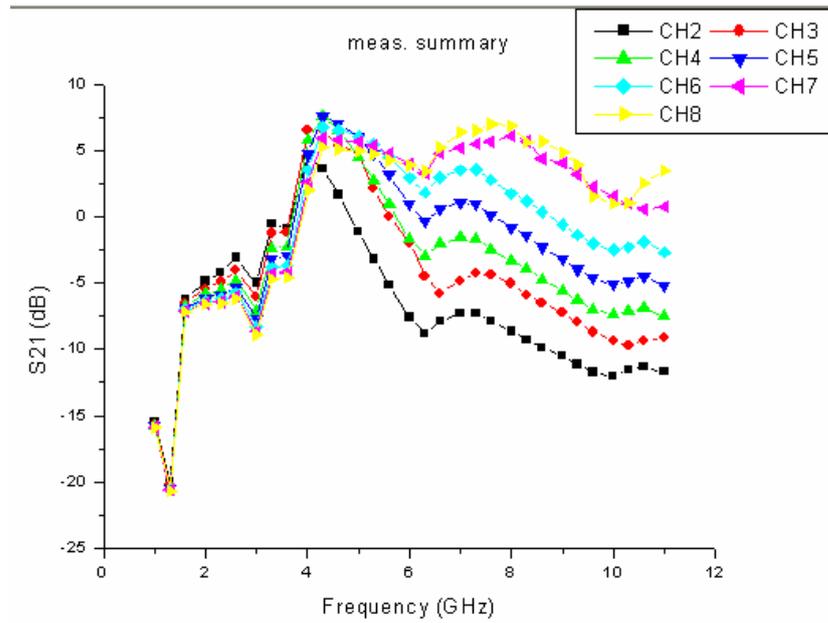
(b)

	measurement	simulation
BW(GHz)	3.9-7.12	3.4-7.5
S11	<-6.48dB	<-12.3dB

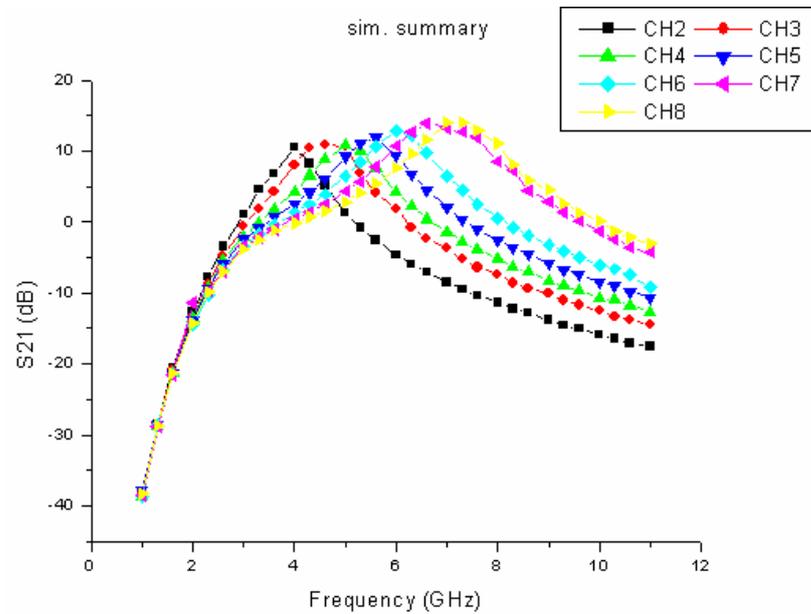
(c)

Figure 4.3.10 S11 參數在整個頻帶中的量測與模擬比較

(a)量測結果 (b)模擬結果 (c) 比較表



(a)



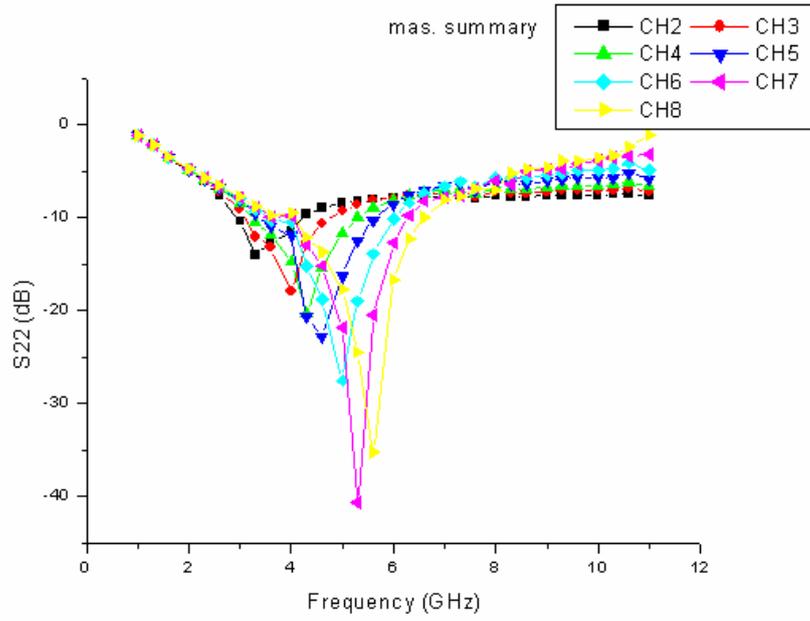
(b)

G max	CH2	CH3	CH4	CH5	CH6	CH7	CH8
Mea.	4.89dB (4GHz)	7.51dB (4.1GHz)	7.57dB (4.2GHz)	7.53dB (4.2GHz)	6.72dB (4.2GHz)	6.36dB (7.3GHz)	7.31dB (7.4GHz)
Sim	10.5dB (3.96GHz)	10.9dB (4.48GHz)	10.8dB (5.01GHz)	12dB (5.54GHz)	12.8dB (6.07GHz)	13.8dB (6.60GHz)	14.1dB (7.12GHz)

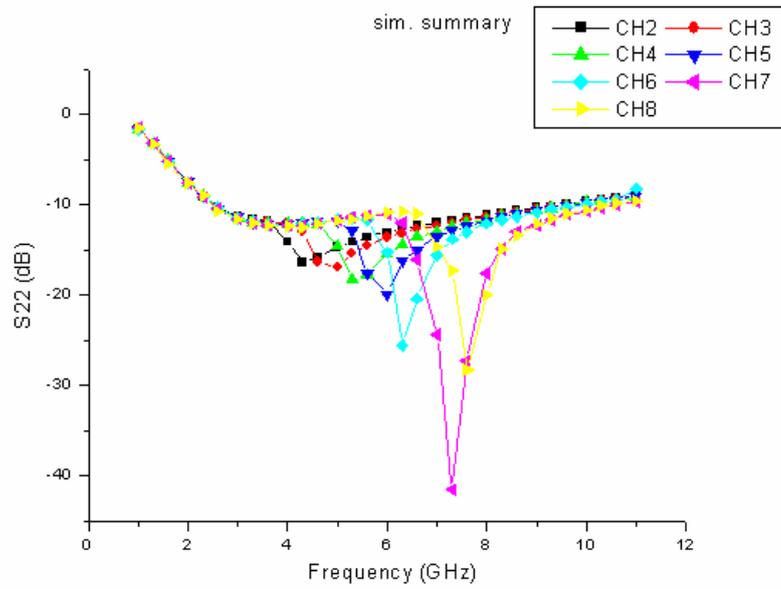
(c)

Figure 4.3.11 S21 參數在整個頻帶中的量測與模擬比較

(a)量測結果 (b)模擬結果 (C)比較表



(a)



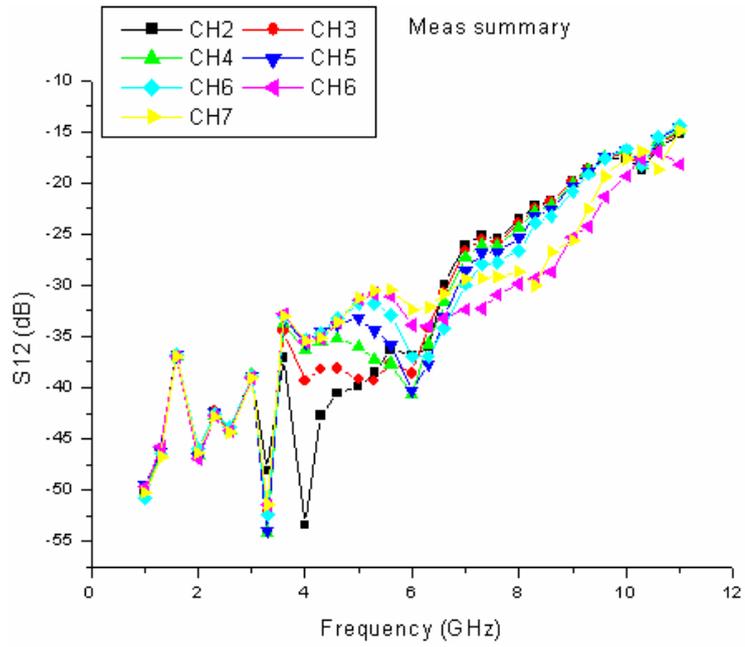
(b)

S22(min)	CH2	CH3	CH4	CH5	CH6	CH7	CH8
Mea.	-14.66dB (3.3GHz)	-17.9dB (3.9GHz)	-22.4dB (4.1GHz)	-22.84dB (4.5GHz)	-27.52dB (4.9GHz)	-40.65dB (5.2GHz)	-38.15dB (5.4GHz)
Sim	-16.4dB (4.3GHz)	-16.9dB (5GHz)	-18.2dB (5.3GHz)	-19.9dB (6.0GHz)	-25.2dB (6.3GHz)	-41.5dB (7.3GHz)	-28.2dB (7.6GHz)

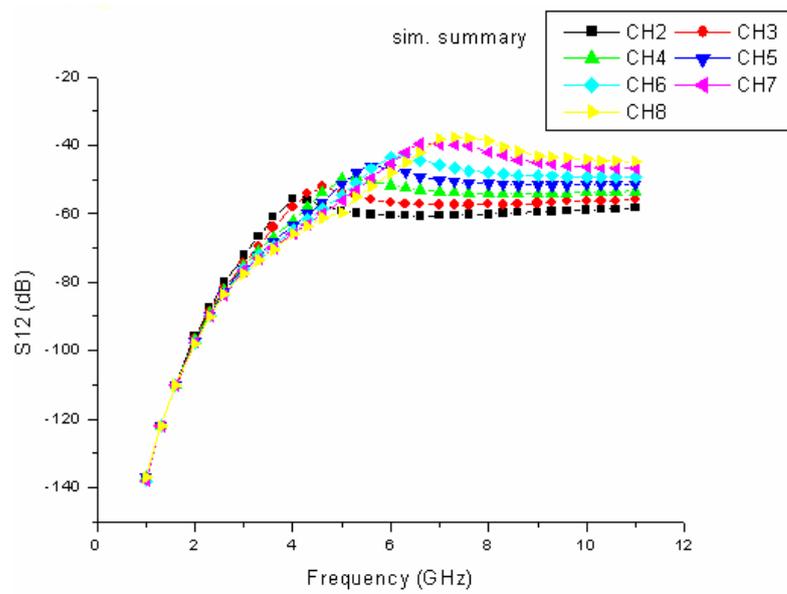
(c)

Figure 4.3.12 S22 參數在整個頻帶中的量測與模擬比較

(a)量測結果 (b)模擬結果 (c)比較表



(a)



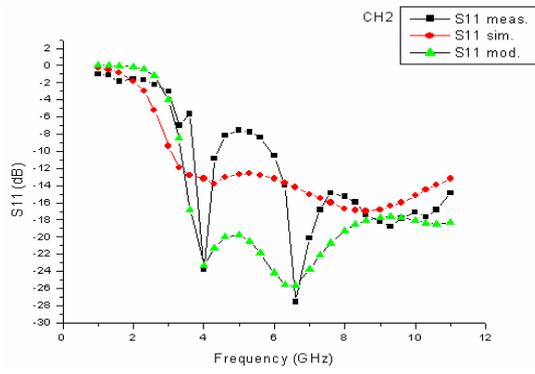
(b)

	measurement	simulation
BW(GHz)	3.1-10.6	3.1-10.6
S12	<-15dB	<-35dB

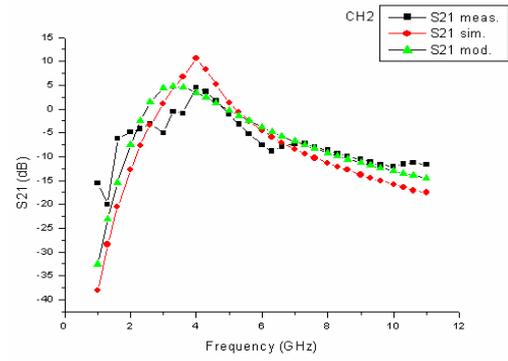
(c)

Figure 4.3.13 S12 參數在整個頻帶中的量測與模擬比較

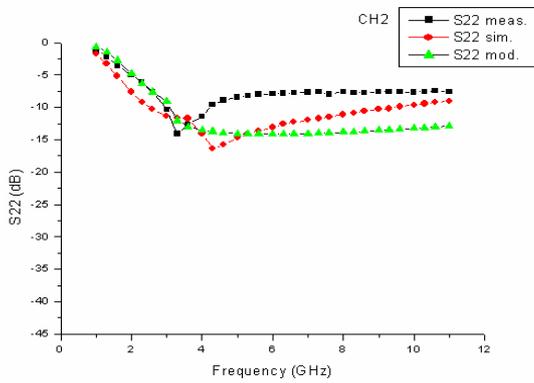
(a)量測結果 (b)模擬結果(c)比較表



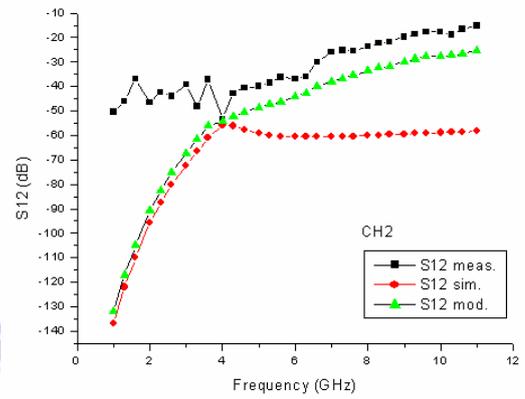
(a)



(b)

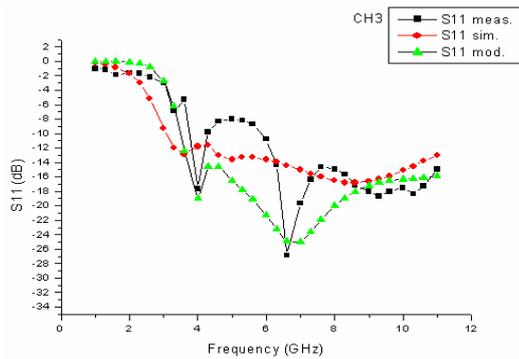


(c)

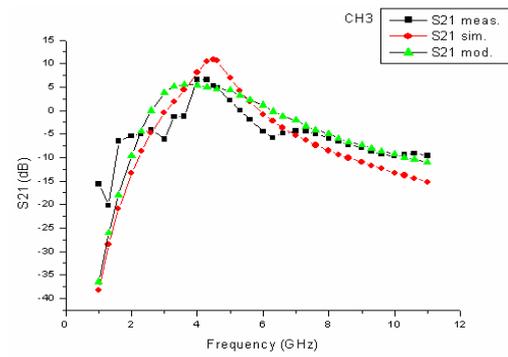


(d)

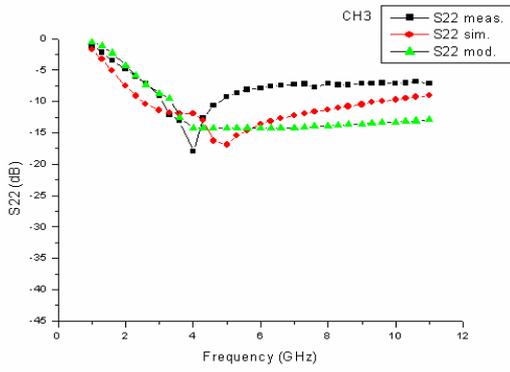
Figure 4.3.14 S 參數在 Channel 2 量測與模擬比較圖(a) S11 (b) S21 (c) S22 (d) S12



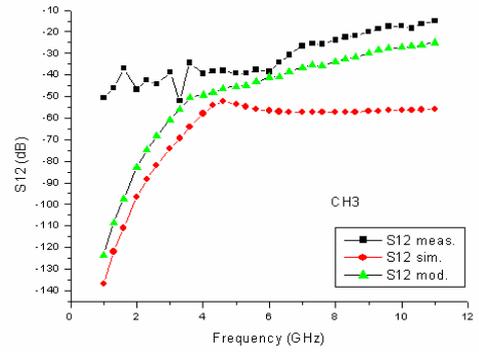
(a)



(b)

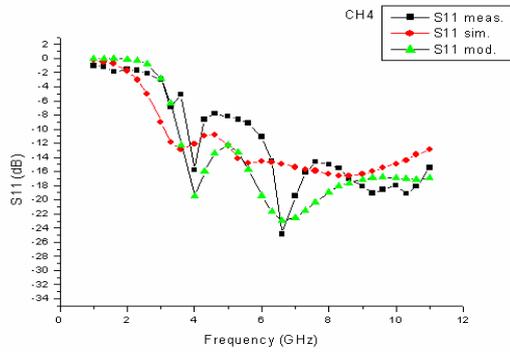


(c)

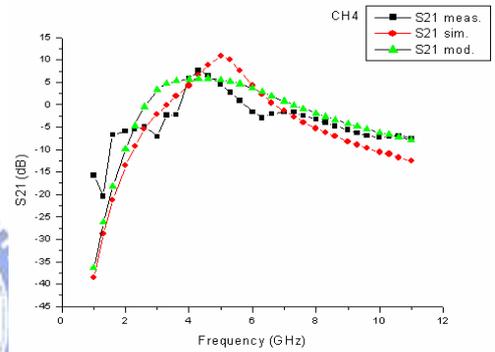


(d)

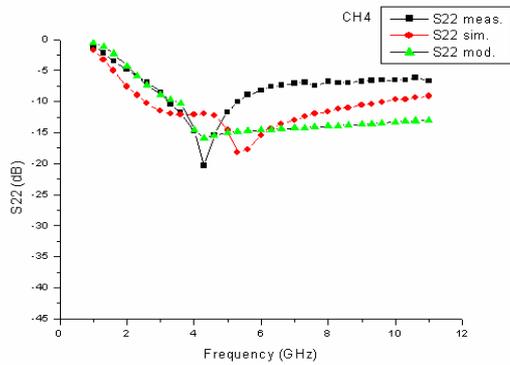
Figure 4.3.15 S 參數在 Channel 3 量測與模擬比較圖(a) S11 (b) S21 (c) S22 (d) S12



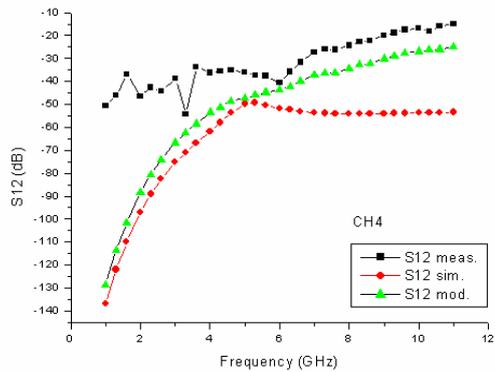
(a)



(b)

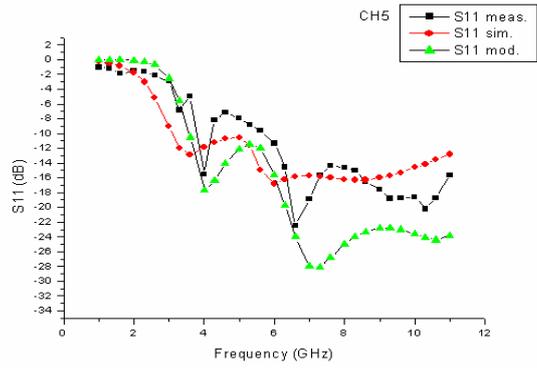


(c)

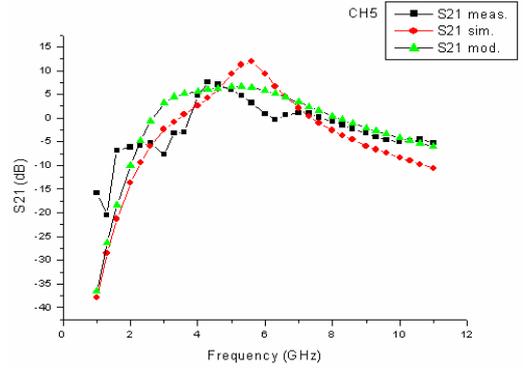


(d)

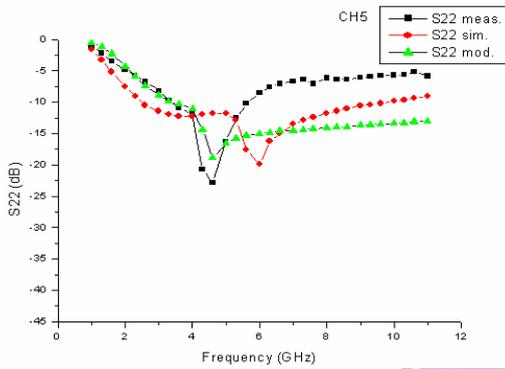
Figure 4.3.16 S 參數在 Channel 4 量測與模擬比較圖(a) S11 (b) S21 (c) S22 (d) S12



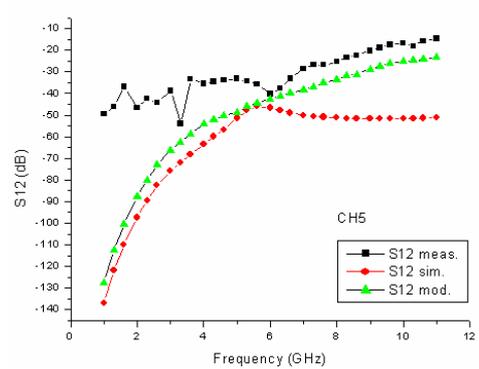
(a)



(b)

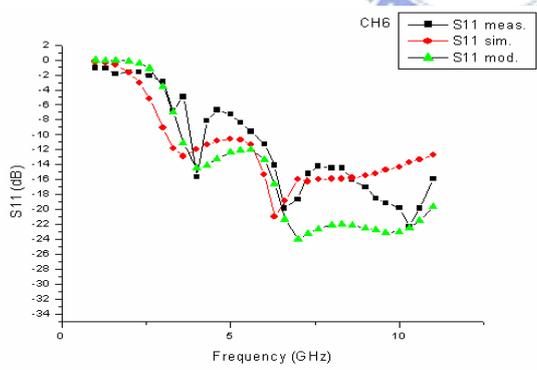


(c)

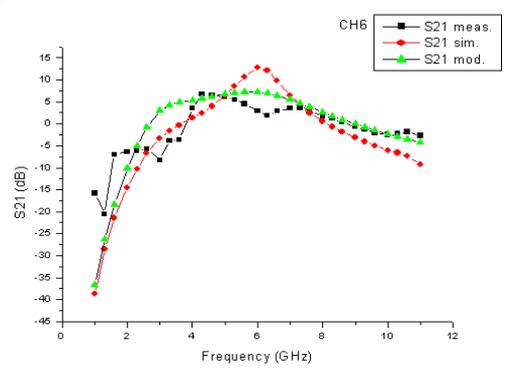


(d)

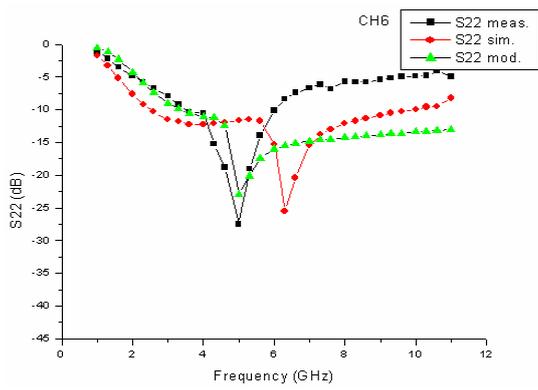
Figure 4.3.17 S 參數在 Channel 5 量測與模擬比較圖(a) S11 (b) S21 (c) S22 (d) S12



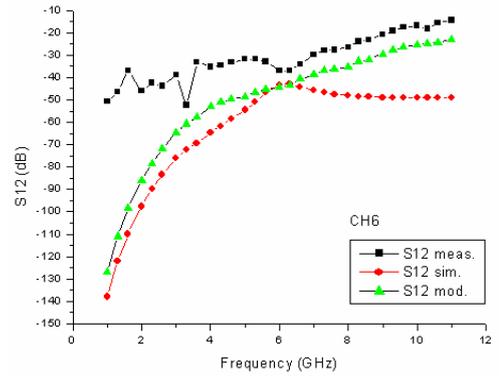
(a)



(b)

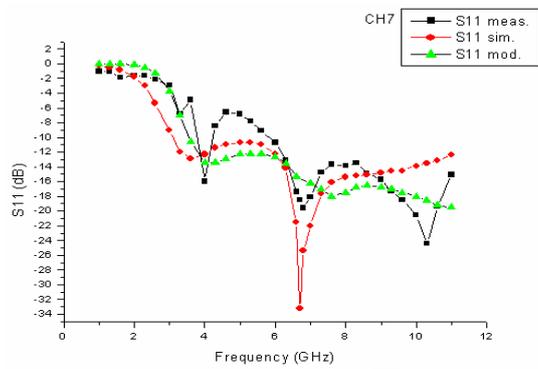


(c)

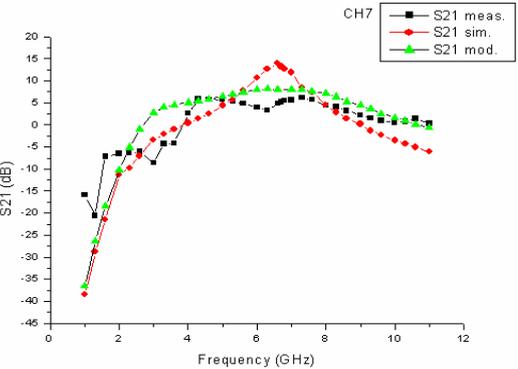


(d)

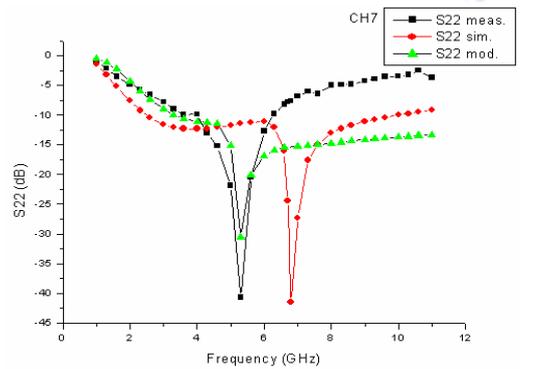
Figure 4.3.18 S 參數在 Channel 6 量測與模擬比較圖(a) S11 (b) S21 (c) S22 (d) S12



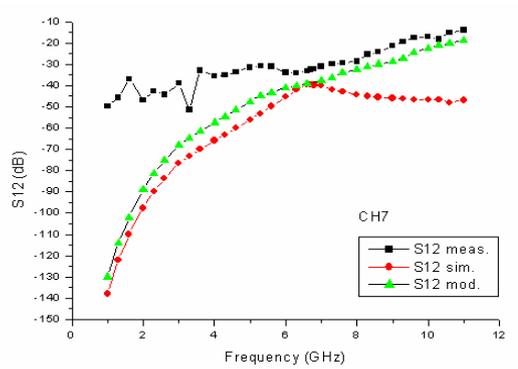
(a)



(b)



(c)



(d)

Figure 4.3.19 S 參數在 Channel 7 量測與模擬比較圖(a) S11 (b) S21 (c) S22 (d) S12

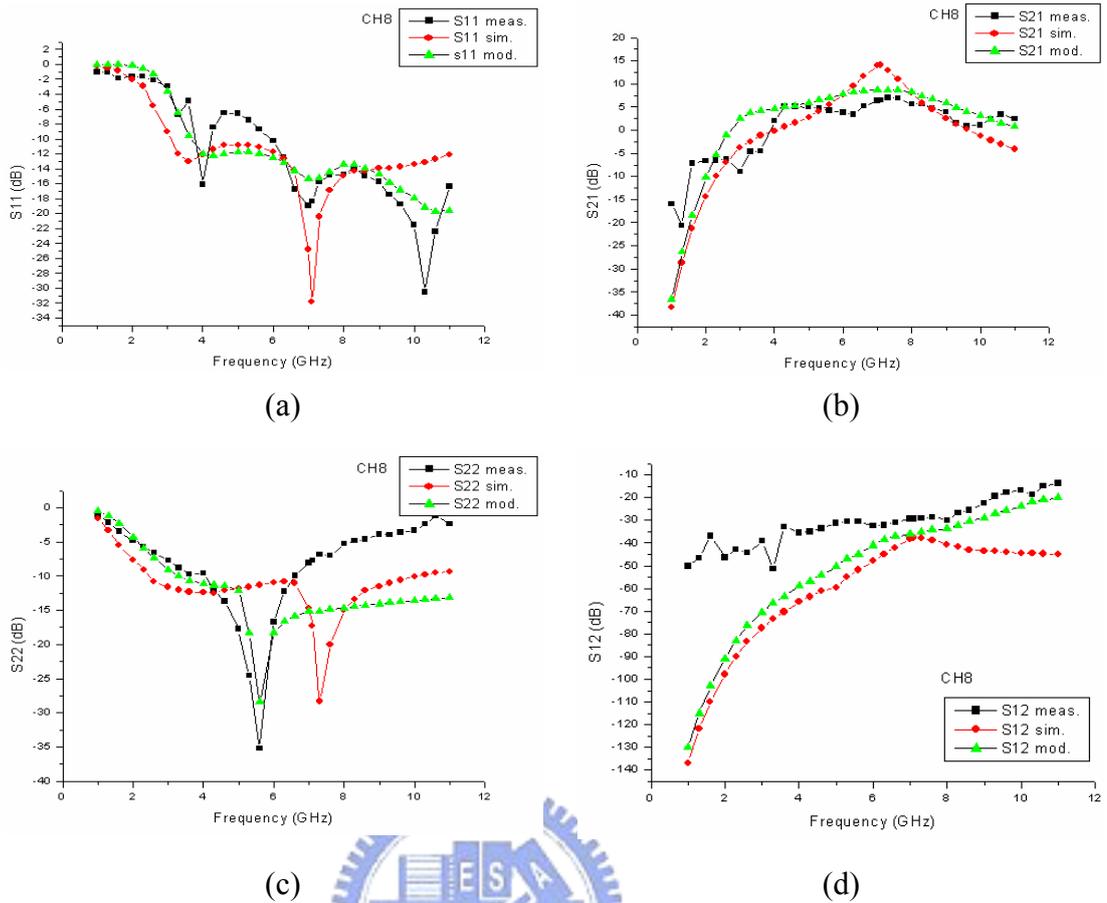


Figure 4.3.20 S 參數在 Channel 8 量測與模擬比較圖(a) S11 (b) S21 (c) S22 (d) S12

Table 4.3.1 雜訊指數在不同頻道的量測與模擬比較值

NF min	Meas. Res. (dB)	Sim. Res. (dB)	Mod. Res.(dB)
CH2	6.72dB at 4.1GHz	3.27dBat 3.96GHz	5.5dB at 4.1GHz
CH3	4.75dB at 4.1GHz	3.2dBat 4.48GHz	4.33dB at 4.1GHz
CH4	4.54dB at 4.1GHz	3.16dBat 5.01GHz	3.88dB at 4.6GHz
CH5	4.64dB at 4.1GHz	3.12dBat 5.54GHz	4.17dB at 5.1GHz
CH6	4.75dB at 4.1GHz	3.1dBat 6.07GHz	4.02dB at 5.1GHz
CH7	4.82dB at 4.1GHz	3.14dBat 6.6GHz	4.26dB at 5.1GHz
CH8	4.9dB at 4.1GHz	3.22dBat 7.12GHz	4.29dB at 6.1GHz

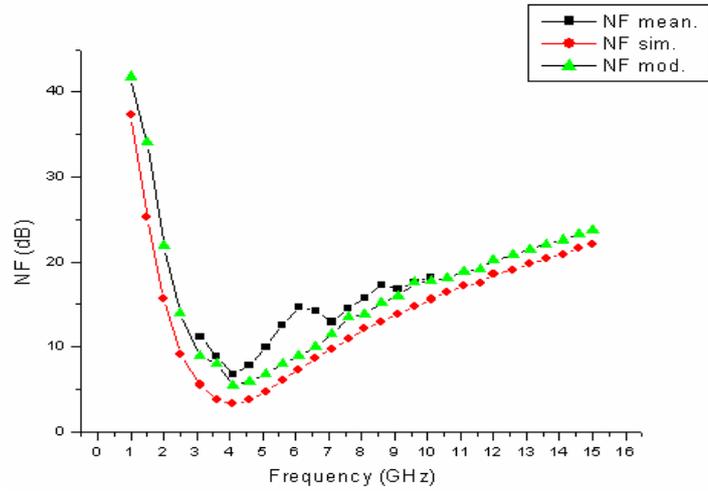


Figure 4.3.21 雜訊指數在 Channel 2 量測與模擬比較圖

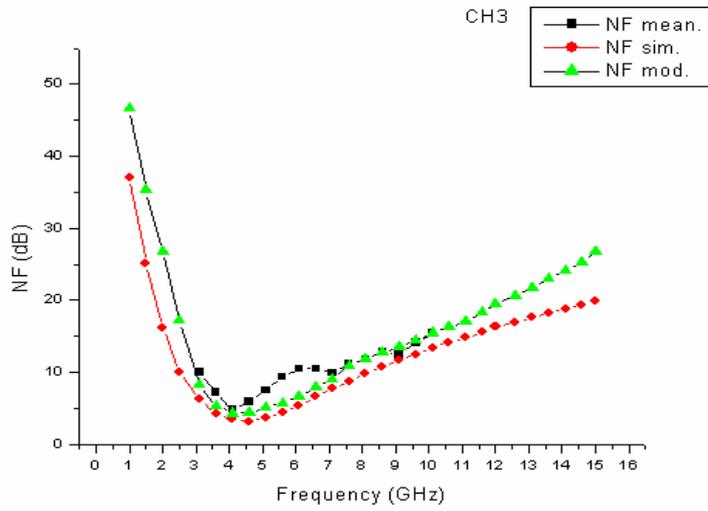


Figure 4.3.22 雜訊指數在 Channel 3 量測與模擬比較圖

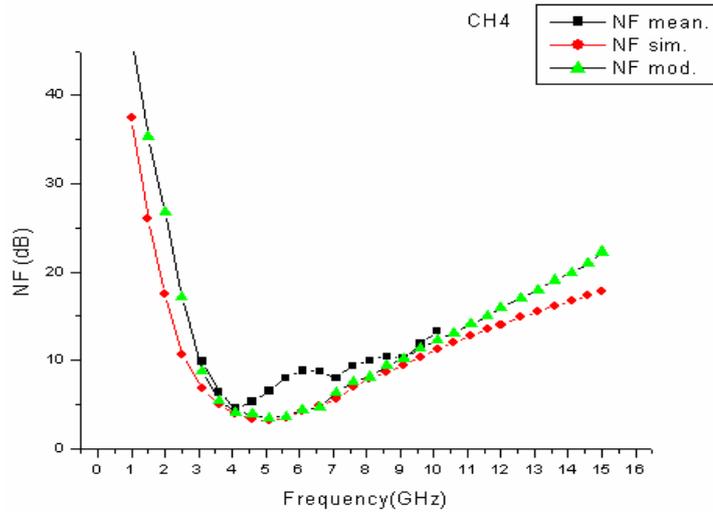


Figure 4.3.23 雜訊指數在 Channel 4 量測與模擬比較圖

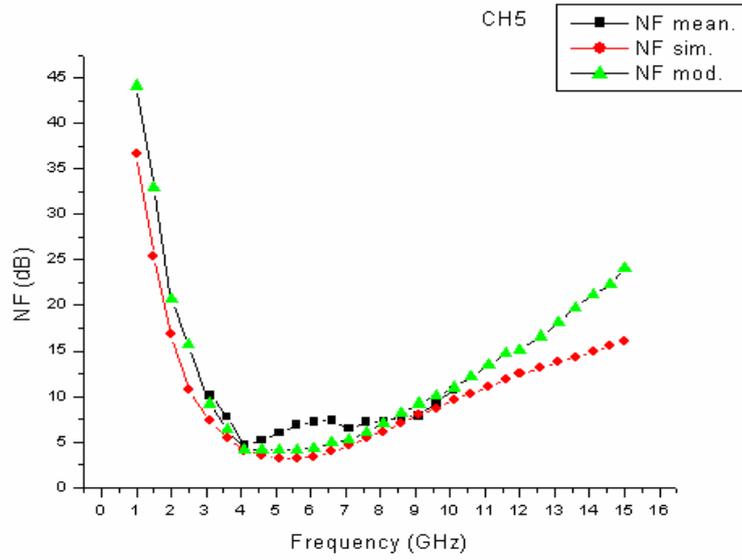


Figure 4.3.24 雜訊指數在 Channel 5 量測與模擬比較圖

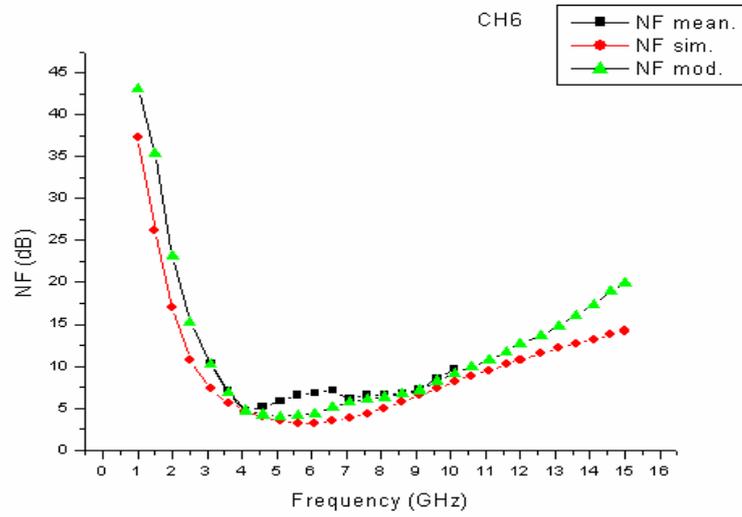


Figure 4.3.25 雜訊指數在 Channel 6 量測與模擬比較圖

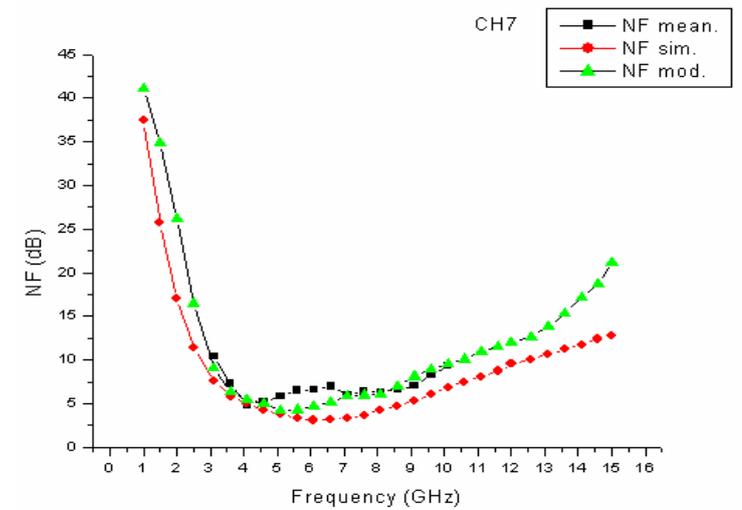


Figure 4.3.26 雜訊指數在 Channel 7 量測與模擬比較圖

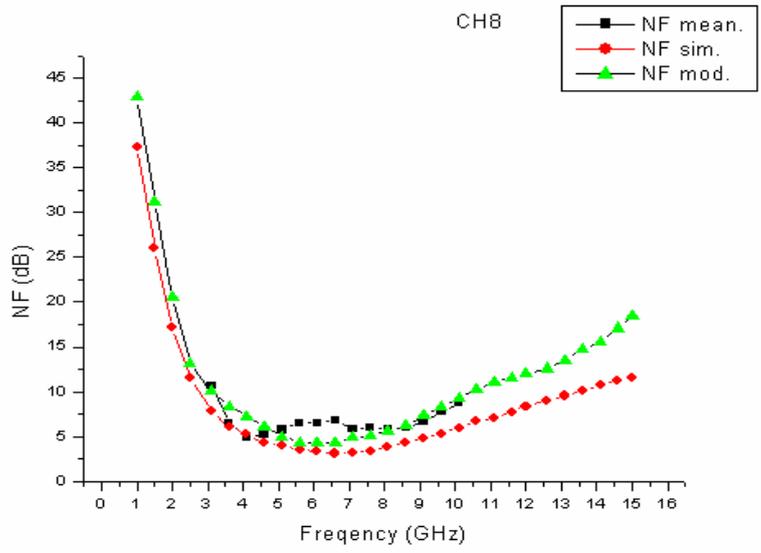


Figure 4.3.27 雜訊指數在 Channel 8 量測與模擬比較圖

Table 4.3.2 P1dB在不同頻道的量測與模擬比較值

P1dB	measurement	simulation	modify
P1dB(3.96GHz)	-8dB	-12dB	-8dB
P1dB (4.48GHz)	-8dB	-13dB	-8dB
P1dB (5.01GHz)	-12dB	-12dB	-7dB
P1dB (5.54GHz)	-11dB	-12dB	-10dB
P1dB (6.07GHz)	0dB	-13dB	-1dB
P1dB (6.6GHz)	-12dB	-14dB	-12dB
P1dB (7.12GHz)	-10dB	-14dB	-8dB

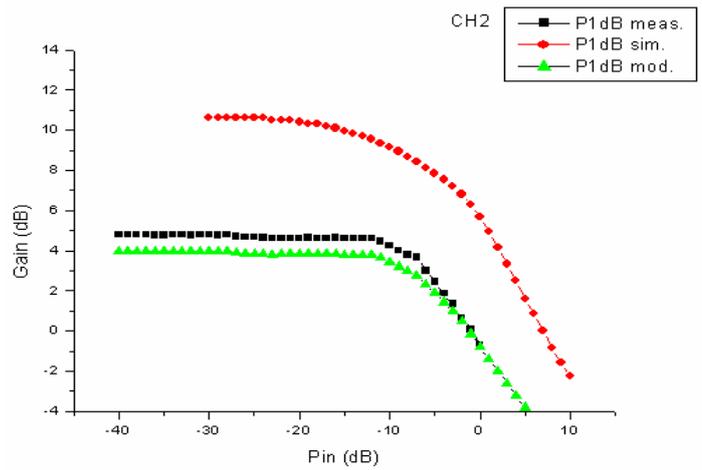


Figure 4.3.28 P1dB 在 Channel 2 量測與模擬比較圖

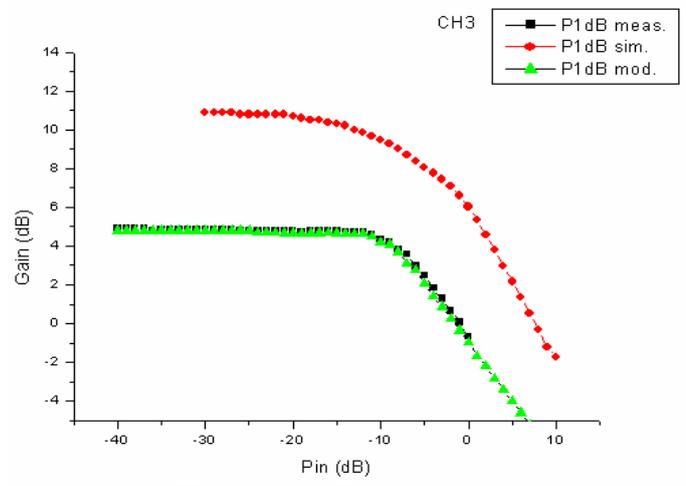


Figure 4.3.29 P1dB 在 Channel 3 量測與模擬比較圖

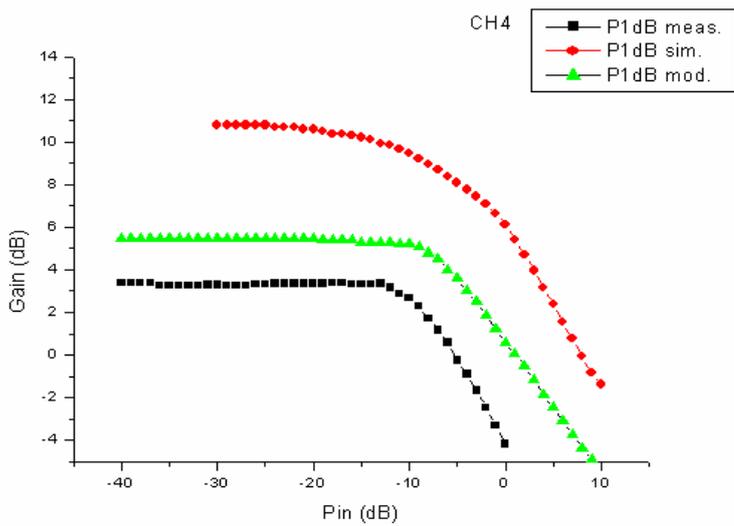


Figure 4.3.30 P1dB 在 Channel 4 量測與模擬比較圖

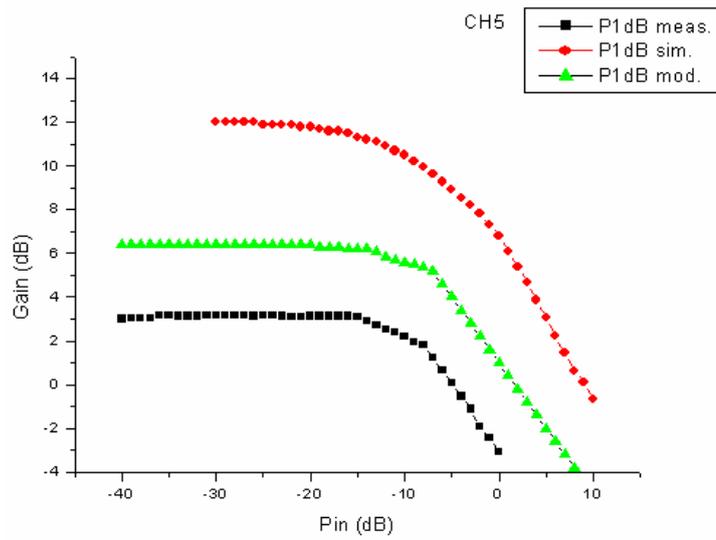


Figure 4.3.31 P1dB 在 Channel 5 量測與模擬比較圖

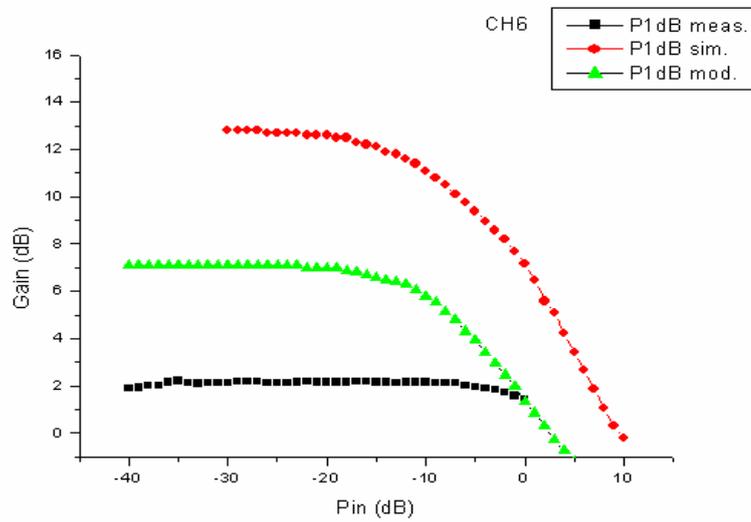


Figure 4.3.32 P1dB 在 Channel 6 量測與模擬比較圖

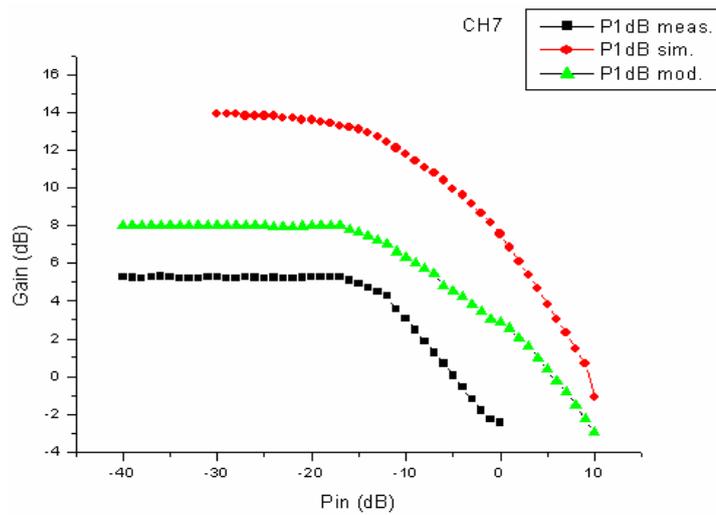


Figure 4.3.33 P1dB 在 Channel 7 量測與模擬比較圖

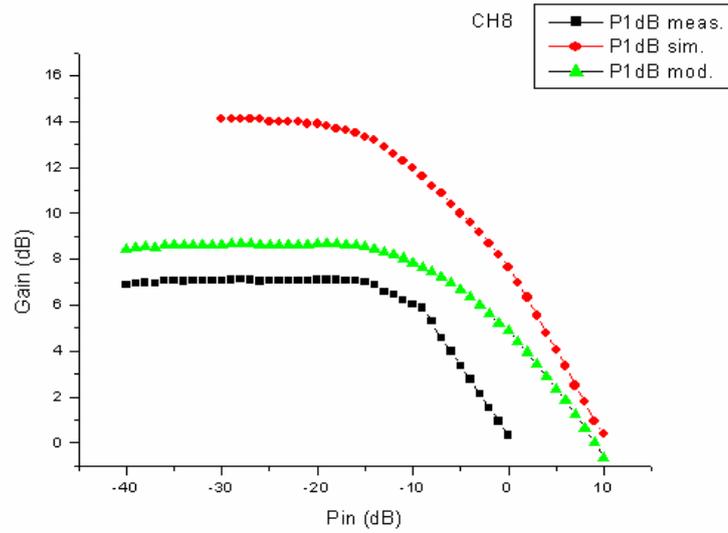


Figure 4.3.34 P1dB 在 Channel 8 量測與模擬比較圖

Table 4.3.3 IIP3 在不同頻道的量測與模擬比較值

	measurement	simulation	modify
IIP3 (3.96GHz)	4.7dB	7dB	7.5dB
IIP3 (4.48GHz)	4.8dB	5dB	4.85dB
IIP3 (5.01GHz)	4.9dB	5dB	4.95dB
IIP3 (5.54GHz)	7dB	3dB	7.5dB
IIP3 (6.07GHz)	8dB	1dB	10dB
IIP3 (6.6GHz)	6dB	-2dB	4.5dB
IIP3 (7.12GHz)	3dB	-3dB	2dB

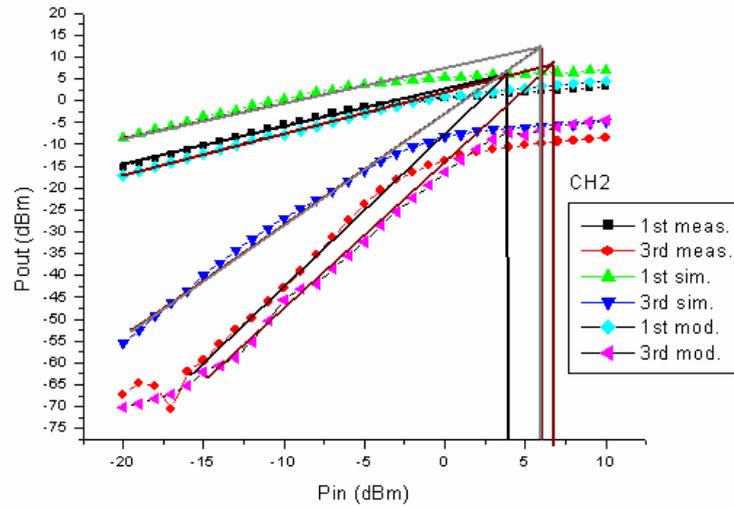


Figure 4.3.35 IIP3 在 Channel 2 量測與模擬比較圖

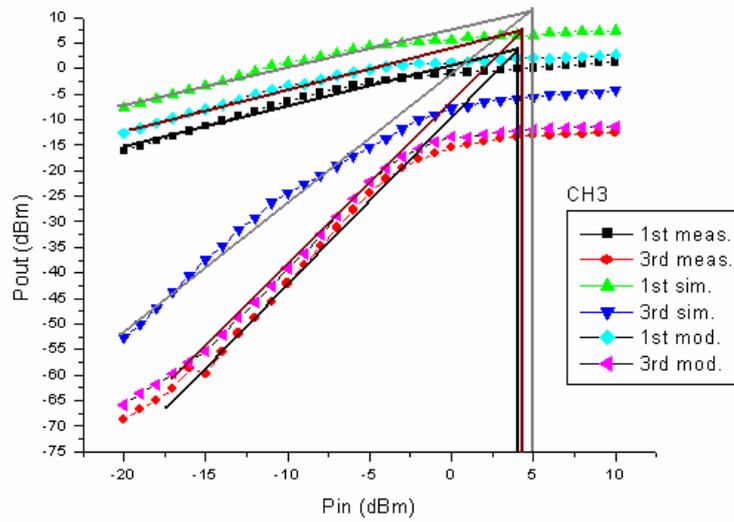


Figure 4.3.36 IIP3 在 Channel 3 量測與模擬比較圖

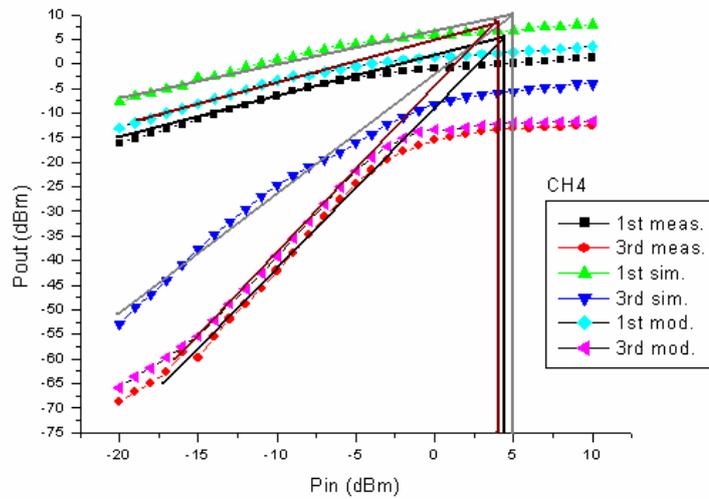


Figure 4.3.37 IIP3 在 Channel 4 量測與模擬比較圖

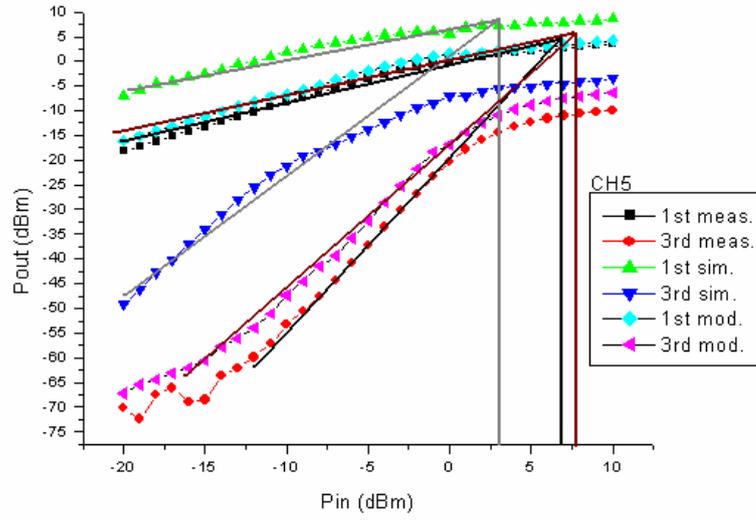


Figure 4.3.38 IIP3 在 Channel 5 量測與模擬比較圖

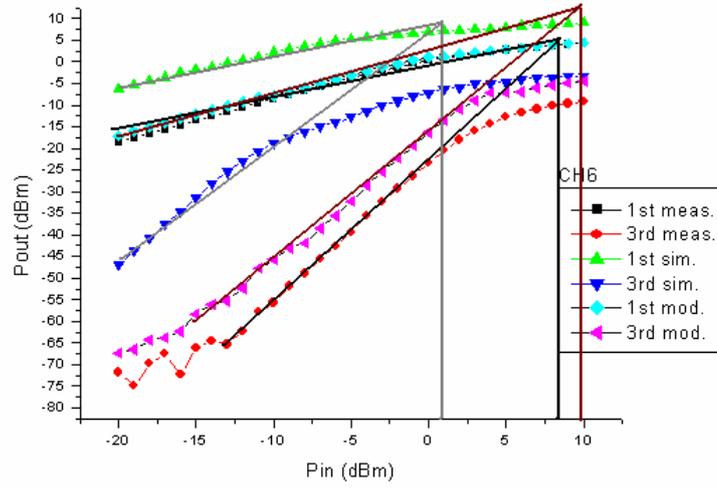


Figure 4.3.39 IIP3 在 Channel 6 量測與模擬比較圖

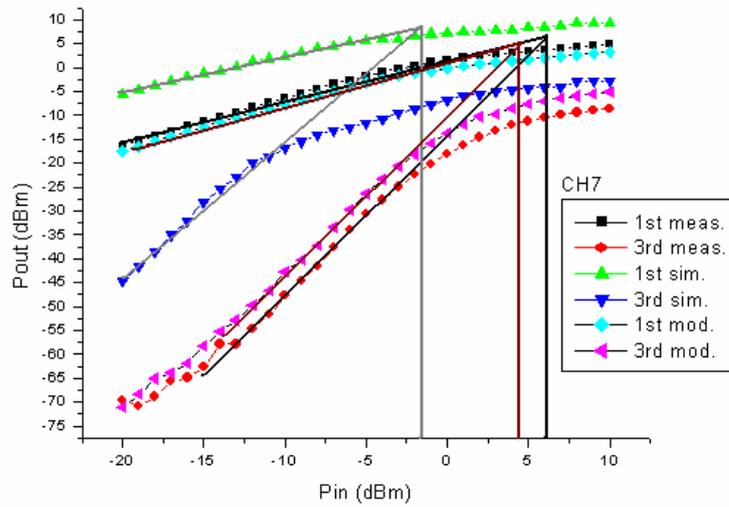


Figure 4.3.40 IIP3 在 Channel 7 量測與模擬比較圖

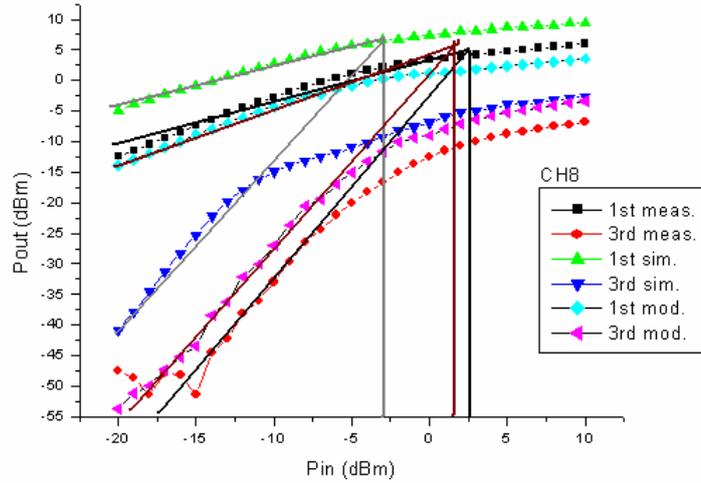


Figure 4.3.41 IIP3 在 Channel 8 量測與模擬比較圖

Table 4.3.4 MB LNA效能在Post Simulation與量測比較值

Specification	Measurement							Post Simulation						
BW (GHz)	3.96 – 7.12							3.96 – 7.12						
S11 (dB)	< -6.48							< -12.3						
S22 (dB)	< -6.1							< -13.7						
Max. S21 (dB)	7.57 (at 4.2 GHz)							14.1 (at 7.12 GHz)						
S12 (dB)	< -13.7							< -37.8						
Min. Noise Figure (dB)	4.54 (at 4.1 GHz)							3.14 (at 7.12 GHz)						
P _{1dB} (dBm)	Ch2	Ch3	Ch4	Ch5	Ch6	Ch7	Ch8	Ch2	Ch3	Ch4	Ch5	Ch6	Ch7	Ch8
	-8	-8	-12	-11	0	-12	-10	-13	-13	-13	-13	-14	-14	-14
IIP3 (dBm)	4.7	4.8	4.9	7	8	6	3	7	5	5	3	1	-2	-3
Vdd (V)	1.8V							1.8 V						
LNA Power (mW)	7.51							7.48						
Buffer Power (mW)	4							3.81						
Hopping Function	Some function							Yes						

4.4 比較

將本論文所完成的 IC 與使用 MB-OFDM 方式的 UWB LNA 相關的論文做效能上的比較，根據參考文獻，使用 MB-OFDM 概念的論文目前仍多以模擬設計為主，故比較表以模擬結果與論文下線 IC 的實測結果做比較，比較結果如 Table 4.4.5。

Table 4.4.5 下線晶片與使用 MB-OFDM LNA 相關 paper 的效能比較

	Tech.	BW (GHz)	S11 (dB)	Gmax (dB)	Min NF (dB)	P1dB (dBm)	VDD (V)	Power (mW)	Hopping Function
This work (chip)	0.18 um CMOS	3.9-7.12	<-6.48	7.57	4.54	-2***	1.8	7.55“	Some
This work (sim)	0.18 um CMOS	3.4-7.5	<-12.3	14.1	3.1	-9.49**	1.8	7.48“	Yes
2004, [2] (sim)%	0.18 um CMOS	3.4-4.7	<-9	N/A	N/A	-9.3*	1.8	10.8“	Yes
2004, [2] (sim)%%	0.18 um CMOS	5.1-7.6	<-9	17.5	3.3	N/A	1.8	10.8“	Yes
2006,[27] (sim.)	0.18 um CMOS	3-5	<-10	16.2	2.63	N/A	1.8	12	Yes

% : Ld=4.4nH %% : Ld=2.0nH “ : only core LNA

*: at 3.9GHz **: at 3.9GHz ***: at 6.01GHz

[2][27]均只有模擬結果並未有實際下線量測資料

第五章

結論與未來研究方向

5.1 結論

本論文是提出跳頻式的 LNA，主要是將跳頻的觀念實現於電路當中，利用寬頻的輸入來將使用於 UWB 中的 3.9-7.1GHz 的信號接收下，在利用跳頻的機制將所選擇的頻道信號送往後端，非屬於所需頻道中的信號則會濾掉，如此一來可形成一個窄頻的增益輸出，便可以提高功率增益也可以避免使用整個 UWB 的頻寬做為 Full band 的輸出，不需要考慮 UWB LNA 在整個 Full band 中增益平坦度的問題，而使用窄頻輸出在所需要的頻帶中提高增益的表現。晶片使用 TSMC 0.18um CMOS 製程，在整個論文中，討論了設計概念，模擬結果，量測結果以及討論與比較，所有的電路是使用 Eldo-RF 來進行模擬並在 CIC 完成所有量測。

在討論整個跳頻式 LNA 電路的分析與研究中，主要著眼於輸入匹配電路，跳頻開關電路，雜訊指數分析與增益分析四個部份，這些分析與討論便可以架構出整個跳頻式 LNA 的各個元素，而在電路模擬的過程中，也是利用這些討論概念來加以驗證，而晶片的製作是使用

TSMC 0.18um CMOS 製程來實現，而由量測的結果我們可以得到 $S_{11} < -6.48\text{dB}$ ， $S_{22} < -6.1\text{dB}$ ， S_{21} 在 channel 8 時有最大增益的輸出 5.6dB，最小的雜訊指數也是在 channel 8 (7.128 GHz) 時的 5.8dB， $P_{1\text{dB}}$ 分別是 -8dB 在 channel 2 (3.96GHz)，-8dB 在 channel 3 (4.48GHz)，-9dB 在 channel 4 (5.01GHz)，-10dB 在 channel 5 (5.54GHz)，-2dB 在 channel 6 (6.07GHz)，-12dB 在 channel 7 (6.6GHz)，-10dB 在 channel 8 (7.12GHz)。IP3 的結果分別為 4.7dB 在 channel 2 (3.96GHz)，4.8dB 在 channel 3 (4.48GHz)，4.9dB 在 channel 4 (5.01GHz)，7dB 在 channel 5 (5.54GHz)，8dB 在 channel 6 (6.07GHz)，6dB 在 channel 7 (6.6GHz)，3dB 在 channel 8 (7.12GHz)，且跳頻的功能未能完全實現。

整個量測結果與量測結果有所差異，主要是在於晶片設計過程中，使用五組開關電路造成 LNA 與 Buffer 之間存在的 R_{on} 以及 L_d 上所產生的雜散電阻 R_d 未妥切考量，導致總雜散電阻過大造成系統產生 power loss 現象而引起的增益失真；另外開關電路中的離散電容效應以及開關電路彼此的隔離空間不足均導致使用 LC 共振原理的跳頻機制受到影響，而未能達到跳頻的效果；以及，輸入阻抗匹配電路並未完全考慮到連接線的效應使得離散電容效應的產生，使得模擬與實測結果產生誤差，影響了整個電路的效能。

5.2 未來研究方向

使用於 UWB 的跳頻式的 LNA 在於要能覆蓋整個 UWB 頻帶中的 14 個 Band，為了能達到覆蓋 14 個頻道的目的，可以使用[22][23]的 multi-tap inductor 搭配不同的 C 來得到不同的 LC 共振頻率，如 Figure 5.1.1 的示意圖。

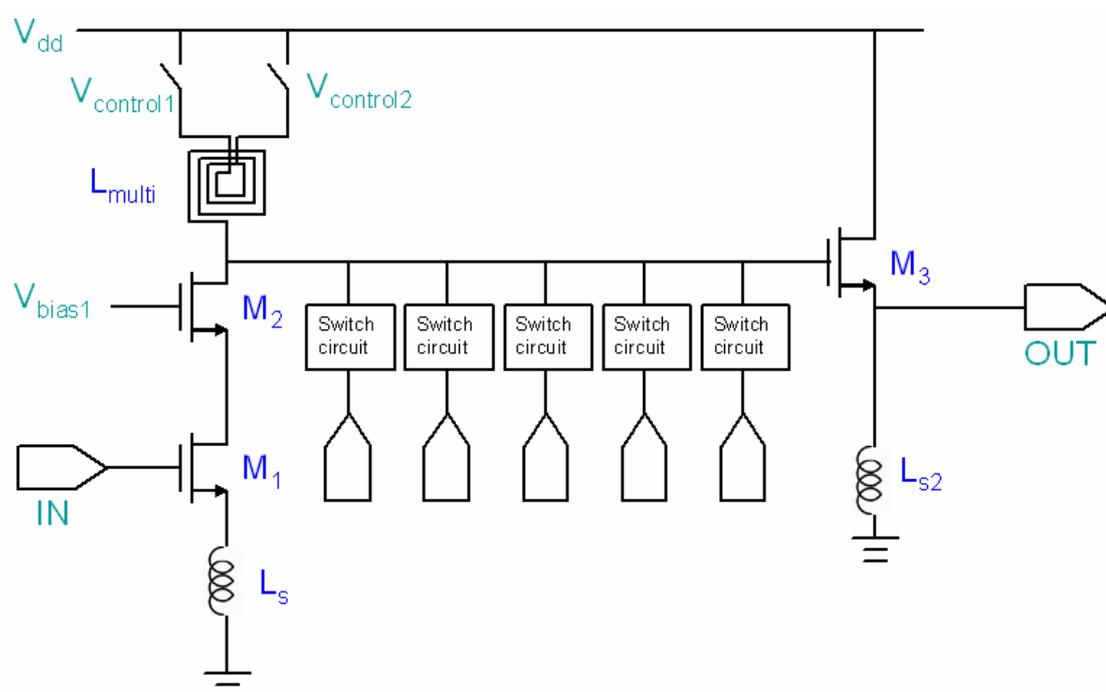


Figure 5.1.1 使用 L_{multi} 來產生 multi-band LNA

如以論文所提五組電容開關電路搭配 1 組 L_d 可以得到 7 個共振頻率點，則搭配 2 個輸出的 multi-tap inductor，至少便可以獲得 10 組以上不同的 LC 共振頻率，達到擴展頻道的目的，而對開關電路來說，使用五組不同電容與電晶體所組成的開關電路來說，容易導致電路佈局上過長的線路，因此可以考慮使用可變電容架構來減少硬體架構上的開關電路，而改以電壓控制不同的電容值，並可以減少線路連接的長

度而降低離散效應的影響。除了晶片硬體設計上的改善之外，另外更需要考慮的每個 model 之間的離散效應的影響，包括了離散電容，阻抗以及電感效應都必須要小心，所以使用 EDA tool 粹取出離散效應對晶片設計是很重要的。

跳頻式的 LNA 可以在信號接收下來後馬上進行濾波的動作，可以使得信號通過 LNA，系統便可確定這是所需要的資訊而不會在受到其它信號的影響，也可以達到避免干擾的目的更可以降低系統設計的複雜度。



参 考 文 献

- [1] IEEE 802.15 WPAN High Rate Alternative PHY Task Group 3a (TG3a). Available: <http://www.ieee802.org/15/TG3a.html>
- [2] A. Tanaka, H. Kodama, A. Kasamatsu, "Low-noise Amplifier with Center Frequency Hoping for an MB-OFDM UWB Receiver", *Joint UWBST&IWUWBS 2004, No. FA-4-4, May.20,2004*
- [3] Terada, T., Yoshizumi, S., Sanada, Y., and Kuroda, T., "Transceiver circuits for pulse-based ultra-wideband," *Circuits and System, 2004. ISCAS '04. Proceedings of the 2004 International Symposium on Volume 4, Pages:IV -349-52, 23-26 May 2004*
- [4] ECMA-368 standard, "High Rate Ultra Wideband PHY and MAC standard 1st edition" *Dec. 2005*
- [5] Thomas H. Lee, "The Design of CMOS Radio-Frequency Integrated Circuit second edition," *Cambridge university press, 2003*
- [6] P. J. Sullivan, B. A. Xavier, and W. H. Ku, "An Integrated CMOS Distributed Amplifier Utilizing Packaging Inductance," *IEEE Trans. Microwave Theory Tech., Vol. 45, pp. 1969-1975, Oct. 1997*
- [7] B. M. Ballweber, R. Gupta and D. J. Allstot, "A Fully Integrated 0.5-5.5GHz CMOS Distributed Amplifier" *ISSCC, Vol. 35, No. 2, February 2000.*
- [8] H. T. Ahn and D. J. Allstot, "A 0.5-8.5GHz Fully Differential CMOS Distributed Amplifier" *ISSCC, Vol. 37, No. 8, August 2002.*
- [9] R. C. Liu, C. S. Liu, K. L. Deng, H. Wang, "A 0.5-14GHz 10.6dB CMOS cascade Distributed Amplifier" *Digest of Technical Paper, 2003 Symposium on VLSI Circuit, pp.139-141, June 12-14,2003.*
- [10] R. C. Liu, K. L. Deng, H. Wang, "A 0.6-22GHz Broadband CMOS Distributed Amplifier" *IEEE RFIC Symposium, pp.130-106 June 8-10,2003*
- [11] K. H. Chen, C. K. Wang, "A 3.1-10.6GHz CMOS Cascade Two-stage Distributed Amplifier for Ultra-Wideband Application" *IEEE Asia-Pacific Conference on Advanced System Integrated Circuit, pp. 296-299, August 4-5, 2004.*
- [12] F. Brucolerim E. A. M. Klumperink, and B. Nauta. "Noise canceling in

- wideband CMOS LNAs” *IEEE ISSCC Dig. Tech. Paper, vol. 1, pp. 406-407, Feb. 2002*
- [13] S. Andersson, C. Svensson, and O. Drugge, “Wideband LNA for a multistandard wireless receiver in 0.18 μ m CMOS” *Proc. ESSCIRC, pp. 655-658, Sep. 2003*
- [14] Behzad Razavi, “Design of Analog CMOS Integrated Circuits,” *McGraw-Hill Science/Engineering/Math, 2000*
- [15] C. W. Kim, M. S. Kang, P. T. Anh, H. T. Kim, S. G. Lee, “An Ultra-Wideband CMOS Low Noise Amplifier for 3-5GHz UWB system” *IEEE Journal of Solid-State Circuit, Vol. 40, No. 2, pp. 544-547, Feb. 2005.*
- [16] A. Bevilacqua and A. Nikenjad, “An Ultra-wideband CMOS LNA for 3.1 to 10.6 GHz wireless receiver,” in *Int. Solid-State Circuit Conf. Tech. Dig., pp. 2259-2268, Dec. 2004.*
- [17] Aly Ismail and Ascad A. Abidi, “A 3-10 GHz low-noise amplifier with wideband LC-ladder matching network,” *Solid-state Circuits, IEEE Journal, Vol. 39, Issue 12, pp. 2269-2277, Dec. 2004*
- [18] B. Y. Chang, C. F. Jou, “Design of a 3.1-10.6GHz Low-Voltage, Low-Power CMOS Low-Noise Amplifier for Ultra-Wideband Receiver,” *Microelectronics, 2004. ICM 2004 Proceeding. The 16th International Conference on, Volume 16, Issue 4, pp179 – 181, April 2006*
- [19] David. M. Pozar, “Microwave Engineering Second edition,” *John Wiley & Sons, Ins, 1998*
- [20] H. J. Orchard, “Loss sensitivities in singly and double terminated filters,” *IEEE Trans. Circuit Syst., vol. CAS-26, pp. 293-297, May 1979.*
- [21] A. J. Scholten, L. F. Tiemeijer, R. Van Langevelde, R. J. Havens, A. T. A. Zeger-van Duijnhoven, and V. C. Venezia, “Noise modeling for RF CMOS circuit simulation,” *IEEE Trans. Electron Device, vol 50, pp.618-652, Mar. 2003*
- [22] C. S. Wang, W. C. Li, C. K. Wang, “A Multi-Band Multi-Standard RF Front-End for IEEE 802.16a and IEEE 802.11a/b/g Application” *IEEE ISCAS, 2005.*
- [23] W. C. Li, C. S. Wang, C. K. Wang, “A 2.4GHz/3.5GHz/5GHz Multi-Band LNA with Complementary Switched Capacitor Multi-Tap inductor in 0.18 μ m CMOS.” *Inter. Symposium on VLSI Design, Automation and Test, pp.83-86, Apr. 2006*
- [24] S.C. Shin, C. S. Lin, M. D. Tsai, K. Y. Lin, H. Wang, “A Low-Voltage and

Variable-Gain Distributed Amplifier for 3.1-10.6GHz UWB system” *IEEE Microwave and Wireless Components Letters*, Vol. 16, No. 4, pp. 179-181, April 2006,

[25] F. Zhang, Peter R. Kinget, “ Low-Power Programmable Gain CMOS Distributed LNA” *IEEE Journal of Solid-State Circuits*, Vol. 41, No. 6, pp. 1333-1343, June 2006,

[26] R. Gharpurey, “ A broadband Low-Noise Front-End Amplifier for Ultra Wideband in 0.13um CMOS” *IEEE Journal of Solid-state Circuits*, Vol. 40, No. 9, pp. 1983-1986, Sep. 2005.

[27]S. K. Tang, K. P. Pun, C. S. Choy, C. F. Chan “ A Fully Differential Low Noise Amplifier with Real-Time Channel Hopping for Ultra-Wideband Wireless Application” *ISCAS*, pp. 4507-4510, May, 2006.

