

GPS 接收器之頻率合成器設計

研究生: 侯信良

指導教授: 鄭木火博士

國立交通大學電機與控制工程學系

摘要

本論文在實現 GPS 接收器的頻率合成器, 其目的是要產生 1.575GHz 的穩定振盪訊號。本頻率合成器利用一石英振盪器振盪在 24.61MHz 之參考信號, 經過相位檢側器、迴路濾波器、壓控振盪器及除法器 ($N=64$) 所組成的鎖相迴路系統, 使得當迴路收斂時, 壓控振盪器的振盪頻率為參考信號頻率的 64 倍, 以產生 GPS 接收器所需要的高頻信號。在頻率合成器之各功能方塊電路我們都使用差動型式的電路來實現, 以減少雜訊對高頻輸出信號的影響。我們以台灣積體電路 TSMC 0.35 μm BiCMOS Mixed Signal SiGe 3P3M 製程來實現此頻率合成器, 並針對製程環境模擬頻率合成器動態特性及相位雜訊 (Phase Noise) 與訊號劇動 (Jitter) 等之性能。在工作電壓為 3.3v, 整個頻率合成器消耗功率為 38.5mW。本壓控振盪器振盪的頻率輸出範圍可從 1.1GHz 至 2.8GHz, 以防止當製程環境變動影響時, 壓控振盪器無法合成預期高頻信號輸出; 經觀察模擬結果, 頻率合成器在各種不同邊緣模型 (Corner Model) 環境變動下仍可穩定輸出, 當偏移頻率 1MHz 時所量測之相位雜訊為 -106.2dBc/Hz。

Design Of Frquency Synthesizer for GPS Receivers

Student: Shin-Liang Hou Advisor: Dr. Mu-Huo Cheng

Institute of Electrical and Control Engineering
National Chiao-Tung University

Abstract

In this thesis we design a frequency synthesizer which can generate a steady oscillating signal of 1.575GHz for GPS receivers. This frequency synthesizer uses a quartz for oscillation at 24.61MHz as the reference signal; this signal then is used as the input of a phase-locked loop composed of a phase detector, a loop filter, a voltage-controlled oscillator, and a divider with division ratio of 64 ($N=64$). When the loop converges, the VCO output signal frequency will equal 64 times of 24.61MHz. All functional blocks of this frequency synthesizer are realized by circuits of the differential type in order to lower the noise effect on the high-frequency output signal. The TSMC 0.35 μm BiCMOS Mixed Signal SiGe 3P3M process is used to implement the frequency synthesizer; its model parameters are used to simulate the dynamic behaviors and obtain the performance parameters such as the phase noise and the phase jitter. The consumption power of the frequency synthesizer is 38.5mW with the 3.3V power supply. A wide range of VCO operation frequency, 1.1GHz-2.8GHz, is designed to ensure that the VCO still can generate the desired frequency even when the process conditions vary. Simulation results demonstrate that the synthesizer obtains a steady output signal under different corner models. The phase noise is obtained to be -106dBc/Hz.

誌謝

此論文能順利完成，要特別真誠地感謝我的指導教授鄭木火教授，在這短短的兩年研究生涯中，無論是待人接物的誠懇真摯或治學態度的嚴謹細心，均使我在生活及學識上獲益良多。因此在本論文付梓之際，對於辛勤傳道授業的老師致上最誠摯的謝意。

在口試期間承蒙張隆國教授、廖德誠教授和董蘭榮教授撥空指正並提供許多寶貴的意見。在此感謝你們的辛勞。同時感謝畢業學長姊天貴、國偉、嘉富、佩華，等的加油打氣，以及實驗室的所有成員：啓峰、浩緯、俊維、嘉銘、志全、衍禎、佳華、宏揚在課業上的切磋討論及生活上的歡聲笑語，為平靜單調的研究生活增添不少色彩。

最後要感謝我的家人及女友，由於他們的付出和不斷地鼓勵，讓我能無後顧之憂的從事研究，順利完成學業，並且有能力面對下一波的困難與挑戰。



目錄

中文摘要	i
英文摘要	ii
誌謝	iii
圖目錄	vi
表目錄	vii
1 緒論	1
1.1 頻率合成器應用	1
1.2 研究目的和動機	2
1.3 論文架構	2
2 頻率合成器架構	3
2.1 環型電壓控制振盪器	4
2.1.1 單端輸出環型振盪器	4
2.1.2 雙端輸出環型振盪器	5
2.2 電荷幫浦	8
2.3 三態相位檢測器	9
2.4 除頻器	11
2.5 迴路濾波器	11
3 鎖相迴路系統電路之設計	14
3.1 環型振盪器設計	14

3.1.1	訊號劇動	20
3.1.2	相位雜訊	21
3.2	電荷幫浦設計	23
3.3	雙端差動相位檢測器	24
3.3.1	電流模式 D 型正反器邏輯	25
3.4	雙端非同步除頻器設計	29
3.5	迴路濾波器設計	30
3.6	頻率合成器的相位雜訊	33
4	模擬結果與比較	35
4.1	佈局模擬結果與製程變動分析	35
5	結論	41
參考文獻		42



圖目錄

圖 1.1 訊號接收端架構	1
圖 2.1 GPS 接收器架構圖	3
圖 2.2 頻率合成器架構圖	4
圖 2.3 三級CMOS 反相器之環型振盪器	5
圖 2.4 三級CMOS 反相器之環型振盪器理想輸出波型	5
圖 2.5 四級環型振盪器差動輸出	6
圖 2.6 具有可變負電阻的差動對	7
圖 2.7 延遲元件等效電路	7
圖 2.8 兩組正交訊號	8
圖 2.9 單端理想電荷幫浦	9
圖 2.10 差動理想電荷幫浦	9
圖 2.11 三態相位檢測器架構圖	10
圖 2.12 三態相位檢測器狀態圖	10
圖 2.13 2^6 除頻器架構圖	11
圖 2.14 鎖相迴路線性模型圖	12
圖 2.15 一階濾波器	12
圖 2.16 二階濾波器	13
圖 3.1 單一級延遲電路	15
圖 3.2 振盪器之控制電壓與頻率	16
圖 3.3 取代單一延遲原件之控制電路	18
圖 3.4 V/I Converter	19
圖 3.5 電壓轉換電流型式壓控振盪器之電壓與頻率關係	19

圖 3.6 訊號劇動量測	20
圖 3.7 相位雜訊頻譜上的定義	21
圖 3.8 輸出中心頻率為2.84GHZ 的相位雜訊為-89.86dBc/Hz	22
圖 3.9 輸出中心頻率為1.66GHZ 的相位雜訊-89.37dBc/Hz	22
圖 3.10 輸出中心頻率為1.12GHZ 的相位雜訊-81.56dBc/Hz.	23
圖 3.11 電荷幫浦實際電路	24
圖 3.12 偏壓控制電路	24
圖 3.13 差動相位檢測器	25
圖 3.14 Latch 架構圖	26
圖 3.15 電流模式D正反器	26
圖 3.16 低準位邏輯電壓控制電壓	27
圖 3.17 電流模式或閘與重設門型閘.	28
圖 3.18 左圖為除頻器輸出相位超前參考訊號相位 右圖為除頻器輸出相位落後參考訊號 相位	29
圖 3.19 除頻器之單級架構圖	30
圖 3.20 左圖為電流模式D型正反器除2電路模擬結果 右圖為連接六級後除頻器每一級 輸出結果	30
圖 3.21 開迴路增益相位波德圖	31
圖 3.22 線性相位雜訊模型	33
圖 4.1 鎖相迴路電路佈局圖	35
圖 4.2 鎖相迴路實際電路圖	36
圖 4.3 TT 模型系統之差動控制電壓與相位比較	37
圖 4.4 TT 模型振盪輸出的眼圖 $Jitter_{peak-to-peak}=22.1ps$	37
圖 4.5 FF 模型系統之差動控制電壓與相位比較	38
圖 4.6 FF 模型振盪輸出眼圖的 $Jitter_{peak-to-peak}=24.2ps$	38
圖 4.7 SS 模型系統之差動控制電壓與相位比較	39
圖 4.8 SS 模型振盪輸出眼圖 $Jitter_{peak-to-peak}=28.6ps$	39
圖 4.9 頻率合成器相位雜訊	40

表目錄

表 3.1 電壓轉換電流型式振盪器之控制電壓與頻率表	16
表 3.2 電壓轉換電流型式振盪器之控制電壓與頻率表	20
表 3.3 迴路頻寬為2.5MHZ 相位極限 45度之濾波器	32
表 4.1 頻率合成器規格表	40



第 1 章

緒論

1.1 頻率合成器應用

近年來, 全球定位系統 (Global Positioning System, GPS) 之精確定位以及其時間資訊, 已使用於許多的應用上。在 GPS 接收器架構, 必須產生一精確的振盪頻率作為本地振盪器 (Local Oscillator), 由於高頻之晶體振盪器成本高且製作不易, 往往使用頻率合成器以達目的, 於是頻率合成器的訊號劇動, 影響了整個 GPS 接收器的精準度, 設計一低劇跳之頻率合成器是必須的。雖然目前的接收架構有三種: 亦即傳統的超外差, 低中頻及零中頻, 但頻率合成器所扮演的用來降頻的本地振盪角色是一致的, 圖1.1為接收器架構, 在接收時由改變頻率合成器的頻率與外來的射頻訊號混頻並經由中頻濾波器產生出低中頻信號, 最後傳送至後端做訊號的處理分析[1]。

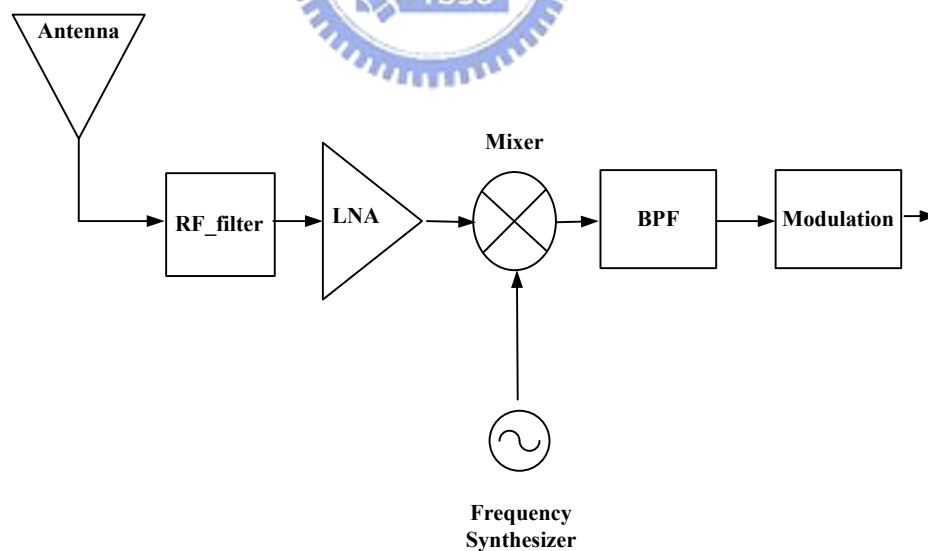


圖 1.1: 訊號接收端架構

1.2 研究目的和動機

在從過去的文獻及書籍的探討和研究上，不難發現頻率合成器能產生穩定高頻且不受外在環境雜訊影響，是很重要的討論和研究主題。我們所知道一個迴授系統電路上，電路對雜訊都有系統轉移函數關係，於是依照這樣的主題研發出不同抗雜訊的頻率合成器的架構，並在許多的文獻所探討和提及，如整數與分數型態頻率合成器。基於這樣抗雜訊的理念延續下，將整個鎖相迴路系統利用差動電路的架構來所構成是一個理念。在鎖相迴路系統動態模擬特性下，對相位雜訊做電路上的分析即能驗證差動基本共模抗雜訊的能力。依據這樣的目標並進一步發展差動型態的鎖相迴路系統。

1.3 論文架構

本篇論文共分五章來討論，第一章為緒論，介紹文獻回顧以及研究的動機。第二章中，主要從頻率合成器系統架構分別由不同區域電路所組成，並針對不同電路在系統上所扮演的角色來簡單的介紹其工作原理；並依序說明完整鎖相迴路系統的運作和介紹。第三章針對第二章所提出的理論去實現頻率合成器中類比與數位電路，如典型環型振盪器(Ring Oscillator) 架構，提出利用米勒電流電路觀念來改善環型振盪器之控制輸出頻率範圍，另外，在此章節也對相位檢測器與除頻器利用電流模式邏輯電路 (CML) 達成在高頻率操作還環境操作並做介紹與說明，最後針對系統特性設計出不同階數濾波器，藉由濾波器轉移函數極零點來改變系統特性，並依序設計完成鎖相迴路系統。第四章為電路佈局圖和電路規格表及對鎖相迴路系統做前置模擬 (Pre-Sim) 和後端模擬 (Post-Sim)，後端模擬包括了 TT、FF、SS 邊緣模型環境模擬，溫度及其鎖相迴路為相位雜訊和訊號劇動做完整量測。

第 2 章

頻率合成器架構

在 GPS 接收器前置圖2.1中頻率合成器的功能, 主要提供高頻正交訊號來與含有多雜訊 GPS 衛星訊號做信號上的混波, 將衛星資訊能經由混波器後得到正確資訊, 由於傳統石英振盪器無法產生如此高頻訊號, 因此利用頻率合成系統來合成我們所要高頻訊號。

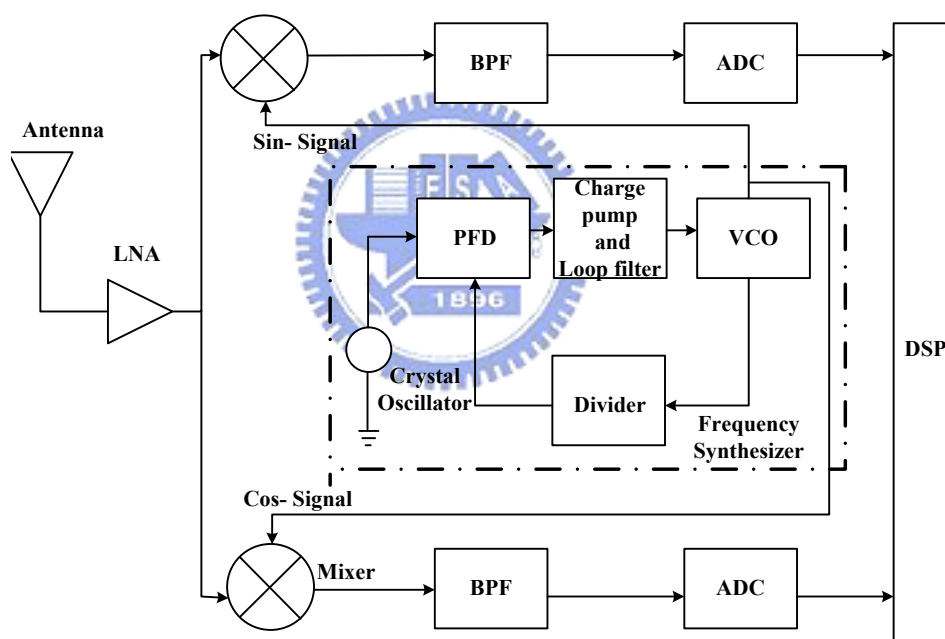


圖 2.1: GPS 接收器架構圖

在頻率合成器迴路系統中分別為相位頻率檢測器 (Phase and Frequency Detector)、頻率除法器 (Frequency Divider)、電荷幫浦 (Charge Pump)、迴路濾波器 (Loop Filter)、壓控振盪器 (Voltage Control Oscillator) 五種不同功能方塊[2]所組成, 如圖2.2。藉由在壓控振盪器輸出經過除法器後的訊號相位與石英振盪器參考訊號相位做比較, 則當系統穩定時是意指除法器的相位與參考信號相位是一致的, 所以在壓控振盪器輸出頻率會是參考訊號頻率的倍數關係, 在此利用 24.61MHz 石英振盪器當做參考訊號, 經過頻率合成系統後產生 GPS 的 L1 頻段 1.575GHz 高頻訊號, 以利 GPS 衛星訊號在混波器做信號的調制。在了解頻率合成器的架構之後, 我們將在以下的

章節提出更完善的說明, 並認識在不同功能區塊電路在頻率合成器所扮演的角色。

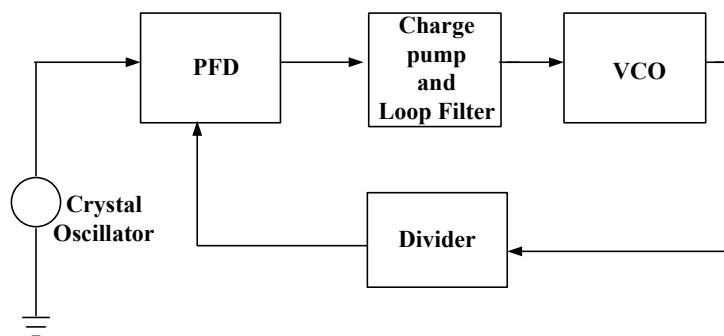


圖 2.2: 頻率合成器架構圖

2.1 環型電壓控制振盪器

環型振盪器其特性之一是可以利用串接級數的不同而得到不同的振盪頻率, 像一個環的形狀, 以及由於每一級輸出相位的差異, 也可以利用串接級數的不同去獲得不同相位輸出, 若需要多相位的輸出, 則串接的級數就必須增加, 但是振盪頻率則會降低, 一般環型振盪器有分單端輸出以及雙端差動輸出兩種。

2.1.1 單端輸出環型振盪器

單端輸出的環型振盪器其三級架構如圖2.3, X、Y 與 Z 三個點分別為每一級的反相輸出點, 理想的輸出波型圖如圖2.4, V_x 、 V_y 與 V_z 分別為圖2.3中的 X、Y 與 Z 三個點的輸出電壓, 所以可以看到波型的變化由 V_x 到 V_y 經過一個 T_d 然後反相180度輸出, 再由 V_y 到 V_z 再經過一個 T_d 然後反相180度輸出, 最後回到 V_x , 如此的循環下去形成震盪。單端輸出的環型振盪器其頻率為

$$f_{osc} = \frac{1}{2NT_d} \quad (2.1)$$

其中 N 為震盪器的級數, T_d 為每一級放大的延遲時間, 其每一級的輸出相位差則為 $\frac{180^\circ}{N}$, 也就是震盪器可以產生的輸出相位。

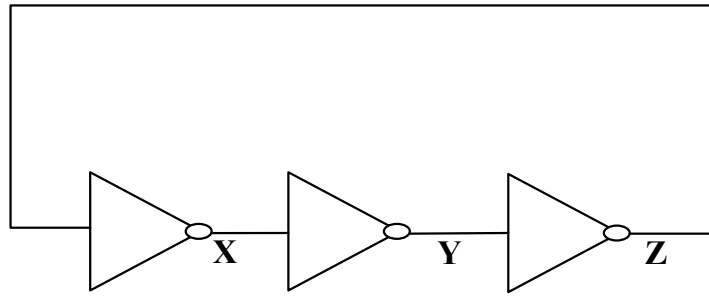


圖 2.3: 三級CMOS 反相器之環型振盪器

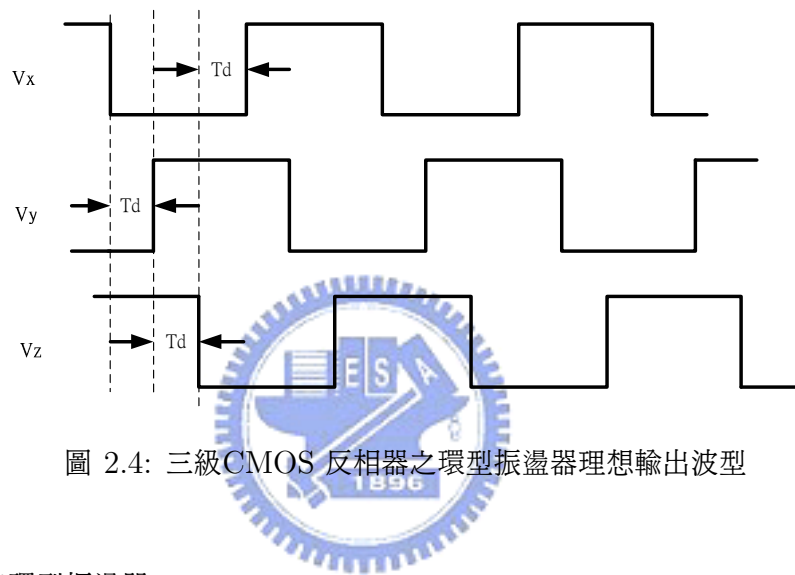


圖 2.4: 三級CMOS 反相器之環型振盪器理想輸出波型

2.1.2 雙端輸出環型振盪器

雙端差動輸出的環形振盪器，四級的架構如圖2.5，輸出為差動兩端，A 的反相輸出端為 $\overline{A}$ 、B的反相輸出端為 $\overline{B}$ 、C的反相輸出端為 $\overline{C}$ 而 D 的反相輸出端為 $\overline{D}$ ，且差動輸出的環形振盪器其串接的級數，不像單端輸出的環形振盪器，有串接級數必須要單數的限制。本論文所用的也就是差動輸出的架構。在下面章節也舉出實際的差動輸出振盪器電路來做例子，並利用負電阻觀念去控制頻率的差動輸出環形振盪器，利用BJT 耦合強度控制振盪頻率之環形振盪器。此外電路也同樣將用 TSMC 0.35 μm 3P3M SiGe BiCMOS 製程，然後以 Hspice 去模擬電路，並說明電路的特性，以往下發展出我們所設計的架構。

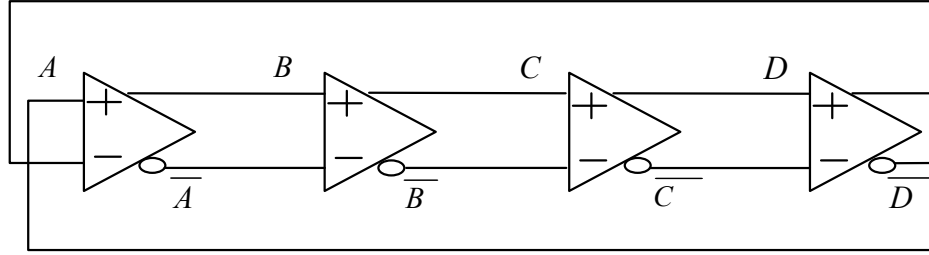


圖 2.5: 四級環型振盪器差動輸出

如圖2.6為環型振盪器單一級延遲電路[3], 使用電壓控制負電阻的大小與正值電阻並聯產生等效阻值並間接控制延遲時間。電路上 M_1 與 M_2 為一差動輸入端, 由 V_{out} 兩端看進去並假設 M_3 與 M_4 是相等元件 $g_{m3}=g_{m4}$, 於是 M_3 與 M_4 會形成一電阻值為 $\frac{-2}{g_{m3,4}}$ 的負電阻, 而圖2.7是圖2.6的等效半電路, 等效電阻值為 $\frac{-1}{g_{m3,4}}$, 所以整個電阻負載有 R_1 和 R_2 以及交連耦合對 M_3 與 M_4 , 對一個NMOS 來說, 處於飽和區時其電流公式為

$$I_D = \frac{1}{2} \mu_n c_{ox} \left(\frac{W}{L} \right) (V_{GS} - V_t)^2 \quad (2.2)$$

其中 I_D 為流經MOS 的汲極電流, W 與 L 為 NMOS 尺寸, V_{GS} 為閘源極間電壓, V_t 為臨界電壓(threshold voltage), $\mu_n c_{ox}$ 為製程係數。而 g_m 為MOS 轉導 (Transconductance) 其值為:

$$g_m = \frac{\partial I_D}{\partial V_{GS}} \quad (2.3)$$

$$= \mu_n c_{ox} \left(\frac{W}{L} \right) (V_{GS} - V_t) \quad (2.4)$$

由 (2.2) 式又可得到

$$\mu_n c_{ox} \left(\frac{W}{L} \right) = \frac{2I_D}{(V_{GS} - V_t)^2} \quad (2.5)$$

從 (2.5) 式將 (2.4) 式中 $\mu_n c_{ox} \left(\frac{W}{L} \right)$ 以 $\frac{2I_D}{(V_{GS}-V_t)^2}$ 代換可得

$$g_m = \frac{2I_D}{V_{GS} - V_t} \quad (2.6)$$

從上述式子的關係我們可以得知當電流 I_1 增加時 $g_{m3,4}$ 也會跟著增加, 而從圖2.7得知等效的輸出電阻 R_{th} 為

$$R_{th} = R_P // \frac{-1}{g_{m3,4}} \quad (2.7)$$

$$= \frac{R_P}{1 - g_{m3,4} R_P} \quad (2.8)$$

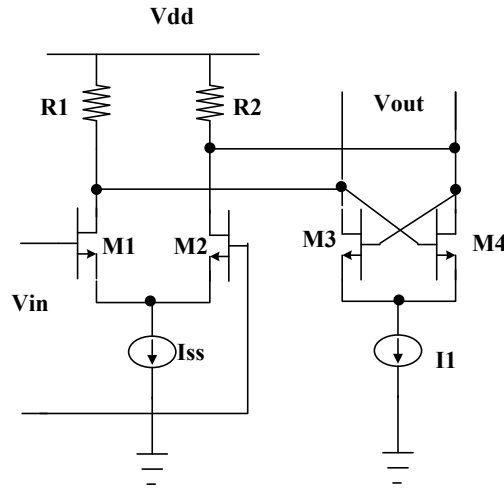


圖 2.6: 具有可變負電阻的差動對

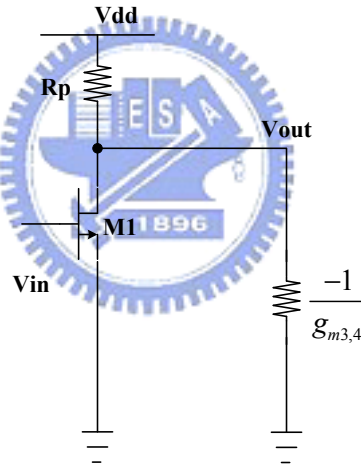


圖 2.7: 延遲元件等效電路

其中 $R_P = R_1 = R_2$ 。所以當 I_1 增加時 $g_{m3,4}$ 值也跟著增加使得等效輸出阻抗 R_{th} 變大 所以可使得頻率下降, 同理, 若使 I_1 變小, $g_{m3,4}$ 變小, 則頻率增加。

由先前建立單一級延遲元件的觀念後, 接著我們推展至多級環型振盪器的連接。如圖2.5為四級環型振盪器的振盪輸出依照巴克毫森準則, 四級開迴路轉移大小 $|H(w)|=1$ 和開迴路轉移函數相位為 $\angle H(w)=360$ 度, 在大小符合準則條件, 對相位來講由於第四級跨接至第一級方式, 明顯提供180度在開迴路轉移函數相位上, 其餘180度相位移則由四級來提供, 使每一級有45度的相位差異, 從中獲得兩阻正交穩定訊號, 如圖2.8, 提供 GPS 接收器之正交訊號來源。

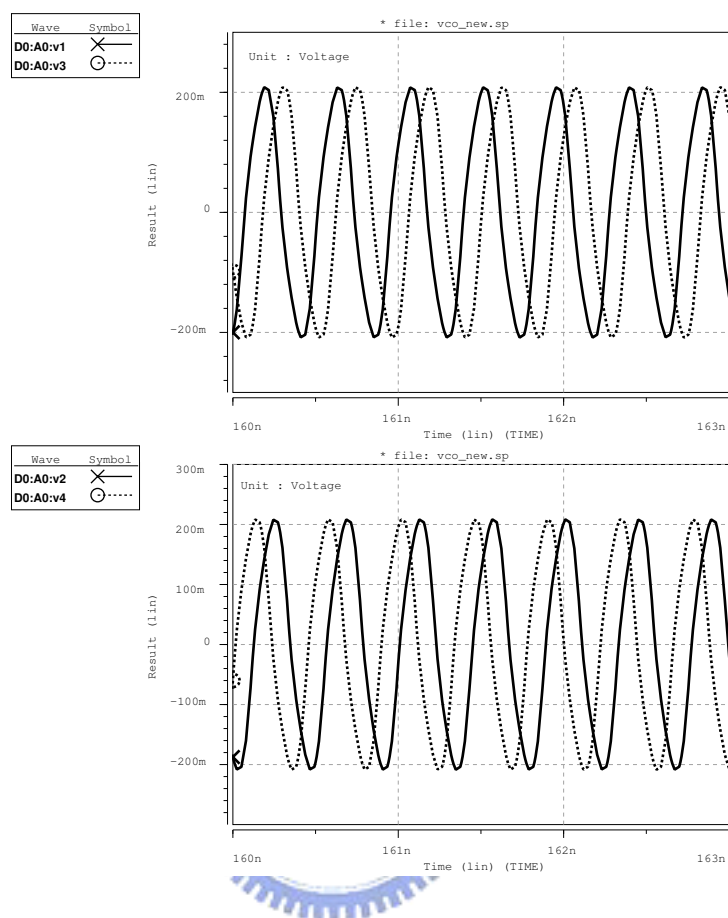


圖 2.8: 兩組正交訊號

2.2 電荷幫浦

在電荷幫浦理想電路觀念中, 使用上下穩定偏壓電流來對負載電容進行充電與放電, 藉由相位檢測器輸出產生的差動訊號的工作週期來控制開關, 決定充電與放電時間的長慢。由於單端電荷幫浦, 如圖2.9, 輸出隨轉態而進行充放電, 但當單端電荷幫浦不充電及放電時, 實際電容會有漏電現象, 並不能維持一固定穩態電壓。因此單端電荷幫浦需爲了維持固定電壓, 於是在下一轉態時則會急速充電, 會導致鎖相迴路系統在穩定時則有週期性的漣波, 我們稱做突波 (Spurious) 現象。爲了克服這種現象, 所以我們採用差動架構, 本身對於這種共模性質的週期性漣波有很好的排斥比, 進而發展差動型式的電荷幫浦, 如2.10圖, 是差動型態概念的理想圖。

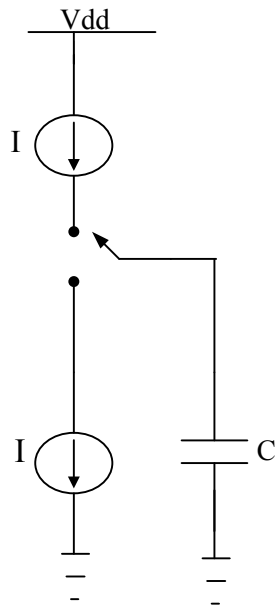


圖 2.9: 單端理想電荷幫浦

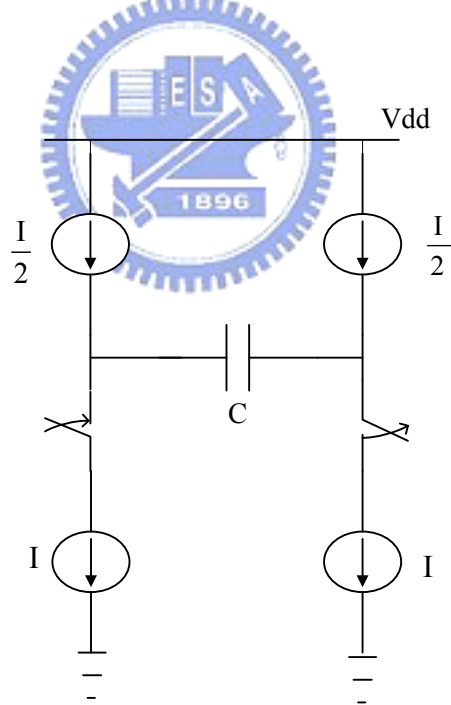


圖 2.10: 差動理想電荷幫浦

2.3 三態相位檢測器

鎖相迴路系統中相位檢測器之主要功能在於偵測輸入信號與取樣時脈之相位與頻率差值，並據此產生輸出信號之相位與頻率修正信號。其主要之設計重點包含相位頻率誤差解析度及鎖頻範圍，

以達到低雜訊，寬頻應用之目標。其中最常見的是三態相位檢測器如圖2.11，因為他的實現簡單具有 $\pm 2\pi$ 的線性相差範圍，並且可當作頻率偵測器使用。三態相位偵測器的狀態圖如2.12圖所示，共有三個狀態 State1, State2, State3。同樣的，狀態改變是由 R 和 V 訊號上升緣所決定, R 的上生緣會使電路狀態上昇，如由 State1 進至 State2, 或 State2 上昇至 State3, 若在 State3 則停留在此最高狀態。而 V 的上升緣則會使電路狀態下降。例如若電路的初使狀態為 State1, 則交替的 R 和 V 上升緣會使得電路在 State1, State2 之間循環；如果訊號 V 落後 R 一個固定相位。當電路狀態在 State2 時，由於 R 先出現，使得電路進入狀態 3, 之後 V 出現又使電路狀態恢復至 State2, 由此 R, V 的相繼出現，電路一直維持在 State2 與 State3 之間循環。同理可求得訊號 V 領先 R 一固定相位時，PD 電路則會一直維持在 State2 與 State1 之間循環。

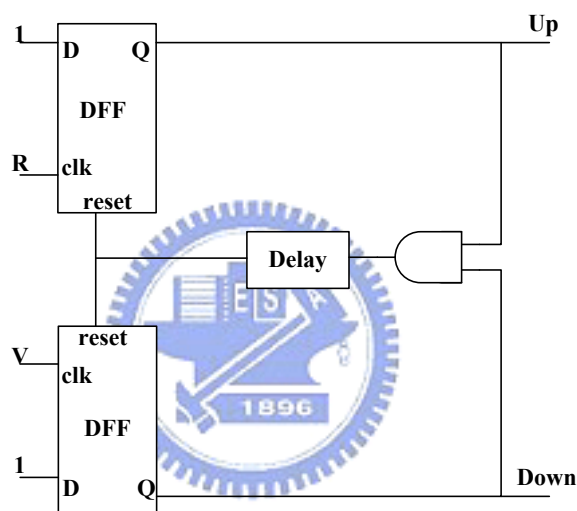


圖 2.11: 三態相位檢測器架構圖

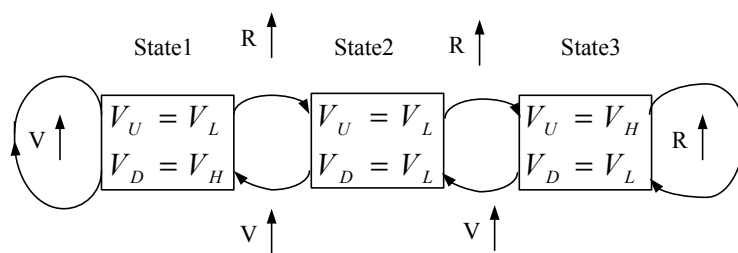


圖 2.12: 三態相位檢測器狀態圖

2.4 除頻器

頻率合成器系統中的除頻器其為數位非同步整數除頻器，主要利用六級 D 型正反器 (D-FF) 串接成非同步架構如圖2.13，實現除 2^6 函式數位電路，如圖2.13中第一級輸入端為 Clkp1、Clkn1 差動訊號，經正反器後輸出差動訊號 On1、Op1 並將連至第二級輸入 Clkp2、Clkn2，則依序連至六級架構將構成 2^6 函式非同步除頻器。

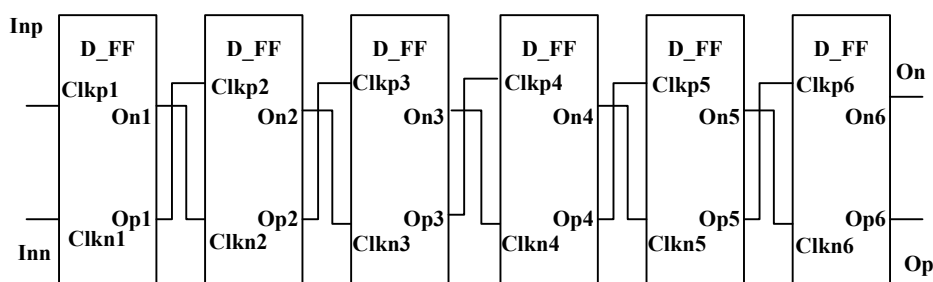
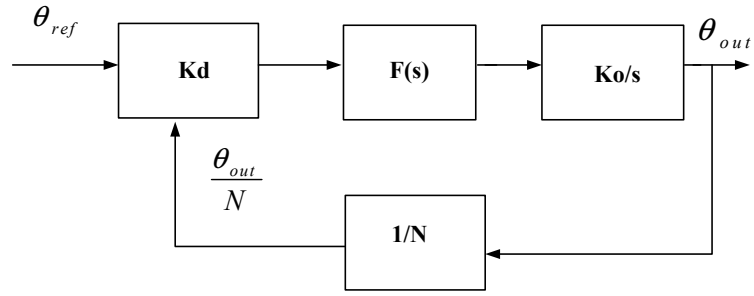


圖 2.13: 2^6 除頻器架構圖



2.5 迴路濾波器

頻率合成器是完整迴授控制系統，系統本身轉移函數中的極零點遷涉到鎖相系統穩定與否。因此定義鎖相迴系統穩定是指當壓控振盪器輸出一頻率 f_{out} 其相位為 θ_{out} ，經過除頻器後頻率為 f_{div} 且相位為 $\frac{\theta_{out}}{N}$ ，將與外加低雜訊石英振盪器的參考頻率 f_{ref} 相位為 θ_{ref} 做相位比較，輸出一平均電壓與相位差 $(\theta_{ref} - \theta_{div})$ 成正比，再經過迴路濾波器濾掉高頻雜訊後，輸出一控制訊號 V_{ctrl} ，用來控制壓控振盪器的輸出頻率在平衡時 $f_{out} = N \times f_{ref}$ ，若輸出頻率有偏移頻率合成器系統便立即做修正，因此系統上則能藉由設計濾波器轉移函數極零點來確保系統穩定。一般而言，頻率合成器是一個非線性系統，但在鎖定小角度的運作情形下，它的動態行為可以用線性系統做合理的趨近與描述，因此可將鎖相迴路系統化為線性模型如圖2.14。



Kd: Gain of phase detector
F(s): Transform function of Loop filter
Ko/s: Transform function of VCO
1/N: Gain of Divider

圖 2.14: 鎖相迴路線性模型圖

一般在積體電路應用中相位檢測器及壓控振盪器是固定的，只有迴路濾波器及除頻器是可由我們所設計，因此在頻率合成器系統中之迴路濾波器則我們可視為系統控制器，因迴路濾波之轉移函數的不同，則系統有不同動態行為也決定系統穩定及系統的參數，在此利用一階與二階濾波器說明，如圖2.15為一階濾波器經由電荷幫浦穩定電流 I_p 的充電與放電，並在輸出端產生一控制電壓 V_{ctrl} 間接控制壓控振盪器。

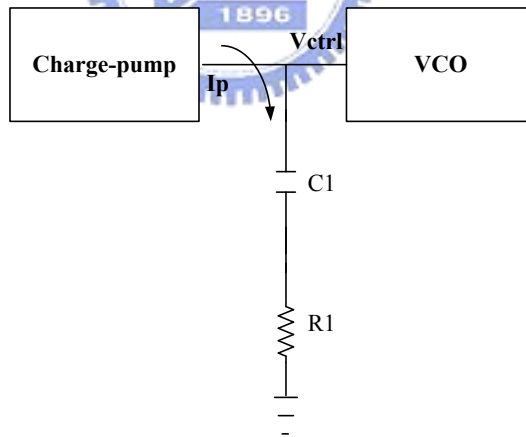


圖 2.15: 一階濾波器

一階等效濾波器阻抗

$$Z(s) = R_1 + \frac{1}{sC_1} \quad (2.9)$$

在一個週期內總充電荷量為 $I_P \theta_e T / 2\pi$ ，則平均電流為

$$I_{avg} = I_P \theta_e / 2\pi \quad (2.10)$$

控制電壓 V_{ctrl} 與平均電流關係為

$$V_{ctrl} = I_{avg} \cdot Z(s) \quad (2.11)$$

$$V_{ctrl} = \frac{I_P \theta_e}{2\pi} R_1 C_1 \frac{s + \frac{1}{R_1 C_1}}{s} \quad (2.12)$$

輸出相位角 $\theta_o = V_{ctrl} K_o / s$ 所以輸入相位誤差與輸出相位角關係為

$$\theta_o = K_o K_d K_h \frac{s + \frac{1}{R_1 C_1}}{s^2} \theta_e \quad (2.13)$$

$\frac{K_o}{s}$ 為壓控振盪器線性轉移函數增益, K_d 為相位檢測器線性轉移函數增益, K_h 為迴路濾波器線性轉移函數增益

從2.11式轉移函數得知有兩個極點在原點和一個零點在左半平面, 於是會有一根軌跡會是隨增益越大往右半平面而系統為有條件的穩定, 且當輸入為正電流脈沖信號如圖2.15所示, 則在 V_{ctrl} 電壓會瞬間產生大小為 $I_p R_1$ 電壓, 當電流脈衝結束時也同樣會有這樣瞬間 $I_p R_1$ 下降電壓的現象, 這對壓控振盪器產生了干擾, 為減少影響可在 V_{ctrl} 在並聯電容 C_2 形成二階濾波器, 從頻率觀點一階濾波器等效加上一個零點, 原先高頻部份的迴路增益由 -40dB/dec 減少為 -20dB/dec, 為了讓高頻部份的雜訊能被壓抑, 因此在零點之後多加一個極點, 利用並聯一小電容來提供這樣一極點如圖2.16, 若為了更有效抑制雜訊, 可用三階以上濾波器來得到較穩定的控制電壓。

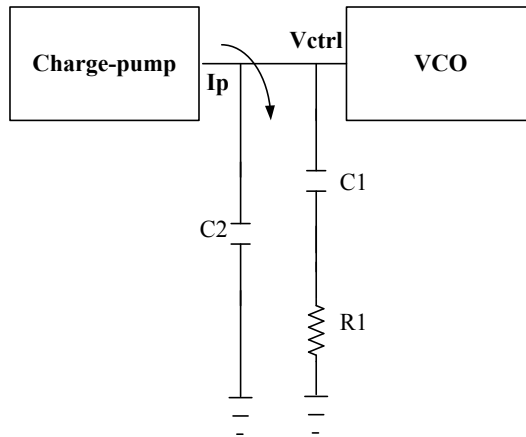


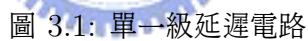
圖 2.16: 二階濾波器

第 3 章

鎖相迴路系統電路之設計

3.1 環型振盪器設計

提出以延遲元件所構成環型振盪器即利用改變延遲元件延遲時間，間接來控制在不同頻段的頻率輸出。而環型振盪器普遍使用主動元件實現振盪電路，因此帶來許多主動元件的雜訊，如閃爍雜訊 (Flicker Noise) 等，因此振盪器相位雜訊也不再單純的電源電壓雜訊和被動元件雜訊所主導，而需有更多考慮雜訊因素存在。在這樣考慮比較下差動型式環型振盪器會比單端型式環型振盪器優點來的多；所以我們發展四級架構環型振盪器主要提供 GPS 接收端兩組正交訊號，並依文獻提出利用交連耦合對 (Cross-Coupled Pair) 負電阻型式，做為每一級環型振盪器延遲元件，如圖3.1。藉由模擬軟體，可將文獻所提單一級延遲元件建立四級環型振盪器，憑藉不同單端控制電壓 V_{con1} 與 V_{con2} 來使得流經 Q7 與 Q8 電流比例不同，讓 Q3 與 Q4 差動對形成一流控負電阻，且並聯於輸出端以改變整體時間延遲常數。



15

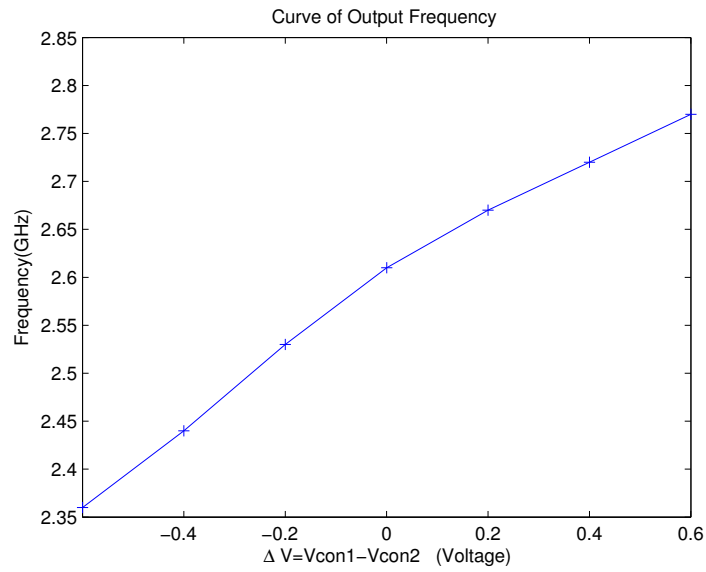


圖 3.2: 振盪器之控制電壓與頻率

差動控制電壓 (Vcon1-Vcon2)	單位	振盪頻率	單位
0.6	V	2.77	GHz
0.4	V	2.72	GHz
0.2	V	2.67	GHz
0	V	2.61	GHz
-0.2	V	2.53	GHz
-0.4	V	2.44	GHz
-0.6	V	2.36	GHz

表 3.1: 電壓轉換電流型式振盪器之控制電壓與頻率表

但由於此延遲元件電路受電晶體設計操作電壓的侷限，因此控制輸出頻率為有限制並不能將環型振盪器的優點更突顯出來。為了改善特點，首先從最基本的原理開始，我們依巴克毫森準則開始建立我們振盪環境條件。

四級環型振盪器開路轉移函數

$$|H(s)| = \frac{A_o^4}{(1 + \frac{s}{w_o})^4} \quad (3.1)$$

若若要產生振盪則每須提供相位移為

$$\angle H(s)|_{s=jw} = 4 \arctan \frac{w}{w_o} \quad (3.2)$$

四級環型振盪器維持振盪條件為在振盪頻率條件下開迴路轉移函數增益 $|H(w)|_{s=jw}=1$, 和開迴路轉移函數相位 $\angle H(w)=180$ 度。由3.1式相位角度等於180度, 則每一級所提供45度的相位差並得知 $w_o=w$, 再將此關係式代入3.2式得到維持振盪條件最低振盪增益為 $|H(w)|_{s=jw}=\sqrt{2}$ 。

則此時頻率為

$$\arctan \frac{w_{osc}}{w_o} = 45^\circ \quad (3.3)$$

$$w_{osc} = w_o \quad (3.4)$$

最小電壓增益

$$\frac{A_o}{\sqrt{1 + (\frac{w_{osc}}{w_o})^2}} = \sqrt{2} \quad (3.5)$$

圖3.1利用差動偶合對形成一負電阻, 由圖2.6小信號等效模型負電阻阻值為 $\frac{-2}{g_{m3,4}}$, 改變流經負電阻的電流比例間接改變 $g_{m3,4}$, 將變動的負電阻阻值與小信號正值電阻 (R_1+R_2) 並聯形成等效電阻 R_{th}

$$R_{th} \approx (R_1 + R_2) // \frac{-2}{g_m} \quad (3.6)$$

與延遲元件寄生電容形成延遲時間

$$C_{total} = C_{C,Q1} + C_{C,Q2} + C_{C,Q3} + C_{C,Q4} + C_{B,Q5} + C_{B,Q6} \quad (3.7)$$

$$\tau = R_{th} C_{total} \quad (3.8)$$

在符合所有振盪條件之後, 可觀察出當完成一個週期等於 $2N\tau$; N 為級數量; 並將此關係帶回3.1式, 於是環型振盪器的輸出頻率可為其下表示式。

$$f_{osc} = \frac{1}{2N\tau} \quad (3.9)$$

但由於輸入控制範圍及輸出頻率範圍的有限, 讓對於要用在鎖相迴路而產生問題, 如電荷幫浦有大範圍的輸出反應但卻無較大輸入範圍的環型振盪器。為了改善此問題, 利用電壓轉換電流的電路來取代單一級延遲元件上控制流經負電阻電流電路, 改善電路上利用電壓控制電流設計的難題而獲得更好的成效。圖3.3為取代單一延遲原件之控制電路部份和圖3.4為電壓轉換電流電路, 其圖3.4中Q6、Q4、R13

R14與偏壓電壓形成兩組穩定偏壓電流, 再由 Vcon1 與 Vcon2 的偏壓來控制電流比例 然後將電流米勒映射至 M1 與 M4 並在各自的路徑上 Q2 與 Q8 形成兩偏壓 ConB1 與 ConB2, 此偏壓間接控制環型振盪器之負電阻的電流, 以利改變負電阻阻值調整輸出不同振盪頻率。

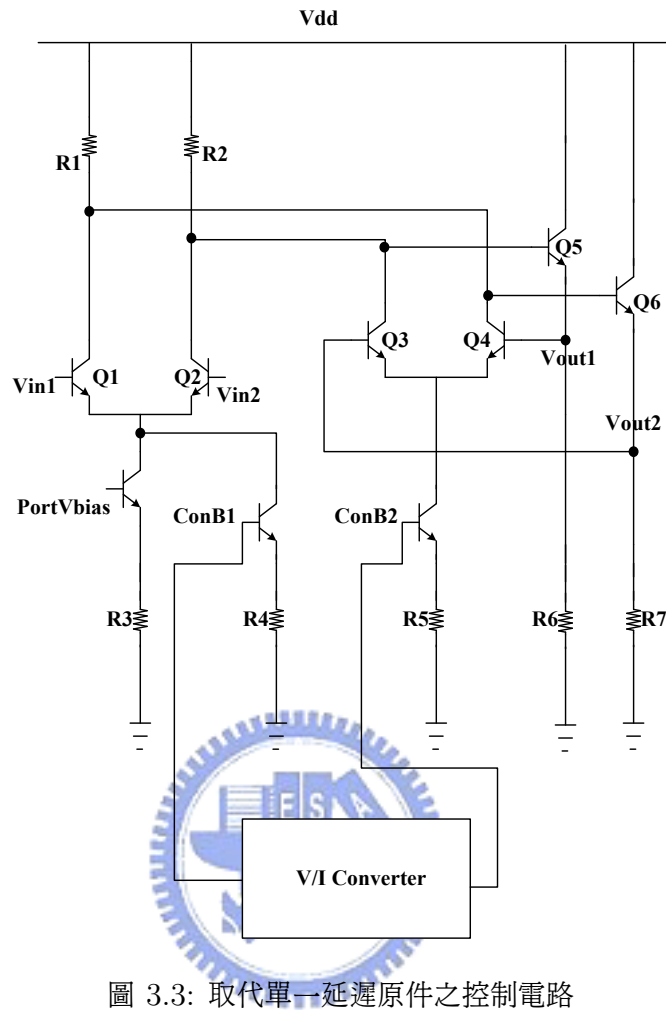
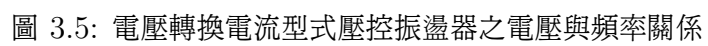
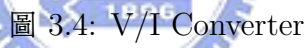


圖 3.3: 取代單一延遲原件之控制電路

圖3.5為改善後環型壓控振盪器特性曲線，並與文獻所提延遲元件建立相同四級環型振盪器做為比較可觀察改善後隨不同控制電壓而有不同輸出頻率範圍，增加控制電壓範圍與輸出頻率範圍。對於特性曲線的線性度也能符合實現頻率合成器線性模型系統中，將壓控振盪器視為積分控制器，當作線性系統設計上的參數。

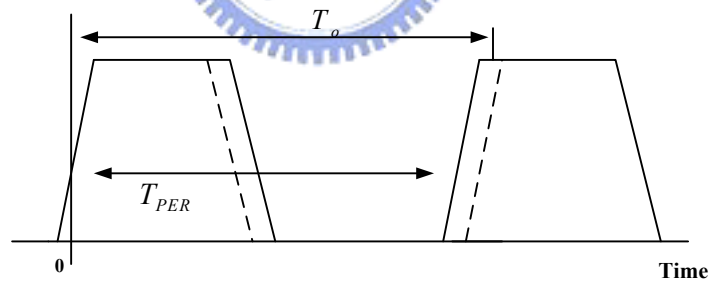


差動控制電壓 (Vcon1-Vcon2)	單位	振盪頻率	單位
1	V	2.846	GHz
0.8	V	2.738	GHz
0.6	V	2.658	GHz
0.4	V	2.564	GHz
0.2	V	2.452	GHz
0	V	2.314	GHz
-0.2	V	2.145	GHz
-0.4	V	1.939	GHz
-0.6	V	1.694	GHz
-0.8	V	1.421	GHz
-1	V	1.121	GHz

表 3.2: 電壓轉換電流型式振盪器之控制電壓與頻率表

3.1.1 訊號劇動

週期性訊號劇動 (Period Jitter) 為量測實際輸出週期訊號與理想週期訊號的誤差值, 此值為自然變數, 且週期性訊號此量測值可定義為鋒對峰值 (Peak-to-Peak) 與均方根值 (Root of Mean Square), 在此我們定義均方根值為如圖3.6定義



T_0 : Constant periodic signal

T_{PER} : Variable periodic signal

圖 3.6: 訊號劇動量測

$$J_{PER} = T_{PER} - T_0 \quad (3.10)$$

T_0 定義為理想週期訊號, 並可求得隨機變數 J_{PER} 均方根植

$$J_{PER(RMS)} = \sqrt{E[J_{PER}^2]} \quad (3.11)$$

$E[*]$: 期望值

3.1.2 相位雜訊

對於一理想的旋波振盪器, 會產生一理想的輸出波型為

$$s(t) = A \sin(2\pi f_c t) \quad (3.12)$$

但是由於相位雜訊影響, 實際上的波形會為

$$s(t) = A \sin(2\pi f_c t + \theta(t)) \quad (3.13)$$

此式中 $\theta(t)$ 為雜訊所引起相位變動, 且其量都小於 $\pi/2$ 故可改寫為

$$s(t) = A \sin(w_c t) + A\theta(t) \cos(w_c t) \quad (3.14)$$

求此式功率頻譜為

$$S_c(f) = \frac{A^2}{4}[\delta(f - f_c) + \delta(f + f_c)] + \frac{A^2}{4}[S_\theta(f - f_c) + S_\theta(f + f_c)] \quad (3.15)$$

其中的 $S_\theta(f)$ 指的就是相位雜訊功率頻譜, 對於振盪器而言相位雜訊這是個很重要的性能指標, 而相位的雜訊的定義為主頻與偏頻功率頻譜上的大小相差值, 如圖3.7

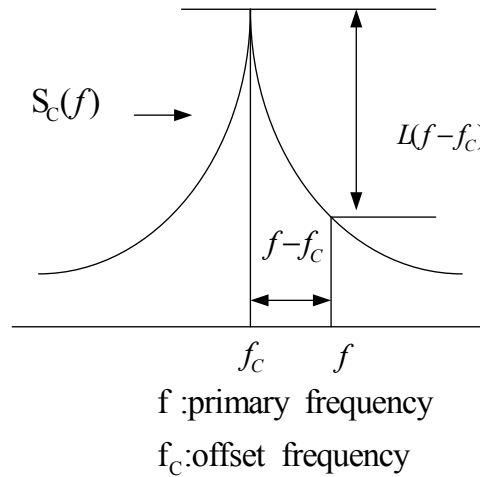


圖 3.7: 相位雜訊頻譜上的定義

$$L(f - f_c) = 10 \log \left[\frac{S_c(f)}{S_c(f_c)} \right] \quad (3.16)$$

在這裡我們針對改善後環型振盪器在不同的控制電壓而產生不同穩定輸出頻率範圍，分別依據不同的控制電壓輸出不同頻率輸出，來模擬開迴路壓控振盪器的相位雜訊，其偏移頻率 (offset frequency) 為 1MHz，相位雜訊分別約為如圖 3.8 到圖 3.10

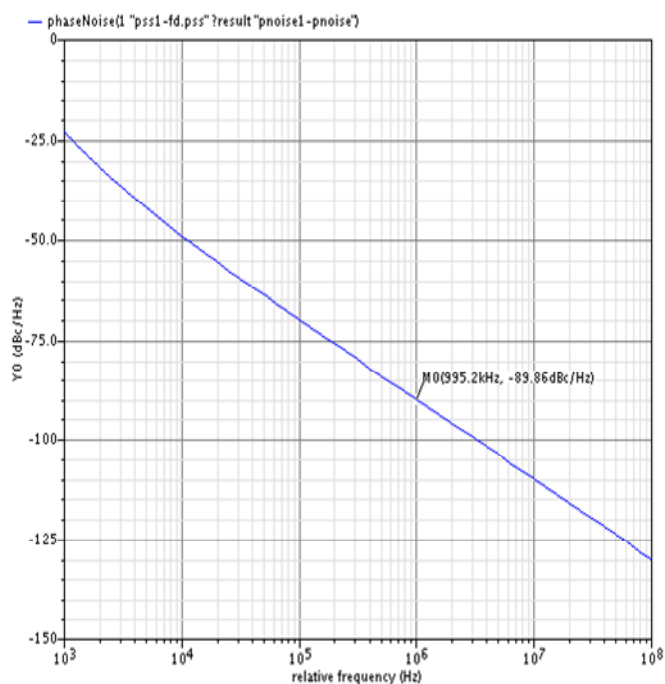


圖 3.8: 輸出中心頻率為 2.84GHz 的相位雜訊為 -89.86dBc/Hz

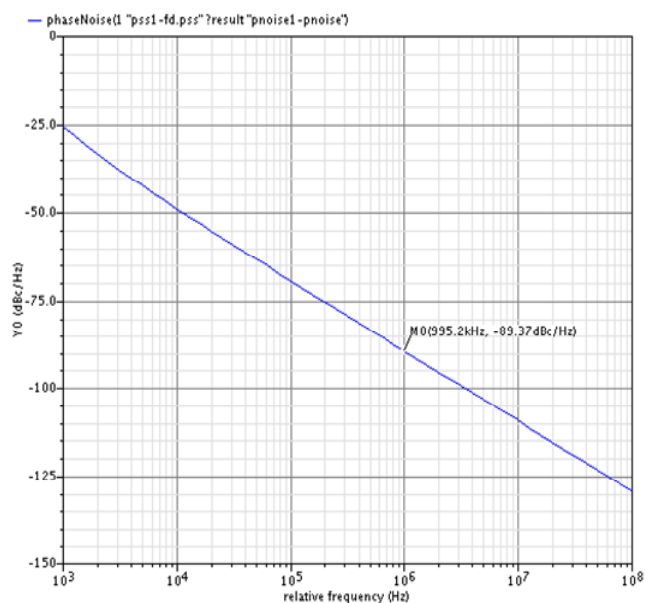


圖 3.9: 輸出中心頻率為 1.66GHz 的相位雜訊 -89.37dBc/Hz

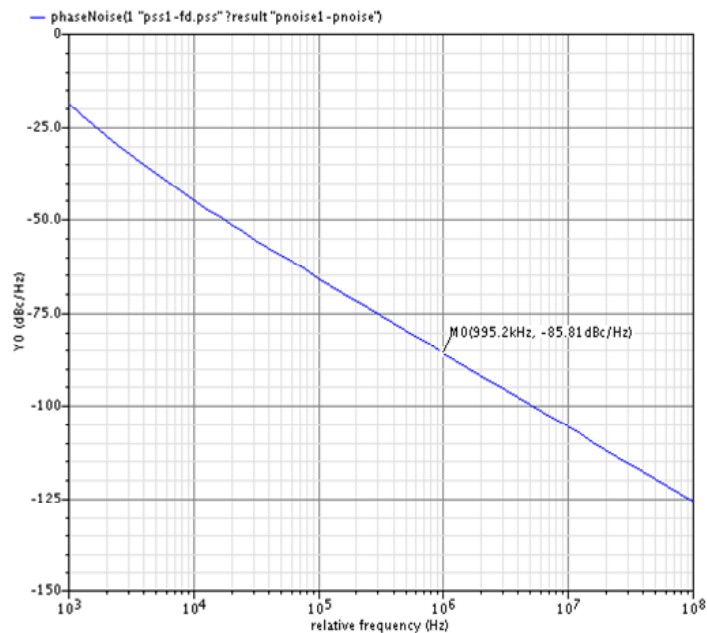


圖 3.10: 輸出中心頻率為1.12GHz 的相位雜訊-81.56dBc/Hz

3.2 電荷幫浦設計

前章提到爲了減少突波 (Spurious) 現象漣波利用差動架構可消除這樣的問題, 所以我們採用差動型式實現電荷幫浦電路, 且在電荷幫浦理想電路觀念中, 使用上下 穩定偏壓電流來對負載電容進行充電與放電, 並由相位檢測器輸出產生輸出差動訊號的工作週期來控制開關, 間接決定充電與放電時間的長短, 基於這樣的想法形成差動電荷幫浦類比電路, 如圖3.11, 在設計電荷幫浦的電路上, 使用能隙參考電壓和偏壓迴授控制電路[4], 圖3.12, 來產生一常數電壓, 當做固定電流源之基極偏壓, 且知Q1、Q6與 Q7放大器射極上的電阻, 可當負迴授電路來穩定偏壓電流, 因此產生電路下方穩定電流源。至於上方電流則由偏壓電路電流上引至電路上方米 M1、M2、M3所組成米勒電流鏡, 產生我們所理想的電路上穩定電流, 但防止二次效應會影響其電流大小的不公平, 於是在設計上在 MOS 源極串小電阻當做負迴授以減小電流不均效應。電路上 Q2、Q3、Q4與 Q5做爲切換開關主要利用 BJT 射極邏輯電路 (ECL) 不進入飽和狀態的特性, 使之高速切換開關動作以至於能快速的反應系統下一狀態變化, 並降低從電荷幫浦至相位檢測器系統路徑的延遲, 使電荷幫浦所產生微小 ΔV 也能完全的反應至系統環型振盪器輸出上。

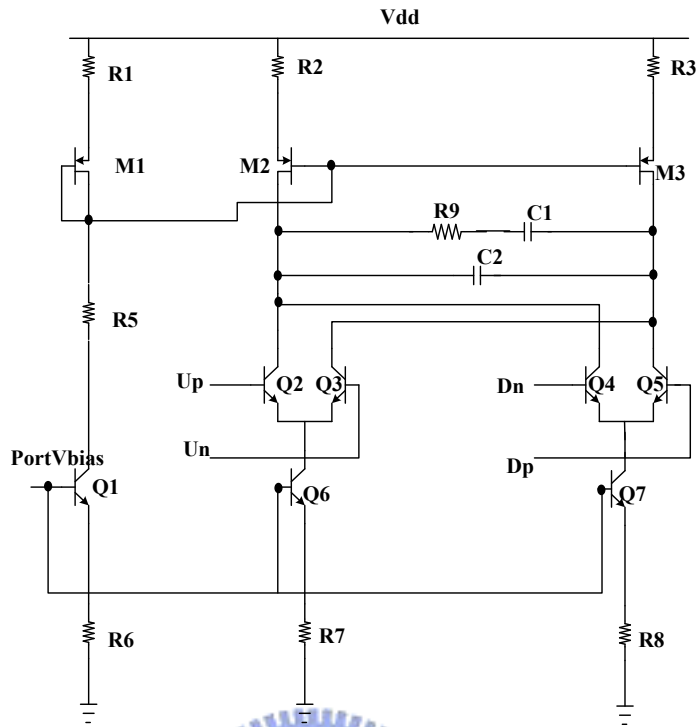


圖 3.11: 電荷幫浦實際電路

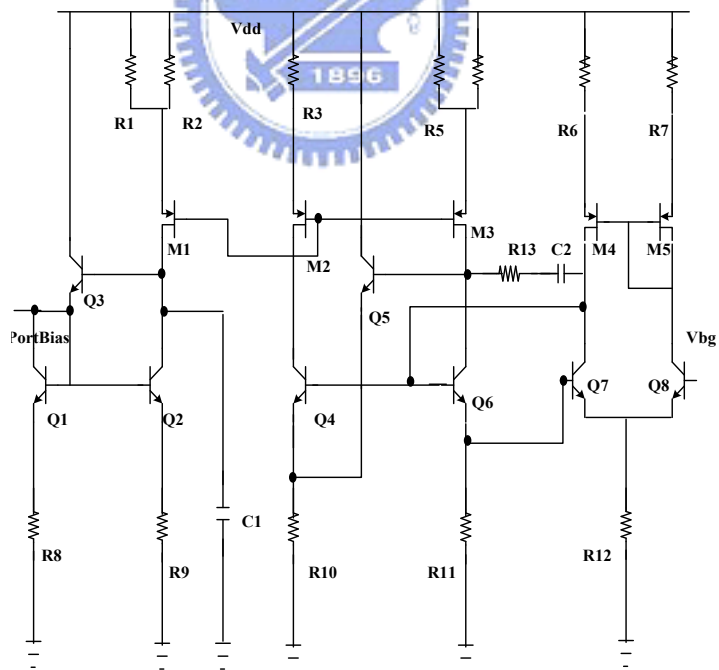


圖 3.12: 偏壓控制電路

3.3 雙端差動相位檢測器

在對電流模式邏輯概念和定義低狀態數位邏輯準位控制電路運用在數位邏輯的概念, 及在上設計非同步除頻器設計經驗詳明的介紹, 雖然相位檢測測器的操作頻率範圍沒有如除頻器第一級這麼

高操作頻率範圍，但對於極小相位差能快速靈敏反應，是相位檢測器是必要的。且死區 (Dead Zone) 問題是設計相位頻率偵測器的一個重要課題，理想上，相位頻率偵測器的輸出和兩個輸入信號相位差異很小時，輸出並無法與相位差異成正比。接近零的相位差異所導致非線性的相位頻率偵測器輸出稱為”死區”。而在此區域的電壓等級無法驅動電荷充放器。一個好的消除死區的方法為在 UP 與 DOWN 的信號增加一個小的脈波，即使兩個輸入信號並無相位差異。實現的方式為在相位頻率偵測器的重設 (Reset) 路徑上增加一延遲電路，增加延遲時間即可檢少死區。基於這樣死區問題解決的重要性，也當做我們設計相位檢測器參考因素，於是如圖三態相位檢測器方塊圖中，我們使用兩個反相器和或閘來取帶 NAND 閘，並將或閘輸出拉回至具有重設功能的 D 型正反器。為了改善死區問題藉由多增設反相器的延遲，來得到更好的輸出反應，則修改後差動三態相位檢測器架構如圖3.13。輸入為參考訊號 Refp、Refn 差動訊號和經除頻器後的 Vcop、Vcon 差動訊號，利用簡易邏輯電路來判斷相位上的超前與落後。

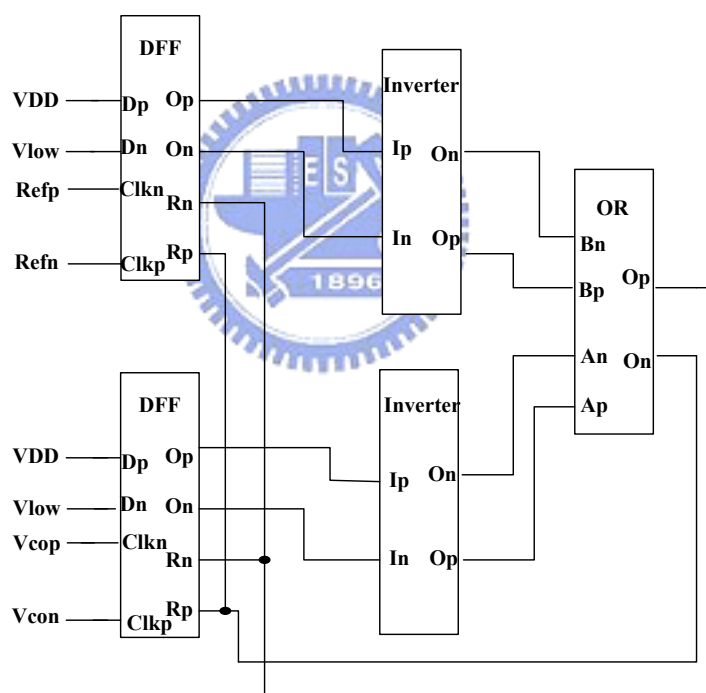


圖 3.13: 差動相位檢測器

3.3.1 電流模式 D 型正反器邏輯

因環型振盪器工作在高頻區域，對於非同步數位除頻器和相位檢測器的都使用 D 型正反器組成數位邏輯電路，則必須引用高速正反器邏輯電路來因應這樣操作環境條件，所以無法使用傳統電壓模式正反器。首先這裡我們使用圖3.14中 M8、M9、M4、M5、M2組成 CML 架構和交連偶合差動對 (Cross Coupled Pair) 電路如圖3.14中 M6、M7，藉由 Clk 差動訊號來控制 M2、M3的切換，當

M2打開和 M3關閉時為邏輯狀態的變換，反之，M2關閉和 M3打開時則是維持上一狀態，於是形成單一級門型 (Latch) 電路而 D 型正反器正是由兩個相同門型電路所組成[5][6]如圖3.15, 以相差180度相位時脈 (Clock) 差動信號控制兩者門型電路間的切換以達快速 D 型正反器目地。

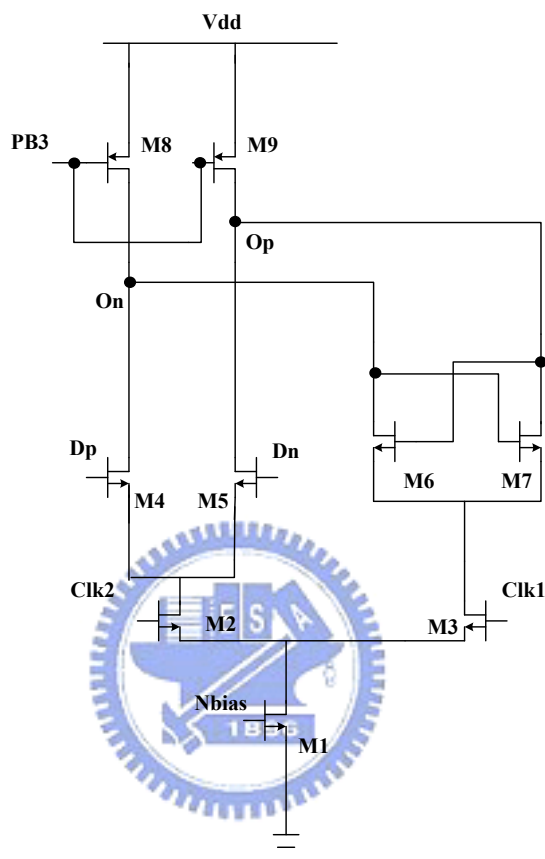


圖 3.14: Latch 架構圖

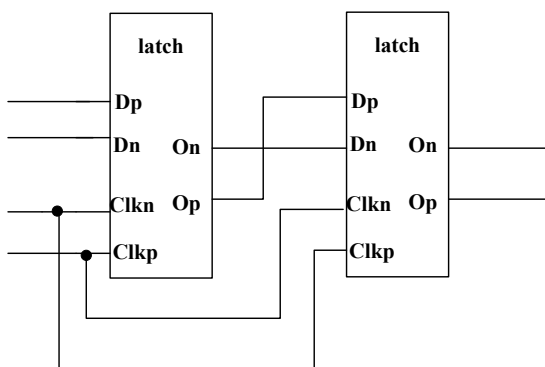


圖 3.15: 電流模式D正反器

在此電流模式高低狀態邏輯準位不再使用傳統全電壓邏輯準位驅動數位邏輯，而是可以自行定義邏輯準位。其設計利用能隙電壓和偏壓控制電路圖3.11 提供參考電壓源給工作放大器並和門型電路，或閘邏輯電路構成迴授電路產生主動負載設計偏壓電壓，如圖3.16，提供三種電流型式數位電路做為迴授路徑並定義出低狀態邏輯準位電壓 (V_{low}) 與高準位電壓 (V_{DD})。而不再是傳統用使用接地電壓來代表0邏輯準位，縮短邏輯電壓上升與下降時間來以利達高速邏輯準位切換目的。

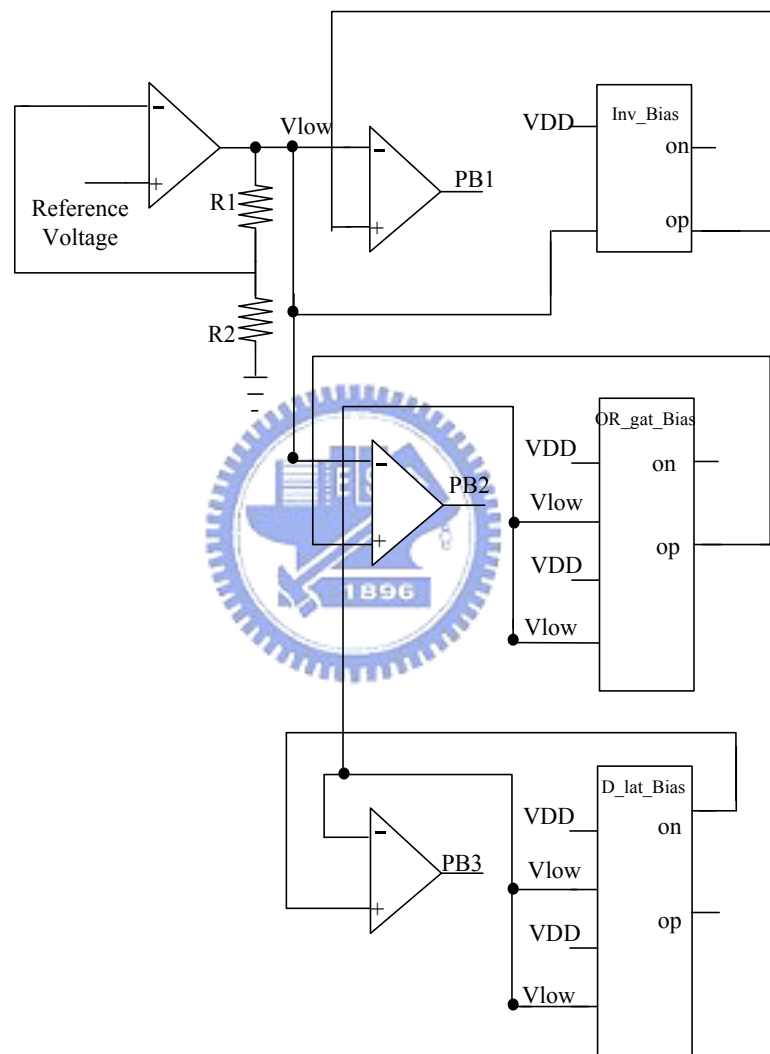


圖 3.16: 低準位邏輯電壓控制電壓

其中將或閘電路，反相器及門型重設電路運用電流模式邏輯方式去實現。而或閘邏輯電路故將兩 NMOS 電晶體以並聯方式達成如圖3.17，至於重設清除門型電路如圖3.17 右圖將門型電路做些許改變，使當重設動作時能快速將差動輸出降為低狀態。

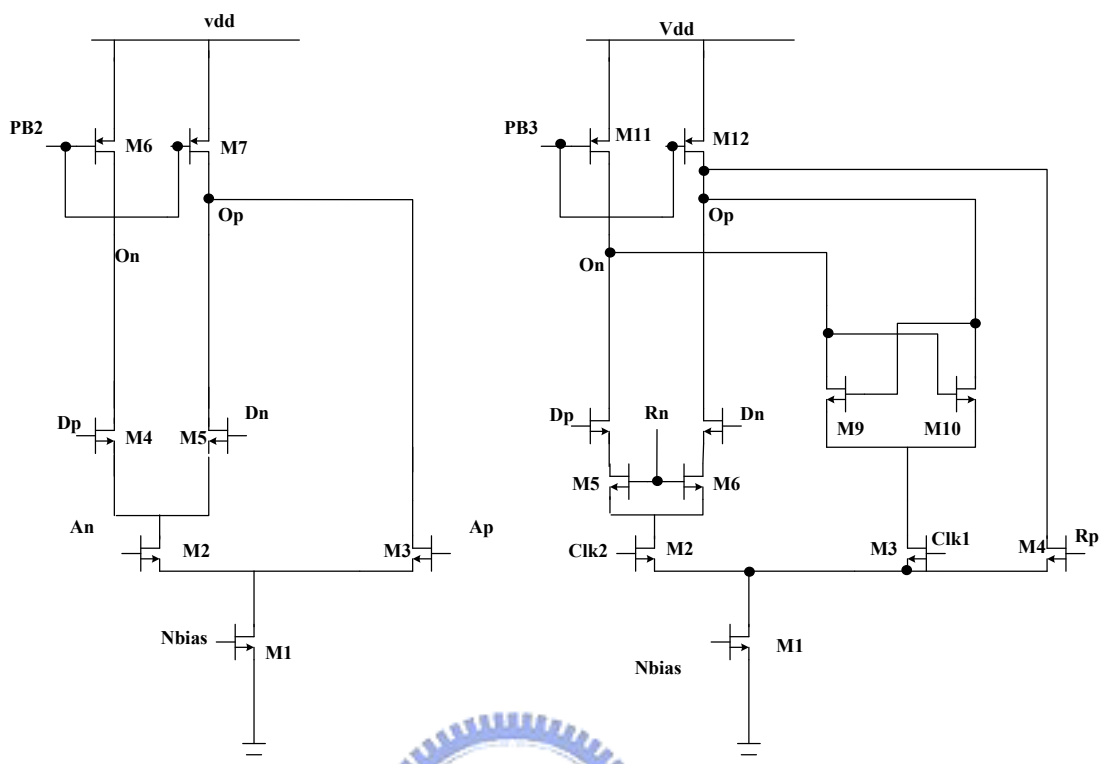


圖 3.17: 電流模式或閘與重設門型閘

完成整個三態相位檢測器的建立流程之後，則我們觀察三態相位檢測器的輸出，來判斷石英振盪參考訊號與壓控振盪器的相位差異；相位超前和相位落後如圖3.18。並了解死區對三態相位檢測器，位在極小相位差情況所受的影響，是否能正常的反應至系統層面上以利系統能快速驅於穩定狀態。

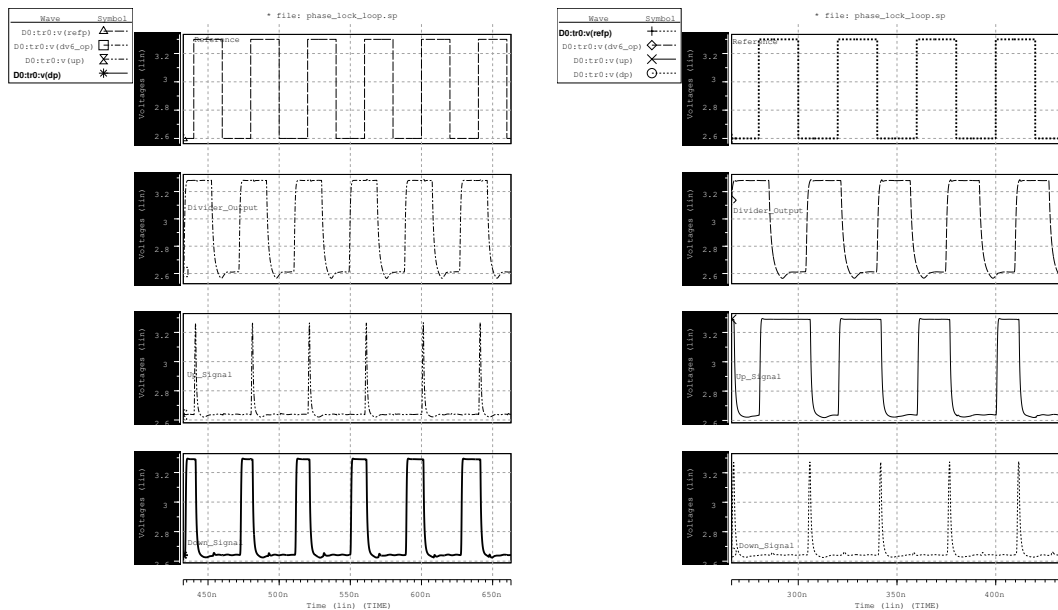


圖 3.18: 左圖為除頻器輸出相位超前參考訊號相位 右圖為除頻器輸出相位落後參考訊號相位

3.4 雙端非同步除頻器設計

從建立電流模式單級 D 型正反器和定義高低狀態數位邏輯準位控制電路的經驗，於是實現除頻器之單級是容易的，由正反器的架構完成一個除 2 單級電路如圖 3.19，並輸出如圖 3.20，所以利用連接方式的不同，可以實現完整六級數位非同步除頻器，如 3.19 圖完成整個雙端除頻架構，並在級與級之間接多增設一個電流模式反相器，使得每級都有足夠驅動能力推動下一級輸出，圖 3.20 右圖是將環型振盪器差動輸出經過每級的輸出模擬結果。並其驗證利用電流模式切換正反器邏輯較傳統電壓模式邏輯電路獲得更大操作頻率範圍。

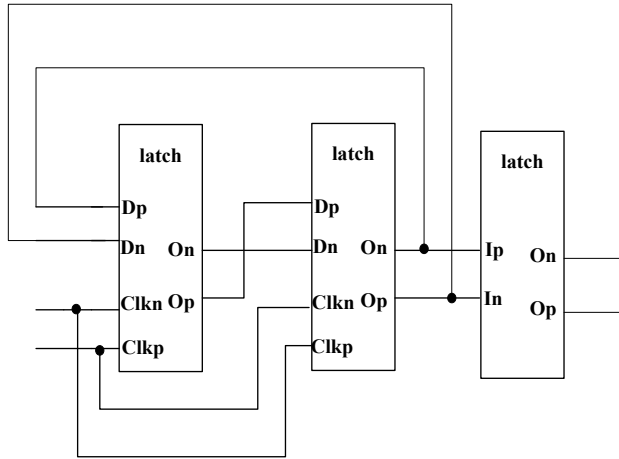


圖 3.19: 除頻器之單級架構圖

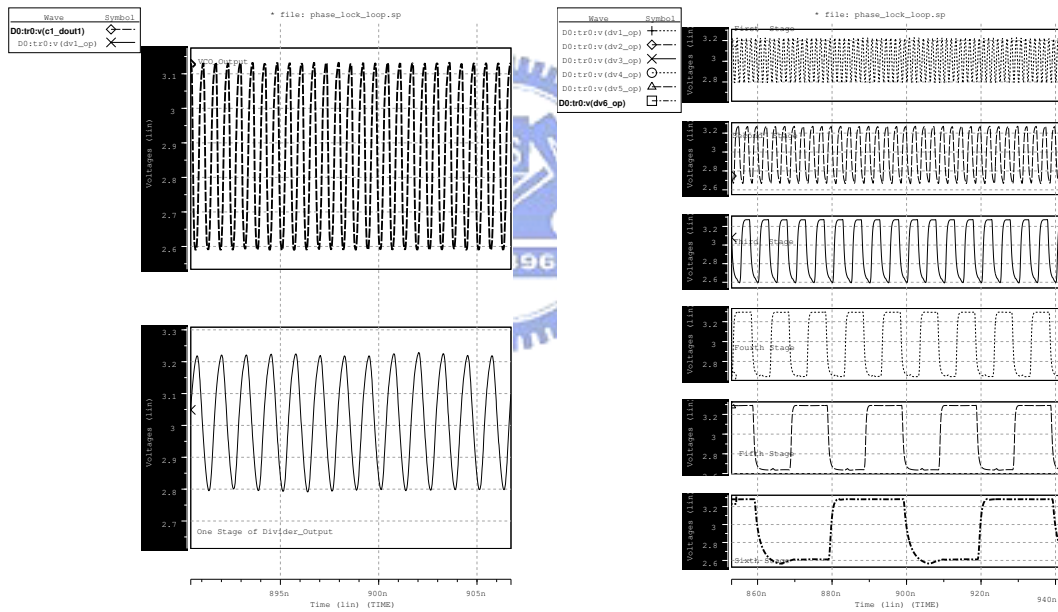


圖 3.20: 左圖為電流模式D型正反器除2電路模擬結果 右圖為連接六級後除頻器每一級輸出結果

3.5 迴路濾波器設計

在此我們利用二階濾波器來當做我們推拉型式迴路濾波器，並聯 C1 電容來減少一階濾波器充放電所產生突波電壓，除此之外對於設計迴路依照開迴路增益頻寬 (Open Loop Gain Bandwidth) 和相位極限 (Phase Margin) 來決定迴路濾波器元件值[7][8]。如圖3.21為系統增益相位波德圖 在系統迴路增益波德圖 w_p 等於0dB，此時系統相位波德圖 ϕ_p 大於-180度，保證系統為穩定。藉由濾波

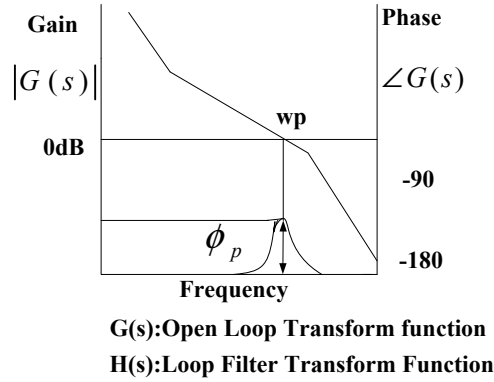


圖 3.21: 開迴路增益相位波德圖

器轉移函數提供極零點分佈來控制相位極限的大小。一般相位極限值設在30度與70度之間, 太高相位極限會影響系統反應速度, 接著從迴路慮波器阻值來設計我們所要的相位極限, 二階慮波器阻抗值為

$$Z(s) = \frac{sC_2R_2 + 1}{s^2C_1C_2R_2 + sC_1 + sC_2} \quad (3.17)$$

定義慮波器轉移函數極點與零點為

$$T_1 = R_2 \frac{C_1C_2}{C_1 + C_2} \quad (3.18)$$

$$T_2 = R_2C_2 \quad (3.19)$$

將鎖相迴路各個不同區塊和 K_d, K_o 和 N 的開路轉移函數 $G(s)$ 與慮波器轉移函數 $H(s)$ 形成開迴路增益

$$G(s)|_{s=jw} = \frac{-K_dK_o(1 + jwT_2)}{w^2C_1N(1 + jwT_1)} \frac{T_1}{T_2} \quad (3.20)$$

從開迴路轉移函數極點與零點定義出系統相位極限方程式

$$\phi(w) = \arctan(wT_2) - \arctan(wT_1) + 180^\circ \quad (3.21)$$

將式對 w 做微分並求其極值

$$\frac{\partial \phi}{\partial w} = \frac{T_2}{(1 + wT_2)^2} - \frac{T_1}{(1 + wT_1)^2} = 0 \quad (3.22)$$

求得位在系統最大相位極限值的交越頻率與 T_1, T_2 的關係

$$w_p = \frac{1}{\sqrt{T_2T_1}} \quad (3.23)$$

為保證系統穩定, 將最大相位極相值定義在開迴路增益轉移函數大小值為 1, 於是將式帶入 3.14 式可得

$$C_1 = \frac{K_d K_o T_1}{w_p^2 N T_2} \parallel \frac{(1 + jw_p T_2)}{(1 + jw_p T_1)} \parallel \quad (3.24)$$

因此假設給定迴路頻寬和相位極限為已知, 並利用 3.20 式到 3.23 式的關係而推算出 T_2 與 T_1 時間常數

$$T_1 = \frac{\sec \phi_p - \tan \phi_p}{w_p} \quad (3.25)$$

$$T_2 = \frac{1}{w_p^2 T_1} \quad (3.26)$$

藉由 T_2 與 T_1 時間常數, 迴路頻寬及相位極限和先前所推算出 C_1, R_2 及 C_2 而推出下列此式

$$C_1 = \frac{T_1 K_d K_o}{T_2 w_p^2 N} \sqrt{\frac{1 + (w_p T_2)^2}{1 + (w_p T_1)^2}} \quad (3.27)$$

$$C_2 = C_1 \left(\frac{T_2}{T_1} - 1 \right) \quad (3.28)$$

$$R_2 = \frac{T_2}{C_2} \quad (3.29)$$

經由一連串的推算之後, 並假設系統是穩定環境。我們可以利用鎖相迴路線性模型, 迴路頻寬及相位極限來得到迴路其元件值, 因此將運算濾波器的理論應用在我們設計鎖相迴路之迴路濾波器上。於是在本篇濾波器的設計 將迴路頻寬設為參考頻率的十分之一, 相位極限設計在 45 度而得到一組濾波器元件其值

元件	大小	單位
R_2	12.542K	歐姆
C_2	12.26p	法拉
C_1	2.54p	法拉

表 3.3: 迴路頻寬為 2.5MHZ 相位極限 45 度之濾波器

3.6 頻率合成器的相位雜訊

要分析頻率合成器的相位雜訊 (Phase Noise), 採用圖3.22的線性雜訊模型。在此方塊圖中, 相位頻率偵測器的轉移函數為 K_d , 迴路濾波器為 $F(s)$, 壓控振盪器為 K_v/s , 除頻器為 $1/N$ 。每個元件產生的雜訊都會對頻率合成器輸出雜訊產生影響, 下列為各元件的雜訊轉移函數是依照不同方塊雜訊對總輸出雜訊的影響, 最後利用線性重疊定理將所有方塊對系統輸出雜訊的轉移函數相加總和, 以得到頻率合成器相位雜訊。

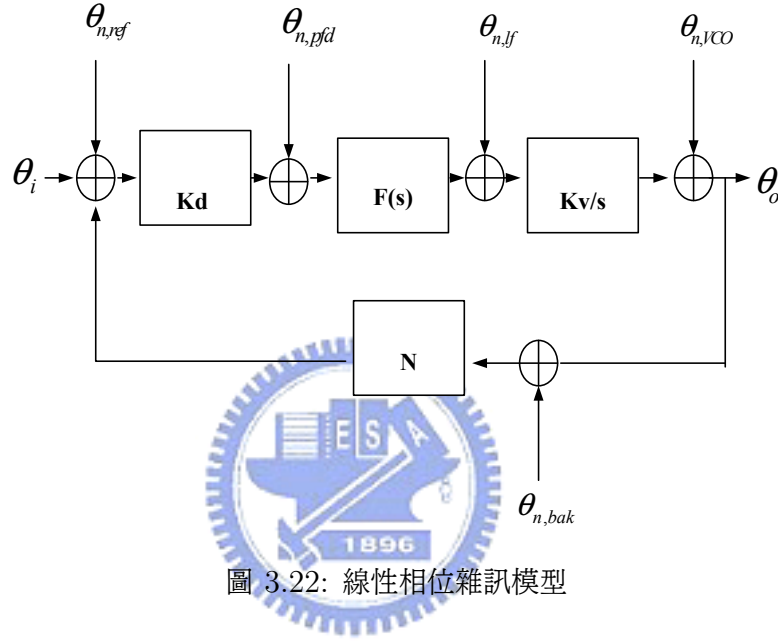


圖 3.22: 線性相位雜訊模型

參考信號雜訊 $\theta_{n,ref}$ 對頻率合成器輸出雜訊 $\theta_{o,ref}$ 的線性相位雜訊轉移函數為

$$\frac{\theta_{o,ref}}{\theta_{n,ref}} = \frac{K_d F(s) K_v}{s + K_d F(s) K_v / N} \quad (3.30)$$

$$= H(s) \quad (3.31)$$

$H(s)$ 是閉迴路轉移函數, 為低通方程式。相位頻率偵測器雜訊 $\theta_{n,pfd}$ 對頻率合成器輸出雜訊 $\theta_{o,pfd}$ 的線性相位雜訊轉移函數為

$$\frac{\theta_{o,pfd}}{\theta_{n,pfd}} = \frac{F(s) K_v}{s + K_d F(s) K_v / N} = \frac{1}{K_d} H(s) \quad (3.32)$$

壓控振盪器雜訊 $\theta_{n,vco}$ 對頻率合成器輸出雜訊 $\theta_{o,vco}$ 的線性相位雜訊轉移函數為

$$\frac{\theta_{o,vco}}{\theta_{n,vco}} = \frac{s}{s + K_d F(s) K_v / N} = 1 - H(s) \quad (3.33)$$

迴授路徑雜訊源 $\theta_{n,bak}$ 對頻率合成器輸出雜訊 $\theta_{o,bak}$ 的線性相位雜訊轉移函數為

$$\frac{\theta_{o,bak}}{\theta_{n,bak}} = \frac{K_d F(s) K_v / N}{s + K_d F(s) K_v / N} = \frac{1}{N} \cdot H(s) \quad (3.34)$$

在頻率合成器輸出的所有雜訊源的功率頻譜可表示為

$$\Phi_o = \Phi_{o,ref} + \Phi_{o,pfd} + \Phi_{o,lf} + \Phi_{o,vco} + \Phi_{o,bak} \quad (3.35)$$

$$= |H(s)|^2 \Phi_{n,ref} + \left| \frac{1}{K_d} H(s) \right|^2 \Phi_{n,pfd} + \left| \frac{1}{K_d F(s)} H(s) \right|^2 \Phi_{n,lf} + \\ |1 - H(s)|^2 \Phi_{n,vco} + \left| \frac{1}{N} H(s) \right|^2 \Phi_{n,bak} \quad (3.36)$$

Φ_o ，代表雜訊源功率頻譜密度代表參考信號源，相位頻率偵測器，迴路濾波器與迴授路徑雜訊源的相位雜訊轉移函數為低通方程式，僅有壓控振盪器的相位雜訊轉移函數為高通方程式。所以我們可知道，在迴路頻寬(Loop Bandwidth) 中的輸出相位雜訊 (Phase Noise) 由參考信號源，相位頻率偵測器和迴路濾波器的性能所限定。在迴路頻寬外的輸出相位雜訊由壓控振盪器的雜訊性能所支配。

如果參考信號源，相位頻率偵測器和迴路濾波器的相位雜訊功率高於壓控振盪器的，則必須設計較小的鎖相迴路頻寬去排除雜訊。如果壓控振盪器的相位雜訊功率壓倒其餘者，鎖相迴路的迴路頻寬必須設計較大去排除壓控振盪器的雜訊。在大部份的設計中，相位雜訊由壓控振盪器的雜訊所決定，所以必須設計較大迴路頻寬去抑制壓控相位的相位雜訊。但並非所有的迴路頻寬都越大越好。因為迴路頻寬必須低於十分之一的參考信號頻率，才能將參考信號中的雜訊濾除掉。在基本鎖相迴路的架構中，參考信號頻率等於頻率解析度。在一些設計中參考信號頻率必須非常低，所以在相位雜訊，迴路頻寬和頻率解析度的設計上必須有所取捨。

第 4 章

模擬結果與比較

在模擬中，電路的電路元件均採用 TSMC SiGe 0.35 μm 3P3M BiCMOS 製程，圖4.2是電路佈局圖，共含有一個能隙參考電壓電路 (Bandgap Reference Voltage Circuit) 和四個偏壓迴授控制電路產生所有系統所需直流偏壓及提供邏輯準位控制電路偏壓，另一端則是相位檢側器，非同步除頻器，電荷幫浦，迴路濾波器鎖相迴路完整系統，在整體核心電路所佔面積約為 $226.1 \times 112 \mu\text{m}^2$ 。接著呈現了頻率合成器模擬結果及頻率合成器規格列表，並經討論當一個開迴路環型振盪器的相位雜訊經過迴授系統，改變雜訊對系統的轉移函數極零點位置，而有了經迴路後環型振盪器與開迴路環型振盪器相位雜訊比較，觀察相位雜訊能被頻率合成器所抑制。

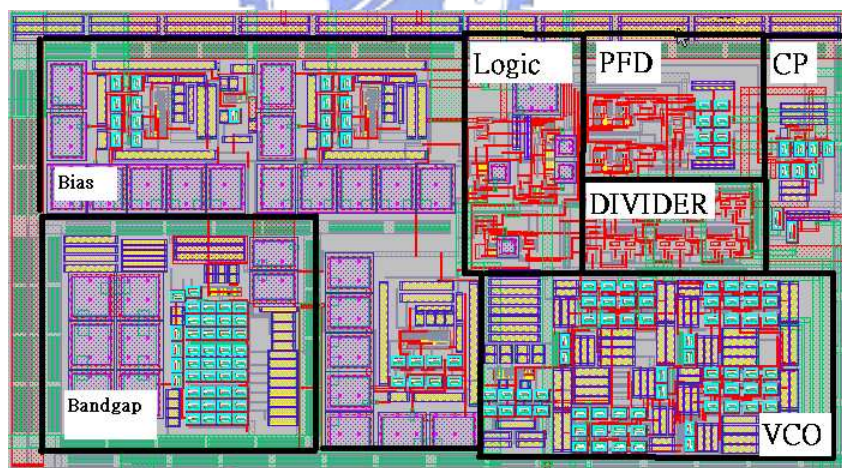


圖 4.1: 鎖相迴路電路佈局圖

4.1 佈局模擬結果與製程變動分析

電路在設計好之後會送入晶圓廠作成晶片，通常晶片只在晶圓上佔很小的一部分，而同樣的電路在晶圓上的不同地方被製造出來，其效能會不同，所以晶圓廠會提供幾種不同的邊緣模型 (Corner Model) 給予設計者去作模擬，以考慮到不同地方被製造出的晶片是否同樣可以正常工作，除了標準

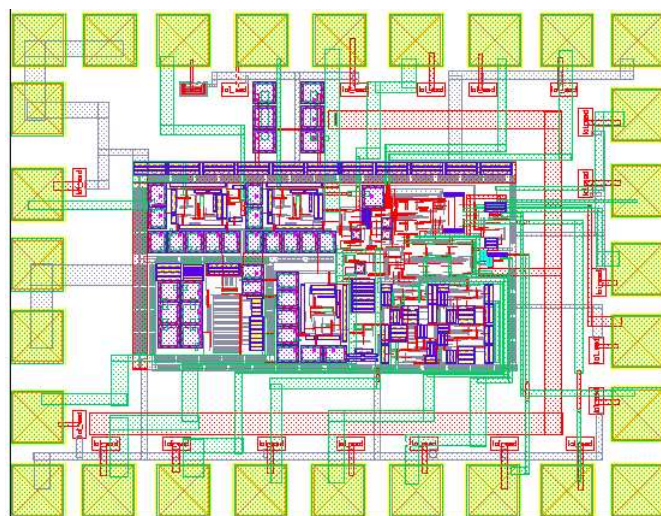


圖 4.2: 鎖相迴路實際電路圖

TT(Typical NMOS Typical PMOS) 模型之模擬結果之外, 在這裡我們還使用 FF(Fast NMOS Fast PMOS) 以及 SS(Slow NMOS Slow PMOS) 這兩種極端模型的情形去作模擬, 圖4.3所呈現的是在 TT 模型下, 當迴路頻寬為2.5MHz 和相位極限值為45度時鎖相迴路系統在穩定收斂後之差動控制電壓後端動態模擬結果, 系統穩定之後環型振盪器則提供輸出頻率約為64x25MHZ, 並藉由振盪輸出的眼圖, 如圖4.4, 可估計鎖相迴路訊號劇動現象約為22.1ps。

圖4.3和圖4.7 是對不同製程模型,FF,SS 兩種模型做相同迴路頻寬與相位極限的模擬和分析, 在圖4.3我們根據理論上 FF 的模型, 模擬出來鎖相迴路所輸出振盪頻率應該要比在 TT 下還要快, 故從鎖相迴路系統控制電壓模擬的結果, 觀察其收斂時間會比 TT 模型來的快, 但在穩態誤差上表現出有漣波的問題, 這是由於濾波器極零點是計在 TT 模型環型振盪器上且對於 FF 模型的環型振盪器來講, 振盪器的線性模型 k_o 的不同對於整個系統上則有不一樣的極零點, 其影響動態行為及穩態誤差。對於SS 製程模型, 則環型振盪器振盪頻率會比 TT 模型來的慢, 因此與 FF 模型有相同系統理論的關係, 在動態行為和穩態誤差上可觀察其系統收斂安定時間與穩定誤差有不同的表現。

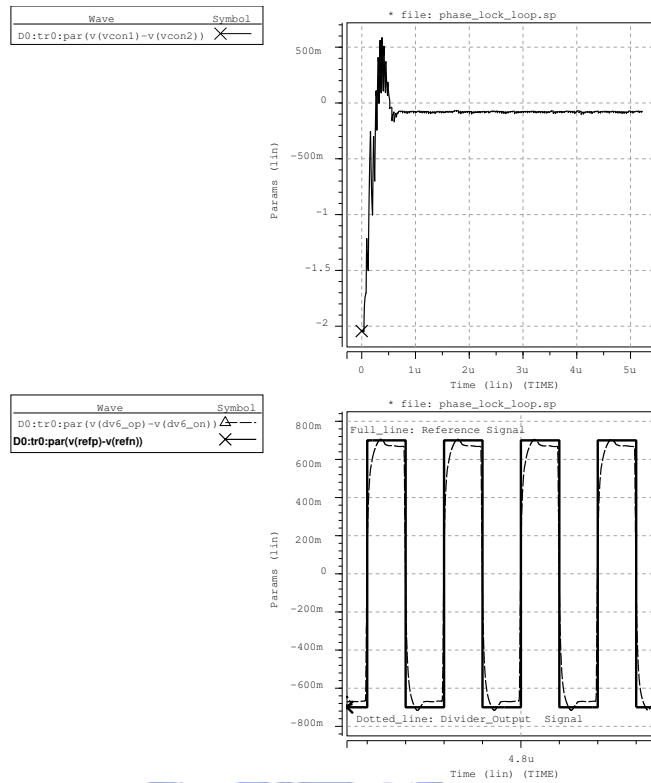


圖 4.3: TT 模型系統之差動控制電壓與相位比較

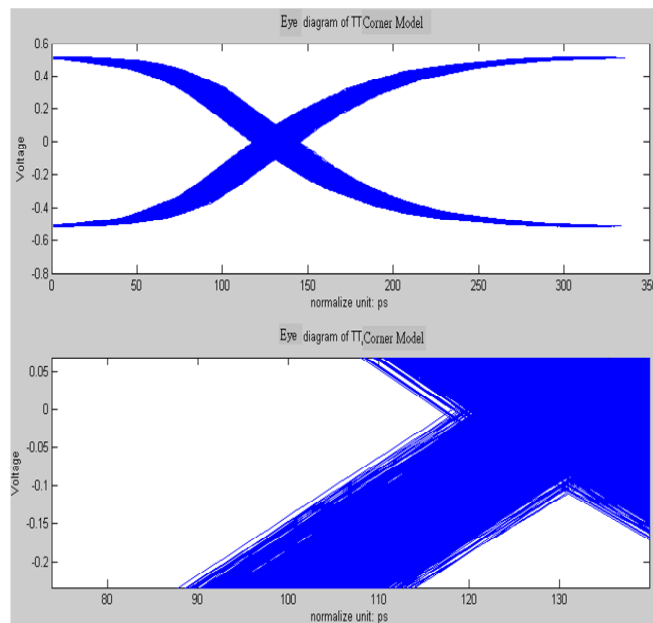


圖 4.4: TT 模型振盪輸出的眼圖 $Jitter_{peak-to-peak} = 22.1ps$

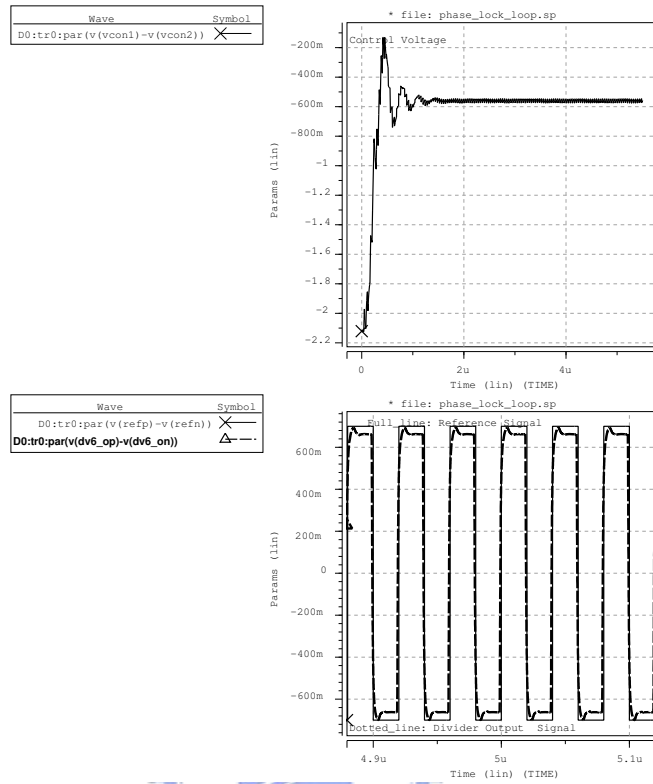


圖 4.5: FF 模型系統之差動控制電壓與相位比較

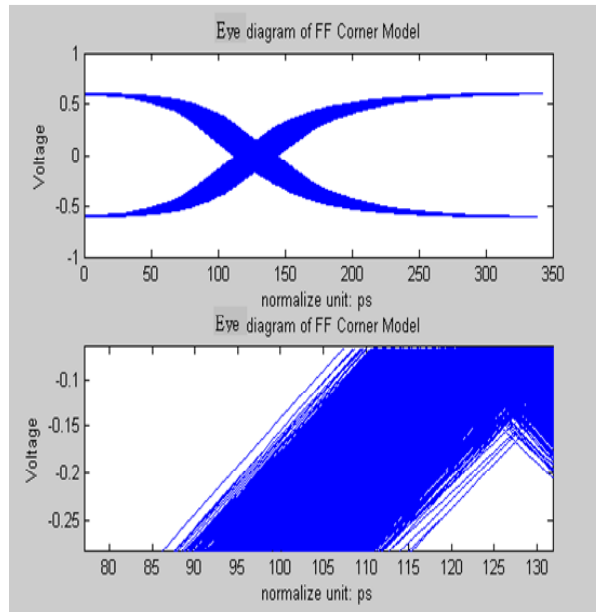


圖 4.6: FF 模型振盪輸出眼圖的 $Jitter_{peak-to-peak}=24.2ps$

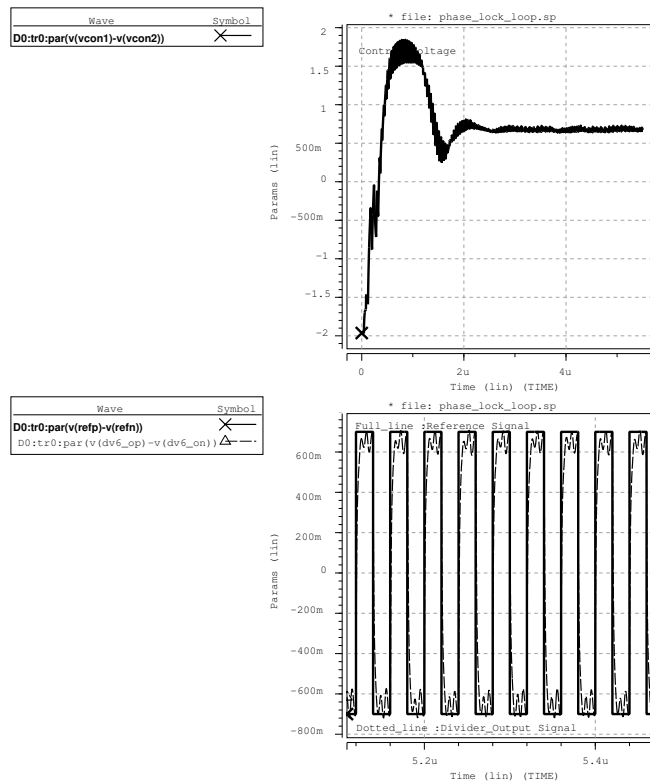


圖 4.7: SS 模型系統之差動控制電壓與相位比較

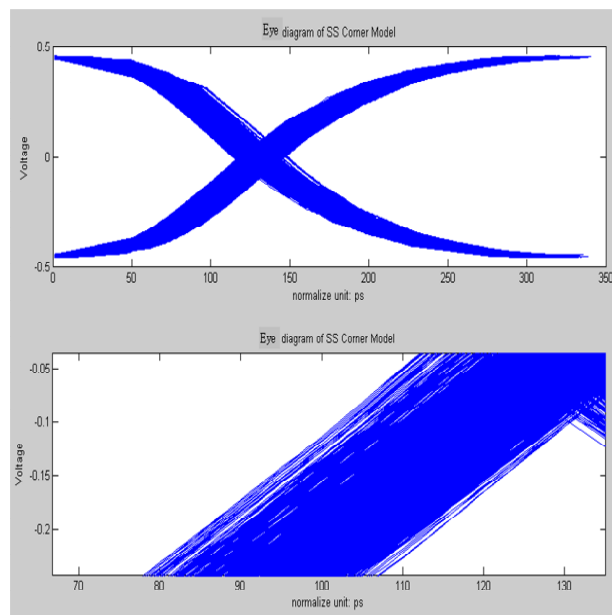


圖 4.8: SS 模型振盪輸出眼圖 $Jitter_{peak-to-peak} = 28.6ps$

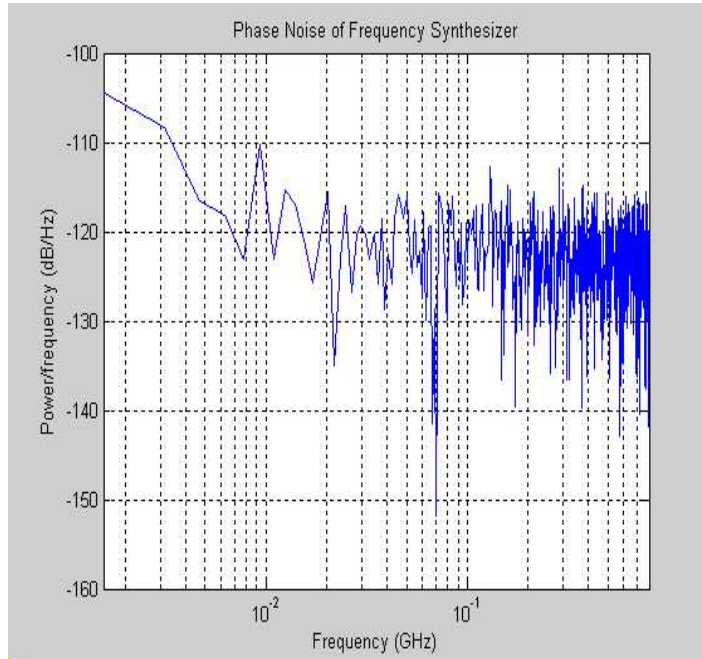


圖 4.9: 頻率合成器相位雜訊

規格	模擬結果 (Post-Sim)
電源電壓	3 To 3.6V
壓控中心振盪頻率	2GHz
壓控控制電壓範圍	$\pm 1V$
輸出訊號劇動 (Peak-to-Peak)	$\pm 16ps$
參考週期突波 (Spurious)	$< 100mV$
相位雜訊 (Offset 1Mhz)	$-106 dB_c/Hz$
Lock-in-time	1us
Power	38.5mW
VRF Frequency Range	1.1 To 2.8GHz

表 4.1: 頻率合成器規格表

第 5 章

結論

本論文提出以差動電路型式，實現完整鎖相迴路系統，主要目的減少頻率合成器之相位雜訊與訊號劇動現象，主要將共模雜訊在差動架構電路上能加以抑制。除了此特點外數位邏輯上，為因應在高操作頻段的範圍，於是對典型數位邏輯操作區域提出使用電流模式邏輯概念來實現主要數位電路，而類比電路上利用米勒電流來改善環型振盪器受限控制輸出頻率範圍，以使頻率合成器在雜訊與製程環境變動下，可以合成高頻信號輸出，在完成改善頻率合成器之動態特性模擬下，藉由輸出信號量測與分析並經 SpectreRF 與 Matlab 驗證觀察，在工作電壓 3.3V 下，頻率合成器在偏移頻率為 1MHz 下相位雜訊為 -106dBc/Hz，訊號劇動為 $Jitter_{peak-to-peak} = 22.1\text{ps}$ ，由此觀測值與 LC 振盪器比較下似乎相位雜訊對於環型振盪器是有深遠的影響，於是藉由設計不同系統迴路頻寬來改善相位雜訊，也可以從不同功能方塊電路對相位雜訊影響來減低其影響程度。

參考文獻

- [1] 高耀煌, 射頻鎖相迴路IC 設計, 滄海書局 2005.
- [2] F. Egan, *Frequency Synthesis by Phase Lock*, Second Edition, Wiley, New. York. 2002.
- [3] B. Razavi, *Design of Analog CMOS Integrated Circuits*, McGraw-Hill, 2001.
- [4] 賴立峰, A 0.2ppm/ $^{\circ}$ C Curvature-Compensated Bandgap Voltage Reference by NMOS Resistance,” 碩士論文 ECE. NCTU, Hsinchu, Taiwan 2004.
- [5] M. Alioto and G. Palumbo, “Modeling and Optimized Design of Current MODE MUX/XOR and D Flip-Flop,” *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, Vol. 47, No. 5, May. 2000.
- [6] J. Yuan and C. Svensson, “High-Speed CMOS Circuit Technique,” *IEEE J. Solid-State Circuits*, Vol. 24, pp. 230-238, No.1, Feb. 1989.
- [7] W.O. Keese, “An Analysis and Performance Evaluation of a Passive Filter Design Technique for Charge Pump Phase-Locked Loops,” *National Semiconductor Application Note 1001*, May. 1996.
- [8] Data Sheet, “Passive, Three Loop Filter Help PLL Synthesizers Generate Clean Signals with Low Spurious and Phase Noise and Fast Switching Speeds,” *Fujitsu Microelectronics, Inc* , Sep. 1999.
- [9] J.R. Smith, *Modern Communication Circuits*, Second Edition, McGraw-Hill, 1998.
- [10] P.R. Gray and G.R. Meyer, *Analysis and Design of Analog Integrated Circuits*, John Wiley , 2001.
- [11] H. Wolaver, *Phase-Locked Loop Circuit Design*, Prentice-Hall, N. J. 1991.

- [12] V. Manassewitsch, *Frequency Synthesizers: Theory and Design*, Third Edition, John Wiley, N. Y. 1987.

