

國立交通大學

電信工程學系

碩士論文

0.18 $\mu$ m 互補式金氧半導體高頻壓控振盪器  
與鎖相迴路設計

0.18 $\mu$ m CMOS High Frequency Voltage-Controlled  
Oscillator and Phase-Locked Loop Design

研究生：許敦智 (Tun-Chih Hsu)

指導教授：鍾世忠 博士 (Dr. Shyh-Jong Chung)

中華民國九十五年六月

0.18 $\mu\text{m}$  互補式金氧半導體高頻壓控振盪器與鎖相迴路設計  
0.18 $\mu\text{m}$  CMOS High Frequency Voltage-Controlled Oscillator  
and Phase-Locked Loop Design

研究生：許敦智

Student : Tun-Chih Hsu

指導教授：鍾世忠 博士

Advisor : Dr. Shyh-Jong Chung

國立交通大學  
電信工程學系  
碩士論文



A Thesis  
Submitted to Department of Communication Engineering  
College of Electrical and Computer Engineering  
National Chiao Tung University  
in Partial Fulfillment of the Requirements  
For the Degree of  
Master of Science  
In  
Communication Engineering  
June 2006  
Hsinchu, Taiwan, Republic of China

中華民國 九十五年 六月

# 0.18 $\mu\text{m}$ 互補式金氧半導體高頻壓控振盪器與鎖相迴路設計

研究生：許敦智

指導教授：鍾世忠 博士

國立交通大學電信學系

## 中文摘要

本論文分為壓控振盪器與鎖相迴路兩個部份。利用 TSMC 0.18 $\mu\text{m}$  RF CMOS 製程完成可應用於 UWB 系統之高頻壓控振盪器與鎖相迴路電路設計。

第一部份設計兩種不同電路特性的正交輸出壓控振盪器；第一種振盪器採用的電路架構為互補式交錯耦合對，量測結果頻率可調範圍為 6.1GHz~6.5GHz，相位雜訊@1MHz offset 為 -110dBc/Hz，功率消耗 14.4mW，輸出功率約-17dBm。第二種振盪器採用的設計方法為電流再利用方式降低一般正交輸出壓控振盪器耗功率的缺點，量測結果頻率可調範圍為 6.4GHz~6.7GHz，功率消耗為 6.8mW，相位雜訊@1MHz offset 為-106dBc/Hz，輸出功率約-11dBm。

第二部份設計兩種可應用於 UWB 系統之鎖相迴路。鎖相迴路輸出頻率為 7.92GHz 與 3.96GHz 且有一組互為正交的 I/Q 訊號：第一種電路第一級採用的除頻器為主樸式耦合閘(CML divider)電路，優點在於有良好的正交輸出信號特性，不過缺點是功率消耗大，整個迴路模擬結果功率消耗為 13.5mW，其中第一級除頻器就佔了 9.9mW。第二種鎖相迴路採用的第一級除頻器為真單相時脈(TSPC divider)，其優點在於低功率消耗，不過輸出信號的正交特性跟輸入信號有關，整個迴路模擬結果功率消耗為 6.8mW。

# 0.18 $\mu\text{m}$ CMOS High Frequency Voltage-Controlled Oscillator and Phase-Locked Loop Design

Student : Tun-Chih Hsu

Advisor : Dr. Shyh-Jong Chung

Department of Communication Engineering  
National Chiao Tung University

## ABSTRACT

The thesis consists of two parts: voltage-controlled oscillator(VCO) and phase-locked loop(PLL). Utilize TSMC 0.18 $\mu\text{m}$  RF CMOS Technology to be made high-frequency voltage-controlled oscillator and phase-locked loop which can be applied to UWB system.

The first part designs two kinds of quadrature VCOs(QVCOs) which have different circuit characteristics. The first kind of QVCO adopts complementary cross-coupled pair. The measured tuning range is 6.1GHz~6.5GHz, phase noise is -110dBc/Hz at 1MHz offset, power consumption is 14.4mW, and output power is -17dBm under 1.8V supply. The second kind of QVCO adopts current-reuse topology. The measured tuning range is 6.4GHz~6.7GHz, phase noise is -106 dBc/Hz at 1MHz offset, power consumption is 6.8mW, and output power is -11dBm under 1.4V supply.

The second part designs two kinds of PLLs that can be applied to UWB system. PLLs output frequency is 7.92GHz and 3.96GHz, including I/Q signals. The first kind of PLL adopts current mode logic(CML) divider at the 1<sup>st</sup> stage divider. Its advantage is perfect I/Q signal output but power consumption is large. The whole loop simulated power dissipation is 13.5mW, which CML divider is 9.9mW. The second kind of PLL uses a true single phase clock(TSPC) divider at 1<sup>st</sup> stage divider. Its advantage is low power consumption but output signal I/Q characteristic depends on its input signals. The whole loop simulated power dissipation is 6.8mW.

## 誌謝

完成這篇論文首先要感謝指導教授鍾世忠博士兩年期間的教導及愛護，以及口試委員王暉、邱煥凱、陳富強教授在畢業口試時對論文內容需要在改進的地方提出他們寶貴的意見。

再來要感謝的是電資 810 的夥伴們，感謝博班學長佩宗、清標在我遇到問題無助時，不吝嗇提供意見跟我分享討論，實在讓我受益良多，量測時從旁協助指導，真的很謝謝你們，有你們真好；感謝 810 實驗室夥伴源哥、竣義、天建、顯鴻、郁娟、煥能，912 實驗室的永旭、彥志、光甫、小圓、峰哥、克強、淑君、阿信以及幫助過我的人，有你們陪我一起做研究真的很開心。

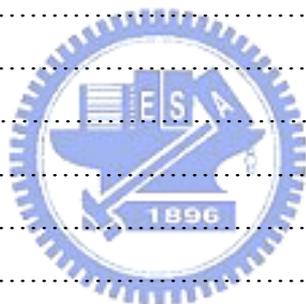
最後要感謝的是我的家人，爸爸、媽媽、哥哥、姊姊、大姊夫，感謝你們提供我實質與精神上的幫助，讓我可以完成碩士班學業。感謝怡如一路陪我走來，陪我度過研究所的時光。



# 目錄

中文摘要.....	I
英文摘要.....	II
誌謝.....	III
目錄.....	IV
表目錄.....	VI
圖目錄.....	VII
<b>第一章 緒論</b> .....	1
1-1 UWB 概述.....	1
1-2 研究動機.....	2
1-3 研究方法.....	3
1-4 研究成果.....	3
1-5 章節概述.....	4
<b>第二章 相位雜訊</b> .....	5
2-1 相位雜訊的定義.....	5
2-2 相位雜訊對通訊系統的影響.....	6
2-3 振盪器的相位雜訊.....	6
2-4 鎖相迴路的相位雜訊.....	14
<b>第三章 正交輸出壓控振盪器</b> .....	22
3-1 壓控振盪器理論基礎及設計方法.....	22
3-1-1 重要規格參數.....	22
3-1-2 CMOS 壓控振盪器架構.....	26
3-2 正交輸出方法.....	29
3-3 低相位雜訊正交輸出壓控振盪器設計.....	31
3-3-1 設計方法.....	31
3-3-2 模擬結果.....	34
3-3-3 量測結果.....	36
3-3-4 討論.....	38
3-4 低功率電流再利用正交輸出壓控振盪器設計.....	38
3-4-1 設計方法.....	38
3-4-2 模擬結果.....	40
3-4-3 量測結果.....	42
3-4-4 討論.....	44
<b>第四章 應用於 UWB 系統之鎖相迴路</b> .....	45

4-1 鎖相迴路架構與基本原理.....	45
4-1-1 鎖相迴路的分類.....	45
4-1-2 鎖相迴路原理.....	45
4-1-2-1 壓控振盪器(Voltage-Controlled Oscillator)概論.....	46
4-1-2-2 除頻器(Frequency Divider).....	47
4-1-2-3 相位頻率偵測器(Phase Frequency Detector, PFD).....	48
4-1-2-4 電流泵(Charge Pump)與迴路濾波器(Loop Filter).....	49
4-2 鎖相迴路設計.....	51
4-2-1 正交輸出壓控振盪器.....	52
4-2-2 除頻器.....	53
4-2-3 頻率相位頻率檢測器.....	55
4-2-4 電流泵.....	57
4-2-5 迴路濾波器.....	59
4-2-6 其他設計考量.....	59
4-2-7 模擬結果.....	62
4-2-8 討論.....	71
4-3 鎖相迴路設計.....	72
4-3-1 除頻器.....	73
4-3-2 電流泵.....	74
4-3-3 其他設計考量.....	75
4-3-4 模擬結果.....	75
4-3-5 討論.....	84
<b>第五章 結論.....</b>	<b>86</b>
<b>參考文獻.....</b>	<b>87</b>



## 表目錄

表 I - I 已完成之射頻電路設計.....	3
表 III - I 【電路 1】低相位雜訊正交輸出壓控振盪器規格表.....	37
表 III - II 【電路 2】低功率電流再利用正交輸出壓控振盪器規格表.....	43
表 III - III 【電路 2】與其他使用電流再利用技術正交輸出壓控振盪器論文比較..	44
表 IV - I 【電路 3】鎖相迴路規格表.....	70
表 IV - II 【電路 3】與近年強調低功耗鎖相迴路論文期刊比較表.....	71
表 IV - III 【電路 4】鎖相迴路規格表.....	83
表 IV - IV 【電路 4】與近年強調低功耗鎖相迴路論文期刊比較表.....	84



## 圖目錄

圖 2.1 振盪器輸出訊號頻譜圖.....	5
圖 2.2 相位雜訊在接收端的影響.....	6
圖 2.3 Lesson's 相位雜訊模型.....	8
圖 2.4 電流脈衝注入 LC 振盪器.....	9
圖 2.5 脈衝注入造成振盪訊號的改變.....	9
圖 2.6 電流雜訊對相位雜訊的貢獻成分.....	13
圖 2.7 鎖相迴路的雜訊源.....	14
圖 2.8 PI 濾波器.....	15
圖 2.9 鎖相迴路(a)對壓控振盪器特性 (b) 對參考信號源特性.....	16
圖 2.10 二階迴路濾波器.....	17
圖 2.11 三階迴路濾波器.....	19
圖 3.1 相位雜訊在接收端的影響.....	22
圖 3.2 振盪器輸出訊號頻譜圖.....	23
圖 3.3 Lesson's 相位雜訊模型.....	23
圖 3.4 電流脈衝注入 LC 振盪器.....	24
圖 3.5 脈衝注入造成振盪訊號的改變.....	24
圖 3.6 頻率漂移示意圖.....	26
圖 3.7 使用負阻消除 LC tank 的寄生電阻示意圖.....	27
圖 3.8 串並聯轉換.....	27
圖 3.9 等效簡易模型.....	27
圖 3.10 電晶體交錯耦合對.....	28
圖 3.11 互補式交錯耦合對.....	28
圖 3.12 基本環形振盪器示意圖.....	29
圖 3.13 四級差動環型振盪器.....	29
圖 3.14 數位除頻器方法.....	30
圖 3.15 多相位濾波器方法.....	30
圖 3.16 雙交叉耦合方法.....	31
圖 3.17 能產生負阻電路.....	32
圖 3.18 加入負電導後 LC-Tank 等效電路.....	32
圖 3.19 低相位雜訊四相位壓控振盪器.....	34
圖 3.20 模擬結果.....	35
圖 3.21 量測結果.....	36
圖 3.22 佈局平面圖.....	37
圖 3.23 實際晶片圖.....	37
圖 3.24 一般的正交輸出壓控振盪器.....	39
圖 3.25 電流再利用正交輸出壓控振盪器.....	40

圖 3.26 模擬結果.....	41
圖 3.27 量測結果.....	42
圖 3.28 佈局平面圖.....	43
圖 3.29 實際晶片圖.....	43
圖 4.1 鎖相迴路基本架構圖.....	46
圖 4.2 壓控振盪器特性圖.....	46
圖 4.3 PFD 運作示意圖(a)A 相位落後 B (b) A 頻率大於 B.....	48
圖 4.4 PFD 三態.....	48
圖 4.5 相位偵測與電壓輸出.....	49
圖 4.6 PFD 與電荷幫浦之示意與時序圖.....	50
圖 4.7 UWB 接收機架構示意圖.....	51
圖 4.8 鎖相迴路架構.....	51
圖 4.9 一般的四相位壓控振盪器.....	52
圖 4.10 電流再利用之四相位壓控振盪器.....	53
圖 4.11 主僕式耦合閘除二電路.....	54
圖 4.12 改良式真單相時脈(TSPC)除二電路.....	54
圖 4.13 除 64 電路.....	55
圖 4.14 傳統相位頻率檢測器.....	55
圖 4.15 預先充電型相位頻率檢測器.....	56
圖 4.16 傳統電流泵電路架構.....	57
圖 4.17 電流泵.....	58
圖 4.18 二階迴路濾波器.....	59
圖 4.19 緩衝放大器.....	59
圖 4.20 完整的緩衝放大器考量設計圖.....	60
圖 4.21 佈局考量.....	61
圖 4.22 PAD 等效模型.....	61
圖 4.23 鏜線等效模型.....	62
圖 4.24 正交輸出壓控振盪器模擬結果.....	63
圖 4.25 主僕式耦合閘除二電路時域與頻域輸出.....	64
圖 4.26 除 64 電路輸出頻譜.....	64
圖 4.27 參考信號( $F_{ref}$ )相位領先回授信號( $F_{back}$ ).....	65
圖 4.28 回授信號( $F_{back}$ ) 相位領先輸入信號( $F_{ref}$ ).....	66
圖 4.29 死帶模擬圖.....	67
圖 4.30 壓控振盪器控制電壓時域波形圖.....	68
圖 4.31 壓控振盪器控制電壓在穩態下時域變化.....	68
圖 4.32 Malab Simulink 模擬結果.....	69
圖 4.33 鎖相迴路輸出功率模擬.....	70
圖 4.34 佈局平面圖.....	68

圖 4.35 鎖相迴路架構.....	72
圖 4.36 改良式真單相時脈(TSPC)除二電路.....	73
圖 4.37 除 64 電路.....	74
圖 4.38 電流泵.....	74
圖 4.39 正交輸出壓控振盪器模擬結果.....	76
圖 4.40 除頻器輸出時域波形及頻譜圖.....	77
圖 4.41 參考信號( $F_{ref}$ )相位領先回授信號( $F_{back}$ ).....	78
圖 4.42 回授信號( $F_{back}$ )相位領先輸入信號( $F_{ref}$ ).....	79
圖 4.43 死帶模擬圖.....	80
圖 4.44 壓控振盪器控制電壓時域波形圖.....	81
圖 4.45 壓控振盪器控制電壓在穩態下時域變化.....	81
圖 4.46 Malab Simulink 模擬結果.....	82
圖 4.47 鎖相迴路輸出功率模擬.....	83
圖 4.48 佈局平面圖.....	84



# 第一章

## 緒論

### §1-1 UWB 概述

超寬帶 UWB 由 Ultra Wideband 縮寫而成，它是一種無載波通信技術，利用納秒至微微秒級的非正弦波窄脈衝傳輸數據。有人稱它為無線電領域的一次革命性進展，認為它將成為未來短距離無線通信的主流技術。

超寬帶和其他的"窄帶"或者是"寬帶"主要有兩方面的區別：一、超寬帶的帶寬，按照美國聯邦通信委員會（FCC）的定義信號帶寬大於 1.5GHz，或信號帶寬與中心頻率之比大於 25%為超寬帶；信號帶寬與中心頻率之比在 1%~25%之間為寬帶，小於 1%為窄帶，可見 UWB 的帶寬明顯大於目前所有通信技術的帶寬。二、超寬帶的無載波傳輸方式。傳統的"窄帶"和"寬帶"都是採用無線電頻率（RF）載波來傳送信號，載波的頻率和功率在一定範圍內變化，從而利用載波的狀態變化來傳輸資訊。相反的，超寬帶以基帶傳輸。實現方式是發送脈衝無線電（IR）信號傳送聲音和圖像數據，每秒可發送多至 10 億個代表 0 和 1 的脈衝信號。這些脈衝信號的時域極窄（0.1 至 1.5 納秒），頻域極寬（數 Hz 到數 GHz，可超過 10GHz），其中的低頻部分可以實現穿牆通信。UWB 脈衝信號的發射功率都十分低，僅僅相當於一些背景噪音，不會對其他窄帶信號產生任何干擾。由於 UWB 系統發射功率譜密度非常低，因而被截獲概率很小，被檢測概率也很低，與窄帶系統相比，有較好的電磁相容和頻譜利用率。此外，傳統的無線通信在通信時需要連續發出載波，要消耗不少電能。而 UWB 是發出脈衝電波——直接按照 0 或 1 發送出去。由於只在需要時發送脈衝電波，因而大大減少了耗電量（僅為傳統無線技術的 1/100）。

UWB 使用的電波帶寬為數 GHz，與帶寬 20MHz 左右的無線 LAN 相比，UWB 利用的帶寬高出數百倍。與普通二進位移相鍵控(BPSK)信號波形相比，UWB 方式佔用帶寬非常寬，且由於頻譜的功率密度極小，它具有通常擴頻通信的特點。

不要說 BPSK 等信號，即使與通常的擴頻信號(2.4GHz 頻段無線 LAN 的幾十 MHz 帶寬)相比，也是超寬帶寬(數 GHz 帶寬)。功率譜密度比之擴頻信號(2.4GHz 無線 LAN 低於 10mW/MHz)，UWB 信號也低得多(低於 10nW/MHz)。在與其他系統共存時，不僅難產生干擾，而且還有抗其他系統干擾的優點。而且由於脈衝的時間寬度極小，能把多路徑分得更小，能實現 RAKE 接收(匯集接收許多方向的電波)。通信速度為數百 M~1Gbit/秒，與高速有線 LAN 旗鼓相當。

## §1-2 研究動機

MBOA 聯盟所提出的多頻帶正交頻帶(MBOA OFDM)在 3.1GHz 至 10.6GHz 的頻帶中將此 7GHz 頻寬切割成 13 個子頻帶，每個子頻帶佔 528MHz 的頻寬，以符合 FCC 的規定。為應用於此 7GHz 寬頻帶的無線傳輸技術，許多工業界大廠與學術研究單位便積極投入超寬頻帶傳收機的研究，希望能在近距離 2 米無線傳輸的速度和容量達到 480Mb/s 以上，進而應用在如 WUSB (Wireless Universal Serial Bus) 上。該提案其中最重要的子頻帶在於最低頻率的三個，中心頻率分別為 3432MHz、3960MHz、4488MHz，因為位於較佳的通道效應中，此三個頻帶構成了 MB-OFDM 系統的第一模態傳收系統，而其他的模態傳收系統則為附加的應用，或當第一模態傳收系統接收裝況異常時使用。而在考量設計收發器(Transceiver)模組時，頻率合成器(Frequency Synthesizer)為收發器(Transited)中最主要的元件，也是最有挑戰的部分，在 MBOA 系統中僅能有 9.5ns 的切換時間，來變換不同的中心頻率，頻率偏移量也限制在 20ppm 以下，也是目前各產官學界致力研究發展的關鍵性元件。

計畫中提出了一個能包含 UWB 全頻帶頻率合成器，由於 UWB 屬於超寬頻帶的系統，無法直接由振盪器的輸出來控制頻段選擇，除了鎖相迴路外，尚需額外電路去產生其他頻率，再經由多工器及單邊帶混頻器來產生每個頻帶的中心頻率。

本論文設計目標是完成頻率合成器中之鎖相迴路設計，其中【電路3】已經用在實驗室所提出的頻率合成器架構。

### §1-3 研究方法

首先我們參考近幾年來發表有關 UWB 系統的期刊論文，提出適用於 UWB 系統全頻段的頻率合成器，由於 UWB 系統屬於低功率系統，故頻率合成器也同時具有低功率損耗的優點。頻率合成器的關鍵在於鎖相迴路設計，本論文以 TSMC 0.18um RF CMOS Technology 為使用製程，利用安捷倫公司所提供的模擬軟體 Advance Design System(ADS)，設計出適用於 UWB 系統的壓控振盪器及鎖相迴路，電路佈局以 Cadance 做驗證，最後以 Matlab Simulink 軟體做整個系統驗證。

### §1-4 研究成果

如表 I-I 所列，為本論文完成之射頻電路設計，而各電路之詳細設計內容，分別會在第三、四章中被敘述。

表 I-I 已完成之射頻電路設計

電路編號	電路名稱	頻率(GHz)	面積(mm <sup>2</sup> )
1	低相位雜訊正交輸出壓控振盪器	6.1~6.5	0.99×0.78
2	低功率電流再利用正交輸出壓控振盪器	6.4~6.7	0.96×0.9
3	使用電流再利用技術之 UWB 低功率正交輸出鎖相迴路	7.9	1.48×0.96
4	使用電流再利用技術與改良式真單相時脈電路之 UWB 低功率正交輸出鎖相迴路	7.9	1.54×1.13

## §1-5 章節概述

本論文共分五個章節，第一章：敘述 UWB 系統特色，以及論文之研究動機與成果。第二章：第二章針對振盪器的相位雜訊加以討論，並探討鎖相迴路對振盪器相位雜訊頻譜的整型作用。第三章：介紹壓控振盪器的工作原理以及介紹所設計的壓控振盪器【電路 1】【電路 2】，第四章：介紹鎖相迴路工作原理以及所設計應用於 UWB 系統的鎖相迴路【電路 3】【電路 4】，第五章：本章為結論，說明本論文之研究成果。



## 第二章

### 相位雜訊

相位雜訊在近代通信系統是一個非常重要的參數，它關係接收機的靈敏度，特別是在多頻道接取的個人行動通訊系統中頻道的間隔非常緊密；又在高階的調制系統中如 QAM 調制等，相位雜訊會劣化星座佈置圖導致誤碼率升高，接收品質不良，因此設計一具有低相位雜訊的頻率合成器是一重要課題。

#### §2-1 相位雜訊的定義

振盪器中常見的雜訊來源為電阻、電容、電感、電晶體等內部元件的雜訊，即熱雜訊(thermal noise)、散射雜訊(shot noise)、閃爍雜訊(flicker noise)。由於振盪器對於溫度及雜訊相當敏感，當溫度變化或雜訊存在將使振盪器的輸出訊號在振幅、相位及頻率上產生改變，也就是所謂的 AM、PM 及 FM 雜訊。通常由於振盪器輸出振幅被溫度及雜訊影響產生的改變量不大且會在極短瞬間趨於穩度，因此 AM 雜訊可忽略，至於輸出相位的變動(PM及FM雜訊)，即定義為相位雜訊。若將振盪器輸出訊號以頻譜觀察，可看到訊號頻譜的形狀在中心頻率周圍形成“裙帶”狀，並將相位雜訊定義為  $L(\Delta f)$ ，如圖2.1 所示。而其相位雜訊定義如式子(2-1)。

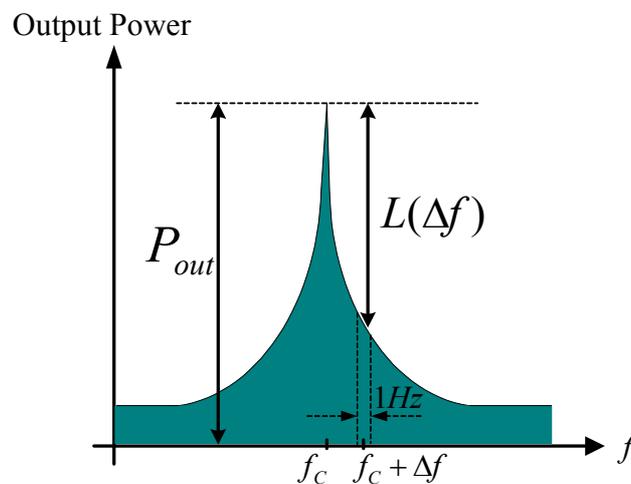


圖2.1 振盪器輸出訊號頻譜圖

$$L\{f\} = \frac{f_c + \Delta f \text{ 處在 } 1\text{Hz 頻寬內之修正雜訊功率}}{\text{總載波功率}} \quad (2-1)$$

## §2-2 相位雜訊對通訊系統的影響

在通訊系統中常使用頻率合成器作為本地振盪器來達到頻率轉換的目的，本地振盪訊號源之相位雜訊的好壞會影響到接收訊號或是發射訊號的品質。

考慮本地振盪器為真實振盪器，假如無線收發機除了欲接收的訊號(wanted signal)外，也可能接收到鄰近頻帶的干擾訊號(unwanted signal)。假設其功率大於欲接收的訊號，兩個訊號經過本地振盪器轉換後的重疊訊號頻譜如圖2.2 所示，此時鄰近頻帶干擾訊號將可能“淹沒”欲接收的訊號，直接造成接收機靈敏度下降。

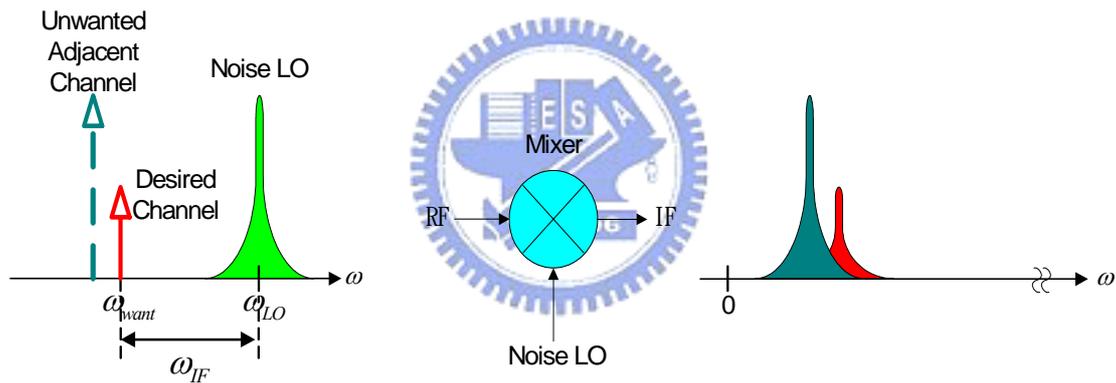


圖2.2 相位雜訊在接收端的影響

## §2-3 振盪器的相位雜訊

### (1) 非時變模型(time invariant)

以下以非時變概念來分析相位雜訊的形成原因，非時變指的是雜訊源不論任何時候注入 VCO 所得到的相位雜訊都是相同的；或是說不論在任何 VCO 輸出波形的時間點上，雜訊造成相位偏移的效果都是一樣的。因此不需要考慮雜訊是在 VCO 輸出波形的那個時間點進入 VCO 電路。假設振盪器是由放大器與共振器(resonator)組成，在振盪時放大器補償共振器能量損失。因此可假設放大器與共振器在共振頻率的增益為一。輸入的白色雜訊(white noise)經過放大器後，

放大器輸出雜訊在頻寬等於 1Hz 時為

$$N = FKT \quad (2-2)$$

其中  $F$  為放大器雜訊指數。

共振器的頻率響應為帶通響應，其轉移函數為

$$H(j\omega) = \frac{j\omega(1/RC)}{(1/LC) + j\omega(1/RC) - \omega^2} \quad (2-3)$$

與帶通響應的通式

$$H(j\omega) = \frac{j\omega(\omega_o/Q)}{\omega_o^2 + j\omega(\omega_o/Q) - \omega^2} \quad (2-4)$$

比較後知

$$\omega_o = 1/LC, \quad Q = \omega_o RC \quad (2-5)$$

在振盪器輸出頻率的附近  $\omega = \omega_o + \Delta\omega$ ，若  $\omega_o \gg \Delta\omega$  則可用泰勒展開式

(Taylor expansion) 的首二項近似式(2-3)

$$H(j\omega) \approx 1 + \frac{2}{j(\omega_o/Q)} \cdot \Delta\omega \quad (2-6)$$

因此振盪器的閉迴路響應為

$$G(j\omega) = \frac{1}{1-H(j\omega)} \approx \frac{-j(\omega_o/Q)}{2 \cdot \Delta\omega} \quad (2-7)$$

當輸入端的雜訊密度為  $S_i(\omega)$  時，則經過此系統  $G(\omega)$  後，在輸出端的雜訊密度為

$S_o(\omega)$ ，

$$S_o(\omega) = S_i(\omega) |G(\omega)|^2 = FkT \left( \frac{\omega_o}{2Q\Delta\omega} \right)^2 \quad (2-8)$$

上式為雙邊帶雜訊頻譜密度，因此距離振盪頻率  $\Delta\omega$  處的單邊帶(single sideband)

雜訊對訊號比，以dB值表示，也就是相位雜訊為

$$L(\Delta\omega) = 10 \log \left[ \frac{2FkT}{P_s} \cdot \left( \frac{\omega_o}{2Q\Delta\omega} \right)^2 \right] \quad (2-9)$$

其中  $P_s$  為振盪器輸出訊號功率，所以從以上的公式可看出若要得到較好的相位雜訊表現則必需要增加訊號功率與共振器的  $Q$  值。增加訊號功率也可意謂增加振盪器等效模型中放大器的功率，使放大器的雜訊指數( $F$ )下降，如此可達到增加抑制相位雜訊的能力。

由式子(2-9)可對相位雜訊得到一概括性的了解，但是式子所描述的頻譜與 VCO 通常量測到的有很大的差異。VCO 頻譜如圖2.3 所示，在相當大的偏移頻率(frequency offset) VCO 頻譜會趨於水平而非如式子(2-9)預測持續以二次方倒數下降，而在極小的偏移頻率時，VCO 頻譜是以三次方倒數下降而不是如式子(2-9)所預測。

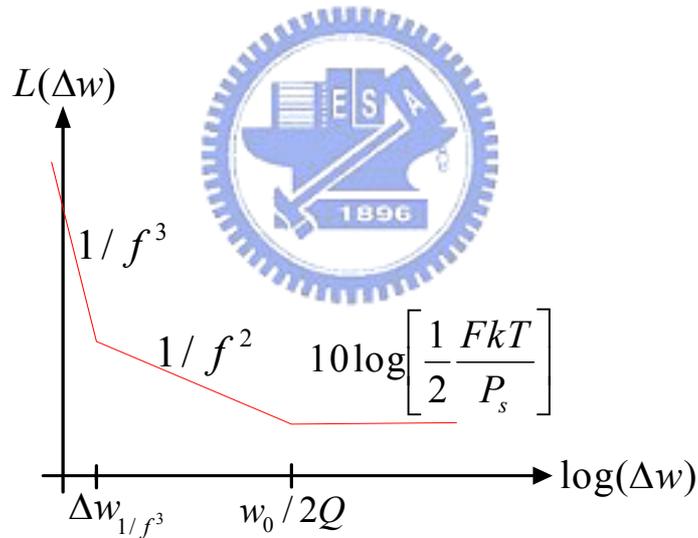


圖2.3 Lesson's 相位雜訊模型

因此在相位雜訊的描述上必需要修正為

$$L(\Delta\omega) = 10 \log \left[ \frac{2FkT}{P_s} \cdot \left\{ 1 + \left( \frac{\omega_o}{2Q\Delta\omega} \right)^2 \right\} \left( 1 + \frac{\omega_{1/f^3}}{|\Delta\omega|} \right) \right] \quad (2-10)$$

上式即所謂的 Leeson's model，它是一個由量測 VCO 頻譜後 curve fit 的 model，用來描述其輸出頻譜。在此 model 中有些參數如必需要經過量測才能得

到，且在 VCO 頻譜成水平的轉角頻率(corner frequency)也並不一定是  $\frac{\omega_0}{2Q}$ 。再者在非時變分析中無法對 VCO 頻譜有  $1/(\Delta\omega)^3$  region 提出合理的解釋，雖然我們都知道是  $1/f$  noise 造成的，但  $1/f$  noise 是如何升頻至中心頻率的附近？以下將介紹另一種分析方式(時變分析)，此分析可以解釋  $1/(\Delta\omega)^3$  的成因，並應用其結論，提供除了增加 tank Q 及訊號大小外的其它方式，用於 VCO 設計來降低相位雜訊。

## (2) 時變模型(time variant)

非時變模型假設雜訊在任何時候被產生並影響 VCO 輸出得到的結果都是一樣的，但事實並不是如此。如圖2.4 所示，

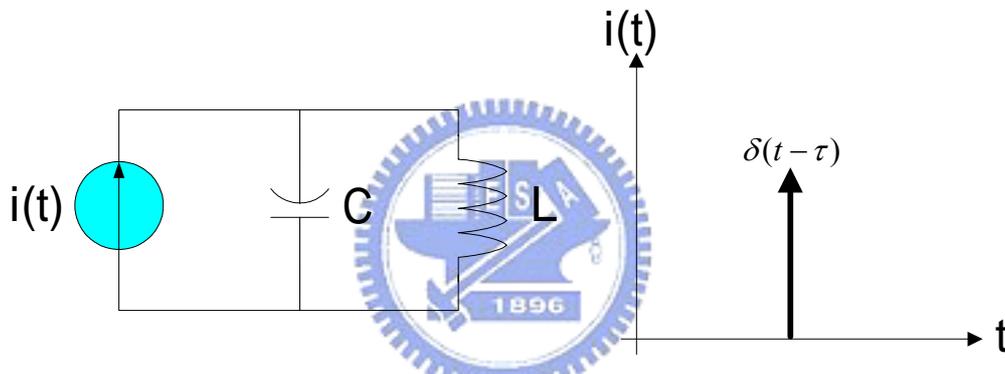


圖2.4 電流脈衝注入 LC 振盪器

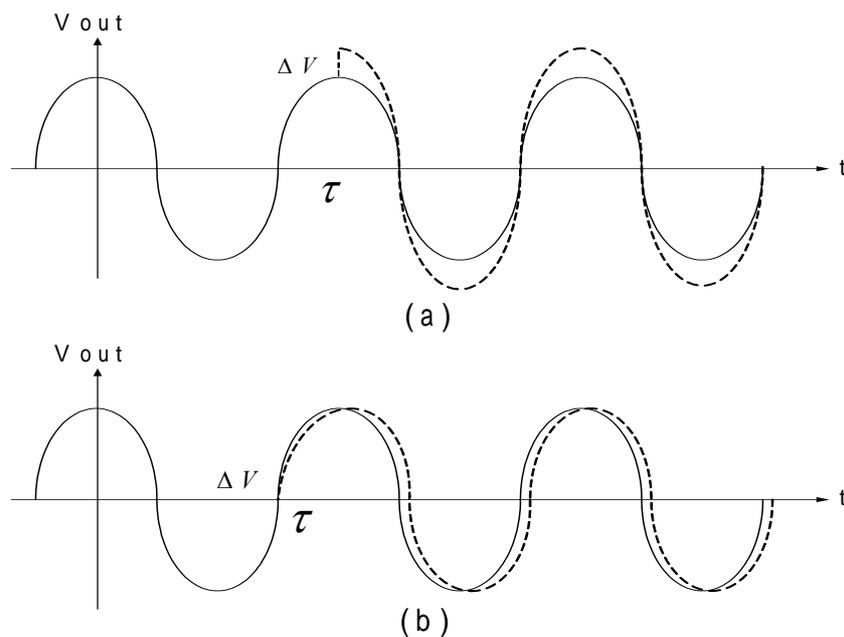


圖2.5 脈衝注入造成振盪訊號的改變

一個脈衝(impulse)電流注入一個 lossless 的 LC 諧振電路，假設此系統正振盪於某一頻率及固定的振幅。若脈衝注入時正好是訊號振幅最大的時候，此時電壓振幅將瞬間被提升  $\Delta V = \Delta Q/C$ ，但因為注入的脈衝正好疊在最大振幅處，如圖 2.5(a) 所示此脈衝不會造成訊號相位有任何的改變。反之，若脈衝注入時正好是訊號振幅為零交越(zero crossing)的時候，如圖 2.5(b) 所示訊號的相位造成了改變，且相位改變量與注入脈衝大小有關。因此對於一個振盪器而言雜訊造成的相位改變是與雜訊注入的時間有關，對於相位雜訊的分析，顯然非時變模型是不足以完全地描述，而需採用時變的觀念。如圖 2.4 所示，當一個脈衝在時間  $\tau$  時注入，訊號將產生相位改變，其相位改變的脈衝響應(impulse response)可表示成

$$h\phi(t, \tau) = \frac{\Gamma(\omega_o \tau)}{q_{\max}} u(t - \tau) \quad (2-11)$$

其中  $u(t)$  為單位步階函數(unit step function)， $q_{\max}$  為 LC 振盪器最大儲存的電荷量。 $\Gamma(x)$  為 impulse sensitivity function (ISF) 為一週期為  $2\pi$  的函數，與訊號頻率及最大振幅無關，而與訊號波形有極大的關係。此函數表示一個振盪器對於一個脈衝在  $\omega_o \tau$  注入的敏感度。

若 ISF 已知則可算出相位經由脈衝注入的改變量為：

$$\phi(t) = \int_{-\infty}^{\infty} h_{\phi}(t, \tau) i(\tau) d\tau = \frac{1}{q_{\max}} \int_{-\infty}^t \Gamma(\omega_o \tau) i(\tau) d\tau \quad (2-12)$$

因為 ISF 為一週期函數所以可由 Fourier series 展開

$$\Gamma(\omega_o \tau) = \frac{c_0}{2} + \sum_{n=1}^{\infty} c_n \cos(n\omega_o \tau + \theta_n) \quad (2-13)$$

因為雜訊源的 uncorrelated 特性，所以式子(2-13)中  $\theta_n$  可忽略以簡化之後的討論，將式子(2-13)代入式子(2-12)得到

$$\phi(t) = \frac{1}{q_{\max}} \left[ \frac{c_0}{2} \int_{-\infty}^t i(\tau) d\tau + \sum_{n=1}^{\infty} c_n \int_{-\infty}^t i(\tau) \cos(n\omega_o \tau) d\tau \right] \quad (2-14)$$

其中  $c_n$  為 ISF 的富立葉係數(Fourier coefficient)。

假設有一雜訊為弦波電流源形式其頻率在  $m\omega_o + \Delta\omega$ ，其中  $m$  為一常數，則此電流可表示成

$$i(t) = I_m \cos[(m\omega_o + \Delta\omega)t] \quad (2-15)$$

若  $\omega_o \gg \Delta\omega$ ，將式子(4-21)代入式子(4-20)則可得到

$$\phi(t) \approx \frac{I_m c_m \sin(\Delta\omega t)}{2q_{\max} \Delta\omega} \quad (2-16)$$

將此式代入

$$V_{out}(t) = \cos[\omega_o t + \phi(t)] \quad (2-17)$$

假設  $\frac{I_m c_m}{2q_{\max} \Delta\omega} < 1$ ，則式子(2-16)的雜訊將造成輸出訊號頻譜在  $\omega_o$  附近有二個等

功率的訊號其頻率與中心頻差  $\Delta\omega$ ，大小各為

$$P_{SBC}(\Delta\omega) \approx 10 \log \left( \frac{I_m c_m}{4q_{\max} \Delta\omega} \right)^2 \quad (2-18)$$

若電流雜訊源為白色高斯雜訊，功率頻譜密度為  $\overline{i_n^2}$ ，則其在振盪頻率附近造成

VCO 輸出頻譜展開的單頻帶雜訊功率除以訊號功率比為

$$C_{SSB}(\Delta\omega) \approx 10 \log \left( \frac{\overline{i_n^2} \sum_{m=0}^{\infty} c_m^2}{4q_{\max}^2 \Delta\omega^2} \right) \quad (2-19)$$

由 Parseval's theorem

$$\sum_{m=0}^{\infty} c_m^2 = \frac{1}{\pi} \int_0^{2\pi} |\Gamma(x)|^2 dx = 2\Gamma_{rms}^2 \quad (2-20)$$

因此白色高斯雜訊造成的相位雜訊為

$$L(\Delta\omega) \approx 10 \log \left( \frac{\overline{i_n^2} \Gamma_{rms}^2}{2q_{max}^2 \Delta\omega^2} \right) \quad (2-21)$$

又  $q_{max} = CV_{max}$ ， $V_{max}$  為 VCO 最大振幅； $\frac{\overline{i_n^2}}{\Delta f} = \frac{4kT}{R}$ 。代入式子(2-21)可得到

$$L(\Delta\omega) \approx 10 \log \left( \frac{4kT}{P_s} \Gamma_{rms}^2 \left( \frac{\omega_o}{Q\Delta\omega} \right)^2 \right) \quad (2-22)$$

上式與式子(2-9)只差一個常數項，但在非時變分析時式子(2-9)中的 $F$ 通常為一個在 VCO 頻譜量測以後則 fit 的參數，而在式子(2-22)中卻可將由尋找 ISF 後計算而得，且由式子(2-22)也可知道除了增加訊號大小及增加 tank Q 外，也可以經由改變波形，即降低 ISF 的 RMS值( $\Gamma_{rms}$ )來抑制白色雜訊造成的相位雜訊。

若輸入 VCO 的雜訊為  $1/f$  noise，其功率頻譜密度為

$$\overline{i_{n,1/f}^2} = \overline{i_n^2} \frac{\omega_{1/f}}{\Delta\omega} \quad (2-23)$$

其中  $\omega_{1/f}$  為  $1/f$  noise 的  $1/f$  corner frequency。將式子(2-23)代入式子(2-21)可以得到  $1/(\Delta\omega)^3$  region 的相位雜訊。

$$L(\Delta\omega) \approx 10 \log \left( \frac{\overline{i_n^2} C_0^2}{8q_{max}^2 \Delta\omega^2} \cdot \frac{\omega_{1/f}}{\Delta\omega} \right) \quad (2-24)$$

綜合上述，白色雜訊及  $1/f$  noise 以電流源的形式注入 VCO，造成 VCO 的相位產生變化，而相位變化的大小與雜訊大小及訊號波形有關。雜訊造成的相位變化經由相位調變(phase modulation)在 VCO輸出訊號頻譜的週圍展開成裙帶狀相位雜訊，相位雜訊形成的示意圖如圖 3-9 所示。

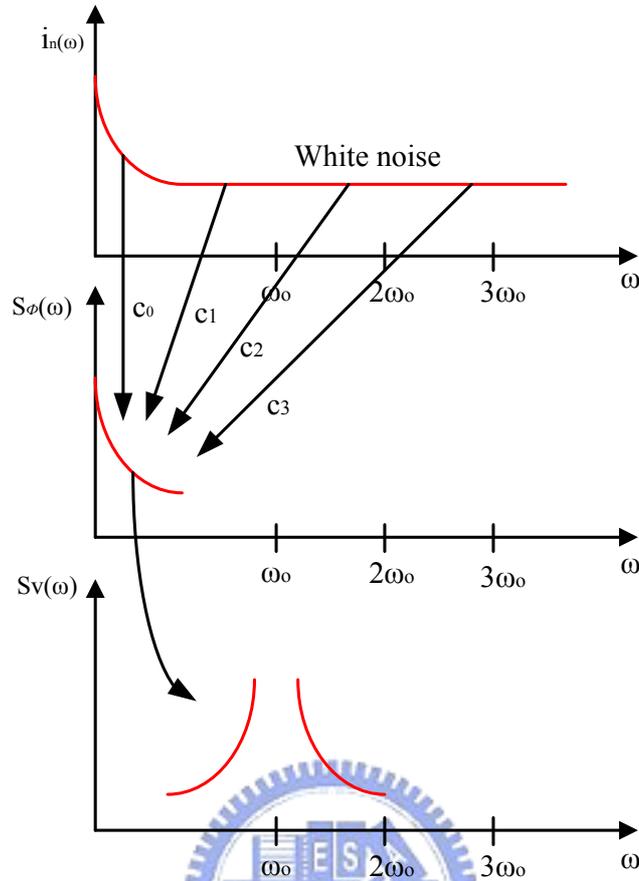


圖2.6 電流雜訊對相位雜訊的貢獻成分

相位雜訊  $1/(\Delta\omega)^3$   $1/(\Delta\omega)^2$  region 之間的 corner frequency 可經由比較式子(3-21)及式子(3-24)得到

$$\Delta\omega_{1/f^3} = \omega_{1/f} \cdot \frac{c_0^2}{4\Gamma_{rms}^2} \approx \omega_{1/f} \cdot \left(\frac{c_0}{c_1}\right)^2 \quad (2-25)$$

因此，若要減少  $1/(\Delta\omega)^3$  region 的相位雜訊及降低，則必需要降低  $c_0$ ，也就是 ISF 的 DC 成份。要降低  $c_0$  必須使得 VCO 輸出波形愈奇對稱(odd-symmetry)愈好。在 CMOS 製程中，高  $1/f$  noise 的元件，此規則相對地寶貴，因為經由 VCO 設計時注意訊號波形則可抑制元件的  $1/f$  noise 造成相位雜訊表現嚴重惡化。

在時變模型分析中，解釋了相位雜訊  $1/(\Delta\omega)^3$   $1/(\Delta\omega)^2$  region 形成的原因並可對相位雜訊做一精確的預測。對於 VCO 中任何一個雜訊源都可以依它的雜訊等效模型及訊號波形對應此雜訊源的 ISF 來求出相位雜訊。要找出 ISF 可以將

雜訊源以一個脈衝訊號代替，並找出 VCO 對此脈衝訊號的脈衝響應即是 VCO 對應此雜訊源的 ISF。有時 VCO 的雜訊來源很多或是雜訊模型不完整，所以利用 ISF 分析相位雜訊將變得複雜。時變模型除了比非時變模型更準確的來預測相位雜訊外，更指引設計者除了增加 VCO 的 tank Q 及訊號大小(非時變模型的結論)，波形也是一個相當重要的考量，尤其是  $1/f$  noise 的抑制，VCO 輸出波形愈奇對稱愈好，特別是對於高  $1/f$  noise 的 CMOS 元件。

## §2-4 鎖相迴路的相位雜訊

整體鎖相迴路輸出端的相位雜訊，由迴路內不同的雜訊源所貢獻，如圖 2.7 所示，由壓控振盪器  $\theta_{mco}$ 、參考頻率端  $\theta_{nin}$ 、電荷幫浦  $n_{cp}$ 、低通濾波器  $n_F$ 、甚至由除法器而來；由於每一雜音源均為獨立個體，所以輸出相位雜訊為每一雜訊源貢獻在輸出端的總和。

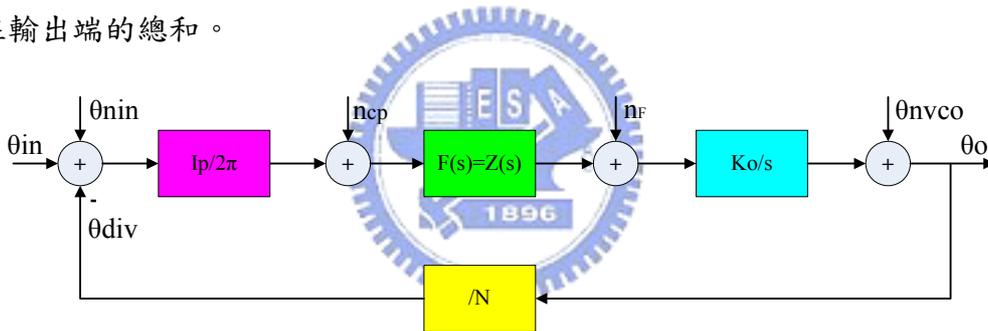


圖 2.7 鎖相迴路的雜訊源

其中  $\frac{I_p}{2\pi} = K_d$  為檢測器的轉移函數， $Z(s)$  為濾波器電壓轉移函數， $\frac{K_o}{s}$  為壓控振盪器的轉移函數。有關鎖相迴路的工作原理將在第四章 4-1 節做介紹，這裡針對鎖相迴路的相位雜訊做分析探討。

### §2-4-1 鎖相迴路的濾波效應

由於鎖相迴路對每一雜音源有不同的濾波效果，以下將先求每一雜音源的轉移函數。

#### 1. 對 VCO 而言

$$\frac{\theta_o}{\theta_{mvo}} = \frac{1}{1 + K_d F(s) \frac{K_o}{s} \frac{1}{N}} \quad (2-26)$$

若濾波器採用 PI 型如圖 2.8 所示，其電壓轉移函數

$$F(s) = K_h \frac{(s + \omega_2)}{s} \quad (2-27)$$

其中  $K_h = R_2 / R_1$ ，則

$$\begin{aligned} \frac{\theta_o}{\theta_{mvo}} &= \frac{1}{1 + K_d K_h \frac{(s + \omega_2)}{s} \frac{K_o}{s} \frac{1}{N}} = \frac{s^2}{s^2 + Ks + K\omega_2} \\ &\cong \frac{s^2}{(s + K)(s + \omega_2)} \quad (\omega_2 \ll K = \frac{K_d K_h K_o}{N}) \end{aligned} \quad (2-28)$$

由轉移特性為一高濾波器，如圖 2.9(a) 所示，在頻帶內被壓抑而且在零點以下斜率呈 +40dB/dec 形式。

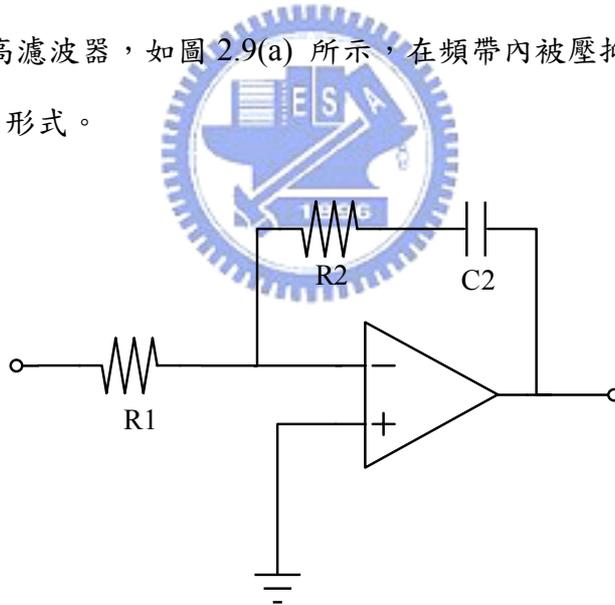


圖 2.8 PI 濾波器

2. 對參考訊號雜訊而言，其轉移函數為：

$$\frac{\theta_o}{\theta_{nin}} = \frac{K_d F(s) \frac{K_o}{s}}{1 + K_d F(s) \frac{K_o}{s} \frac{1}{N}} \quad (2-29)$$

若濾波器採用 PI 型

$$F(s) = K_h \frac{(s + \omega_2)}{s} \quad (2-30)$$

則

$$\begin{aligned} \frac{\theta_o}{\theta_{in}} &= \frac{K_d K_h \frac{s + \omega_2}{s} \frac{K_o}{s}}{1 + K_d K_h \frac{(s + \omega_2)}{s} \frac{K_o}{s} \frac{1}{N}} = \frac{NK(s + \omega_2)}{s^2 + Ks + K\omega_2} \\ &\cong \frac{NK}{(s + K)} \quad (\omega_2 \ll K = \frac{K_d K_h K_o}{N}) \end{aligned} \quad (2-31)$$

其轉移特性為一低通濾波器，如圖 2.9(b) 所示，可看出參考端相位雜訊對輸出相位雜訊為一低通函數，因此在頻寬外參考信號端的高頻雜訊可以被壓制，呈現  $s^{-1}$  的曲線，而頻寬內的低頻雜訊被放大  $N$  倍，亦即劣化因素為  $20 \log N$ ，會對輸出頻率造成干擾。

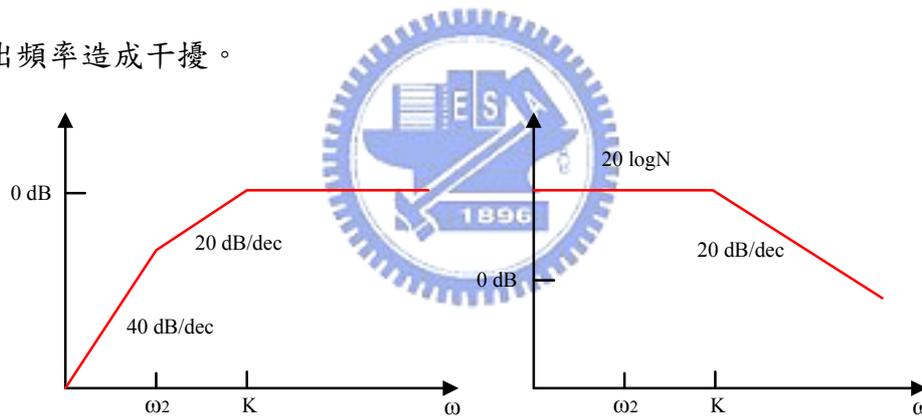


圖 2.9 鎖相迴路對：(a)壓控振盪器特性 (b)對參考信號源特性

## §2-4-2 具電流泵的鎖相迴路雜訊

PI 濾波器需要一運算放大器相當佔成本，目前較常採用的鎖相迴路為將 PI 濾波器以電流泵取代，電流泵可取代運算放大器而能維持同樣的功能，其電路簡單可節省成本。若 PI 濾波器改為電流泵，則電壓轉移函數  $F(s)$  改為阻抗函數  $Z(s)$ ，一階  $R_2C_2$  濾波器  $Z(s)$  為

$$Z(s) = K_h \frac{(s + \omega_2)}{s} \quad (2-32)$$

其中  $K_h = R_2$ 。若迴路濾波器使用二階，如圖 2.10(a) 在  $R_2C_2$  外並聯  $C_1$ ，則阻抗函數  $Z(s)$  為

$$Z(s) = K_h \frac{(s + \omega_2)}{s \left( \frac{s}{\omega_3} + 1 \right)} \quad (2-33)$$

其中  $K_h = \frac{C_2 R_2}{C_1 + C_2}$ ， $\omega_2 = \frac{1}{C_2 R_2}$ ， $\omega_3 = \frac{C_1 + C_2}{C_1 C_2 R_2}$ ，常數  $K_h$  會因電容比值而有些微改變。

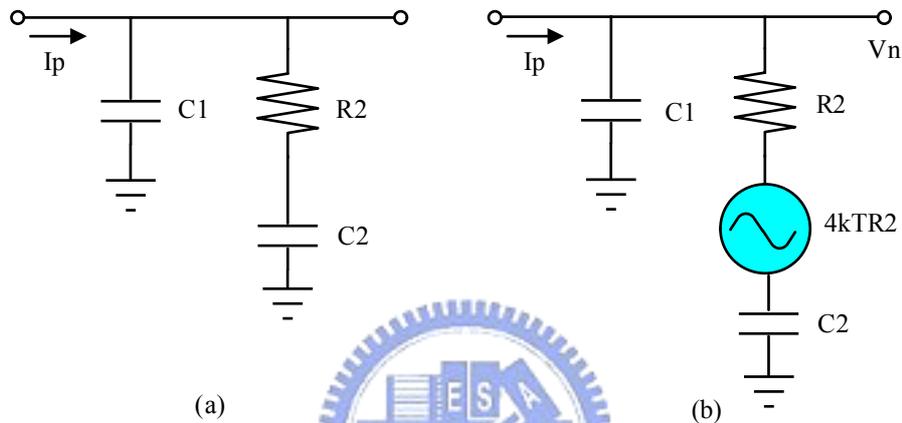


圖 2.10 二階迴路濾波器

為方便起見，將每一對應雜音源的轉移函數列出如下：

1. 參考信號

$$\frac{\theta_o}{\theta_{nin}} = \frac{\frac{I_p}{2\pi} Z(s) \frac{K_o}{s}}{1 + \frac{I_p}{2\pi} Z(s) \frac{K_o}{s} \frac{1}{N}} \quad (2-34)$$

其中  $I_p$  為充電峰電流。

2. 壓控振盪器

$$\frac{\theta_o}{\theta_{nvco}} = \frac{1}{1 + \frac{I_p}{2\pi} Z(s) \frac{K_o}{s} \frac{1}{N}} \quad (2-35)$$

3. 電流泵

$$\frac{\theta_o}{n_{cp}} = \frac{Z(s) \frac{K_o}{s}}{1 + \frac{I_p}{2\pi} Z(s) \frac{K_o}{s} \frac{1}{N}} \quad (2-36)$$

其中  $n_{cp}$  為電流雜訊。

#### 4. 低通濾波器

$$\frac{\theta_o}{n_F} = \frac{T_1(s) \frac{K_o}{s}}{1 + \frac{I_p}{2\pi} Z(s) \frac{K_o}{s} \frac{1}{N}} \quad (2-37)$$

其中  $n_F$  為電阻  $R_2$  的雜訊，而  $T_1 = V_n / \sqrt{4kTR_2}$  的轉移函數， $V_n$  為濾波器輸出端電壓，可由圖 2.9(b) 而得。

$$T_1 = \frac{1}{R_2 + \frac{1}{sC_1} + \frac{1}{sC_2}} \quad (2-38)$$


(a) 由(2-34)式知石英振盪器當參考頻率在鎖相迴路輸出端所貢獻的相位雜訊為

$$L_{crystal}\{s\} = \left( \frac{\phi_n^2}{\Delta\omega} \right)_{crystal} \cdot \left[ \frac{\frac{I_p}{2\pi} Z(s) \frac{2\pi K_{vco}}{s}}{1 + \frac{I_p}{2\pi} Z(s) \frac{2\pi K_{vco}}{s} \frac{1}{N}} \right]^2 \quad (2-39)$$

其中  $\left( \frac{\phi_n^2}{\Delta\omega} \right)$  為石英振盪器的相位雜訊， $2\pi K_{vco} \equiv K_o$  變成  $s$  代表  $j\omega_m$ 。

(b) 由(2-35)式知壓控振盪器在鎖相迴路輸出所貢獻的相位雜訊為

$$L_{vco}\{s\} = \left( \frac{\phi_n^2}{\Delta\omega} \right)_{vco} \cdot \left[ \frac{1}{1 + \frac{I_p}{2\pi} Z(s) \frac{2\pi K_{vco}}{s} \frac{1}{N}} \right]^2 \quad (2-40)$$

其中  $\left(\frac{\phi_n^2}{\Delta\omega}\right)$  為壓控振盪器相位雜訊，

(c) 充電泵：在鎖相迴路輸出端所貢獻的相位雜訊，必須計算電流源每一個電晶體所貢獻的雜訊，為了簡化起見，充放電各用一個電晶體代替，計算如下：

$$L_{cp}\{s\} = \sum \left( \frac{\overline{i_n^2}}{\Delta\omega} \right) \frac{\Delta t}{T_{ref}} \cdot \frac{1}{2} \cdot \left[ \frac{Z(s) \frac{2\pi K_{vco}}{s}}{1 + \frac{I_p}{2\pi} Z(s) \frac{2\pi K_{vco}}{s} \frac{1}{N}} \right]^2 \quad (2-41)$$

電晶體的雜訊  $\frac{\overline{i_n^2}}{\Delta\omega} = \frac{4KT\gamma g_m}{2\pi}$ ，因為短通道電晶體， $\gamma$  大約取 2.5。  $\Delta t$  是在鎖住狀況下充放電的時間，  $T_{ref}$  為參考信號週期，  $1/2$  是因為雙邊頻譜。

(d) 低通濾波器的電阻 R2 在鎖相迴路輸出端所貢獻的相位雜訊為

$$L_{R_2}\{s\} = \frac{4KTR_2}{2\pi} \cdot \frac{1}{2} \cdot \left[ \frac{\frac{1}{sC_1}}{\frac{1}{sC_1} + R_2 + \frac{1}{sC_1}} \right]^2 \left[ \frac{\frac{2\pi K_{vco}}{s}}{1 + \frac{I_p}{2\pi} Z(s) \frac{2\pi K_{vco}}{s} \frac{1}{N}} \right]^2 \quad (2-42)$$

$\frac{4KTR_2}{2\pi}$  是 R2 的熱雜訊，  $1/2$  是因為雙邊的功率頻譜。

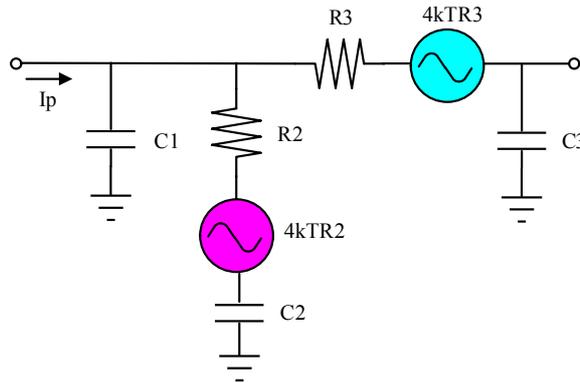


圖 2.11 三階迴路濾波器

若濾波器採用三階如圖 2.11 所示，其轉移函數  $Z'(s)$  改寫為

$$Z'(s) = K_h \frac{(s + \omega_2)}{s \left(1 + \frac{s}{\omega_3}\right) \left(1 + \frac{s}{\omega_4}\right)} \equiv Z(s) \cdot T(s) \quad (2-43)$$

其中係數為

$$K_h = \frac{C_2 R_2}{C_1 + C_2}, \quad \omega_2 = \frac{1}{R_2 C_2}, \quad \omega_3 = \left(1 + \frac{C_2}{C_1}\right) \omega_2, \quad \omega_4 = \frac{1}{R_3 C_3}, \quad T(s) = \frac{1}{1 + \frac{s}{\omega_4}}$$

多了兩個高頻的極點  $\omega_3$ 、 $\omega_4$ ，而且  $\omega_3 < \omega_4$ ，注意(2-43)式必須在  $R_3 C_3$  對前面的負載效應足夠小時才可用，對參考信號的相位轉移函數可寫為

$$\frac{\theta_o}{\theta_{in}} = \frac{NK(s + \omega_2)}{\frac{s^4}{\omega_3 \omega_4} + s^3 \left( \frac{1}{\omega_3} + \frac{1}{\omega_4} \right) + s^2 + Ks + K\omega_2} \quad (2-44)$$

其中 K 為迴路頻寬，寫成此形式主要是方便與(2-31)式比較，可看出高頻極點的影響在高次項，呈現  $s^{-3}$ ，對低頻影響較小。

同理，對壓控振盪器部分的轉移函數為

$$\frac{\theta_o}{\theta_{vco}} = \frac{s^2 \left( \frac{s}{\omega_3} + 1 \right) \left( \frac{s}{\omega_4} + 1 \right)}{\frac{s^4}{\omega_3 \omega_4} + s^3 \left( \frac{1}{\omega_3} + \frac{1}{\omega_4} \right) + s^2 + Ks + K\omega_2} \quad (2-45)$$

R2 在鎖相迴路輸出端所貢獻的相位雜訊為

$$L_{R_2}\{s\} = \frac{4KTR_2}{2\pi} \cdot \frac{1}{2} \cdot \left( \frac{P_1(s)}{P_1(s) + R_2 + \frac{1}{sC_2}} \right)^2 \left( \frac{T(s) \cdot \frac{2\pi K_{vco}}{s}}{1 + \frac{I_p}{2\pi} Z'(s) \frac{2\pi K_{vco}}{s} \frac{1}{N}} \right) \quad (2-46)$$

$$P_1(s) = \frac{\left( R_3 + \frac{1}{sC_3} \right) \frac{1}{sC_1}}{R_3 + \frac{1}{sC_3} + \frac{1}{sC_1}} \quad (2-47)$$

R3 在鎖相迴路輸出端所貢獻的相位雜訊為

$$L_{R_3}\{s\} = \frac{4KTR_3}{2\pi} \cdot \frac{1}{2} \cdot \left( \frac{R_3 + \frac{1}{sC_3}}{P_2(s) + R_3 + \frac{1}{sC_3}} \right)^2 \left( \frac{T(s) \cdot \frac{2\pi K_{vco}}{s}}{1 + \frac{I_p}{2\pi} Z'(s) \frac{2\pi K_{vco}}{s} \frac{1}{N}} \right)^2 \quad (2-48)$$

$$P_2(s) = \frac{\left( R_2 + \frac{1}{sC_2} \right) \frac{1}{sC_1}}{R_2 + \frac{1}{sC_2} + \frac{1}{sC_1}} \quad (2-49)$$



## 第三章

### 正交輸出壓控振盪器

#### §3-1 壓控振盪器理論基礎及設計方法

振盪器是一種能量轉換元件，能將直流功率轉換為交流功率。其分析的方式約略可分為符合巴克豪森準則(Barkhausen criterion)的正回授觀點以及應用負電阻的觀點。在振盪器電路設計上，一般考量的重要特性為：相位雜訊、輸出功率、頻率變動性、熱穩定性(thermal stability)，其中相位雜訊的好壞會影響到整體接收訊號的品質，如圖3.1 所示。當一個很強的鄰近波道干擾和一個很弱的接收訊號同時出現時，多餘的相位雜訊會和很強的干擾交互調變到中頻，使得原本很弱的中頻訊號可能因此被干擾。故降低相位雜訊為設計振盪器者的重要考量之一。

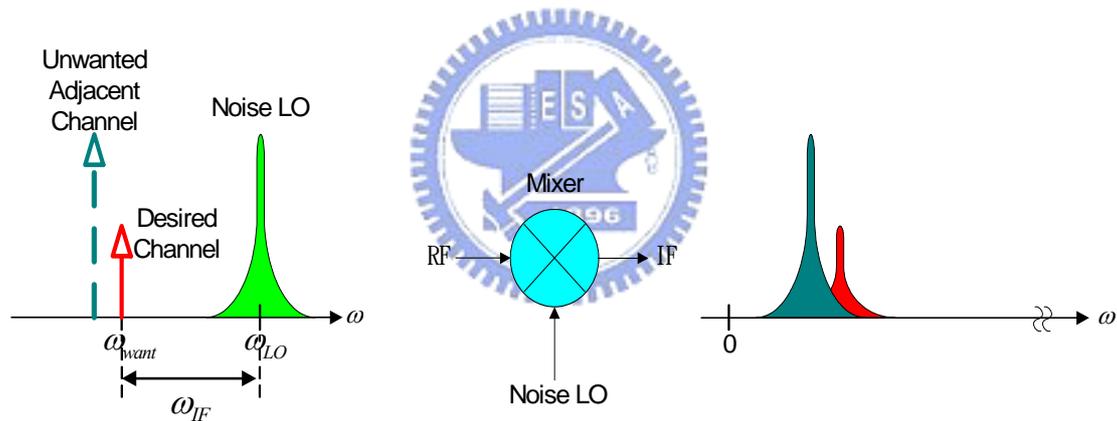


圖3.1 相位雜訊在接收端的影響

#### §3-1-1 重要規格參數

##### (1) 相位雜訊

由於振盪器對於雜訊及溫度相當敏感，將使得振盪器的輸出訊號在振幅、相位及頻率上產生改變，亦即所謂的 AM、PM 及 FM 雜訊。通常振盪器輸出振幅受雜訊及溫度的影響不大，因此 AM 雜訊可忽略，至於輸出相位的變動 (PM 及 FM 雜訊)，即定義為相位雜訊。若將振盪器輸出訊號以頻譜觀察，可看到訊號頻譜的形狀在中心頻率周圍形成“裙帶”狀，並將相位雜訊定義為  $L(\Delta f)$ ，如圖

3.2 所示。

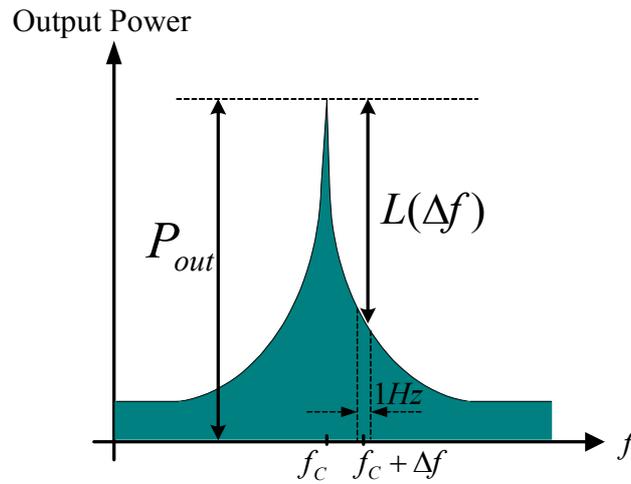


圖3.2 振盪器輸出訊號頻譜圖

相位雜訊的大小，以往皆採用Lesson's model，如圖3.3 所示，其數學表示式為：

$$L(\Delta\omega) = 10 \log \left[ \frac{1}{2} \frac{FkT}{P_s} \left\{ 1 + \left[ \frac{\omega_o}{2Q\Delta\omega} \right]^2 \right\} \left[ 1 + \frac{\Delta\omega_{1/f^3}}{|\Delta\omega|} \right] \right] \quad (3-1)$$

此乃由量測壓控振盪器頻譜後 curve fit 的模型，用以描述其輸出頻譜。在此模型中有些參數如： $\Delta\omega_{1/f^3}$  必須經過量測才能得知，且通常在壓控振盪器頻譜成

水平的轉角頻率(corner frequency)也並不一定是  $\frac{\omega_o}{2Q}$ 。

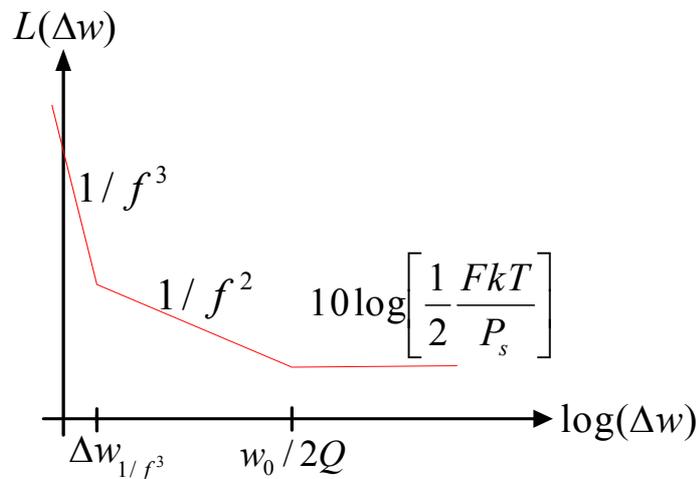


圖3.3 Lesson's 相位雜訊模型

對於(3-1)式相位雜訊大小的求得乃是利用時變分析，其原理是假設一個脈衝電流注入至一無損耗的 LC 諧振電路，且此系統正振盪於某一頻率及固定的振幅，如圖3.4 所示。若脈衝注入時間  $\tau$  恰為訊號振幅最大的時候，此時電壓振幅將瞬間被提升，但電壓訊號相位不會有任何的改變，如圖3.5(a) 所示。相對地，若脈衝注入時間  $\tau$  恰為訊號振幅零交越(zero crossing)的時候，此時電壓訊號相位發生了改變，且相位改變量與注入脈衝大小有關，如圖3.5(b) 所示。因此雜訊造成的相位改變是與雜訊注入的時間有關。利用此特性並配合雜訊的定義式(白色雜訊與  $1/f$  雜訊)，進而推得相位雜訊的大小如(3-1)式所示。

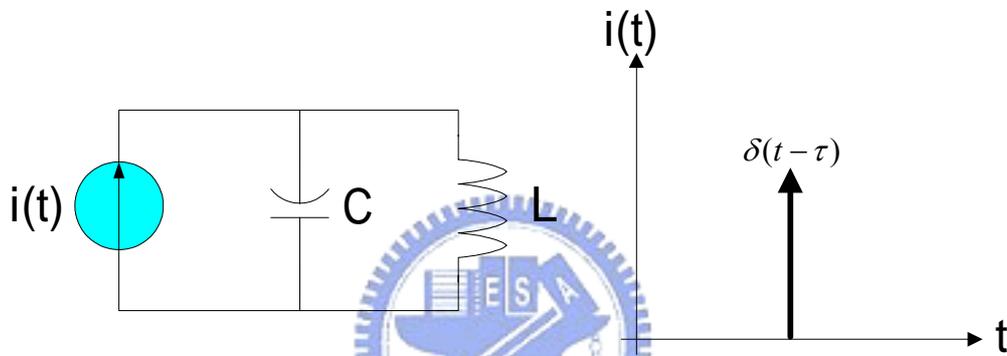


圖3.4 電流脈衝注入LC振盪器

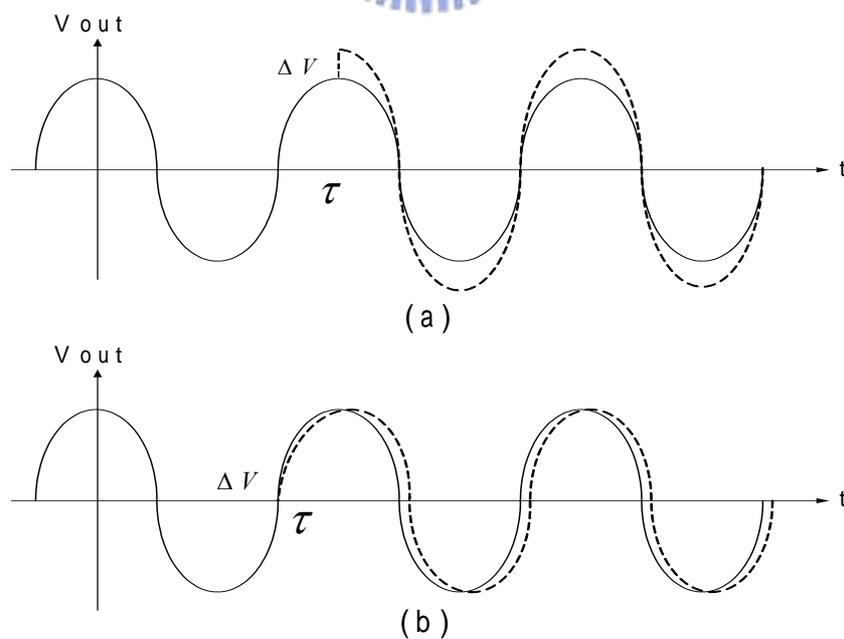


圖3.5 脈衝注入造成振盪訊號的改變

由上述一連串時變分析過程中可知，振盪器的輸出波形愈奇對稱(odd-symmetry)將可有效的抑制  $1/f$  雜訊，使得  $\Delta w_{1/f^3}$  因此而降低。由(3-1)式亦可得知，增加振盪器 LC tank 的 Q 值以及輸出訊號大小皆能改善相位雜訊的大小。

## (2) 輸出功率

一般而言預測振盪器實際的輸出功率較不容易，但可確定的是，此輸出功率最大不會超過其電晶體在大訊號分析時，所得的輸出功率。例如一個共射極組態電路(Common-Emitter Configuration)，假設輸出至負載最大的功率為  $P_{out} - P_{in}$ ，根據經驗可得其值約為： $P_{out} - P_{in} = P_{sat} (1 - 1/G - \ln G/G)$ 。其中  $P_{sat}$  為電晶體飽和時的輸出功率， $G$  為轉移增益(Transducer Gain)。因此設計者可在選擇振盪器主動元件的同時，利用此主動元件的已知參數，來預測振盪器可能的輸出功率之值。

## (3) 頻率變動性

頻率變動為振盪器設計所需考量的規格之一，而其往往都是利用一些可調元件來實現，如：二極體變容器(Diode Varactor)、電晶體變容器(MOS Varactor)...等，除了設計具有頻率調整功能外，其餘設計則應避免額外因素影響振盪器的輸出頻率。造成頻率變動的主要原因可分為控制訊號部分與輸出負載部分。

就控制訊號部分而言，當主動元件所使用的控制訊號發生變動時，電晶體的偏壓也會改變，因為電晶體的 S 參數與  $\Gamma_{in}$  會隨直流偏壓變動，而造成振盪器輸出頻率產生變化，此情況又稱推頻效應(Pushing Effect)。避免推頻效應的發生，可使用高品質因數的共振器以減低推頻效應對振盪頻率的影響，因為較高的品質因數可以使共振電路與主動元件接面電容的變化有較好的隔離。另外，亦可利用穩定性較高的偏壓電路，如：能隙型(Band Gap)偏壓電路，使主動元件所需的偏壓訊號，不因訊號產生器本身的不穩定，造成推頻效應的發生。

另一可能變動的因素為輸出的負載。當輸出負載變動時，其等效的阻抗也發生變化，此時電晶體從輸入端看入的阻抗已不再符合當初設計的數值，進而造成整個輸出頻率變動，此情況又稱負載拉頻效應(Load Pulling Effect)。若欲避免負載

拉頻效應，可在電晶體與輸出負載間，插入緩衝器(Buffer)，以改善負載與電晶體之間的隔離度，且增加此緩衝器亦可提升振盪器輸出功率位準。

#### (4) 熱穩定性

共振器的振盪頻率與電晶體的 $\Gamma_{in}$ 皆因振盪器的溫度而產生變化，這將造成振盪頻率與輸出功率發生變化，甚至停止振盪，因此，若將主動元件的偏壓電路和被動元件的諧振電路，設計成具有溫度補償效應的功能，便可改善電路特性受到溫度影響的問題。

#### (5) 頻率漂移

當頻率變動時，要經過一段時間才會達到穩定的頻率輸出，等電路達到穩定後，實際的輸出振盪頻率會與預期的振盪頻率有一些差距，其稱為穩態的調整後漂移(Long-Term Post Tuning Drift,  $\Delta f_L$ )，如圖3.6 所示。通常造成調整後漂移發生的主要原因，乃是變容器熱能損耗的變化所形成的，故藉由選擇熱消散快速的頻率調整元件即可改善此現象的發生。

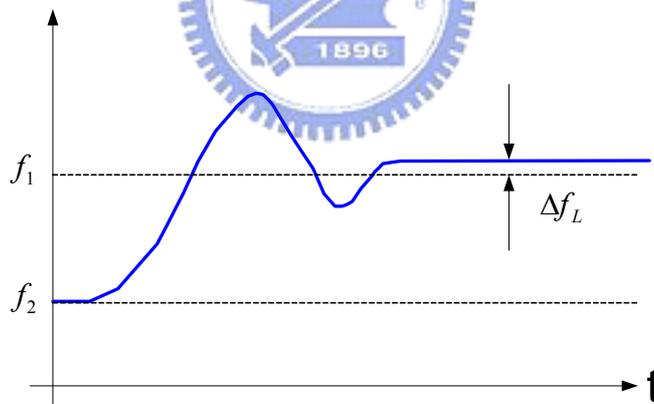


圖3.6 頻率漂移示意圖

### §3-1-2 CMOS壓控振盪器架構

現今 CMOS RFIC 電路中常採用的兩種振盪器型式為：LC諧振(LC tank)振盪器及環形振盪器(ring oscillator)。前者有較低的相位雜訊，但其可調頻率範圍較小；後者有較寬的可調頻率範圍且可產生多相位的功能，不過有較高的相位雜訊。以下將簡介此兩種振盪器的工作原理。

(1) LC tank振盪器

此振盪器常使用負阻的概念來消除 LC tank 的寄生電阻(R1)，如圖 3.7 所示，而 LC tank(包含寄生電阻)可由串並聯轉換圖 3.8 等效成圖 3.9 之簡易型式。

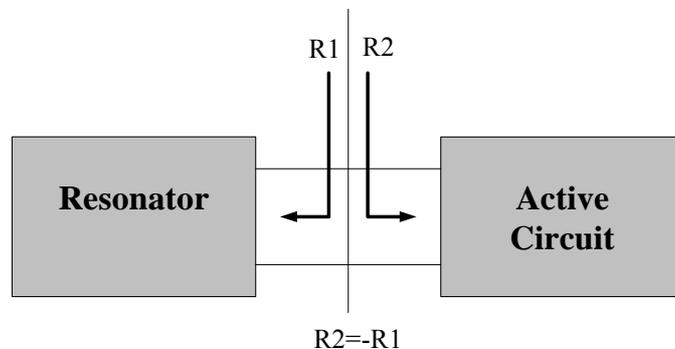


圖 3.7 使用負阻消除 LC tank 的寄生電阻示意圖

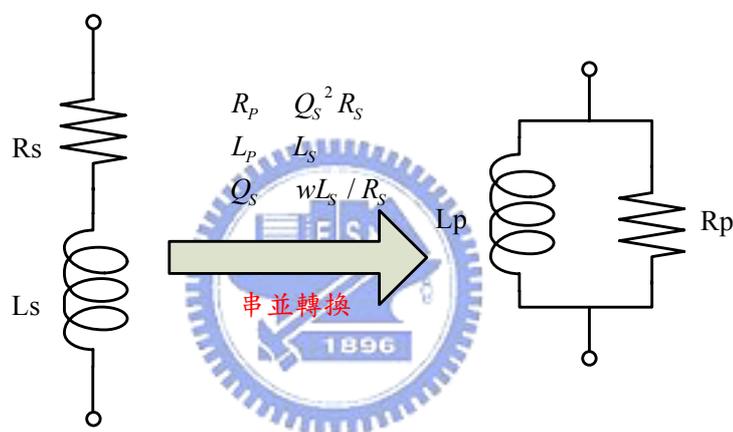


圖 3.8 串並聯轉換

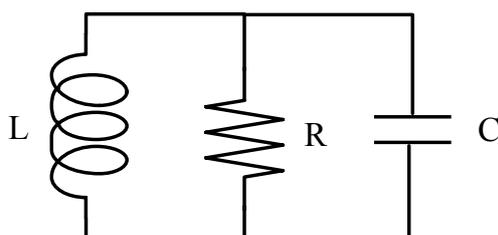


圖 3.9 等效簡易模型

負阻的產生是利用電晶體交錯耦合對(cross-coupled pair)產生正回授，其輸入阻抗為  $R_m = -2/g_m$ ，圖 3.10 即為常使用的 NMOS-cross coupled pair。一般而言，使用 PMOS-cross coupled pair 所製作的壓控振盪器，其相位雜訊優於 NMOS-cross coupled pair。

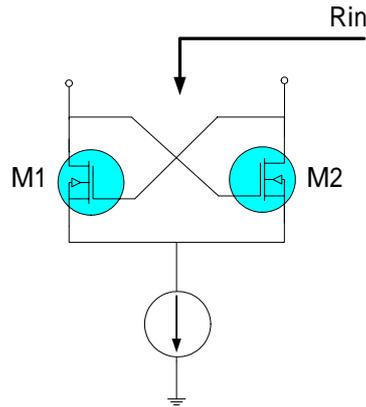


圖 3.10 電晶體交錯耦合對

圖 3.11 為互補式交錯耦合對(complementary cross-coupled pair)，相對於 NMOS-cross coupled pair 或 PMOS-cross coupled pair 而言，在相同電流消耗之下，complementary cross-coupled pair 具有較大的轉導，使得電晶體較快速的切換，輸出電壓波形的上升時間(rise-time)及下降時間(fall-time)也較對稱，由於輸出波形愈奇對稱， $\Delta\omega_{1/f^3}$  愈小，因此有較低的相位雜訊。

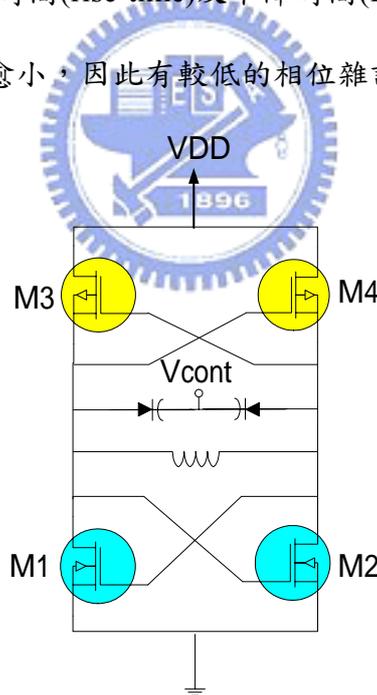


圖 3.11 互補式交錯耦合對

## (2) 環型振盪器

此振盪器工作原理是利用奇數個反相器串接回授造成振盪，振盪週期由總時間

延遲來決定。如圖3.12 所示，有奇數個反相器串接，振盪頻率為： $f_0 = \frac{1}{2NT_d}$ ，

因此改變單級延遲時間 $T_d$ 即可改變振盪頻率，進而達成電壓控制振盪頻率的功

能。環型振盪器的好處在於電路需要的晶片面積較小，且易與鎖相迴路(PLL)電路整合，因為DC準位相同，故輸出訊號振幅較大(full swing)。其缺點在於主動元件使用量較多，因此相位雜訊較大。另外，若使用差動組態，可藉由配置一個無法反轉的組態來使用偶數組態，如圖3.13 所示，顯示了差動電路在使用上有較多的彈性。

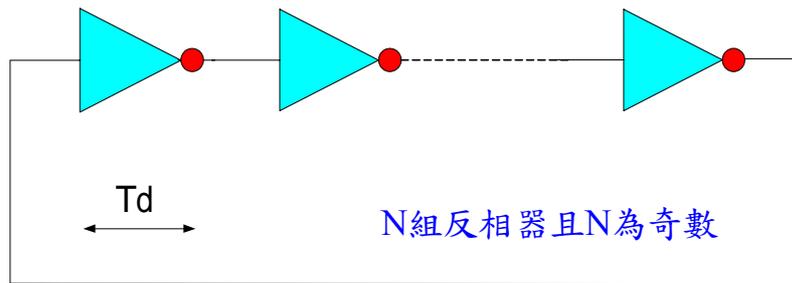


圖3.12 基本環型振盪器示意圖

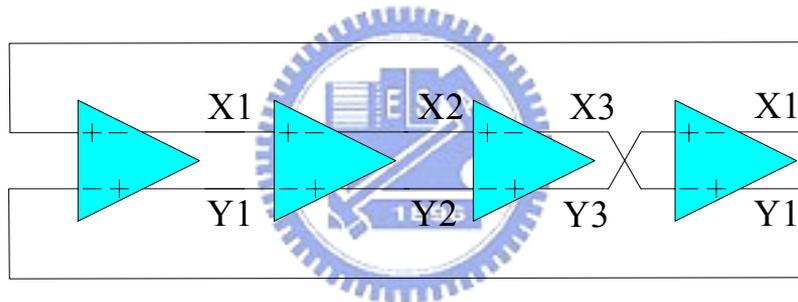


圖3.13 四級差動環型振盪器

## §3-2 正交輸出的方法

在數位接收中不但振幅連相位居含有調變訊息，因此需要有正交本地信號解出 I與Q訊息，反之在發射中亦須將 I與Q加以調制發射，也需含有正交的本地振盪信號；另外在鏡像拒斥混波器本地振盪器也需要正交輸出；綜合上述，在現代數位通信IC中需要一含有正交輸出的壓控振盪器。一般期刊及論文中常用來產生四相位訊號的方法有三種：一是數位除頻器，二是RC-CR或多相位濾波器，三是雙交叉耦合LC振盪器，底下介紹這三種產生正交的方法。

### (1) 數位除頻器

第一種方式為把壓控振盪器(voltage-controlled oscillator) 加上除頻器(divider)

來產生四相位訊號。但利用此種方式來產生四相位訊號，要先將壓控振盪器操作在兩倍頻的振盪頻率才能在所需要的頻率產生四相位的訊號。而此種架構的缺點為，要讓振盪器操作在兩倍頻其困難度較高設計比較困難。另外，外加了一個除頻器也增加了功率的消耗。

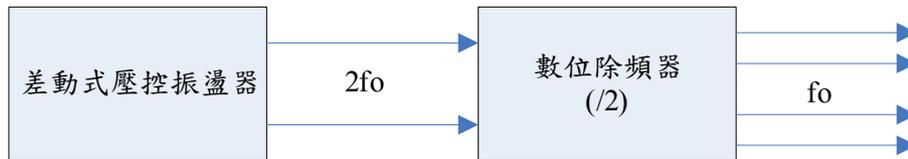


圖 3.14 數位除頻器方法

### (2) RC-CR 或多相位濾波器

第二種方式為將差動型式之壓控振盪器外加一個多相位濾波器 (poly-phase filter) 來產生四相位訊號，通常為使用電阻電容迴路式多相位濾波器 (RC-network poly-phase filter)，如圖3.1.2所示。此種架構的缺點為，使用的頻寬較窄且此種振盪器之四相位輸出的準確度幾乎是依賴晶片內元件之間的匹配。若要改善此一缺點，則電阻電容迴路式濾波器就必需要串疊 (cascade) 多級，進而增加了許多無謂的功率消耗。因此，又需增加放大器 (amplifier) 或緩衝器 (buffer) 來做補償。

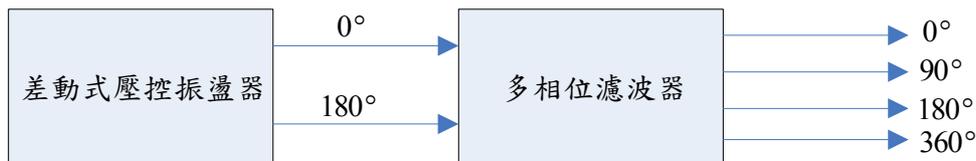


圖 3.15 多相位濾波器方法

### (3) 雙交叉耦合 LC 振盪器

第三種是利用兩組壓控振盪器加上四個相位移電路彼此間插耦合來實現，此種架構的缺點為其四相位輸出訊號之相位誤差 (phase error) 與相位雜訊 (phase noise)，彼此互有關聯，可用  $\alpha$  來表示。而  $\alpha$  可以定義為  $\alpha = W_{cpl} / W_{dif}$ ，其中  $W_{cpl}$  代表作耦合之電晶體的通道寬度而  $W_{dif}$  為振盪器核心電路之電晶體的通道寬度。由參考資料[4]可知，當  $\alpha$  值降低時，其相位誤差會很迅速的增加，同時卻

可以發現相位雜訊隨著 $\alpha$ 值降低而下降。反之，當 $\alpha$  值增加時，其相位誤差迅速的減少，同時相位雜訊卻隨著 $\alpha$  值增加而上升。因此在此種架構的電路設計上，對於核心電路之電晶體及作耦合之電晶體，其大小的選取必需作取捨，同樣的也會增加功率消耗，此為設計上的一大缺點。

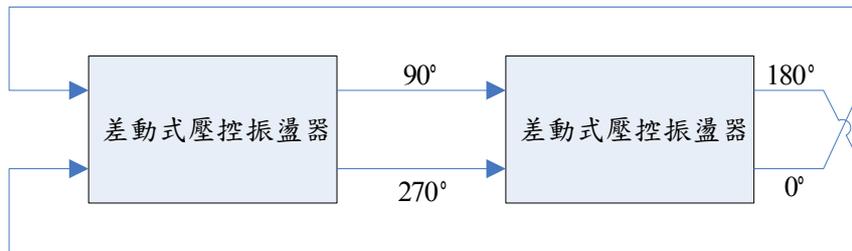


圖 3.16 雙交叉耦合方法

### §3-3 低相位雜訊正交輸出壓控振盪器設計

#### §3-3-1 設計方法

根據 3-2 節所提到正交輸出的方法，利用除頻器耗功率，且壓控振盪器需振在兩倍頻，較難設計；多相位濾波器使用的頻寬較窄且此種振盪器之四相位輸出的準確度幾乎是依賴晶片內元件之間的匹配；而利用雙交叉耦合 LC 振盪器，相位誤差(phase error)與相位雜訊(phase noise)，彼此互有關聯。根據現有文獻對於相位雜訊之探討，本節以雙交叉耦合 LC 振盪器方法設計一低相位雜訊且具正交輸出的壓控振盪器，其方法如下：

(1) 選擇高品質因素(Q 值)的電感

由於(3-1)式

$$L(\Delta\omega) = 10 \log \left[ \frac{1}{2} \frac{FkT}{P_s} \left\{ 1 + \left[ \frac{\omega_o}{2Q\Delta\omega} \right]^2 \right\} \right] \left[ 1 + \frac{\Delta\omega_{1/f^3}}{|\Delta\omega|} \right]$$

電感器 Q 值好壞直接影響振盪器的相位雜訊，故知選擇一高品質因素的電感應用於 VCO 電路中則相位雜訊將會降低，TSMC 0.18um RF CMOS 製程所提供的

電感模型有對稱型及標準型兩種，一般而言對稱式電感有較佳的 Q 值，所以設計振盪器時建議使用對稱式電感。

### (2)降低電感的等效電導值

電感器的 Q 值定義為

$$Q = \frac{1}{G_{tot}} \sqrt{\frac{C}{L}} \quad (3-2)$$

由此可知降低電感的等效電導值  $G_{tot}$ ，則 LC-Tank 的 Q 值會提升

圖 3.17 為一能產生一負電導的電路

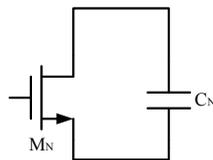


圖 3.17 能產生負阻電路

產生的負導值為

$$G_N = \frac{\omega^2 C_{gs} (C_N + C_{gd})}{g_m} \quad (3-3)$$

在電晶體  $M_N$  汲極與源極之間，外加一個電容  $C_N$ ，假設  $\omega \ll g_m / (C_{gs} + C_N)$ ，

$C_{gs}$  為  $M_N$  的閘極到源極的內部電容， $g_m$  則為  $M_N$  的轉導，藉由  $C_N$  所產生的負

電導  $G_N$ ，則  $G_{tot}$  即會變小，電感的 Q 值變大。

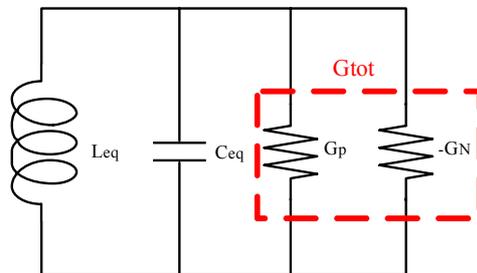


圖 3.18 加入負電導後 LC-Tank 等效電路

### (3)電晶體的選擇

電晶體本身的雜訊也會影響 VCO 的相位雜訊。因為電晶體  $1/f$  noise 是造成

VCO 相位雜訊  $\frac{1}{(\Delta\omega)^3}$  區域的主因，這種雜訊會隨著電路的非線性特性，而被升頻上去，使得振盪器輸出的頻譜特性變差。

CMOS 製程中電晶體的  $1/f$  noise 通常都相當的高，造成相位雜訊表現有相當程度地惡化。然而，由於 PMOS 的遷移率與載子擾動能力都較 NMOS 來得低，所以  $1/f$  noise 通常比 NMOS 小一個數量級。由相位雜訊時變模型分析中得到，低  $1/f$  noise 的主動埠不僅可減少  $\frac{1}{(\Delta\omega)^3}$ 、 $\frac{1}{(\Delta\omega)^2}$  region 的相位雜訊大小，更可以使  $\frac{1}{(\Delta\omega)^3}$ 、 $\frac{1}{(\Delta\omega)^2}$  region 的轉角頻率下降。因此採用 PMOS 為主動埠的架構的電路一般會比用 NMOS 主動埠相位雜訊來的低。

#### (4) 避免使用定電流源

去除電流源的使用亦可去掉電流源  $1/f$  noise 造成相位雜訊的惡化，原因在於若主動埠的交連耦合對的不對稱或是波形不夠奇對稱，交連耦合對的源級共點有二次諧波的訊號，使電流源的  $1/f$  noise 經由電晶體的通道長度調變效應升頻至中心頻率在二次諧波的地方。這時中心頻率在二次諧波的雜訊會進入 VCO 並和中心頻率做混頻的動作，將  $1/f$  noise 載至中心頻率附近造成相位雜訊的惡化。

#### (5) 增加輸出功率

由(3-1)式可知，如果輸出功率增加時，此時代表  $P_{\text{signal}}$  即變大，因此相位雜訊將會降低。

$$L(\Delta\omega) = 10 \log \left[ \frac{1}{2} \frac{FkT}{P_s} \left\{ 1 + \left[ \frac{\omega_o}{2Q\Delta\omega} \right]^2 \right\} \right] \left[ 1 + \frac{\Delta\omega_{1/f^3}}{|\Delta\omega|} \right]$$

#### (6) MOS 對稱性

由遷移率的觀念及可知在同一路徑上，如果設計 PMOS 的尺寸為 NMOS 的約 2.5 倍時，即電流對稱，則將不會產生不必要的諧波。

綜合以上的設計方法，設計一個具有低相位雜訊的四相位壓控振盪器。3-1-2

節提到在相同電流消耗之下，互補式交錯耦合對(complementary cross-coupled pair)具有較大的轉導，故主動埠採用互補式交錯耦合對，並且加入大電容並聯在電晶體的汲極(drain)、源極(source)間以產生一負電導值補償電感的損耗，電感器的選擇採用 Q 值較高的對稱型電感，電路中不使用定電流原來做偏壓，PMOS 與 NMOS 的尺寸設計在約 2.5 : 1，此四相位的 VCO 電路架構如圖 3.19 所示：

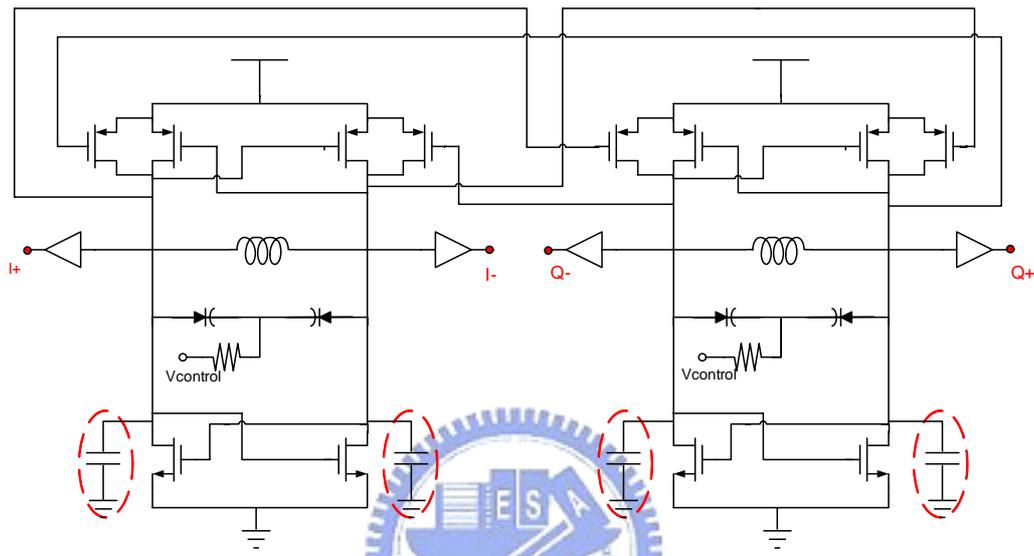
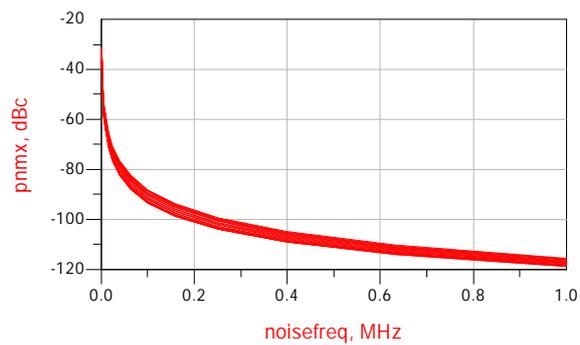
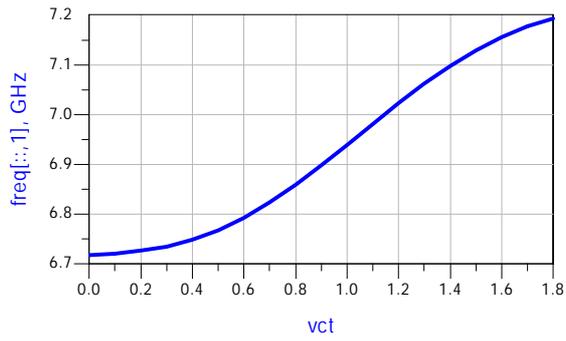


圖 3.19 低相位雜訊四相位壓控振盪器

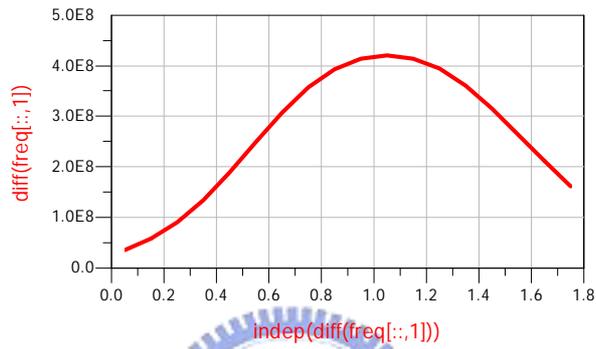
### §3-3-2 模擬結果



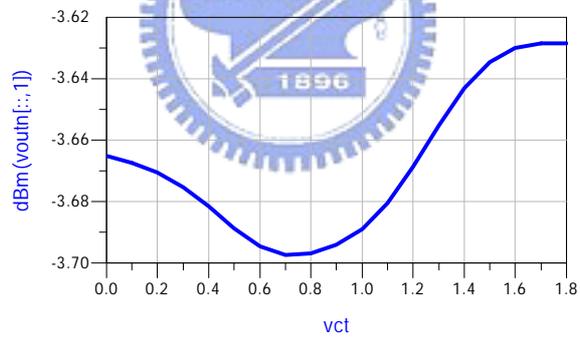
(a) 相位雜訊



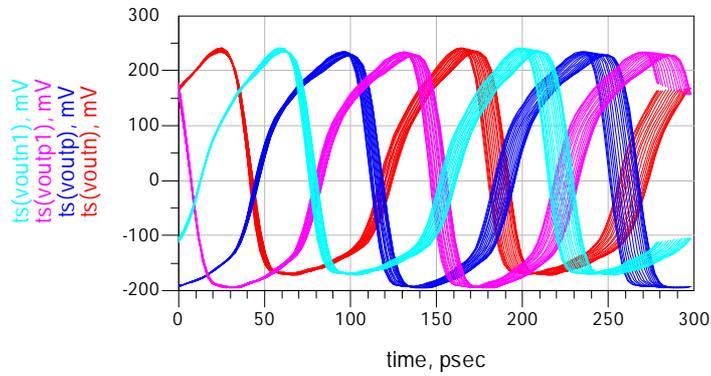
(b) 頻率可調範圍



(c) 靈敏度



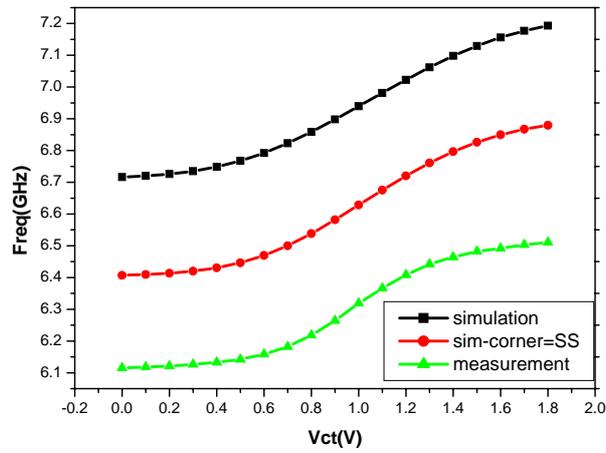
(d) 輸出功率



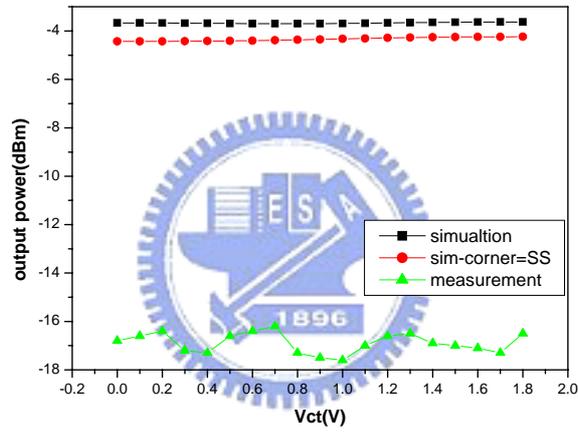
(e) 輸出四相位波形

圖 3.20 模擬結果

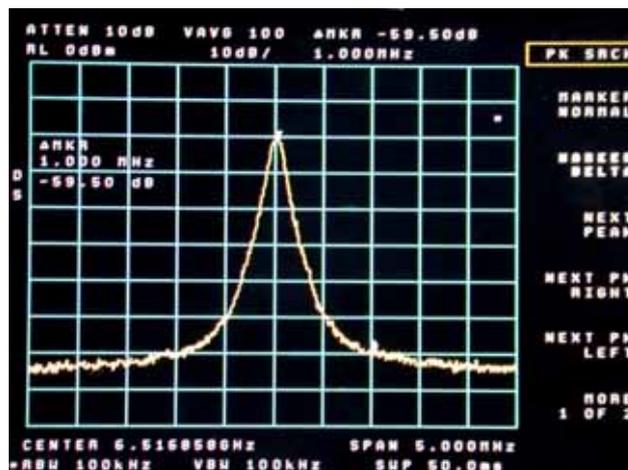
### §3-3-3 量測結果



(a) 頻率可調範圍



(b) 輸出功率



(c) 輸出頻譜

圖 3.21 量測結果

表 III-I 【電路 1】 低相位雜訊正交輸出壓控振盪器規格表

Parameter	Simulation result	Measurement result
Core Current (mA)	7.8	8
Tuning range (GHz)	6.7~7.2	6.1~6.5
Output Power (dBm)	-3.1	-17
Phase Noise @1MHz (dBc/Hz)	-119	-110
Power Consumption (mW)	14	14.4
Chip size	0.99 × 0.78 mm <sup>2</sup>	

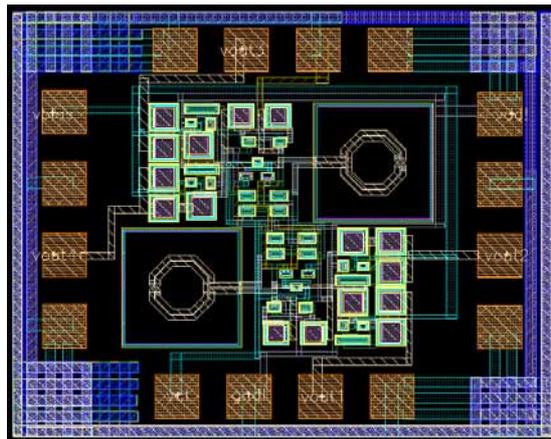


圖 3.22 佈局平面圖

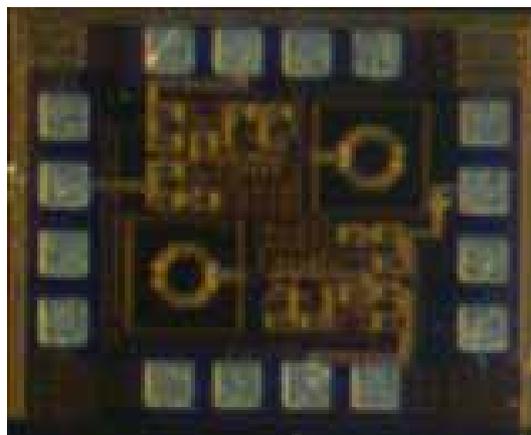


圖 3.23 實際晶片圖

### §3-3-4 討論

本節所設計的壓控振盪器其特點為著重在低相位雜訊，所列出的設計方法中(4)避免使用定電流源雖然可以降低相位雜訊，但是電路可能因此變的更敏感，更容易受到供應電源些微雜訊的影響，使得輸出頻譜在訊號兩旁更容易有突波出現，在量測時需要外加大電容以降低供應電源雜訊對電路的影響。

量測結果振盪頻率往低頻偏移了 600MHz，原因是走線效應未考慮周全以致於有頻飄現象發生，輸出功率為-17dBm 與模擬結果-3dBm 有些差距，應該是振盪器的輸出緩衝放大器設計上採用主動性負載，在製程偏移中導致輸出阻抗不匹配，輸出功率反射量太大，所以輸出功率略小些。相位雜訊為-110dBc/Hz @ 1MHz offset，由 Lesson's mode (3-1)式可知如果輸出功率變大，輸出緩衝放大器正常工作下，則相位雜訊將再獲得改善。

目前由於實驗室儀器不足，相位正交性的量測待日後補齊。

## §3-4 低功率電流再利用正交輸出壓控振盪器設計

UWB 系統的最大特色就是低功率損耗，本節主要著重於設計一低功率損耗之正交輸出壓控振盪器。根據實驗室所提出之應用在 UWB 頻率合成器架構，此 VCO 設計工作頻率在 7.92 GHz，在我們提出的架構中頻率可調範圍並不是特別要求，重點是在達到低功率消耗特性。

### §3-4-1 設計方法

一般的正交輸出壓控振盪器其電路組態如圖 3.24 所示，電路工作原理如 3-1,3-2 節所述，在此要強調的是一般的作法有四路電流損耗，比起差動輸出的振盪器兩路多一倍，所以目前文獻上提出的四相位壓控振盪器功率消耗都比較大，故本節的設計目標是要設計一低功耗的正交輸出壓控振盪器。

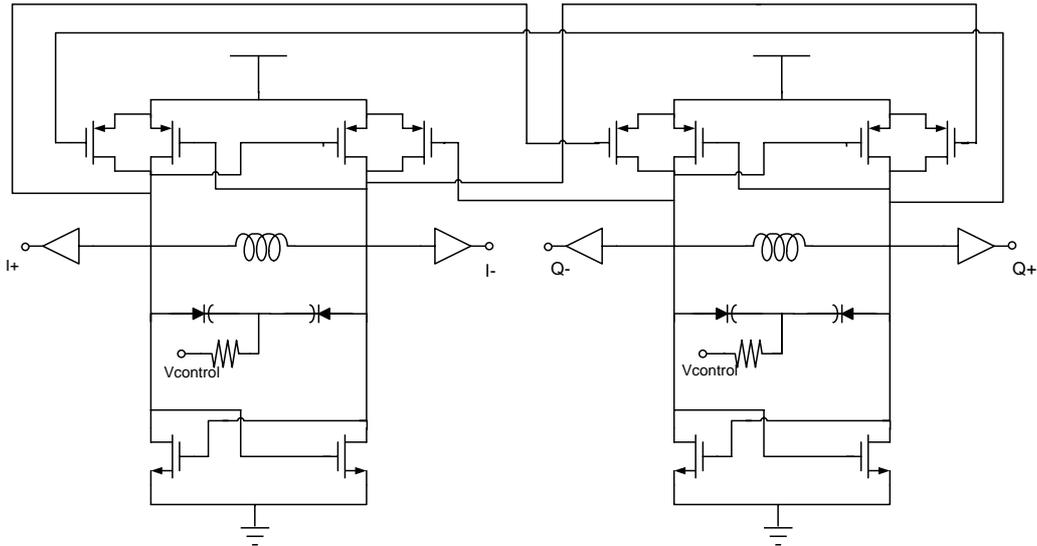


圖 3.24 一般的正交輸出壓控振盪器

設計的想法是如果能把其中一組差動輸出 VCO 的電流再利用給另外一組 VCO，則原本四路電流將可以減半變為兩路電流，達到低功率損耗的優點。

這種想法可以有三種組合，第一種作法為使用兩組 NMOS-cross coupled pair VCO，第二種為使用兩組 PMOS-cross coupled pair VCO，第三種利用一組 NMOS-cross coupled pair VCO 與一組 PMOS-cross coupled pair VCO。

如果使用兩組 N-cross couple pair，由於 NMOS 的 flicker noise 較大，則位雜訊會比較差。使用兩個 P-cross couple pair 可以有較佳相位雜訊，但缺點是輸出功率不高。考慮到相位雜訊與輸出功率的取捨，所以選擇一組 NMOS-cross coupled pair VCO 與一組 PMOS-cross coupled pair VCO 來產生負阻，外掛一大電容以讓電路在交流下視為兩獨立 VCO，同時也可以降低相位雜訊，另外根據 3-3 節提到，在 NMOS 的汲極、源極並聯大電容可降低相位雜訊。所提出的電路架構如圖 3.25 所示：

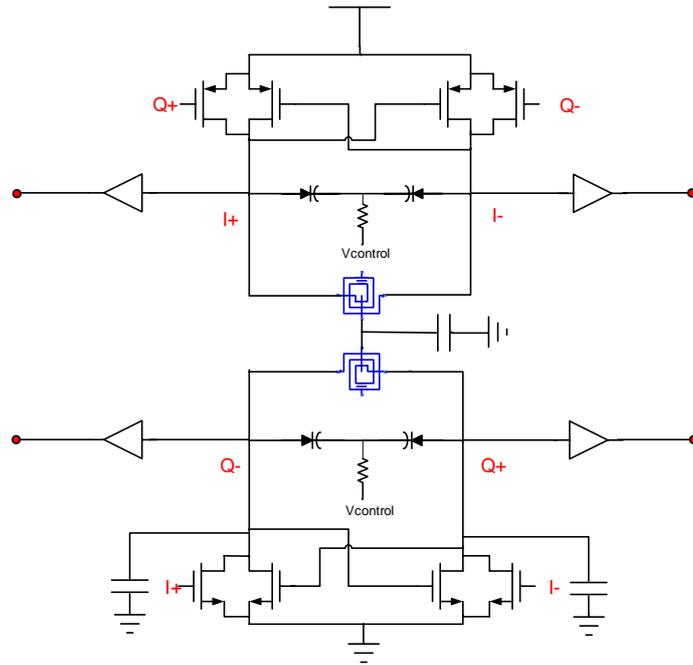
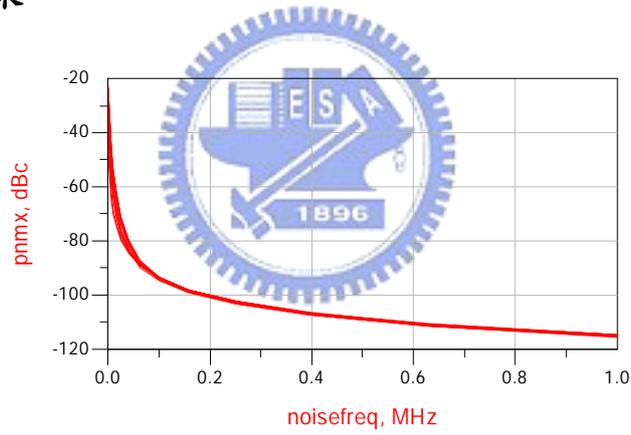
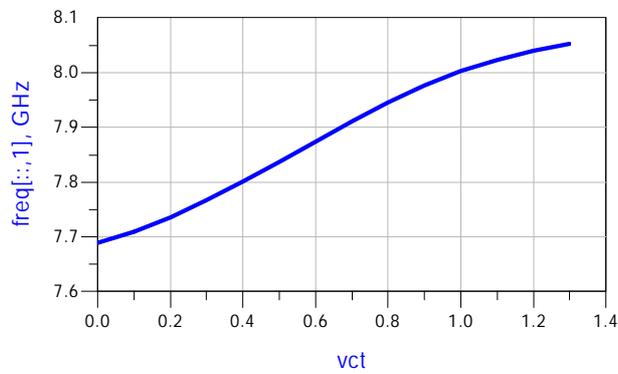


圖 3.25 電流再利用正交輸出壓控振盪器

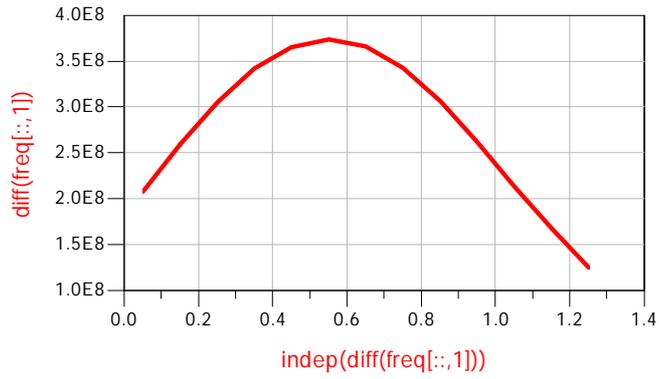
### §3-4-2 模擬結果



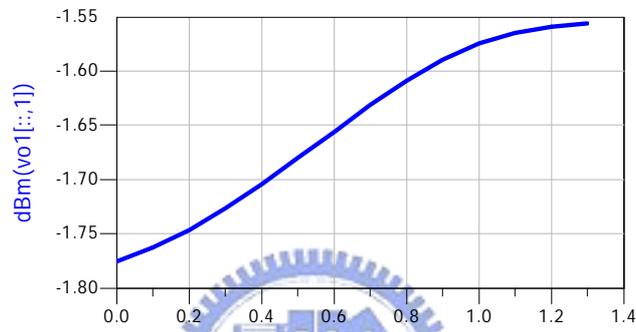
(a) 相位雜訊



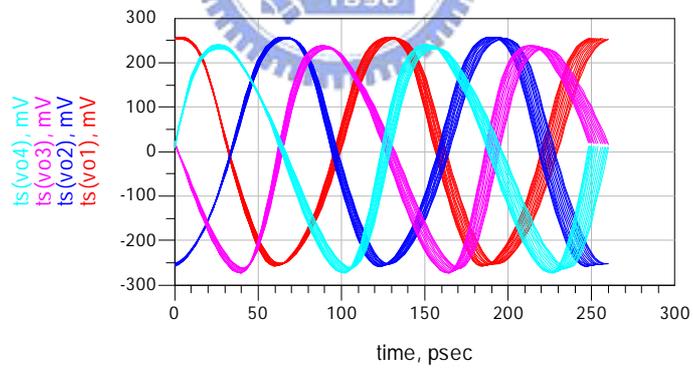
(b) 頻率可調範圍



(c) 靈敏度



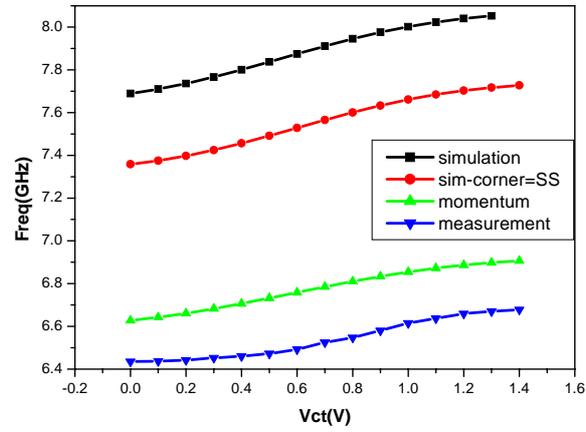
(d) 輸出功率



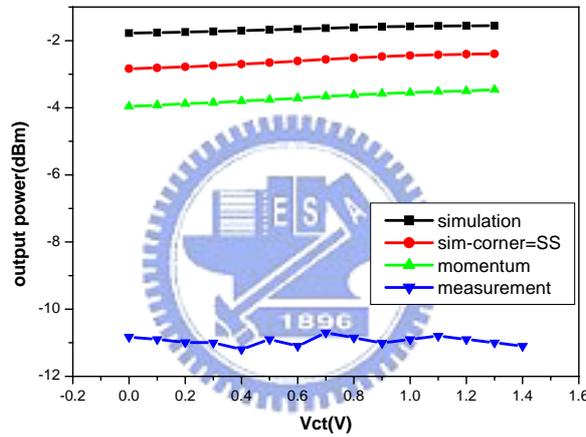
(e) 四相位輸出波形

圖 3.26 模擬結果

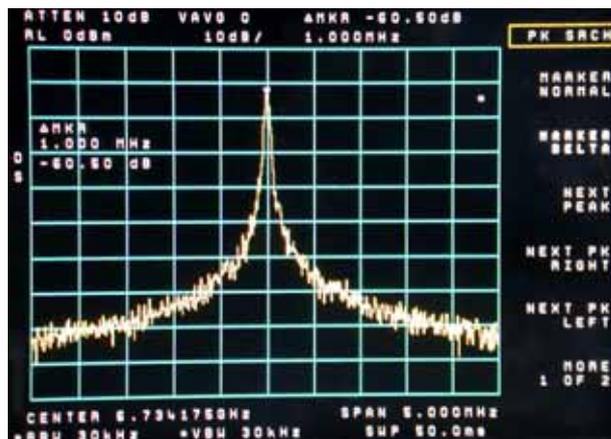
### §3-4-3 量測結果



(a) 頻率可調範圍



(b) 輸出功率



(c) 輸出頻譜

圖 3.27 量測結果

表 III-II 【電路 2】 低功率電流再利用正交輸出壓控振盪器規格表

Parameter	Simulation result	Measurement result
Core Current (mA)	4.78	5
Tuning range (GHz)	7.7~8.1	6.4~6.7
Output Power (dBm)	-1.6	-11
Phase Noise@1MHz (dBc/Hz)	-115	-106
Power Consumption (mW)	6.7	6.8
Chip size	$0.96 \times 0.9 \text{ mm}^2$	

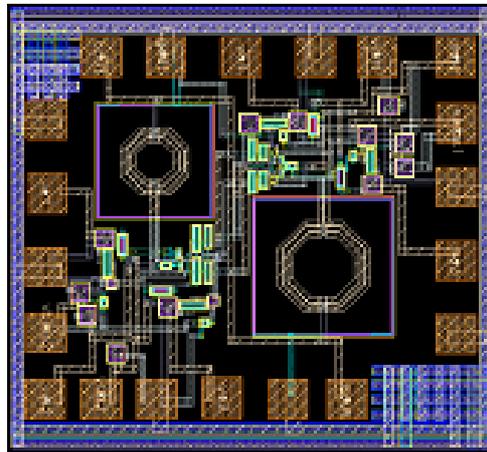


圖 3.28 佈局平面圖

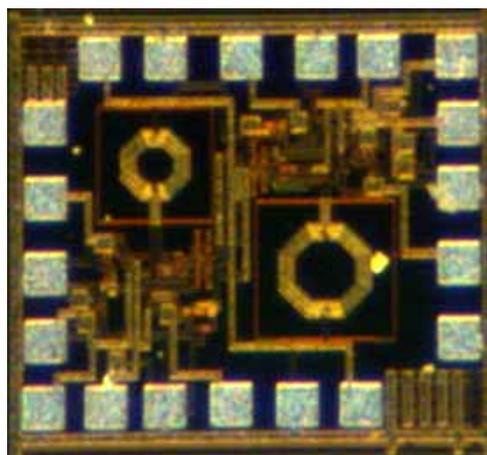


圖 3.29 實際晶片圖

表 III-III 【電路 2】與其他使用電流再利用技術正交輸出壓控振盪器論文比較

Reference	Technology	Tuning range (GHz)	Phase noise @1MHz offset	Output power (dBm)	Power consumption (mW)
[8]	TSMC 0.18um CMOS	3~3.2	-102	-15.3	4.3
This work	TSMC 0.18um CMOS	6.4~6.7	-106	-11	6.8

由比較結果可知所提出的電流再利用正交輸出壓控振盪器具有不錯的相位雜訊，同時功率消耗也不大。

#### §3-4-4 討論

量測結果頻率漂移甚大，原因是忽略了一些重要走線的影響，把一些未考慮周全的走線效應、鏑線效應帶入模擬則頻率與量測結果差不多；輸出功率為-11dBm 已比 3-3 節的輸出-17dBm 改善許多，相位雜訊為-106dBc/Hz @1MHz offset。

由量測結果知所提出的電流再利用壓控振盪器具有不錯的相位雜訊，且具有低功率消耗的優點，至於相位正交性的量測目前實驗室儀器不足，資料待日後補齊。

## 第四章

### 應用於 UWB 系統之鎖相迴路

#### §4-1 鎖相迴路架構與基本原理

##### §4-1-1 鎖相迴路的分類

鎖相迴路有下列四種分法：類比(analog)、數位(digital)、全數位(all digital)、及軟體(software) 鎖相迴路。半導體製造技術有 TTL、CMOS、ECL、GaAs。若是鎖相迴路四個次模組所使用的元件都是類比元件，此種迴路就是屬於類比鎖相迴路。若都是數位元件，即稱為全數位式鎖相迴路。若是迴路裡某些次模組是數位元件，某些是類比元件，例如壓控振盪器及濾波器是類比，而相位檢測器及除頻器是數位，這一類被稱為數位式鎖相迴路；由於電腦程式發達，鎖相迴路的功能以電腦軟體來實現，這種具有鎖相迴路的演算法(algorithm)被稱為軟體鎖相迴路。現在射頻的應用電路最常見的為數位式鎖相迴路，因為壓控振盪器由類比電路來實現；在低頻的應用則是以全數位式鎖相迴路為主。而全類比式鎖相迴路一般多使用於量測儀器或超高頻的系統上，它具有較低的雜音，且類比相位檢測器的頻寬很高，但檢測範圍不大，只有  $\pm\pi/2$ ，不適合一般應用。

##### §4-1-2 鎖相迴路原理

對一個設計者來說，欲設計一效能良好的鎖相迴路電路，必需對鎖相迴路之架構有所熟悉，也就是要能夠了解構成鎖相迴路之各個子電路其分別的功能性質，這樣才能針對每個子電路之輸出規格統一做規劃，進而使整個迴路之輸出能夠符合設計者之需求。以下就針對鎖相迴路之運作原理做說明。

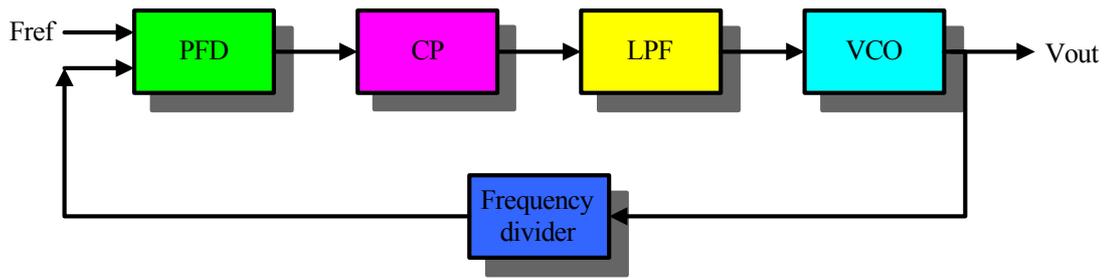


圖 4.1 鎖相迴路基本架構圖

如圖4.1，在基本架構之鎖相迴路中包括五個子電路部份：分別為壓控振盪器 (Voltage-Controlled Oscillator, VCO)、相位頻率偵測器 (Phase Frequency Detector, PFD)、電流泵 (Charge Pump)、迴路濾波器 (Loop Filter)、除頻器 (Frequency Divider)。

#### §4-1-2-1 壓控振盪器 (Voltage-Controlled Oscillator) 概論

在鎖相迴路中，壓控振盪器為一不可缺少之元件，其目的主要為做為訊號產生，此訊號可視為本地振盪 (Local Oscillation) 訊號。欲改變振盪器之輸出振盪頻率，可以調變外加控制電壓，而得到適當之，如圖4.2所示。

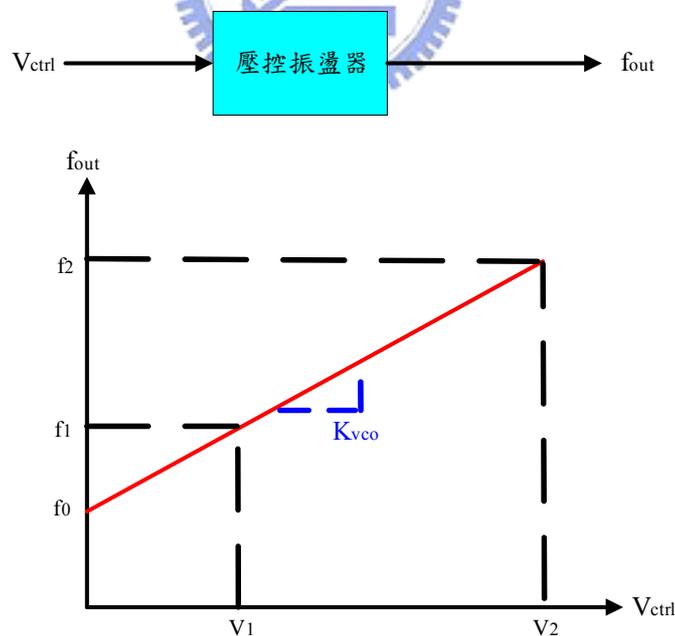


圖4.2 壓控振盪器特性圖

在圖4.2中， $f_0$  代表對應於  $V_{ctrl}=0$  之交點，且  $K_{vc0}$  象徵了電路增益或靈敏度 (以 Hz/V 來表示)。可達到的範圍  $f_2 - f_1$  稱為調諧範圍 (Tuning Range)。理想的壓控振

盪器為一個輸出頻率為控制電壓之線性函數的電路，其關係式為：

$$f_{out} = f_0 + K_{vco} \times V_{ctrl} \quad (4-1)$$

對於相位而言，它是頻率對時間的積分，所以壓控振盪器的輸出訊號可以表示為：

$$v(t) = A \times \cos[2\pi f_o t + 2\pi K_{vco} \int V_{ctrl}(t) dt] \quad (4-2)$$

假設  $V$  為某個固定的電壓值  $V$ ，則壓控振盪器的輸出訊號為：

$$v(t) = A \times \cos[(2\pi f_o + 2\pi K_{vco} V)t + \phi_o] \quad (4-3)$$

其中  $\phi_o$  代表相位之初始值。所以，當  $V_{ctrl}$  為一定值時，壓控振盪器之輸出頻率被提升了  $(K_{vco} \times V_{ctrl})$ 。

在鎖相迴路中，壓控振盪器可視為一線性時變系統，而控制電壓視為此系統之輸入，而多餘相位則視為此系統之輸出；其值為  $(2\pi \times K_{vco} \times \int V_{ctrl}(t) dt)$ 。因此，壓控振盪器之轉換函數可以表示為

$$\frac{\phi_{out}}{V_{ctrl}}(s) = \frac{2\pi K_{vco}}{s} \quad (4-4)$$

一般對於壓控振盪器而言，會要求其輸出頻率之頻譜純度要高(相位雜訊越小越好)、增益要大、控制特性的線性度要好、功率消耗要小、調諧範圍要廣等等。但這些往往是互相衝突的，設計者必需針對其需求做一取捨。

#### §4-1-2-2 除頻器 (Frequency Divider)

除頻器主要的功能為將壓控振盪器輸出之高頻訊號降頻至相位頻率偵測器可接受的範圍。有除頻器的加入，可使鎖相迴路功能性更強，除了可以操作在更高頻的環境(幾 GHz)外，本身可為多模式設計的除頻電路可使鎖相迴路具有良好的倍頻功能，如此可以做頻率合成(Frequency Synthesis)，而被廣泛的應用於無線通訊方面；不過缺點是增加了鎖相迴路的複雜度，以及系統的功率消耗與晶片面積等。

### §4-1-2-3 相位頻率偵測器 (Phase Frequency Detector, PFD)

相位頻率偵測器主要的功能為將外加參考訊號(A)與壓控振盪器輸出回授訊號(B)之間相位(或頻率)的差異轉換為電壓訊號，如圖 4.3 所示。

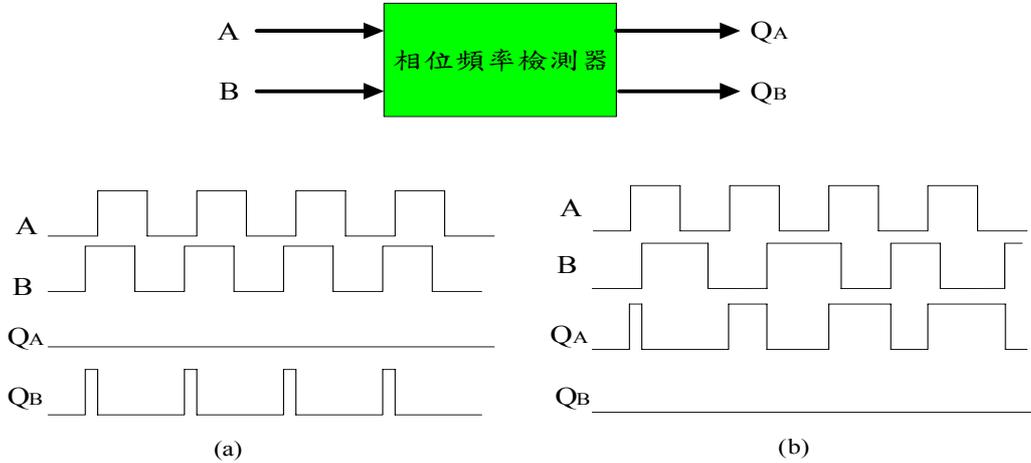


圖 4.3 PFD 運作示意圖 (a)A 相位落後 B (b)A 頻率大於 B

在圖 4.3 (a)中，A 與 B 有相同的頻率，但 A 落後 B，輸出 QB 持續的產生寬度和  $\phi_B - \phi_A$  成比例之脈衝，而  $\phi_A$  維持在 0。在圖 4.3(b)中，A 的頻率大於 B 則 QA 會產生脈衝而 QB 不會。基於對稱性，若 A 相位領先 B，則 QA 會產生脈衝，而 QB 維持在 0，同理可得 A 頻率大於 B 之情形。若 A 與 B 相位相同，則 QA 與 QB 皆不會產生脈衝，維持在 0。

圖 4.3 之示意圖顯示了 PFD 的輸出時脈波形在進行中共出現了三種情形，稱之為 PFD 的“三態”特性，可以用一狀態圖來表示，如圖 4.4: 假設 QA 與 QB 在初始狀態時為 0，當 A 信號的正緣(Positive Edge)輸入時，PFD 進入狀態 1(在此狀態輸出  $Q_A=1, Q_B=0$ )。直到另一個 B 信號的正緣輸入時，PFD 改變為狀態 0。同理，可得狀態 0 與狀態 2 之間的切換情形與上述相似。

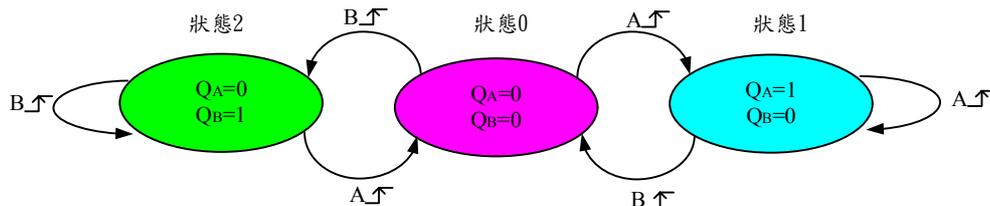


圖 4.4 PFD 三態

對於 PFD 相位偵測與輸出電壓之間的關係，可由特性圖得到，如圖 4.5

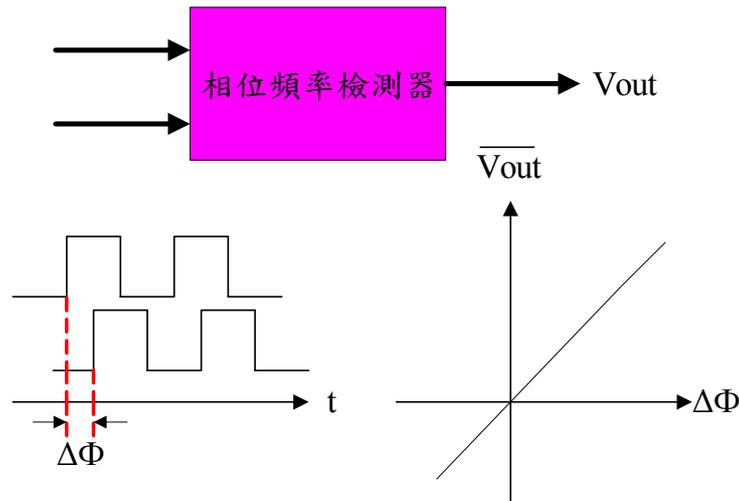


圖 4.5 相位偵測與電壓輸出

對於一個 PFD 而言，其平均輸出電壓  $\overline{V_{out}}$  與兩個輸入端之間的相位差成線性比例，如圖 4.5 所示。其關係式為：

$$\overline{V_{out}} = K_{PD} \times \Delta\phi \quad (4-5)$$

其中  $K_{PD}$  為 PFD 之增益(單位為 V/rad)。在鎖相迴路中，PFD 的輸出 QA 和 QB 之直流部份提供  $\phi_A - \phi_B$  或  $\omega_A - \omega_B$  (A 與 B 之間的頻率差)的資訊，來給接在後面之電流泵(Charge Pump)電路做充電或放電動作的參考依據。輸出 QA 和 QB 分別被稱為 UP 和 DN 脈衝。此外，具偵測相位差與頻率差性質的電路對整個鎖相迴路來說是有益處的，它可以增加鎖相迴路的獲得範圍(Acquisition Range)以及鎖定速度(Lock Speed)。

#### §4-1-2-4 電流泵(Charge Pump)與迴路濾波器(Loop Filter)

電流泵主要的功能為將相位頻率偵測器輸出之電壓訊號轉換為電流訊號；其電路為開關及電流源的組合。開關由脈衝訊號控制，當 PFD 輸出為 UP 脈衝(QA) 時 S1 導通，電流泵輸出充電電流對輸出端節點充電；反之，當 PFD 輸出為 DN 脈衝時(QB) S2 導通，電流泵從輸出端節點汲取一電流，造成輸出端節點放電。在鎖定情況時 (即外部輸入參考訊號與 VCO 回授訊號間無相位差) 則 PFD 不會輸

出UP脈衝或DN脈衝且電流泵不會輸出充電或汲取放電電流，輸出端節點之電壓維持不變。為了使不匹配(Mismatch)的問題不會發生，須讓電流源 $I_1 = I_2 = I$ ，如圖4.6所示。

在圖4.6中，輸出電流與相位差成比例，兩者之間的關係為

$$I_p = I \times \frac{\phi_e}{2\pi} \quad (4-6)$$

其中 $\phi_e$ 為PFD電路之兩個輸入訊號之間的相位差，其表示式為：

$$\phi_e = \phi_A - \phi_B \quad (4-7)$$

迴路濾波器為一低通濾波器，其功能為濾除電荷幫浦輸出之高頻部份、雜訊以及保持鎖相迴路的鎖定狀態。迴路濾波器的設計，對於鎖相迴路的特性影響甚大：如鎖定速度、迴路頻寬、阻尼因子(Damping Factor)等等。

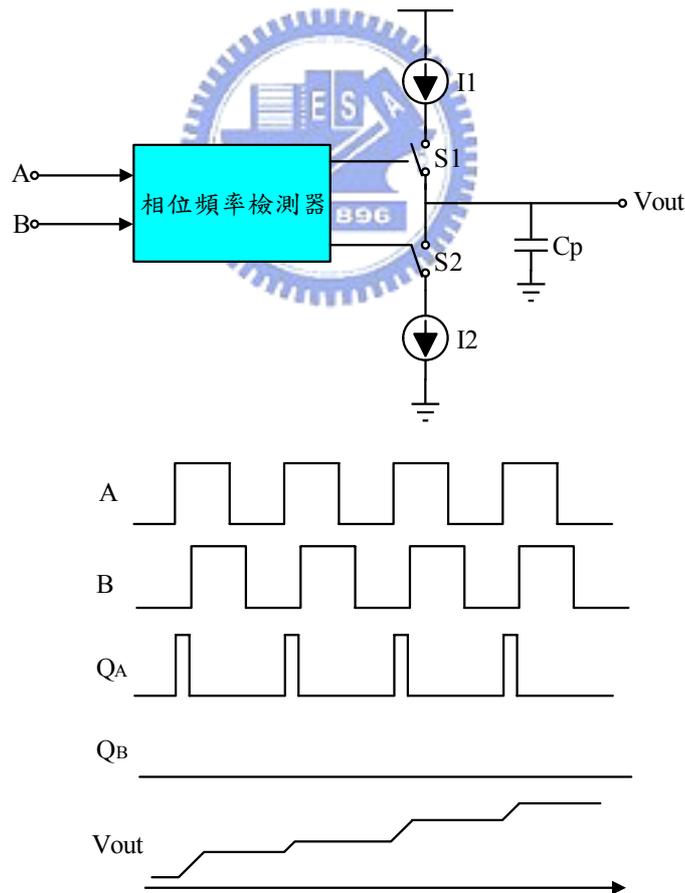


圖4.6 PFD與電荷幫浦之示意與時序圖

## §4-2 鎖相迴路設計

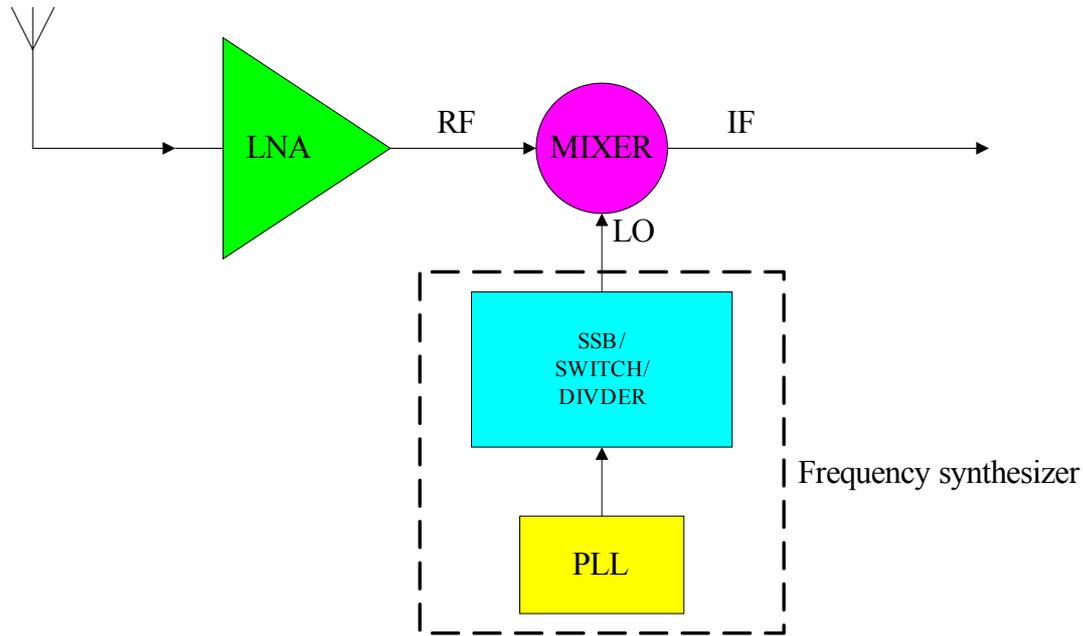


圖 4.7 UWB 接收機架構示意圖

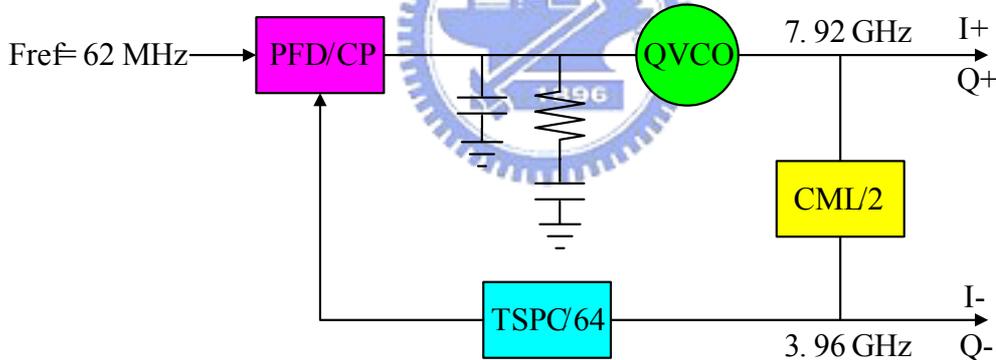


圖 4.8 鎖相迴路架構

由於 UWB 屬於超寬頻帶的系統，無法直接由振盪器的輸出來控制頻段選擇，所以需外額外電路去產生其他頻率，再經由多工器及單邊帶混頻器來產生每個頻帶的中心頻率。依據所提出的頻率合成器架構，鎖相迴路需要提供 7.92GHz 及 3.96GHz 兩組頻率且需要同時提供一組互相正交的信號 I/Q，設計的鎖相迴路如圖 4.8 所示，本架構採用三階鎖相迴路來設計，壓控振盪器輸出頻率為 7.92GHz 且能提供四個相位輸出(0°,90°,180°,270°)，7.92GHz 訊號需要經過除二電路來產生 3.96GHz，再經過除以 64 電路產生低頻訊號來與參考頻率比較，達到鎖定輸

出頻率的功能。內部電路底下細部介紹：

### §4-2-1 正交輸出壓控振盪器

UWB 系統的最大特色就是低功率損耗，本研究主要著重於設計一低功率正交輸出壓控振盪器。根據實驗室所提出之應用在 UWB 頻率合成器架構，此 VCO 設計工作頻率在 7.92GHz，在我們提出的架構中頻率可調範圍並不是特別要求，重點是在達到低功率消耗的特性。

一般的正交輸出壓控振盪器其電路組態如圖 4.9 所示，電路工作原理如 3-1,3-2 節所述，在此要強調的是一般的作法有四路電流損耗，比起差動輸出的振盪器兩路多一倍，所以目前文獻上提出的四相位壓控振盪器功率消耗都比較大，故本節的設計目標是要設計一低功耗的正交輸出壓控振盪器。

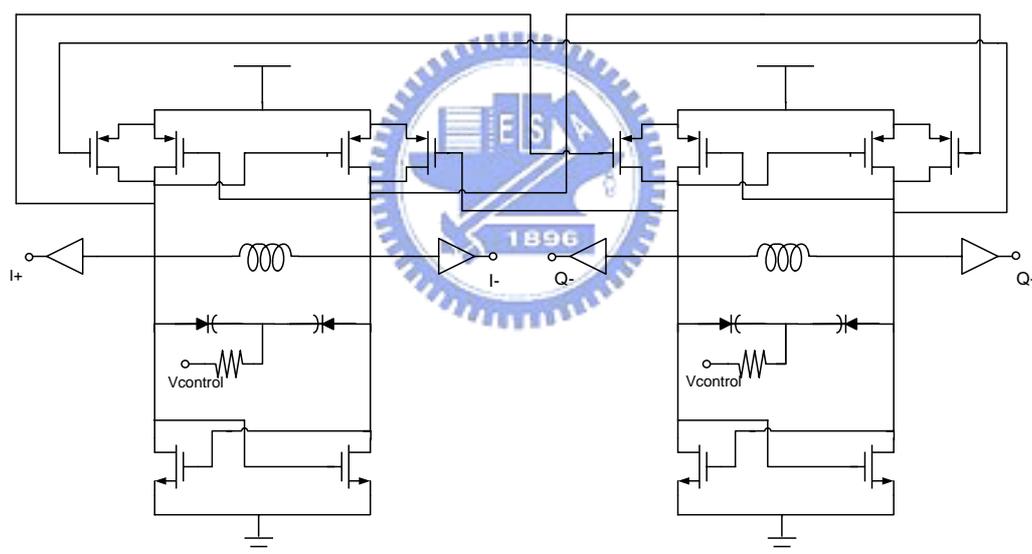


圖 4.9 一般的四相位壓控振盪器

設計的想法是如果能把其中一組差動輸出 VCO 的電流再利用給另外一組 VCO，則原本四路電流將可以減半變為兩路電流，達到低功率損耗的優點。其做法有三種如 3-4 節所述。所提出的電路架構如下：

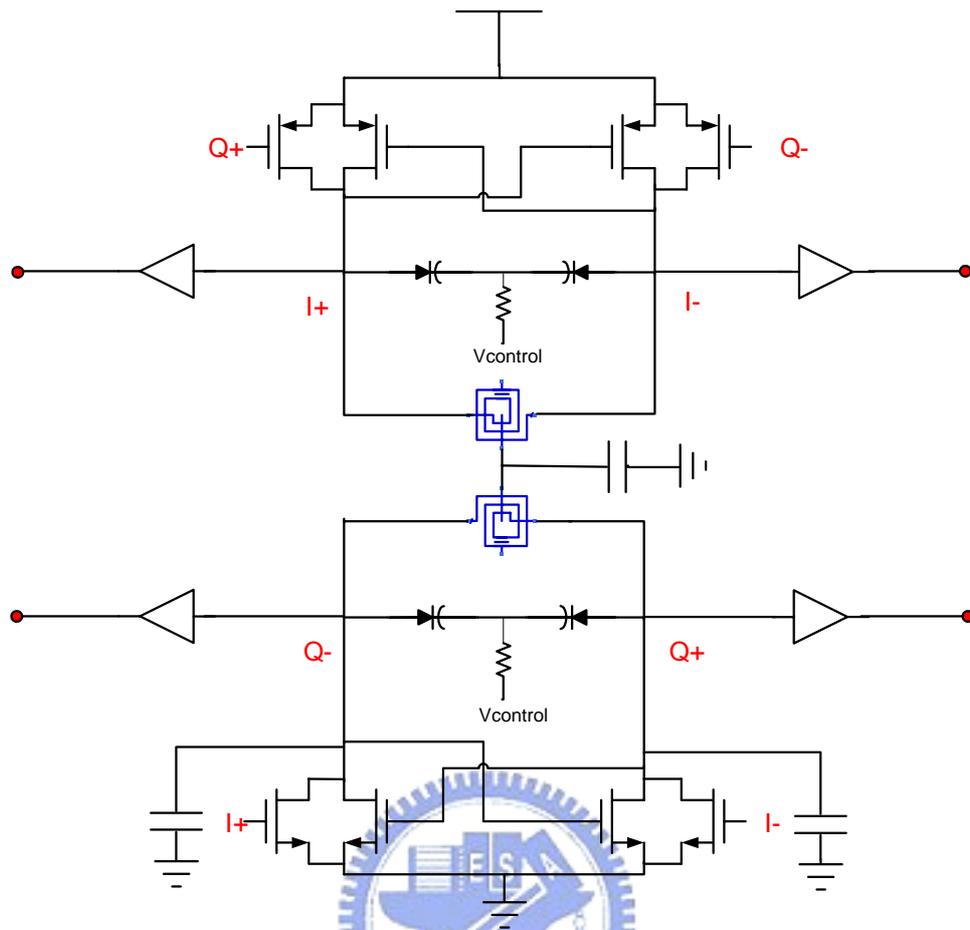


圖 4.10 電流再利用之四相位壓控振盪器

如 4-3 節所述，使用兩組 N-cross couple pair，由於 NMOS 的 flicker noise 較大，則位雜訊會比較差。使用兩個 P-cross couple pair 可以有較佳相位雜訊，但缺點是輸出功率不高。考慮到相位雜訊與輸出功率的取捨，所以選擇一組 NMOS-cross coupled pair VCO 與一組 PMOS-cross coupled pair VCO 來產生負阻，外掛一大電容以讓電路在交流下視為兩獨立 VCO，同時也可以降低相位雜訊，另外根據 3-3 節提到，在 NMOS 的汲極、源極端並聯大電容可降低相位雜訊。所提出的電路架構如圖 4.10 所示。

#### §4-2-2 除頻器

所提出的鎖相迴路需要產生 7.92GHz 與 3.96GHz 兩組信號且需要有 I/Q 正交，其中 7.92GHz 的信號已由 QVCO 提供，3.96GHz 的信號則由 QVCO 經過一級主僕式耦合開除二電路來產生，如圖 4.11 所示。

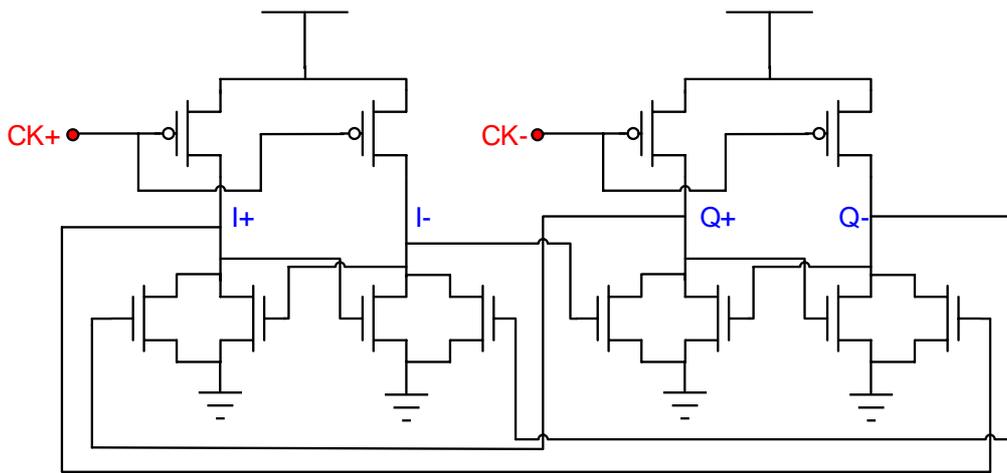


圖 4.11 主僕式耦合開除二電路

主僕式耦合開除二電路輸入為一組差動訊號，輸出能產生四個相位的信號 ( $0^\circ, 90^\circ, 180^\circ, 270^\circ$ )，符合我們架構的需求，可以從四路輸出中取出一組信號  $I+/Q+$  以利用在頻率合成器。

除 64 電路目的在於產生低頻信號來和參考頻率比較達到鎖頻功能，所以我選擇架構較為簡單的改良式真單相時脈除二電路，如圖 4.12 所示

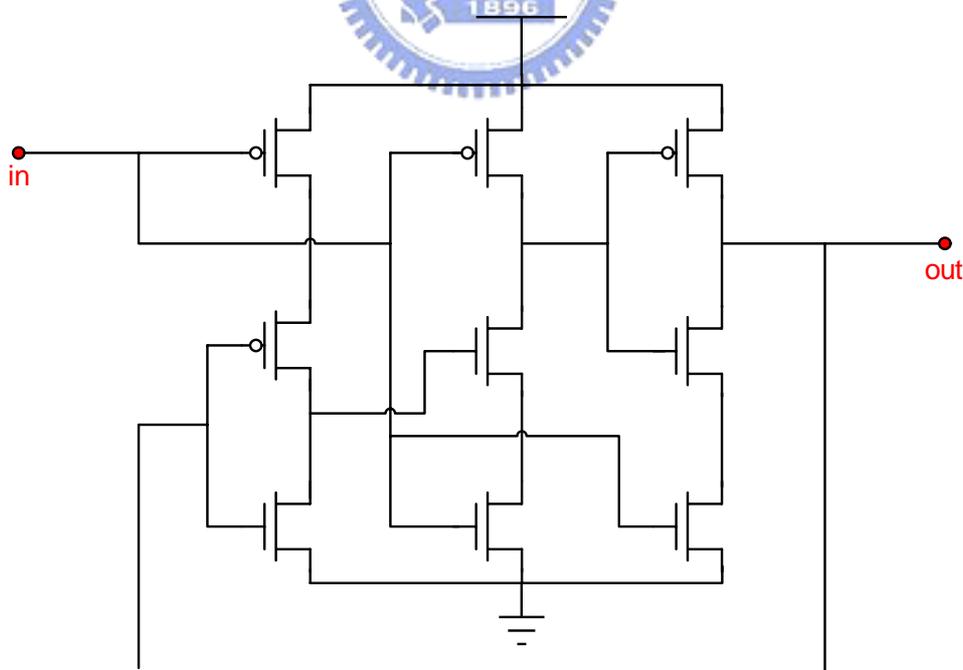


圖 4.12 改良式真單相時脈(TSPC)除二電路

改良式真單相時脈電路只需要一個時脈訊號不需反相時脈，可以避免延遲時間

簡化電路複雜度。不同於一般標準真單相時脈電路，輸入脈衝訊號接在最接近供應電源的電晶體，這樣可以減低內部節點的電容效應，與 SCL 除頻器相比，這種除二電路只需用到 9 顆電晶體其結構具有簡單、低功率損耗的優點。

除 64 電路如圖 4.13 所示，利用串接 6 級 TSPC / 2 電路以達到除 64 功能。

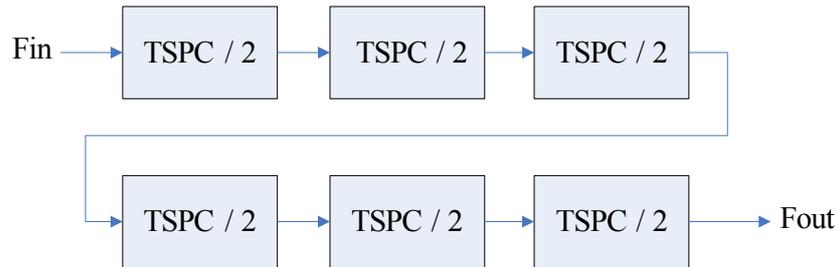


圖 4.13 除 64 電路

### §4-2-3 頻率相位頻率檢測器

傳統上電路設計大都採 D 型正反器的架構，其電路架構如圖 4.14 所示，然而電路上有其缺點，如電路最大操作頻率的限制及電路訊號死帶現象的產生，尤其是訊號死帶現象將會導致於整個頻率合成器最終輸出合成訊號時，將會影響頻率合成器之鎖入時間及鎖入狀態，本設計所採用的電路架構為預先充電型相位頻率檢測器(Precharge-type PFD)如圖 4.15 所示，不但能降低傳統電路訊號死帶現象及電路最大可操作頻率的限制，此外相較於傳統電路架構，也可大大地縮小佈局面積。

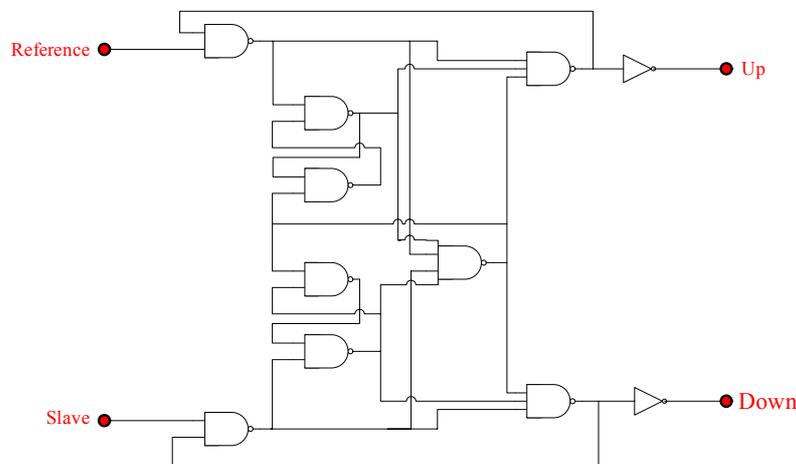


圖 4.14 傳統相位頻率檢測器

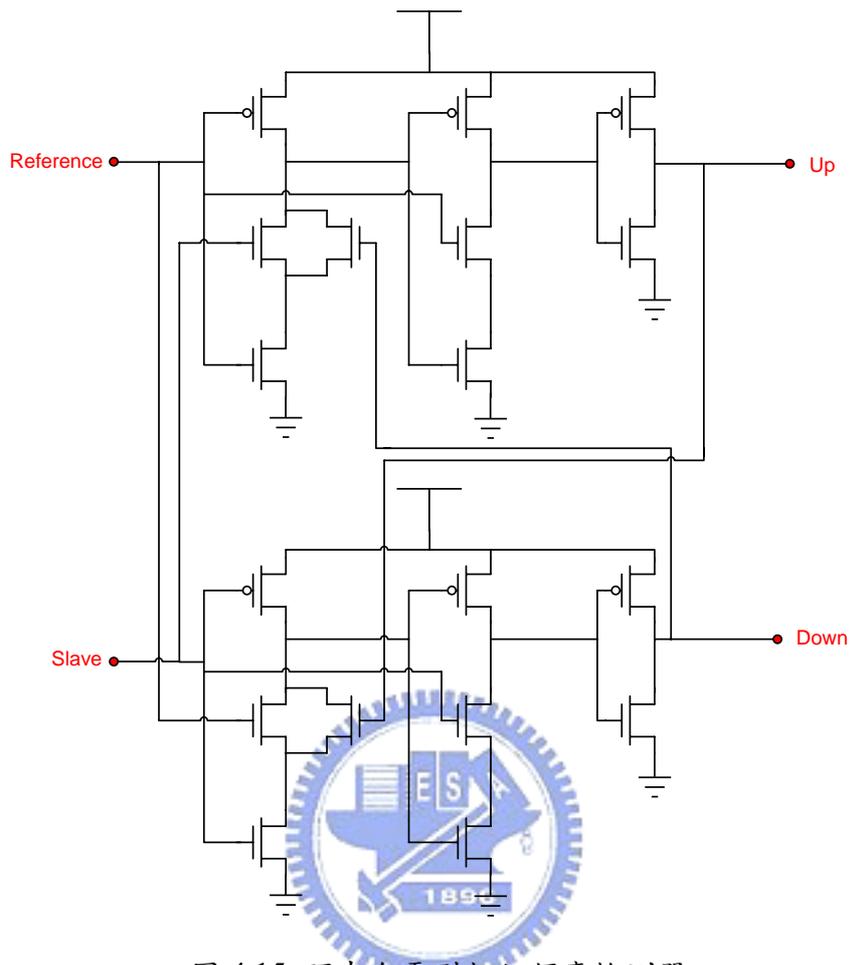


圖 4.15 預先充電型相位頻率檢測器

PFD 會比較輸入信號相位，假設 Reference 比 Slave 快，則 Up 訊號為 high，Down 訊號為 low；反之 Reference 比 Slave 慢，則 Up 訊號為 low，Down 為 high。與傳統的檢測器相比，Precharge-type phase detector 只需傳統架構的 1/3 的電晶體數目，可大大地縮小佈局面積。此外，不但能消除傳統電路訊號死帶現象及電路最大可操作頻率的限制。

#### §4-2-4 電流泵

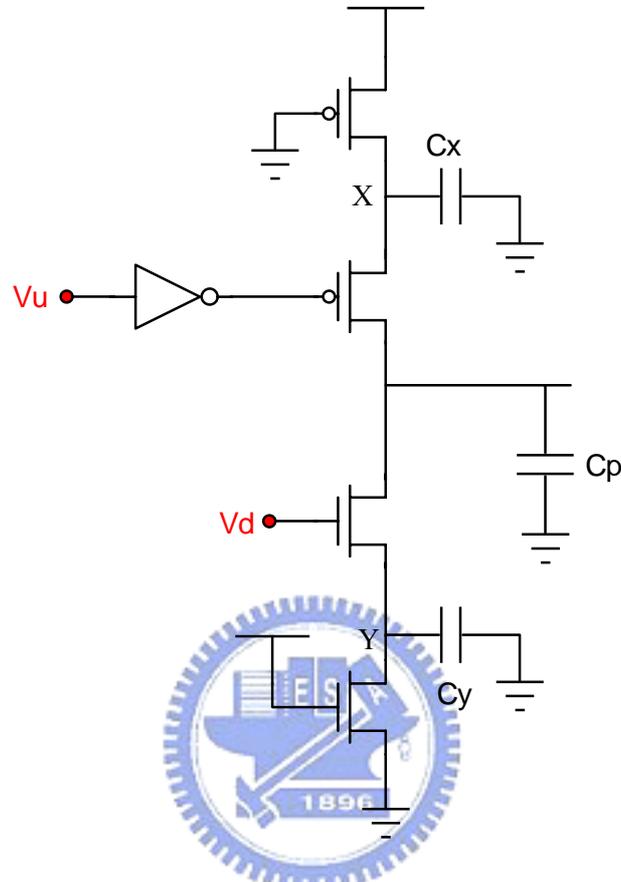


圖 4.16 傳統電流泵電路架構

一般傳統的電流泵(charge pump)架構如圖 4.16 所示，其電路架構有兩種非線性效應。

##### 1. 充放電流源不匹配

由於開關在切換時會始電流不匹配，致使在真正零相位差時仍會產生些微的相位誤差以抵消電流源的不匹配，使控制電壓被週期性干擾產生漣波，造成壓控振盪器輸出頻譜產生兩旁波。

##### 2. 電荷分配效應

由於開關是由 CMOS 製成，在兩者均開路時，X 與 Y 點電壓分別為  $V_{dd}$  與零，當開關再接上時，寄生電容  $C_x$  與  $C_y$  會與  $C_p$  瞬間重新分配電荷造成輸出電壓產生突波。

基於這兩種非線性考量，設計出可降低充放電流不匹配與電荷分配的電流泵電路。

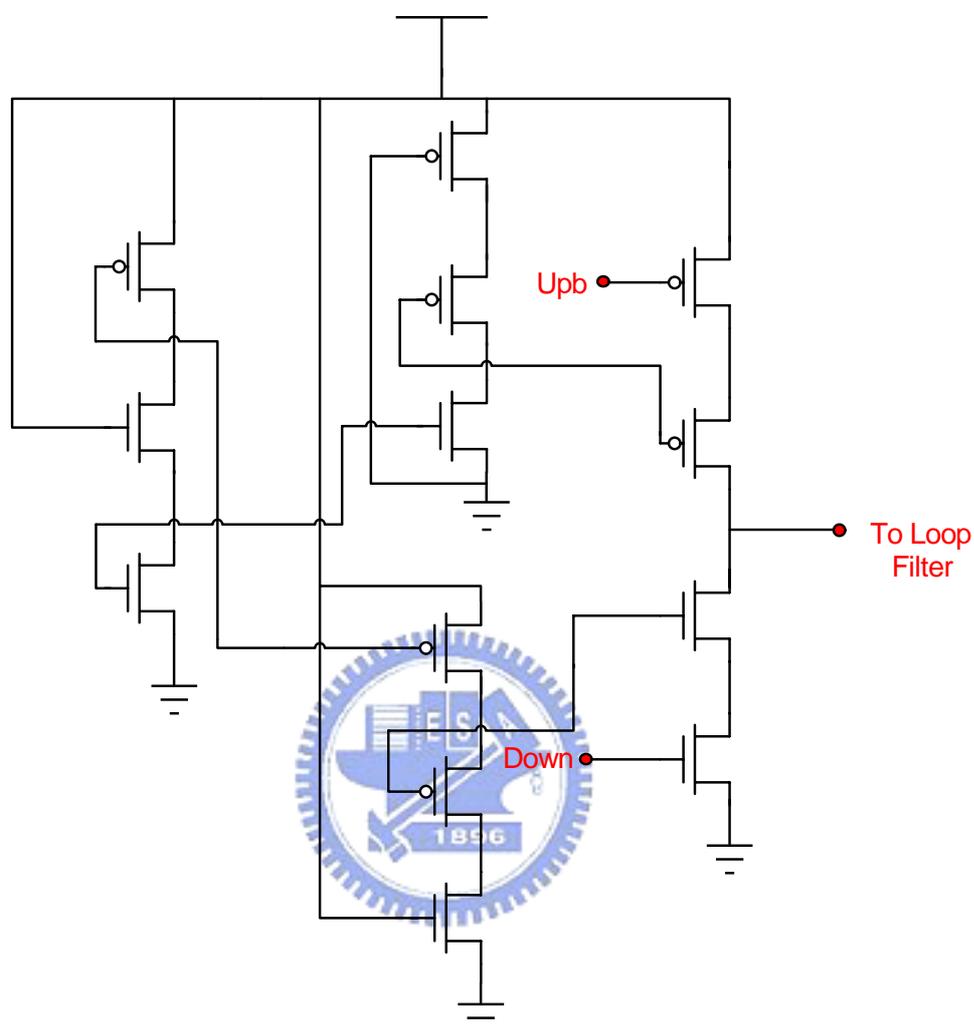


圖 4.17 電流泵

所設計的電流泵如圖 4.17 所示，電流泵根據相位頻率檢測器輸出的信號來控制對迴路濾波器充放電，以調整壓控振盪器的輸出頻率，Upb 表示 Up 經過反相器之訊號，本架構採用 switch on source 方式，可降低電荷分配(charge sharing)效應的影響，利用兩組電流鏡來使充放電流更加匹配。

## §4-2-5 迴路濾波器

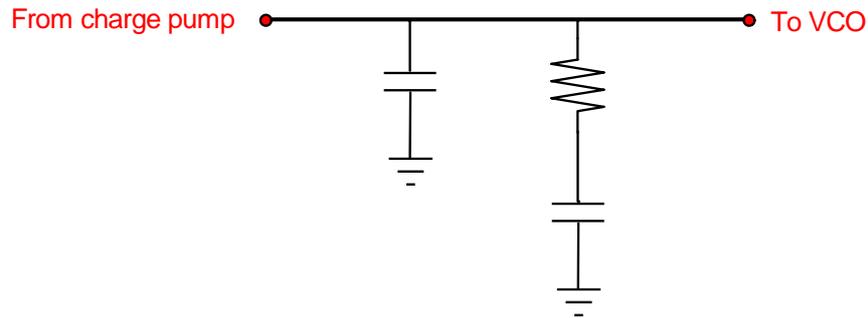


圖 4.18 二階迴路濾波器

採用的迴路濾波器為二階形式，如圖4.18 所示，電荷幫浦的電流源輸出電荷注入迴路濾波器，可以用來將電荷轉換為壓控振盪器的控制電壓，並聯電容是用來避免由於在電荷幫浦流輸出瞬間變化所引起在壓控振盪器控制埠的不連續電壓。在設計時需注意到回路頻寬的選擇，通常為比較頻率的1/40，不能太小也不能太大，太小則迴路反應慢，太大則靠近比較頻率，中間無法再加入極點，迴路無法將比較脈沖清除。



## §4-2-6 其他設計考量

### (1) 緩衝放大器設計考量

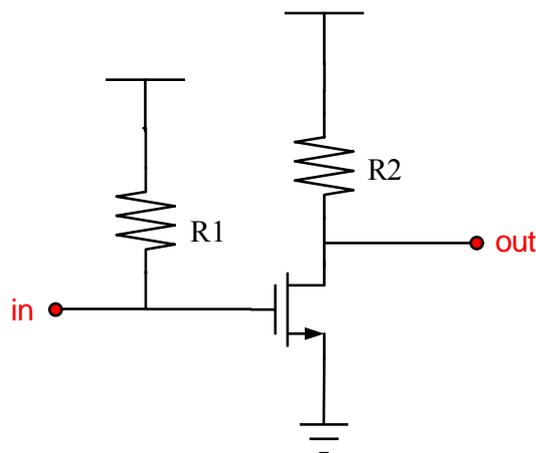


圖 4.19 緩衝放大器

緩衝放大器的設計是採用 NMOS 共源極組態放大器，R1 為  $K\Omega$  級，R2 為幾十

$\Omega$ ，由於振盪器起振後為大訊號，緩衝放大器的設計已適當的選擇偏壓點使得輸出訊號不失真。

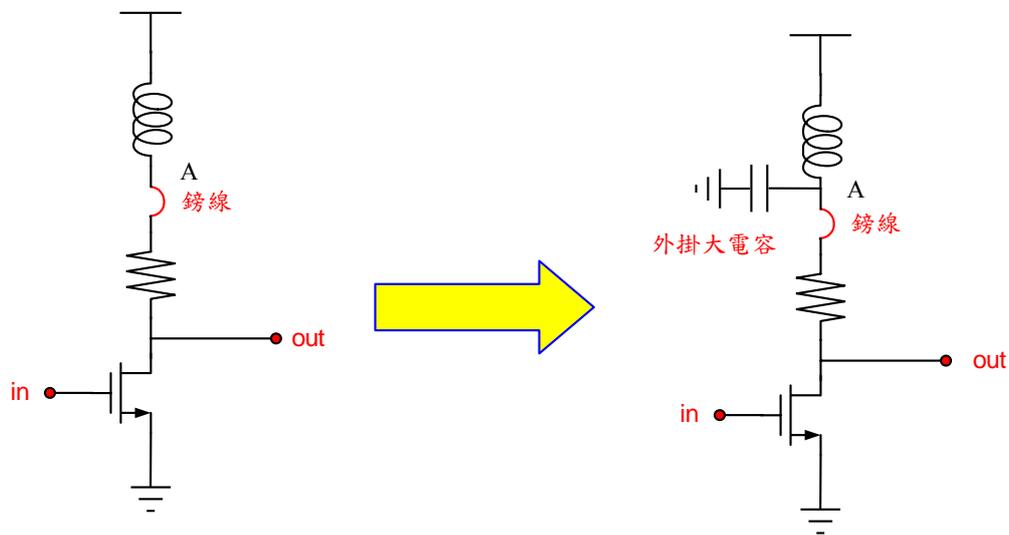


圖 4.20 完整的緩衝放大器考量設計圖

若沒有在 A 點並聯大電容，將使得看到的輸出阻抗為  $j\omega L+R$ ，加入大電容抵消銲線效應，如圖所示此段的銲線效應將會影響到輸出匹配，因此  $V_{dd}$  PAD 仍然不能太少；以上 PAD 效應與銲線效應亦有代入晶片中心(CIC)所給的等效電路加以模擬。此一大電容亦可包含在晶片內，但由於所需的電容值過大故選擇將其外掛。

## (2) 電路佈局考量

鎖相迴路包含射頻電路以及數位電路，由於數位電路的雜訊比起射頻電路來的嚴重，所以電路佈局考量將數位電路地線以及射頻電路的地線分開，數位供應電壓與射頻供應電壓分開，另外把數位以及射頻電路分別用 guardring 圍起來，以隔離數位電路雜訊對射頻電路影響，在電路佈局剩餘空間加上 Bypass 電容用以隔絕供應電源雜訊對電路影響。

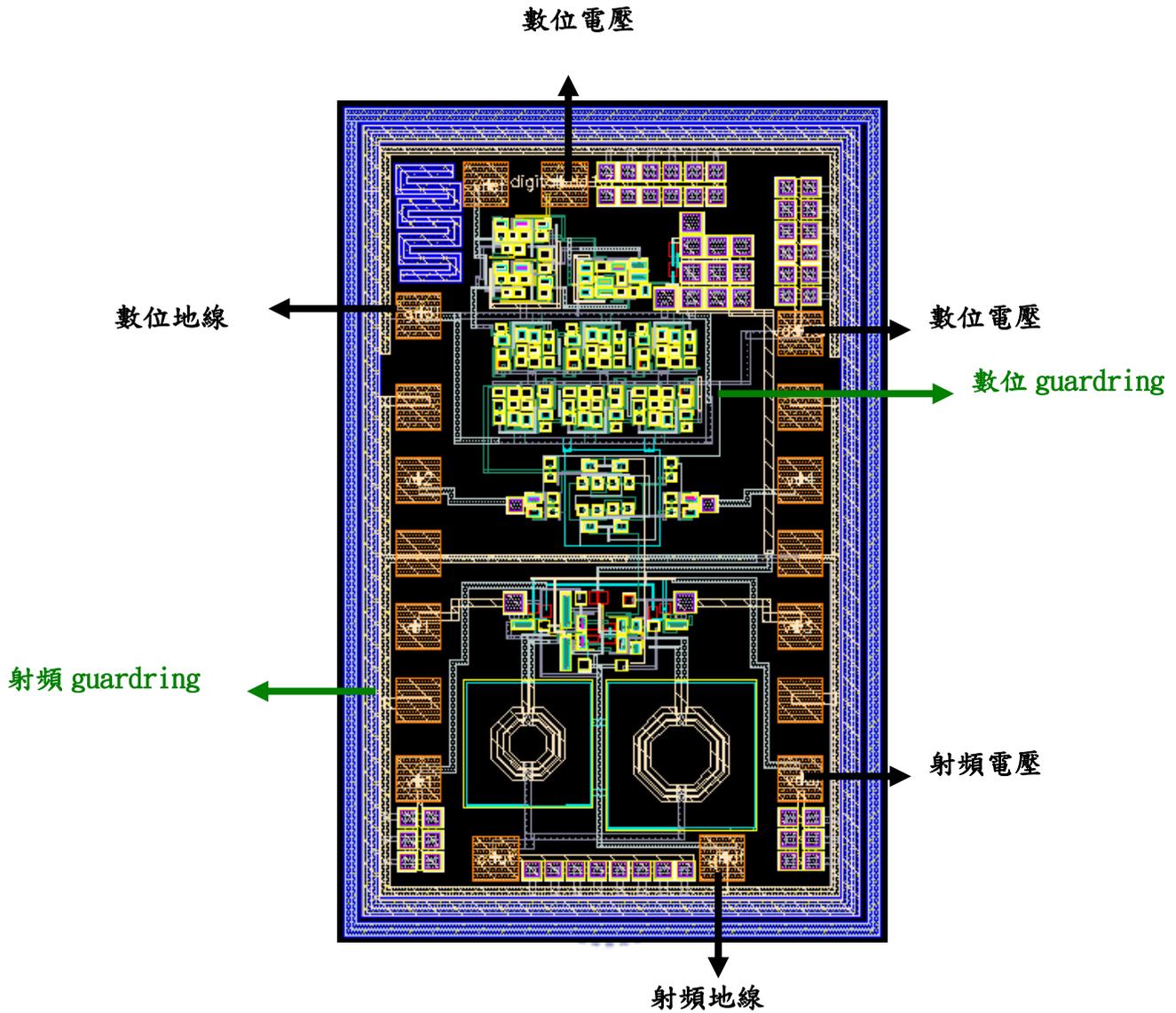


圖4.21 佈局考量

### (3) 電路模擬結果之考量

#### 1. Pad 效應之考量

帶入晶片中心(CIC)所提供的等效電路，如圖 4.22 等效模型所示。

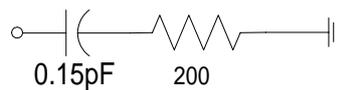


圖 4.22 PAD 等效模型

#### 2. 鏘線效應之考量

帶入晶片中心(CIC)所提供的等效電路，電感約為 0.8 nH/mm、等效串聯電阻

為  $0.16\Omega/\text{mm}$ 。

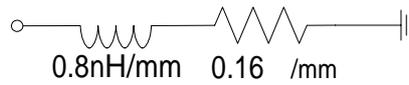


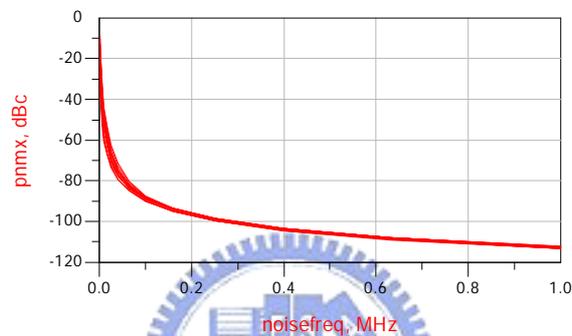
圖 4.23 鎊線等效模型

### 3. EM 模擬之考量

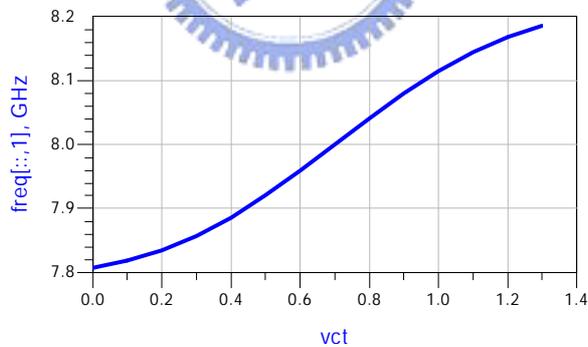
將電路佈局檔案(即.gds) 匯入至 ADS Momentum 粹取較長跑線之效應

## §4-2-7 模擬結果

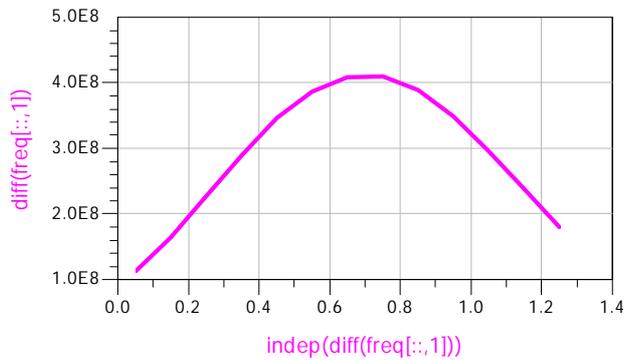
### 一、正交輸出壓控振盪器



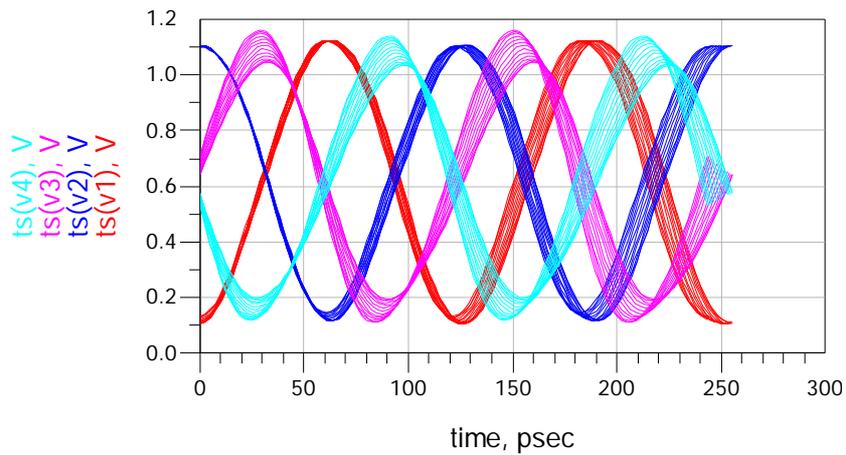
(a) 相位雜訊



(b) 頻率可調範圍



(c) 靈敏度



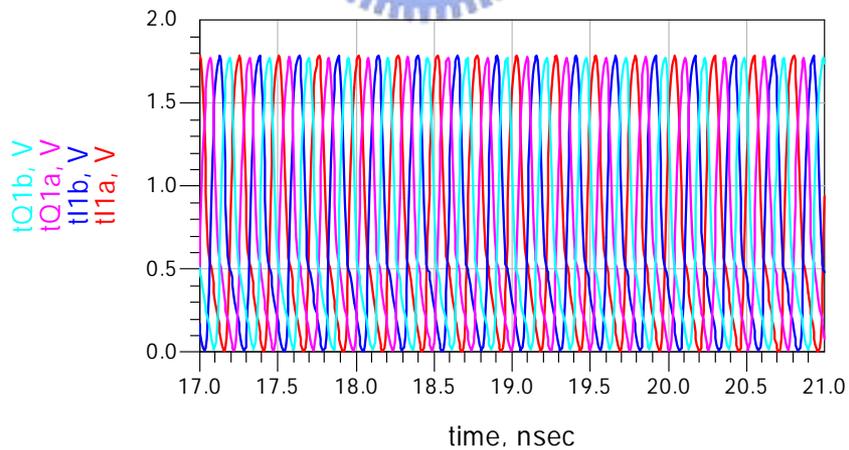
(d) 輸出四相位波形

圖 4.24 正交輸出壓控振盪器模擬結果

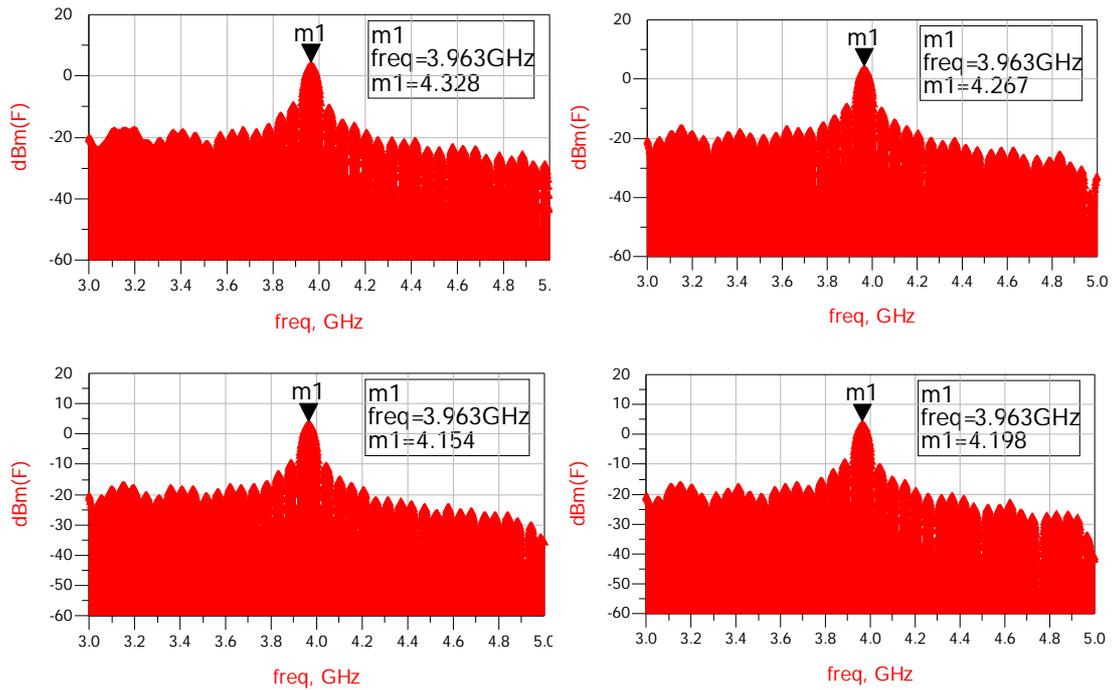
## 二、除頻器

### (1) 除 2 電路

第一級的除 2 採用主僕式耦合開除二電路，其差動輸入頻率為 7.92 GHz，輸出為 3.96GHz，且有四個相位弦波輸出，圖 4.25(a) 為輸出時域波形圖以及 4.25(b) 為頻域頻譜圖。



(a) 時域波形圖



(b) 頻域頻譜圖

圖 4.25 主僕式耦合開除二電路時域與頻域輸出



(2) 除 64 電路

除 64 電路如圖 4.13 所示，其模擬結果如圖 4.26，觀察知當輸入頻率為 3.96GHz，最後輸出頻率約為 60MHz，符合設計要求。

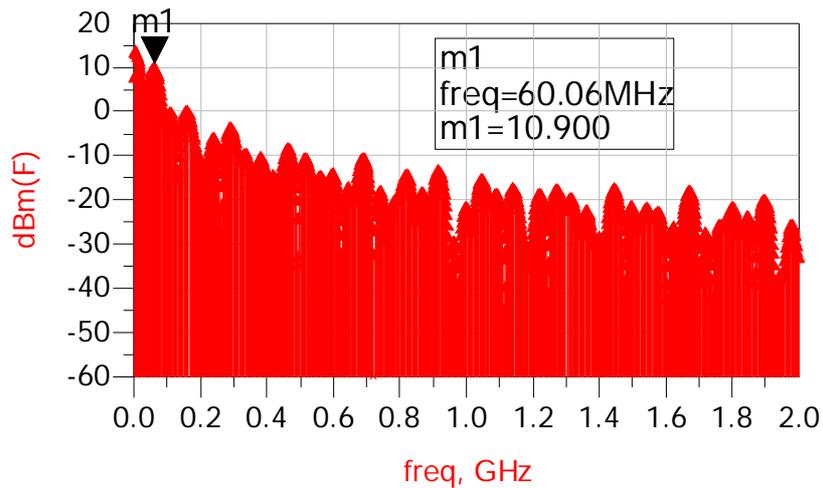
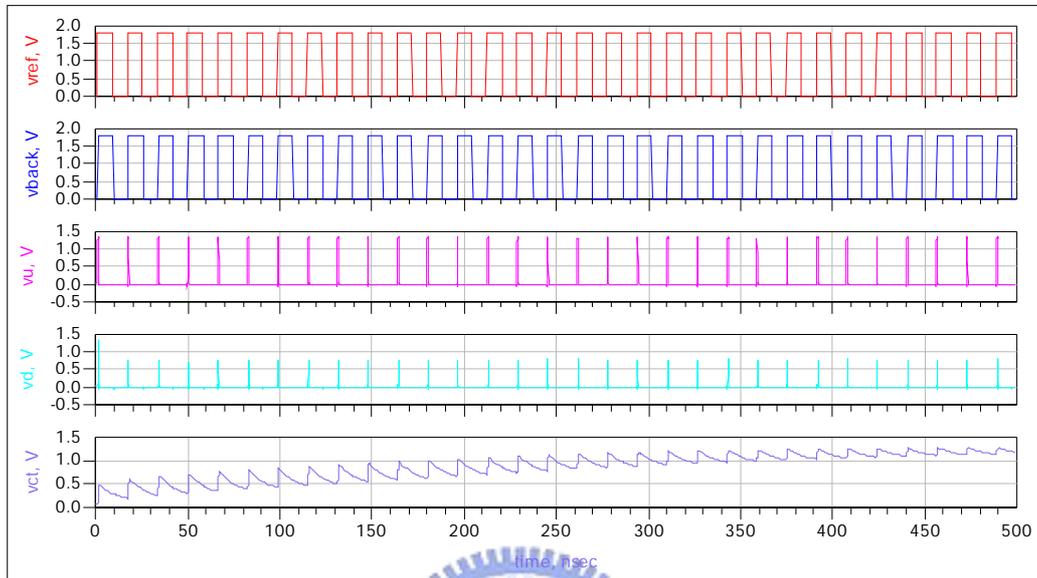


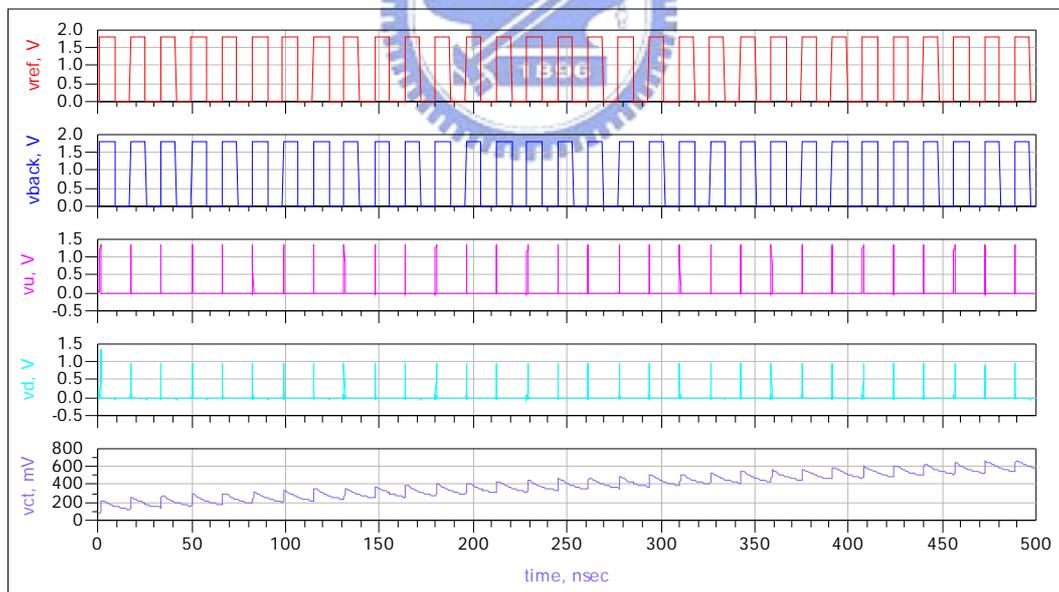
圖 4.26 除 64 電路輸出頻譜

### 三、相位頻率檢測器、電流泵與迴路濾波器

當參考信號( $F_{ref}$ )相位領先回授信號( $F_{back}$ )時，Up 訊號輸出為 high 的時間較長，所以控制電壓會往上升。底下為  $F_{ref}$  相位領先  $F_{back}$  時電壓時序圖。



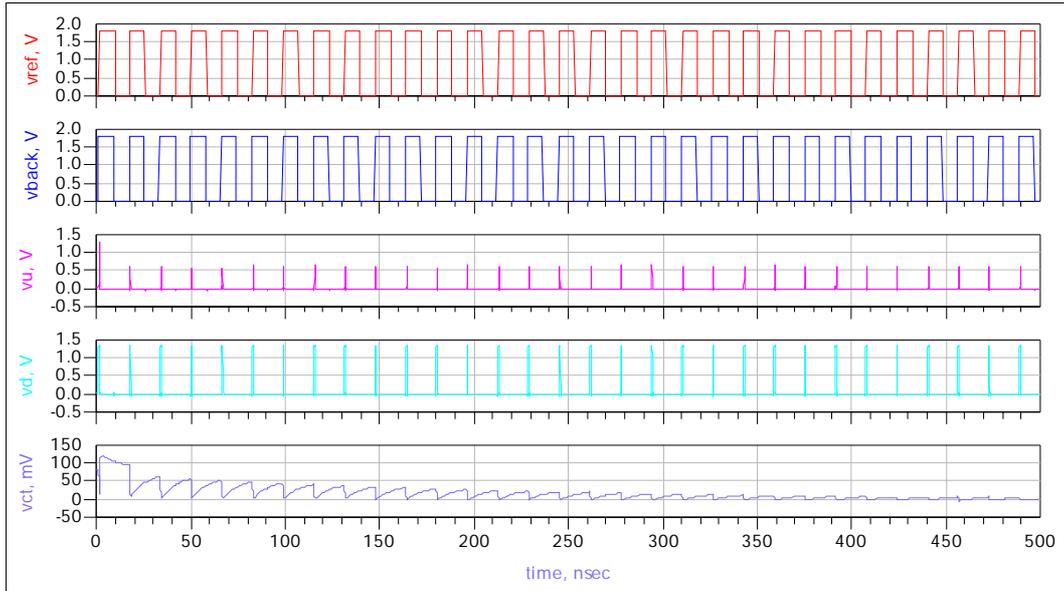
(a)  $F_{ref}$  相位領先 500ps



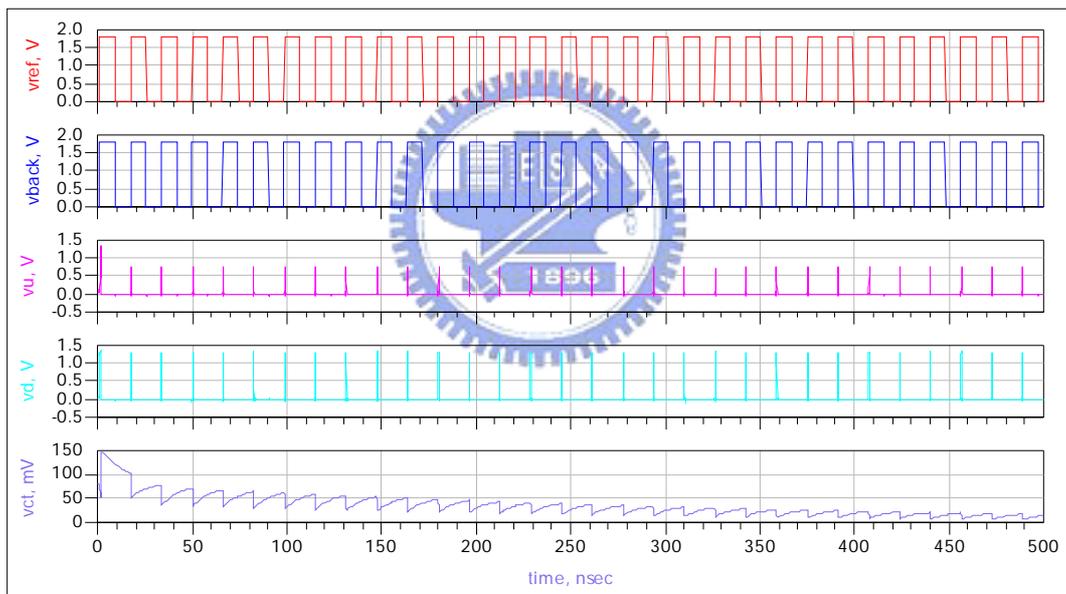
(b)  $F_{ref}$  相位領先 100ps

圖 4.27 參考信號( $F_{ref}$ )相位領先回授信號( $F_{back}$ )

反之，當回授信號( $F_{back}$ ) 相位領先輸入信號( $F_{ref}$ )時，Down 訊號輸出為 high 的時間較長，所以控制電壓往下降，底下為  $F_{back}$  相位領先  $F_{ref}$  時電壓時序圖。



(a)  $F_{back}$  相位領先 500ps



(b)  $F_{back}$  相位領先 100ps

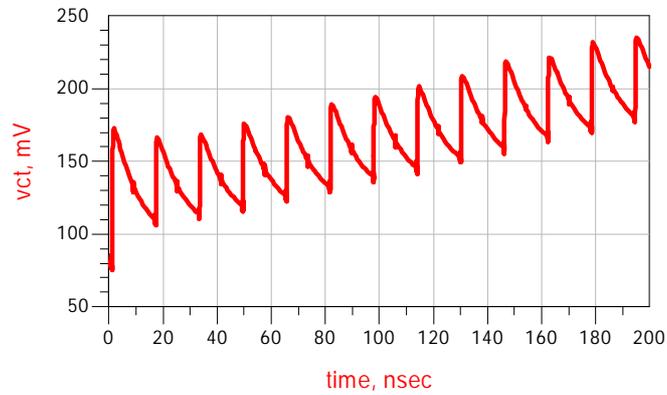
圖 4.28 回授信號( $F_{back}$ )相位領先輸入信號( $F_{ref}$ )

觀察圖 4.27 及 4.28 可看出，相位頻率檢測器能夠辨別輸入信號的相位不一樣而對迴路濾波器做充放電動作。

#### 四、死區(dead zone)模擬

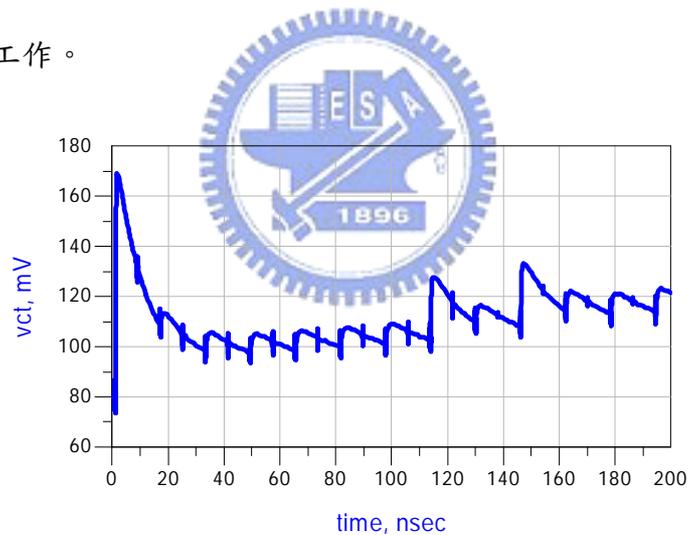
死帶的是以循序漸近方式模擬，慢慢縮小兩輸入信號的相位差，直到控制電壓

無法正常輸出時，此即相位頻率檢測器無法改變控制電壓。圖 4.29(a)為  $F_{ref}$  領先  $F_{back}$  20ps 時， $V_{ct}$  的暫態響應，由圖可知  $V_{ct}$  會被充電，且 PFD 在相差為 20ps 下仍會維持正常工作。



(a)  $F_{ref}$  領先  $F_{back}$  20ps

圖 4.29(b)為  $F_{ref}$  領先  $F_{back}$  15ps 時， $V_{ct}$  的暫態響應，可知  $V_{ct}$  已經無法被充電，無法維持正常工作。



(b)  $F_{ref}$  領先  $F_{back}$  15ps

圖 4.29 死帶模擬圖

由於相位頻率檢測器具有對稱性，所以在  $F_{back}$  領先  $F_{ref}$  情況下，工作行為和  $F_{ref}$  領先  $F_{back}$ ，只是充電變成放電而已。由模擬可知，PFD 的死區約為 20ps。傳統的 PFD 死帶約為 80ps。

## 五、整個迴路模擬

整個鎖相迴路利用 ADS 來模擬暫態分析，觀察迴路濾波器的電壓隨時間的變化情形，其結果如圖 4.30 所示。

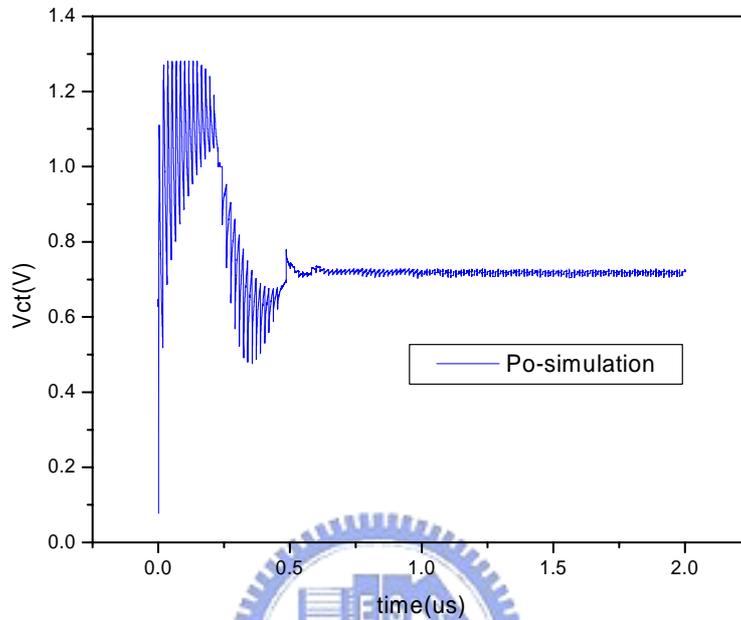


圖 4.30 壓控振盪器控制電壓時域波形圖

觀察波形圖可知，鎖相迴路大約在  $0.6\mu\text{s}$  後即可達到穩定輸出頻率。

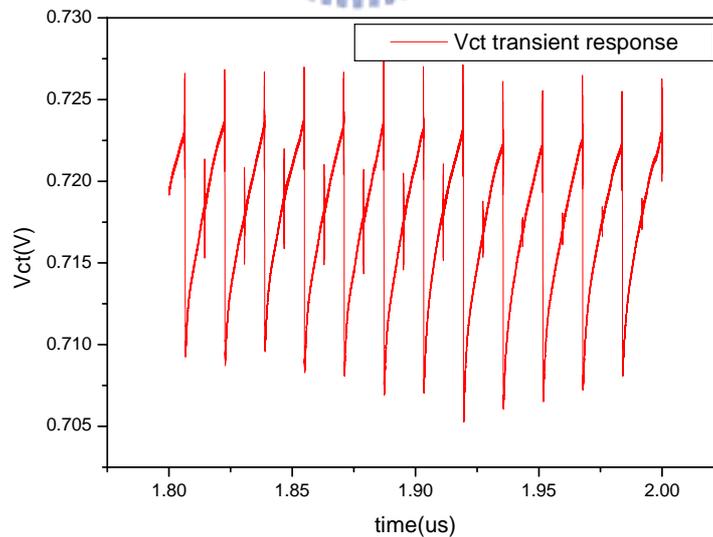


圖 4.31 壓控振盪器控制電壓在穩態下時域變化

迴路穩態之後的控制電壓( $V_{ct}$ )在  $20\text{mV}$  之間擺幅，表示在鎖定情形下頻率誤差的平均值為零，瞬間誤差並非為零。

另外用 Matlab Simulink 來模擬驗證，觀察輸出頻率對時間的關係，同樣可獲得迴路在  $1\mu\text{s}$  內可達到穩定。

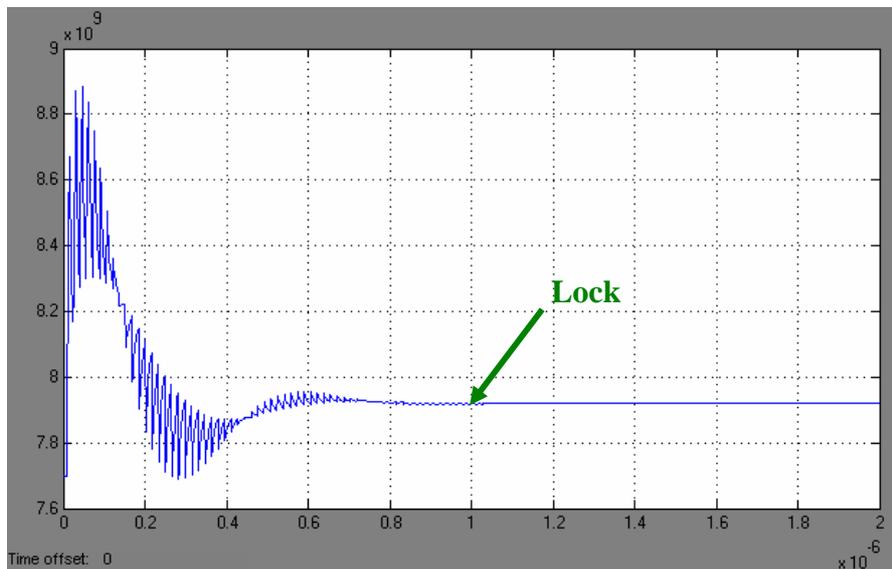
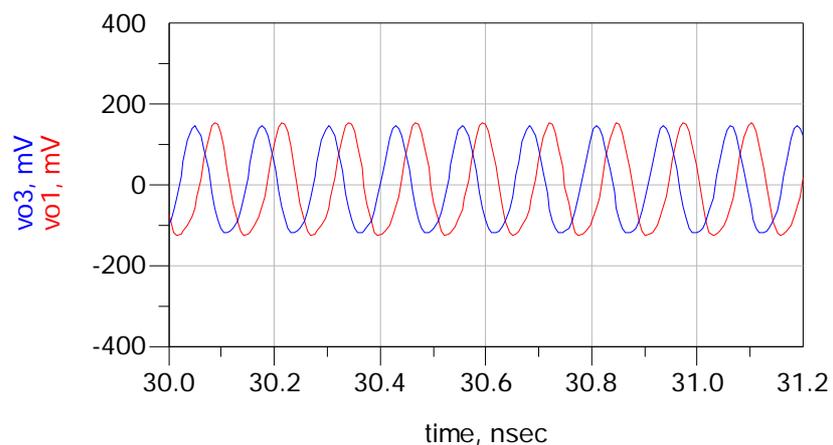


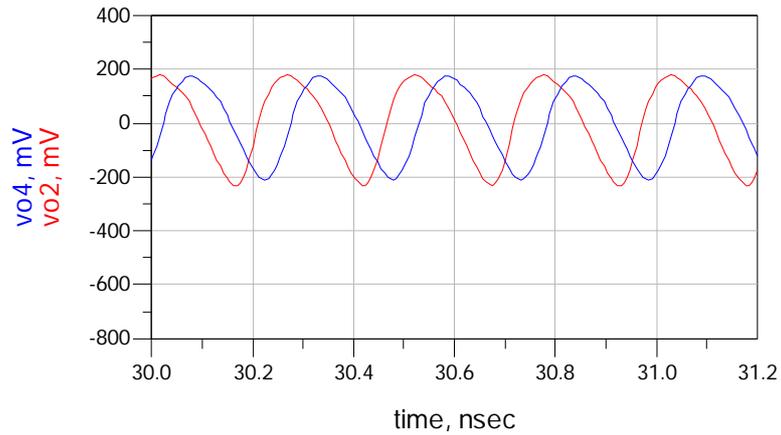
圖 4.32 Malab Simulink 模擬結果

## 六、鎖相迴路輸出功率模擬

鎖相迴路輸出 7.92GHz 與 3.96GHz 兩組頻率，且需要有一組正交訊號產生，圖 4.33 為迴路穩定下兩組頻率的時域波形圖。



(a) 7.92GHz



(b) 3.96GHz

圖 4.33 鎖相迴路輸出功率模擬

觀察模擬結果知，7.92GHz 的輸出功率約有 -6dBm，3.96GHz 約有 -3dBm，且均有正交信號產生。

表 IV- I 【電路 3】鎖相迴路規格表

Parameter	Quadrature output PLL vdd=1.3 (CornerCase=TT , Temperature=25°)	
Reference frequency	61.8 MHz	
Output frequency	7.92 GHz 3.96GHz	
PFD dead zone	20 ps	
Divider ratio	128	
VCO Phase Noise @1MHz (dBc/Hz)	-113	
Lock time(μs)	0.6	
Power Consumption (mW)	QVCO	2.3 mw
	Divider	9.9 mw
	PFD&CP	1.3 mw
	total	13.5mw
Chip size	1.48 × 0.95 mm <sup>2</sup>	

表IV-II 【電路3】與近年強調低功耗鎖相迴路論文期刊比較表

Reference	Technology	Frequency (GHz)	Power consumption (mW)	Year
[9]	0.18um CMOS	24	17.5	2006 JSSC
[10]	0.18um CMOS	24	17.5	2005 ISSCC
[11]	0.13um CMOS	3.125	15	2005 ISSCC
[12]	0.25um CMOS	5	13.5	2004 JSSC
This work	0.18um CMOS	7.9	13.5	

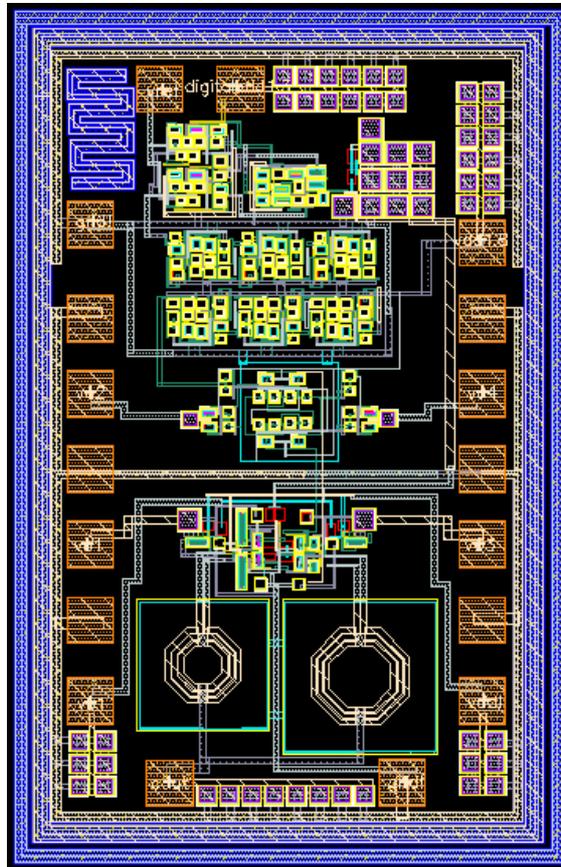


圖 4.34 佈局平面圖

#### §4-2-8 討論

4-2 節提出了第一種可應用於 UWB 系統頻率合成器的鎖相迴路，此鎖相迴路提供 7.92 與 3.96GHz 兩組輸出，且同時產生 I/Q 正交訊號。

鎖相迴路第一級除頻器採用主僕式耦合閘除二電路，則 3.96GHz 能有準確正

交正交輸出，但是缺點是主僕式耦合閘很耗功率，功率消耗為 9.9mW，相頻率檢測器的死帶僅 20ps 比起傳統的檢測器 80ps 小的多。電流泵的設計採用 switch on source 方式加上使用電流鏡設計，使充放電流更加匹配。振盪器提出使用電流再利用技術，具有低功耗優點。

整個迴路使用 ADS 模擬並以 Matlab Simulink 做驗證，由於頻率合成器的切換時間是由多工器來決定，迴路的鎖定時間並不是設計重點，目標是達到功率損耗功能。

### §4-3 鎖相迴路設計

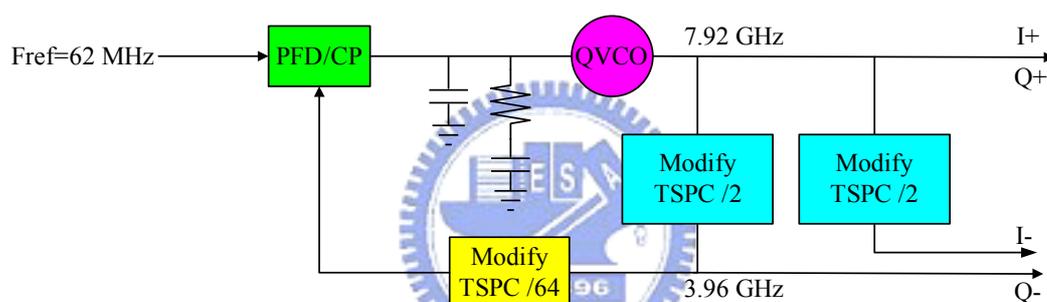


圖 4.35 鎖相迴路架構

由於 UWB 系統屬於低功耗，此電路主要特別針對低功率來設計。依據所提出的頻率合成器架構，鎖相迴路需要提供 7.92GHz 及 3.96GHz 兩組頻率且需要同時提供一組互相正交的信號 I/Q；設計上可採用兩組鎖相迴路來產生 7.92GHz 與 3.96GHz，此方法需要兩套鎖相迴路，功率消耗要兩倍；另一種可採用數位除頻器(如圖 3.24)，此種方法只需一套鎖相迴路，但是第一級除頻器功率消耗很大，所以我把該級除頻器代替成兩組改良式真單相時脈(TSPC)除二電路，可以大幅改善功率耗且只需一組鎖相迴路。

除了除頻器設計不同外，另外電流泵電路也有些許變化，方便觀察迴路頻寬對於整個鎖相迴路的影響。其他如相位頻率檢測器、迴路濾波器、振盪器同 4.2 節的設計。底下將針對除頻器及電流泵電路做一介紹，其他子電路請參考 4-2 節。

## §4-3-1 除頻器

### (1) 除 2 電路

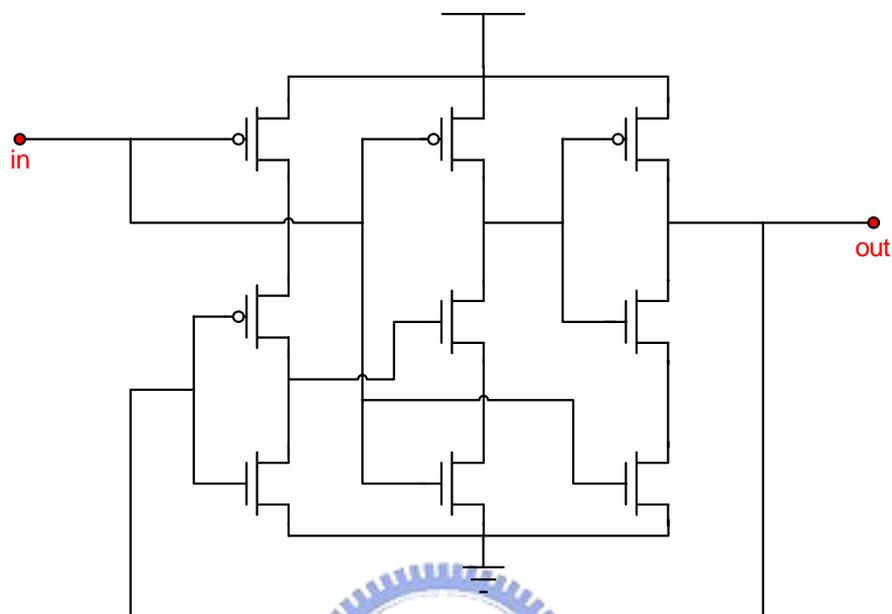


圖 4.36 改良式真單相時脈(TSPC)除二電路

除 2 電路所採用的除頻器是改良式真單相時脈(TSPC)除二電路，電路如 4.36 上所示。改良式真單相時脈電路只需要一個時脈訊號不需反相時脈，可以避免延遲時間簡化電路複雜度。不同於一般標準 TSPC，輸入脈衝訊號接在最接近供應電源的電晶體，這樣可以減低內部節點的電容效應，與 SCL 除頻器相比，這種除二電路只需用到 9 顆電晶體其結構具有簡單、低功率損耗的優點。

### (2) 除 64 電路

除 64 電路是由串接 6 級改良式真單相時脈(TSPC)除二電路所組成，其電路方塊圖 4.37 所示。



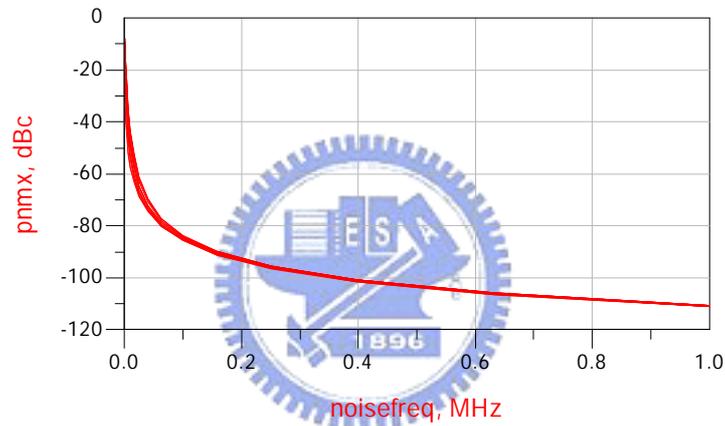
號  $V_{ct}$ ，藉由改變  $V_{ct}$  可調整迴路頻寬，便於觀察迴路頻寬對於鎖相迴路的影響。

### §4-3-3 其他設計考量

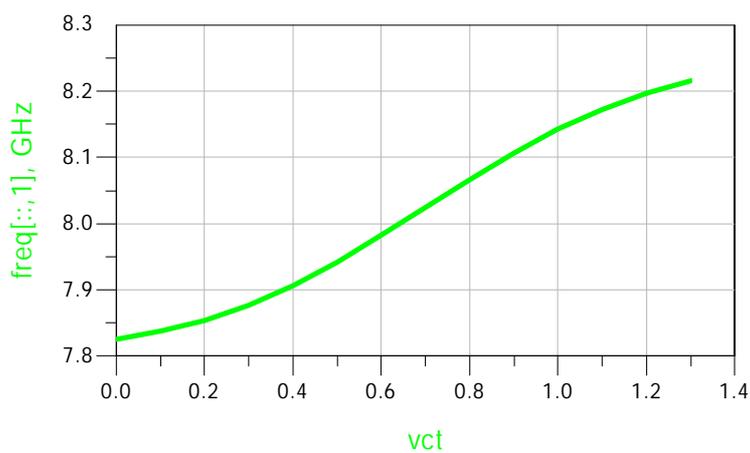
其他設計考量包括緩衝放大器設計考量、電路佈局考量，以及電路模擬考量已在 4-2-6 節作說明，請參考 4-2-6 節所述。

### §4-3-4 模擬結果

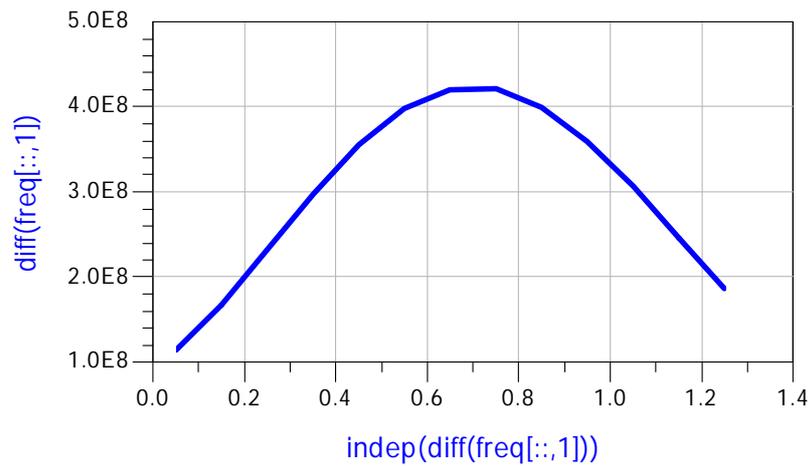
#### 一、正交輸出壓控振盪器



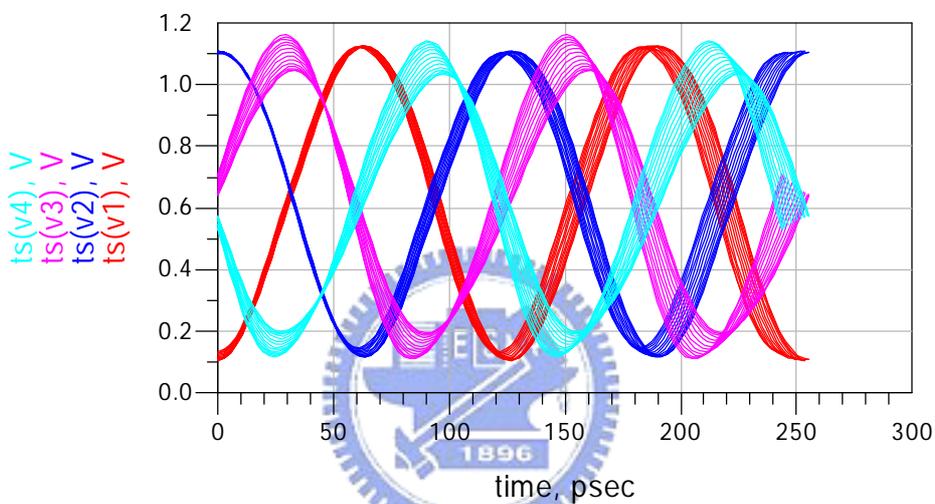
(a) 相位雜訊



(b) 頻率可調範圍



(c) 靈敏度

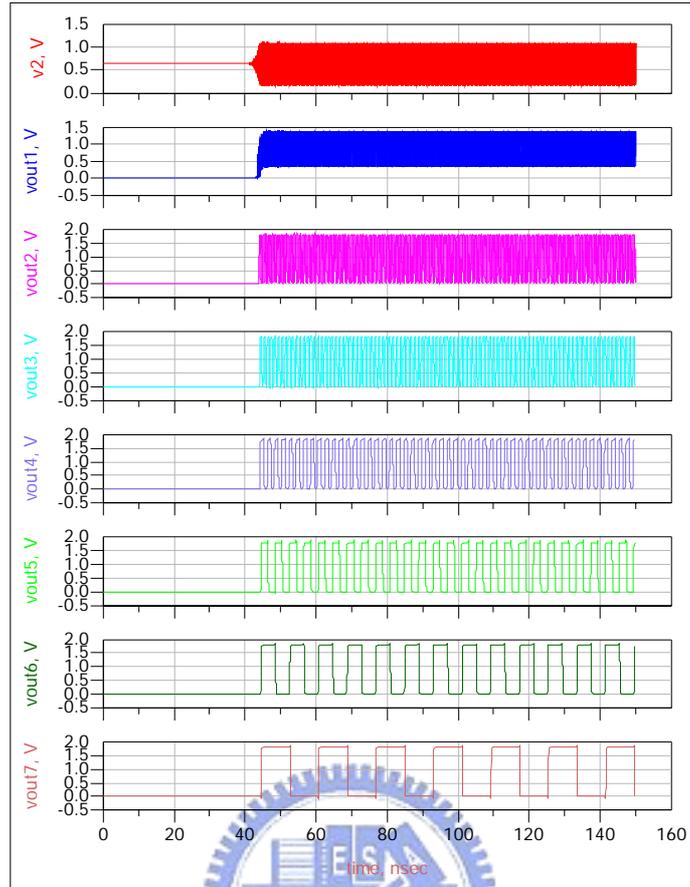


(d) 輸出四相位波形

圖 4.39 正交輸出壓控振盪器模擬結果

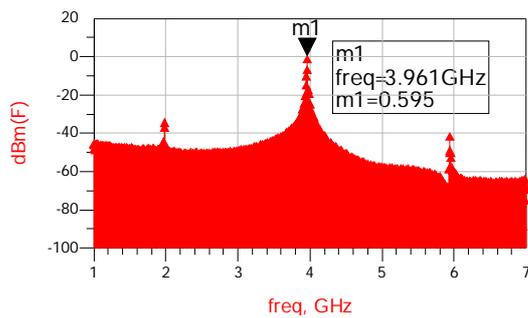
## 二、除頻器

除頻器的輸入信號是由 VCO 提供，所以我把 VCO 跟除頻器一起做模擬，VCO 直接提供輸入給除頻器，可以更加確定除頻功能。

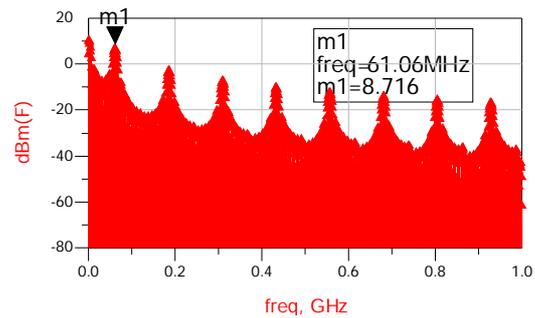


(a) 除頻器時域輸出波形

由圖 4.40 可知，除頻器有達到除 128 功能，同時可以觀察到 VCO 起振時間約為 45ns。把第一級除 2 及除頻器最後一級輸出展成頻譜，由圖可觀察輸出頻率約在 3.96GHz 與 61MHz。



(b) 3.96GHz 頻譜



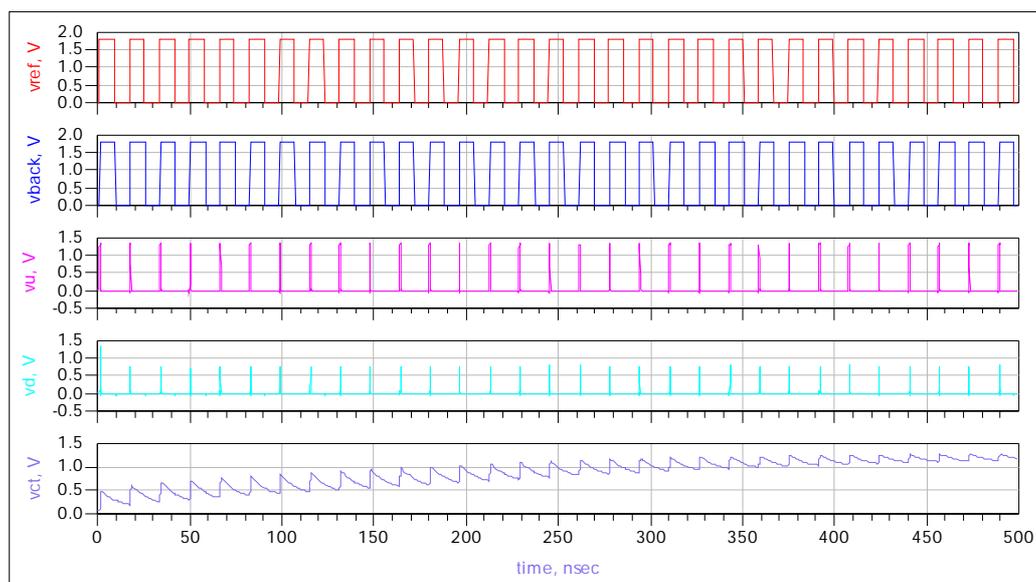
(c) 61MHz 頻譜

圖 4.40 除頻器輸出時域波形及頻譜圖

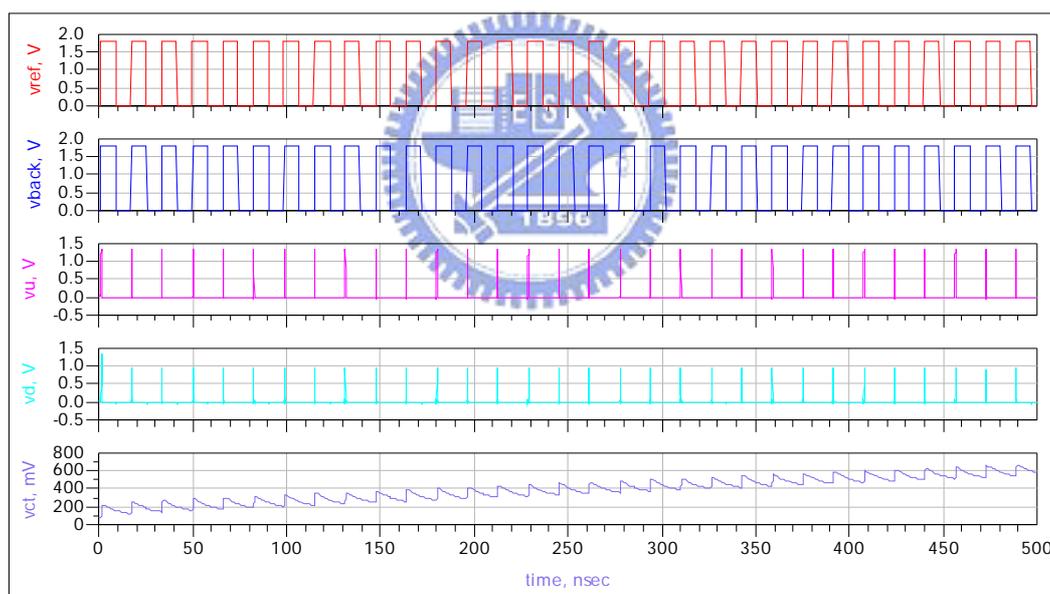
### 三、相位頻率檢測器、電流泵與迴路濾波器

當參考信號( $F_{ref}$ )相位領先回授信號( $F_{back}$ )時，Up 訊號輸出為 high 的時間較長，

所以控制電壓會往上升。底下為  $F_{ref}$  相位領先  $F_{back}$  時電壓時序圖。



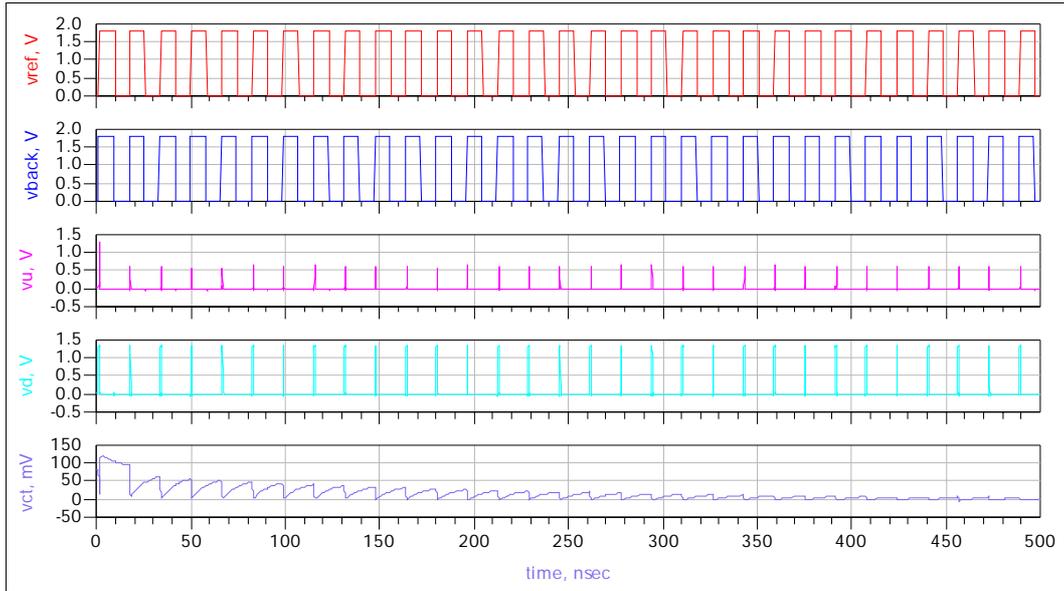
(a)  $F_{ref}$  相位領先 500ps



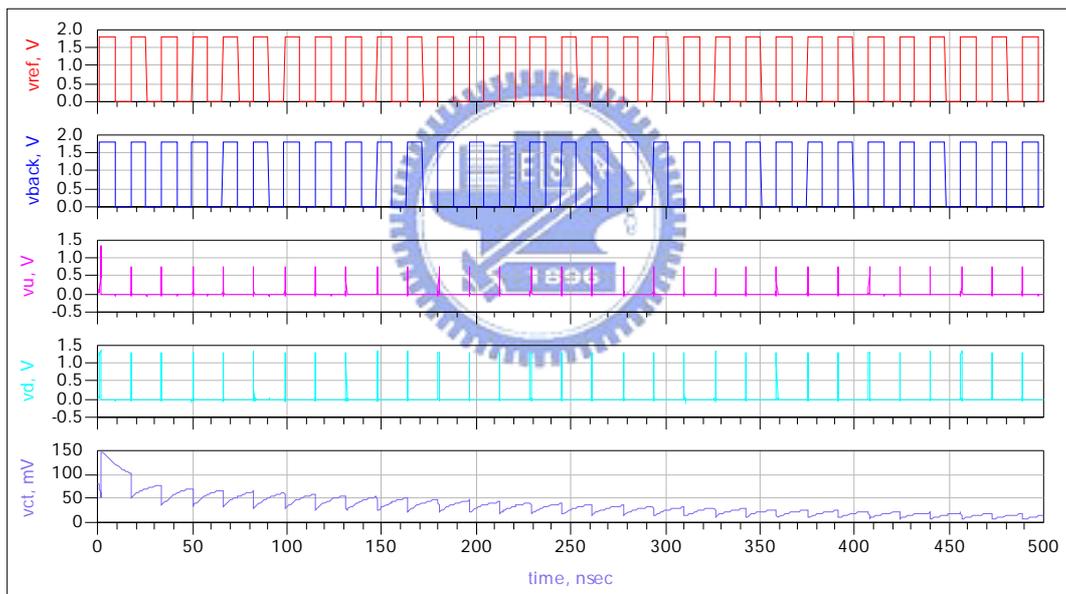
(b)  $F_{ref}$  相位領先 100ps

圖 4.41 參考信號( $F_{ref}$ )相位領先回授信號( $F_{back}$ )

反之，當回授信號( $F_{back}$ ) 相位領先輸入信號( $F_{ref}$ )時，Down 訊號輸出為 high 的時間較長，所以控制電壓往下降，底下為  $F_{back}$  相位領先  $F_{ref}$  時電壓時序圖。



(a)  $F_{back}$  相位領先 500ps



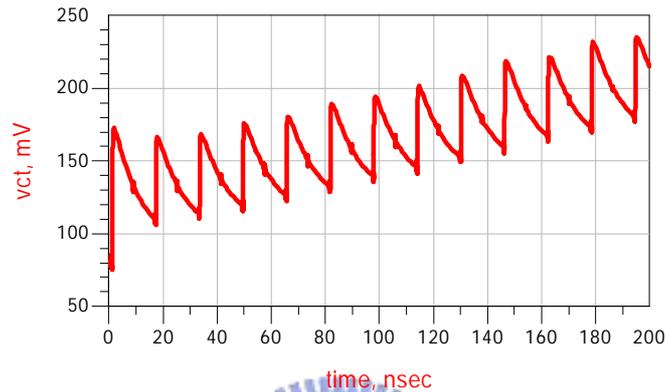
(b)  $F_{back}$  相位領先 100ps

圖 4.42 回授信號( $F_{back}$ )相位領先輸入信號( $F_{ref}$ )

觀察圖 4.41 及 4.42 可看出，相位頻率檢測器能夠辨別輸入信號的相位不一樣而對迴路濾波器做充放電動作。

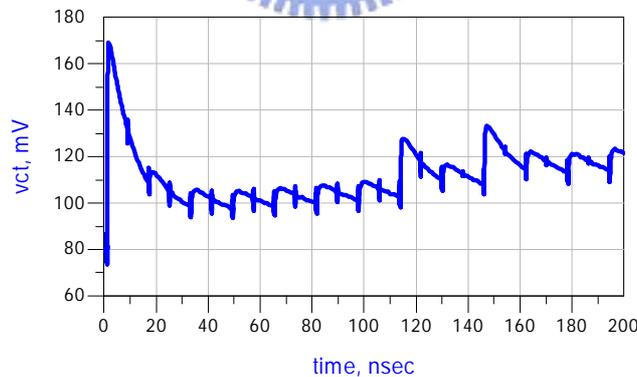
#### 四、死區(dead zone)模擬

死帶的是以循序漸近方式模擬，慢慢縮小兩輸入信號的相位差，直到控制電壓無法正常輸出時，此即相位頻率檢測器無法改變控制電壓。圖 4.43(a)為  $F_{ref}$  領先  $F_{back}$  20ps 時， $V_{ct}$  的暫態響應，由圖可知  $V_{ct}$  會被充電，且 PFD 在相差為 20ps 下仍會維持正常工作。



(a)  $F_{ref}$  領先  $F_{back}$  20ps

圖 4.43(b)為  $F_{ref}$  領先  $F_{back}$  15ps 時， $V_{ct}$  的暫態響應，可知  $V_{ct}$  已經無法被充電，無法維持正常工作。



(b)  $F_{ref}$  領先  $F_{back}$  15ps

圖 4.43 死帶模擬圖

由於相位頻率檢測器具有對稱性，所以在  $F_{back}$  領先  $F_{ref}$  情況下，工作行為和  $F_{ref}$  領先  $F_{back}$ ，只是充電變成放電而已。由模擬可知，PFD 的死區約為 20ps。傳統的 PFD 死帶約為 80ps。

## 五、整個迴路模擬

整個鎖相迴路利用 ADS 來模擬暫態分析，觀察迴路濾波器的電壓隨時間的變化情形，其結果如圖 4.44 所示。

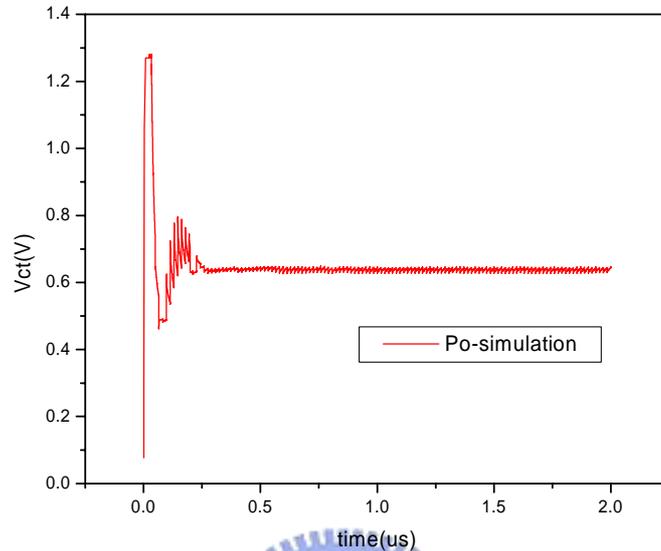


圖 4.44 壓控振盪器控制電壓時域波形圖

觀察波形圖可知，鎖相迴路大約在  $0.4\mu\text{s}$  後即可達到穩定輸出頻率。

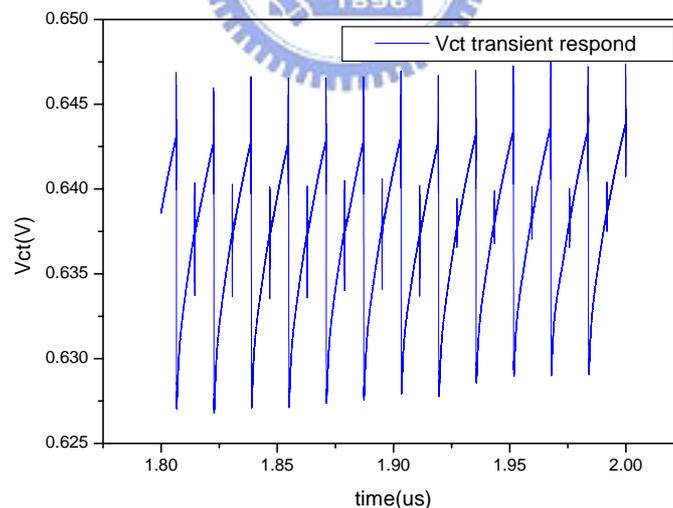


圖 4.45 壓控振盪器控制電壓在穩態下時域變化

迴路穩態之後的控制電壓( $V_{ct}$ )在  $20\text{mV}$  之間擺幅，表示在鎖定情形下頻率誤差的平均值為零，瞬間誤差並非為零。

另外用 Matlab Simulink 來模擬驗證，觀察輸出頻率對時間的關係，同樣可獲

得迴路在  $1\mu\text{s}$  內可達到穩定。

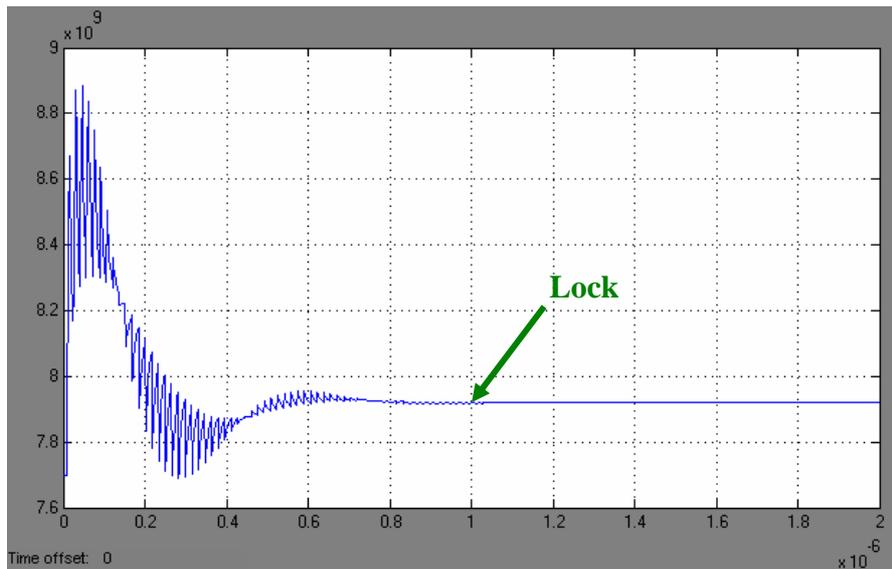
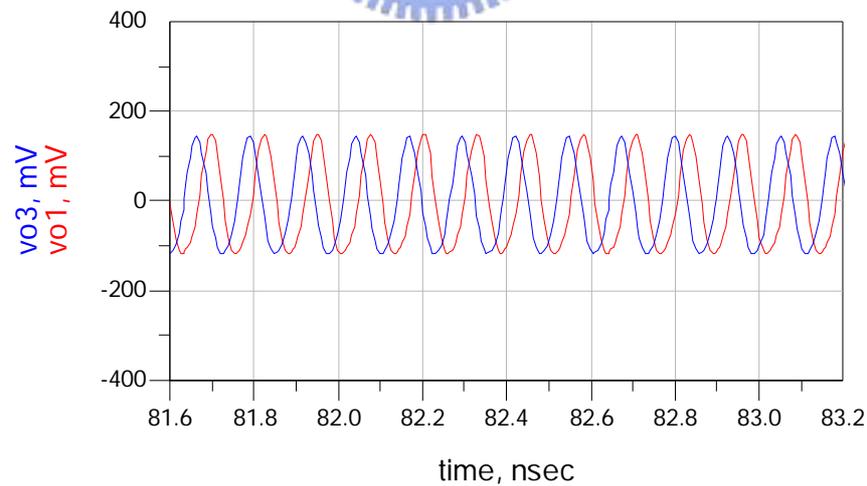


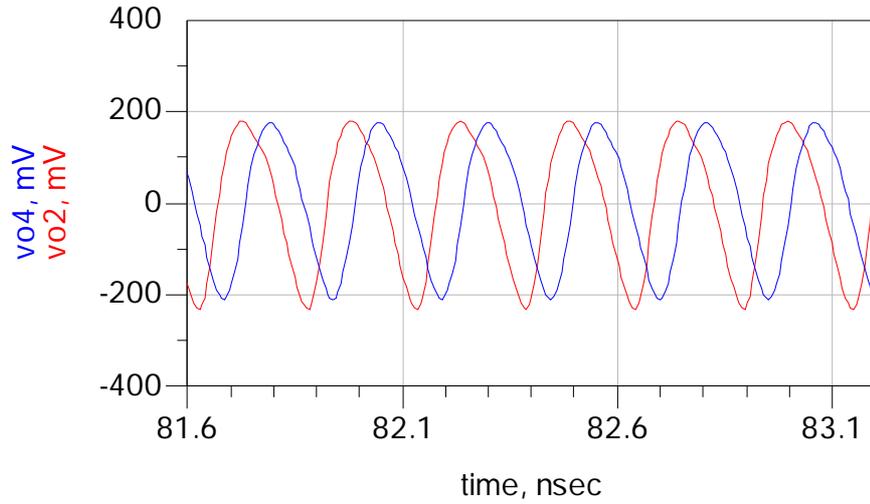
圖 4.46 Malab Simulink 模擬結果

## 六、鎖相迴路輸出功率模擬

鎖相迴路輸出 7.92GHz 與 3.96GHz 兩組頻率，且需要有一組正交訊號產生，圖 4.47 為迴路穩定下兩組頻率的時域波形圖。



(a) 7.92GHz



(b) 3.96GHz

圖 4.47 鎖相迴路輸出功率模擬

觀察模擬結果知，7.92GHz 的輸出功率約有-6dBm，3.96GHz 約有-3dBm，且均有正交信號產生。

表 IV-III 【電路 4】鎖相迴路規格表

Parameter	Quadrature output PLL vdd=1.3 (CornerCase=TT, Temperature=25°)	
Reference frequency	61.8 MHz	
Output frequency	7.92 GHz	3.96GHz
PFD dead zone	20 ps	
Divider ratio	128	
VCO Phase Noise @1MHz (dBc/Hz)	-111	
Lock time(μs)	0.4	
Power Consumption (mW)	QVCO	2.3 mw
	Divider	3.2 mw
	PFD&CP	1.3 mw
	total	6.8mw
Chip size	1.54 × 1.13 mm <sup>2</sup>	

表IV-IV 【電路4】與近年強調低功耗鎖相迴路論文期刊比較表

Reference	Technology	Frequency (GHz)	Power consumption (mW)	Year
[9]	0.18um CMOS	24	17.5	2006 JSSC
[10]	0.18um CMOS	24	17.5	2005 ISSCC
[11]	0.13um CMOS	3.125	15	2005 ISSCC
[12]	0.25um CMOS	5	13.5	2004 JSSC
This work	0.18um CMOS	7.9	6.8	

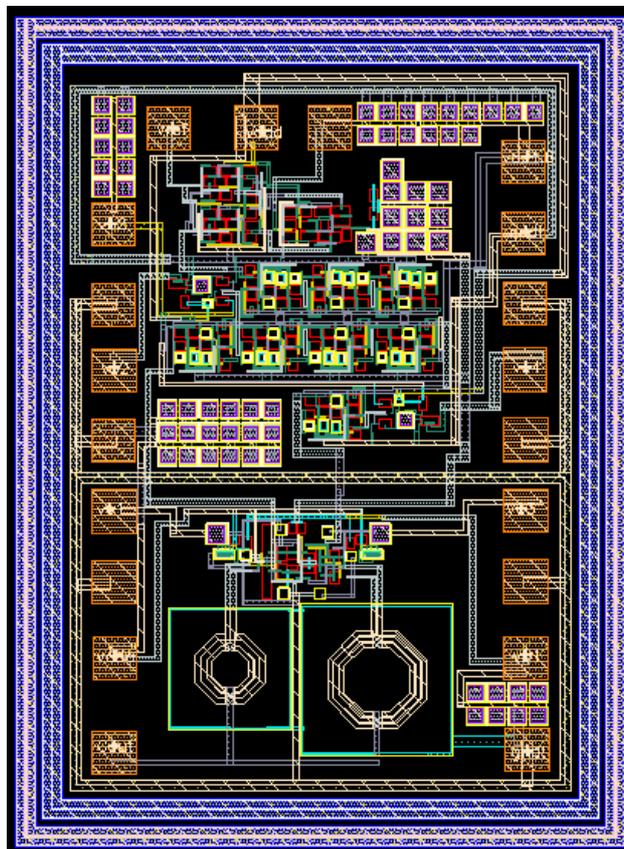


圖 4.48 佈局平面圖

#### §4-3-5 討論

4-3 節提出了另一種可應用於 UWB 系統頻率合成器的鎖相迴路，此鎖相迴路也提供 7.92 與 3.96GHz 兩組輸出，且同時產生 I/Q 正交訊號。

鎖相迴路第一級除頻器採用兩組改良式真單相時脈(TSPC)除二電路，能改善主

僕式耦合閘很耗功率的問題，不過缺點是 3.96GHz 信號的相位是否正交與 7.92GHz 輸入信號相位正交度有關係。因為單相時脈為單一輸入單一輸出，假設兩組改良式真單相時脈電路尺寸相同，則輸入到輸出的延遲時間相等，輸入信號不正交那麼就不可能產生正交輸出了。除頻器的功率消耗僅約 3.2mW 明顯改善主僕式耦合閘耗 9.9mW 的缺點。

整個迴路使用 ADS 模擬並以 Matlab Simulink 做驗證，由於頻率合成器的切換時間是由多工器來決定，迴路的鎖定時間並不是設計重點，目標是達到功率損耗功能。



## 第五章

### 結論

近年來，對移動資訊通信系統的大容量、高可靠和高品質化的要求迅速增大，多種多樣的服務正在出現。在寬帶無線通信系統已引入了寬帶 CDMA 的 IMT2000 及其下行寬帶流的 HDR，在無線 LAN 中已開發了 2.4GHz 頻段採用 SS(擴頻)方式的 IEEE801.11b 及採用 FH(跳頻)的藍牙，5.2GHz 頻段採用 OFDM(正交頻分復用)的 HyperLAN2 及 IEEE802.11a，以及可說是 2.4GHz 版的 IEEE802.11g 等，並正在商用化。這些方式都使用寬帶的調製方式，也能實現高速無線傳輸。而不用載波、用佔用非常寬的頻帶的脈衝信號進行無線傳輸的 UWB 方式，由於高頻器件、信號處理技術的研究開發已增加了實現性。具有傳感功能的 UWB 技術在目前使用藍牙等技術的近距離無線市場中，可實現更高速的基帶無線通信。

本論文利用 TSMC 0.18 $\mu\text{m}$  RF CMOS 製程設計應用於 UWB 系統之壓控振盪器與鎖相迴路如表 I - I 所示，【電路 1】為具低相位雜訊正交輸出壓控振盪器，【電路 2】為低功率電流再利用正交輸出壓控振盪器，【電路 3】為使用電流再利用技術之 UWB 低功率正交輸出鎖相迴路，【電路 4】為使用電流再利用技術與改良式真單相時脈電路之 UWB 低功率正交輸出鎖相迴路，其中【電路 3】已經應用於實驗室所提出的頻率合成器架構。

所提出的電流再利用正交輸出壓控振盪器具有低功率優點，相位雜訊跟文獻相比也有不錯的特性。

鎖相迴路的第一級除頻器如果使用主僕式耦合閘(CML)除頻器，具有準確正交的優點，但功率消耗大；使用真單相時脈(TSPC)電路可以降低功率消耗，不過輸出相位正交與否跟輸入信號相位有關係。

## 參考文獻

- [1] 高曜煌，《射頻鎖相迴路 IC 設計》，滄海書局，2005 年 10 月。
- [2] B. Razavi, *Design of Analog CMOS Integrated Circuit*, McGraw Hill, 1996.
- [3] B. Razavi, *RF Microelectronics*, Prentice Hall PTR, 1998.
- [4] 梁清標，應用於無線通訊射頻接收機之電路研製，元智大學通訊工程研究所碩士論文，2005 年。
- [5] 羅日隆，使用 0.18 $\mu$ m CMOS 之 2 GHz 低相位雜訊壓控振盪器，國立東華大學電機工程研究所碩士論文，2003。
- [6] M.A. Do, R. Zhao, K.S. Yeo, J.G. Ma, "1.5V 1.8GHz bandpass amplifier," in *IEEE Proceedings-Circuits, Devices and System*, Dec. 2000, pp. 331-333.
- [7] Donghyun Baek; Taeksang Song; Euisik Yoon; Songcheol Hong, "8-GHz CMOS quadrature VCO using transformer-based LC tank," in *IEEE Microwave and Wireless Components Letters*, Oct. 2003, pp. 446-448.
- [8] Nam-Jin Oh; Sang-Gug Lee, "Current reused LC VCOs," in *IEEE Microwave and Wireless Components Letters*, Nov. 2005, pp. 736-738.
- [9] Ng, A.W.L.; Leung, G.C.T.; Kwok, K.-C.; Leung, L.L.K.; Luong, H.C., "A 1-V 24-GHz 17.5-mW Phase-Locked Loop in a 0.18- $\mu$ m CMOS Process" in *IEEE Journal of Solid-State Circuits*, June 2006, pp. 1236-1244.
- [10] Ng, A.W.L.; Leung, G.C.T.; Kwok, K.-C.; Leung, L.L.K.; Luong, H.C., "A 1V 24GHz 17.5mW PLL in 0.18/ $\mu$ m CMOS," in *IEEE International Solid-State Circuits Conference*, Feb. 2005, pp. 158-590.
- [11] Parker, J.F.; Weinlader, D.; Sonntag, J.L., "A 15mW 3.125GHz PLL for serial backplane transceivers in 0.13 / $\mu$ m CMOS," in *IEEE Solid-State Circuits Conference*, 2005, pp.412-607

- [12] S. Pellerano, S. Levantino, and A. L. Lacaita, "A 13.5-mW 5-GHz Frequency Synthesizer With Dynamic-Logic Frequency Divider," in *IEEE Journal of Solid-State Circuits*, Feb. 2004, pp. 378-383.
- [13] 盧武宏，應用於多頻帶之高速鎖相迴路設計，國立東華大學電機工程研究碩士論文，2003。
- [14] Johansson, H.O., "A simple precharged CMOS phase frequency detector," in *IEEE Journal of Solid-State Circuits*, Feb. 1998, pp. 295 - 299.
- [15] Rhee, W., "Design of high-performance CMOS charge pumps in phase-locked loops," in *IEEE International Symposium Circuits and Systems*, June 1999, pp. 545 – 548.
- [16] Chih-Ming Hung; O, K.K., "A fully integrated 1.5-V 5.5-GHz CMOS phase-locked loop," in *IEEE Journal of Solid-State Circuits*, April 2002, pp. 521 – 525.

