

國立交通大學

電機學院 IC 設計產業研發碩士班

碩士論文

高速序列傳輸之內建自我測試電路設計

High Speed Serial Link Built-in Self Test Circuit Design



指導教授：蘇朝琴

研究生：史汝敏

中華民國九十七年十月

高速序列傳輸之內建自我測試電路設計
High Speed Serial Link Built-in Self Test Circuit Design

研究生：史汝敏

Student：JuMin Shih

指導教授：蘇朝琴

Advisor：ChauChin Su

國立交通大學

電機學院 IC 設計產業研發碩士班

碩士論文



A Thesis
Submitted to Department of Electrical and Control Engineering
College of Electrical Engineering and Computer Science National Chiao Tung University
in partial Fulfillment of the Requirements
for the Degree of
Master
In
Industrial Technology R & D Master Program on
IC Design

October 2008

Hsinchu, Taiwan, Republic of China

中華民國九十七年十月

高速序列傳輸之內建自我測試電路設計

研究生：史汝敏

指導教授：蘇朝琴

國立交通大學電機學院產業研發碩士班

摘要

本論文提出一個高速序列傳輸之內建自我測試電路設計 (High Speed Serial Link Built-in Self Test Circuit Design) 電路，用來降低生產測試成本。利用數位控制延遲電路 (Digital Control Delay Line : DCDL) 產生特定相位之時脈，取樣並保持電路 (Sample and Hold : S/H) 抓取輸入的眼圖 (Eye Diagram) 訊號，與數位/類比訊號轉換器 (Digital-to-Analog Converter : DAC) 輸出的某特定電壓做比較，判斷眼圖有無張開至特定規格，由於不需要高速的測試儀器，可大幅降低測試成本。

高速序列傳輸之內建自我測試電路設計將至聯華電子股份有限公司 (United Microelectronics Corporation : UMC) 下線，所使用製程是 UMC 90nm 1P9M Logic / Mixed Mode Low-K SP-RVT Process 來實現。眼圖之抖動解析度為 2.8ps，眼圖之振幅解析度為 4.68mV，眼圖之振幅量測範圍為 0~1.2V，完成眼圖之總量測時間為 655G 位元時間，核心電路的面積為 $270\mu\text{m}^2 \times 171\mu\text{m}^2$ ，模擬眼圖皆達到我們所預期的行為。

關鍵字：數位控制延遲電路、數位/類比訊號轉換器、高速序列傳輸、眼圖遮罩、內建自我測試

High Speed Serial Link Built-in Self Test Circuit Design

Student : JuMin Shih

Adviser : Dr. ChauChin Su

Industrial Technology R & D Master Program of Electrical and Computer
Engineering College National Chiao Tung University

ABSTRACT

In this thesis, we propose a high speed serial link built-in self test circuit design for low-cost mass production. It includes a Digital Control Delay Line (DCDL) for clock delay adjustment, a Sample and Hold (S/H) module for capture the signal, a Digital-to-Analog Converter (DAC) to set up the compared level. Because it does not need high-speed tester, the test can be reduced significantly.

The proposal high speed serial link built-in self test circuit is designed in an UMC 90nm 1P9M Logic / Mixed Mode Low-K SP-RVT Process. The jitter resolution for the eye diagram measurement is 2.8ps. The amplitude resolution is 4.68mV, and the amplitude range is $\pm 600\text{mV}$. The chip occupies a core area of $270\mu\text{m}^2 \times 171\mu\text{m}^2$, the post-simulation eyes diagram all reaches our anticipated behavior.

Index Terms - digital control delay line 、 digital-to-analog converter 、 high speed serial link 、 eye mask 、 built-in self test

目次

摘要	I
ABSTRACT	II
目次	III
表次	V
圖次	VI
致謝	IX
第 1 章 介紹	1
1-1 研究動機	1
1-2 設計流程	3
1-3 論文組織	5
第 2 章 電路設計	7
2-1 系統行為	7
2-2 區塊電路規格	10
2-3 區塊電路	11
2-3-1 取樣並保持電路	11
2-3-2 數位/類比訊號轉換器	14
2-3-3 數位控制延遲電路	26
2-3-4 比較器	45
2-3-5 計數器	53
第 3 章 系統	61
3-1 系統運作	61
3-2 模擬結果	66
3-3 佈局	68
3-4 腳位功能描述	75
第 4 章 測試環境	78
4-1 測試環境	78
4-2 測試流程	79

4-3 測試項目	81
4-3-1 基本功能測試模式	81
4-3-2 區塊測試模式	83
4-3-3 眼圖張開測試模式	84
第 5 章 結論	85
參考資料	89



表 次

表 2.1 建構區塊之規格表	11
表 2.2 數位控制延遲電路粗調架構之比較表	37
表 3.1 四種測試模式之設定表	65
表 3.2 腳位功能描述	76
表 5.1 系統規格表	86

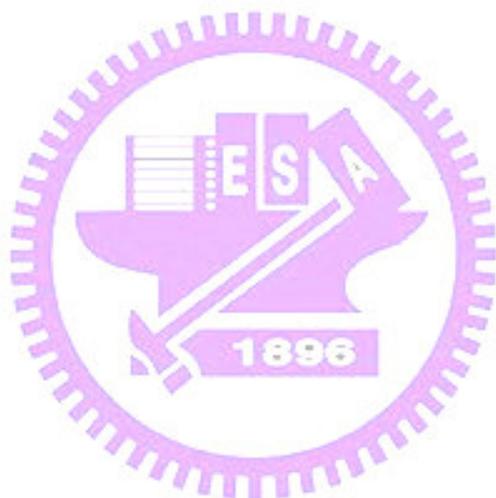
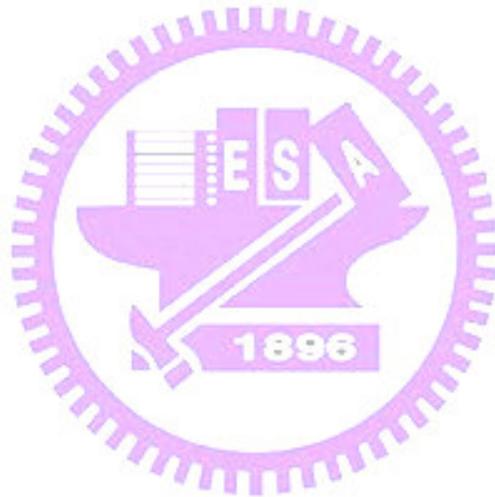


圖 次

圖 1.1 嵌入內建自我測試電路之示意圖	3
圖 1.2 設計流程圖	5
圖 2.1 PCI EXPRESS 2.0 之眼圖規格.....	8
圖 2.2 內建自我測試電路量測結果之示意圖	8
圖 2.3 內建自我測試電路之示意圖	9
圖 2.4 優劣眼圖之示意圖	12
圖 2.5 電阻-電容網路之時間常數	12
圖 2.6 取樣並保持電路之電路圖	14
圖 2.7 數位/類比訊號轉換器之電路圖	16
圖 2.8 電流源架構之比較圖	17
圖 2.9 N 與 P 型電晶體具主動式負載之全差動運算放大器之電路圖	18
圖 2.10 校正電路之電路圖	20
圖 2.11 數位/類比訊號轉換器系統不穩定之波形	20
圖 2.12 頻率響應圖之有/無串聯電阻-電容.....	21
圖 2.13 校正電路之頻率響應圖	22
圖 2.14 輸出緩衝器之電路圖	23
圖 2.15 輸出緩衝器之輸入共模電壓圖	24
圖 2.16 輸出緩衝器之頻率響應圖	24
圖 2.17 數位/類比訊號轉換器之積分非線性.....	26
圖 2.18 數位/類比訊號轉換器之差分非線性.....	26
圖 2.19 樹狀多工器之示意圖(多對一)	27
圖 2.20 串接式多工器之示意圖(二對一)	27
圖 2.21 樹狀多工器之示意圖(二對一)	28
圖 2.22 樹狀多工器所造成解析度變異之示意圖	29
圖 2.23 串接式多工器所造成解析度變異之示意圖	30
圖 2.24 樹狀多工器之單位延遲時間圖(單一級反相器)	31
圖 2.25 樹狀多工器及單級轉差動轉換器之架構圖	32
圖 2.26 串接式多工器所造成解析度變異之示意圖	33
圖 2.27 串接式多工器之單位延遲時間圖(單一級反相器)	33
圖 2.28 樹狀多工器之單位延遲時間圖(二級串接反相器)	34
圖 2.29 串接式多工器之單位延遲時間圖(二級串接反相器)	34
圖 2.30 可調式反相器之電路圖	35
圖 2.31 可調式反相器之單位延遲時間圖	35
圖 2.32 樹狀多工器之單位延遲時間圖(可調式反相器)	36

圖 2.33 串接式多工器之單位延遲時間圖(可調式反相器)	36
圖 2.34 內插式與串接式之總延遲時間之示意圖	38
圖 2.35 可調驅動能力延遲元件之示意圖	39
圖 2.36 可調驅動能力延遲元件之單位延遲時間圖	39
圖 2.37 微調延遲元件之電路與示意圖	40
圖 2.38 微調延遲元件電路電容值之示意圖	40
圖 2.39 微調與粗調延遲元件之電路圖	41
圖 2.40 假設一之架構與模擬圖	42
圖 2.41 假設二之架構與模擬圖	42
圖 2.42 單位延遲時間變化量之示意圖	43
圖 2.43 數位控制延遲電路之電路圖	44
圖 2.44 數位控制延遲電路之單位延遲時間圖	44
圖 2.45 數位控制延遲電路之總延遲時間圖	45
圖 2.46 比較器之電路圖	46
圖 2.47 四輸入差動對之電路圖	47
圖 2.48 電感式負載之小訊號等效模型圖	49
圖 2.49 頻寬延展功能之說明圖	51
圖 2.50 前級放大器偏壓點電壓之模擬圖	51
圖 2.51 前級放大器輸出擺幅之模擬圖	52
圖 2.52 增益級放大器增益之模擬圖	52
圖 2.53 比較器輸入共模電壓與角落變異增益之模擬圖	53
圖 2.54 計數器之電路圖	54
圖 2.55 有限狀態機之電路圖	55
圖 2.56 除頻器之電路圖	55
圖 2.57 掃描鏈之電路圖	56
圖 2.58 計數器與掃描鏈之時序圖	58
圖 2.59 計數器、除頻器、有限狀態機、掃描鏈之架構圖	59
圖 2.60 計數器、除頻器、有限狀態機與掃描鏈之時序圖	60
圖 2.61 掃描輸入之電路圖	60
圖 3.1 系統流程圖	62
圖 3.2 系統時序之示意圖	62
圖 3.3 內建自我測試電路之區塊圖	64
圖 3.4 輸入眼圖振幅為 600 毫伏特之模擬圖	67
圖 3.5 輸入眼圖振幅為 400 毫伏特之模擬圖	67
圖 3.6 輸入眼圖振幅為 200 毫伏特之模擬圖	68
圖 3.7 電源-地線箝制之電路圖	69
圖 3.8 箝制緩衝之電路圖	70
圖 3.9 箝制二極體之電路圖	71

圖 3.10 指叉式電容之佈局圖	72
圖 3.11 內建自我測試電路核心之佈局圖	72
圖 3.12 內建自我測試電路晶片之佈局圖	74
圖 3.13 內建自我測試電路之打線圖	75
圖 4.1 測試環境設定之示意圖	79
圖 4.2 測試流程圖	80
圖 5.1 傳輸端後方未加入/加入內建自我測試電路設計之波形	87



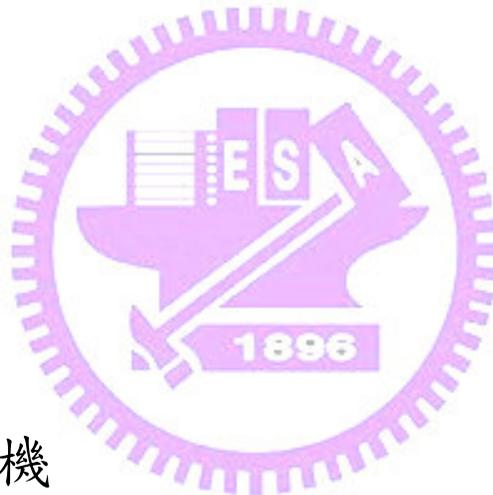
致 謝

感謝 7-11 提供便宜又好喝的咖啡，
感謝 Jacky&丫泰&經為&富義佈局的鼎力相助，
感謝丸子提供 918 最佳的資訊設備，
感謝仁乾給予機會參予此計劃案，
感謝先生永順無微不至的照顧，
感謝朋友采薰&惠惠&佑熹提供滿滿的電力，
感謝馬先生通知招考消息，
感謝產專同學丫槿&小胖&高老大&華鼎&高老大課業上的照顧，
感謝媽咪四處求神問卜，
感謝最棒的家庭教師鴻文，讓我完成論文，
感謝蘇老師無私的教授，
(以上順序依照筆劃排序)
謝謝您翻這本書

將此獻給我最最親愛的家人

第1章

介紹



1-1 研究動機

隨著時代的演進，微處理器，記憶體與周邊輸入/輸出單元 (I/O Units) 的頻寬需求也跟著增加，高速序列傳輸所使用之外部設備互聯總線第二代基本規格要求 (Peripheral Component Interconnect Express Generation II Base Specification：PCI Express Gen II Base Specification) 介面，來解決頻寬的需求，提供 5Gbps/lane 的頻寬。目前商業用之高速序列傳輸電路的資料速度，已經達到十億赫茲 (Giga Hertz：GHz) 的等級，像是今年發表的通用序列匯流排 (Universal Serial Bus：USB) 3.0，一下子把 480Mbps，提升十倍至 4.8Gbps；常見桌上型電腦硬碟之傳輸介面，使用串列式先進附加技術 (Serial Advanced

Technology Attachment : SATA) ，目前正在醞釀提升其傳輸速度至 6Gbps，新版更名為 Serial ATA International Organization (SATA-IO) ，可簡稱為 SATA Revision 3.0 或 SATA 6Gbps ；隨著筆電的普及率， PCI Express 介面已經是筆記型電腦的標準配備，PCI Express 2.0 已經具有 5Gbps/lane 的頻寬，負責管理這項規格的組織 PCI Special Interest Group (PCI-SIG) ，更宣布 PCI Express 3.0 瞄準高達 8Gbps/lane 的頻寬，在高速傳輸的應用中，PCI Express 為電腦儲存與通訊產業，帶來效能大幅的改善。

而對高速大容量數據傳輸的需求正日益成長，量產測試中，測試速度也不斷被要求，高效能的儀器已成為不可或缺的重要工具，但是，高精準度的測試設備一直相當地昂貴。在全球化的激烈競爭下，需多產業走入微利時代，如何降低產品的檢驗時間，並快速獲得可靠的測試結果，就是提高生產效能，相對地重要性便日益加重。量產測試中，高達十億赫茲之資料轉換率速度，與量產測試機台的速度，卻無法相對的達到同樣的速度，或是需要高速又昂貴的儀器，成本高，並且，會耗費大量的時間。以實驗室驗證晶片來說，就需要混合訊號自動測試設備，量測與分析浴缸曲線 (Bathtub Curve) 、輸出位準、Q 係數、頻譜抖動分解、快速眼圖、及錯誤位置的擷取等；也需要高速的寬頻示波器，得到精確的眼狀圖分析功能；還需要邏輯分析系統，用來分析類比數位轉換器輸出之數位訊號暫態及穩態響應。在發射端 (TX) 的量產測試當中，往往只會針對輸出眼圖有無張開大於眼圖遮蔽 (Eye Mask) ，藉此，我們將提出一個有效的方式，減少開發成本與浪費。

過去，因為疊眼圖的時間太長，以昂貴的測試成本來說，超過一秒的量測時間，是目前業界無法所無法容忍的。目前業界量產驗證傳輸端的方式，是額外增加回授電路，灌入高速輸入訊號，觀察輸出是否與輸入相符合，不過，測試儀器的成本，與速度成正比，

還是需要高速的測試機台，量測越高速的待測物，測試儀器的單價也就越高。

本論文提出一個高速序列傳輸之內建自我測試電路設計，能快速產生如同眼圖遮蔽的效果，可以量測高速的眼圖訊號。在量測高速的輸入訊號時，能輸出慢速的數位訊號，如此，即可使用較便宜的測試機台進行量測，將大幅降低生產成本。

以下是本研究即將實現的目標，在發射端後面，或接收端 (RX) 前面，放上高速序列傳輸之內建自我測試電路設計，藉此達到量產測試的目的，本論文實際應用，是將內建自我測試電路放置於發射端之後，通道之前。圖 1.1 是嵌入內建自我測試電路之示意圖，利用便宜又低速的儀器，得到晶片量測結果後，利用桌上型電腦分析資料，即可取得如同眼圖遮蔽的效果。

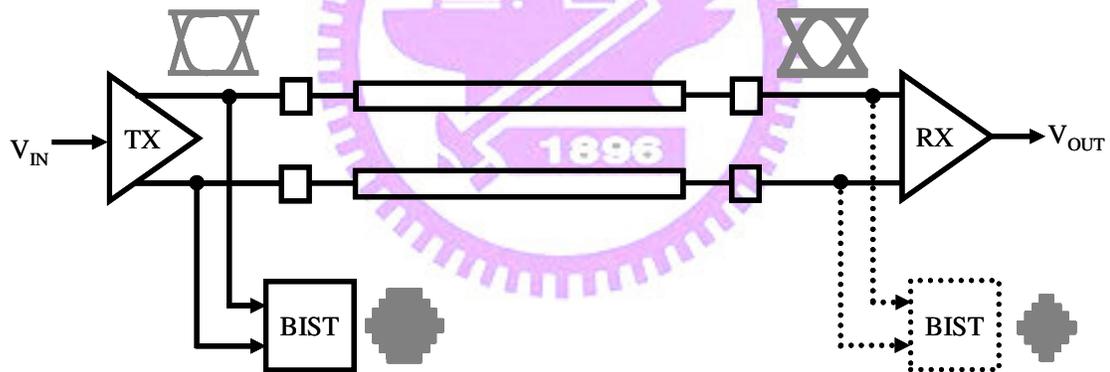


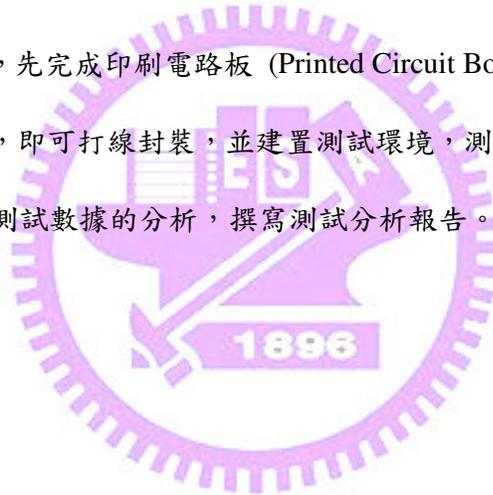
圖 1.1 嵌入內建自我測試電路之示意圖

1-2 設計流程

提出整個高速序列傳輸之內建自我測試電路設計的架構，並做定性之分析，模擬此設計的可行性，決定系統參數，設計流程如圖 1.2 所示，使用 Composer 畫出

Schematic，訂出電路的架構與電晶體的尺寸。作 CDL Out 轉成 Net list，進而編寫 SPICE 檔案，使用 HSPICE 軟體做預先模擬 (Pre-Simulation：Pri-Sim)，若行為及規格符合最初設計之後，接著進行 IC 佈局的動作。佈局完成後，Stream Out GDSII (Graphic Design System II) 之資料庫，進行佈局與線路圖對比 (Layout Versus Schematic：LVS) 及設計規則檢查 (Design Rule Check：DRC)，接著做佈局寄生元件萃取 (Layout Parasitic Extract：LPE)，對邏輯閘層次 (Gate-Level) 寄生參數抽取，確認佈局後模擬 (Post-Layout Simulation：Post-Sim) 之電路行為符合預先模擬之電路行為。輸出 GDSII 至聯華電子股份有限公司製造晶片。

晶片製作完成之前，先完成印刷電路板 (Printed Circuit Board：PCB) 之佈局設計及基板製造，晶片完成後，即可打線封裝，並建置測試環境，測試過程中，利用不同電量及不同溫度量測，完成測試數據的分析，撰寫測試分析報告。



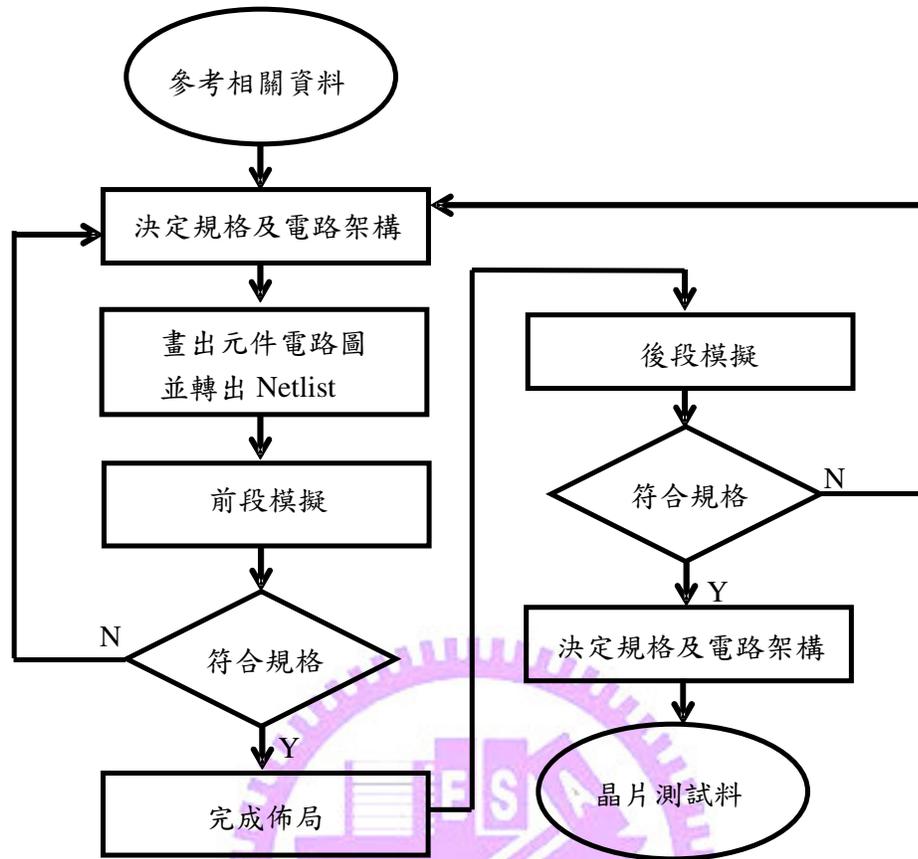


圖 1.2 設計流程圖

1-3 論文組織

本篇論文總共分為五個章節。

第一章是介紹研究動機、設計流程以及論文組織。

第二章是簡單介紹高速序列傳輸之內建自我測試電路設計之系統行為，還有所使用的區塊電路與規格。以電路層次 (Circuit-Level) 來分析與模擬。主要分為五大區塊，取樣並保持電路、數位/類比訊號轉換器、數位控制延遲電路、比較器 (Comparator)、計

數器 (Counter) 以及一些數位控制電路…等等。

第三章是詳細介紹整個系統的運作方式，分為四種操作模式，一個為區塊電路測試模式 (Block Circuit Test Mode)，另一個為眼圖張開測試模式 (Eye Diagram Test Mode)。其中，數位/類比訊號轉換器與數位控制延遲電路之控制位元能選擇內部自動計數，稱為自動控制測試模式 (Auto Control Test Mode)；另一種是手動控制測試模式 (Manual Control Test Mode)，也就是可依照使用者的需求，選擇數位/類比訊號轉換器與數位控制延遲電路之輸入控制碼 (Control Code)，以上，將在此章做詳細的介紹。在高速的領域中，電路的佈局將是很重要的一環。第三章我們也會介紹電路的佈局圖，點出佈局設計的要點，以及說明晶片的封裝以及打線方式，並有電路佈局後模擬的結果圖形，藉此驗證電路的效能與預期接近。此章最後的小節，將介紹腳位 (Pin) 功能描述。

第四章將介紹測試環境，包含測試儀器以及測試的流程與項目。最後的章節，第五章將整理出晶片之規格表，以及討論高速序列傳輸之內建自我測試電路設計，未來能夠的努力方向。

第2章

電路設計



2-1 系統行為

高速序列傳輸之內建自我測試電路設計，是為了量產測試眼圖，有沒有將電位張開到規格所需要的電壓。主要的方式是使用取樣並保持電路，去把發射端的輸出電壓值抓取下來，並且透過比較器去判斷此電壓，有沒有大於最小需要張開的數值。圖 2.1是 PCI Express 2.0 之眼圖規格，PCI Express 2.0 頻寬之速度為 2.5Gbps，每一個位元的單元間隔 (Unit Interval : UI) 為 400ps，發射端輸出的眼圖之振幅最大範圍為差動正負 600mV，最小振幅為差動正負 400mV，最小眼圖寬度為 300ps。

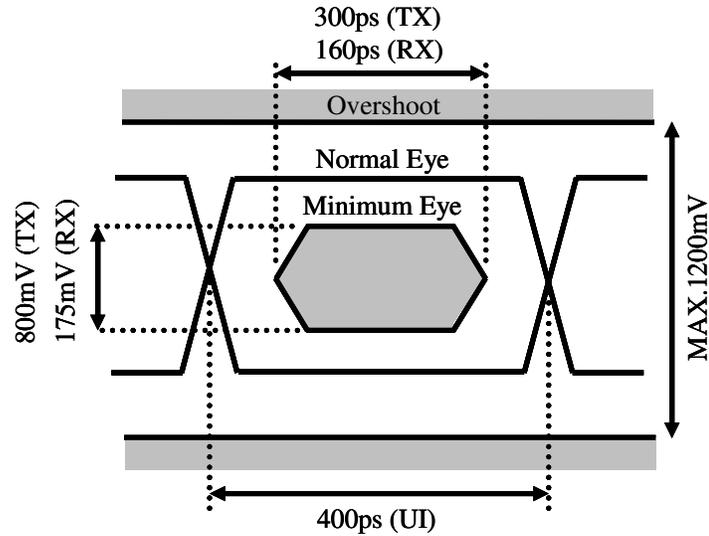


圖 2.1 PCI Express 2.0 之眼圖規格

圖 2.2 是量測結果之示意圖，藍色之 X 軸代表數位控制延遲電路的延遲時間 Δt ，紅色之 Y 軸代表數位/類比訊號轉換器的輸出電壓 Δv 。首先我們先固定第一組 t_1 ，然後掃完整個 Δv 的範圍從 V_1 至 V_6 ，在往右增加一個 Δt 的時間，變成 t_2 ，然後自動掃完整個 Δv 的範圍，直到掃完整個眼圖為止，即可知道整個眼圖沒有張開之錯誤所分布的情形，進而判斷，由發射端所送出的電壓，有沒有符合指定眼圖遮蔽的規格。

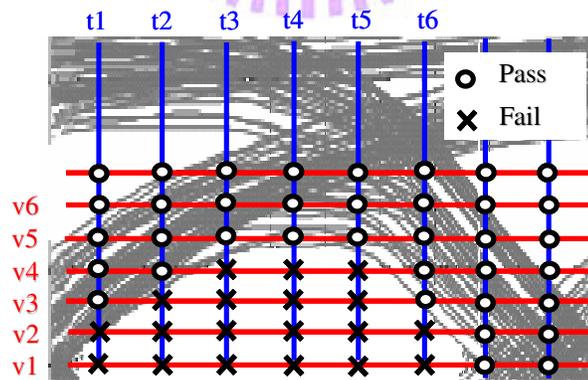


圖 2.2 內建自我測試電路量測結果之示意圖

整個系統主要分為五個區塊的電路，有數位控制延遲電路、數位/類比訊號轉換器、取樣並保持電路、比較器、計數器，以及一些數位控制電路…等等。

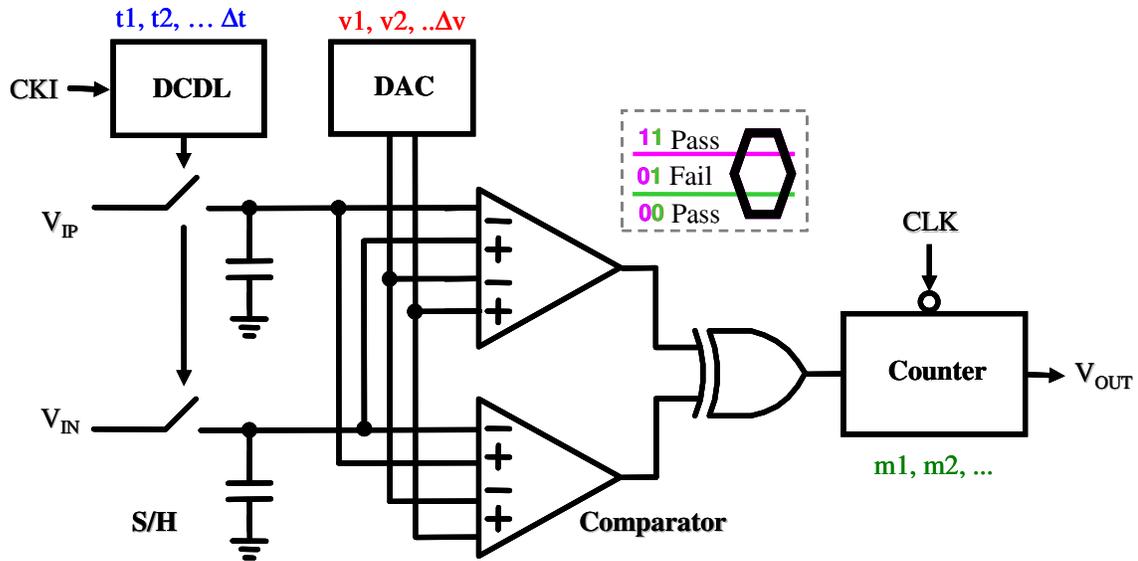


圖 2.3 內建自我測試電路之示意圖

圖 2.3 是內建自我測試電路之示意圖。取樣並保持電路主要的作用是抓取發射端 2.5Gbps 的資料，將值送到比較器的輸入端，並與數位/類比訊號轉換器所輸出的差動電壓去做比較。數位控制延遲電路是負責產生單位延遲時間 (Unit Delay Time: T_D) 的時脈，提供給取樣並保持電路。數位/類比訊號轉換器是負責產生不同的差動電壓輸出。比較器的輸入訊號，是由取樣並保持電路與數位/類比訊號轉換器所提供，取樣並保持電路提供取樣後之傳輸端的輸出訊號，數位/類比訊號轉換器提供不同的比較電壓 Δv ，整個系統使用到兩個全差動的比較器，一個負責比較數位/類比訊號轉換器所輸出的差動正電壓準位，一個負責比較數位/類比訊號轉換器所輸出的差動負電壓準位，兩的比較器的輸出使用互斥邏輯閘 (Exclusive OR Gate: XOR) 做運算，用來區分取樣到的信號，是介於差動正負電壓之間，或是在差動正負電壓之外，互斥邏輯閘之輸出，送給下一級的計數器作計數。計數器負責計數次數，也就是計數落在高電壓準位，以及高電壓準位之外的次數。

2-2 區塊電路規格

為了得到完整的眼圖，數位控制延遲電路的總延遲時間 (Total delay time : $T_{D,total}$) 在 Fast-Fast Case 的情況下，至少要大於一個眼圖的大小，解析度在影響眼圖的 X 軸，依據 Jitter Budget 中的規格，隨機時脈抖動 (Random Jitter : RJ) 的一個標準差 (Sigma) 為 2.8ps，所以在 Slow-Slow Case 的情況下，解析度最大只能有 2.8ps。外部設備互聯總線第二代基本規格要求中，明確定義發射端的眼圖高度為差動正負 600mV，因此，數位/類比訊號轉換器的差動輸出電壓為正負 0.6V。假設取樣並保持電路、數位/類比訊號轉換器、比較器電路之預設總錯誤的量為 5%，假設取樣並保持電路有 2% 的錯誤量，接收端最小眼圖眼圖的大小為 175mV，因此，取樣並保持電路有 3.5mV 的誤差量，比較器有 1mV 的誤差量。傳輸端之內部時脈有內建 250MHz 和 2.5GHz，因此設計比較器頻寬為 250MHz。依據外部設備互聯總線第二代基本規格要求，每個點至少需要取樣 10^6 次，所以計數器需要計數一百萬次以上，表 2.1 是建構區塊之規格表。

表 2.1 建構區塊之規格表

Block	Function	Value	Unit
DCDL Δt	Range	>400 (1U.I.)	ps
	Resolution	2.8 (PSNS)	ps
	Control bit	8	bits
DAC Δv	Range	1200m	V
	Resolution	4.68m	V
	Control Bit	8	bits
S/H	Error	3.5m	V
Comparator	Bandwidth	250M	Hz
	Gain	53	dB
	Max. offset	1m	V
Counter m	Frequency	250M	Hz
	Count number	10^6	bits

2-3 區塊電路

2-3-1 取樣並保持電路

取樣並保持電路主要的作用是抓取發射端 2.5Gbps 的資料，將值送到比較器輸入端，與數位/類比訊號轉換器之輸出電壓去比較電壓高低。

關於取樣並保持電路時脈的速度，需要考量到發射端之輸出眼圖的規格和可容許之誤差，才能夠及時抓取資料。考慮發射端的輸出訊號，會有時好時壞的眼圖。從外部設

備互聯總線第二代基本規格要求中得知，其轉態時間 (Transition Time) 從 20% 至 80% 為 0.125 UI，我們預估從 1% 至 99% 為 1/4 UI，所以對於傳輸端輸出的眼圖，可以視為較佳的狀況，就如同 5GHz 的時脈，如圖 2.4 之上圖 Typical Eye；而傳輸端較差的眼圖，如圖 2.4 之下圖 Worst Eye，可以視為 1.25GHz 的時脈，轉態時間為 1/2UI。

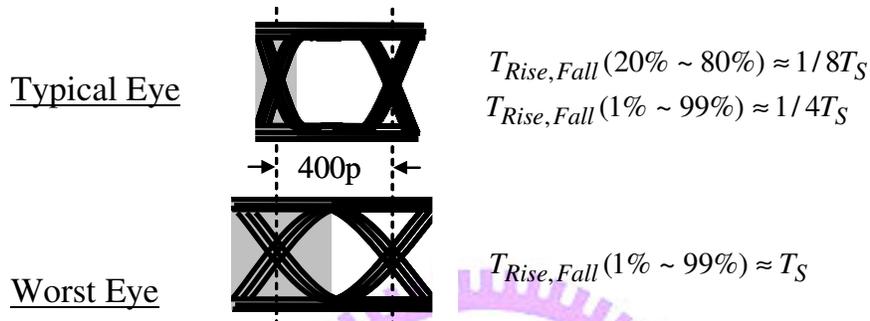


圖 2.4 優劣眼圖之示意圖

接著，我們把取樣並保持電路模擬成簡單的電阻-電容單極點 (R-C Single Pole) 系統，如圖 2.5，在操作頻率下，我們需要錯誤率 V_{ERROR} 為 0.05% 以內，也就是增益 (Gain) 為 0.95。

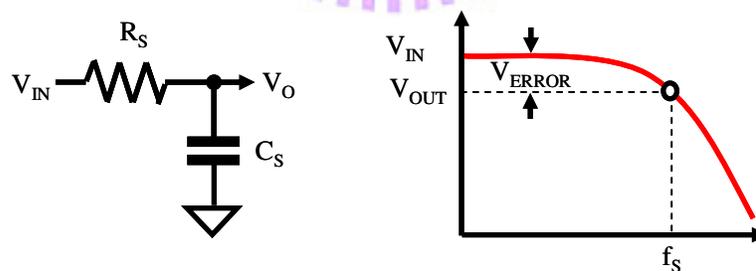


圖 2.5 電阻-電容網路之時間常數

f_S 為操作的頻率，經過移項，得知 τ 與頻率的關係。

$$|V_{\text{ERROR}}(f_S)| \leq 0.05V_I \quad (1)$$

$$\frac{1}{\sqrt{1+(2\pi f_S R_S C_S)^2}} = 0.95 \quad (2)$$

$$1+(2\pi f_S R_S C_S)^2 \approx 1.108, 2\pi f_S R_S C_S \approx 0.329 \quad (3)$$

$$R_S C_S \approx \frac{0.329}{2\pi} T_S \approx 0.0523 T_S \quad (4)$$

帶入對取樣並保持電路來說，最差的情況， f_S 為 5GHz，也就是 T_S 為 200ps，則 $R_S C_S$ 為 10.47ps，開關電阻 (Switch Resistor) 的開關阻抗選最小的值， R_S 為 20 歐姆，則 C_S 等於 0.523 pF (Pico Farad)。保持電容 (Hold Capacitor) C_S 為開關電阻的寄生電容 C_{SW} 加上負載電容 C_L 的容值，根據模擬結果得知開關電阻的寄生電容為 0.1~0.15pF，則需要 0.4pF 的保持電容。

圖 2.6 是取樣並保持電路之電路圖，為了提高閘極 (Gate) 與汲極 (Drain) 的壓差，藉以降低電晶體的尺寸，並得到較穩定的阻值，輸入共模電壓 (Input Common Mode Voltage) 設計為 0.7V，開關電阻採用 2.5V 厚氧化膜 (Thick Oxide) 的 N 型電晶體 (N-Type Transistor)。

由於取樣並保持電路需要 2.5V 的參考時脈，但數位控制延遲電路的輸出是 1V 的電壓，因此我們需要時脈緩衝器 (Clock Buffer) 將電位從 1V 變 2.5V。X1 是一個 Pseudo-N 電晶體反相器 (Pseudo-NMOS Inverter)，輸出電壓為 0.2~2.5V 之間，提供 2.5V 電壓給取樣並保持電路。需注意 Pseudo-N 電晶體反相器的尺寸，如果將輸出範圍 (Output Swing Range) 設計最大，可將 N 電晶體尺寸變大，不過輸出準位會變很低，而且上升

時間與下降時間 (Rise Time and Fall Time) 會差很多，下降時間變很快，上升變很慢，反之亦然。

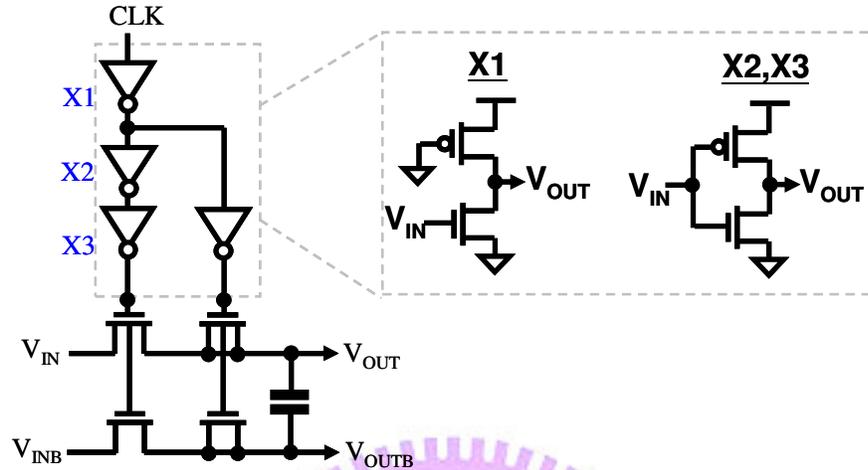


圖 2.6 取樣並保持電路之電路圖

2-3-2 數位/類比訊號轉換器

數位/類比訊號轉換器的主要作用，是負責產生不同的電壓輸出 Δv 。數位/類比訊號轉換器的解析度為 4.68mV，輸出電壓範圍是差動正負 600mV，我們可藉由內部或外部控制，來改變數位/類比訊號轉換器不同的輸出電壓，詳細的控制方式，將在第三章解說系統時，有詳細的說明。

我們所需要的數位/類比訊號轉換器不要求速度，精準度更為重要，成本不能太高，對製程漂移 (Process Variation) 的影響，不能太敏感，因為不要求頻寬，所以我們用高長度 (High Length) 的元件設計，考慮到被動元件 (Passive Device) 如果使用太多，八位元 (Bits) 的面積將會變很大，考慮上述多項原因，所以使用的二進位碼權重電流切換

式數位類比轉換器 (Current-Mode Binary DACs) 的架構。電路分為四大區塊，如圖 2.7，由左至右依序為四位元的微調電路 (Fine Tune Circuit)、四位元的粗調電路 (Coarse Tune Circuit)、校正電路 (Calibration Circuit)、電流鏡射電路 (Current Mirror Circuit) 等。

成本的考量，降低電流源的面積，將數位控制延遲電路分為兩個區塊，粗調電路以及微調電路。關於粗調電路與微調電路，最上層的 P 型電晶體 M1 是電流源 (Current Source)，第三層是開關電晶體 M3，最下層的 N 型電晶體 M4 是二極體連結負載 (Diode-Connected Load) 的方式，將電晶體之閘極與汲極短路，使電晶體等效成二極體負載，閘極與汲極有相同電位，所以電晶體一直保持在飽和區 (Saturation Region)。電路的基本精神是，粗調電路以及微調電路，透過二極體連結負載，將電流鏡射至輸出，也就是輸出電壓等於流經電晶體 M5 及電晶體 M6 的電流乘上頂部的電阻。微調電路透過控制端，可將微調電路切割為 16 份電流，1/16 份電流就是只開一組微調電路，16/16 份電流就是微調電路全部關閉，只開啟一份粗調的電流。

成本的考量，降低電流源的面積，將數位控制延遲電路分為兩個區塊，粗調電路以及微調電路。關於粗調電路與微調電路，最上層的 P 型電晶體 M1 是電流源 (Current Source)，第三層是開關電晶體 M3，最下層的 N 型電晶體 M4 是二極體連結負載 (Diode-Connected Load) 的方式，將電晶體之閘極與汲極短路，使電晶體等效成二極體負載，閘極與汲極有相同電位，所以電晶體一直保持在飽和區 (Saturation Region)。電路的基本精神是，粗調電路以及微調電路，透過二極體連結負載，將電流鏡射至輸出，也就是輸出電壓等於流經電晶體 M5 及電晶體 M6 的電流乘上頂部的電阻。微調電路透過控制端，可將微調電路切割為 16 份電流，1/16 份電流就是只開一組微調電路，16/16

份電流就是微調電路全部關閉，只開啟一份粗調的電流。

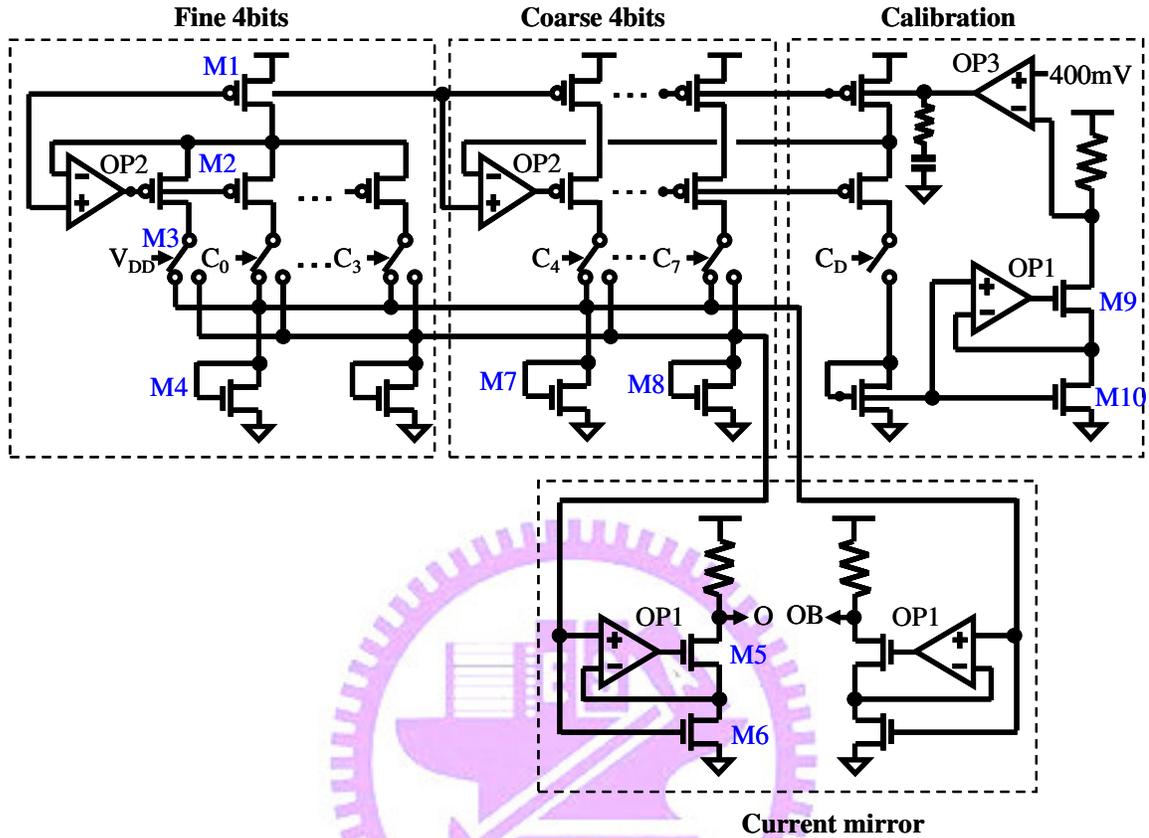


圖 2.7 數位/類比訊號轉換器之電路圖

最上層的 P 型電晶體 $M1$ 是電流源，為了讓電流源成為定電流源 (Constant Current Source)，就是讓 V_G 與 V_D 電位相同，所以我們在微調條電路及粗調電路，都各加入一顆運算放大器 (Operational Amplifier: OP, OPA, OP-Amp) $OP2$ 與電晶體 $M2$ ，讓運算放大器兩端固定在相同電位。

電流鏡射電路的輸出電壓範圍希望是差動正負 $600mV$ ，也就是電壓範圍是 $400mV$ 至 $1V$ ，微調電路疊接 (Cascode) 了四級，頂部空間 (Head Room) 至少耗掉 $400mV$ ，很難讓輸出有差動正負 $600mV$ 的電壓範圍，所以電流鏡射電路的輸出部份，原本我們採用 P 型電晶體與 N 型電晶體疊接的方式，P 型電晶體當成是壓控電阻，讓輸出電壓

的擺幅能達成規格。但是，使用 P 型電晶體當電阻，會有阻抗線性度不佳的問題，於是改成一顆真正的電阻，選用高阻抗的多晶矽電阻 (High Resistance Poly Resistor)。為了讓二極體連結負載之 M8，能忠實的將電流完整鏡射至電流鏡射電路的電晶體 M6，同理，就是讓電晶體 M6 也成為定電流源，必須保證電晶體 M8 的 V_{GS} 必需等於電晶體 M6 的 V_{GS} ，因此，我們也加入一顆運算放大器 OP1 與電晶體 M5。經由圖 2.8 的分析，可見到加入運算放大器後，對於電流的線性度，即刻有顯著的改善效果。

運算放大器 OP1/2 運算放大器是具主動式負載之全差動運算放大器 (Fully Differential Operational Amplifier with Active Load)，雙端輸入，單端輸出，電流源提供電流給輸入差動對 (Input Differential Pair)，電流鏡則為輸入差動對的主動式負載。為

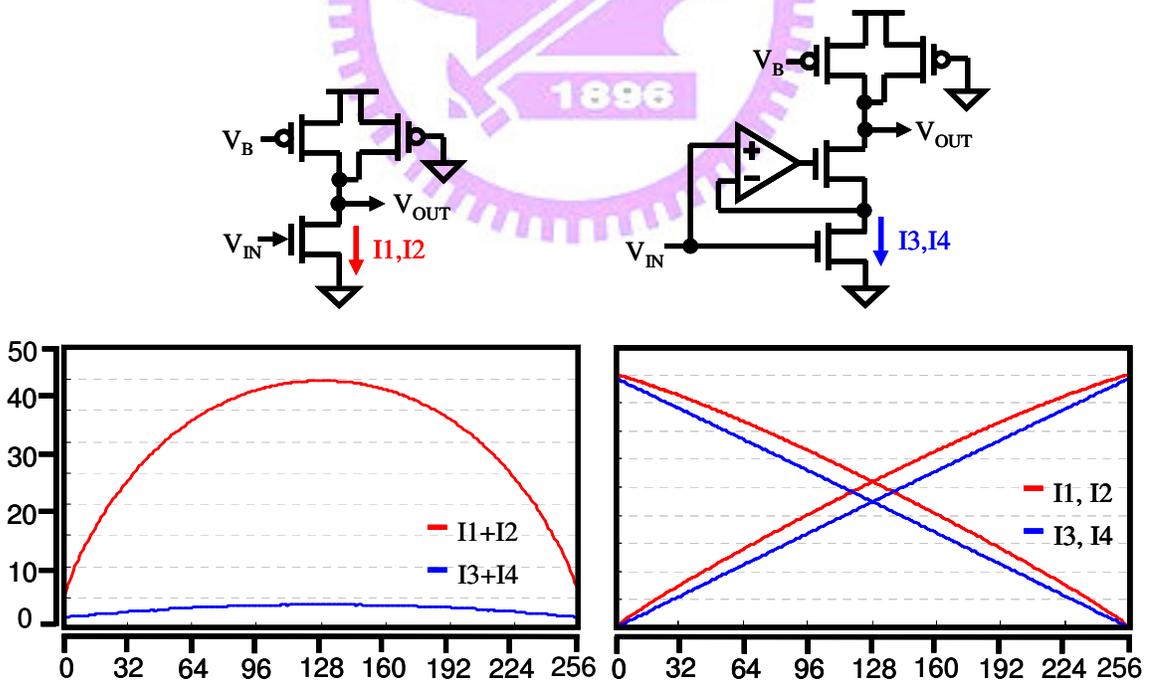


圖 2.8 電流源架構之比較圖

了得到兩種不同的輸出共模電壓，一個設計為 P 型電晶體的輸入差動對 (P-Type Input

Differential Pair)，另一個是 N 型電晶體的輸入差動對。圖 2.9 之左圖為 N 型電晶體具主動式負載之全差動運算放大器，右圖為 P 型電晶體具主動式負載之全差動運算放大器。將運算放大器 OP1/2 設計為一階單級的架構，運算放大器 OP1 為 N 型電晶體的輸入差動對，適合高輸入共模電壓的準位，輸入共模電壓範圍為 0.1~0.6V，輸出共模電壓約為 0.7V，OP2 為 P 型的電晶體，適合低輸入共模電壓的準位，輸入共模電壓為 0.3~0.9V，輸出共模電壓為 0.3V。另外，為了補償製程漂移，我們設計了自我校正 (Self-Calibration) 的功能，讓數位/類比訊號轉換器能降低對製程漂移的敏感度。校正電路是複製多一組粗調電路，如圖 2.10，多增加一個讓系統穩定的串聯電阻-電容 (R-C Series)，多增加一顆負回授運算放大器 (Negative-Feedback Amplifier)，以及多複製一組電流鏡射電路。

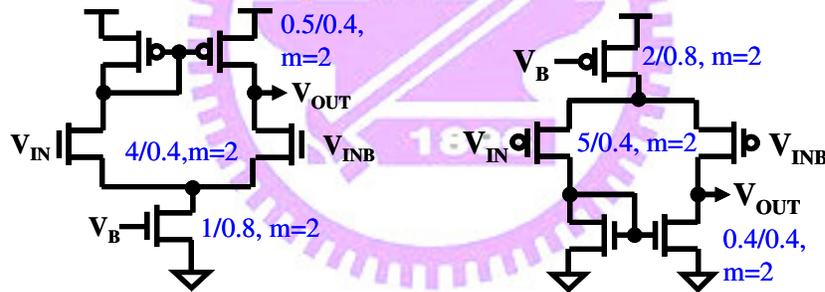


圖 2.9 N 與 P 型電晶體具主動式負載之全差動運算放大器之電路圖

負回授運算放大器的正端接到直流 (DC) 偏壓電壓 400mV，負端輸入接到複製電流鏡射電路之電阻，輸出的拉到複製粗調電路之電流源開極端。如果負回授有鎖住，增益也足夠大，輸入兩端電位會是剛好 400mV，此時，粗調電路與微調電路的開關為全開或全關的狀況，電流鏡射電路的一端 (O 或是 OB) 將拿到全數的電流，另一端則幾乎沒有電流，此機制可以確保輸出電壓的最高以及最低電壓範圍會等於 1V 至 400mV 之間，差動正負 600mV (OB=VDD, O=400mV 或 O=VDD, OB=400mV)。萬一發生製程漂移，

第二章 電路設計

假設負回授放大器的負端小於 400mV，負回授放大器的輸出電壓將被提高，複製粗調電路的電流源 上升，複製粗調電路的電流將降低，電晶體 M10 的電流也會下降，然後，電晶體 M9 源極電壓上昇，電晶體 M9 汲極電壓也會上升。如果負回授放大器的負端電位，依然比 400mV 還低或是還有電壓差，電路會重覆此動作，直到完成負回授放大器兩端電壓一樣為止，以上即為自我校正的方式。

為了產生理想的電流鏡與固定的電壓輸出範圍，數位/類比訊號轉換器共使用了 6 顆運算放大器，形成許多回授迴路 (Feedback Loop)。以校正電路來說，如圖 2.10，因此有三個迴路，必需都要符合巴克豪森準則 (Barkhausen Criterion)，否則相位邊限 (Phase Margin) 如果不夠，會導致系統不穩定，則運算放大器無法使用在回授系統上。

圖 2.11 是數位/類比訊號轉換器輸出不穩定的現象。一開始，數位/類比訊號轉換器 DACOUT 和 DACOUTB 腳位之直流準位分別在 400mV 以及 1V 的準位，當電路開始運作後，卻完全不受控制訊號的控制，而任意上下跳動，造成數位/類比訊號轉換器輸出不穩定的現象。

頻率響應圖 (Frequency Response) 的振幅圖 (Magnitude Plot)，顯示電壓增益如何隨著頻率而改變，可由波德圖 (Bode Plot) 觀察電壓增益與頻率之間關係。橫軸以對數座標 (Log Coordinates)，表示頻率值，單位為 Hz；縱軸則以線性座標，表示電壓增益值，單位為 dB。波德圖的另一半是相位圖 (Phase Plot)，代表相位移 (Phase Shift) 與頻率之間的變化關係；通常是以相位移度數和頻率來顯示的關係圖。由圖 2.12 之頻率響應圖我們看到，沒有加串聯電阻-電容，相位超過 180° 導致系統不穩定。

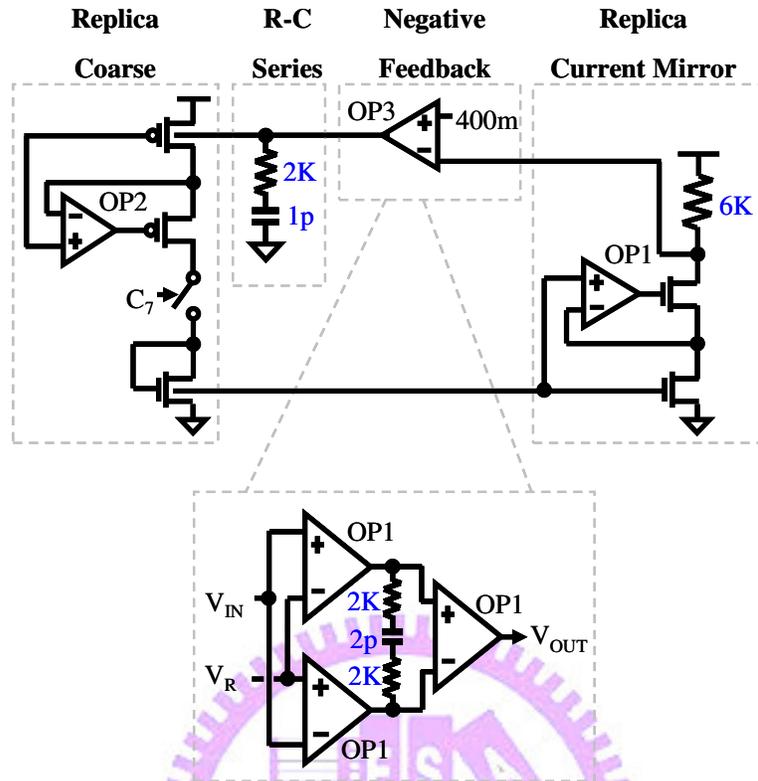


圖 2.10 校正電路之電路圖

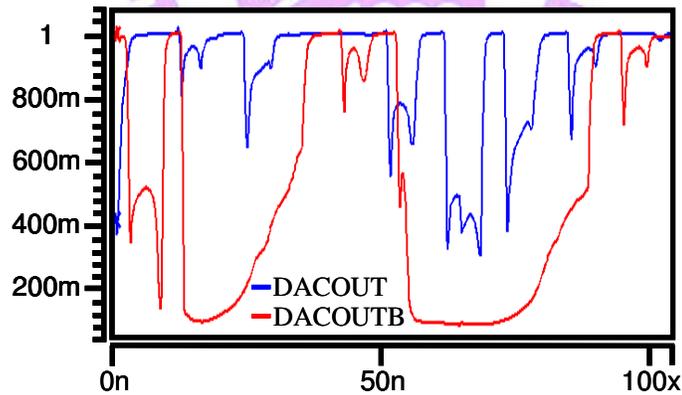


圖 2.11 數位/類比訊號轉換器系統不穩定之波形

增加單極點 (Single Pole) ，則響應曲線在振幅或增益波德圖裡的下降率 (Roll-Off Rte) 為-20 dB/Decade 或-6 db/Octave ，其中極點頻率的增益值比直流增益值減少 3 dB ，相位圖裡的相移值則為-45° ，並以-45°/Decade 的速率向極點頻率的兩邊延伸至 0° 和-90

°；增加單零點 (Single Zero)，則響應曲線在振幅或增益波德圖裡會以+20 dB/Decade 或+6 db/Octave 的速率逐漸上升；其中零點頻率的增益值比直流增益值增高 3 dB，相位圖裡的相移值則為+45°，並以+45°/Decade 的速率向零點頻率的兩邊延伸至 0°和+90°。

因此，我們加入了一個補償電路，單一時間常數 (Single Time Constant : STC) 的電路，即是一階電路串聯電阻-電容，利用極點-零點補償法 (Pole-Zero Compensation)，增加一個極點和一個零點。其中，極點往內移，極點遠小於零點，零點的位置約為迴路增益 (Loop Gain) 為零之頻率，加入此補償電路，即可使系統由不穩定，變成相位邊限 37°，而數位/類比訊號轉換器的輸出電壓即可隨著控制訊號而變化，如圖 2.13，同時也顯示出不同角落模型 (Corner Model) 的頻率響應圖。

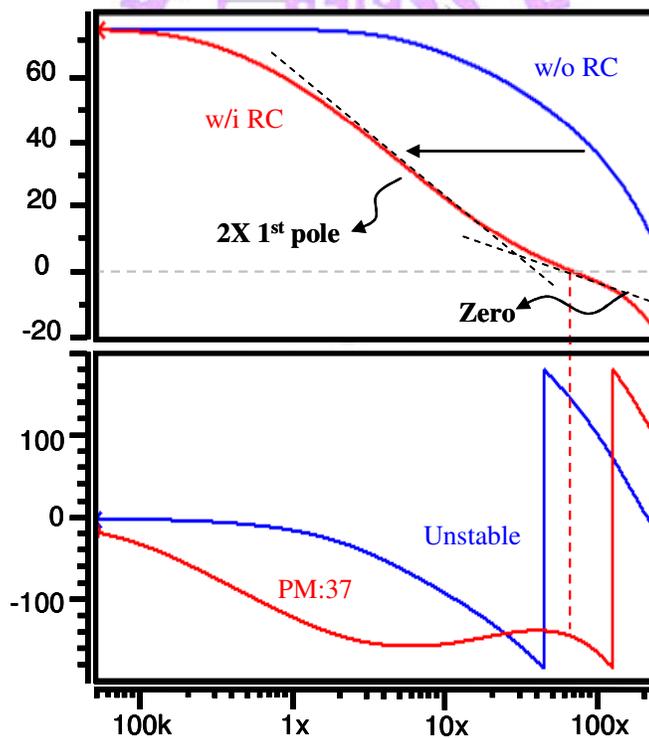


圖 2.12 頻率響應圖之有/無串聯電阻-電容

晶片製造完成後，可以透過觀察數位/類比訊號轉換器的輸出，確認數位/類比訊號

轉換器是否正確工作。在訊號輸出端，加上輸出緩衝器 (Output Buffer)，觀察輸出電壓，用於推動輸出鉀墊 (Bonding Pad) 以及晶片外部測試儀器的負載，避免信號因儀器負載過大而衰減。

圖 2.14 為輸出緩衝器之電路圖，可以推動輸出負載約為 2~5pF 輸出緩衝器，是由三顆運算放大器所組成，電源提供使用 2.5V。此電路有兩個極點，相位會馬上掉 180°，所以我們也加入串聯電阻-電容，使用極點-零點補償法，讓零點在極點之前發生，系統即可穩定。

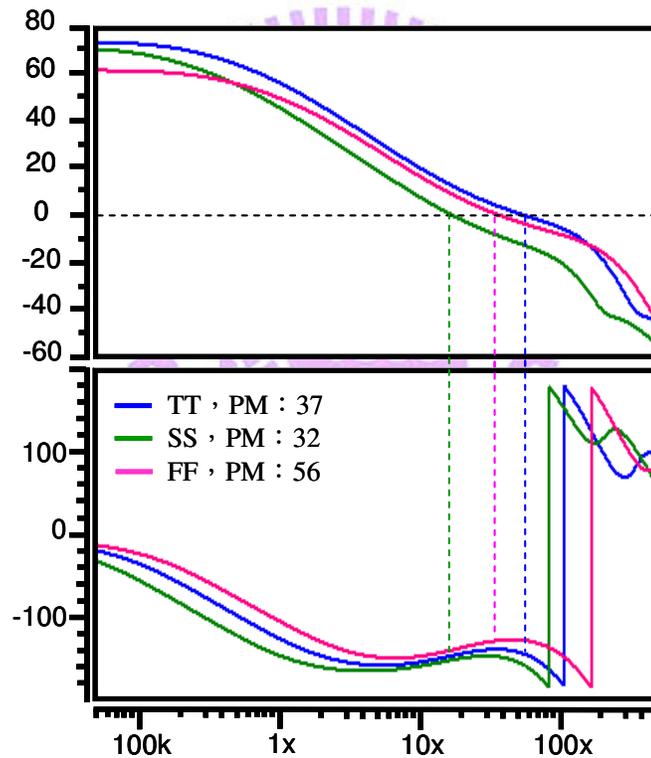


圖 2.13 校正電路之頻率響應圖

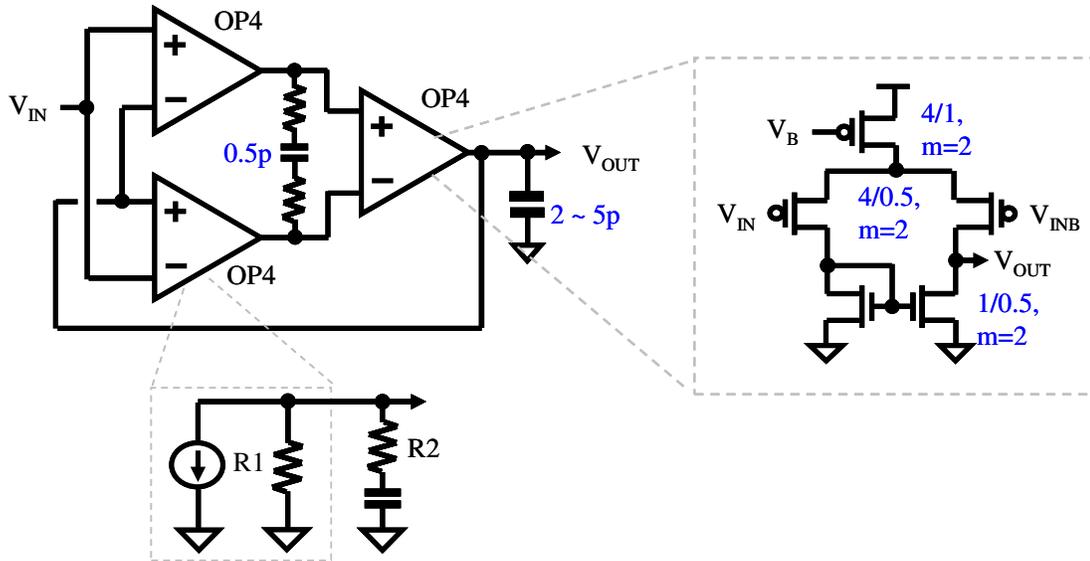


圖 2.14 輸出緩衝器之電路圖

運算放大器本身在高頻響應是屬於低通濾波的效果，故僅需在運算放大器的輸出，放入一個單階低通電阻-電容網路，即可做頻率補償，極點-零點補償法就是去除原第一極點，增加一個零點，來消除原第一極點。運算放大器可以等效看成電流和電阻的模型，與加入串聯電阻-電容電路，其頻率響應函數為

$$H(jf) = \frac{1 + j(f/f_z)}{1 + j(f/f_p)} \quad (5)$$

串聯電阻-電容電路是電容與電阻先串聯，在與輸出端並聯，可利用電壓測試法看出，輸出兩端為等電位，因此，電流之大小僅由串聯網路所決定。所以，此電路的零點

頻率為 $f_z = \frac{1}{2\pi R_2 C}$ ，主極點頻率為 $f_p = \frac{1}{2\pi(R_1 + R_2)C}$ ，如果負載效應可以忽略，

那麼只要選擇 R_2 和 C 值，使其滿足頻寬的需求，而迴路增益為零之頻率，相位就會小於 180° ，系統即可穩定。補償電路的電阻，用兩顆 N 電晶體當作電阻，電容是 0.5pF 。

圖 2.15與

圖 2.16分別是預先模擬直流與交流 (AC) 特之模擬，考慮最差以及最佳的狀態，相位都小於 180° 。

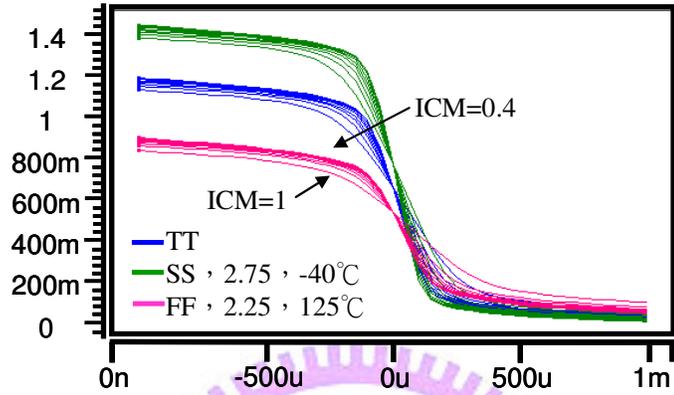


圖 2.15 輸出緩衝器之輸入共模電壓圖

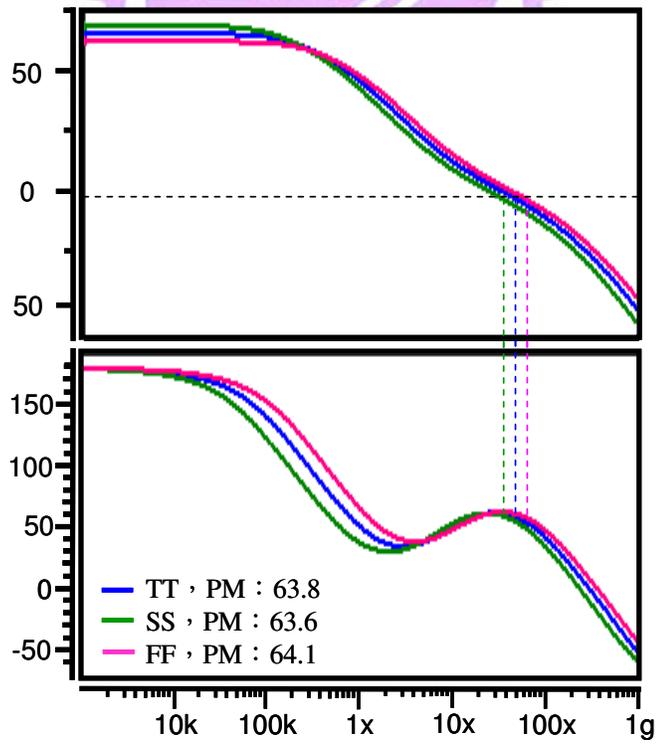


圖 2.16 輸出緩衝器之頻率響應圖

佈局後模擬中，如

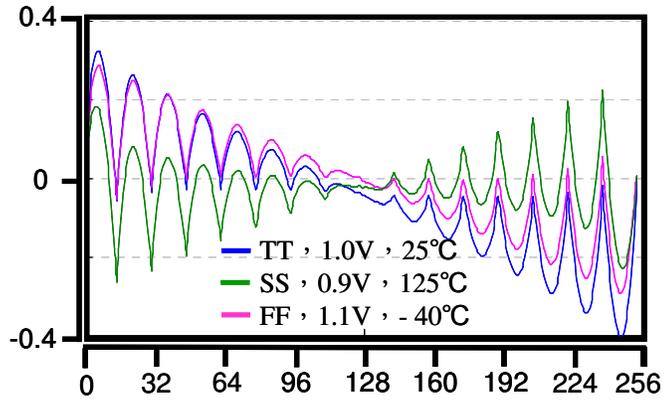


圖 2.17，為數位/類比訊號轉換器於條件最差的條件情況下，溫度 125°C，電源為 0.9V，積分非線性(INL)差僅為 $\pm 0.404\text{LSB}$ ；

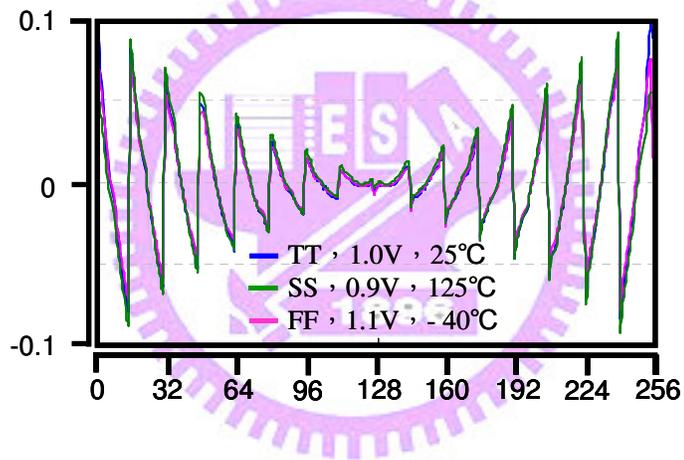


圖 2.18為 $\pm 0.10\text{LSB}$ 之差分非線性(DNL)。

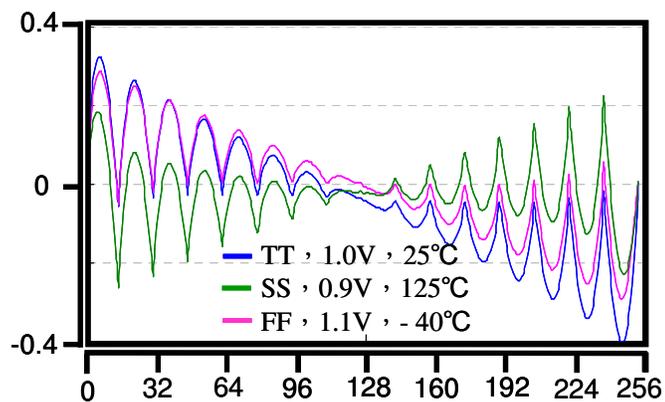


圖 2.17 數位/類比訊號轉換器之積分非線性

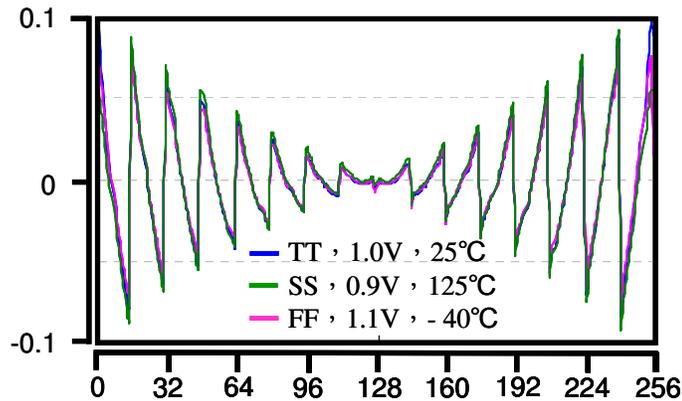


圖 2.18 數位/類比訊號轉換器之差分非線性

2-3-3 數位控制延遲電路

數位控制延遲電路的主要作用，是負責產生單位延遲時間的時脈給取樣並保持電路。數位控制延遲電路之 T_D 為 2.8ps，總延遲時間是至少要大於一個眼圖的寬度，一個 UI，也就是要大於 400ps。由發射端產生 250MHz 的時脈，提供給數位控制延遲電路當輸入時脈。我們可藉由內部或外部控制，來改變數位控制延遲電路不同的延遲時間，詳細的控制方式，將於第三章解說系統時，有詳細的說明。

為了符合低成本，我們傾向使用數位方式的方式來實現數位控制延遲電路，如此設計將不會因為製程的改變，就得要重新設計一次電路的參數。數位控制延遲電路最典型的架構就是採用串接式 (Cascade) 的電路架構，另一種是樹狀 (Tree Type) 多工器 (Multiplexer: MUX)，兩個架構的主要差別是多工器的擺放方式，此兩個電路都會分為粗調延遲元件 (Coarse Tune Delay Cell) 以及微調延遲元件 (Fine Tune Delay Cell)，後

面我們將介紹不同的粗調延遲元件以及微調延遲元件。當延遲元件 (Delay cell) 串接並產生延遲訊號時，要利用多工器把延遲訊號送出去，有三種常見的方式，第一種方式是採用多對一的多工器，如圖 2.19，是使用溫度計碼 (Thermometer Code) 的控制方式，缺點是輸出負載大，速度慢，在我們的設計並不適合；第二種方式是如圖 2.20，延遲元件以一倍、兩倍、四倍的延遲時間並採用串接的方式，將二對一的多工器，安插進延遲元件中，利用二進位碼 (Binary Code) 的控制，優點是多工器的使用數量較少，只需要 n 位元的多工器，不過卻有嚴重的解析度變異 (Resolution Variation) 的問題；最後一種方式，如圖 2.21，每個延遲元件之延遲時間皆相同，採用串接的方式，也是使用二對一的多工器，以樹狀的擺放方式，需要 $2^n - 1$ 個多工器，也是利用二進位字碼 (Binary Code) 的控制方式，優點是每個多工器路徑長度都相同，而且比串接的路徑短很多。

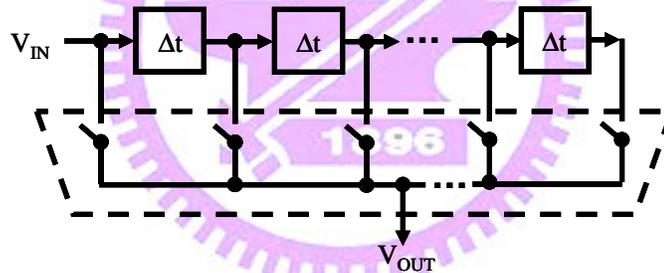


圖 2.19 樹狀多工器之示意圖(多對一)

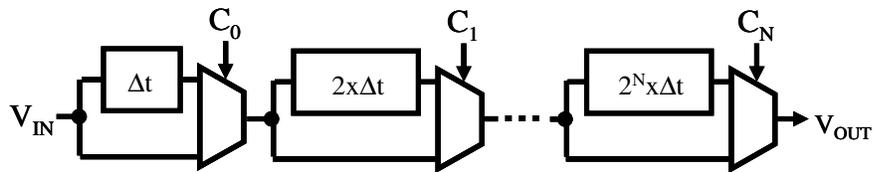


圖 2.20 串接式多工器之示意圖(二對一)

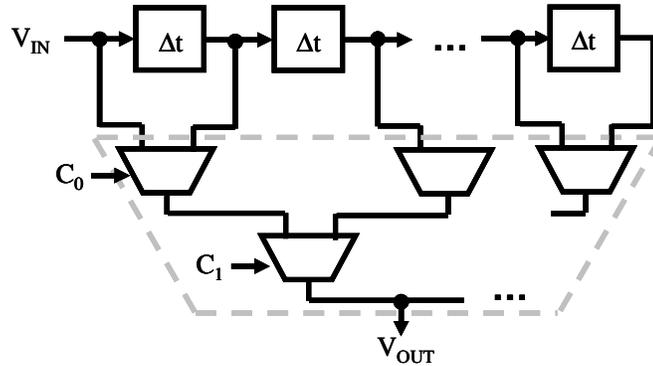


圖 2.21 樹狀多工器之示意圖(二對一)

我們針對第二種樹狀式及第三種串接式來討論解析度變異的問題，理論上，這兩種方式差別只是選取方式與速度，但事實上，不同的選取方式，等效 T_D 也會改變。主要原因是多工器輸入兩端，在開啟以及關閉時，所看到負載並不不同的緣故，以下將對兩種架構，討論解析度變異的問題。

先看樹狀式的架構，圖 2.22 是樹狀多工器所造成解析度變異之示意圖，如果給二進位碼的控制訊號 001，則輸出會從左邊第一個節點 (Node) 被選出來，經過 T_1 的延遲時間；給二進位碼的控制訊號 010，輸出會從第二個節點出來，第一個節點的多工器是左開右關閉的，節點一所看到的負載會較低，所以會經過一個比較小的延遲時間 T_{1B} ，才再經過一個 T_1 的延遲時間；給二進位碼的控制訊號 011，輸出會從第三個節點被選出來，第一個節點是導通的，所以延遲時間是 T_1 ，第二個節點多工器為左關閉右開啟，延遲時間為 T_{1B} ，第三個節點又是 T_1 ；經由上述可觀察出，理想上，單位延遲時間會是一樣，像一條水平線，但事實上，可以看到結果，多工器開啟的一端，負載大，關閉之一端，負載較小，因而造成單位延遲時間有上上下下跳動的情形。

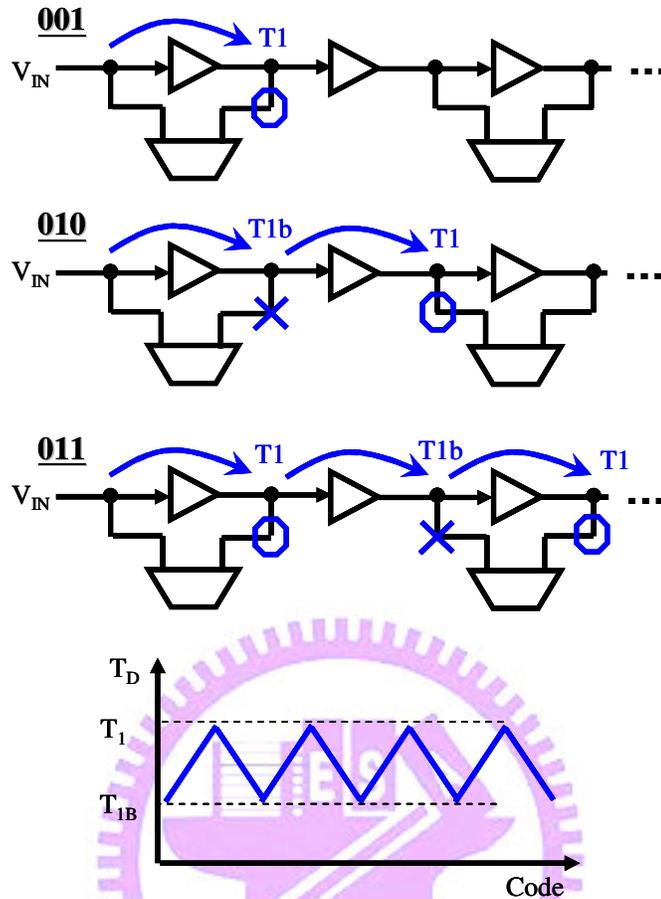


圖 2.22 樹狀多工器所造成解析度變異之示意圖

理想上，串接式架構的延遲時間是以倍數成長，如圖 2.23 所示，第一級的延遲時間如果是 T_1 ，第二級就是兩倍 T_1 ，由此類推。但實際上，不會剛好等於兩倍延遲時間，由於製程變異 (Process Variation) 或是佈局技巧，將導致延遲元件不相等之誤差。以三位元來說，我們假設此誤差時間，因不同級而有不同的延遲誤差，第一級誤差為減少 Δt_1 ，第二級誤差為減少 Δt_2 ，當控制碼給 000 時，延遲時間幾乎為零，控制碼給 001 時，延遲時間為 T_1 ，控制碼給 010 時，延遲時間為 $2T_1 - \Delta t_1$ ，控制碼給 011 時，延遲時間 $3T_1 - \Delta t_1$ ，以此類推。比較兩級之間，在不同控制碼之延遲時間大小的誤差，依序分別為 T_1 、 $T_1 - \Delta t_1$ 、 T_1 、...，我們把結果畫成圖型，即可清楚見到，二進位碼的控制，會剛好以中間碼為誤差最大的地方，兩邊是對稱性的圖形分布。串接式架構的扇

出數 (Fan-Out) 較樹狀式架構小，而 T_D 也會比樹狀式小。

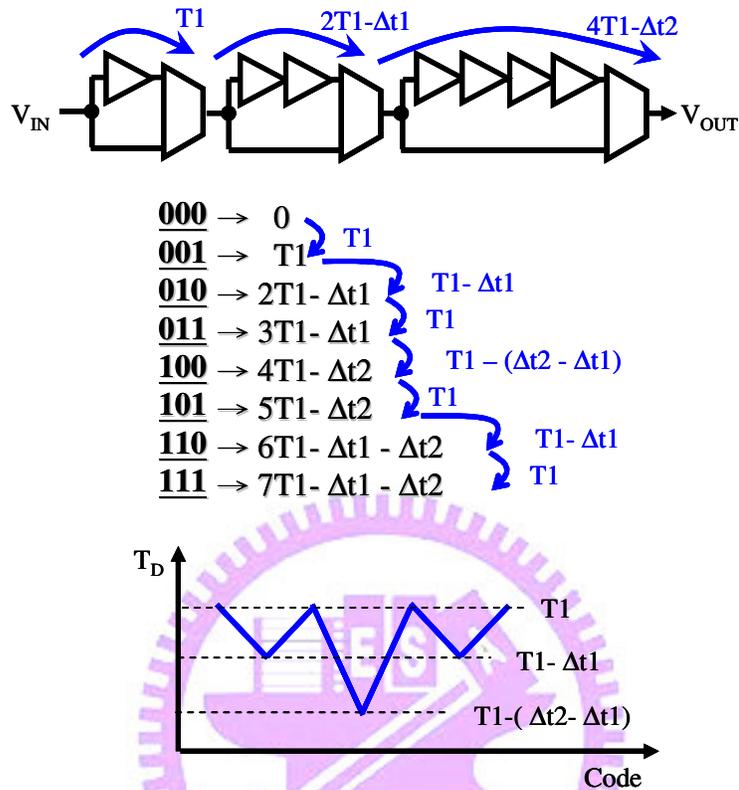


圖 2.23 串接式多工器所造成解析度變異之示意圖

關於粗調延遲元件，我們使用三種延遲元件，第一種是最單純的一顆反相器 (Inverter)，第二種是兩級串接的反相器，最後一種是防止製程漂移的可調式反相器 (Adjustable Inverter)，這三種延遲元件，搭配前面所介紹的兩種多工器架構，串接式與樹狀式架構，產生出六種變化。以下，將對此六種變化做分析。

1. 單一級反相器

每一個延遲元件 Δt ，皆為單一級反相器，輸出相位有正有負，所以單一級反相器的單位延遲時間變化量 (Unit Delay Time Variation: ΔT_D)，最差的情況

是 $\text{Max.}(|T_{Dn} - \overline{T_D}|)$ 。所謂 ΔT_D 是 T_D 減去平均之 T_D ，取絕對值後，最大之值即為 ΔT_D 。

- 樹狀式架構

樹狀式架構搭配單一級反相器的延遲元件。在 Typical-Typical Case 中， T_D 的平均值約為 22.3ps， $T_{D,total}$ 為 334.1ps，還有 ΔT_D 是 5ps。

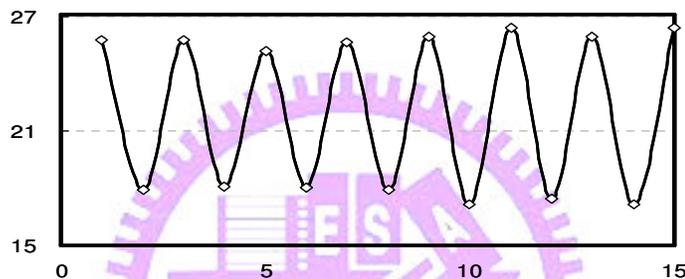


圖 2.24 樹狀多工器之單位延遲時間圖(單一級反相器)

造成 T_D 上下跳動，主要有三個原因。第一個原因是前面解釋過的解析度變異的問題，這是樹狀架構負載不同的關係；其次是單一級反相器的輸出透過多工器選取，輸出相位有正有負，解決方式就是在最後一級多工器之後，接上一般常用於可產生互補式時脈的電路，稱單級轉差動轉換器 (Single-Ended to Differential Converter: S2D)，如圖 2.25，也可最後可再接上多工器，即可自行選擇需要的相位。不過，加上單級轉差動轉換器，萬一製程變異，讓傳輸閘 (Transmission Gate: TG) 和反相器兩個路徑不協調 (Mismatch)，則會讓 T_D 上下跳動的問題更加嚴重；最後一個原因是單級反相器所造成的週期性比例失真 (Duty Cycle Distortion: DCD)，即是反相器的上升與下降時間不同所造成的。

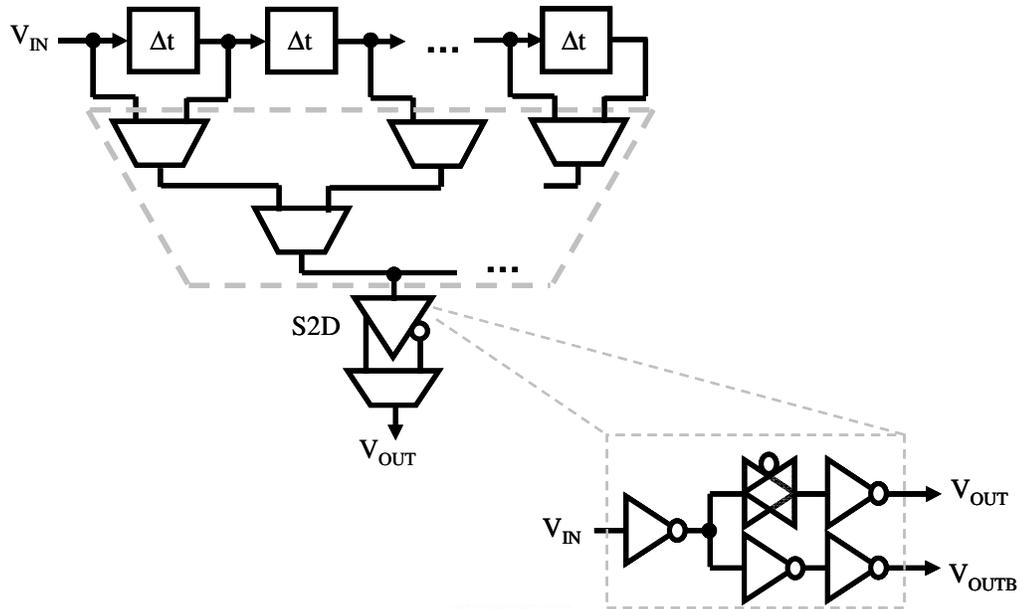


圖 2.25 樹狀多工器及單級轉差動轉換器之架構圖

- 串接式架構

接下來是串接式架構搭配單一級反相器的延遲元件，如圖 2.26，在 TYPICAL-TYPICAL Case 中， T_D 的平均值約為 15.5ps， $T_{D,total}$ 為 232.1ps，還有 ΔT_D 是 5.5ps。單一級反相器所造成的 T_D 上下跳動(有可能是紅線實線或藍線虛線)，加上串接架構所造成解析度變異的問題，兩結果相加成的結果，造成 T_D 的上下跳動。圖 2.27 是串接式多工器之單位延遲時間圖(單一級反相器)， T_D 的平均值約為 15.5ps。

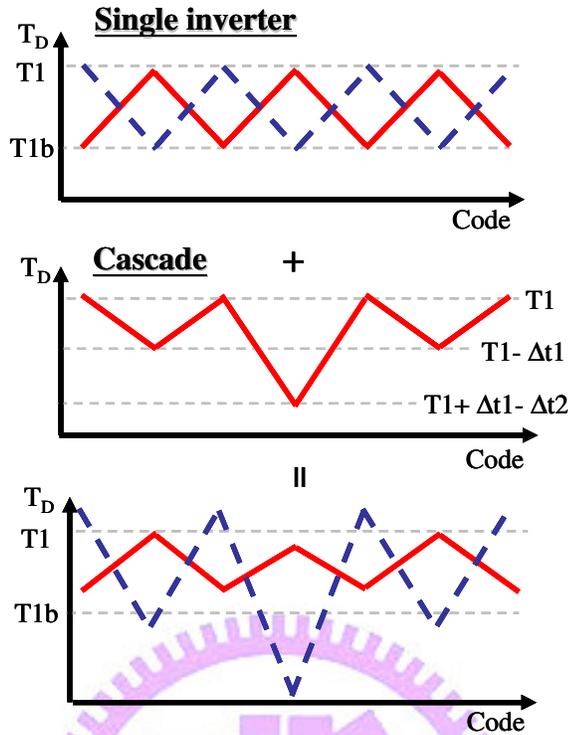


圖 2.26 串接式多工器所造成解析度變異之示意圖

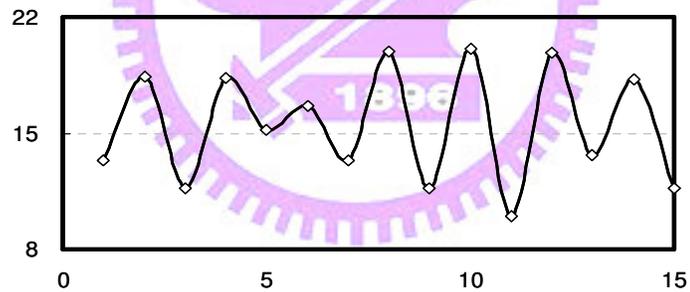


圖 2.27 串接式多工器之單位延遲時間圖(單一級反相器)

2. 二級串接反相器

延遲元件如果只有單一反相器，會有週期性比例失真的問題，因此，我們將延遲元件替換成兩顆反相器串接，缺點是單位延遲時間將變為兩倍。樹狀式架構圖 2.28是樹狀式架構搭配二級串接反相器的延遲元件，在 Typical-Typical Case 中， T_D 的平均值約為 37.7ps， $T_{D,total}$ 為 565.9ps，還有 ΔT_D 是 1.07ps。

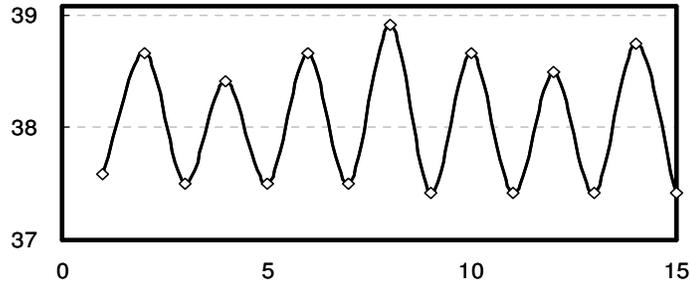


圖 2.28 樹狀多工器之單位延遲時間圖(二級串接反相器)

- 串接式架構

圖 2.29 是串接式架構搭配二級串接反相器之單位延遲時間圖，在 Typical-Typical Case 中， T_D 的平均值約為 31.8ps， $T_{D,total}$ 為 477.1ps，還有 ΔT_D 是 3.7ps。

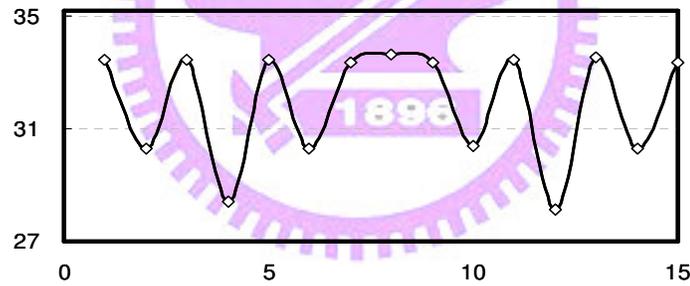


圖 2.29 串接式多工器之單位延遲時間圖(二級串接反相器)

3. 可調式反相器

在 90nm 製程中，單一級反相器在 Typical-Typical Case 及扇出數為三的情況下，單位延遲時間為 23ps，Slow-Slow Case 的情況為 29ps，製程漂移的結果造成誤差超過 30%。為了讓數位控制延遲電路能夠對抗不同的製程變異，因此，在反相器電源與接地之間，插入可調的控制元件，進而去調整單一級的單

位延遲時間，常見的方式，就是使用三態緩衝器 (Tri-State Buffer)，控制上下排的電晶體開關，調整阻抗-電容的單位延遲時間，如圖 2.30所示。圖 2.31 可以見到，使用三態緩衝器，在 Typical-Typical Case 的狀況下，單位延遲時間可從 13.1ps 變化到 19ps，依據晶片成品，來調整我們所需要的單位延遲時間。

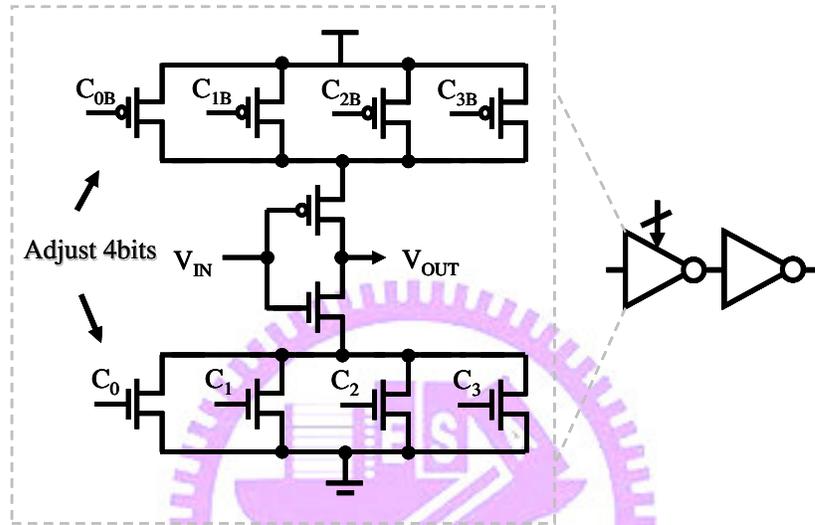


圖 2.30 可調式反相器之電路圖

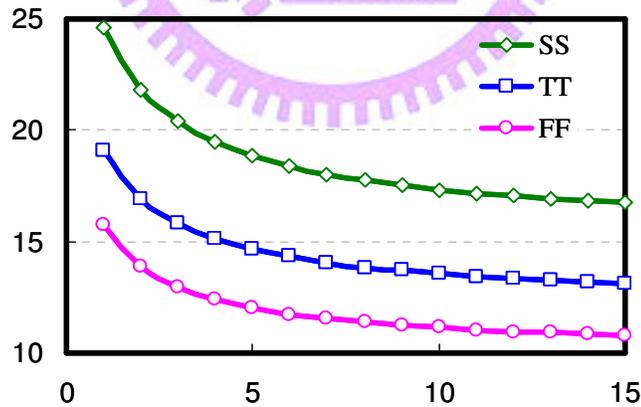


圖 2.31 可調式反相器之單位延遲時間圖

- 樹狀式架構

圖 2.32是樹狀式架構搭配單一級反相器之單位延遲時間圖，在

Typical-Typical Case 中， T_D 的平均值約為 36.4ps， $T_{D,total}$ 為 546.2ps，還有 ΔT_D 是 0.99ps。

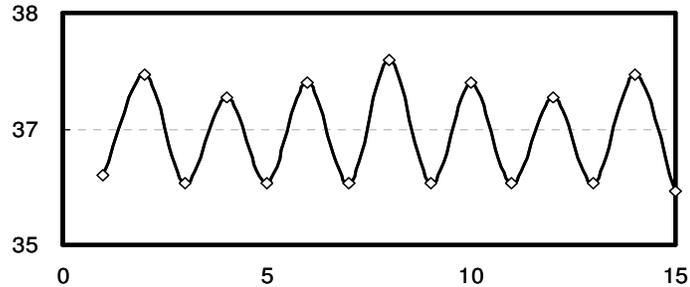


圖 2.32 樹狀多工器之單位延遲時間圖(可調式反相器)

- 串接式架構

圖 2.33 是串接式架構搭配單一級反相器之單位延遲時間圖，在 Typical-Typical Case 中， T_D 的平均值約為 28.2ps， $T_{D,total}$ 為 423.3ps，還有 ΔT_D 是 18.88ps。

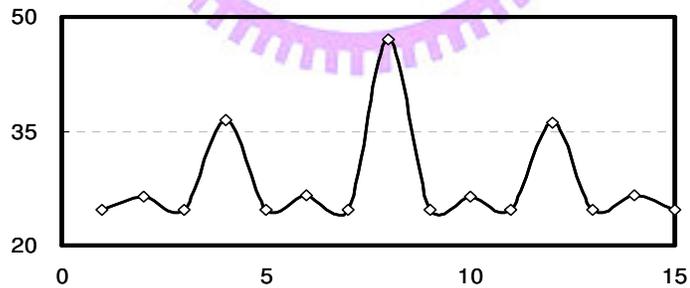


圖 2.33 串接式多工器之單位延遲時間圖(可調式反相器)

總合上述延遲元件，我們將其列成表格。表 2.2 是數位控制延遲電路粗調架構之比較表，可調式反相器採用手動調整控制電路，將造成產品不夠自動化，如果增加控制電路，不但功能複雜，硬體也更為巨大。兩顆反相器串接的缺點是延遲時間變為兩倍的反

相器延遲時間。為了避免串接架構所造成的抖動，以及二進制之控制碼，讓延遲時間在中間之控制碼，得到最大的單位延遲時間變化量，所以粗調延遲元件採用樹狀式架構，不但單位延遲時間變化量是最小的，面積又是可接受的範圍，因此，我們選擇二級串接反相器搭配樹狀式架構。粗調延遲元件的一個延遲時間為 37.1ps。

表 2.2 數位控制延遲電路粗調架構之比較表

Type	Resolution	Variation	Range	Hardware
Δt	T_D	ΔT_D	$T_{D,total}$	
Tree + 1X Inv	22.3p	5.07p	334.1p	255 Inv
Cascade + 1X Inv	15.5p	5.47p	232.1p	66 Inv
Tree + 2X Inv	37.7p	1.07p	565.9p	128 Inv
Cascade + 2X Inv	31.8p	3.71p	477.1p	58 Inv
Tree + Inv & Adj-Inv	36.4p	0.99p	546.2p	485 Inv
Cascade + Inv & Adj-Inv	28.2p	18.88p	423.3p	373 Inv

最理想的狀況，就是不分粗調延遲元件與微調延遲元件，這樣，數位控制延遲電路的總延遲時間將是線性的直線，這是攸關效能與成本的取捨，因此，我們選擇和數位/類比訊號轉換器一樣，將數位控制延遲電路分為兩個區塊，粗調延遲元件以及微調延遲元件。

在此篇論文中，只要能產生小於一個單位延遲時間的延遲元件，稱為微調延遲元件，實現微調延遲元件的方式兩種，一種是串接式 (Method of Cascade)，可以保證絕對線性，但是不保證單調性 (Monotonic)，必須透過增加數位校正 (Digital Calibration) 的機制，才能達到單調性；另一種是內插式 (Method of Interpolation)，跟串接式完全相反，可以保證絕對單調性，但是不保證線性，必須透過增加類比校正 (Analog Calibration)

的機制，才能達到線性。所謂數位校正的機制，是指我們的線性線段，線段與線段之間，必須要有重疊，才能確保能準保每一段眼圖皆有量測，並透過一些校正的計巧，忽略重疊的線段，讓電路忽略以重疊之控制碼；所謂類比校正的機制，是指費心調整電晶體的尺寸與比例，這將浪費大量的時間。再此，將各舉了一個微調延遲元件的電路說明。圖 2.34 之左圖為內插式，右圖為串接式之總延遲時間之示意圖

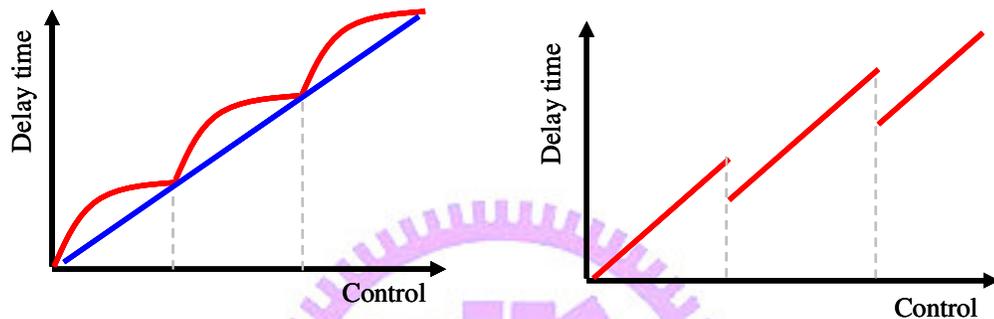


圖 2.34 內插式與串接式之總延遲時間之示意圖

內插式所使用的延遲元件，其基本單元與可調式反相器一樣，皆是採用三態緩衝器，如圖 2.35，改變驅動能力 (Drive Ability)。輸入到輸出之間，有兩條路徑，這兩條路徑相差一個 Δt 的延遲時間，隨著控制訊號的增加，單位延遲時間並非線性的固定，但是，此機制卻能保證起點和終點是固定的，不管輸出的線型如何，每個粗調延遲元件的起點和終點是不變動的。

圖 2.36 是可調驅動能力延遲元件之單位延遲時間圖實際模擬出來的圖形，隨著控制訊號的增加，一開始的單位延遲時間會一次跳很大一格，越後面越小格，所以並不線性，不過，可藉由改變電晶體的尺寸，讓線型更為線性，不過這需要耗費需多時間作微調。內插式雖然保證單調性，缺點是萬一開啟多個控制電晶體，斜率將變很緩和，電晶體將有短路電路電流 (Short Circuit Current) 的現象，所以耗電。而且，一堆反相器的並

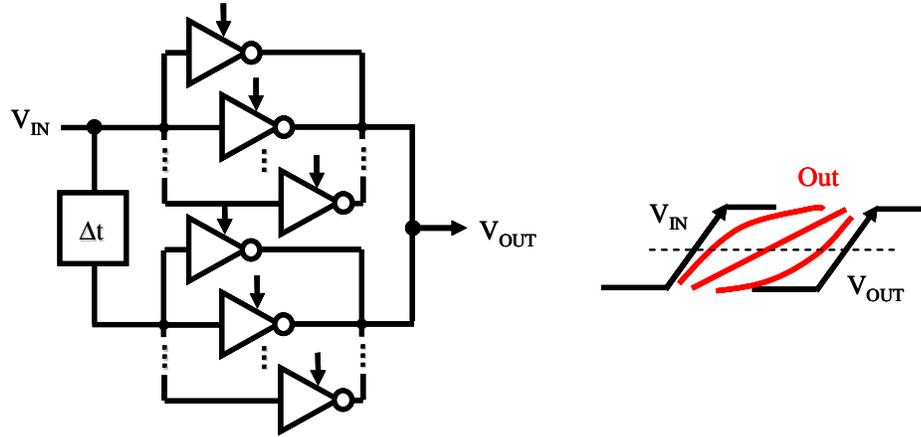


圖 2.35 可調驅動能力延遲元件之示意圖

聯，輸出的負載數量多，操作頻率沒辦法很高。高速序列傳輸之內建自我測試電路設計中，需要線性度較佳，又考慮節省面積，所以我們選擇串接式的架構。

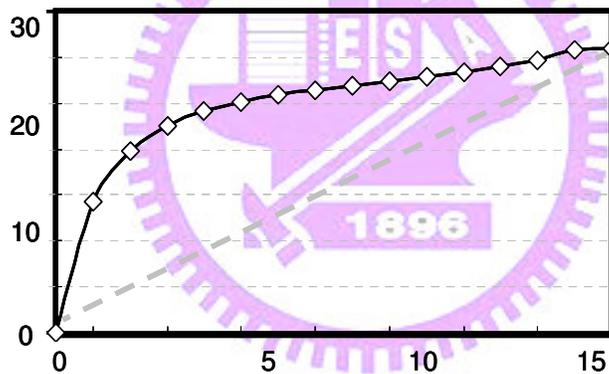


圖 2.36 可調驅動能力延遲元件之單位延遲時間圖

前面我們介紹過粗調延遲元件，是使用兩個反相器串接，當作一個延遲時間，將大大減少只有單一類反相器上升時間與下降時間的不同，所造成週期比例失真的問題。微調延遲元件的部份，我們採用傳輸閘，讓數位控制延遲電路最小的單位延遲時間為 2.8ps，如圖 2.37。將一傳輸閘的輸入與輸出直接相連，並將此傳輸閘連接至反相器的輸出點，藉由控制訊號，改變電容比例的容值，來改變延遲時間。

圖 2.38左圖與右圖分別是微調延遲元件電路，在不同的控制信號底下，輸出電容之

變化示意圖。在傳輸閘的控制端歸零的狀況下，此時無論輸出點的準位是一或是零，傳輸閘的電容值是等於 N 型電晶體關上的電容值加上 P 型電晶體關上的電容值；在傳輸閘的控制端輸入為一的狀況下，當輸出點的電壓值歸零，此時輸出的電容值為 N 型電晶體導通的電容值加上 P 型電晶體關上的電容值；當輸出點的電壓值為一，此時輸出的電容值為 N 型電晶體關上的電容值加上 P 型電晶體導通的電容值。

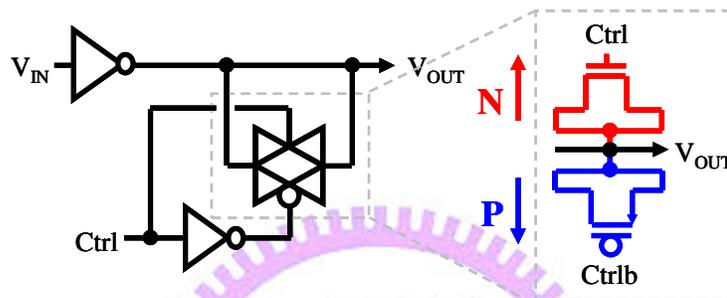


圖 2.37 微調延遲元件之電路與示意圖

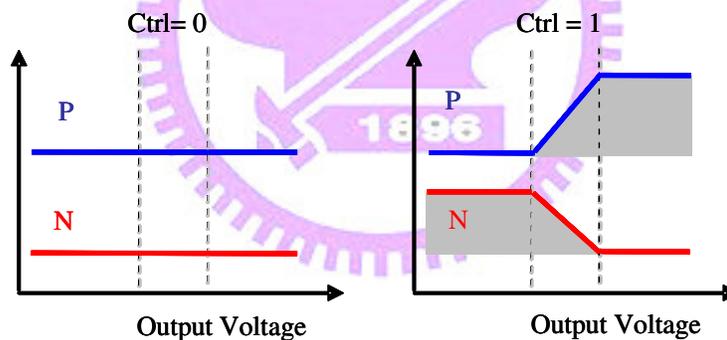


圖 2.38 微調延遲元件電路電容值之示意圖

接下來，是要將粗調延遲元件與微調延遲元件分別切成幾個位元呢？首先，我們所需要的數位控制延遲電路之總延遲時間至少需要為 400ps。我們做了兩樣五位元的假設，並透過模擬來驗證想法，此模擬是我們尚未確定數位控制延遲電路之解析度時，所做的分析，在最後晶片整合時，並未被採用，僅為學習之過程。最小之解析度再此設定為 20ps，所使用的微調與粗調延遲元件如圖 2.39。在考慮驅動能力下，必須是當的加

入緩衝器，否則解析度將不夠線性，以微調延遲元件來說，我們在輸出多加一級緩衝器。假設一是 3 位元的微調延遲元件，等於一個粗調延遲元件的總延遲時間，如圖 2.40，每個粗調延遲元件之總延遲時間約為 160ps，因為微調延遲元件是 3 個位元，所以就算 Typical-Typical Case 之總延遲時間是設計成一條直線，但是，當在不同的角落模型，將會出現 3 個缺口 (Gap)。假設二則是一位元的微調延遲元件，等於一個粗調延遲元件的總延遲時間，如圖 2.41，每個粗調延遲元件之總延遲時間約為 40ps，因為微調延遲元件是一個位元，在不同的角落模型，將會出現 15 個缺口，此線段比起假設一更趨近一條直線。

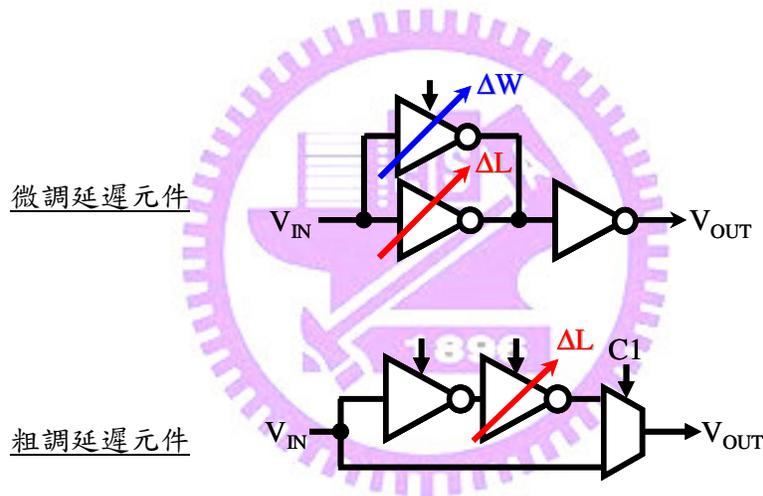


圖 2.39 微調與粗調延遲元件之電路圖

由圖 2.42 單位延遲時間變化量之示意圖來看，切成越多位元，明顯看出，將大大降低單位延遲時間變化量。我們也曾嘗試過不分割粗調延遲元件與微調延遲元件，雖然能夠得到趨近一條直線，不過，這是拿面積換取效能的作法。

透過上述的分析，在考慮面積及單位延遲時間變化量，我們選擇兩者皆平衡的狀況，粗調延遲元件與微調延遲元件，分別都各分為四個位元。

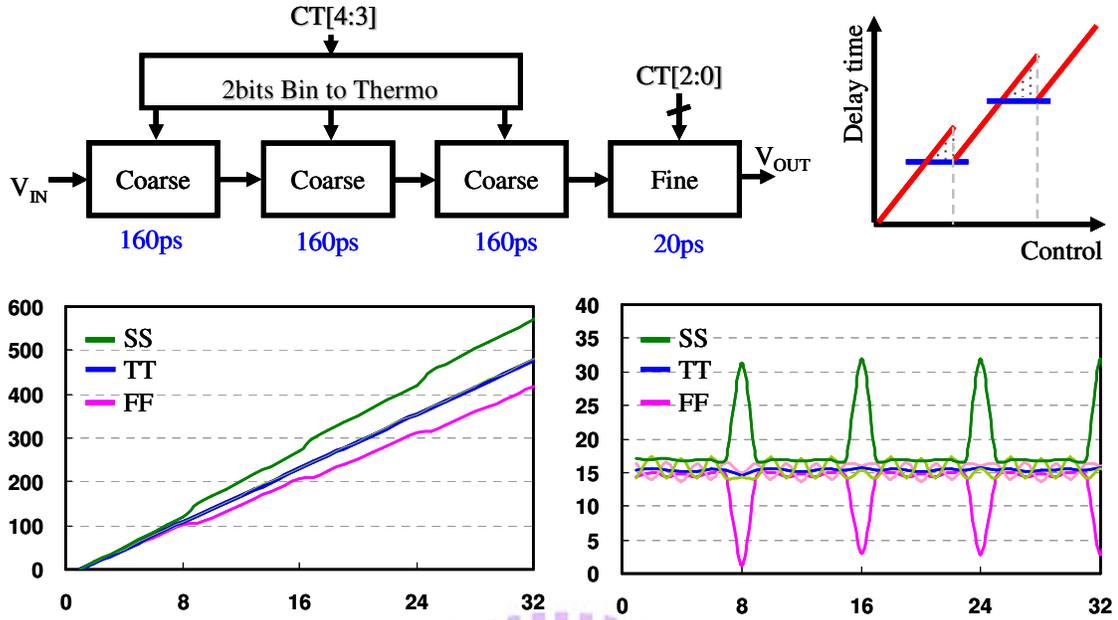


圖 2.40 假設一之架構與模擬圖

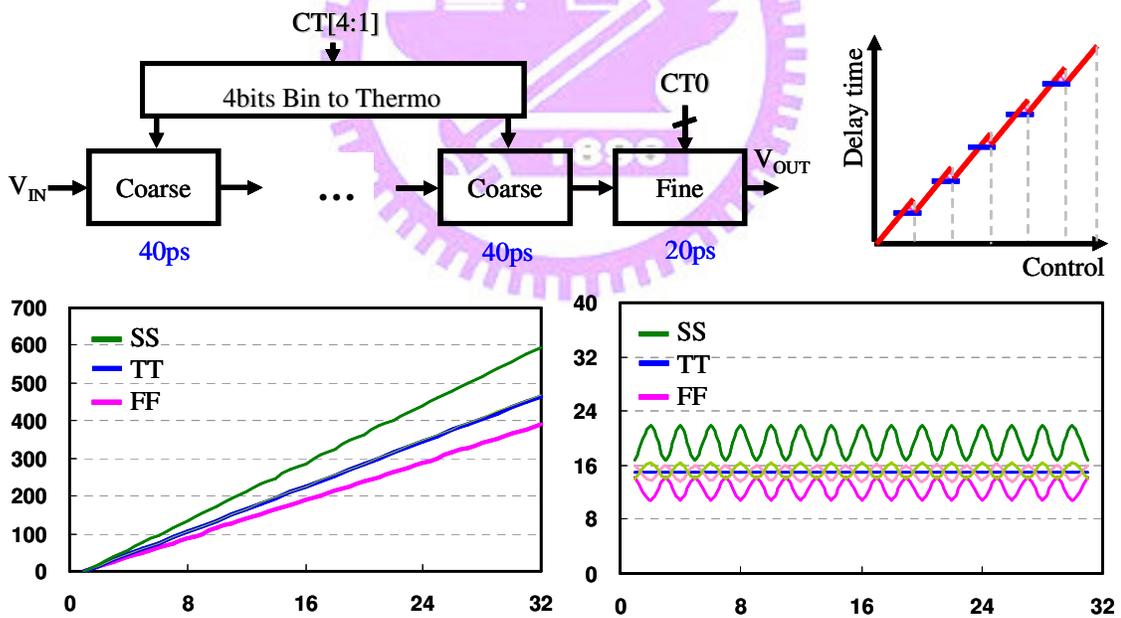


圖 2.41 假設二之架構與模擬圖

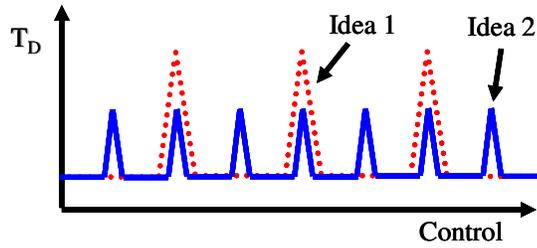


圖 2.42 單位延遲時間變化量之示意圖

圖 2.43 是完整數位控制延遲電路之電路圖，微調延遲元件分別為一、二、四、八倍，隨著控制信號的增加，輸出之電阻-電容也將增加。佈局後模擬在 Typical-Typical Case 中，上升沿 (Rise Edge) 之總延遲時間為 480ps，如圖 2.43，最大單位延遲時間為 3.41ps，最小單位延遲時間為 1.8ps，平均單位延遲時間為 2.51ps，單位延遲時間變化量為 0.9ps；下降沿 (Fall Edge) 之總延遲時間為 468.8ps，最大單位延遲時間為 3.19ps，最小單位延遲時間為 2.43ps，平均單位延遲時間為 2.53ps，單位延遲時間變化量為 0.66ps，誤差小於 1/2LSB。

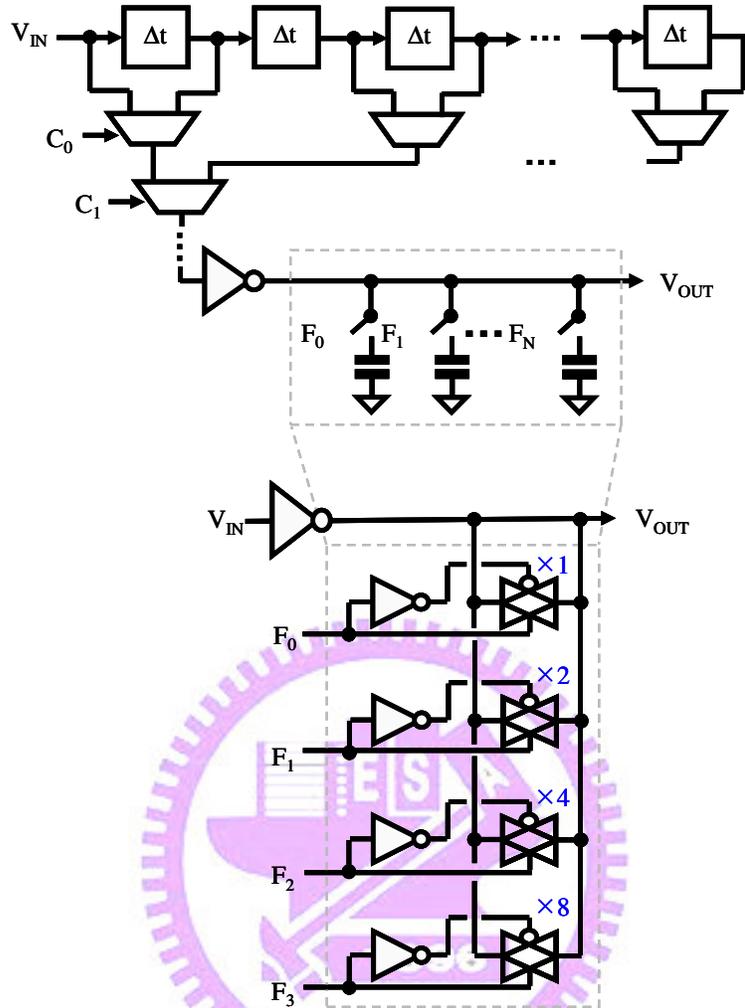


圖 2.43 數位控制延遲電路之電路圖

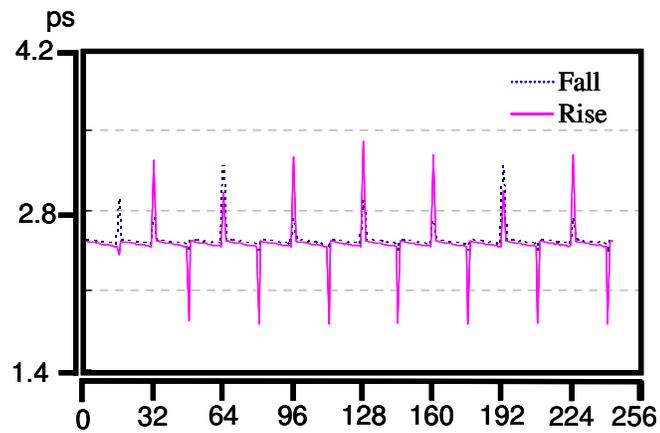


圖 2.44 數位控制延遲電路之單位延遲時間圖

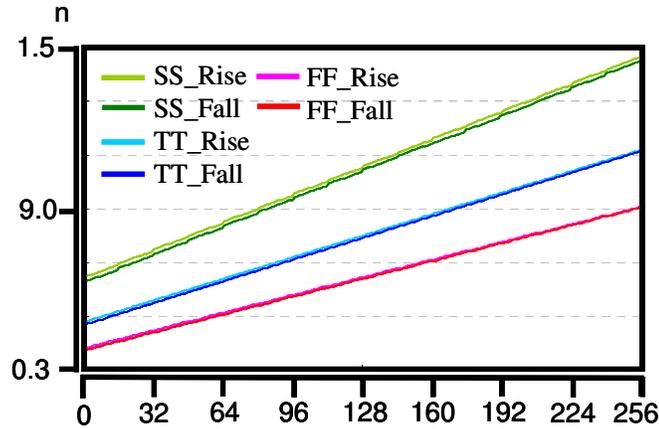


圖 2.45 數位控制延遲電路之總延遲時間圖

2-3-4 比較器

比較器的輸入是由取樣並保持電路與數位/類比訊號轉換器所提供，取樣並保持電路提供 2.5Gbps 的輸入資料，數位/類比訊號轉換器提供不同的比較電壓 Δv ，共有兩個全差動的比較器，如圖 2.3，兩的比較器的輸出使用互斥邏輯閘做運算，第一個比較器負責比較，數位/類比訊號轉換器所輸出的低位準的電壓，第二個比較器負責比較數位/類比訊號轉換器所輸出的高位準的電壓。比高或低電壓的位準低，就輸出零；比高或低電壓的位準低，就輸出一。所以，互斥邏輯閘如果輸出為一，就是輸出電壓，落在高電壓與低電壓之間，就是有輸出電壓落在眼圖遮蔽裡面，代表眼圖沒有張開。互斥邏輯閘會將輸出，送給下一級的計數器去做計數。

比較器是由一個差動放大器 (Differential Amplifiers) 及四級增益級放大器 (Gain Stage Amplifier) 所組成。我們希望參考電壓的共模範圍和輸入電壓的共模範圍可以寬一點，所以使用輸入電壓之差動以及參考電壓之差動，分別相比的方式，讓兩個大訊號去

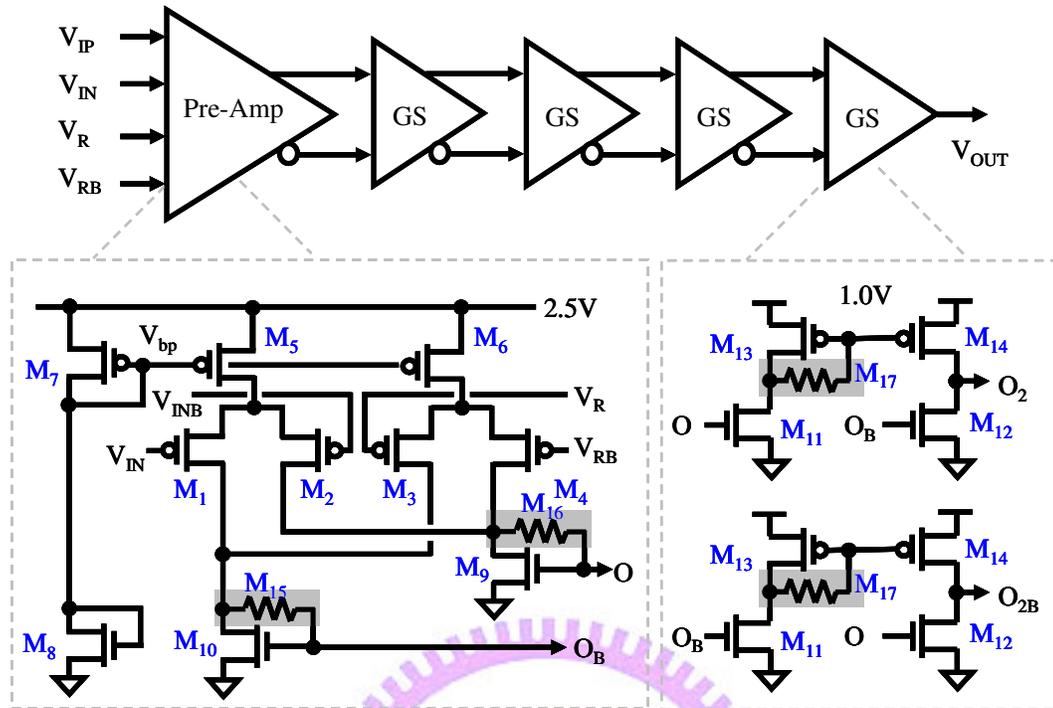


圖 2.46 比較器之電路圖

做相減。

圖 2.46 是比較器之電路圖。差動放大器的部份，M5-M8 構成一個電流源提供輸入差動對 M1-M4 使用，M7、M8 是偏壓電路，M8 取代傳統電阻，最下層的 N 型電晶體 M9、M10 是二極體連結負載的電晶體，M15、M16 電阻是電感性負載 (Inductive Load)，各使用一顆 P 型電晶體，來等效一個主動式電阻，後面我們將對電感性負載有詳細的介紹。增益級放大器的部份，M13、M14 是具主動式負載之電流鏡，M17、M18 電阻是電感性負載，各使用一顆 N 型電晶體，來等效一個主動式電阻。

差動放大器主要作用是比較正負端的電壓大小，將輸入電壓做初步放大，比較兩組差動正負電壓，將輸入電位做相減的動作。有兩種方式，如圖 2.47， V_I 和 V_{IB} 為差動輸入電壓訊號， V_R 和 V_{RB} 為差動參考電壓訊號。左圖是差動的輸入訊號一起比

較，差動的參考訊號做比較；另一種方式則是正端輸入訊號與正端參考電壓做比較，負端輸入訊號與負端參考電壓做比較。

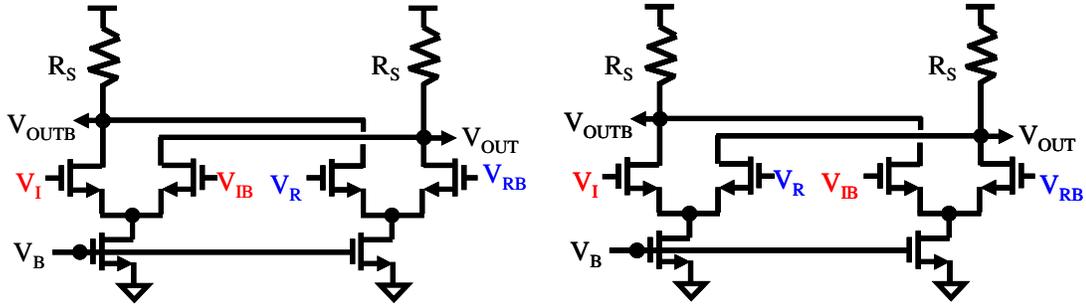


圖 2.47 四輸入差動對之電路圖

我們假設輸入差動電壓為 V_{IDM} ，參考差動電壓為 V_{RDM} ，輸入共模電壓為 V_{ICM} ，參考共模電壓為 V_{RCM} 。

$$V_{IDM} = V_I - V_{IB}, \quad V_{RDM} = V_R - V_{RB} \quad (6)$$

$$V_{ICM} = \frac{V_I + V_{IB}}{2}, \quad V_{RCM} = \frac{V_R + V_{RB}}{2} \quad (7)$$

則圖 2.47之左圖輸出差模的電壓公式如下。

$$V_{ODM} = gm_1 \cdot V_{IDM} - gm_2 \cdot V_{RDM} \quad (8)$$

則圖 2.47之右圖輸出差模的電壓公式如下。

$$V_{ODM} = gm_1 \cdot \left(\left(V_{IDM} + \frac{V_{IDM}}{2} \right) - \left(V_{RDM} + \frac{V_{RDM}}{2} \right) \right) - gm_2 \cdot \left(\left(V_{IDM} + \frac{V_{IDM}}{2} \right) - \left(V_{RDM} - \frac{V_{RDM}}{2} \right) \right) \quad (9)$$

假設輸入共模和差模電壓相同，但 gm_1 不等於 gm_2 ，則圖 2.47之左圖輸出差模的電

壓公式如下。

$$V_{ODM} = (gm_1 - gm_2) V_{IDM} \quad (10)$$

則圖 2.47之右圖輸出差模的電壓公式如下。

$$V_{ODM} = gm_1(V_{ICM} - V_{RCM}) - gm_2(V_{ICM} - V_{RCM}) \quad (11)$$

$$= (gm_1 - gm_2) \cdot (V_{ICM} - V_{RCM}) \quad (12)$$

直觀而言，這兩個架構反映出，如果輸入共模電壓和差模電壓也接近時，就採用右邊的架構，大訊號與大訊號相比，小訊號與小訊號相比，也就是較大的電壓扣掉較大的電壓，較小的電壓與較小的電壓相比；不過我們的應用上，希望能有較寬的輸入共模電壓範圍，所以最後選擇左邊的架構，優點是增益不需太大；不過缺點是處理大訊號，需要有較好的線性度及共模拒絕比 (Common-Mode Rejection ratio : CMRR)。

前級放大器 (Pre-Amplifier) 的主要目的有三個，首先是比較出正負端電壓的大小，其次是將輸入及做初步的放大，最後是使用於較寬的輸入共模電壓。對於最後一點，為了使用於較寬範圍的輸入位準，原本想使用軌對軌(Rail to Rail)的方式，但考慮使用較少的電晶體數量，以達到較佳之對稱性，還有將解析度提高，我們決定使用 2.5V 的電晶體，將電源供應端從 1V 提升至 2.5V，UMC 90nm 1P9M Logic / Mixed Mode Low-K SP-RVT Process 的輸入/輸出單元有提供 2.5V 的元件。

此設計的輸入範圍，是由發射端的輸出電壓所決定，發射端的輸出電壓範圍，是差動正負 600mV。輸入共模電壓範圍是零至 1V，對 2.5V 的元件來說，屬於低位準的電壓，所以輸入差動對我們採用 P 型的電晶體。P 型電晶體的基極 (Bulk) 獨立，抵抗雜訊能力也較佳。在此系統裡面，因為輸入電壓很小，速度又快，為了增加增益，讓電壓值

可於時間內，放大到後面的電路可以正確判斷出邏輯零或一，針對高速的電路，就不會只有一級的增益級放大器 (Gain Stage Amplifier)。前級放大器的增益太小，三級增益級放大器可以滿足規格所需要的 53dB，為了滿足角落模型，增加為四級增益級放大器。只有前級放大器是用 2.5V 的元件，以提升對輸入訊號的耐壓，並使用四端輸入與差動輸出的放大器；增益級放大器是用 1V 的元件，使用雙端輸入，單端輸出的運算放大器。

降低電晶體之寬度，雖然能增加頻寬，不過將降低對抗製程漂移的能力。增加增益級放大器雖然可以增加增益，但頻寬卻因此下降。為了增加頻寬，在電路之中，我們加入電感性負載，圖 2.48 是電感式負載之小訊號等效模型 (Small Signal Equivalent Model)，假設 P 或 N 型電晶體閘極與汲極的相對電容值以 C_{GD} 表示，電晶體的轉導以 g_m 表示，電阻使用一顆電晶體，來等效一個主動式電阻 R_{TG} 。

而整個電路加上主動式電阻的等效輸出阻抗 R_{O2} 可以從公式的推導得到。

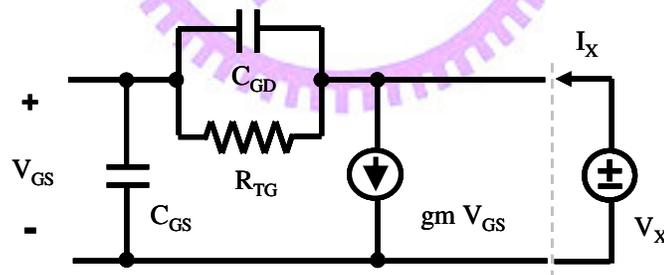


圖 2.48 電感式負載之小訊號等效模型圖

$$R_{O2}(s) = \frac{V_x}{I_x} = \frac{(R_{TG} \parallel C_{GD}) C_{GS} s V_{GS} + V_{GS}}{C_{GS} s V_{GS} + g_m V_{GS}} \quad (13)$$

$$= \frac{R_{TG} (C_{GS} + C_{GD}) s + 1}{(R_{TG} C_{GD} s + 1) + (C_{GS} s + g_m)} \quad (14)$$

此輸出阻抗中有兩個極點 P_1 、 P_2 與一個零點 Z ，如公式(15)所示，極點與零點的相對位置可以利用 R_{TG} 調整，第一個極點 P_1 與零點 Z 是與 R_{TG} 成反比， P_2 的位置則不受 R_{TG} 影響。

$$Z = \frac{1}{R_{TG}(C_{GS} + C_{GD})}, \quad P_1 = \frac{1}{R_{TG}C_{GD}}, \quad P_2 = \frac{gm}{C_{GS}} \quad (15)$$

在圖 2.49 頻寬延展功能之說明圖中，顯示出不同阻值的 R_{TG} ，其阻抗與極點 P_2 、 P_1 和零點 Z 的關係。當沒有加入 R_{TG} 時， $P_2 \ll Z < P_1$ ，如同 C1 的狀況。加入了 R_{TG} 後，效果等於多加了一個零點跟極點，當 R_{TG} 很接近零點時，第二個極點 P_2 小於零點， $P_2 \leq Z < P_1$ ，如同 C2 的狀況；當 R_{TG} 持續增加至使零點變成小於極點時，輸出阻抗會產生凸起的狀況，如 C3 所示， $Z < P_2 < P_1$ ，零點的位置會在極點前面，所以頻譜會凸起，而此頻率凸出可視一個電感式阻抗，所以稱為電感性負載。 R_{TG} 並不是無限制的增加，頻譜圖形上的凸起是有飽和的值，受 P_1 與零點的比例所影響，如同 C4 的狀況。

只有前級放大器加電感性負載，頻寬依然不夠，每級增益放大器都有加上電感性負載。接下來我們對前級放大器做直流分析，改變輸入共模電壓，如圖 2.50 前級放大器之偏壓點電壓 (Biasing Voltage)，可以看出隨著輸入共模電壓的增加，由 0V、0.5V 變化至 1V，節點 A 點是電流源的汲極端的電壓，隨輸入共模電壓 (Input Common Mode Voltage) 增加而增加，節點 Vbp 偏壓點設計在 1.89V，電晶體 M5、M6 都可以很穩定的保持在飽和區，所以電晶體 M5、M6 可以當穩定電流源，讓輸入差動對一直保持在飽和區，輸入差動對可以很忠實的做比較的工作。

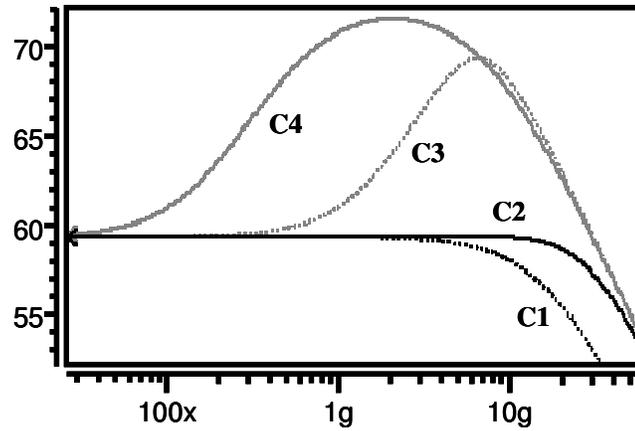


圖 2.49 頻寬延展功能之說明圖

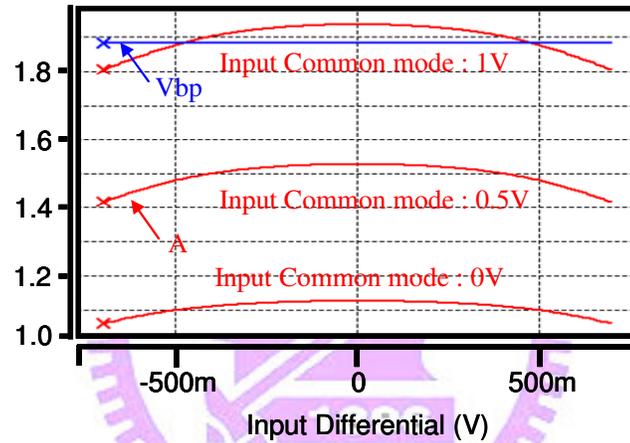


圖 2.50 前級放大器偏壓點電壓之模擬圖

圖 2.51 是前級放大器之輸出擺幅 (Output Swing) 圖，可以看出，輸入共模電壓從 0V、0.5V、1V 做改變，輸入差動對的輸出共模電壓都是保持在 0.5V。即使在較大的差動電壓下，也要能夠有足夠的增益，如最大 600mV 以及 509mV，比較器也要能夠判斷出電壓大小。

圖 2.52 可以看出，每級的增益放大器，在最差的 Fast-Fast Case 可以提供增益 23.6dB，最後一級增益放大器只有單端，因此少 6dB，可提供增益 17.6dB。

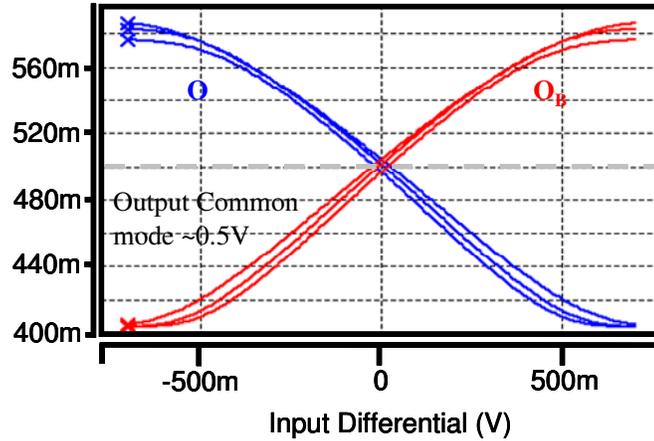


圖 2.51 前級放大器輸出擺幅之模擬圖

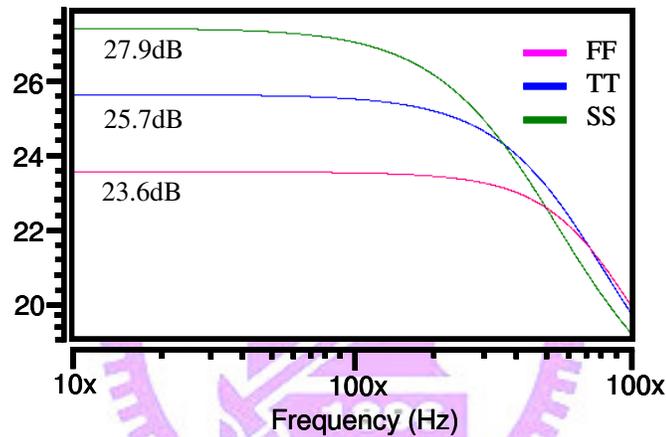


圖 2.52 增益級放大器增益之模擬圖

最後是比較器電路的模擬，如圖 2.53可以在不同的角落模型，或是輸入共模電壓變異，也都能符合我們需要的規格，滿足增益 53dB，以及頻寬 250MHz。

高速序列傳輸之內建自我測試電路設計的電路，主要是要量測待測信號的差模信號眼圖，因此，比較器是要用來比較輸入信號差模振幅與參考電壓差模振幅的大小，不過在此，我們也已經在比較器的設計上，考慮參考信號共模準位與輸入信號共模準位不同的狀況，輸入信號的共模式可以在 0~1V 之間飄移，都是比較器可以接受的範圍。為了達到最佳量測效果，在實際運用上，我們會利用交流耦合電容，將待測點信號的共模訊

號，與內建自我測試電路輸入點的共模信號予以分離，並使內建自我測試電路輸入點的共模信號與內建自我測試電路內部的數位/類比訊號轉換器之輸出信號的共模準位相同，如此可以減少量測結果的誤差。

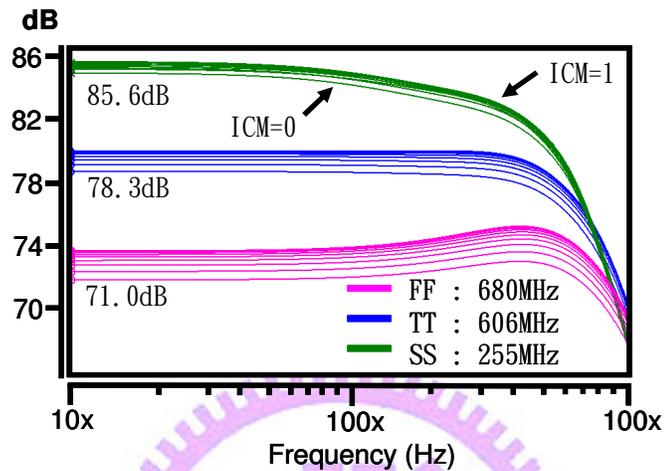


圖 2.53 比較器輸入共模電壓與角落變異增益之模擬圖

2-3-5 計數器

計數器負責計數錯誤的次數，也就是計數落在數位/類比訊號轉換器高電壓準位以及高電壓準位之間錯誤的次數。外部設備互聯總線第二代基本規格要求中，明確規定每點的取樣至少需要一百萬次，所以我們需要二十位元的計數器。除了計數器電路，還包含有兩個有限狀態機 (Finite State Machine : FSM) 、一個可選擇除以二的五、十、十五和二十次方的除頻器 (Frequency Divider : FD) 、五個掃描鏈 (Scan Chain) 、以及一些其他的數位控制電路等。

計數器由正反器構成，可以記錄狀態的變遷，或是正反器隨時脈的變化次數，做故

定狀態的循環。計數器以正反器狀態改變，是否與計數時脈同步來區分，可分為同步 (Synchronous) 計數器與非同步 (Asynchronous) 計數器兩種，若以計數狀態的呈現又可分為 2^n 模 (MOD) 及非 2^n 模兩種，模數等於計數器重回其開始狀態前，所經過完整週期的狀態數， n 為正反器的數目，如果描述得更清楚些，還可以分為上數計數器，或是下數計數器以及環式計數器等等。同步計數器是指所有的正反器都共用一個時脈來觸發，而非同步計數器則否。在此，我們使用 D 型正反器 (D Flip-Flop) 設計同步計數器，必須要計數至少 10^6 周期，所以計數器為二十個位元。圖 2.54 為計數器之電路圖。

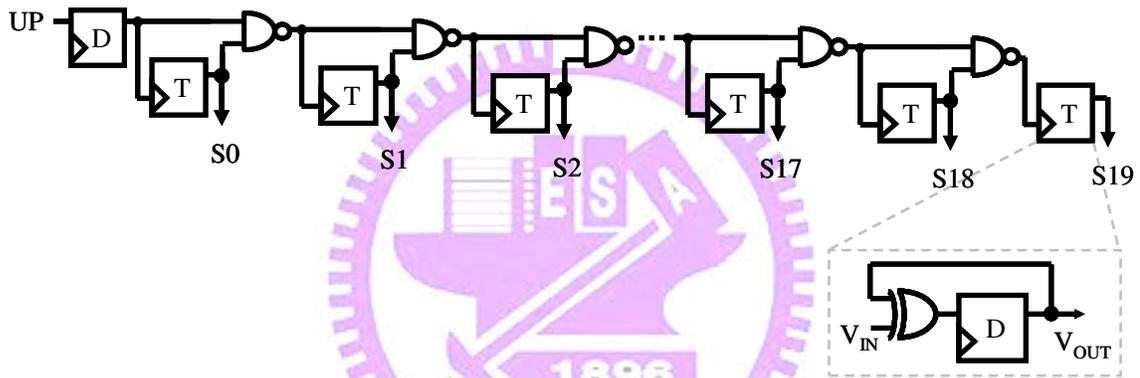


圖 2.54 計數器之電路圖

數位控制延遲電路與數位/類比訊號轉換器皆為八位元的電路，所以各使用一個八位元的有限狀態機。圖 2.55 有限狀態機之電路圖，為了降低電路模擬的時間，將有單一個八位元的限狀態機，設計為由兩個四位元有限狀態機組成，多加上一個多工器做控制選擇，如此，及可選性的增加或降低模擬速度。CTRL 為零是選擇八位元的有限狀態機；CTRL 為 1 是選擇四位元的有限狀態機。CTRL[2] 腳位是控制數位/類比訊號轉換器的輸入控制位元，如果為零，是選擇八位元；如果為一，是選擇四位元。CTRL[3] 腳位是控制數位控制延遲電路的輸入控制位元，如果為零，是選擇八位元；如果為一，是選擇四位元。如此，將可大大降低，電路所模擬的時間。

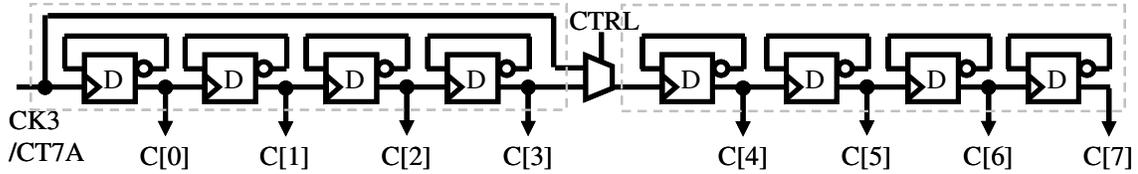


圖 2.55 有限狀態機之電路圖

圖 2.56 是除頻器之電路圖。除頻器，可選擇除以二的五、十、十五和二十次方，能選擇設計電路的模擬時間，晶片製作完成後，則是降低總量測的時間。除頻器電路主要的功能為產生時脈之降頻信號。傳統上之除頻器電路可概分為同步式與非同步式除頻器。同步式除頻器具有較佳之輸出相位準確度，然而其相對之功率消耗較大，且不易實現極高速之操作。非同步式除頻器具有分級降頻觸發之特點，其相對之功率消耗較小，且適合高頻操作，但會產生相位誤差的累積。本電路並不算高速，因此使用 D 型正反器實現的同步式除頻器。CTRL[1:0] 腳位是控制除頻器的輸入控制位元，如果分別為 00 是選擇除以 2^5 ；如果為 10 是選擇除以 2^{10} ；如果為 01 是選擇除以 2^{15} ；如果為 11 是選擇除以 2^{20} 。

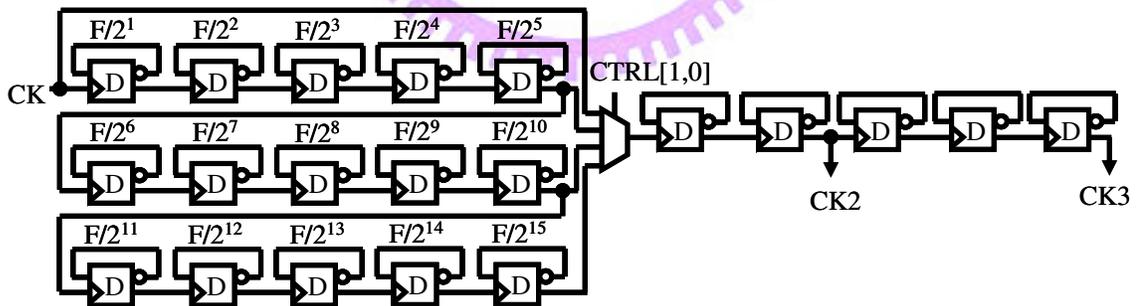


圖 2.56 除頻器之電路圖

為了減低輸出的腳位數量，而節省面積及成本，我們使用掃描鏈，如圖 2.57，掃描鏈是採用平行輸入 (Parallel Input)、串列輸出 (Serial Out Register, Shift-Out Register) 來設計，有八個數入端，使用移位暫存器來實現多工器的功能，在八個輸入線中選取一條

輸出線。數位控制延遲電路與數位/類比訊號轉換器皆為八位元的電路，所以各使用一個掃描鍵。計數器為二十個位元，所以需要三個掃描鍵，其中多出四位元，連接到直流電壓，在此連接到高電壓準位。

將原本需要有三十六個輸出的腳位，變成五個輸出腳位。為了方便邏輯分析儀的分析及判讀資料，所以不採用單一輸出腳位，而是使用了五個輸出腳位，確保邏輯分析儀有足夠的記憶體空間，儲存電路所輸出的資料。並採用座標紀錄的方式，如圖 2.2 所示， $X0$ 腳位為紀錄 X 軸座標的時間 Δt ， $Y0$ 腳位為紀錄 Y 軸座標的電壓 Δv ， $N[0 : 2]$ 腳位為計數錯誤次數。

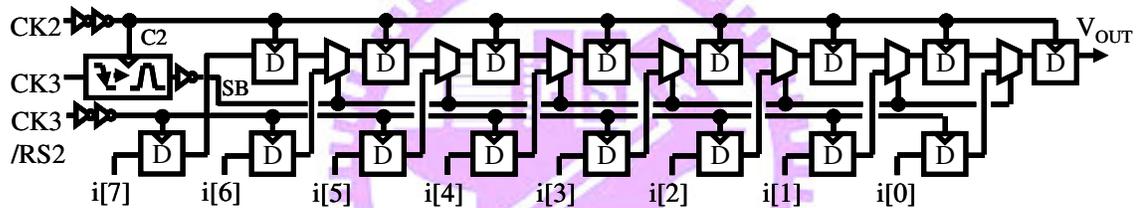


圖 2.57 掃描鍵之電路圖

此掃描鍵需要三個時脈， $CK2$ 是給上排序列輸出的時脈，為最高速時脈 250MHz； $CK3/RS2$ 是給下排平行輸入暫存器的時脈， $CK3$ 為 $CK2$ 除八的時脈； SB 為多工器的輸入控制位元，為一的時候，做載入的動作；歸零的時候，做移位的動作。圖 2.58 是計數器與掃描鍵之時序圖 (Timing Diagram)， $N[0 : 2]$ 腳位是計數器的輸出腳位，其控制時脈從 $CK3$ 變成 $RS2$ ，這是為確保資料會先被載入到掃描鍵之後，計數器才會被重置 (Reset)，所以 $RS2$ 是 $CK3$ 經過一個負緣觸發脈波產生器 (Negative Edge-Triggered Pulse Generation)，在經過一個 D 型正反器的延遲時間，才對計數器做重置的動作。

第二章 電路設計

所謂負緣觸發脈波產生器，如圖 2.58，是利用相對延遲的輸入時間差，將一個工作週期 $CK/CK2$ ，與時脈 $CK3$ 做反或閘 (NOR) 運算，並在此時脈的負緣產生一個比工作周期更小的脈波，在特定時間，觸發掃描鏈內部的暫存器。圖 2.58 之下方波形，是計數器與掃描鏈腳位為 $N[0]$ 的時序圖，除頻器設定為除以二的五次方， CK 是數位電路的時脈，除以四之後是 $CK2$ ，在除以八即為 $CK3$ 之時脈， $CK3$ 經過一個負緣觸發脈波產生器即為 $RS2$ 與 SB 。以第一組時序為例，當 $CK3$ 負緣產生時，產生了兩個不同時脈 $RS2$ 與 SB ，前者工作週期為 CK ，後者工作週期為 $CK2$ ， $RS2$ 脈波產生後，資料立即從計數器平行載入，當 SB 正緣發生之後，資料即從掃描鏈串列輸出。为了方便資料的判讀， SB 也有輸出腳位，腳位名稱是 D_EDGE 。

接下來是觀察計數器、除頻器、有限狀態機以及掃描鏈的動作情況。圖 2.60 是計數器、除頻器、有限狀態機與掃描鏈之時序圖， CV 為數位/類比訊號轉換器八位元的控制訊號， CT 為數位控制延遲電路八位元的控制訊號， rs_cnt 為計數器之重置訊號， $S0\sim S7$ 為掃描鏈 $N[0]$ 腳位的輸入訊號，共為八位元，因篇幅有限，在模擬的圖型上，都只有顯示出部分圖型。 UP 是類比電路比較器的輸出，在此是由我們給輸入訊號。經由模擬可看出，隨著輸入控制位元的增加， UP 的增加，讓 $S0\sim S5$ 也有增加，重置 rs_cnt 也有發揮其作用。

輸出有掃描鍊，大幅降低輸出的腳位數量，輸入也有掃描輸入 (Scan-In) 電路，如圖 2.61，數位控制延遲電路與數位/類比訊號轉換器都是八位元的電路，各需要八個控制腳位，在加入一個掃描輸入電路後，只需要各一個腳位即可。 ET 腳位是用來控制選擇內部或外部控制的設定腳位，當 ET 腳位設定為一，經過八個週期的延遲，將輸入控制碼 (Input Control Code) 送入晶片內部，藉以控制數位控制延遲電路與數位/類比訊號

轉換器。當 *ET* 腳位設定歸零，則控制訊號的輸入，則由有限狀態機製造週期性的控制訊號 (Periodic Control Signals)，讓系統自動計數。

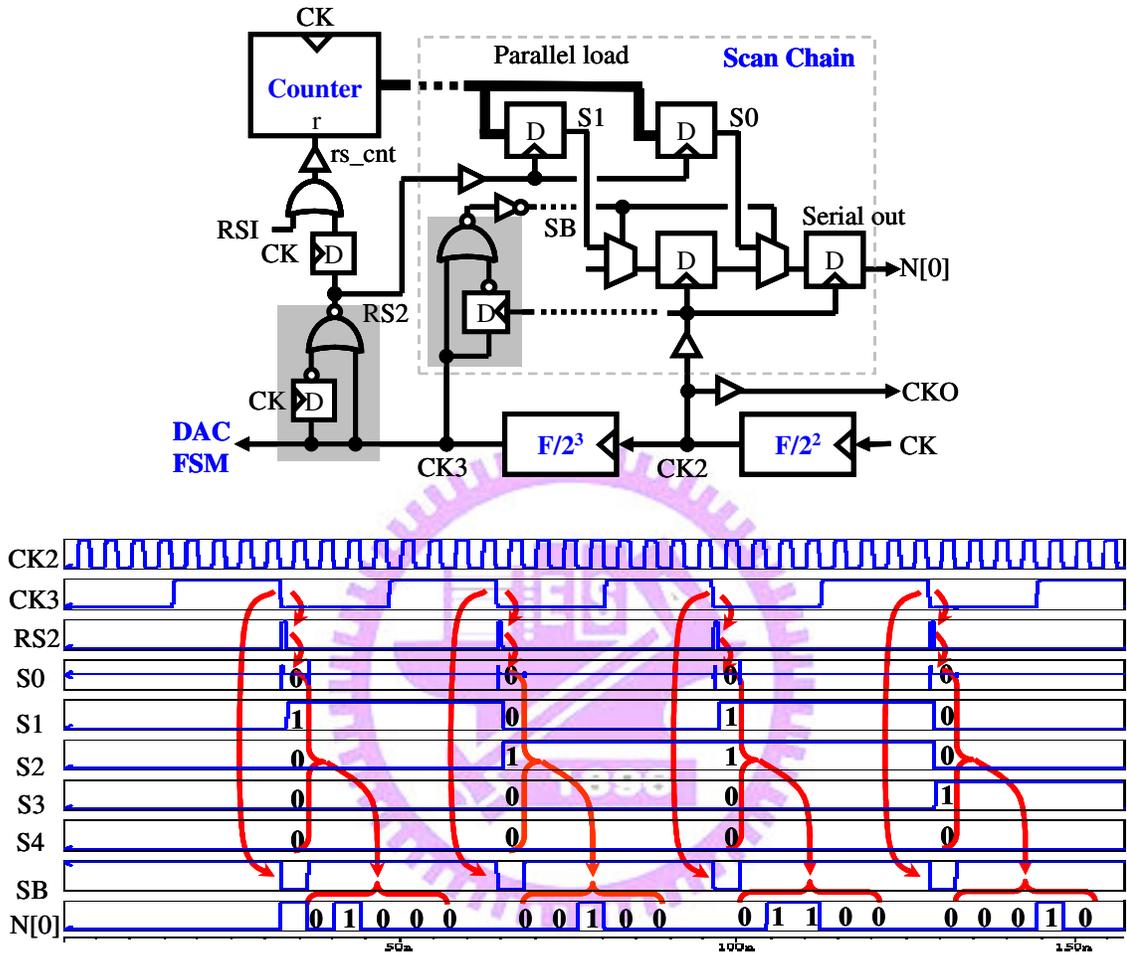


圖 2.58 計數器與掃描鏈之時序圖

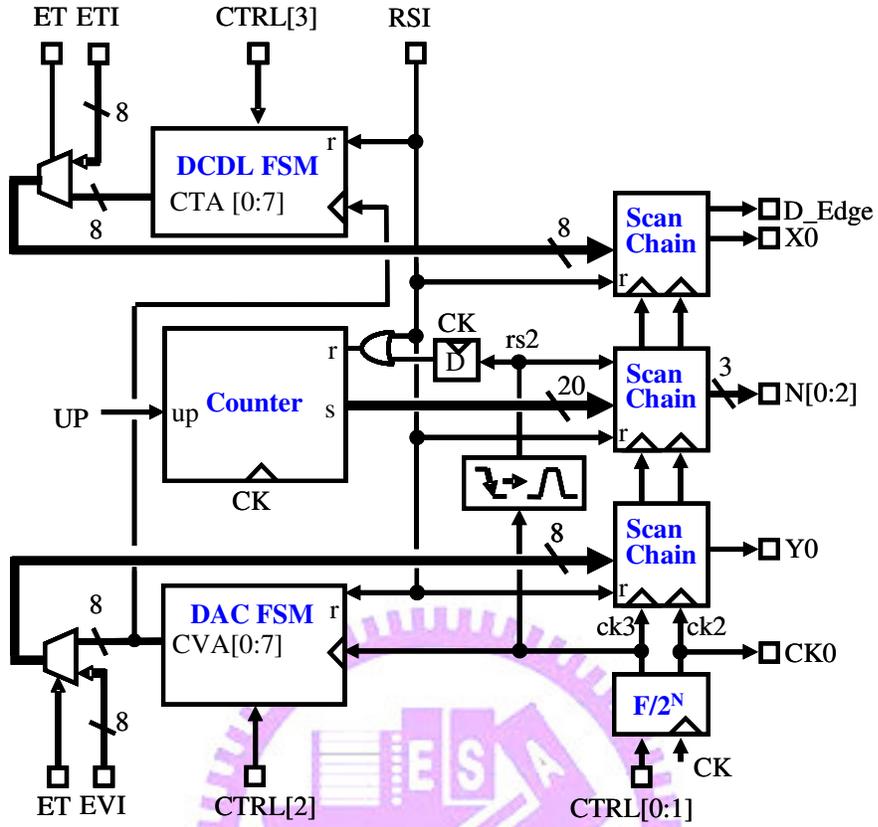


圖 2.59 計數器、除頻器、有限狀態機、掃描鏈之架構圖

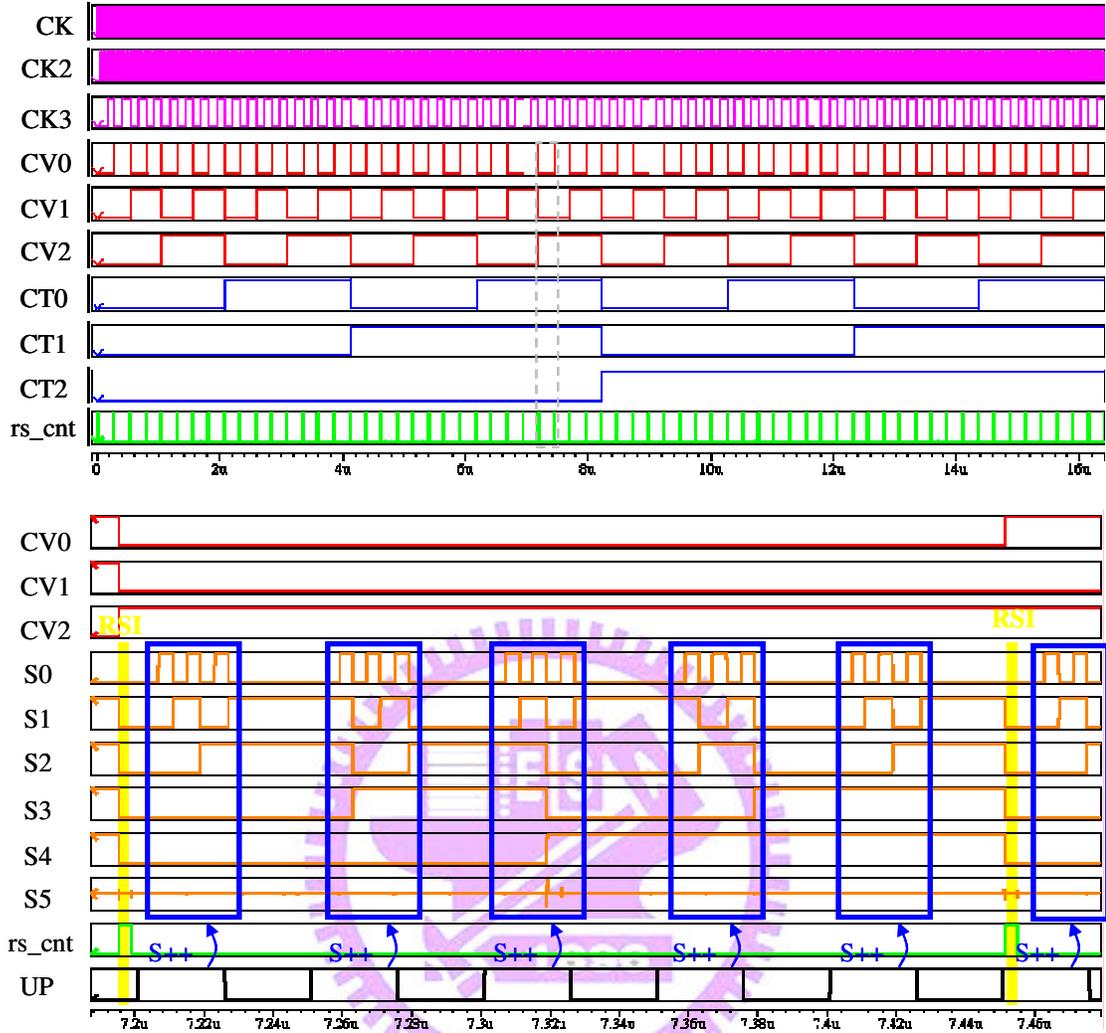


圖 2.60 計數器、除頻器、有限狀態機與掃描鍵之時序圖

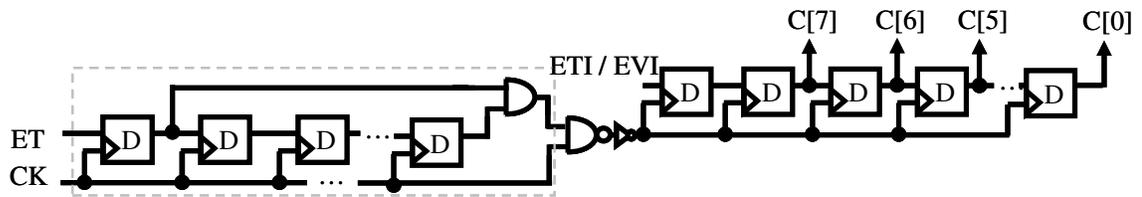
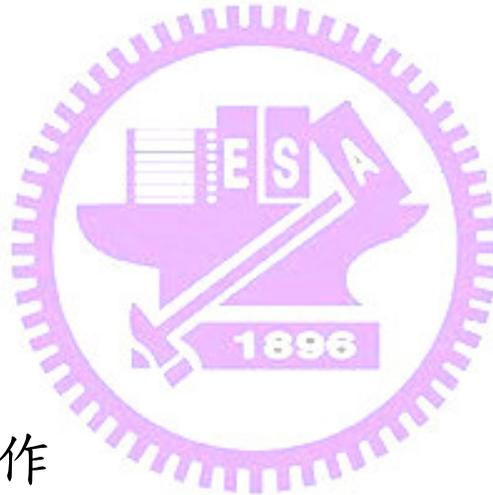


圖 2.61 掃描輸入之電路圖

第3章

系統



3-1 系統運作

整個系統的運作方式，分為兩種操作模式，一個為區塊電路測試模式，另一個為眼圖張開測試模式。不管哪個模式，都要先設定控制電路的控制方式。圖 3.1 為系統流程圖 (System Flow Chart)。首先，同時選擇數位/類比訊號轉換器以及數位控制延遲電路的控制方式，可選擇自動控制測試模式或是手動控制測試模式，如果設定 ET 腳位歸零，即是自動控制測試模式，如果設定 ET 為一，就是選擇手動控制測試模式，由儀器外部灌入輸入控制碼，外部控制有兩個外灌的輸入，一個是數位控制延遲電路的控制端輸入 ETI，另一個是數位/類比訊號轉換器的控制端輸入腳位 EVI。接下來是給系統

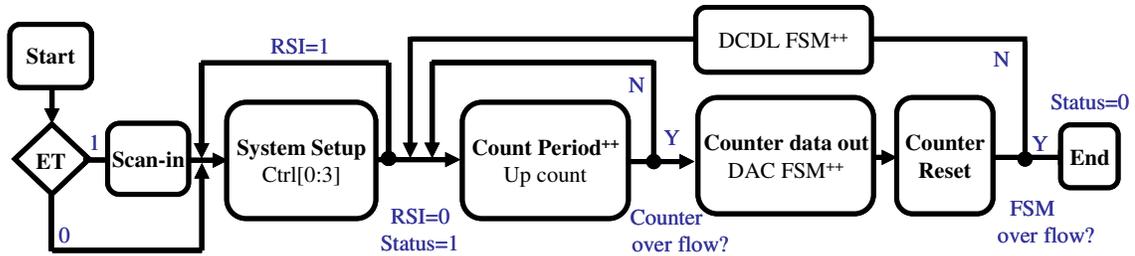


圖 3.1 系統流程圖

重置的訊號，此時，強制所有有限狀態機、計數器以及所有數位電路的各個暫存器皆初始化；當重置為零之後，*STATUS* 腳位也會從高電壓準位變成高電壓準位，表示電路開始運作，計數器開始計數周期，並儲存錯誤的次數，直到數位/類比訊號轉換器的週期結束，計數器送出貨料，並增加數位/類比訊號轉換器的控制碼，接著將計數器作重置，當數位控制延遲電路控制發生異位，則總週期結束，整個系統運作完成，*STATUS* 腳位也會從高電壓準位變成高電壓準位，表示電路運作已經結束。圖 3.2 為自動控制測試模式系統時序之示意圖。

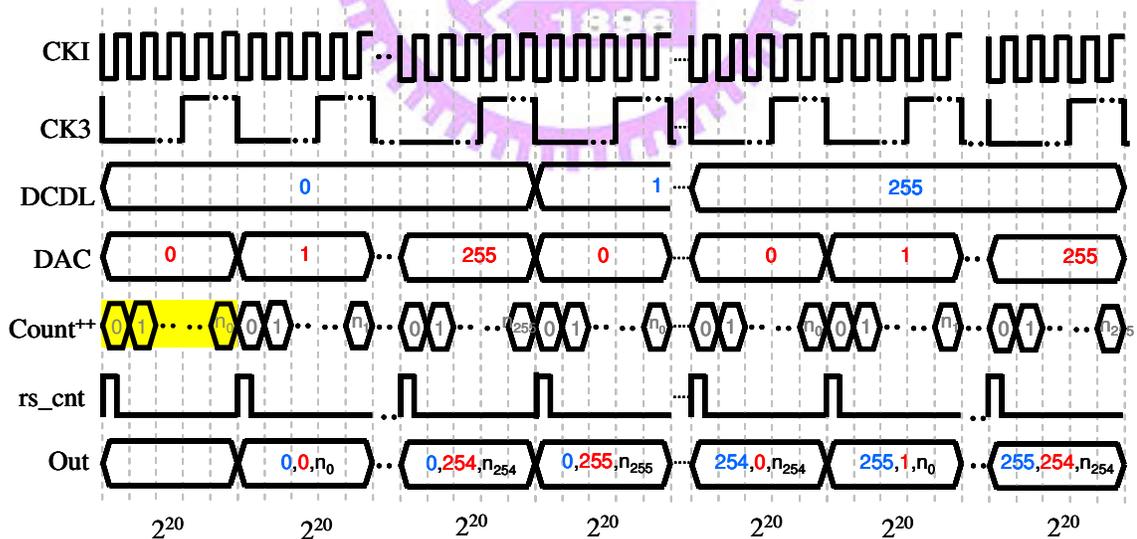


圖 3.2 系統時序之示意圖

由上至下依序為系統 250MHz 的時脈 *CKI* 腳位，*CK3* 是除頻電路是選擇除以 20，往下數位控制延遲電路的控制碼，數位/類比訊號轉換器的控制碼，*Count++* 是計數

器所計數的錯誤量，`rs_cnt` 是計數器的重置訊號，最後 `Out` 是掃描鏈的輸出，分別為 `X0`、`Y0`、`N[0 : 2]` 腳位。

為了降低電路模擬的時間，另外加入四個輸入控制位元 `CTRL[0 : 4]` 腳位。將有單一個八位元的限狀態機，設計為由兩個四位元有限狀態機組成，多加上一個多工器做控制選擇，如此，及可選性的增加或降低模擬速度。`CTRL[1 : 0]` 腳位是控制除頻器的輸入控制位元，如果分別為 00 是選擇除以 2^5 ；如果為 10 是選擇除以 2^{10} ；如果為 01 是選擇除以 2^{15} ；如果為 11 是選擇除以 2^{20} 。`CTRL[2]` 腳位是控制數位/類比訊號轉換器的輸入控制位元，如果為零，是選擇八位元；如果為一，是選擇四位元。`CTRL[3]` 腳位是控制數位控制延遲電路的輸入控制位元，如果為零，是選擇八位元；如果為一，是選擇四位元。如此，將可大大降低，電路所模擬的時間。圖 3.2 系統時序之示意圖，即是 `CTRL[1 : 0]` 腳位選擇 11，`CTRL[2]` 腳位歸零，`CTRL[3]` 腳位歸零，此為模擬時間最長的設定，資料傳輸率為 400ps，總量測時間需要 655G 位元時間，即可完整分析出整個眼圖的情況。

圖 3.3 是 內建自我測試電路之區塊圖。主要分為五大區塊，取樣並保持電路、數位/類比訊號轉換器、數位控制延遲電路、比較器、計數器，取以及一些數位控制電路…等等。整個系統分為四種操作模式，如表 3.1 我們將此四種操作模式，列成表格。其中兩種，區塊電路測試模式與眼圖張開測試模式，此兩種模式可以同時存在，兩種模式的差別只是為方便解說，還有觀察的輸出腳位不同而稱之。

首先是區塊電路測試模式，這是為觀察區塊電路能否正常工作的模式。`ET` 腳位為高電壓準位，先觀察數位控制延遲電路的輸出腳位 `DCDL_BUFO` 之延遲時間，是不是

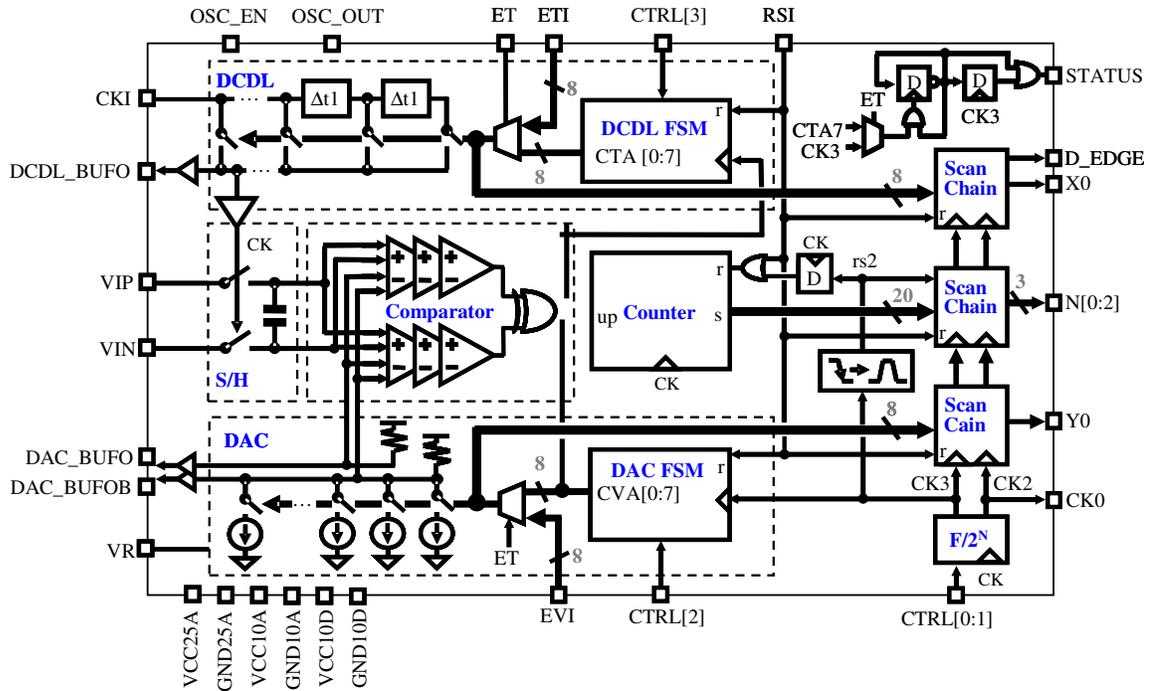


圖 3.3 內建自我測試電路之區塊圖

依據我們外部的控制 ETI ，而輸出我們所預期的延遲時間；以及觀察 ET 腳位為高電壓準位時，延遲時間的線性度等等。其次是觀察數位/類比訊號轉換器的 ET 腳位為高電壓準位時，數位/類比訊號轉換器的輸出腳位 DAC_BUFO 、 DAC_BUFOB 之輸出電壓，是不是依據我們外部的控制 EVI ，而輸出所預期的電壓；以及觀察 ET 腳位為高電壓準位時，輸出電壓的線性度等等。

眼圖張開測試模式，這是為觀察眼圖是否有張開的模式。 ET 腳位為高電壓準位，觀察輸出腳位 $X0$ 、 $Y0$ 、 $N[0:2]$ 腳位，是不是依據我們給定外部的控制 ETI 、 EVI ，而輸出我們所預期的眼圖遮蔽；以及觀察 ET 腳位為高電壓準位時，輸出我們所完整的眼圖遮蔽等等。

表 3.1 四種測試模式之設定表

Input Setting Test Mode	ET	VIP/VIN	Output Measurement	CK (MHz)	VR (mV)	Control	RSI
Eye Diagram	0/1	2.5Gbps	X0、Y0、 N[0 : 2]、CK0、 D_EDGE	250	400	CTRL[1, 0] 00 : Divided by 2^5 01 : Divided by 2^{10} 10 : Divided by 2^{15} 11 : Divided by 2^{20}	Logic "High"
Block Circuit	0/1	-	DAC_BUFO、 DAC_BUFOB、 DCDL_BUFO				
Auto Control	0	By Eye Diagram Test Mode or Block Circuit Test Mode					
Manual Control	1						

選定 ET 腳位的準位，數位電路經過重置 (RSI 腳位等於高電壓準位)後，會開始做區塊電路測試模式，或是眼圖張開測試模式，端視觀察哪一個輸出腳位。當電路開始運作，根本無法得知電路已經計數到哪裡，或運作結束了沒?所以我們利用 STATUS 腳位來判斷，當 RSI 腳位為一時，除了送訊號給數位電路作重置，同時送 CK3 訊號，將 STATUS 腳位設為一，STATUS 腳位之功能就如同機台運作時，電源啟動的顯示燈一樣，在自動控制模式時，CK3 的訊號一送過來，將 STATUS 腳位為一，等同告訴邏輯

分析儀，資料起始之起點 (0, 0)；當數位控制延遲電路發生異位， $CTA[7]$ 為一時，將 $STATUS$ 腳位歸零，等同告知邏輯分析儀，資料起始之終點座標 (256, 256)。手動控制模式因為速度太快，所以並不需要使用 $STATUS$ 腳位。其中，為了方便資料判讀，多增加兩個輸出腳位 $CK0$ 和 D_EDGE ， $CK0$ 腳位是為了搭配所有輸出資料，做重新計時 (Re-Time)， D_EDGE 腳位是每一筆掃描鏈輸出資料之頭部訊號，也就是每一筆資料的起點，關於 D_EDGE 腳位，詳情請見圖 2.58 計數器與掃描鏈之時序圖。

3-2 模擬結果

以下是類比電路的模擬，包含有數位控制延遲電路、數位/類比訊號轉換器、取樣並保持電路，以及比較器等電路。此佈局後模擬，針對三種不同的輸入眼圖振幅，擷取比較器的輸出，所做的行為模擬。為降低模擬的時間，每個格子點取樣十次，數位控制延遲電路與數位/類比訊號轉換器的控制訊號，並沒有完整模擬所有的控制碼，可以看出每個間隔很大，不過這只為了能快速驗證電路的功能，有正確的運作。

我們將電路的模擬結果，使用 Microsoft Office Excel 軟件製成表格，如同圖 2.2 之量測結果之示意圖一樣， X 軸代表數位控制延遲電路的延遲時間 Δt ， Y 軸代表數位/類比訊號轉換器的輸出電壓 Δv ，小格子黃色區塊部分，可以看出輸出眼圖所張開的區域，與輸入眼圖的振幅相符。紅色線條是輸入眼圖的振幅為差動正負 600mV，如圖 3.4；藍色線條是輸入眼圖的振幅為 400mV，如圖 3.5；粉紅色線條是輸入眼圖的振幅為 200mV，如圖 3.6。

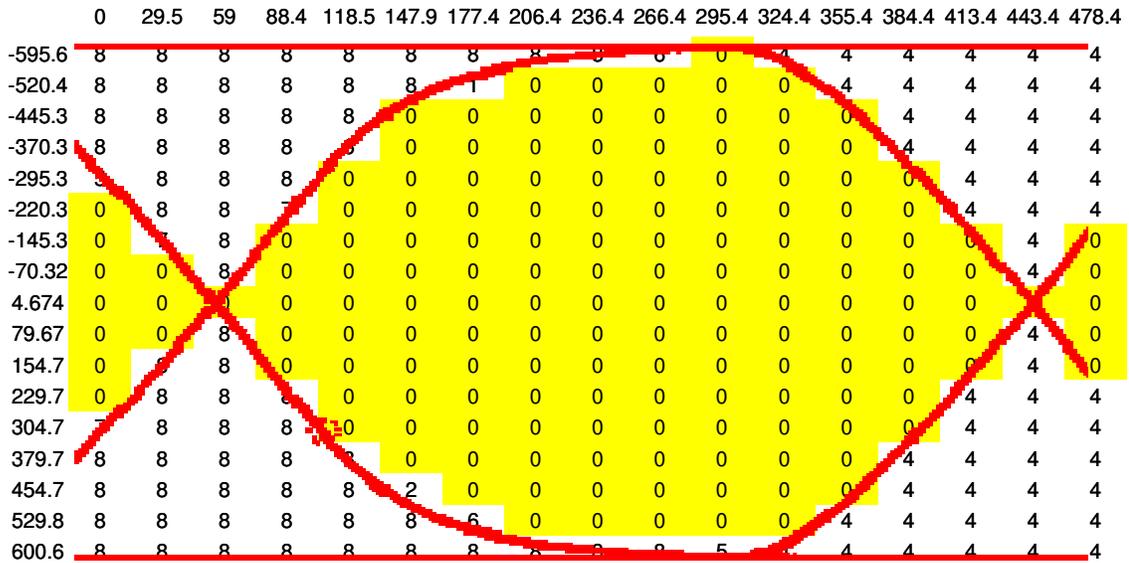


圖 3.4 輸入眼圖振幅為 600 毫伏特之模擬圖

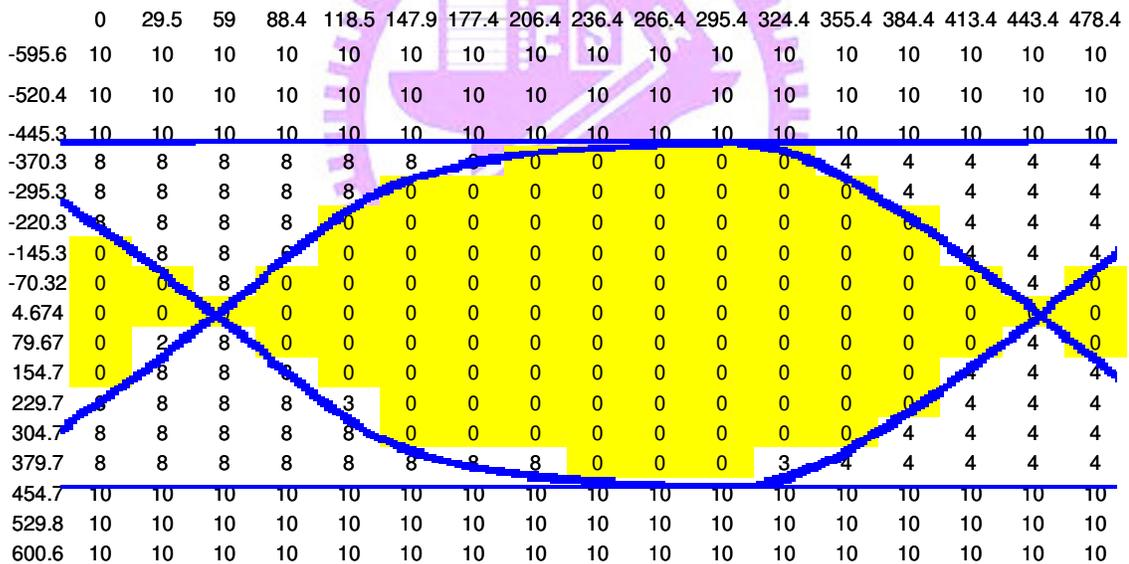


圖 3.5 輸入眼圖振幅為 400 毫伏特之模擬圖

	0	29.5	59	88.4	118.5	147.9	177.4	206.4	236.4	266.4	295.4	324.4	355.4	384.4	413.4	443.4	478.4
-595.6	10	10	10	10	10	10	10	10	10	10	10	10	10	10	10	10	10
-520.4	10	10	10	10	10	10	10	10	10	10	10	10	10	10	10	10	10
-445.3	10	10	10	10	10	10	10	10	10	10	10	10	10	10	10	10	10
-370.3	10	10	10	10	10	10	10	10	10	10	10	10	10	10	10	10	10
-295.3	10	10	10	10	10	10	10	10	10	10	10	10	10	10	10	10	10
-220.3	10	10	10	10	10	10	10	10	10	10	10	10	10	10	10	10	10
-145.3	8	8	8	8	8	0	0	0	0	0	0	0	0	4	4	4	4
-70.32	0	8	8	7	0	0	0	0	0	0	0	0	0	4	4	4	4
4.674	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
79.67	0	8	8	8	0	0	0	0	0	0	0	0	0	4	4	4	4
154.7	8	8	8	8	0	0	0	0	0	0	0	0	2	4	4	4	4
229.7	10	10	10	10	10	10	10	10	10	10	10	10	10	10	10	10	10
304.7	10	10	10	10	10	10	10	10	10	10	10	10	10	10	10	10	10
379.7	10	10	10	10	10	10	10	10	10	10	10	10	10	10	10	10	10
454.7	10	10	10	10	10	10	10	10	10	10	10	10	10	10	10	10	10
529.8	10	10	10	10	10	10	10	10	10	10	10	10	10	10	10	10	10
600.6	10	10	10	10	10	10	10	10	10	10	10	10	10	10	10	10	10

圖 3.6 輸入眼圖振幅為 200 毫伏特之模擬圖

3-3 佈局



隨著製程的演進，元件的尺寸得以大幅縮減，積體電路 (Integrated Circuit: IC) 的性能與速度已經大幅提升，並降低晶片的製造成本，但伴隨著浮現一些可靠度的問題。互補式金屬-氧化層-半導體 (Complementary Metal-Oxide-Semiconductor: CMOS) 元件，因為先進的製程技術，得以縮到更小的元件尺寸，但這使得互補式金屬-氧化層-半導體積體電路對靜電的防護能力下降許多，但是外界環境所產生的靜電並不會因為製程下降而下降，可預期的是靜電放電 (Electrostatic Discharge: ESD) 在半導體製程中的影響也將會加劇，元件會因靜電放電的傷害更加嚴重。為防止靜電放電對 IC 的破壞，可從兩點下手，第一是提升元件本身對靜電放電的防護能力，也就是增加靜電放電防護電路 (ESD Protection Circuits)；其次是加強製造、封裝、測試、組裝以及運輸等環境的靜電

放電防護，降低環境靜電的產生。靜電放電模式有三種，人體放電模式 (Human Body Model : HBM)、機器放電模式 (Machine Model : MM)、元件充電模式 (Charge Device Model : CDM)。元件充電模式之瞬間充電電流最大，最容易造成元件損傷。

當靜電放電的電壓出現在輸入/輸出腳位上時，靜電放電防護電路必須能夠立刻導通來排放靜電放電放電電流，因此，在 IC 佈局當中，靜電放電防護電路一般都置於輸入/輸出單元之鉚墊旁，以就近排放靜電放電電流，靜電放電防護電路內所使用的元件，必須要具備較低的崩潰電壓 (Breakdown Voltage) 或較快的導通速度。

本論文使用了三種放電防護電路，電源以及地線之間使用電源-電線箝制電路，輸入/輸出單元使用箝制緩衝電路、箝制二極體，所使用之元件，至少接可承受人體放電模式之 2K 電壓。電源箝制電路一般常稱為電阻-電容反相器 (R-C Inverter)，由一個反相器、一組電阻-電容網路以及一顆具有箝制電壓效果之 N 型電晶體所組成。

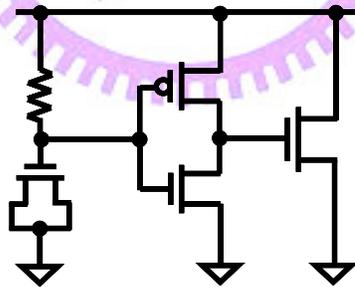


圖 3.7 電源-地線箝制之電路圖

當晶片正常工作時，反相器輸入端為高電位，輸出端為低電位，N 型電晶體不導通。當大靜電出現在電源及地線之間，反相器之 P 型電晶體將先被導通，因為電阻-電容網路有延遲效應，反相器之 P 型電晶體之閘極端電壓上升慢，源極與閘極之間產生電壓差，反相器之輸出電位將升高至接近電源之電位，接著，N 型電晶體也導通，並在

第三章 系統

電源及地線之間形成低阻抗的狀態，靜電將透過大型 N 型電晶體之通道疏散靜電。人體放電模式之上升時間為 10ns，電源開啟時之上升時間為 1ms，放電防護電路之時間常數應設計為 0.1~1 μ s 之間，讓反相器輸入端能跟上 1ms 電源之上升時間。

一般的輸入/輸出單元選用最傳統之箝制緩衝電路，如圖 3.8 之左圖，P、N 型電晶體可視為界面三極體 (Bipolar Junction Transistor: BJT)，用於導引電流方向。如果需要輸入負載較小，則選用箝制二極體，因為我們的電源-地線箝制電路就在附近，箝制二極體用於導引電流方向，電壓與與電源線之電壓差超過二極體之壓降，則二極體將導通，防止靜電打壞內部電路。

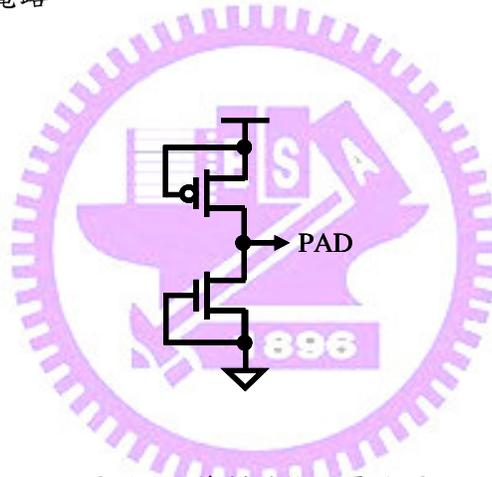


圖 3.8 箝制緩衝之電路圖

輸入/輸出單元的放電防護電路中，通常是大尺寸之 P、N 型電晶體。在佈局時，大尺寸之電晶體寬度較長，因此都會採用閘極雙端連接的指狀式佈局，這將造成靜電電流無法均勻導通的現象。其中，N 型電晶體比起 P 型電晶體，具有更明顯之驟回崩潰 (Snapback Breakdown) 的特性，就算因此增加 N 型電晶體尺寸，也無法改善 N 型電晶體，對靜電電流之耐受度，容易在中間指狀之閘極被靜電打穿。有鑑於此，我們將 P、N 型電晶體之汲極使用光罩 SAB (Salicide-Block, SBLK) 蓋住，SAB 為除去 Salicide 之光罩，則阻抗將增加，如同在汲極增加電阻，即可讓電流均勻分布。

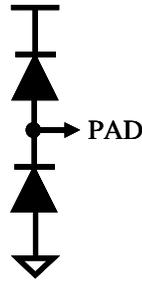


圖 3.9 箝制二極體之電路圖

金屬-絕緣層-金屬 (Metal-Insulator-Metal : MIM) 電容之結構中，使用高介電係數的材料，可以以較大薄膜厚度，獲得一樣的電容密度，但也因為多一層光罩 (Mask)，也增加製造晶片的成本，因此我們使用指叉式電容 (Inter-Digital Capacitor)，利用六層金屬層，以指叉的方式，產生容值。電容與電阻下方，鋪滿整片 N-Well 層，大幅降低雜訊的干擾。電容主要的誤差為過度蝕刻的問題，所以在佈局大電容時，要使用小單位的電容佈局，必要的時候，要是當的加入假電容 (Dummy Capacitor)，補償電容之匹配度，並在電容外圍加上防護環 (Guard Ring)，將防護環的電位接到乾淨的地線，乾淨的地線是指電位獨立拉線接到地線之鉸墊。數位/類比訊號轉換器使用小單位容值為 250fF 的電容群組所組成。

數位電路與類比電路分為上下兩個區塊，數位電路包含計數器、有限狀態機、掃描線、除頻器、掃描輸入電路以及數位控制電路等等。核心電路 (Core Circuit) 的佈局圖。類比電路則是包含取樣並保持電路、數位/類比訊號轉換器、數位控制延遲電路、比較器。

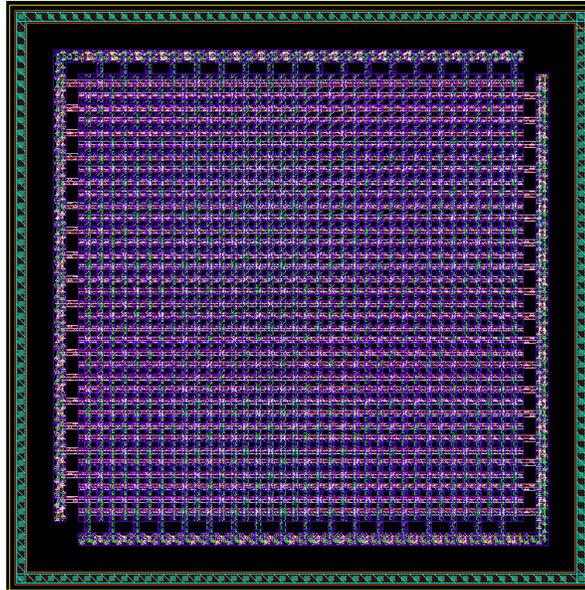


圖 3.10 指叉式電容之佈局圖

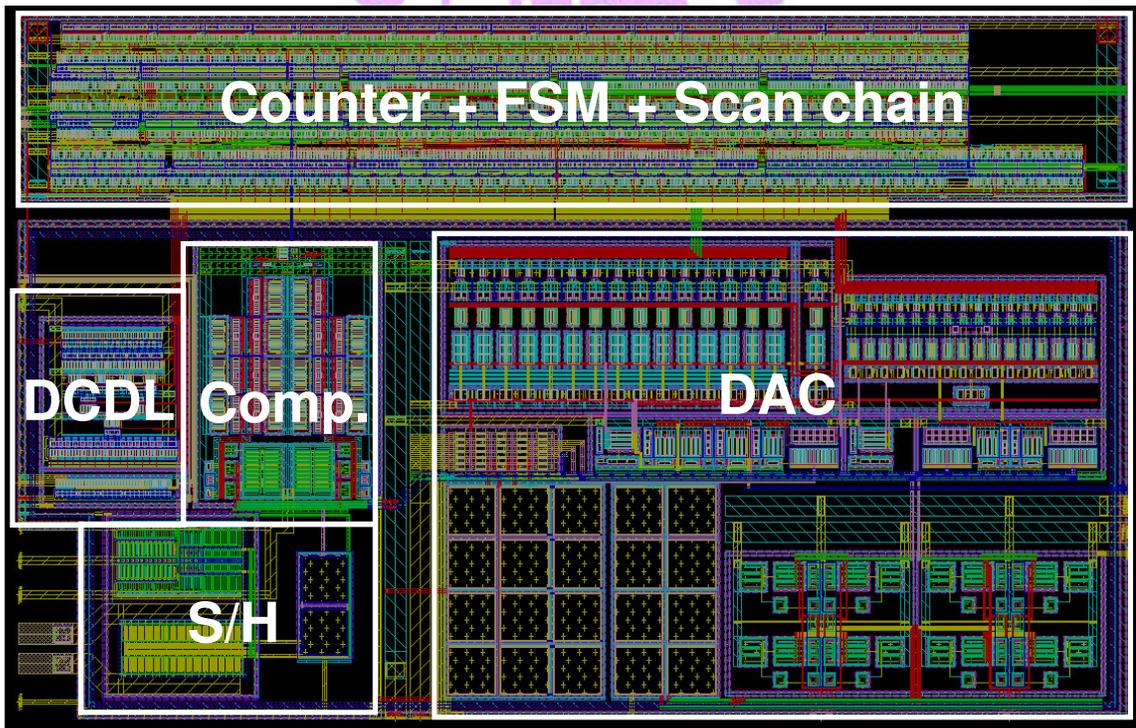
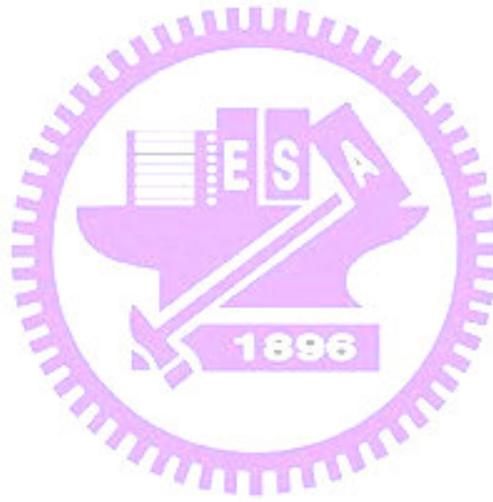


圖 3.11 內建自我測試電路核心之佈局圖

第三章 系統

類比電路中的區塊電路，電源皆是獨立接到錳墊，P、N 型電晶體分別加上防護環，減少雜訊進入的路徑。對於差動對的元件匹配，使用指叉式的擺放方式佈局，提高訊號的對稱性，必要的時候，也會加上假元件 (Dummy Device)，讓元件匹配的效果更好。在關鍵路徑 (Critical Path)，加上掩護線 (Shielding) 接到地線，降低繞線與繞線彼此之間的互擾 (Cross Talk) 現象，如數位控制延遲電路的輸出 DCDL_BUFO 以及時脈 CKI 等腳位，掩護線的電位是獨立拉線接到地線之錳墊。圖 3.12 為高速序列傳輸之內建自我測試電路設計之晶片佈局圖。核心電路的面積為 $269.66\mu\text{m}^2 \times 171.195\mu\text{m}^2$ ，晶片面積不含切割道 (Scribe Line) 但包含錳墊的面積為 $1215.78\mu\text{m}^2 \times 1286.74\mu\text{m}^2$ 。



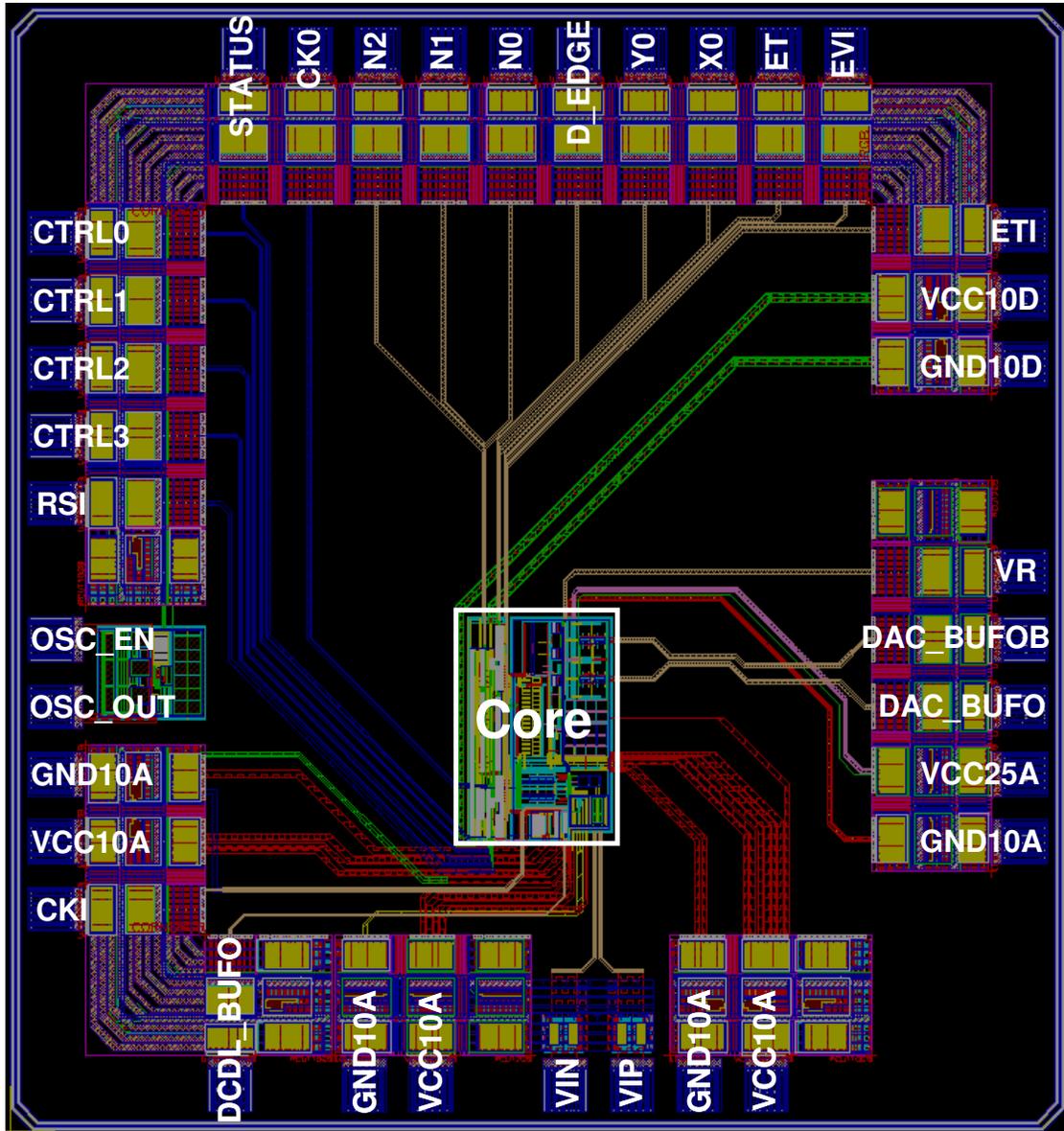


圖 3.12 內建自我測試電路晶片之佈局圖

個腳位，目前使用 35 個腳位。此封裝方式不但體積小，更小的寄生電感與電容，讓方型扁平無引腳封裝有更好的電氣特性，成本又低，更提供良好散熱性等優點，也能符合我們所需的高速需求。

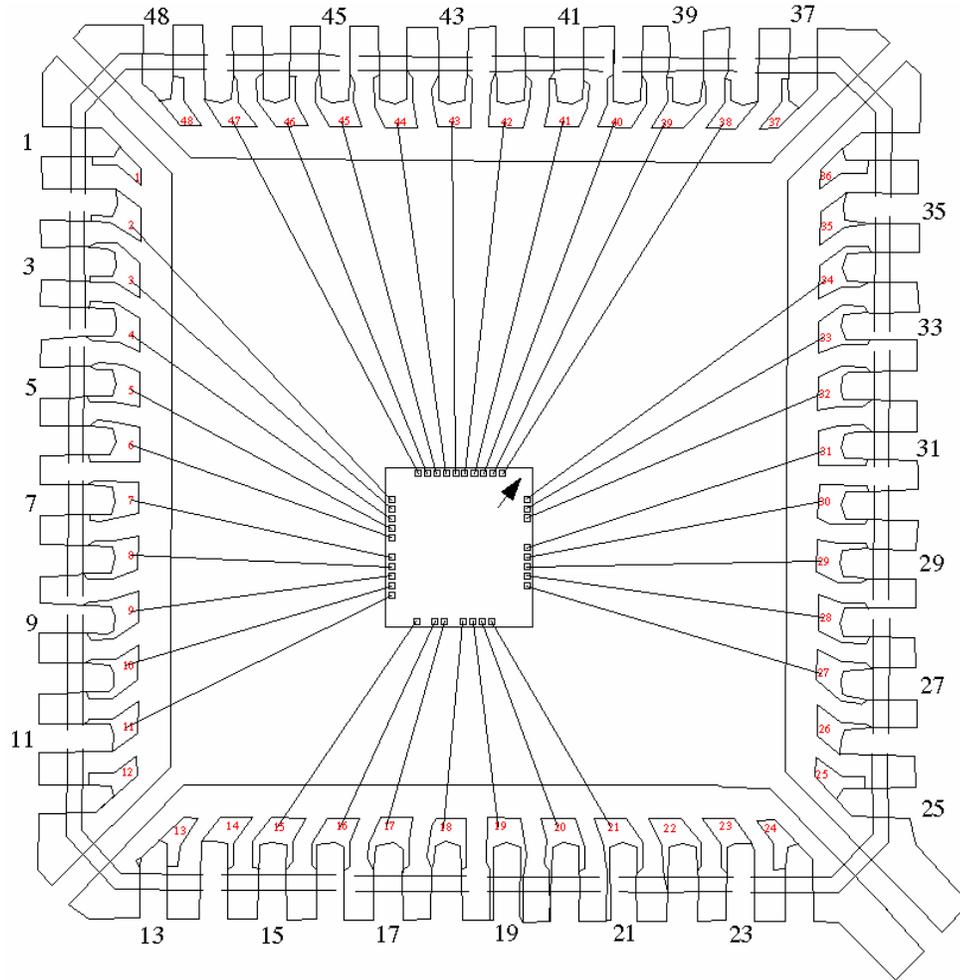


圖 3.13 內建自我測試電路之打線圖

3-4 腳位功能描述

下列表格為晶片之所有輸出輸入單元的腳位功能描述。

表 3.2 腳位功能描述

#	Pin Name	I/O Type	Function Description
1	VCC25A	Power	2.5V Analog power for Sample and Hold circuit
2	GND25A	Ground	2.5V Analog ground for Sample and Hold circuit
3	VCC25A	Power	2.5V Analog power for DAC output buffer circuit
4	GND25A	Ground	2.5V Analog ground for DAC output buffer circuit
5	VCC10A	Power	1.0V Analog power for DCDL circuit
6	GND10A	Ground	1.0V Analog ground for DCDL circuit
7	VCC10A	Power	1.0V Analog power
8	GND10A	Ground	1.0V Analog ground
9	VCC10D	Power	1.0V Digital power
10	GND10D	Ground	1.0V Digital ground
11	VIP	Input	Positive input pin
12	VIN	Input	Negative input pin
13	RSI	Input	Reset for chip : Active High
14	CKI	Input	Clock (250MHz) input for DCDL
15	CK0	Output	Clock output for retime
16	VR	Input	Reference voltage 400mv for DAC
17	STATUS	Output	Output pin for system operation sign
18	ET	Input	Manual Control Test Mode : Active High Auto Control Test Mode : Active Low
19	ETI	Input	Control bits for DCDL
20	EVI	Input	Control bits for DAC
21	DCDL_BUFO	Output	DCDL output voltage
22	DAC_BUFO	Output	DAC output positive voltage

23	DAC_BUFOB	Output	DAC output negative voltage
24	X0	Output	The eye diagrammatic X-coordinate
25	Y0	Output	The eye diagrammatic Y-coordinate
26	N [2]	Output	The eye diagrammatic Z -coordinate
27	N [1]	Output	The eye diagrammatic Z -coordinate
28	N [0]	Output	The eye diagrammatic Z -coordinate
29	Ctrl[3]	Input	Control pin bits option for DCDL 8 Bits : Active Low ; 4 Bits : Active High
30	Ctrl[2]	Input	Control pin bits option for DAC 8 Bits : Active Low ; 4 Bits : Active High
31	Ctrl[1]	Input	Ctrl[1 , 0]=00 : Divided by 2^5
32	Ctrl[0]	Input	Ctrl[1 , 0]=01 : Divided by 2^{10}
			Ctrl[1 , 0]=10 : Divided by 2^{15}
			Ctrl[1 , 0]=11 : Divided by 2^{20}
33	D_EDGE	Output	Data scan out after this pin from low to high edge
34	OSC_EN	Input	Enable/Disable control for ring oscillator : Active High
35	OSC_OUT	Output	Clock output pin for Ring Oscillator

第4章

測試環境



4-1 測試環境

接下來要介紹，測量晶片時，機器設備與其設定的環境。

利用高速示波器 Agilent 86100B 觀察數位/類比訊號轉換器與數位控制延遲電路之輸出波形。 Agilent N4901B Serial BERT 13.5 Gb/s 涵蓋從 150 Mb/s 到 13.5 Gb/s 的頻率範圍，利用 Agilent N4901B 提供輸入的訊號。利用邏輯分析儀 Agilent 16702B 分析及儲存訊號之間的時序關係。最後當然要有基本的提供電源以及三用電錶。

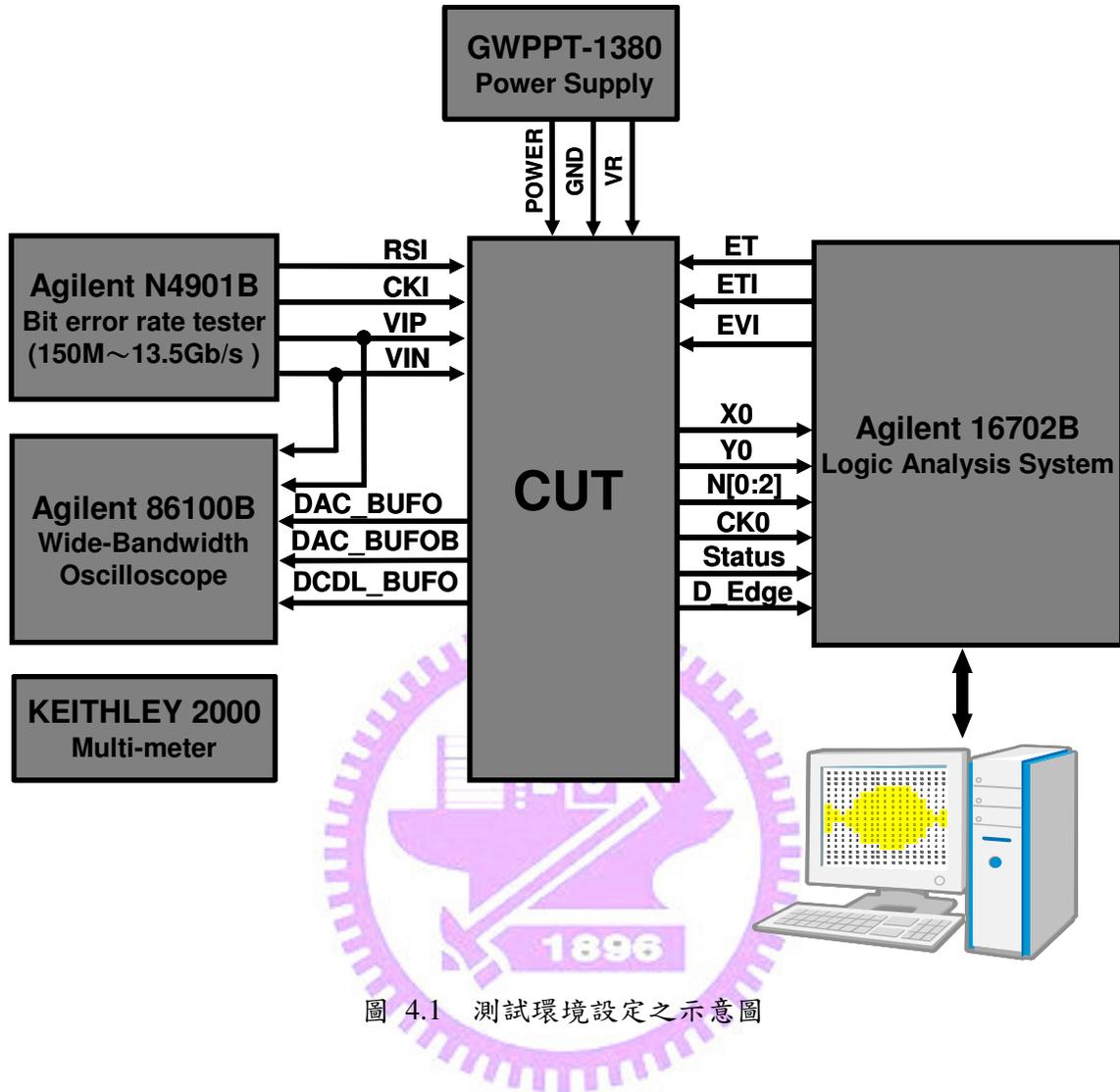


圖 4.1 測試環境設定之示意圖

4-2 測試流程

首先要測量的即是晶片的功率消耗，如關機電流 (Power-Down Current) 、運作電流 (Operation Current) 、待機電流 (Stand-by Current) 。

第二步驟是觀察晶片的交流特性，藉此確認電路的效能以及電路的穩定性，確認區塊電路運作正常，其中，就是觀察數位/類比訊號轉換器之輸出電壓與數位控制延遲電路

之解析度，並記錄積分非線性與差分非線性。

最後一個步驟，是觀察眼圖是否張開。將儀器所紀錄的資料與座標位址，利用桌上型電腦之軟體，加以分析並繪製，與眼狀圖做比對，即可確認眼圖是否張開。這些步驟當中，都需要去改變電壓、溫度等參數，藉以得到最佳之測量結果。電壓 0.9V、1V、1.2V，溫度變化為-40°C、0°C、25°C、85°C、125°C。

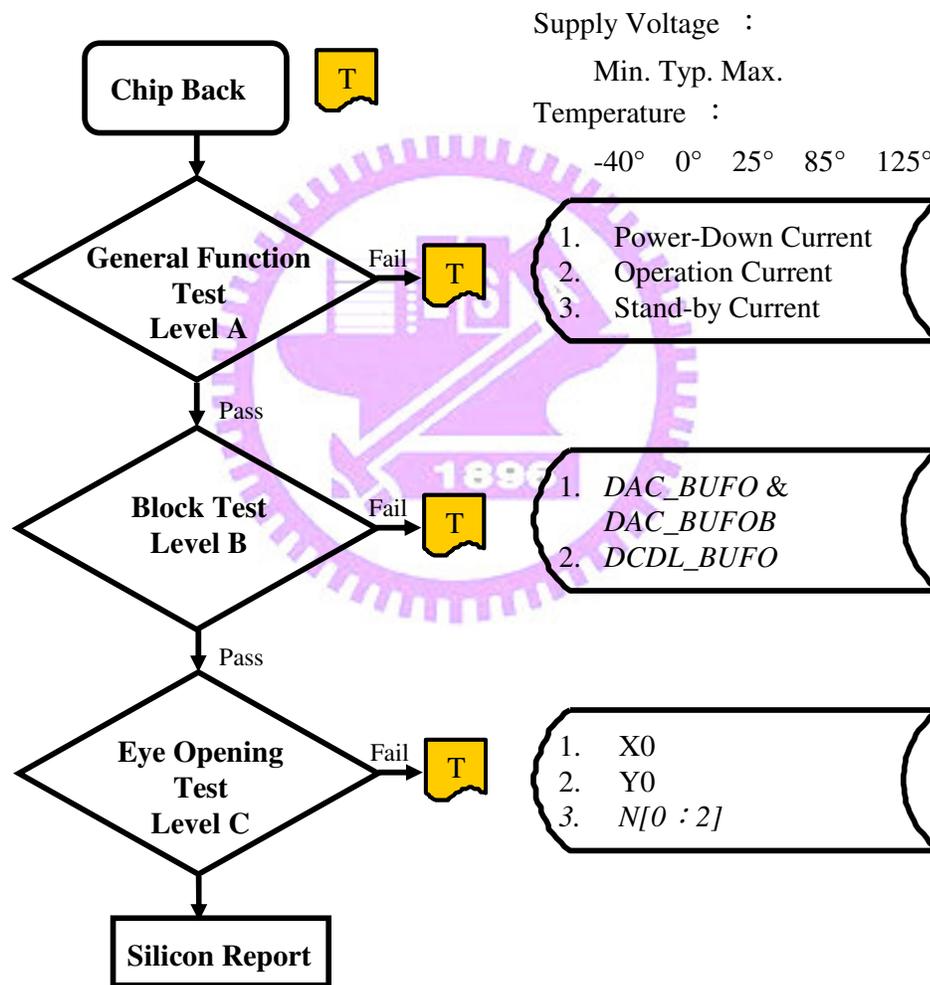


圖 4.2 測試流程圖

4-3 測試項目

此份測試報告，需要包含下列項目：

量測數位/類比訊號轉換器之輸出電壓

量測數位控制延遲電路之解析度

觀察輸入訊號與實際輸出眼圖是否相符

4-3-1 基本功能測試模式

- 關機電流

目的

觀察在關機模式中，電流的消耗。

輸入設定

RSI 高電壓準位

CKI 高電壓準位

VIP 2.5V 電源

VIN 2.5V 電源

觀察輸出

電源供應器的電流量。

測試設備

Agilent N4901B、KEITHLEY 2000、GW PPT-1830

- 運作電流

目的

觀察在運作模式中，電流的消耗。

輸入設定

RSI 高電壓準位
CKI 250MHz
VIP 2.5Gbps
VIN 2.5Gbps
Ctrl[3] 高電壓準位
Ctrl[2] 高電壓準位
Ctrl[1] 高電壓準位
Ctrl[0] 高電壓準位
ET 高電壓準位
ETI 0000, 0000 ~ 1111, 1111
EVI 0000, 0000 ~ 1111, 1111
VR 400mV

觀察輸出

電源供應器的電流量。

測試設備

Agilent N4901B、Agilent 16702B、KEITHLEY 2000、
GW PPT-1830

- 待機電流測試模式

目的

觀察在電路無動作的模式中，電流的消耗。

輸入設定

RSI 高電壓準位
CKI 250MHz
VIP 2.5Gbps
VIN 2.5Gbps
Ctrl[3] 高電壓準位
Ctrl[2] 高電壓準位
Ctrl[1] 高電壓準位
Ctrl[0] 高電壓準位
ET 高電壓準位

ETI 0000, 0000
EVI 0000, 0000
VR 400mV

觀察輸出
電源供應器的電流量。

測試設備
Agilent N4901B、Agilent 16702B、KEITHLEY 2000、GW PPT-1830

4-3-2 區塊測試模式

目的

觀察數位/類比訊號轉換器之輸出電壓與數位控制延遲電路之解析度。

輸入設定

RSI 高電壓準位
CKI 250MHz
ET 高電壓準位
Ctrl[3] 高電壓準位
Ctrl[2] 高電壓準位
Ctrl[1] 高電壓準位
Ctrl[0] 高電壓準位
ET 高電壓準位
VR 400mV

觀察輸出

1. 數位控制延遲電路的輸出腳位 DCDL_BUFO
2. 數位類比轉換器的輸出腳位 DAC_BUFO、DAC_BUFOB

測試設備

Agilent N4901B、Agilent 86100B、Agilent 16702B、KEITHLEY 2000、GW PPT-1830

4-3-3 眼圖張開測試模式

目的

觀察輸入訊號與實際輸出眼圖是否相符。

輸入設定

RSI	高電壓準位
CKI	250MHz
VIP	2.5Gbps
VIN	2.5Gbps
Ctrl[3]	高電壓準位
Ctrl[2]	高電壓準位
Ctrl[1]	高電壓準位
Ctrl[0]	高電壓準位
ET	高電壓準位 / 高電壓準位
ETI	依需求設定 / 不需設定
EVI	依需求設定 / 不需設定
VR	400mV

觀察輸出

1. 掃描鏈的輸出腳位 $X0$
2. 掃描鏈的輸出腳位 $Y0$
3. 掃描鏈的輸出腳位 $N[0 : 2]$

測試設備

Agilent N4901B、Agilent 86100B、Agilent 16702B、
KEITHLEY 2000、GW PPT-1830

第5章

結論



此篇論文中，我們根據外部設備互聯總線第二代基本規格要求，設計在發射端後面，放上高速序列傳輸之內建自我測試電路設計，藉此達到量產測試之目的。

使用 UMC 90nm 1P9M Logic / Mixed Mode Low-K SP-RVT Process 來實現電路，眼圖之抖動解析度為 2.8ps，眼圖之振幅解析度為 4.68mV，眼圖之振幅量測範圍為 0~1.2V，核心電路的面積為 $270\mu\text{m}^2 \times 171\mu\text{m}^2$ ，晶片面積不含切割道 (Scribe Line) 但包含鐳墊的面積為 $1215\mu\text{m}^2 \times 1286\mu\text{m}^2$ 。完整量完整個眼圖，且每點取樣 10^6 次，則總量測時間為 655G 位元時間，不過一般發射端的量產測試，只需要確認眼圖有無張開，只需要固定的給一組數位/類比訊號轉換器的控制碼，所以並不一定需要耗費 655G 位元時間。

表 5.1 系統規格表

Specification	Value	Unit
Data rate	2.5G	bps
Technology	UMC 90nm 1P9M Logic / Mixed Mode Low-K SP-RVT	
Supply Voltage	1.0 / 2.5	V
Power Consumption	8.8	mW
Metal Layer	7	Layer
Core Area	171.20X269.66	μm^2
Chip Area (W/o scribe line)	1215.78 X1286.74	μm^2
Jitter resolution	2.8	ps
Amplitude resolution	4.68	mV
Amplitude range	$\pm 600\text{m}$	V
Input Common Mode Voltage	0 ~ 1.0	V
Measurement time	655G	bit time

未加上輸入緩衝器 (Input Buffer) 的內建自我測試電路，對於傳輸端的影響，是由取樣並保持電路所主導，當取樣並保持電路內部開關電阻之開與關中，可等效成兩種不同的模型，當開關打開時，約等效為 15 歐姆的阻抗，以及 800fF 的電容；當開關關閉時，約等效為 200fF 的電容。當取樣並保持電路內部開關電阻為關閉時，以傳輸端的輸出 2.5Gbps 的操作速度而言，時間常數需控制在 125ps ($3.3 \tau < 800\text{p}$)，輸出阻抗 50 歐姆，可容許之最大電容為 2.5pF，本內建自我測試電路可容許之最大電容 8%，因此，視為不可乎略之容值。我們將傳輸端後方，放上本內建自我測試電路，並模擬本電路對於傳輸端之影響，如圖 5.1。

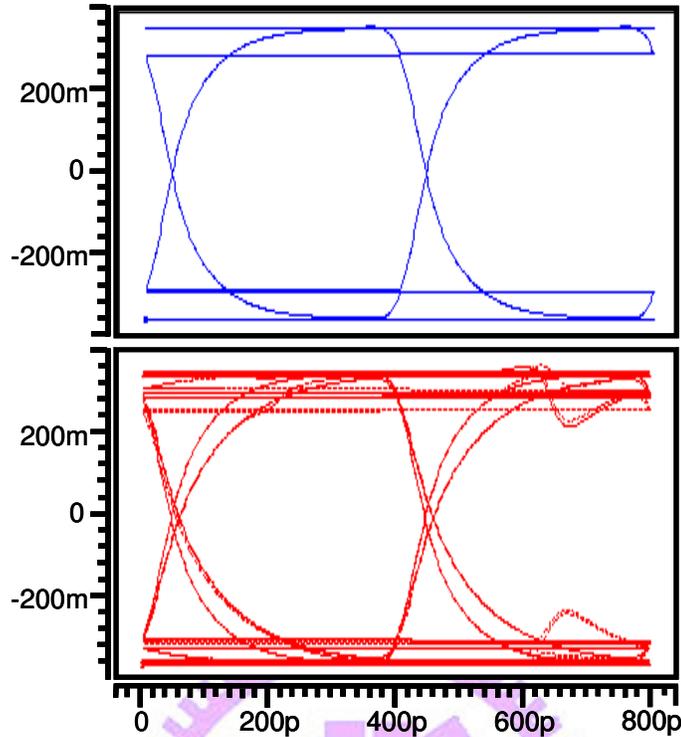
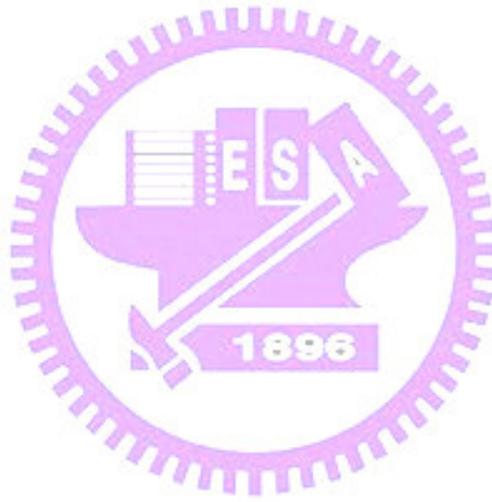


圖 5.1 傳輸端後方未加入/加入內建自我測試電路設計之波形

本內建自我測試電路置放於發射端的後端，要以不影響待測試元件的輸出為主，先前有考量加入輸入緩衝器，若加入額外之輸入緩衝器，則可降低內建自我測試電路對傳輸端的影響。不過，輸入緩衝器在溫度以及供應電壓的偏移狀態下，仍需要高頻寬 (>2.5GHz)、低輸入電容(<25fF)、低增益誤差(<1%)，以及較寬操作準位，輸入共模電壓 0~600mV 與輸入差模電壓 0~1V 的特性，對製程的頻寬要求遠大於在高速序列傳輸之內建自我測試電路設計內部的任何一個區塊電路，理論上應為高功率，和需要搭配被動電容電感來增加頻寬，如利用界面三極體製程實現，預期面積將大幅增加，也將降低此內建自我測試電路運用於產品之競爭性。在成本考量下，可同高速序列傳輸之內建自我測試電路設計一樣使用 90nm 製程，不過為降低輸入負載，元件尺寸也不小，所需佈局的面積仍然不可小去。考量對於輸入緩衝器的高性能需求，目前替代方案為選購適當之輸入緩衝器，選擇性的焊接至印刷電路板上，高速序列傳輸之內建自我測試電路設計的實

現，是以先能達成運作為基礎，未來能考慮是否加入輸入緩衝器，以達到更為精準的測量結果。

目前為了方便灌入不同之測試波型 (Test Pattern) ，採用晶片外 (Off-Chip) 之量測方式，此晶片預計 2008 年 9 月 21 日下線，未來晶片之功能驗證順利，及可考慮接收端與內建自我測試電路，一同設計置入晶片內 (On-Chip) 。



參考文獻

- [1] PCI-SIG, "PCI Express Base Specification Revision 2.0a," December 20, 2006.
- [2] PCI-SIG, "PCI Express Architecture PCI Express™ Jitter and BER Revision 1.0," February 11, 2005
- [3] A. H. Chan and G. W. Roberts, "A synthesizable, fast and high-resolution timing measurement device using a component-invariant vernier delay line," *itc*, pp.858-867, *International Test Conference 2001 (ITC'01)*, 2001
- [4] A. H. Chan and G. W. Roberts, "A deep sub-micron timing measurement circuit using a single-stage vernier delay line," *Custom Integrated Circuits Conference, 2002. Proceedings of the IEEE 2002*, pp. 77-80, 2002
- [5] N. Abaskharoun, M. Hafeed and G. W. Roberts, "Strategies for on-chip sub-nanosecond signal capture and timing measurements," *Circuits and Systems, 2001. ISCAS 2001. The 2001 IEEE International Symposium on*, vol.4, no., pp.174-177 vol. 4, 6-9 May 2001
- [6] T. Xia, H. Zheng, J. Li and A. Ginawi, "Self-refereed on-chip jitter measurement circuit using Vernier oscillators," *VLSI, 2005. Proceedings. IEEE Computer Society Annual Symposium on*, vol., no., pp. 218-223, 11-12 May 2005
- [7] K. H. Cheng, S. Y. Jiang and Z. S. Chen, "BIST for clock jitter measurements," *Circuits and Systems, 2003. ISCAS '03. Proceedings of the 2003 International Symposium on*, vol.5, no., pp. V-577-V-580 vol.5, 25-28 May 2003
- [8] V. Gutnik and A. Chandrakasan, "On-chip picosecond time measurement," *VLSI Circuits, 2000. Digest of Technical Papers. 2000 Symposium on*, vol., no., pp.52-53, 2000
- [9] C. C. Tsai and C. L. Lee, "An on-chip jitter measurement circuit for the PLL," *Test Symposium, 2003. ATS 2003. 12th Asian*, vol., no., pp. 332-335, 16-19 Nov. 2003
- [10] J. J. Huang and J. L. Huang, "A low-cost jitter measurement technique for BIST

- applications," *ats*, pp. 336-339, *12th Asian Test Symposium (ATS'03)*, 2003
- [11] J. J. Huang and J. L. Huang, "An infrastructure IP for on-chip clock jitter measurement," *Computer Design: VLSI in Computers and Processors, 2004. ICCD 2004. Proceedings. IEEE International Conference on*, vol., no., pp. 186-191, 11-13 Oct. 2004
- [12] B. Nelson and M. Soma, "On-chip calibration technique for delay line based BIST jitter measurement," *Circuits and Systems, 2004. ISCAS '04. Proceedings of the 2004 International Symposium on*, vol.1, no., pp. I-944-7 Vol.1, 23-26 May 2004
- [13] S. Sunter and A. Roy, "BIST for phase-locked loops in digital applications," *itc*, pp.532-540, *International Test Conference 1999 (ITC'99)*, 1999
- [14] T. J. Yamaguchi and M. Ishida, et al., "A Method for Measuring the Cycle-to-Cycle Period Jitter of High-Frequency Clock Signals," *vtc*, pp.102-110, *19th IEEE VLSI Test Symposium*, 2001
- [15] H. C. Lin and K. Taylor, et al., "CMOS built-in test architecture for high-speed jitter measurement," *itc*, pp. 67-76, *International Test Conference 2003 (ITC'03)*, 2003
- [16] K. Taylor and B. Nelson, et al., "Experimental Results for High-Speed Jitter Measurement Technique," *itc*, pp. 85-94, 26-28, *International Test Conference 2004 (ITC'04)*, 2004
- [17] K. A. Taylor and B. Nelson, et al., "Special issue on BIT CMOS built-in test architecture for high-speed jitter measurement," *Instrumentation and Measurement, IEEE Transactions on*, vol.54, no.3, pp. 975-987, June 2005
- [18] K. H. Cheng and S. Y. Jiang, "High accuracy jitter measurement using cyclic pulse width modulation structure," *VLSI Design, Automation and Test, 2005. (VLSI-TSA-DAT). 2005 IEEE VLSI-TSA International Symposium on*, vol., no., pp. 24-27, 27-29 April 2005
- [19] J. M. Cazeaux, M. Omana and C. Metra, "Low-Area On-Chip Circuit for Jitter Measurement in a Phase-Locked Loop," *iolts*, pp. 17-22, *International On-Line Testing Symposium, 10th IEEE (IOLTS'04)*, 2004
- [20] C. F. Li, S. S. Yang and T. Y. Chang, "On-chip accumulated jitter measurement for

- phase-locked loops," *Design Automation Conference, 2005. Proceedings of the ASP-DAC 2005. Asia and South Pacific*, vol.2, no., pp. 1184-1187 Vol. 2, 18-21 Jan. 2005
- [21] M. Ishida and K. Ichiyama, et al., "A programmable on-chip picosecond jitter-measurement circuit without a reference-clock input," *Solid-State Circuits Conference, 2005. Digest of Technical Papers. ISSCC. 2005 IEEE International*, vol., no., pp.512-614 Vol. 1, 10-10 Feb. 2005
- [22] T. Xia and J. C. Lo, "Time-to-voltage converter for on-chip jitter measurement," *Instrumentation and Measurement, IEEE Transactions on*, vol.52, no.6, pp. 1738-1748, Dec. 2003
- [23] T. Xia and J. C. Lo, "On-chip jitter measurement for phase locked loops," *Defect and Fault Tolerance in VLSI Systems, 2002. DFT 2002. Proceedings. 17th IEEE International Symposium on*, vol., no., pp. 399-407, 2002
- [24] K. A. Jenkins, A. P. Jose and D.F. Heidel, "An on-chip jitter measurement circuit with sub-picosecond resolution," *Solid-State Circuits Conference, 2005. ESSCIRC 2005. Proceedings of the 31st European*, vol., no., pp. 157-160, 12-16 Sept. 2005
- [25] B. Analui, A. Rylyakov, S. Rylov, M. Meghelli and A. Hajimiri, "A 10-Gb/s two-dimensional eye-opening monitor in 0.13- μm standard CMOS," *Solid-State Circuits, IEEE Journal of*, vol.40, no.12, pp. 2689-2699, Dec. 2005
- [26] T. A. Lindsay, "Innovations in BER testers enable fast and accurate eye diagram, eye mask, Q-factor, and jitter measurements," *Optical Fiber Communication Conference, 2004. OFC 2004*, vol.2, no., pp. 4 pp. vol.2-, 23-27 Feb. 2004
- [27] A. Amerasekera and C. Duvvury, "*ESD in silicon integrated circuits*", USA; John Wiley & Sons, Ltd, 2002 : 326-344.
- [28] N. Abaskharoun and G. W. Roberts, "Circuits for on-chip sub-nanosecond signal capture and characterization," *Custom Integrated Circuits, 2001, IEEE Conference on*, vol., no., pp.251-254, 2001