

四和六層印刷電路板去耦合及電源濾波問題研究

計畫編號：NSC 94-2213-E-009-071

執行期限：94 年 08 月 01 日至 95 年 07 月 31 日

主持人：吳霖堃 交通大學電信系教授

一、中文摘要

在多層的印刷電路板中，平行的電源層和地結構經常被用來提供 IC 穩定的電源。但由於其結構類似共振腔，當 IC 瞬間充放電時將會在電源層和地之間激發出電磁波而導致電源電壓的擾動並且可能會造成其他 IC 產生誤動作。激發出的電磁波亦可能經由電路板的板邊輻射而干擾周圍電路並產生潛在的 EMI 問題。

常用的解決方案是透過增加電路板中的去耦合電容來就近提供 IC 瞬間充放電時所需的電荷。然而，mounting pad、via、interconnect 所產生的電感將會嚴重的限制去耦合電容的充放電流。並且可能會與去耦合電容產生沒有預期的並聯共振而大幅降低其性能。嚴重的話甚至會比沒加去耦合電容的情況來的更差。因此，降低 mounting pad、via、interconnect 所產生的電感和適當的選用去耦合電容將可減少操作頻帶內並聯共振的發生以及增加電容的有效頻寬，本文主要探討 trace 線寬對去耦合電容的電源濾波效果以期提供有效的電源濾波，如此一來將可改善 IC 瞬間充放電所造成的瞬間切換雜訊及 EMI 的問題。

關鍵詞：瞬間切換雜訊、電源濾波、板邊輻射

Abstract

The parallel solid power and ground plane is required to provide constant reference voltage in high-speed multi-layered PCBs. However, as transient current due to switch of ICs passing through power and ground plane, it may cause SSN and potential EMI problems. In general, decoupling capacitors are used to provide return path for transient current. The inductance of trace should lower for enhance the bandwidth of

decoupling capacitors.

Keywords: Cavity model, Simultaneous switching noise, edge radiation

二、研究方法

由於 IC 瞬間的充放電經由 power/ground via 穿過電源層和地之會造成瞬間切換雜訊及潛在的 EMI 問題，因此，直覺上降低當 IC 瞬間充放電時穿過電源層和地的電流，如圖二中的 I_4 ，將有助改善瞬間切換雜訊及 EMI 的問題。

為了探討 trace 電感與不同組合的去耦合電容對電源的濾波效果。本文採用等效電路來模擬如圖一的結構，可大幅減少模擬的時間且亦有極佳的準確性。其中，PCB 板的大小為 $10.16 \times 10.16 \text{ cm}^2$ ，基材 FR-4 的等效介電常數為 4.4，厚度分別為 $h_1 = 10 \text{ mil}$ ， $h_2 = 20 \text{ mil}$ 。第一層的電源線和地線長 $L_1 = 200 \text{ mil}$ ，而 IC 的輸出接腳到負載電容的長度 $L_2 = 2000 \text{ mil}$ 。三顆去耦合電容放置在 IC 的電源與地之間分別為 C_1 ， C_2 ， C_3 ，以就近提供 IC 瞬間切換時所需的電荷。負載電容 $C_L = 10 \text{ pF}$ 用以模擬後級 IC。

首先，先計算出地和電源層(第二層和第三層)所組成的共振腔的 Z 參數，如圖二中的 PDS。之後，再算出第一層中電源線和地線的 trace 電感，以及 power/ground via 的電感，如圖二中的 L_{1p} ， L_{2p} ， L_{3p} ， L_{4p} ， L_{1g} ， L_{2g} ， L_{3g} ， L_{4g} 。TXL 代表 IC 的輸出接腳到負載電容間傳輸線的 Z 參數。另外，再由電容供應商處取得電容 C_1 ， C_2 ， C_3 的等效電路，本文中電容的等效電路取自 Murata 公司的 Chip S-parameter & Impedance Library。圖二中的電流源用來模擬 IC 瞬間對負載充電的情形，本文採用

1000mA 的理想電流源以簡化分析，若能有 IC 的電流模型將能更實際的模擬 IC 瞬間充放電的情形。

電容的等效模型由串聯的 R、C、L 所組成，其中 C、L 將決定電容的自振頻率 (ESF)，而 Q 值將決定電容的頻寬，表示式如下：

$$ESF = \frac{1}{2\pi\sqrt{LC}} \quad (1)$$

$$Q = \frac{\omega L}{R} = \left(\frac{\omega}{\omega_0}\right) \frac{\sqrt{L}}{R\sqrt{C}} \quad (2)$$

由於 trace 電感的存在將使電容的自振頻率下降 Q 值上升，如此一來電容的有效頻寬將減少。對於想濾波的頻率而言，選擇較大容值的電容並且儘量減少等效電感將可增加有效頻寬。為減少等效電感，除了選擇較小 ESL 的電容，增加 power/ground via 的數量以及增加 trace 線寬都能減少電感。

一旦圖二中的電流， I_4 ，求的後，電路板上任意位置在電源層和地之間的瞬間切換雜訊可透過下列方程式得到。

$$V_i = Z_{ij} \cdot I_j \quad (3)$$

其中 i 代表觀測點，j 代表切換電流穿過電源和地的位置而 Z_{ij} 代表 transfer impedance。經由(3)式可計算出電路板板邊的電位，再除上板厚後將可得到電路板板邊的電場場強。之後再利用近場到遠場的轉換[1] (near to far filed)來估算出 IC 切換時所產生的輻射。

三、研究結果

為驗證等效電路模型的準確性，圖三、圖四為等效電路模型與 HFSS 的比較。模擬由 IC 的電源接腳看出到地之間輸入阻抗結果，第一層電源線和地線寬 W 各為 10 mil 和 20 mil，接線電感的參數如表一所示，而表二為去耦合電容的參數。電源接腳與地之間的去耦合電容分別為 10pF, 150 pF, 470pF。結果顯示等效電路模型有極佳的準確性。

圖五至圖九模擬當 IC 瞬間充放電時不同的電源和地線的線寬以及不同組合的去耦合電容對平行的電源層和地之間激發的影響，如圖二中的 I_4 。由於不同容值的去耦合電容與 trace 所產生的感值會產生不同的並聯共振而增加分析的難度。為簡單起見以下的分析選用相同容值的去耦合電容。

一般而言，如圖二的結構，layout 工程師通常由 IC 的電源接腳拉出細線(約 5 mil 線寬)再透過電容並聯到地。以電流分流的概念來看，當 IC 切換時若去耦合電容能提供較多電流，如圖二中 I_5 、 I_6 、 I_7 ，則流經平行平板的電流， I_4 ，將會減少。因此在操作頻帶內為了增加電源濾波的效果，除了選擇適當的去耦合電容之外，降低 trace 電感也是相當重要的。圖五比較了不同電容的濾波效果。結果如一般所預測，當頻率較低時，大電容有較佳的濾波效果，然而當頻率較高時，則不論何種電容其濾波效果大致相同，雖然小電容有較高的自振頻率。以 150 pf 的電容為例，雖然該電容的自振頻率為 605.9 MHz 但在圖五中卻看不到該電容在此頻帶發生作用。會有這樣的現象，主要是因為 mounting pad、via、interconnect 等所產生的電感會降低去耦合電容的自振頻率及有效頻寬，因而限制了去耦合電容的效能。圖六到圖九中電容和 trace 電感的串聯共振分別發生在 390 MHz、120 MHz、100 MHz、90 MHz 附近。模擬的結果亦可看出採用寬線的去耦合電容會有較大的頻寬。

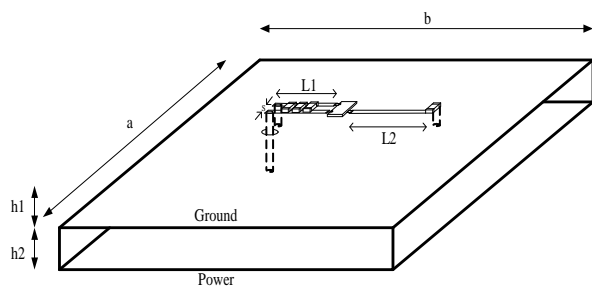
在 IC 瞬間切換時另一個可能的問題是透過電源層和地所形成的平行平板的結構所造成的板邊幅射。直覺上，當 I_4 減少時板邊幅射也會獲的改善。圖十比較了不同的 trace 線寬對板邊幅射最大場強的影響，觀測點與電路板距離電路板 3 米時，使用的電容為 2200pf。由模擬的結果可知 50mil 的 trace 線寬在電容使用的頻帶內會有較低的輻射場強。

四、結論

為減少當 IC 瞬間切換所造成的平行電源層和地層的電源擾動，常見的解決方案是在 IC 的 power pin 增加去耦合電容，然而效果其並不太理想。主要的原因在於 mounting pad、via、interconnect 等所產生的電感將會大幅地降低去耦合電容的效能。為有效地發揮去耦合電容的性能，減少所有 trace 電感可降低與電容串聯共振時的 Q 值如此可增加有效頻寬。本文採用等效電路，可大幅減少模擬的時間且亦有極佳的準確性。為減少 trace 電感，除了可採用較多的 power/ground via 之外，使用較寬的線也是必要的。其結果不但對電源的濾波有幫助，而且對降低電路板邊板邊輻射也會有改善。

五、參考文獻

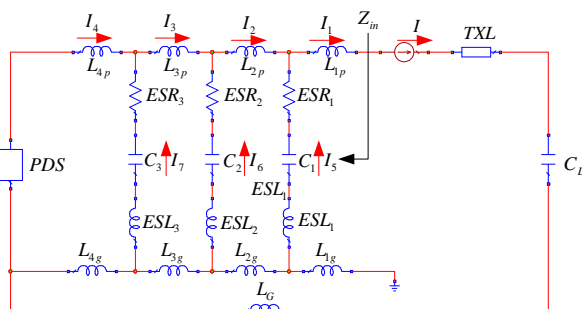
- [1] T. Fischer, M. Leone, and M. Albach, “An analytical model for studying the electromagnetic radiation of power-bus structures”, *In Proc. IEEE Int. Symp. Electromagnetic Compatibility*, vol. 1, pp. 225-230, 18-22 Aug. 2003.
- [2] Larry D. Smith, Raymond E. Anderson, Douglas W. Forehand, Thomas J. Pelc, and Tanmoy Roy, “Power Distribution System Design Methodology and Capacitor Selection for Modern CMOS Technology”, *IEEE Trans. On Advanced Packaging*, vol. 22, No. 3, pp.284-291, Aug. 1999.
- [1] T. Fischer, M. Leone, and M. Albach, “An analytical model for studying the electromagnetic radiation of power-bus structures”, *In Proc. IEEE Int. Symp. Electromagnetic Compatibility*, vol. 1, pp. 225-230, 18-22 Aug. 2003.



圖一

	L1p,L2p,L3p	L1g,L2g,L3g	L4p	L4g
W = 5 mil	0.67nH	0.67nH	1.54nH	0.67nH
W = 10 il	0.52 nH	0.52 nH	1.39 nH	0.52 nH
W = 20 il	0.37 nH	0.37 nH	1.24 nH	0.37 nH
W = 50 il	0.21nH	0.21nH	1.08 nH	0.21nH

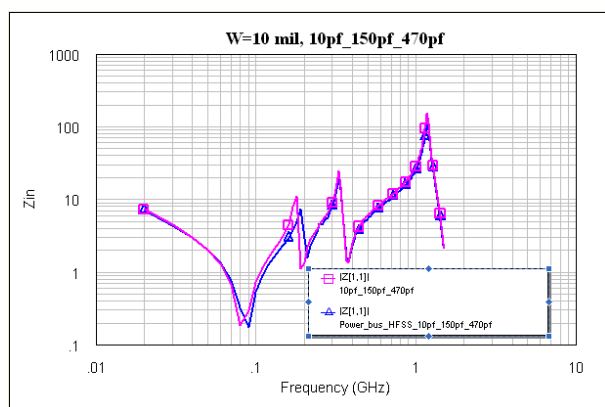
表一



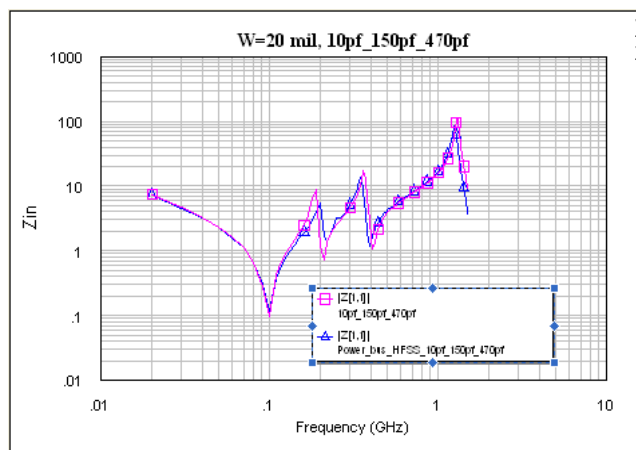
圖二

		C (pF)	ESR (ohm)	ESL (nH)	ESF (MHz)
C0G	0402	10	0.543	0.5	2240
C0G	0402	47	0.122	0.45	1090
C0G	0402	150	0.131	0.46	605.9
C0G	0402	470	0.08	0.45	347.2
C0G	0402	1000	0.051	0.42	245
C0G	0603	1500	0.061	0.67	165.3
C0G	0603	2200	0.054	0.7	128.6
C0G	0603	2700	0.046	0.68	124.6
C0G	0805	4700	0.036	0.56	98.7

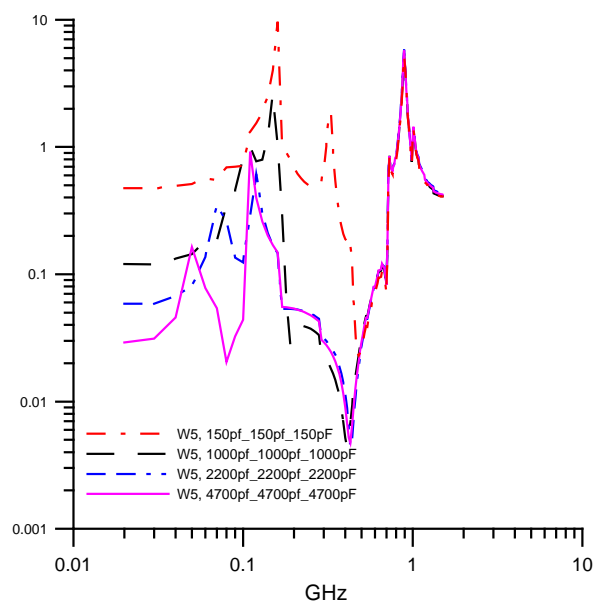
表二



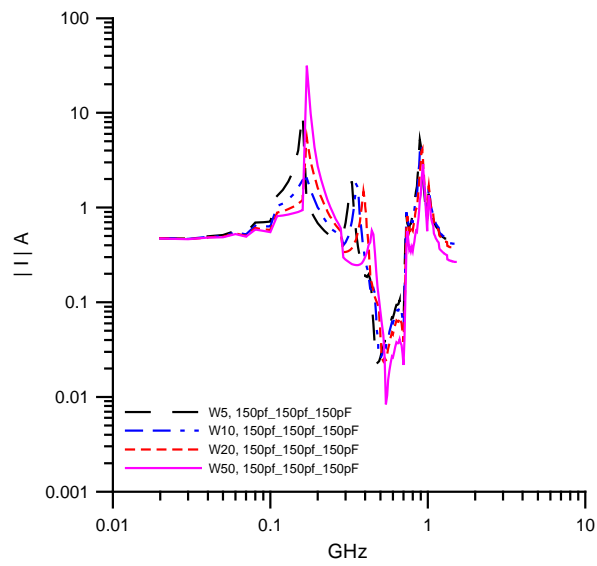
圖三



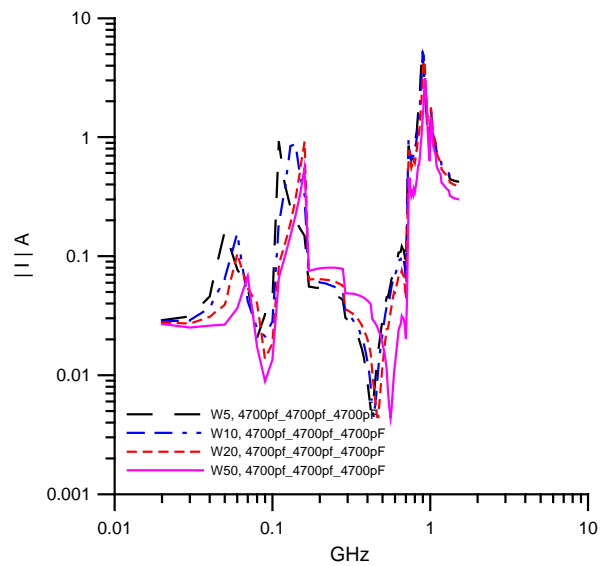
圖四



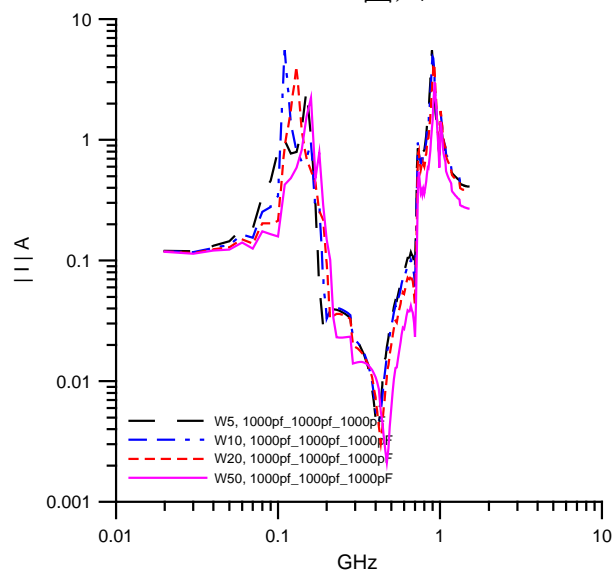
圖五



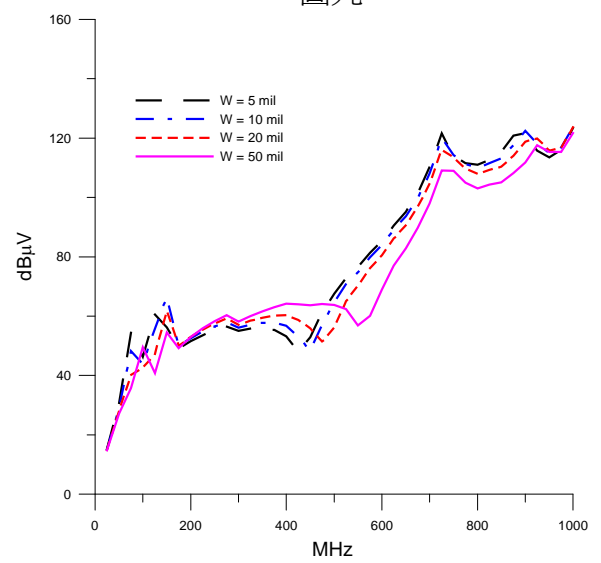
圖六



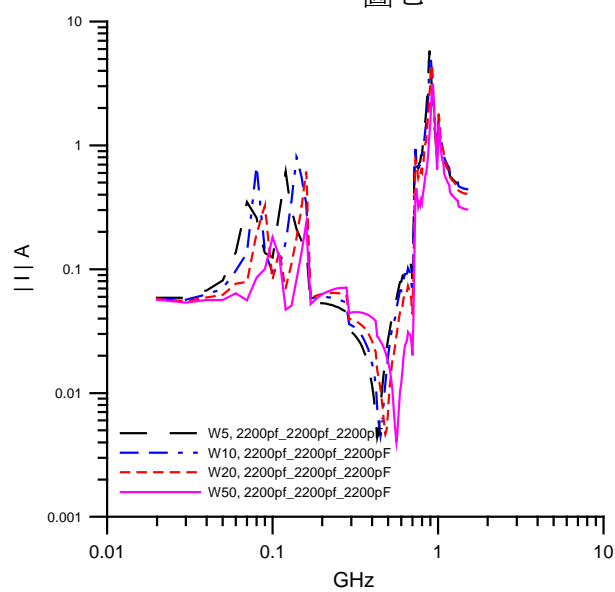
圖九



圖七



圖十



圖八

附件：封面格式

行政院國家科學委員會補助專題研究計畫成果報告

※※※※※※※※※※※※※※※※※※※※※※※※※※※※※※
※
※(計畫名稱)※
※
※※※※※※※※※※※※※※※※※※※※※※※※※※※※※※

計畫類別： ☒ 個別型計畫 ☐ 整合型計畫

計畫編號：NSC 94-2213-E-009-071

執行期間： 94 年 08 月 01 日至 95 年 07 月 31 日

計畫主持人：吳霖瑩

本成果報告包括以下應繳交之附件：

- ☐赴國外出差或研習心得報告一份
- ☐赴大陸地區出差或研習心得報告一份
- ☐出席國際學術會議心得報告及發表之論文各一份
- ☐國際合作研究計畫國外研究報告書一份

執行單位：

中 華 民 國 95 年 07 月 31 日