

行政院國家科學委員會專題研究計畫 成果報告

以自組裝奈米孔洞 SiO₂ 作為次 70 nm IC 技術之超低介電薄膜之應用研究(3/3)

計畫類別：個別型計畫

計畫編號：NSC94-2215-E-009-007-

執行期間：94 年 08 月 01 日至 95 年 07 月 31 日

執行單位：國立交通大學材料科學與工程學系(所)

計畫主持人：潘扶民

計畫參與人員：陳致宇，劉吉#23791；，張智傑，李宜芳

報告類型：完整報告

處理方式：本計畫可公開查詢

中 華 民 國 95 年 10 月 14 日

行政院國家科學委員會專題研究計畫成果報告

以自組裝奈米孔洞 SiO₂ 作為次 70 nm IC 技術之超低介電薄膜之應用研究
(3/3)

計畫編號：NSC 94-2215-E-009-007-

執行期限：94 年 08 月 01 日至 95 年 07 月 31 日

主持人：潘扶民 國立交通大學材料科學與工程研究所

共同主持人：

計畫參與人員：陳致宇，劉吉峯，張智傑，李宜芳

一、中文摘要

利用奈米孔洞 SiO₂ 材料作為次 70 nm 的 IC 金屬連線製程技術的低介電常數 (low-k) 介電質層時，由於高孔隙率的關係，衍生出許多製程整合的問題，增加了奈米孔洞介電材料被導入至實際量產的困難度，如吸水性、蝕刻氣體滲入孔洞等。有鑑於此，我們提出蝕刻後移除模板分子的概念來改善上述之問題，並於蝕刻製程完成後，採用 O₃ 氧化法同時進行模板分子及光阻移除，而達到製程簡化的效果。於研究中，我們已成功地利用模板分子於蝕刻後才進行臭氧煅燒移除的方式來改善原先於蝕刻製程上所衍生出薄膜性質劣化的問題。

另外，本研究亦探討奈米孔洞二氧化矽薄膜的乾蝕刻特性，並進行溝渠引洞結構圖案之蝕刻。藉由改變蝕刻條件，如反應氣體、F/C 比例、電漿功率、偏壓 (bias) 以及系統壓力等，來了解其對於奈米孔洞薄膜的影響。於研究中，我們發現奈米孔洞二氧化矽薄膜之蝕刻率會隨著電漿功率、偏壓以及 F/C 比例的增加而增加。另一方面，經 HMDS 疏水化改質處理的薄膜，其蝕刻率會比未經處理的薄膜慢，顯示蝕刻速率與薄膜本身的碳含量有很大的關係。

Abstract

Because of the high porosity, implementation of the nanoporous silica in the IC process faces many integration challenges, such as moisture uptake on the pore surface, impurity permeation thorough pore channels, mechanical deficiency, etc. In this work, we propose a post-etch pore

formation method to mitigate impurity diffusion in the nanoporous dielectric during the etch process and improve hydrophobicity of the low-k dielectric. Instead of conventional way to remove the organic template from the silica matrix by calcination before IMD patterning, nanopores of the low-k silica dielectric are formed in-situ as the photoresist is stripped by ozone ashing after the reactive-ion-etch process.

In the study, we compared the etch characteristics of HMDS treated nanoporous silica thin film with pristine nanoporous thin film. We found little difference in surface morphology and microstructure between the two nanoporous thin films after reactive-ion etch. But the etch rate was significantly affected by the amount of carbon present in the silica matrix. This can be explained in terms of the dependence of the etch rate on the fluorine/carbon (F/C) ratio. The etch rate of the nanoporous silica thin film increases with the F/C ratio, plasma power and bias. For the post-etch pore formation process, the etch rate of the organic surfactant templated silica thin film was found to be comparable to that of a dense silica thin film.

二、緣由與目的

隨著積體電路製程的快速發展，後段半導體金屬連線與低介電常數材料製程日益受到重視。當元件尺寸進行微小化的同時，由於元件與內連線積集度的急速增加，所造成的 RC 延遲、信號干擾以及功率耗損等問題急待解決，因此必須成功地整合 70 nm 以下線寬之銅導線與內金屬介

電層(IMD)藉以有效地改善上述RC延遲等問題。根據2003年國際半導體技術藍圖(ITRS)預估,介電常數值小於2.1的超低介電常數(ultra-low k)材料將需被應用於線寬70 nm以下的製程中[1]。我們先前的研究已成功利用模板分子之自我組構(self-assembly)方法製備出奈米孔洞二氧化矽薄膜,並使用HMDS蒸氣改質孔壁而得到 $k < 2.0$ 的ultra-low k材料,並且探討了薄膜之穩定性與機械性質等方面的特性[2,3]。對於奈米孔洞二氧化矽薄膜的基本性質有完整的了解後,我們將進行奈米孔洞二氧化矽薄膜導入後續金屬鑲嵌結構及化學機械研磨(CMP)等整合研究,為此,我們必須先認識奈米孔洞二氧化矽薄膜的蝕刻特性。因此在本研究中,我們將針對奈米孔洞二氧化矽薄膜的乾蝕刻特性進行深入的探討。

奈米孔洞二氧化矽薄膜的孔洞形成,主要是藉由有機模板分子行自組裝排列,而後加熱移除模板分子所得之高孔隙率、高規則性排列的孔洞結構。而由於高孔隙率的關係,衍生出許多製程上的問題,增加實際導入生產製程上的困難,如吸水性、蝕刻氣體滲入孔洞等。有鑑於此,我們提出蝕刻後移除模板分子的概念來改善上述之問題。於本研究中我們成功地利用臭氧氧化法來移除有機模板分子,且所得到的奈米孔洞二氧化矽薄膜之介電特性與機械性質均有很好的結果。此外,利用此方式移除模板分子,其製程時間只需短短幾分鐘,且製程可在低溫下進行,比起利用高溫加熱煅燒移除,更能符合半導體製程快速與低溫的需求。而於蝕刻後才進行模板分子的移除,有幾項優點:(1)由於蝕刻前孔洞處為模板分子所佔據,因此水分子與蝕刻氣體分子不易進入奈米孔洞二氧化矽薄膜內部,故在此之前較無薄膜吸水與蝕刻氣體滲入等問題。(2)蝕刻製程完成後,一般皆採用臭氧氧化法來移除光阻,而模板分子亦可經由此方式來移除,因此可藉由此步驟同時進行模板分子及光阻移除,而達到製程簡化的效果。此外,模板分子的存在對蝕刻製程所造成的影響,亦是本研究所探討的重點。

三、結果與討論

奈米孔洞二氧化矽薄膜的製作方式乃由TEOS (tetraethyl orthosilicate)、 H_2O 、HCl 及乙醇所合成的二氧化矽溶膠前驅物,再添加兩相高分子 P-123 於酸催化二氧化矽溶膠凝膠內,作為孔洞的模板分子。接著對前驅物溶液進行約3至6小時的時效(aging)處理後,將二氧化矽前驅物溶液旋轉塗佈(spin coating)至4吋或6吋P型(100)矽晶片上。然後對試片進行1小時的烘烤($80 \sim 110^\circ C$)以及30分鐘的煅燒($400^\circ C$),如此便可得到奈米孔洞二氧化矽薄膜。剛煅燒完的奈米孔洞二氧化矽薄膜,其孔隙率約45-50%,而孔徑大小則為3.5-5.0 nm,孔洞呈六角形的規則排列[2]。由於剛煅燒完薄膜很容易吸附水氣,因此可再藉由 $165^\circ C$ 的HMDS蒸氣處理,來達到多孔介電膜疏水化的效果。之後,利用二氧化矽乾蝕刻系統(TEL oxide etcher)分別蝕刻三種試樣,(1)未移除模板分子之二氧化矽薄膜(as-baked)、(2)煅燒後奈米孔洞二氧化矽薄膜(as-calcined)以及(3)三甲基矽化奈米孔洞二氧化矽薄膜(HMDS-treated),探討其蝕刻特性、薄膜微結構等性質。圖一分別為煅燒後以及蝕刻後的奈米孔洞二氧化矽薄膜的掃描式電子顯微鏡(SEM, JEOL 6500F)平面影像,由結果可以顯示煅燒後的奈米孔洞二氧化矽薄膜表面相當平整,擁有良好的平坦度,有利後續半導體製程的需求。而經過蝕刻過程的薄膜表面由於離子轟擊(Ion bombardment)的效果,破壞薄膜表面,使得薄膜表面的粗糙度增加。原子力顯微鏡(D5000)顯示煅燒後以及蝕刻後的奈米孔洞二氧化矽薄膜其Rms值分別約為11 Å與51Å。

薄膜蝕刻率會隨著ICP功率的增加而增加,較大電漿功率可以增加反應腔體內的電漿密度,反應氣體的解離率隨之增加,進而提高自由基的濃度,故蝕刻速率會隨著ICP功率的上升而增加。而薄膜蝕刻率也會隨著隨著偏壓功率的增加而增加。隨著偏壓功率的增加,電漿中離子所獲得的轟擊能量也隨之增加,進而助長蝕刻的效果。想反地,系統壓力的增加使得薄膜蝕刻率減小,此結果可由兩方面來作

說明。就化學性蝕刻方面，因為當系統壓力的增加時，會縮短電子的平均自由路徑(mean free path)，使電子獲得較少的能量。所以當這些低能的電子和分子碰撞時，打斷化學鍵並產生自由基的機率降低，而這些自由基可能在還沒擴散到薄膜表面時就已經先和電子先結合，進而減少薄膜的蝕刻率。而在物理性蝕刻方面，隨著系統壓力的增加，會縮短離子的平均自由路徑，使離子獲得較少的能量，降低離子轟擊的效果，進而減少薄膜的蝕刻率。

CHF₃/Ar氣體配比對薄膜蝕刻率的影響可由圖二之關係圖來作說明。剛開始隨著CHF₃加入的量越多，薄膜蝕刻率跟著增加，一直到CHF₃/Ar氣體配比为50%時，蝕刻速率達到最大並有接近飽和的趨勢。造成此現象的原因係由於在通入低流量比率的CHF₃氣體於製程反應室時，蝕刻的效果主要為氫離子轟擊試片表面的效應，這是一種純物理性蝕刻，故其薄膜蝕率很低。然而，隨著CHF₃加入的量越多，即增加了化學性蝕刻的效果，故其薄膜蝕刻率明顯地提升。

圖三是CF₄/CHF₃氣體配比對薄膜蝕刻率的影響，由圖可發現隨著CF₄加入的量越多，薄膜蝕刻率跟著增加。這是因為加入CF₄氣體將可提升反應室內F/C的比例，因此其蝕刻的效果會比聚合的效果來的顯著，故加快薄膜的蝕刻率。圖四為奈米孔洞二氧化矽薄膜經CF₄/CHF₃為蝕刻氣體之蝕刻製程後的FTIR光譜圖，其中在1200-1700 cm⁻¹處為C-F_x (x=1, 2, 3)的IR吸收光譜訊號[4]。在經CHF₃為主要蝕刻氣體之蝕刻製程後，可發現會有C-F_x的訊號產生，顯示於蝕刻過後會有碳氟聚合物形成在試片上。然而，若是經由CF₄/CHF₃為蝕刻氣體之蝕刻製程後，則並沒有C-F_x的訊號產生。造成此現象的原因係由於CF₄氣體本身的F/C比例較大，是一種低聚合性的蝕刻氣體，故於蝕刻過程中較不會有CF_x聚合物沉積在薄膜表面以及孔壁上，也因此能加快薄膜的蝕刻率(圖三)。

以碳氟氣體蝕刻二氧化矽薄膜後，會有碳氟聚合物形成在薄膜表面上，且多孔性的表面更易使之生成[5,6]。關於CF_x聚合物的沉積，亦可用化學分析電子儀(ESCA)

加以分析，其結果如圖五所示。於圖中我們可發現奈米孔洞二氧化矽薄膜經HDP-RIE蝕刻後會有F(1s)的訊號產生，同時Si(2p)、O(1s)的訊號強度相較於未蝕刻前明顯地減弱，這是由於ESCA是一種對表面極為靈敏的分析工具，其分析的深度大約為50 Å，因此當薄膜表面披覆一層很薄的碳氟聚合物時，其所偵測到奈米孔洞二氧化矽薄膜的Si(2p)、O(1s)訊號量就會相對明顯地減少。

圖六為利用PECVD沉積之SiO₂、未移除模板分子之二氧化矽薄膜、煅燒後奈米孔洞二氧化矽薄膜以及三甲基矽化奈米孔洞二氧化矽薄膜在以CHF₃/CF₄/Ar混合電漿氣體進行RIE蝕刻的蝕刻率。相較之下，奈米孔洞二氧化矽薄膜之蝕刻率明顯地比一般緻密的SiO₂薄膜快了3倍以上。造成此現象的原因係由於奈米孔洞二氧化矽薄膜本身為多孔性材料，其薄膜結構鬆散、密度較低，因此表面原子間的化學鍵結，在受到離子轟擊而形成懸鍵的機率較高。這些表面上帶有懸鍵的矽原子要比其他沒有產生斷鍵的矽原子更易與氟自由基形成氣態的四氟化矽，進而導致蝕刻速率的增加。而經過HMDS處理的奈米孔洞二氧化矽薄膜蝕刻率比奈米孔洞二氧化矽薄膜的蝕刻率小了兩倍以上。造成此現象的原因係由於三甲基矽化奈米孔洞二氧化矽薄膜會於蝕刻過程中受到氫離子轟擊的影響，進而造成薄膜內部分的Si-CH₃及C-H鍵結斷鍵。這些斷鍵的碳氫物種會從薄膜表面脫附(desorbed)出來，因而增加反應腔體內的碳含量並降低F/C比。在氟碳化合物的電漿環境中，碳的作用為提供薄膜表面聚合物的來源，所以碳的存在會抑制蝕刻的進行。因此一旦環境中碳的含量增加時，將使得蝕刻速率減緩。氟的作用是與SiO₂中的Si原子反應，產生揮發性的產物，SiF₄，並藉由真空設備帶出腔體外。所以當環境中氟的含量增加時，蝕刻速率亦增加[7,8]。因此F/C比例在介電薄膜的蝕刻製程上扮演著相當重要的角色。隨著F/C比例的增加，蝕刻速率也跟著上升；反之，蝕刻率下降。在三甲基矽化奈米孔洞SiO₂薄膜例中，由於反應

腔體內碳含量的增加，導致 F/C 比的下降，因此降低了薄膜之蝕刻速率。

圖七為煅燒後奈米孔洞二氧化矽薄膜經電漿蝕刻後，利用 FTIR 量測，可發現 3750 cm^{-1} 處的 Si-OH 訊號峰消失，顯示離子轟擊亦會破壞 Si-OH 的化學鍵結。接著經由 HMDS 蒸氣處理來對薄膜進行疏水化改質，可發現 1258 cm^{-1} 以及 2965 cm^{-1} 處的 Si-(CH₃)₃ 與 C-H 訊號峰出現，但其強度非常微弱。IR 的結果顯示薄膜內若無 Si-OH 存在，則 HMDS 分子的三甲基矽官能基 [Si-(CH₃)₃] 將無法有效地進行置換反應。

圖八三甲基矽化奈米孔洞二氧化矽薄膜經電漿蝕刻前及蝕刻後之 FTIR 光譜圖。在經電漿蝕刻後，可發現 1258 cm^{-1} 以及 2965 cm^{-1} 處的 Si-(CH₃)₃ 與 C-H 訊號峰強度減弱，此顯示薄膜內部分的 Si-CH₃ 鍵結及 C-H 鍵結的確會於離子轟擊的過程中產生斷鍵，進而劣化薄膜原有的疏水性。

圖九為奈米孔洞二氧化矽薄膜經電漿蝕刻後之掠角 X 光繞射圖譜，與蝕刻前薄膜之圖譜比較，可發現其訊號強度減弱且訊號峰變寬，顯示原本具高規則性的孔洞排列結構已於乾式蝕刻的過程中受到破壞。

從上述的結果顯示，奈米孔洞二氧化矽薄膜會於電漿蝕刻過程中遭受活性電漿物種的攻擊，造成薄膜表面粗糙度增加，並且破壞薄膜原有的規則性孔洞排列，進而可能影響薄膜的機械性質。而三甲基矽化奈米孔洞二氧化矽薄膜在經過電漿蝕刻後，薄膜內部分的 Si-CH₃ 鍵結及 C-H 鍵結將會產生斷鍵，進而劣化薄膜原有的疏水性。上述蝕刻問題的產生，乃由於在電漿蝕刻的過程中，薄膜的孔洞性結構，使得蝕刻氣體可能經由孔洞進入薄膜內部，進而破壞薄膜內部的結構。有鑑於此，我們提出於蝕刻後才將模板分子移除之概念，並可在此步驟中，同時移除光阻，達到製程簡化的效果。經過此方式，於電漿蝕刻過程中，其孔洞位置仍為碳氫高分子模板所佔據，因此水分子與蝕刻氣體分子不易進入奈米孔洞二氧化矽薄膜內部，故在此之前可能較無薄膜吸水與蝕刻氣體滲入等問題的發生。

未移除模板分子之二氧化矽薄膜 (as-baked) 經過電漿蝕刻製程後，我們利用臭氧煅燒方式同時移除有機模板分子及光阻，AFM 量測結果顯示薄膜的表面仍擁有良好的平坦度 (Rms~15 Å)，並未因模板分子的存在而影響蝕刻製程。

圖六顯示尚未移除模板分子的二氧化矽薄膜的蝕刻率與一般使用 PECVD 所沉積的 SiO₂ 薄膜之蝕刻率相似。原因係由於薄膜在蝕刻過程中，孔洞位置仍為碳氫高分子模板所佔據，因此薄膜結構仍然顯得相當緻密。

圖十為尚未移除模板分子之二氧化矽薄膜經電漿蝕刻前及蝕刻後之 FTIR 光譜圖。經過電漿蝕刻後，可發現 $1270\sim 1500\text{ cm}^{-1}$ 與 $2820\sim 3050\text{ cm}^{-1}$ 處的有機模板分子訊號峰強度減弱，顯示電漿蝕刻雖會減少膜厚，但並未明顯造成鍵結的改變。所以蝕刻後的二氧化矽薄膜，其化學組成與結構仍屬相當穩定。

圖十一為蝕刻後再將模板分子移除的奈米孔洞二氧化矽薄膜之掠角 X 光繞射圖譜，位於 $2\theta = 1.04^\circ$ 位置的繞射峰對應於奈米孔結構(100)晶格面，顯示此奈米孔洞二氧化矽薄膜並未於蝕刻過程中破壞其薄膜結構，且孔洞排列仍具有規則性。此可歸因於薄膜在蝕刻過程中尚未形成巨大孔洞，因此並無受活性電漿物種攻擊而破壞其孔洞結構的問題。

圖十二為模板分子蝕刻後移除的 SEM 影像，SEM 影像清楚地顯示溝渠及引洞結構順利地被蝕刻出來，蝕刻後鮮明的線寬輪廓並沒有因模板分子的存在而影響蝕刻輪廓。

四、成果自評

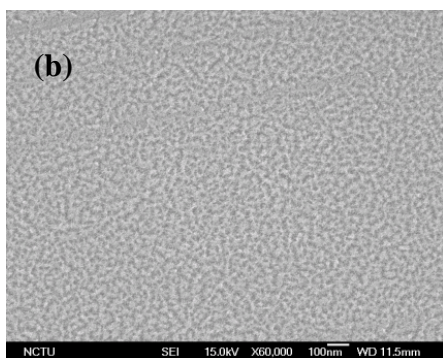
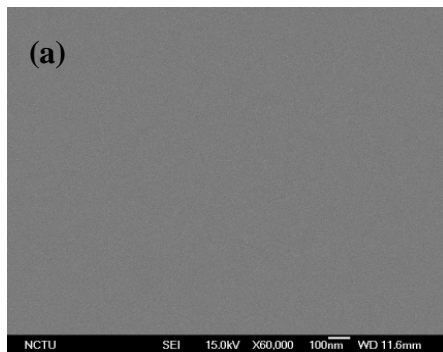
本研究主要利用 RIE 對奈米孔洞二氧化矽薄膜進行乾式蝕刻，藉由改變反應氣體、F/C 比例、電漿功率、偏壓以及系統壓力等蝕刻條件，探討奈米孔洞二氧化矽薄膜在不同之蝕刻環境下的乾蝕刻特性，並進行溝渠引洞結構圖案之蝕刻，以作為後續金屬鑲嵌結構及 CMP 等整合研究之基礎。此外，亦驗證臭氧電漿氧化法於蝕刻後同時移除模板分子與光阻的可行性，將能有效改善原先於蝕刻製程上所

衍生出薄膜性質劣化的問題，且大幅縮短製程時間。本計劃之研究成果不論對學術領域或工業界而言均深具實用性與參考價值。

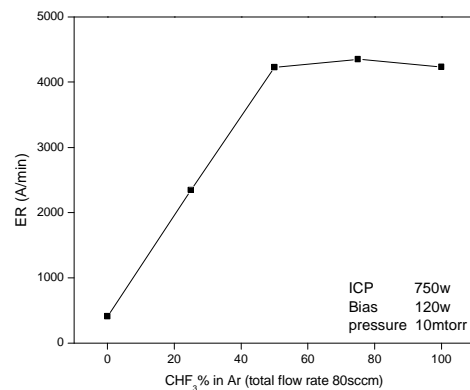
五、參考文獻

- [1] *The International Technology Roadmap for Semiconductors (ITRS)*, Interconnect Chap., Semiconductor Industry Association, 2003.
- [2] C. M. Yang, A. T. Cho, F. M. Pan, T. G. Tsai, and K. J. Chao, *Adv. Mater.*, **13**, pp. 1099-1102, 2001.
- [3] J. Y. Chen, F. M. Pan, A. T. Cho, K. J. Chao, T. G. Tsai, B. W. Wu, C. M. Yang, and L. Chang, *J. Electrochem.*

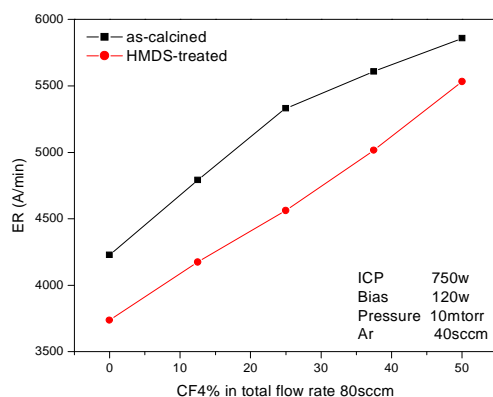
- Soc.*, **150**, F123 (2003).
- [4] Henry Gerung, C. J. Brinker, Steven R. J. Brueck, *J. Vac. Sci. Technol. A*, **23(2)**, 347 (2000).
- [5] T. E. F. M. Standaert, E. A. Joseph, G. S. Oehrlein, A. Jain, W. N. Gill, P. C. Wayner, Jr., and J. L. Plawsky, *J. Vac. Sci. Technol. A*, **18**, 2742 (2000).
- [6] T. E. F. M. Standaert, P. J. Matsuo, S. D. Allen, G. S. Oehrlein, and T. J. Dalton, *J. Vac. Sci. Technol. A*, **17**, 741 (1999).
- [7] A. J. van Roosmalen, *Vacuum*, **34**, 429, (1984).
- [8] J. W. Coburn and H. F. Winters, *J. Vac. Sci. Technol.*, **16**, 391 (1979).



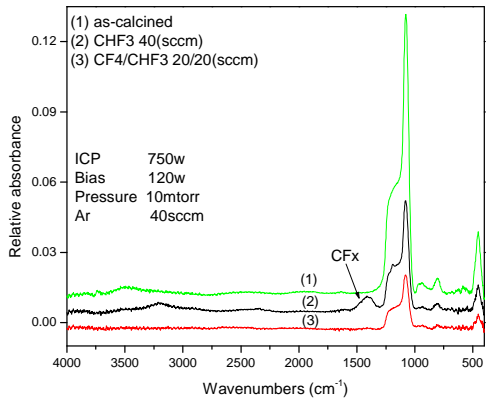
圖一：煅燒後(a)以及蝕刻後(b)的奈米孔洞二氧化矽薄膜的SEM平面影像。



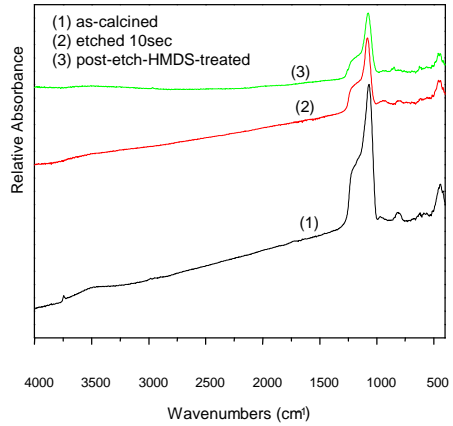
圖二：蝕刻氣體配比(CHF₃/Ar)對薄膜蝕刻率之關係



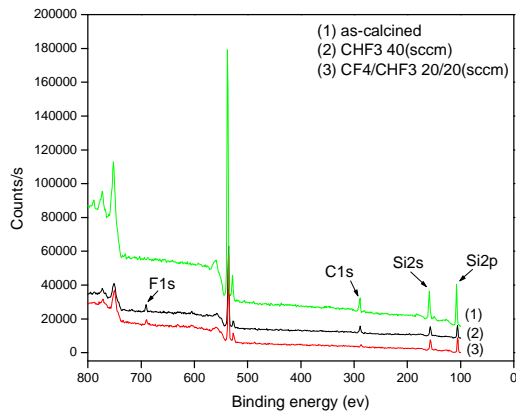
圖三：蝕刻氣體配比(CF₄/CHF₃)對薄膜蝕刻率之關係。



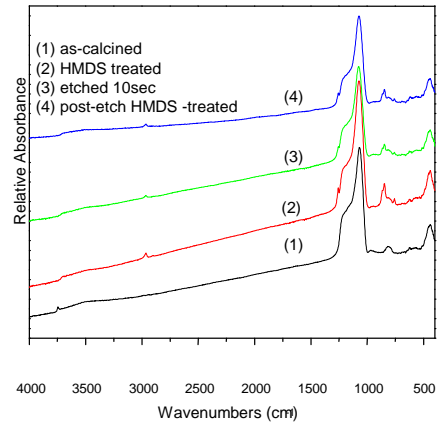
圖四：奈米孔洞二氧化矽薄膜經 CF_4/CHF_3 為蝕刻氣體之蝕刻製程後 FTIR 光譜圖。



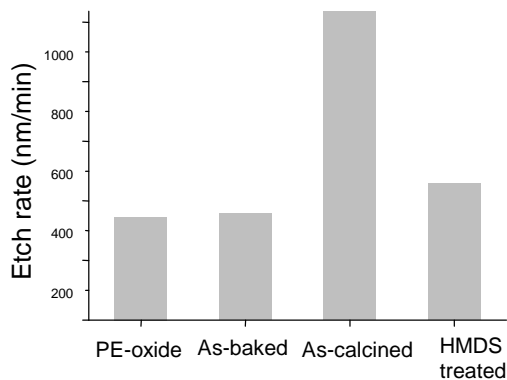
圖七電漿蝕刻前及蝕刻後的奈米孔洞二氧化矽薄膜之 FTIR 光譜圖。



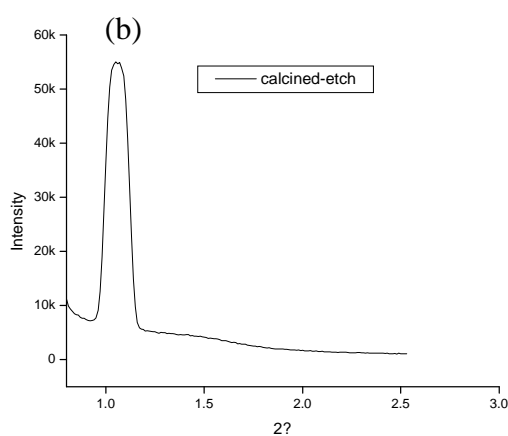
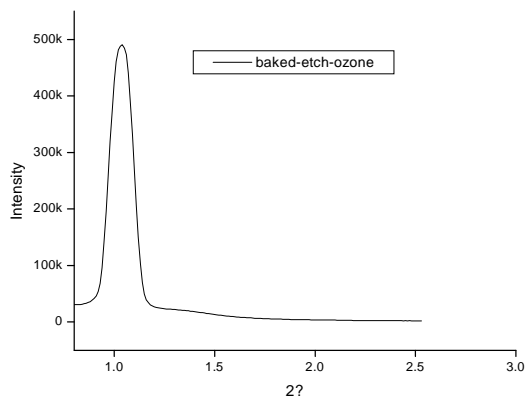
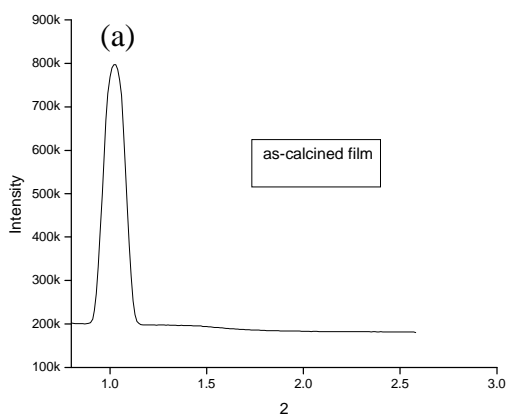
圖五：奈米孔洞二氧化矽薄膜經 CF_4/CHF_3 為蝕刻氣體之蝕刻製程後 ESCA 能譜圖



圖八：電漿蝕刻前及蝕刻後的三甲基矽化奈米孔洞二氧化矽薄膜之 FTIR 光譜圖。

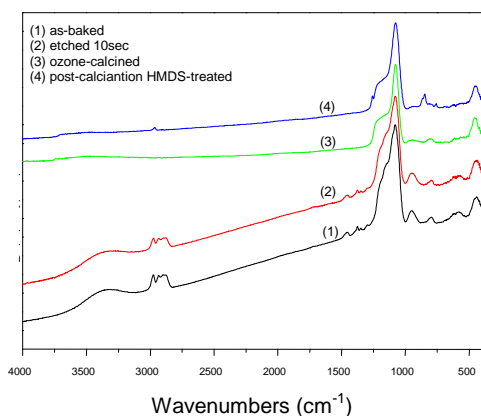
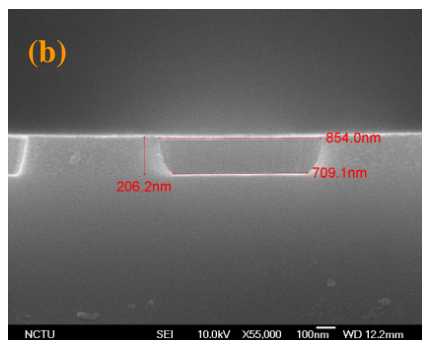
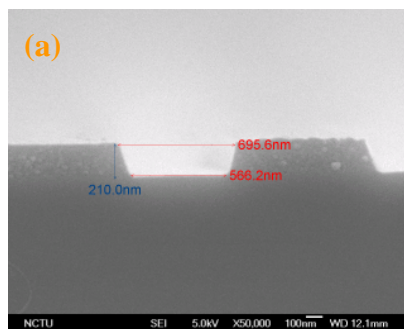


圖六：各種薄膜之蝕刻速率比較圖



圖十一：尚未移除模板分子的二氧化矽薄膜經過電漿蝕刻後之低掠角 X 光繞射圖。

圖九：奈米孔洞二氧化矽薄膜經電漿 (a)蝕刻前(b)蝕刻後之低掠角 X 光繞射圖譜。



圖十二：模板分子蝕刻後移除的 SEM 影像 (a) Trench、(b) Via。

圖十：尚未移除模板分子之奈米孔洞二氧化矽薄膜在經電漿蝕刻前及電漿蝕刻後之 FTIR 光譜圖