

行政院國家科學委員會專題研究計畫 成果報告

射頻電路系統前瞻測試技術開發(3/3)

計畫類別：個別型計畫

計畫編號：NSC94-2215-E-009-079-

執行期間：94年08月01日至95年07月31日

執行單位：國立交通大學電機與控制工程學系(所)

計畫主持人：蘇朝琴

報告類型：完整報告

報告附件：出席國際會議研究心得報告及發表論文

處理方式：本計畫可公開查詢

中 華 民 國 95 年 10 月 31 日

行政院國家科學委員會補助專題研究計畫

成果報告
 期中進度報告

射頻電路系統前瞻測試技術開發

計畫類別： 個別型計畫 整合型計畫

計畫編號：NSC — 94 — 2215 — E — 009 — 079

執行期間： 94 年 8 月 1 日至 95 年 7 月 31 日

計畫主持人：蘇朝琴

共同主持人：無

計畫參與人員：無

成果報告類型(依經費核定清單規定繳交)： 精簡報告 完整報告

本成果報告包括以下應繳交之附件：

- 赴國外出差或研習心得報告一份
- 赴大陸地區出差或研習心得報告一份
- 出席國際學術會議心得報告及發表之論文各一份
- 國際合作研究計畫國外研究報告書一份

處理方式：除產學合作研究計畫、提升產業技術及人才培育研究計畫、列管計畫及下列情形者外，得立即公開查詢

涉及專利或其他智慧財產權， 一年 二年後可公開查詢

執行單位：國立交通大學電機與控制工程學系

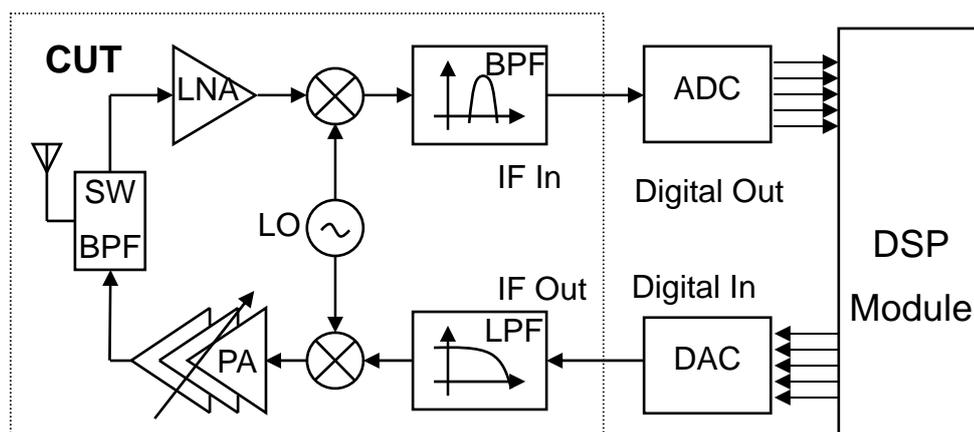
中 華 民 國 95 年 7 月 14 日

簡介

無線通信在今日已經蔚為風氣，在行動通訊百家齊放，有 GSM、DECT、PHS、GPRS、WCDMA、CDMA2000 等不同的系統。在無線網路上，亦有 Bluetooth、802.11、等不同的規範與應用。因此，射頻電路的設計與應用在今日已經非常的廣泛與普及。更進一步，在有線傳輸上，光纖與高速傳輸也都屬於射頻電路的應用範疇。由於其高附加價值，全球的設計業者，晶圓廠，與系統業者，無一不傾全力往此一方向發展，並已獲致相當可觀的成就與成果。然而，射頻電路的測試並無法如其他業者般的順利發展。

傳統上射頻電路的測試以兩類方式為之。第一類型是以特殊儀表量測的方式為之，利用射頻訊號專用的精密儀表送出或接收射頻訊號，精確的量測電路的參數，以決定電路的正確與否。此一類型的最大優點在於能準確的量測電路特性，但是缺點是測試成本非常的高，似乎無法滿足低價手機與無線網路的要求。第二類型則是利用迴路 Loop Back 的方式將傳送出的訊號接回並與予解碼，檢查回收資料的位元錯誤率 Bit Error Rate (BER) 以判定電路的好壞。此一方法與第一類型剛好相反，它的優點在於測試的成本非常的低。但是它的缺點則是測試時間非常的長。

本計畫要提出的是利用現今無線電路架構中，內建之類比數位轉換單元與數位信號處理單元作為設頻電路測試的基礎。在測試的架構上，我們將利用 DSP 模組產生數位測試信號，經由 DAC 轉換送出中頻信號，再由射頻發射電路將之升頻至射頻，經過射頻接收模組將之接收並降頻至中頻，再經 ADC 將之轉換成為數位信號，送至 DSP 模組作數位信號處理。在數位信號處理技術上，我們將使用吾人發展的本質響應 Intrinsic Response 測試方法[1-8]，在不受其他模組的影響下，將每一模組的測試自身反應加以分離淬取出來，以分別判定每個模組的好壞優劣。就測試複雜度而言，它使用了內建的 AD/DA 與 DSP 模組，就測試成本而言是最為經濟的，他不必使用外掛的射頻測試機台。



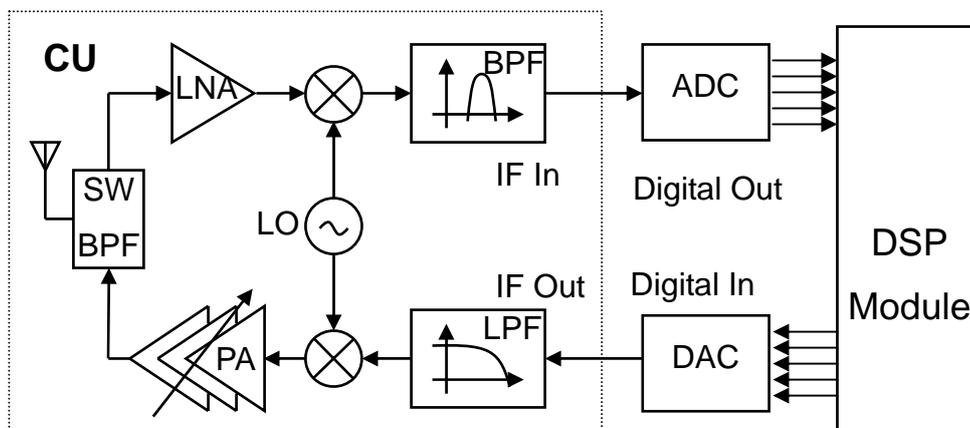
射頻電路測試架構示意圖

Abstract

After years of development, wireless communication has become essential for telephony and data communication. In mobile communication, there are many different standards and systems in use simultaneously, such as GSM, DECT, PHS, GPRS, WCDMA, CDMA2000. In data communication, Bluetooth and 802.11 are competing for market acceptance. Therefore, RF circuit design and applications are wide and extensive. Furthermore, in wired communication, fiber and high speed copper wired serial links are all fall in RF frequency range. Due to its high added value, design houses, foundry, and system houses are focus on this sector of semiconductor industry in order to make high profit margin. However, the testing of RF circuits and systems are not well developed as design and manufacturing.

Traditionally, RF circuit and system test are achieved in two ways. The first one is to use specialized instrument to send and receive high quality RF signals to determine the circuit parameters and go-no-go of the circuits. The disadvantage is the cost overhead. The instrument in RF range is not only expensive but also very difficult to operate and maintain. It seems that it is difficult to meet the requirement of low cost mobile hone handset or wireless local area network. The second type uses the loop back mechanism for the test. The digital data is sent by the transmitter and received and recovered by the receivers. It checks the bit-error rate (BER) of the received data to determine the function of the CUT. It has the properties opposite to the first method. The test equipment cost is low. But, the test time is very long.

In this project, we would like to propose an RF test methodology which take the advantage of the RF system architectures nowadays. We utilize the built-in analog/digital (AD/DA) converters and digital signal processors (DSP) as the test resources for the test. The DSP is responsible for sending digital IF signal to the DAC. DAC then converts the discrete signal into analog signal. After that, it is up converted into RF band by the RF transmitter module. The RF receiver module receives the RF signal and down converts it into IF band. The ADC convert it into digital form. Finally, the DSP collects the received digital signal and use DSP techniques to extract the circuit parameters. The DSP techniques will be based on the “intrinsic response extraction” we proposed earlier [1-8]. Without the affections of other modules, this technique is able to extract the intrinsic responses. By this means, the test cost is minimal because the AD/DA converters and DSP modules are built in already. There is no external RF ATE needed.



Wireless RF/IF and mixed signal circuit

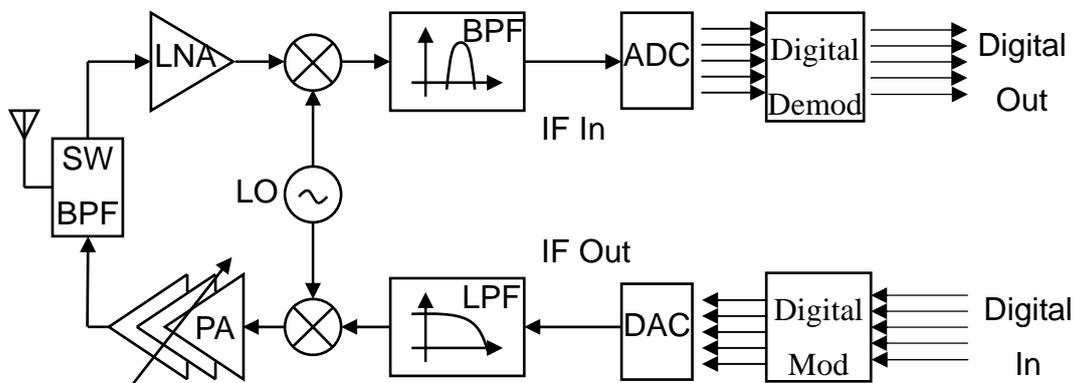
目錄

一、前言	1
二、文獻探討	3
三、研究方法	8
3.1 本質響應萃取	8
3.2 濾波器分析	12
3.3 射頻前端電路模擬	14
四、射頻與基頻電路共同模擬	18
五、結論與討論	23
六、參考文獻	25

一、前言

無線通信在今日已經蔚為風氣，在行動通訊百家齊放，有 GSM、DECT、PHS、GPRS、WCDMA、CDMA2000 等不同的系統問世。在無線網路上，亦有 Bluetooth、802.11、等不同的規範與應用。由於有非常大量的需求與高附加價值，全球的設計業者，晶圓廠，與系統業者，無一不傾全力往此一方向發展，並已獲致相當可觀的成就與成果。如今，頻電路的應用，已經非常的廣泛與普及。更進一步，在有線傳輸上，光纖與高速傳輸也都屬於射頻電路的應用範疇。無線通訊的設備越來越普及，可謂是後 PC 時代最重要的產業。雖然射頻電路的设计、製作、與應用日趨成熟，然而，射頻電路的測試並無法如其他技術般如此順利的發展。為了解射頻測試的複雜度，我們需要先看一般射頻電路系統的架構。

圖一所示為一射頻電路與混合信號電路系統。在發射端，數位信號輸入 Digital_In 經過數位調變 Digital_Mod 後成為數位中頻信號，再經由數位類比轉換器 DAC (Digital Analog Converter)將之轉換成類比中頻信號，然後再經射頻升頻 RF Up Convert 成為射頻信號，最後再以功率放大器 PA (Power Amplifier) 將之放大後送至天線傳送出去。在接收部分則走相反但卻相似的路徑。射頻信號由天線接收後，先經低雜訊放大器 LNA (Low Noise Amplifier) 加以放大，再經由射頻降頻 RF Down Convert 至中頻類比信號，再由類比數位轉換器 ADC (Analog Digital Converter) 轉換成數位中頻信號，再經數位解調 Digital Demodulation 成數位輸出信號。以上說明僅以射頻電路與中頻數位調變電路為例子，基頻調變電路也有相似的系統，惟 ADC/DAC 的位置不同。而數位輸出與輸入可以為經過編碼的影像語音信號，也可以是直接的數位資料 (Digital Data)。

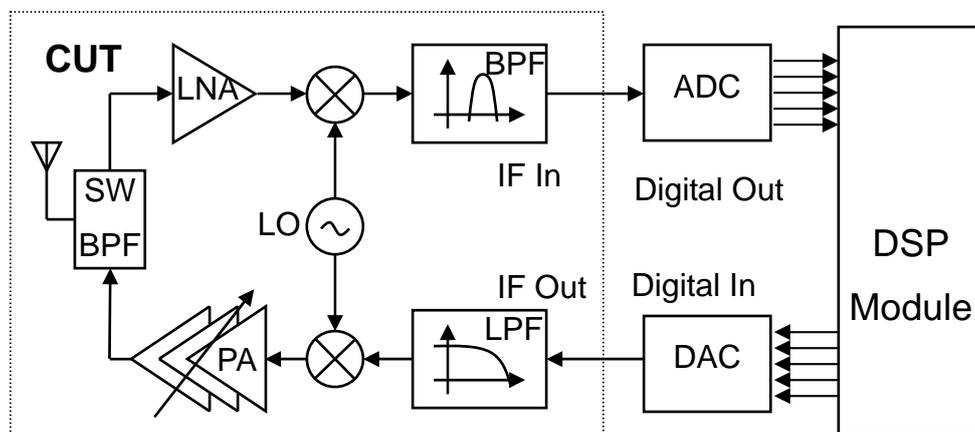


圖一、射頻與混合信號電路架構示意圖

測試如上圖之無線通訊電路測試的困難如下。首先，此一電路包含有不同的電路組合。射頻電路、類比電路、混合信號電路、數位電路各有其設計、製程技術、與測試技術。僅就測試技術而言，不僅錯誤模型、測試信號、測試設備、就連測試工程師所需要的訓練都不同。面對此一電路，資深的工程師都會有相當的困難度，更遑論一般的初級工程師。就算測試的技術、設備、人才得以解決，就測試經濟層面而言，此一電路也會遭遇到一些問題。無線通訊已經走向低價大眾化的不歸路，為了因應一般的消費大眾，手機售價越來越低。手機的成本勢必要有相當程度的壓低，才能因應一元或免費手機的市場。然而，測試的成本要壓低到足以承受如此複雜的測試技術將會相當的困難。因此測試技術的突破的需求是相當急迫的。現在我們先來看一下測試的技術。

傳統上射頻電路的測試以兩類方式為之。第一類型是以儀表量測的方式為之，利用射頻訊號專用的精密儀表送出或接收射頻訊號，並利用儀表的內建功能，量測電路的參數，以決定電路的正確與否。此一類型的最大優點在於能準確的量測電路特性，正確的判斷電路的好壞，誤放 Miss 與誤殺 Kill 的機率較低，通過測試的電路的可靠性 Reliability 較佳。但是此一方法的缺點是，測試成本非常的高，似乎無法滿足低價手機與無線網路的要求。第二類型則是利用迴路 Loop Back 的方式將傳送出的訊號接回並與予解碼，在檢查回收資料的位元錯誤率 Bit Error Rate (BER)，如下圖所示。此一方法與第一類型剛好相反，它的優點在於測試的成本非常的低。由於測試的資料長度往往要十倍甚至百倍於 BER($10^{-7} \sim 10^{-12}$)的倒數，因此它的缺點則是測試時間非常的長。再者，位元錯誤率雖受到電路參數的影響，但是其關係並非線性，雜訊的大小也對位元錯誤率有同等的重要性影響。因此，並無法由位元錯誤率來推算電路參數，因此誤放 Miss 與誤殺 False Kill 的機率相當的大。此兩類型的測試對射頻電路都有力有未逮之處。

如果我們仔細的觀察並評估圖一中所示之 RF 模組，我們不難發現在整體架構上，類比數位轉換 AD/DA 模組數位信號處理 DSP 模組為可用之測試資源 Test Resources。基於此一觀察，本計畫要提出的是利用現今無線電路架構中，內建之類比數位轉換單元與數位信號處理單元作為設頻電路測試的基礎。在測試的架構上，如圖二所示，我們將利用 DSP 模組產生數位測試信號，經由 DAC 轉換送出中頻信號，再由射頻發射電路將之升頻至射頻，經過射頻接收模組將之接收並降頻至中頻，再經 ADC 將之轉換成為數位信號，送至 DSP 模組作數位信號處理。在數位信號處理技術上，我們將使用吾人發展的自身反應 Intrinsic Response 測試方法[1-8]，在不受其他模組的影響下，將每一模組的測試自身反應加以分離淬取出來，以分別判定每個模組的好壞優劣。就測試複雜度而言，它使用了內建的 AD/DA 與 DSP 模組，就測試成本而言是最為經濟的，他不必使用外掛的射頻測試機台。



圖二、射頻電路測試架構示意圖

二、文獻探討

RF 性能與測試項目

在射頻電路中，我們會常聽到一些名詞及參數，將在這裡作介紹，而這些也就是我們要測試的參數。

反射係數 Γ (Reflection Coefficient)

當信號經由訊號源阻抗 Z_0 傳送致負載阻抗 Z_L 時，因為阻抗不匹配所產生的反射比

$$\Gamma = \frac{V_{refl}}{V_{inc}} = \frac{b_1}{a_1} = \frac{Z_L - Z_0}{Z_L + Z_0} = \frac{Y_S - Y_L}{Y_S + Y_L}$$

反轉損耗 Return Loss (RL)

將由電壓表示的反射係數 Γ ，轉為功率 dB 的形式，RL 愈大代表匹配越好。

$$RL \text{ (dB)} = -10 \log |\Gamma|^2 = -20 \log |\Gamma|$$

駐波比 (Voltage Standing Wave Ratio)

駐波是由於在傳輸線中之前進波受到反射波疊加而產生。取其波峰與波谷的比值，稱為駐波比 (VSWR)。

$$VSWR = \frac{V_{max}}{V_{min}} = \frac{|V_F| + |V_R|}{|V_F| - |V_R|} = \frac{1 + |\Gamma|}{1 - |\Gamma|}$$

由駐波比可推算反射係數 Γ

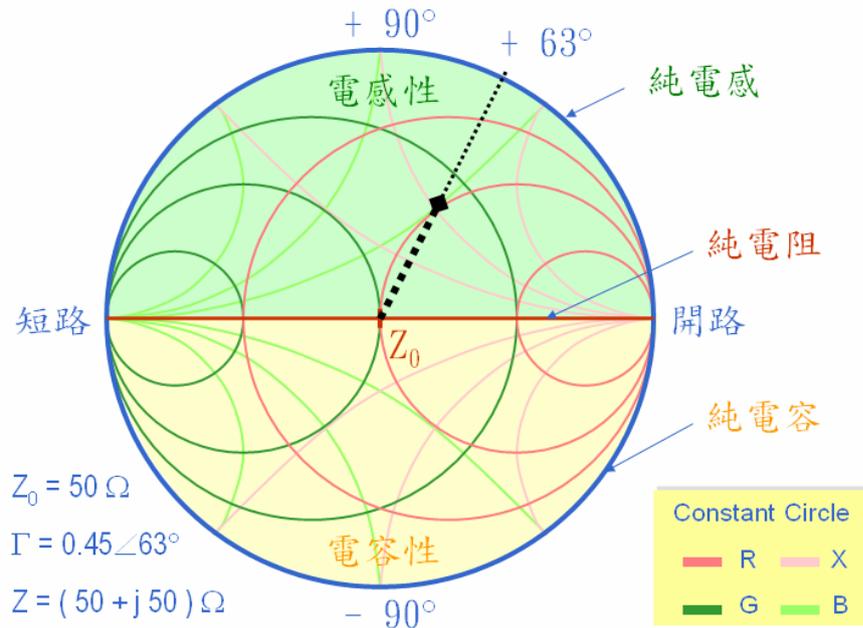
$$|\Gamma| = \frac{VSWR - 1}{VSWR + 1}$$

不匹配損耗 Mismatch Loss (ML)

當兩個電路要結合時，因為阻抗不匹配所造成的功率損失稱為 ML。要避免這種情況發生，我們需要在這兩個電路中加入阻抗匹配電路，使得損失變小，增益提升。ML 愈小代表匹配越好。

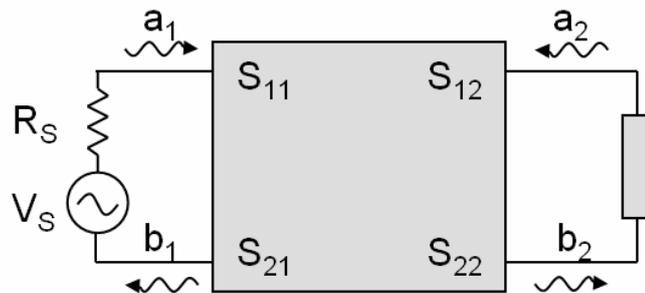
史密斯圖表 The Smith Chart

在 1933 年，AT&T 貝爾實驗室工程師 Philips Smith 為了簡單的表示出傳輸線上阻抗變化而發明的圖表，之後被廣泛的運用在射頻和微波工程上。



S 參數

在射頻電路中，我們要量測電壓與電流是非常困難的，要讓電路開、短路也不容易。於是我們利用 S 參數，只需將電路一端終端(Termination)，量測行進波的功率，即可算出



輸入端反射係數

$$S_{11} = \left. \frac{b_1}{a_1} \right|_{a_2=0} = \Gamma_1$$

順向傳輸係數(增益)

$$S_{21} = \left. \frac{b_2}{a_1} \right|_{a_2=0} = T_{21}$$

輸出端反射係數

$$S_{22} = \left. \frac{b_2}{a_2} \right|_{a_1=0} = \Gamma_2$$

逆向傳輸係數(絕緣)

$$S_{12} = \left. \frac{b_1}{a_2} \right|_{a_1=0} = T_{12}$$

溫度雜訊(Thermal Noise)

所有會消耗功率、電阻性的元件，都會產生熱，稱為溫度雜訊或 Johnson 雜訊。

$$P_N = KBT$$

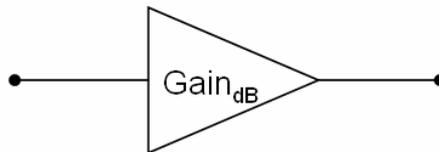
雜訊平台 Noise Floor

Noise Figure (NF) = Actual noise power (dB) – Thermal noise power (dB)

$$NF_{dB} = 10\log\left(\frac{P_{Nactual}}{KTB}\right)$$

$$= 10\log(P_{Nactual}) - 10\log(KBT)$$

一個物理系統在忽略非線性所產生之雜訊時，Noise Floor 即決定了最小輸入的訊號強度。



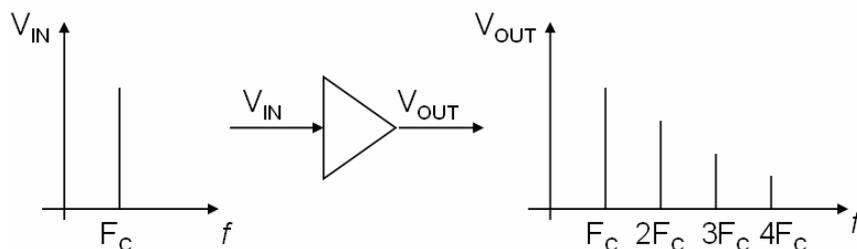
Noise Floor 在不同的雜訊頻寬下計算之值不同，如下表

Noise Bandwidth	Total noise power = Noise Floor, in dBm	
	Referenced to the input	Referenced to the output
1 Hz	-174 + NF	-174 + NF + Gain _{dB}
1 kHz	-144 + NF	-144 + NF + Gain _{dB}
1MHz	-114 + NF	-114 + NF + Gain _{dB}

諧波失真(Harmonic Distortion)

由於放大器的非線性，所造成輸入頻率 f 的弦波，輸出卻產生出 $2f, 3f \dots nf$ 整數倍的頻率，稱為諧波失真。

$$V_{OUT} = a_0 + a_1V_{IN} + a_2V_{2IN} + \dots + a_nV_{nIN}$$

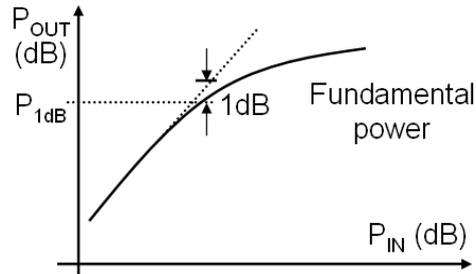


增益壓縮 Gain Compression

當輸入信號大小 A 增加到某個準位時，增益就會被壓縮， a_3 的係數為負號。

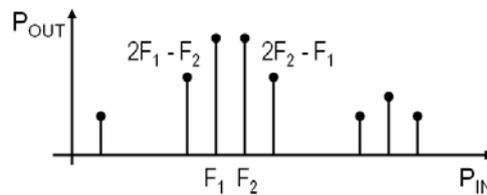
$$V_{OUT_FUND} = \left(a_1 A + \frac{a_3 A^3}{4} \right) \cos(2\pi F_c t)$$

當輸出功率比真實基頻輸出功率小 1dB 時，稱為 1dB gain Compression, 或 P_{1dB} ，在更高壓縮時，高次項就必須考慮進去，輸出波型就會像方波。

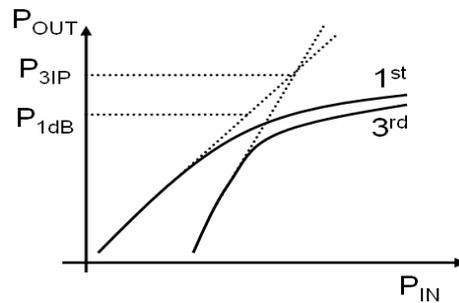


交互調變失真(Intermodulation Distortion)

在寬頻的應用中，很容易將不需要的諧波濾掉。然而，當兩個以上不同頻率信號輸入至系統時，會產生出 $2F_1 - F_2$, $2F_2 - F_1$ ……等等的頻率，這些頻率和所想要的訊號頻率相近，所以非常難濾掉。



理論的三階 IMD 功率與基頻功率的交點稱為 the Third-Order intercept Point, P_{3IP}

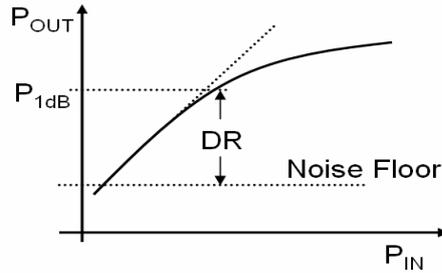


動態範圍 *Dynamic Range*

放大器或系統所能避免大多數雜訊或失真的信號功率範圍

$$\begin{aligned} DR &= P_{1dB} - \text{輸出的 Noise Floor} - DMDS \\ &= P_{1dB} - (-174 + 10 \log(B) + NF + GA) \\ &= P_{1dB} + 174 - 10 \log(B) - NF - GA \end{aligned}$$

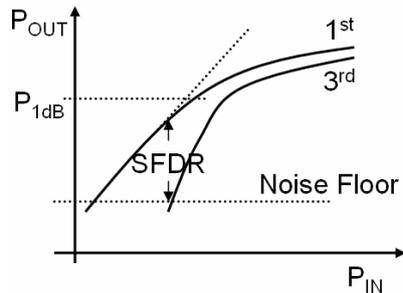
在此 B 為雜訊頻寬(Hz)、GA 為放大器增益、DMDS 為(最小可偵測之信號 - Noise Floor) ~ 3dB



無溢頻動態範圍 *Spurious-Free Dynamic Range*

放大器或系統所能避免任何雜訊或失真的信號功率範圍

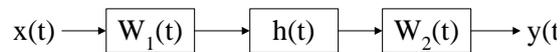
$$\begin{aligned} SFDR &= (2/3) * (P_{3IP} - \text{輸出的 Noise Floor}) \\ &= (2/3) DR \end{aligned}$$



三、研究方法

3.1 本質響應萃取

此一計畫的基本數學基礎在於吾人過去數年來所發展的本質響應萃取技術 Intrinsic Response Extraction [1-8]，此一方法是基於數位信號處理中的反迴旋運算 Deconvolution，它能再並聯及串聯架構下，萃取單一模組的特性，並排除其他模組與雜訊的影響，此一響應稱之為本質響應。此一方法應用於 IEEE Std. 1149.4 混合信號測試匯流排的類比模組測試上，可以提升至少十倍以上的解析度。此一技術也曾獲邀在 1998 在 IEEE Std. P1149.4 的工作小組會議 Working Group Meeting 上發表。因此我們對它的延伸使用深具信心。以下則為本質響應萃取技術的說明，詳細的內容請參考 [1-8]。



圖三、串聯系統架構概念圖

圖三所示為測試時的等效功能圖。H(t) 代表待測電路，W1(t)與 W2(t)代表在測試路徑上的其他模組。被觀察的輸出響應 y(t)會受到其他模組的效應影響而產生失真。其在時間領域及 S 領域的關係如下。

$$y(t) = x(t) * w_1(t) * h(t) * w_2(t)$$

$$Y(S) = X(S) \cdot W_1(S) \cdot H(S) \cdot W_2(S)$$

由此可知，如果我們直接用這個方法來進行量測，則輸出受到測試路徑效應的影響，而無法獲得正確的結果，為解決以上的困擾，我們可以採用三步驟的量測方法。第一步驟，量測信號路徑上的寄生效應(稱為校正量測)。第二步驟，量測被測元件的響應(稱為元件量測)。第三步驟，利用稱為 iterative deconvolution 的信號處理的技巧，將寄生效應所造成的影響從被測元件的響應中移除，因而恢復成為理想不受干擾的原始元件響應。再此值得一提的是，如果信號源在不同被測體間有微量的變化時，由於在這處理過程中，會因為在校正量測及元件量測時有相同的變化，因此可以將此變化相互抵銷而恢復為原來的響應。在校正量測及元件量測間的信號變化，則由於時間過短，因此可以忽略。

為能清楚的說明以上的步驟，我們利用數學來說明這個過程。在校正測試時，利用增益為一的放大器所量測的寄生效應如下：

$$p(t) = x(t) * w_1(t) * b(t) * w_2(t)$$

$$P(S) = X(S) \cdot W_1(S) \cdot B(S) \cdot W_2(S)$$

接著我們用相同的信號對被測體進行測試，所得的結果如下：

$$y(t) = x(t) * w_1(t) * h(t) * w_2(t)$$

$$Y(S) = X(S) \cdot W_1(S) \cdot H(S) \cdot W_2(S)$$

如此一來被測體的轉換函數可由下列方式獲得：

$$h(t) = \frac{y(t)}{p(t)} = \frac{x(t) * w_1(t) * h(t) * w_2(t)}{x(t) * w_1(t) * b(t) * w_2(t)}$$

$$H(S) = \frac{Y(S)}{P(S)} = \frac{X(S) \cdot W_1(S) \cdot H(S) \cdot W_2(S)}{X(S) \cdot W_1(S) \cdot B(S) \cdot W_2(S)}$$

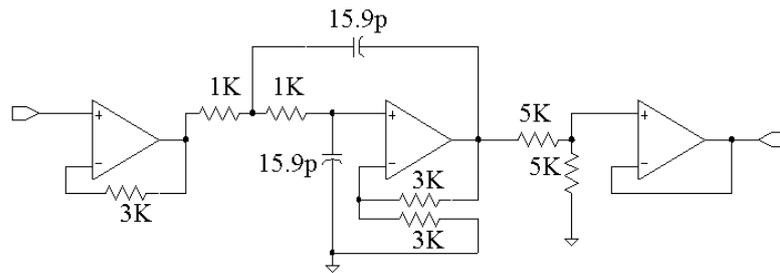
當我們獲得轉換函數 $h(t)$ ，我們可以利用理想的測試信號 $u(t)$ 來得到本質響應 $y_o(t)$ 。

$$y_o(t) = h(t) * u(t)$$

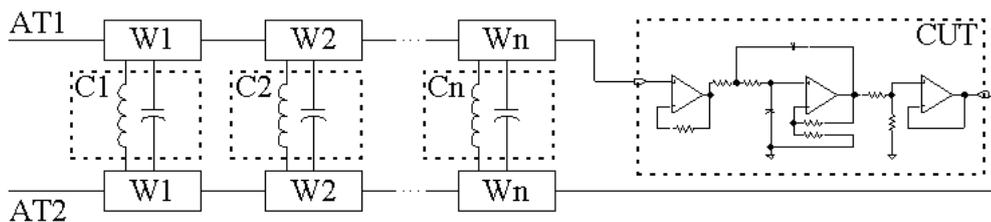
由以上的數學推導，我們可以知道如果增益為一的緩衝器在量測的頻率範圍內能保持非常平穩的響應，則輸出響應 $y_o(t)$ 與寄生效應 $w_1(t)$ 及 $w_2(t)$ 無關，也與輸入無關 $x(t)$ 。接下來，我們將用模擬與實測來驗證此一方法的可行性。

待測的電路如圖四所示。此電路的轉移函數如以下公式所示，它的增益及 Q 因素均為一，且自然頻率為 10MHz。圖五所示為待測電路加上雜散效應的模型建立。

$$H(s) = \frac{A_{vo}}{1 + Q \frac{s}{\omega_o} + \left(\frac{s}{\omega_o}\right)^2}$$

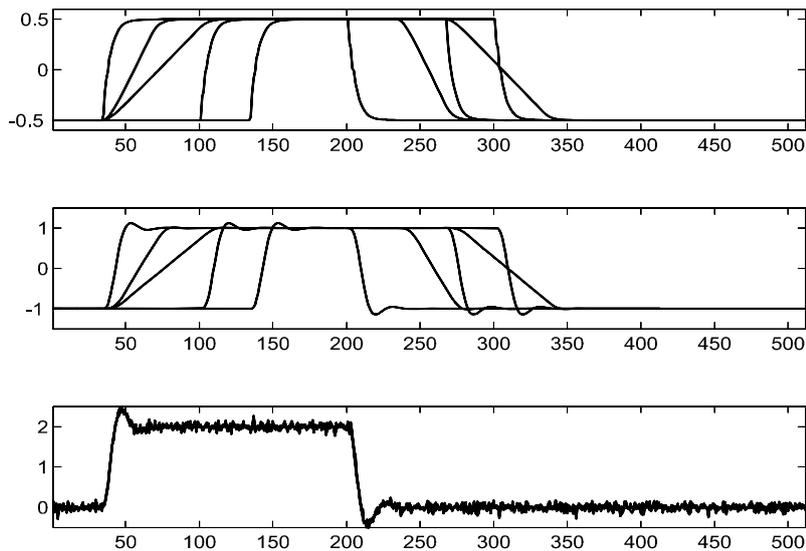


圖四、待測電路 - 二階低通濾波器



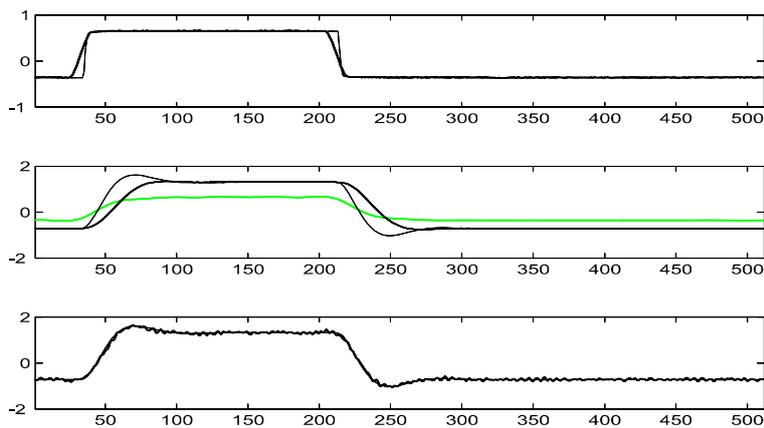
圖五、待測電路之雜散效應

圖六所示為利用 SPICE 模擬的結果進行本質響應萃取。第一圖為輸入信號，共有五個信號，各代表不同的上升斜率 Slew Rate 與不同的時間基準，第二圖為輸出信號，它受到受到相當嚴重的雜散效應影響。第三條線則為萃取後所得到不受雜散效應影響的本質響應。這其中共有五條曲線各代表不同輸入的結果。由不同輸入得到不同輸出響應，我們也能將萃取得到幾乎相同的本質反應，由此可證，此一技術可以不受到雜散效應的影像，不受到路徑上的其他模組的影響，也不受到輸入信號的影響。

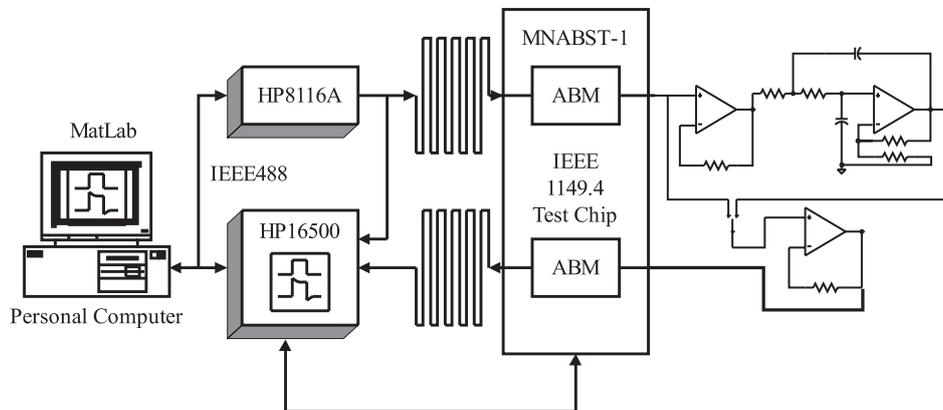


圖六、SPICE 模擬結果的本質響應萃取

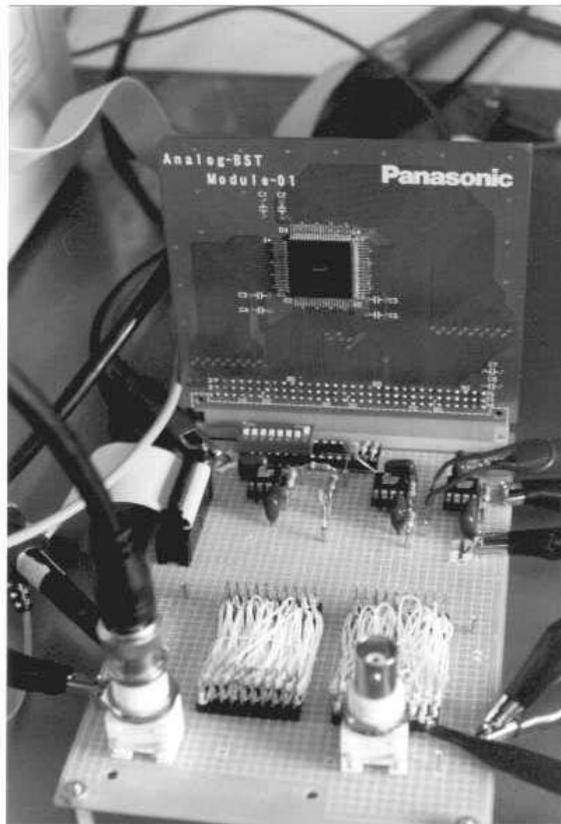
圖七所示則為電路時測的結果。一如 SPICE 模擬的結果一般。第一圖為理想的輸入與有 20ns Rise Time 的輸入信號，第二圖為未接雜散效應理想輸入的輸出反應與有雜散效應請輸入品質不佳的輸出反應，第三圖則為萃取之本質響應與第二圖理想輸出之對照圖，由此可見，我們的技術可以在實務上也可以得到相當理想的結果。圖八與圖九所示則為我們測試環境的電路圖與設定。其中 MNABST-1 則特別向 IEEE Std. 1149.4 Working Group 所索取之測試板。



圖七、電路實測數據的本質響應萃取



圖八、實測電路環境



圖九、實測電路照片

表一、實測比較

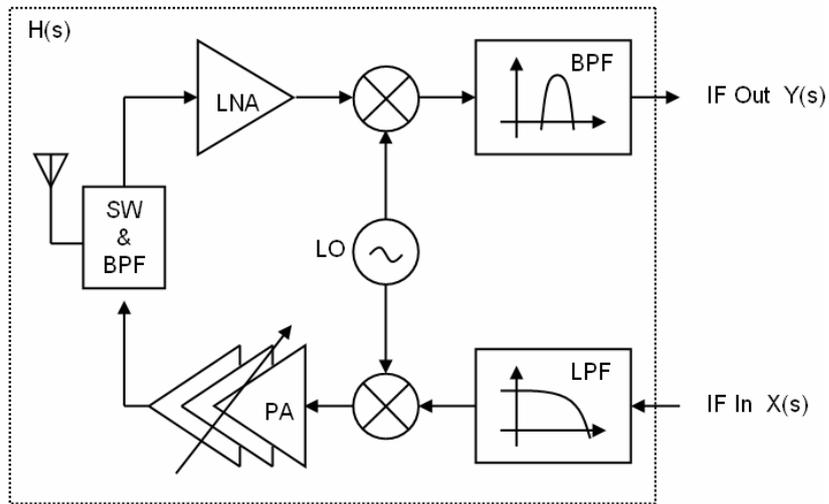
		CUT		SNR	
Length (cm)	f_0 (MHz)	f_x (KHz)	Direct (dB)	Extracted (dB)	Improvement (dB)
60	10	1000	17.4	49.5	32.1
120	10	1000	10.6	35.9	25.4
240	10	667	5.6	27.5	21.9
480	10	250	6.5	24.3	17.8
600	10	250	6.0	23.0	17.0

表一所示為直接量測與使用本質響應萃取技術之比較。第一欄為所使用之線長度，第二、三欄為待測濾波器之 3dB 頻率與所使用測試方波之頻率，第四欄為直接量測所得到的信號與理想響應之信號雜訊比，第五欄為所萃取之本質響應與理想響應之信號雜訊比，第六欄則為本質響應萃取對信號之改善。測試結果顯示，我們的技術有百倍至千倍 20dB~30dB 的改善。在極端例子上也有 17dB 的改善。

本質響應萃取技術，為吾人過去最重要的成果，不僅在理論上是完整的 Complete，在實作上也獲致與理論推導與模擬相似的結果，在國際上也深受第一流國際期刊與學術研討會所肯定 [1-8]。因此我們決定將其運用於 RF 電路測試上以開創另一個局面。

3.2 濾波器分析

在先行可行性探討上，我們先用簡單的例子，來測試我們的方法。在整個環境上，IF 的輸出與輸入可以由圖十所表示。



圖十、RF 測試概念圖

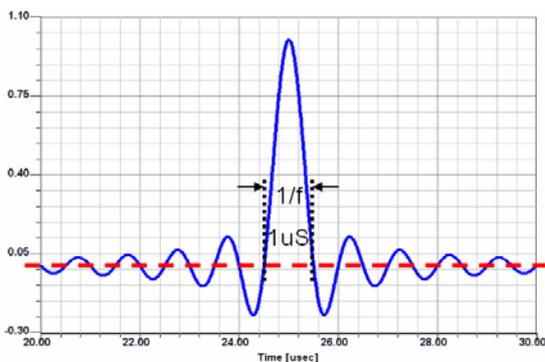
DAC 送出 $x(t)$ 與 ADC 接收 $y(t)$ ，在時域做 Convolution $y(t) = x(t)*h(t)$ ，等於頻域相乘

$$Y(s) = X(s) H(s)$$

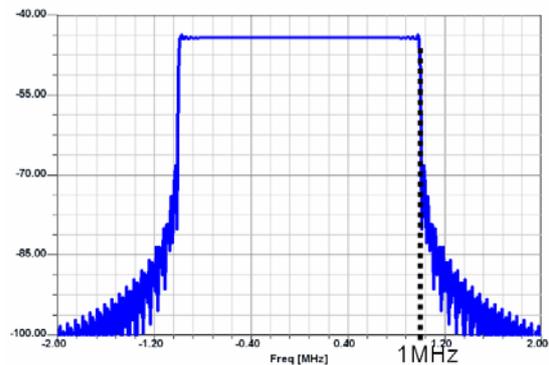
$$H(s) = Y(s) / X(s)$$

$$H(s)_{db} = Y(s)_{db} - X(s)_{db} \text{ (log scale)}$$

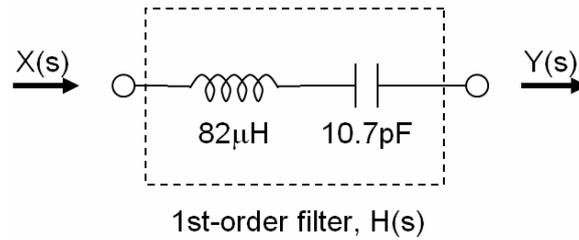
經由後端 DSP 的 FFT 運算，得到 $X(s)$ 與 $Y(s)$ ，而求得 RF 模組之轉移函數 $H(s)$ ，進而分析。由於在 RF 系統中 DAC 與 ADC 均相當的高速。整體的系統也與前面獨立模組測試不盡相同。一般而言，測試信號可以有三種選擇，Single Tone、Multiple Tone、Chirp 與 Sinc 信號。我們先採用因此我們先採 Sinc 信號作為測試信號，取其平整之頻譜。圖十一所示為 Sinc 的時域信號與頻譜。會影響產生出來 IF 測試信號品質的因素有下列幾項：取樣頻率、解析度、線性度以及取樣的點數。為了實際測試此方法是否可行，我們先以一簡單的濾波器做實驗，待測濾波器為圖十二所示。圖十三為模擬之頻譜響應曲線。



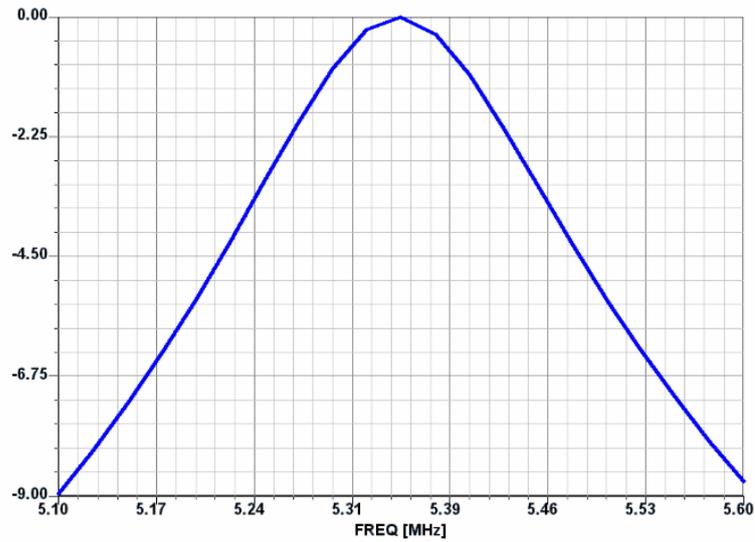
圖十一、(a) Sinc 之時域曲線



(b) Sinc 之頻譜曲線

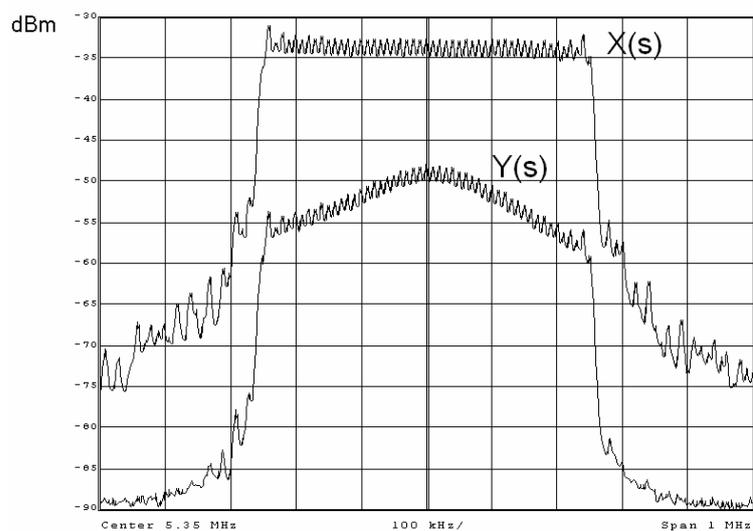


圖十二、待測濾波器

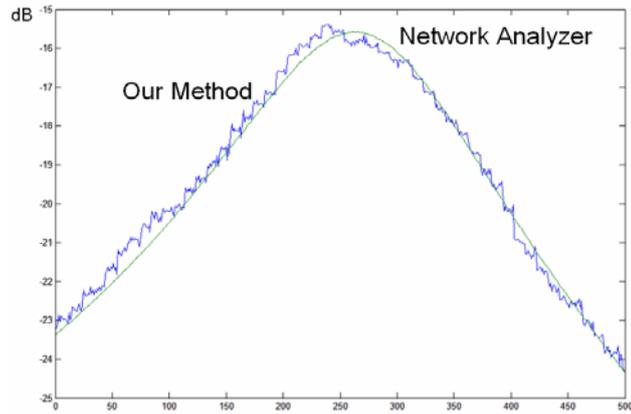


圖十三、模擬之濾波器頻率響應

輸入訊號是利用具備 14bit 50MHz DAC 任意波形產生器，產生 1600 點的 Sinc 波形，其頻譜為一平坦方波。再利用頻譜分析儀模擬 ADC 取得之濾波器輸出結果。圖十四所示為十測信號之頻譜，其中包含所送出之 Sinc 之頻譜與濾波器輸出之頻譜。利用 Matlab，代入 $H(s)_{db} = Y(s)_{db} - X(s)_{db}$ 即可求出此濾波器之頻率響應，圖十五所示則為我們所萃取的結果與 HP 網路分析儀做比較，誤差小於 1dB，雖然有所距離但尚稱準確。



圖十四、實測 Sinc 之頻譜與濾波器輸出之頻譜。



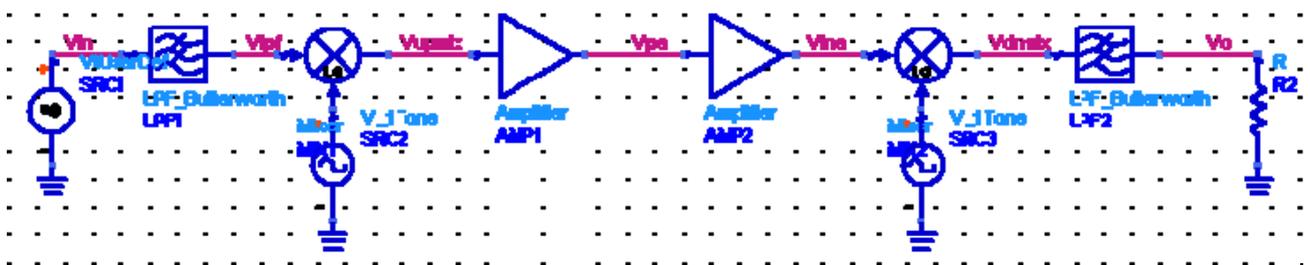
圖十五、所萃取之頻率響應與 HP 網路分析儀所量得之響應比較圖。

先期可行性探討中，我們可以獲致一個相當滿意的結果，但是畢竟它只是一個二階的帶通濾波器，設頻電路與系統中有相當多的模組，我們必須一一細究，才能得到較為具體的結果。

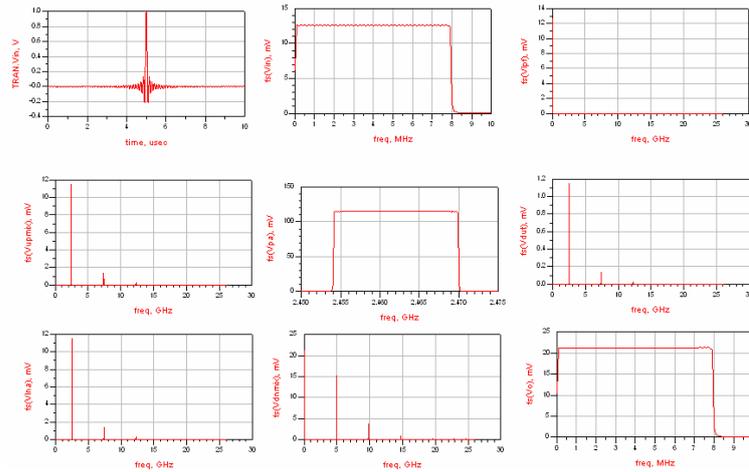
3.3 射頻前端電路模擬

由於在 RF 系統中 DAC 與 ADC 均相當的高速。整體的系統也與前面獨立模組測試不盡相同。一般而言，測試信號可以有三種選擇，Single Tone、Multiple Tone、Chirp 與 Sinc 信號。我們先採用因此我們先採 Sinc 信號作為測試信號，取其平整之頻譜。Sinc 的時域信號與頻譜。會影響產生出來 IF 測試信號品質的因素有下列幾項：取樣頻率、解析度、線性度以及取樣的點數。

利用數位類比轉換器產生中頻訊號，接收到的訊號最後由類比數位轉換器送交數位訊號處理器分析。圖十六利用 Agilent ADS 模擬的整個電路架構。電壓源 V_{in} 產生想要的類比中頻信號，然後再經射頻升頻 RF Up Convert 成為射頻信號，最後再以功率放大器 PA (Power Amplifier) 將之放大後送至天線傳送出去。在接收部分則走相反但卻相似的路徑。射頻信號由天線接收後，先經低雜訊放大器 LNA (Low Noise Amplifier) 加以放大，再經由射頻降頻 RF Down Convert 至中頻類比信號 V_{out} 。圖十七為理想的個節點電路模擬結果。

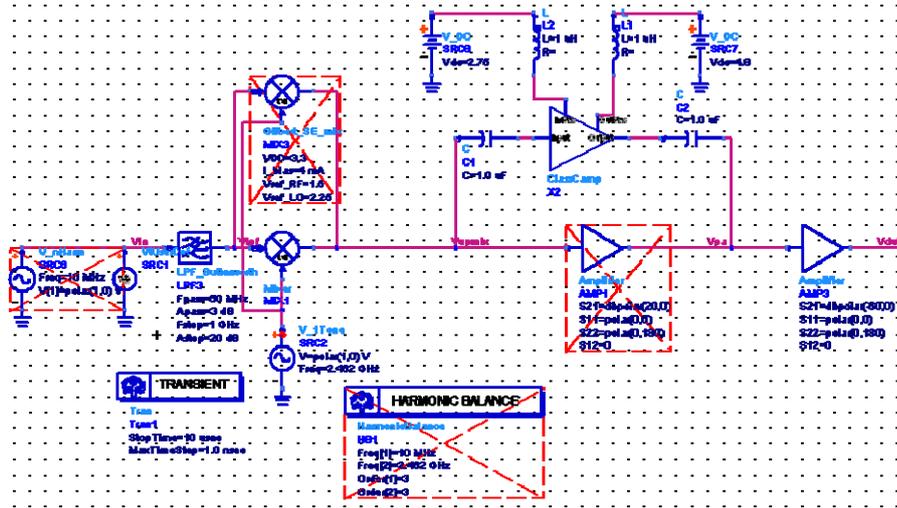


圖十六、射頻前端電路架構圖



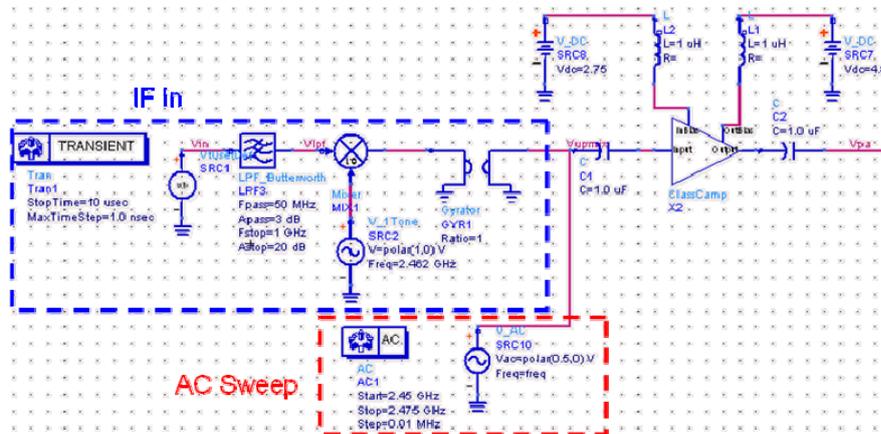
圖十七、理想射頻前端電路模擬結果

當比較 V_{in} 與 V_{out} 可以確定出何項元件有不符規格或者是效能變差。為了驗證我們的方法，建構了理想的模型，行為式的模型，與真實電路的模型。圖十八為理想模型與實際電路模型的電路途，可以利用這種架構測試與比較出異同。



圖十八、理想與實際電路測試分析

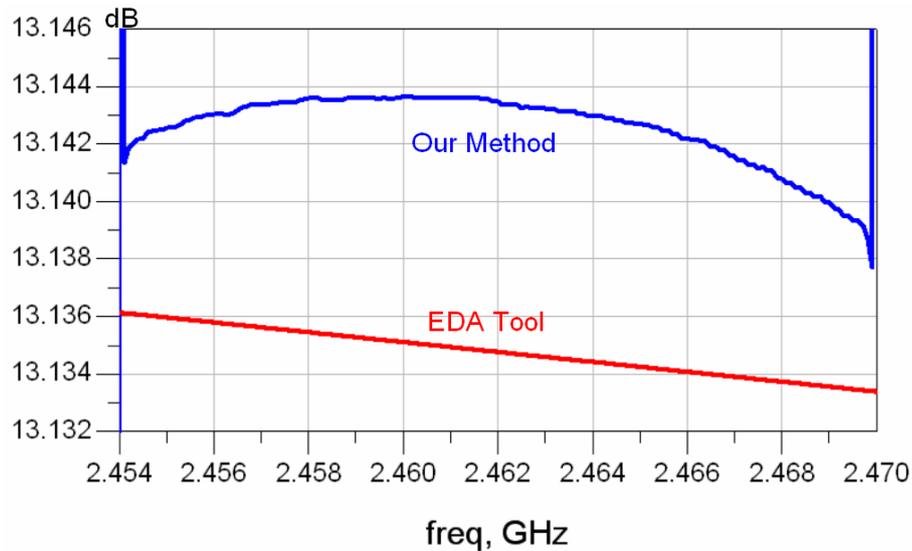
利用兩種不同的測試方法來產生訊號，EDA 軟體所提供的 AC 分析方式與暫態分析產生之 SINC 函數，然後轉換至頻域分析。測量功率放大器之電路圖如圖十九所示。



圖十九、功率放大器之測試電路

在射頻前端電路系統中有兩個或更多的放大器，在發射端，功率放大器是將訊號放大至天線送出的主要元件，在接收端，低雜訊放大器是將微弱的訊號放大至電路所能處理的範圍，雜訊指標與增益是重要的規格。

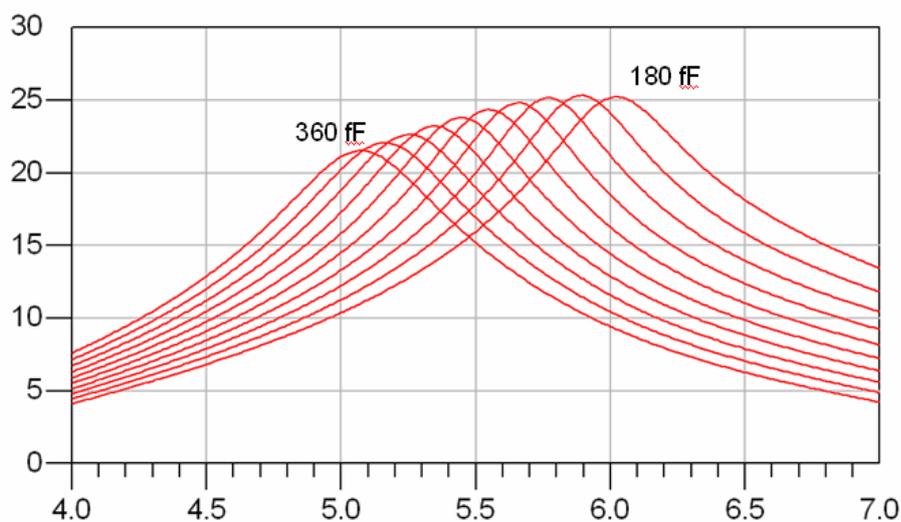
測試無線網路中非理想功率放大器的某些規格。首先，產生 8Mhz 頻寬的 sinc 波形然後利用理想的混波器升頻至 2.462 GHz。接著，量測功率放大器的輸出。最後接輸出與輸入的頻譜相減，得到功率放大器的增益。圖二十為比較此方法與利用 EDA 軟體頻域掃描的結果。兩者之間的誤差非常的微小，這是由於數值轉換的誤差所造成的。



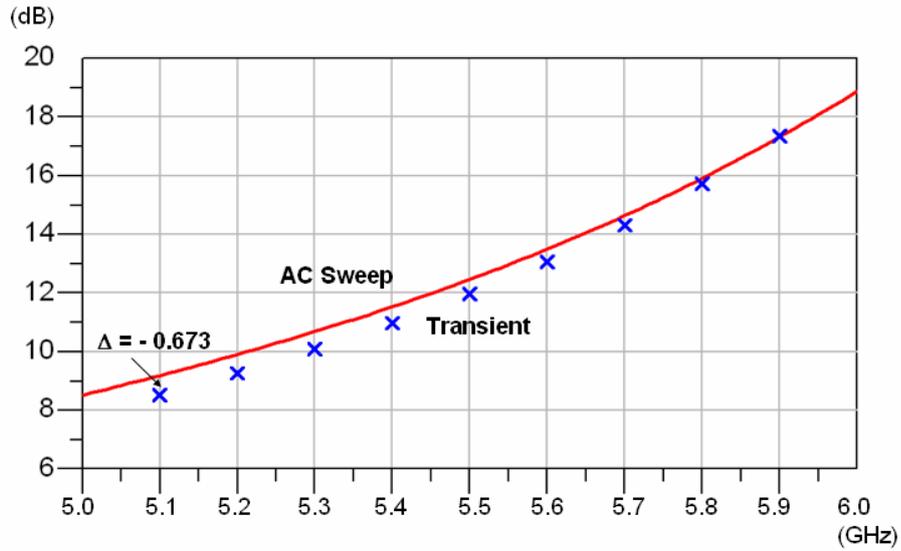
圖二十、功率放大器的增益

在接收端的低雜訊放大器的輸出阻抗會因為製成的飄移而造成高增益頻帶的範圍飄移，而產生出效能降低，甚至無法動作的結果，如圖二十一所示。

利用我們的測試方法，可以得到如圖二十二，於每個通道的頻率測試其增益，分析得到如頻譜的圖，用以確認其輸出等效阻抗飄動多少，是否符合規格。

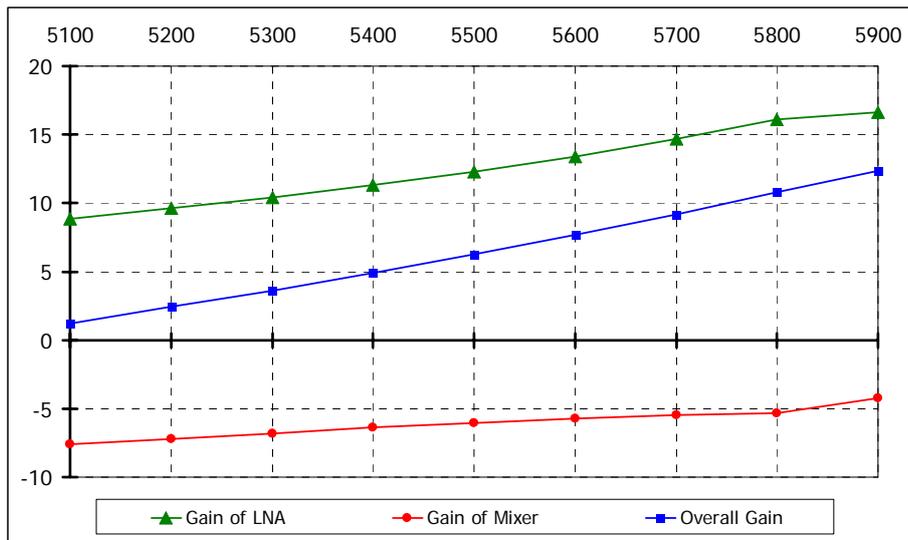


圖二十一、低雜訊放大器輸出匹配造成之誤差



圖二十二、低雜訊放大器的增益

整個接收器的測試包含了低雜訊放大器的增益與混波器的轉換增益，以及全部接收器的增益，如圖二十三所示。



圖二十三、整體接收端的增益分析

四、射頻與基頻電路共同模擬

利用 EDA 軟體 DSP 模擬基頻信號產生元件，用來產生數位訊號，經由數位類比轉換器以及 IQ 調變器產生出中頻訊號，接收到的訊號最後由 IQ 解調變與類比數位轉換器送交數位訊號處理。如圖二十四所示，在利用圖像比對的技術，藉由向量的分析、運算，可以得到中間元件的誤差與非理想的參數。

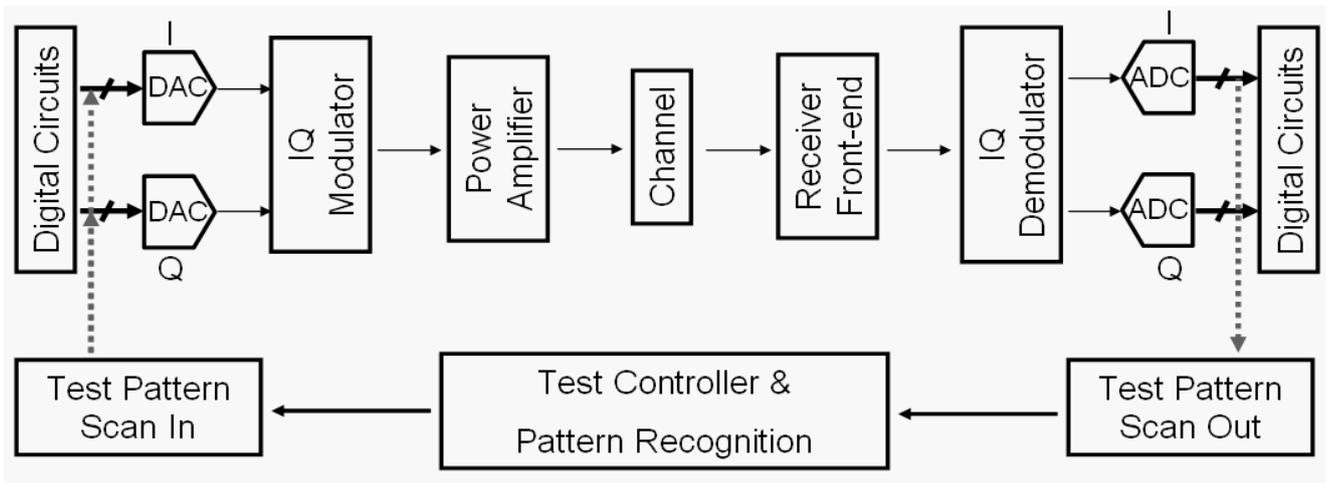
藉由公式的推導，可以求得電路的誤差量，進而測試產品的好壞與故障的可能位置。

相位不平衡

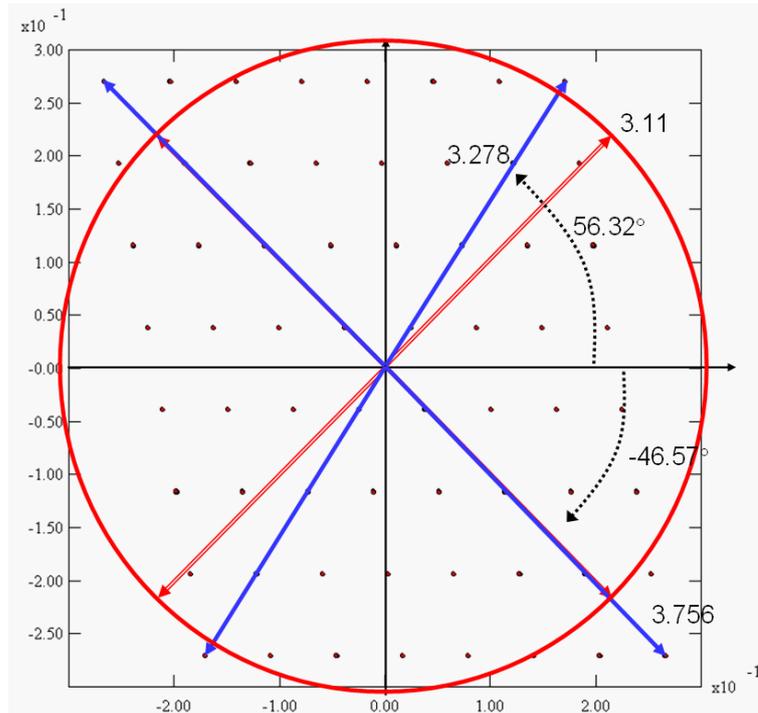
$$\phi = \sin^{-1} \left(1 - \frac{2r}{V\sqrt{1 + \tan^2 \theta}} \right)$$

增益不平衡

$$g = \frac{\tan \theta (1 - \sin \phi)}{\cos \phi}$$

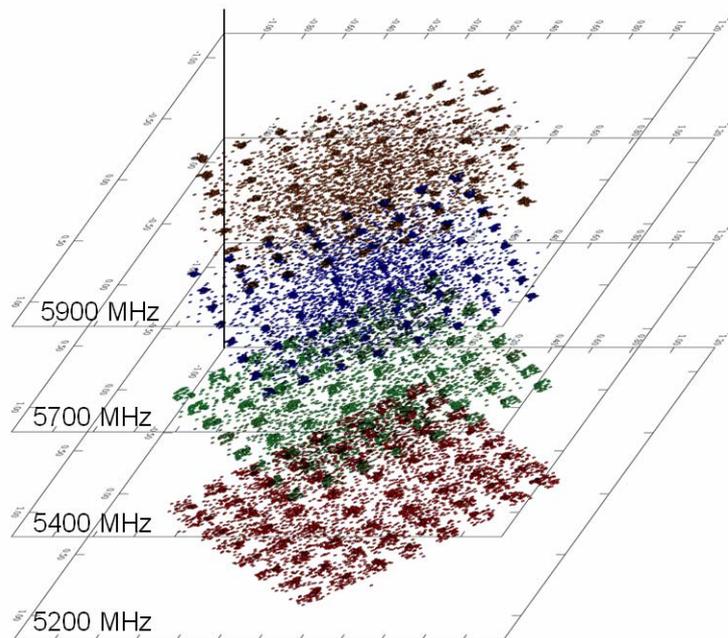


圖二十四、射頻測試概念圖



圖二十五、星座圖分析

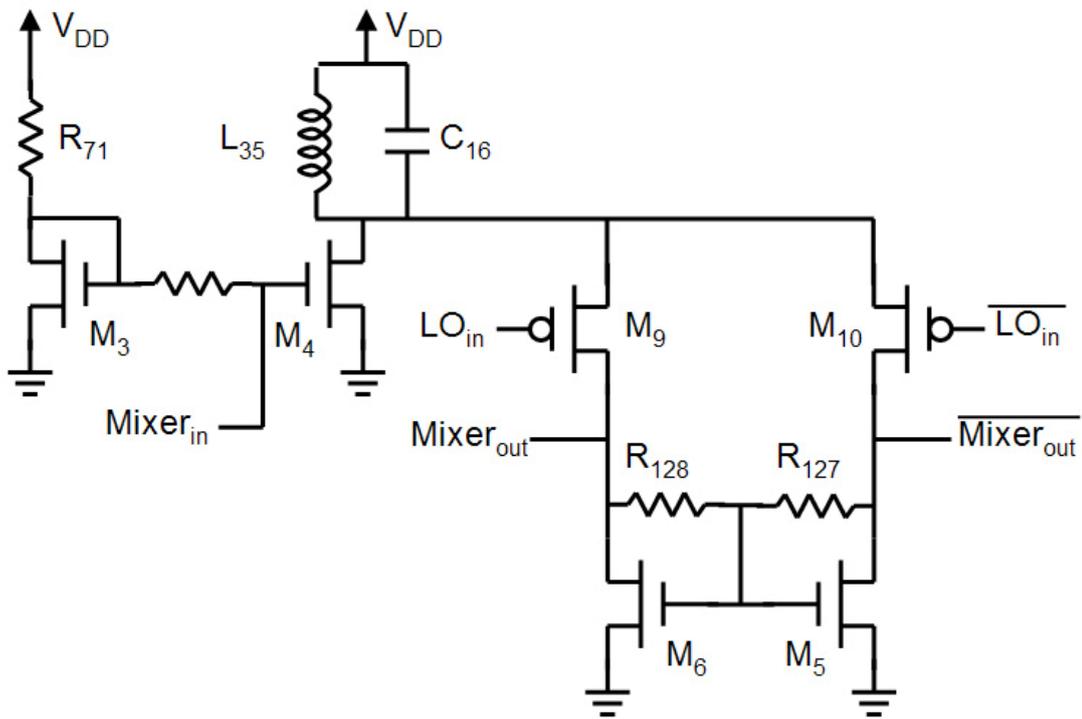
當我們將同樣的測試理念推展到三度空間時，如圖二十六，多增加了不同頻率的平面。便能發現某些參數因為頻率的變化而產生出的變異性，藉由圖型立體的旋轉與變形，可以推導出胡何測試規範的範圍，快速的比對以分析產品的好壞。



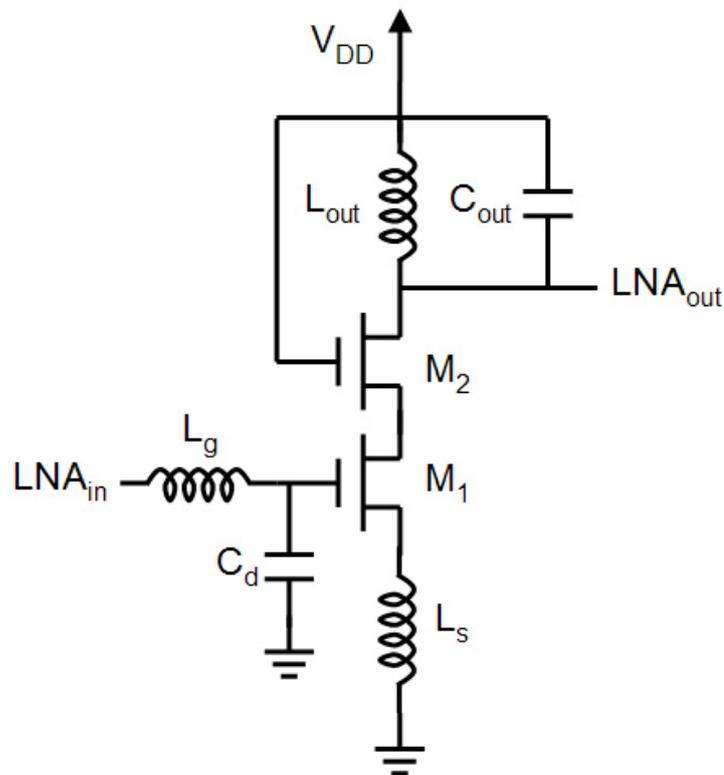
圖二十六、三度空間星座圖

對於星座圖的分析，可以取一標準樣本與當電路參數有飄移的電路所產生的星座圖相比，對增益與相位變化作圖時可以得到參數變化對增益與相位所造成的影響。圖二十七為混頻器之電路圖，圖二十八則為低雜訊放大器之電路圖。圖二十九為混頻器參數變化之特性飄移圖，圖三十則為低雜訊放大器之參數變化飄移圖。

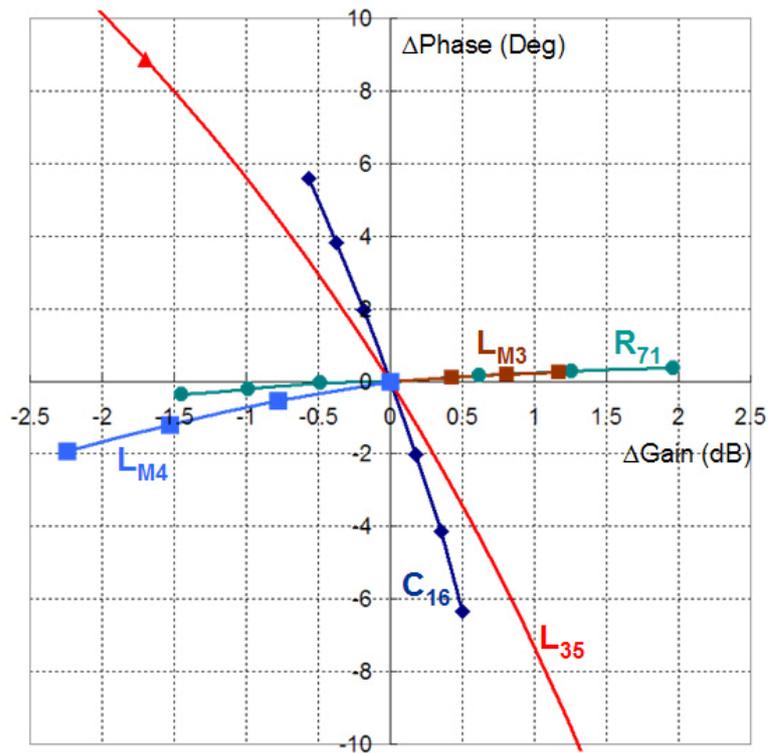
每一線段都代表了一種參數的變化，可以發現有些參數對於增益的變化極敏感，有些則絲毫不受影響，對相位也是如此。借由變化線段的斜率與曲度，可以作為分析電路參數飄移之基礎。



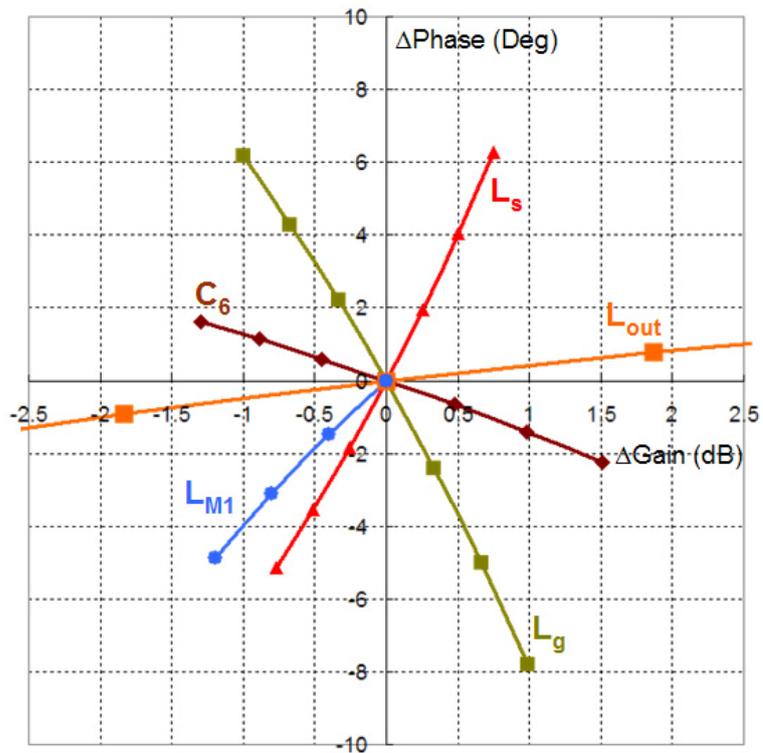
圖二十七、混頻器之電路圖



圖二十八、低雜訊放大器之電路圖



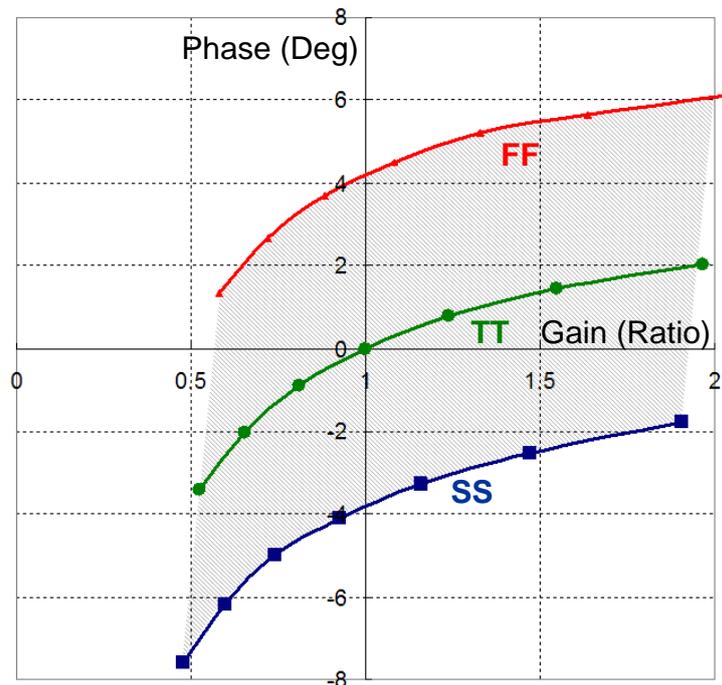
圖二十九、混頻器參數變化之特徵飄移圖



圖三十、低雜訊放大器參數變化飄移圖

挑選參數變化量為 $\pm 10\%$ ， $\pm 20\%$ ， $\pm 30\%$ 的結果製作成飄移圖，為了驗證可以藉由圖二十九、三十的內差法得到參數變化落於兩點之間的位置與實際參數變化的誤差量。再取 15% 與 25% 兩點做驗證。

為了分析某一參數受到製程飄移可能落至的範圍，我們對 FF 與 SS 製程進行模擬，其圍成的範圍即為此參數受到製程因素可能的變化範圍。圖三十一的灰色斜線範圍即為低雜訊放大器之輸出電感受到製程飄移可能的效能偏移範圍。



圖三十一、單一參數變化範圍與製程飄移圖

五、結論與討論

表一與表二為混頻器與低雜訊放大器內差法與實際模擬之誤差分析。由表二可知，當低雜訊放大器電晶體 M_1 的長度變化受製成飄移量為15%時，在5200MHz操作頻率由圖三十飄移圖內差10%與20%兩點所得到的增益誤差為15.07%，與15%僅相差0.07%。相位誤差為14.89%，與15%僅相差0.11%。

在兩個表格中，大多數的誤差都小於1%，只有 C_{16} 在5775Mhz時他所造成的增益誤差偏大，造成的原因為此元件在此頻率剛好產生共振現象，對於電容與電感在共振頻率附近的量測，如需要能使誤差更小，可以增加模擬的點數，使得本方法更加準確。

測試項目	參數飄移	頻率	5200MHz		5775MHz		測試項目	參數飄移	頻率	5200MHz		5775MHz	
			項目	內插法	誤差	內插法				誤差	項目	內插法	誤差
L_{M3}	15%	增益	15.00%	0.00%	14.75%	-0.25%	L_{35}	15%	增益	15.93%	0.93%	9.79%	-5.21%
		相位	15.20%	0.20%	6.66%	-8.34%			相位	14.93%	-0.07%	15.15%	0.15%
	25%	增益	25.01%	0.01%	25.00%	0.00%		25%	增益	27.16%	2.16%	24.54%	-0.46%
		相位	25.10%	0.10%	24.87%	-0.13%			相位	25.06%	0.06%	25.32%	0.32%
L_{M4}	15%	增益	15.18%	0.18%	15.01%	0.01%	R_{71}	15%	增益	15.31%	0.31%	15.17%	0.17%
		相位	14.84%	-0.16%	13.77%	-1.23%			相位	15.91%	0.91%	11.22%	-3.78%
	25%	增益	25.21%	0.21%	25.20%	0.20%		25%	增益	25.15%	0.15%	25.16%	0.16%
		相位	24.90%	-0.10%	24.92%	-0.08%			相位	24.97%	-0.03%	24.37%	-0.63%
C_{16}	15%	增益	16.97%	1.97%	-53.29%	-68.29%							
		相位	14.91%	-0.09%	15.00%	0.00%							
	25%	增益	27.30%	2.30%	23.84%	-1.16%							
		相位	24.93%	-0.07%	25.00%	0.00%							

表一、混頻器飄移圖內差法與實際飄移誤差表

測試項目	參數飄移	頻率	5200MHz		5775MHz		測試項目	參數飄移	頻率	5200MHz		5775MHz	
			項目	內插法	誤差	內插法				誤差	項目	內插法	誤差
L_{M1}	15%	增益	15.07%	0.07%	15.03%	0.03%	L_g	15%	增益	14.97%	-0.03%	15.73%	0.73%
		相位	14.89%	-0.11%	15.04%	0.04%			相位	14.91%	-0.09%	14.97%	-0.03%
	25%	增益	25.08%	0.08%	25.05%	0.05%		25%	增益	24.99%	-0.01%	26.97%	1.97%
		相位	24.90%	-0.10%	25.03%	0.03%			相位	24.90%	-0.10%	24.99%	-0.01%
L_{M2}	15%	增益	14.89%	-0.11%	14.85%	-0.15%	L_s	15%	增益	15.04%	0.04%	14.82%	-0.18%
		相位	14.99%	-0.01%	14.98%	-0.02%			相位	15.08%	0.08%	13.92%	-1.08%
	25%	增益	24.91%	-0.09%	24.91%	-0.09%		25%	增益	25.04%	0.04%	25.10%	0.10%
		相位	24.98%	-0.02%	24.98%	-0.02%			相位	25.08%	0.08%	25.10%	0.10%
C_d	15%	增益	15.01%	0.01%	13.61%	-1.39%	L_{out}	15%	增益	14.66%	-0.34%	14.20%	-0.80%
		相位	14.97%	-0.03%	15.34%	0.34%			相位	15.14%	0.14%	14.05%	-0.95%
	25%	增益	25.01%	0.01%	25.59%	0.59%		25%	增益	24.67%	-0.33%	23.87%	-1.13%
		相位	24.96%	-0.04%	25.00%	0.00%			相位	27.19%	2.19%	23.76%	-1.24%
C_s	15%	增益	14.86%	-0.14%	14.85%	-0.15%							
		相位	14.87%	-0.13%	14.47%	-0.53%							
	25%	增益	24.85%	-0.15%	24.91%	-0.09%							
		相位	24.85%	-0.15%	24.28%	-0.72%							

表二、低雜訊放大器飄移圖內差法與實際飄移誤差表

推導和實作一種利用產生以及接收中頻信號來測試與偵測混合信號電路中之中頻與射頻電路模組的方法。利用數位信號處理器產生測試訊號，經由數位類比轉換器產生較低頻的中頻測試訊號輸入至待測的發射器之中頻與射頻模組。在接收端，利用類比數位轉換器擷取波形，接著傳送到數位信號處理器作分析。

利用基頻的數位 IQ 調變/解調變功能，來分析星座圖，藉由圖像比對之技巧，由原本的一維頻譜分析，拓展到二維的星座圖分析，最終延伸到三度空間的分析。

利用建構的參數飄移圖內插可以反推回參數飄移了多少，藉以達到初步的診斷，了解電路可能發生錯誤的元件與製程的偏移量。

這個方法可以大幅節省測試成本，因為所需之各項元件均已內建在原本之電路中，只需簡便的分析即可以自我的測試與驗證。

六、參考文獻

1. C.C. Su, Y.T. Chen, and S.J. Jou, "Intrinsic Response for Analog Module Testing Using Analog Testability Bus," *ACM Transactions on Design Automation of Electronic Systems*, Vol. 6, No.2, April 2001, pp.226-243 (full paper).
2. C.C. Su and Y.T. Chen, "Intrinsic Response Extraction for the Analog Test Bus Parasitic Effect Removal," *IEEE Trans. On Computer-Aided Design of Integrated Circuits*, Vol. 19, No. 4, April 2000, pp.437-445 (full paper).
3. C.C. Su, Y.T. Chen, "Impulse Response Fault Model and Fault Extraction for Functional Level Analog Circuit Diagnosis," *Journal of Information Science and Engineering*, (to appear) (full paper)
4. Y.T. Chen and C.C. Su, "Analog Module Metrology Using MNABST-1 P1149.4 Test Chip," *Proc. IEEE Asian Test Symposium*, 1998 378-382.
5. C.C. Su, Y.T. Chen, and S.J. Jou, "Parasitic Effect Removal for Analog Measurement in P1149.4 Environment," *Proc. 1997 IEEE Int'l Test Conference*, 1997.
6. C.C. Su, Y.R. Cheng, Y.T. Chen, and S. T., "Analog Signal Metrology for Mixed Signal ICs," *Proc. 1997 IEEE Asia Test Symposium*, 1997.
7. C.C. Su, Yue-Tsang Chen, Shyh-Jye Jou, and Yuan-Tzu Ting, "Metrology for Analog Module Testing Using Analog Testability Bus," *Proc. 1996 Int'l Conf. on Computer Aided Design*, 1996.
8. C.C. Su, S.S. Chiang, S.J. Jou, "Impulse Response Fault Model and Fault Extraction for Functional Level Analog Circuit Diagnosis," *Proc. Int'l Conference on Computer Aided Design*, San Jose CA USA, pp.631-636. 1995.
9. Veillette, B.R.; Roberts, G.W.; "A built-in self-test strategy for wireless communication systems," *Proc. Int'l Test Conference 1995*, Oct 1995. Page(s): 930 -939
10. Jarwala, M.; Duy Le; Heutmaker, M.S.; "End-to-end test strategy for wireless systems," *Proc. Int'l Test Conference*, 1995, Oct 1995. Page(s): 940 -946
11. Azais, F.; Ivanov, A.; Renovell, M.; Bertrand, Y.; "A methodology and design for effective testing of VCOs," *Proc. Asian Test Symposium 1998*, Dec 1998. Page(s): 383 -387
12. Dino Ren Tao; "A new approach to RF impedance test," *Proc. Int'l Test Conference 1999*. Page(s): 216 -220
13. Gahagan, D.A.; "RF (gigahertz) ATE production testing on wafer: options and tradeoffs," *Proc. Int'l Test Conference 1999*. Page(s): 388 -395
14. Higgins, P.; Lampos, J.; "Microwave test mismatch and power de-embedding," *Proc. Int'l Test Conference 2000*. Page(s): 950 -954
15. Ferrario, J.; Wolf, R.; Ding, H.; "Moving from mixed signal to RF test hardware development," *Proc. Int'l Test Conference 2001*. Page(s): 948 -956
16. Ozev, S.; Gaard, C.; Orailoglu, A.; "Testability implications in low-cost integrated radio transceivers: a Bluetooth case study," *Proc. Int'l Test Conference 2001*. Page(s): 965 -974
17. Kafton, A.; "Wireless SoC testing: can RF testing costs be reduced?," *Proc. Int'l Test Conference 2002*. Page(s): 1226 -1226

18. Nam, H.S.; Cuddy, B.; Luecking, D.; "A phase noise spectrum test solution for high volume mixed signal/wireless automatic test equipments," Proc. Int'l Test Conference, 2001. Page(s): 957 -964
19. Ferrario, J.; Wolf, R.; Moss, S.; "Architecting millisecond test solutions for wireless phone RFICs," Proc. Int'l Test Conference 2002. Page(s): 1151 -1158
20. McElfresh, B.K.; "RF induction and analog junction techniques for finding opens," Proc. Int'l Test Conference 1997. Nov 1997 Page(s): 275