

RRPG91100233 (58.P)

國家太空計畫室委託合作研究計畫結案報告

應用於微微衛星之先進微型陀螺儀原型設計與製作

計畫執行單位：交通大學電控系

計畫主持人：交通大學 邱俊誠 教授

目錄

目錄.....	ii
圖目錄.....	iv
第 1 章 緒論.....	1
1.1 研究動機與目的.....	1
1.2 計劃執行流程.....	2
第 2 章 以六軸微加速度計合成微陀螺儀之原理.....	3
2.1 原理簡介.....	3
2.2 數學模型分析.....	3
第 3 章 微加速度計運作原理與數學模式.....	5
3.1 微加速度計運作原理.....	5
3.2 力學模式分析.....	5
3.3 梳狀電容感測原理.....	7
第 4 章 微加速度計製程設計.....	9
4.1 以表面微加工技術沈積製程製作加速規.....	9
4.2 以 SOI-wafer 搭配 ICP-RIE 製作加速規.....	13
4.3 新製程之光罩.....	15
4.4 分析與模擬.....	16
4.5 實驗驗證.....	19
4.6 結論.....	23
第 5 章 系統與電路架構.....	25
5.1 電容式微加速度計系統架構.....	25
5.1.1 前段微機電電容構造.....	25
5.1.2 後段切換式電容感測電路架構.....	26

5.2 電路的非理想特性.....	28
5.2.1 電容式電路的誤差.....	28
5.2.2 Correlated Double Sampling.....	30
5.2.3 放大器熱雜訊最佳化.....	32
第 6 章 電路設計.....	36
6.1 運算放大器(Opamp).....	36
6.1.1 運算放大器架構.....	36
6.1.2 運算放大器模擬與製作.....	37
6.2 比較器(Comparator).....	38
6.2.1 比較器架構.....	38
6.2.2 比較器模擬與製作.....	39
6.3 開關(Switch).....	40
6.4 電容.....	40
6.5 時鐘產生器(Clock Generator).....	41
第 7 章 電路的模擬.....	43
7.1 CDS CV converter.....	43
7.2 CDS 電容式微加速度器.....	46
第 8 章 系統量測結果.....	50
第 9 章 結論.....	52

圖目錄

圖 3-1 微加速度之計梳狀機械結構	5
圖 3-2 二階振盪系統模型	6
圖 3-3 梳狀結構感測電容	7
圖 4-1 整個加速度計結構部分上視圖	12
圖 4-2 梳狀結構之上視圖	12
圖 4-3 光罩類型一	15
圖 4-4 光罩類型二	15
圖 4-5 光罩類型三	15
圖 4-6 光罩類型四	15
圖 4-7 光罩類型五	15
圖 4-8 加速度 1g 所造成感測方向的位移	16
圖 4-9 加速度 50g 所造成感測方向的位移	17
圖 4-10 加速度 50g 所造成 Z 方向上的位移	17
圖 4-11 加速度 50g 所造成 Y 方向上的位移	18
圖 4-13 ICP-RIE 蝕刻出的梳狀結構 (上視圖)	19
圖 4-14 ICP-RIE 蝕刻出的梳狀結構 (向右傾斜圖)	19
圖 4-15 結構一	20
圖 4-16 結構二	20
圖 4-17 結構三	20
圖 4-18 結構四	20
圖 4-19 結構五	20
圖 4-20 結構六	20
圖 4-21 小線寬處造成蝕刻後結構不完整	21
圖 4-22-1	22
圖 4-22-2	22
圖 4-22-3	22
圖 4-22-4	22
圖 5-1.電容式微加速度計示意圖	25

圖 5-2 切換式電容電路架構	26
圖 5-3 bottom-plate 和 center switch 的差動電路.....	29
圖 5-4 Correlated Double Sampling 的運作過程	31
圖 5-5 感測相位時的積分電路.....	32
圖 5-6 感測精確度與輸入電容關係.....	34
圖 6-1 二級運算放大器架構.....	36
圖 6-2 二級運算放大器電路圖(簡化).....	37
圖 6-3 二級運算放大器佈局圖	37
圖 6-4 二級運算放大器之頻率響應	38
圖 6-5 比較器電路圖(簡化).....	39
圖 6-6 比較器佈局圖	39
圖 6-7 第一個開關佈局圖 圖 6-8 第二與地三個開關佈局圖.....	40
圖 6-9 積分電容(CI)，誤差感測電容(CH)及 Opamp 裡的迴授電容.....	41
圖 6-10 correlated double sampling 電路.....	41
圖 6-11 三相電路之電路圖	42
圖 6-12 三相電路模擬結果	42
圖 7-1 CDS CV converter 的電路圖.....	43
圖 7-2 CDS CV converter 的佈局圖.....	44
圖 7-3 ΔC 為 -10fF	45
圖 7-4 ΔC 為 -5fF	45
圖 7-5 ΔC 為 5fF	45
圖 7-6 ΔC 為 10fF	46
圖 7-7 電容變化與電壓變化關係圖(每一小格 ΔC 變化 15fF)	46

圖 7-8 CDS 電容式微加速度器的電路圖	47
圖 7-9 CDS 電容式微加速度器的佈局圖	47
圖 7-10 ΔC 為 $-2fF$	48
圖 7-11 ΔC 為 $-1fF$	48
圖 7-12 ΔC 為 $1fF$	48
圖 7-13 ΔC 為 $2fF$	49
圖 7-15 比較器類比輸入與數位輸出關係圖(ΔC 間隔為 $15fF$)	49
圖 8-1 測試平台(圖中黑色的物體即為震動器).....	50
圖 8-2 60Hz 市電雜訊.....	50
圖 8-3 60Hz 帶拒濾波器(電阻皆為 $27k\ ohm$, 電容皆為 $0.1\mu F$).....	51
圖 8-4 4Hz 方波輸入輸出圖 圖 8-5 12Hz 方波輸入輸出圖.....	51
圖 8-6 加入了回授路徑之架構	51

第 1 章 緒論

微機電系統(Micro Electro-Mechanical Systems, MEMS)技術發展根源於 1960 年代積體電路的研究，其發展理念在於將電子電路微小化，進一步地應用在製造微小元件上。MEMS 發展具體藍圖最早是由 1965 年的諾貝爾物理獎得主 Richard Feynman，在 1960 年的一席演講中清楚地勾繪出。由於電子、資訊產業的蓬勃發展，半導體工業製程技術迅速發展，1980 年代起 MEMS 的研究逐漸地成熟。時至今日，MEMS 已是今日科技界公認最具發展潛力及前瞻性的研究領域。以美國為例，1995-1999 年美國政府在 MEMS 領域的研究總資助經費超過 2 億 4 千萬美元，同時歐洲的德國因未能在半導體工業取得一席之地，於是亦積極地投入 MEMS 的研究以期成為 21 世紀的技術領導者，故德國的 Ministry for R&D Technology 已陸續資助 Micro System Technology 超過 6 億美元。在國內，政府深知 MEMS 所具有的發展潛力，所以也將 MEMS 列入重要的科技專案來大力推動。

目前微機械加工的技術主要可以分成三種製造方式：

1. 體型微加工(Bulk Micro-Machining, BMM)技術，此技術是經由等向性蝕刻(Isotropic Etching)或非等向性蝕刻(Anisotropic Etching)矽晶圓來產生不同形狀的微機械元件。
2. 表面微加工(Surface Micro-Machining, SMM)技術，和體型微加工技術不同，表面微加工技術是將微機械元件製作在矽晶圓表面上。
3. LIGA Process，LIGA 是德文字 Lithographie、Galvanoformung、Abformung 的縮寫，主要是結合光學顯影(Lithography)、電鍍(Electroplating)及微鑄造(Micro-Molding)三項技術製作高深寬比(High Aspect Ratio)的微機械元件。

1.1 研究動機與目的

隨著 MEMS 技術不斷地發展，應用此技術製造的微感測器陸續地在市面上銷售，由於 MEMS 產品有著包括輕、薄、短、小、省能源、省材料、低成本、高精度等諸多的特點，相較於傳統加工方式，MEMS 產品擁有強大市場競爭的優勢。

由於近來全球定位系統(Global Position System)的準確度提高，使得車用導航系

統使用得更為廣泛。導航系統中除了全球定位系統之外最常用的就是慣性導航系統 (Inertial Navigation System)。而在慣性導航系統中最重要的元件是陀螺儀與加速度計。傳統的陀螺儀是用精密機械的方法製作，雖然精確度很準確，但是要微小化確有相當的難度。而且同時研發陀螺儀與加速度計，必須花費雙倍的人力與時間。也因此我們欲以加速度計實現陀螺儀，使發展的時程可以縮短。

本文先探討如何利用六顆加速度計來實現陀螺儀，再探討一利用表面微加工技術製作之微加速度計，接著提出一利用 SOI (silicon-on-insulator) wafer 搭配感應耦合電漿離子蝕刻 (inductively coupled plasma-reactive ion etching, ICP-RIE) 系統製作的微加速度計，比較兩者的優缺點，以作為微加速度計的研究。微加速度計感測加速度變化而產生相對的訊號輸出，但是其輸出變化量通常很小，需複雜的感測電路才能實現加速度的量測。

1.2 計劃執行流程

計劃執行初期必須先收集相關資料，其中包含全加速度計實現的陀螺儀、微感測器結構、相關製程、感測電路等資料。其次確認微加速度計工作原理。之後可分為二部分繼續執行：一部分為微感測器結構設計，與相關製程設計，並依經驗確認製程可行性，若是製程上無法達成所設計結構，則必須修改結構設計，再次確認製程可行性，並可以微機電模擬軟體模擬相關製程，製程確認後方可進行微結構之機械與電性模擬。電路部分則可依微加速度計工作原理設計一適用之訊號處理單元與回授控制單元，並且與微結構設計部分整合，確認微感測器的各項機械與電性參數能與感測電路匹配。由於微感測器的結構尺寸極小因處產生的訊號輸出亦屬於極小的訊號，因此也增加了相關電路設計的困難度。

第 2 章 以六軸微加速度計合成微陀螺儀之原理

如第 1 章裡所提到，我們可以用數個微加速度計實現微陀螺儀。在早期的研究裡，為了得到一個穩定的解決方法，需要用到九個微加速度計。最近的研究顯示，其實只需要六個微加速度計即可代替微陀螺儀的功能。

2.1 原理簡介

合併六個微加速度計的量測結果，可以得到物體的平移(translational)與轉動(rotational)加速度。不過是否可以從這些資訊中得到角加速度(angular accelerations)或角速度(angular velocity)，取決於這六個微加速度計擺放的位置與方向。在此，我們將六個微加速度計分別依對角線相連的方式放在正立方體的六個面，根據所量測到的結果，可以得出此物體的角加速度或角速度。

2.2 數學模型分析

圖 2-1 是一個雙座標系統，分別是慣性座標系(I)以及轉動物體座標系(b)。

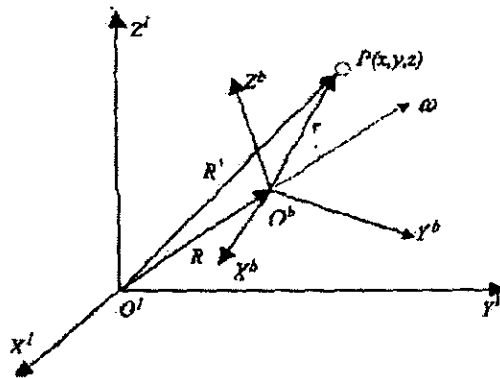


圖 2-1 慣性座標系及轉動物體座標系組成的雙座標系統

點 P 的加速度為

$$a_p = \ddot{R}_I + \ddot{r}_b + \dot{\omega} \times r + 2\omega \times \dot{r}_b + \omega \times (\omega \times r) \quad (2-1)$$

其中 ω 是物體的慣性角速度， \ddot{r}_b 是 P 點相對於物體座標的加速度， \ddot{R}_c 是重心在物體座標系原點相對於慣性座標系原點的慣性加速度。而因為 P 點是固定在物體座標系上， \ddot{r}_b 與 $2\omega \times \dot{r}_b$ 這兩項無法影響 P 點的加速度。六個加速度計所量到的結果是：

$$A_i = a \cdot \alpha_i$$

$$= [\ddot{R}_c + \dot{\Omega} r_i + \Omega \Omega r_i] \cdot \alpha_i \quad i=1,2,\dots,6 \quad (2-2)$$

r_i 是加速度計與 P 點的偏移， α_i 代表沿著量測方向的單位向量， Ω 則是一個由角速度組成的反實對稱矩陣。

式(2-2)中結合了線加速度 \ddot{R}_c ，切線加速度 $\dot{\Omega} r$ ，以及向心加速度 $\Omega \Omega r$ 。六個加速度計的輸出配合這六個加速度計的位置與方向矩陣可以推算出角加速度。

$$\begin{bmatrix} \dot{\omega} \\ \dots \\ (\ddot{R}_i) \end{bmatrix} = \frac{1}{2} \begin{bmatrix} \frac{1}{\rho} S \\ \dots \\ T \end{bmatrix} \begin{bmatrix} A_{1o} \\ A_{2o} \\ A_{3o} \\ A_{4o} \\ A_{5o} \\ A_{6o} \end{bmatrix} + \rho \begin{bmatrix} 0 \\ 0 \\ 0 \\ \omega_y \omega_z \\ \omega_x \omega_z \\ \omega_x \omega_y \end{bmatrix} \quad (2-3)$$

S 是位置矩陣(location matrix)，T 是方向矩陣(orientation matrix)， ρ 是跟維度無關的單位長度。

第 3 章 微加速度計運作原理與數學模式

3.1 微加速度計運作原理

微加速度計的感測方式以壓電式(Piezoelectric)、壓阻式(Piezoresistive)及電容式(Capacitive)三種較為常見。本研究以電容式為微感測之感測原理，其結構為一梳狀結構加上中間的質塊，為單一方向性之加速度計結構，如圖 3-1。當中心質塊受加速度影響並產生一位移量，左右兩邊梳狀結構造成的差分電容值改變，經由後級訊號處理量測電容訊號改變量，並將此電容變化量轉變為電壓訊號有效輸出，並且將此訊號回授予左右兩梳狀電極以產生一相對致動力維持中心質塊的動態平衡。如此將機械結構搭配外部電路設計，即可由中心質塊所感受之加速度獲得一動態加速度訊號輸出。

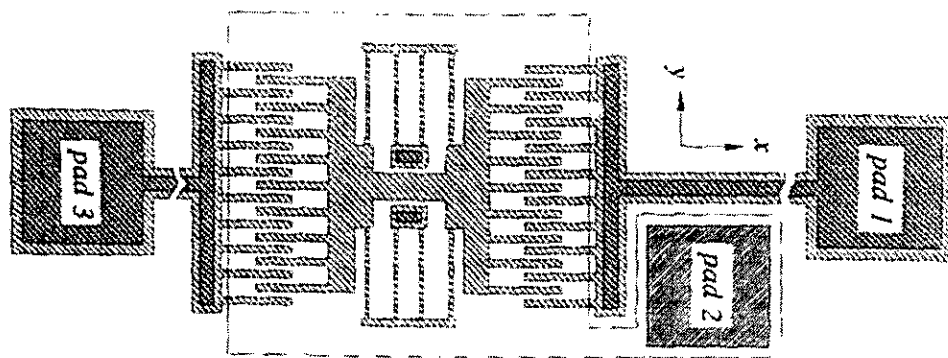


圖 3-1 微加速度計梳狀機械結構

以上設計架構可分為機械結構、靜電力與感測電路三部分，機械結構部份為中心質塊與撓性臂所構成的機械系統，中心質塊於上電後與左右兩側梳狀電極形成二電容與靜電力致動器，其次為感測電容變化與回授致動力之感測回授電路。以下將機械結構與靜電力部分歸類為力學模式，與感測回授電路部分分述於下。

3.2 力學模式分析

微加速度計的力學模式可視為一中心質塊的二階震盪系統與靜電力系統的耦合，如圖 3-2 所示。其中 k 是撓性臂彈性係數、 λ 是空氣黏滯性所引起的阻尼係數、 m 是中心質塊質量、 A 為電極版面積、 V_0 是回授訊號、 a 為中心質塊所受加速度、

V_{dc} 是迴授加諸於中心質塊的直流偏壓、 F_u 為上電極板與中心質塊間之靜電力、 F_l 為下電極板與中心質塊間之靜電力、 x 為中心質塊受加速度所產生位移、 d 為無加速度下中心質塊與上下電極板間距。系統運動方程式如式 3-1，

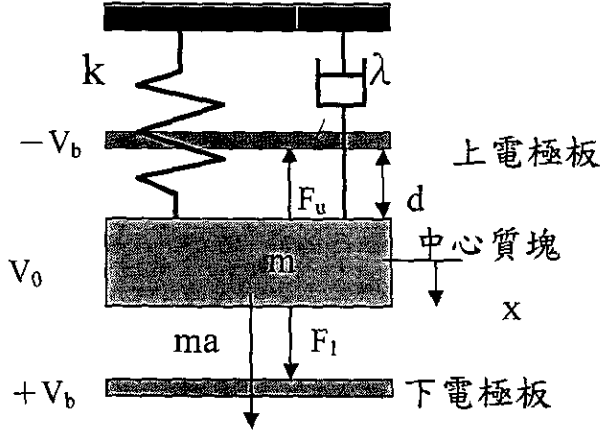


圖 3-2 二階振盪系統模型

$$ma + (F_l - F_u) = m\ddot{x} + \lambda\dot{x} + kx \quad (3-1)$$

其中二靜電力分別如式 3-2 與 3-3。

$$F_u = \frac{\epsilon_0 \cdot A \cdot V_u^2}{2 \cdot d_u^2} \quad , \quad V_u = V_0 + V_b \quad , \quad d_u = d + x \quad (3-2)$$

$$F_l = \frac{\epsilon_0 \cdot A \cdot V_l^2}{2 \cdot d_l^2} \quad , \quad V_l = V_0 - V_b \quad , \quad d_l = d - x \quad (3-3)$$

當 x 的變化量極小時， $d_u \cong d_l \cong d$ ，則靜電力部分可簡化為式 3-4，其中 k_m 為一常數，靜電力與輸出訊號為一線性關係。

$$F_l - F_u = \frac{-2 \cdot \epsilon_0 \cdot A \cdot V_b}{d^2} V_0 = -k_m \cdot V_0 \quad (3-4)$$

當中心質塊受控於中心位置時，可將式 3-1 化成式 3-5，

$$ma = F_u - F_l = k_m \cdot V_0 \quad , \quad \frac{m}{k_m} = \frac{V_0}{a} \quad (3-5)$$

明顯可見輸入之加速度與輸出訊號亦成一線性關係。

3.3 梳狀電容感測原理

本研究之微加速度計主要是藉由中心質塊的位移量改變電容值以量測加速度值。因此，後級訊號處理主要任務在於量測因加速度所造成左右二電容之電容值的改變量，並轉變為有效電壓輸出訊號。由於單純的開路系統對系統性能提昇能力有限，如量測的加速度範圍、系統頻寬等，因此本研究採用靜電力迴授的方式，以閉迴路系統架構進行設計，給予適當的增益與補償，以使中心質塊保持穩定，且得以建立加速度值與輸出電壓間的線性關係。

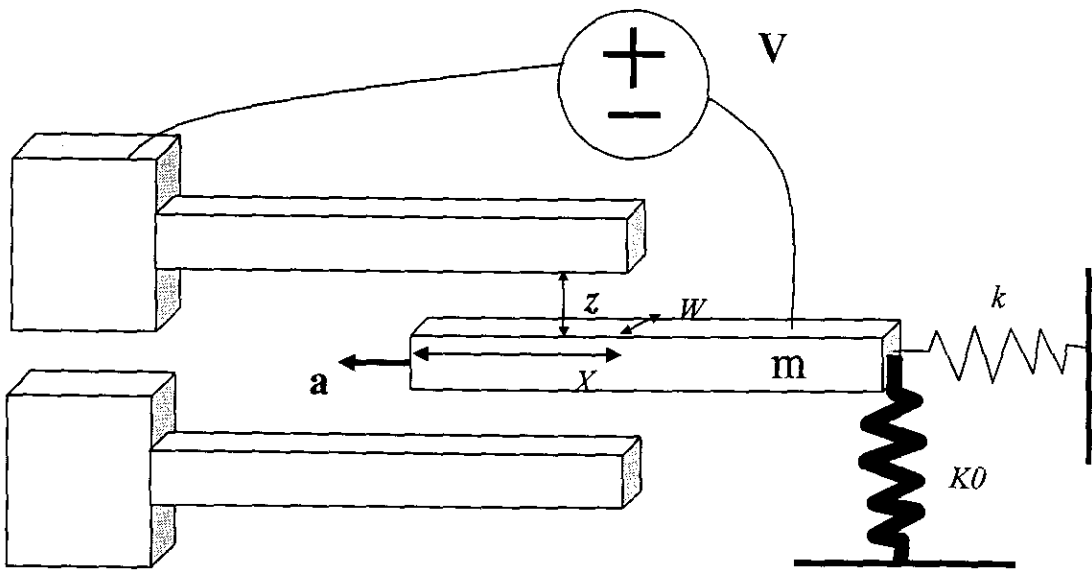


圖 3-3 梳狀結構感測電容

$k \ll K_0$ 表示梳狀結構為左右移動

$$C_{total} = Nk\epsilon_0 \frac{WX}{z} \quad (\text{For } W \gg z, N: \text{梳狀結構間距的個數}) \quad (3-6)$$

$$\Delta C = Nk\epsilon_0 \frac{W}{z} \Delta X \quad (3-7)$$

k : Dielectric constant, for vacuum : 1.0, air : 1.00059, Pyrex : 5.6, Teflon : 3.1, water : 80. ϵ_0 : Permittivity of free space: $8.85e^{-12} \text{ C}^2/\text{Nm}^2$

當受到一加速度 a 時， m 會往左移動，此時 C_{total} 會增加，所增加的 ΔC 為 m 位移 ΔX 所造成的，由式 (3-8) 可知， ΔX 正比於 m ，所以質量塊越大，加速度所造成的電容變化量越大，則電路所能感測到的訊號也越大，這對於感測電路的時現有

很大的幫助。

$$F = m \times a = k \times \Delta X \quad (3-8)$$

m 為振動質量塊的質量， k 為彈性係數

進一步化簡 (3-7) 和 (3-8) 式可以得到：

$$\Delta C = Nk\varepsilon_0 \frac{W}{z} \Delta X \quad , \quad \Delta X = \frac{m \times a}{k}$$
$$\Rightarrow \Delta C = Nk\varepsilon_0 \frac{Wma}{zk} \quad (3-9)$$

第 4 章 微加速度計製程設計

起初之加速規結構，是利用沈積多晶矽（polysilicon）作為質塊、左右兩邊的梳狀結構，以及支撐整個結構的四根樑，利用一層犧牲層（PSG）形成最後的懸浮結構，雖然製程相當簡單，單是此種結構確有以下兩個缺點：

1. 表面微加工技術沈積之結構，其質量塊有一定的限制，無法做得很大，進而影響整個加速度計的效能。因為由前一章節我們可以知道質量塊越大，在加速度的影響時，位移也能越大，相對的，所能感測到的差分電容質也越大。
2. 在蝕刻犧牲層使結構整個懸浮的時候，常常會造成黏著（stiction）的現象，造成結構損壞，無法使用。這種情形除了跟四根樑在 z 方向的 k 值不夠大有關之外，同時感測結構與下方基板（substrate）的距離太近也有很大的關係。

為了改善以上兩個缺點，我們改變製程，利用 SOI（silicon-on-insulator）wafer 搭配感應耦合電漿離子蝕刻（inductively coupled plasma-reactive ion etching，ICP-RIE）系統，加上最後的背面蝕刻（backside etching）製作的微加速度計，此種製程不但能同時改善以上兩個缺點，結構變為單晶矽（single crystal silicon）在樑方面也增加了材料的可靠性。

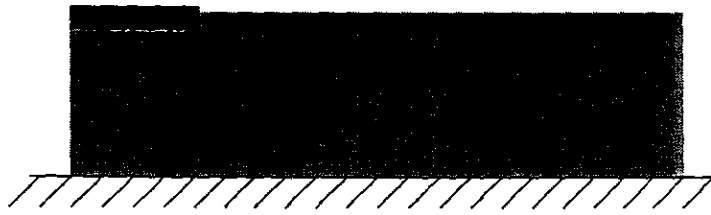
4.1 以表面微加工技術沈積製程製作加速規

1. 在 n-type 矽晶片上以 LPCVD 成長一層 5000 Å silicon nitride

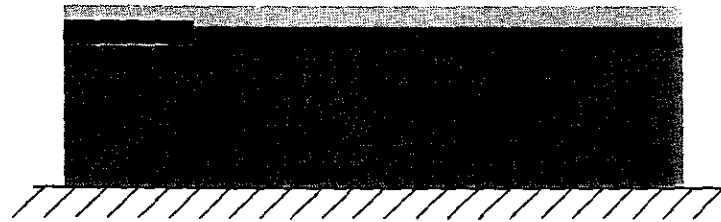


■ Silicon nitride ■ PSG ■ Polysilicon ■ Phosphorus ■ Metal

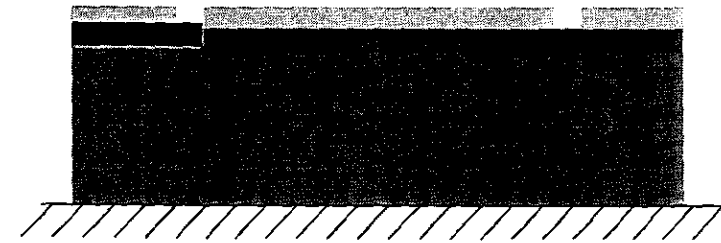
2. LPCVD 長 Poly-Si 2000 Å



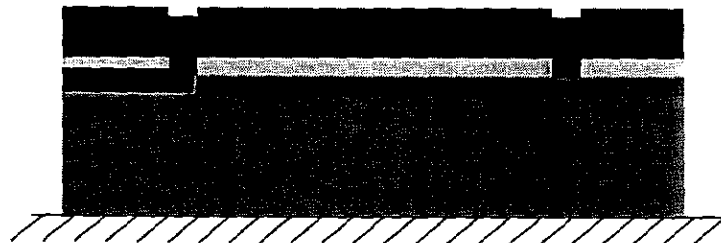
3. LPCVD 長一層 PSG 2 μm，作為之後的犧牲層



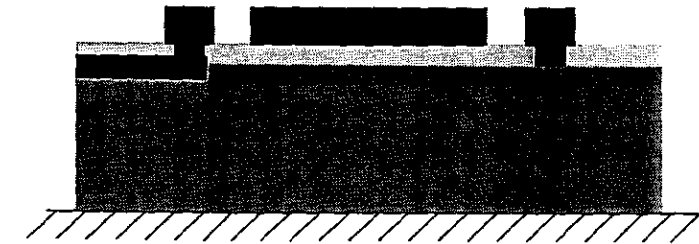
4. 定義 Anchor



5. LPCVD 沈積 Poly-Si 4 μm 作為結構

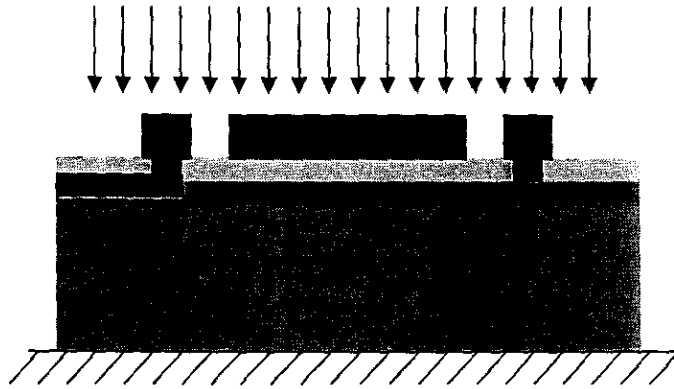


6. 定義出結構，包括質量塊、支撐量、及 PAD

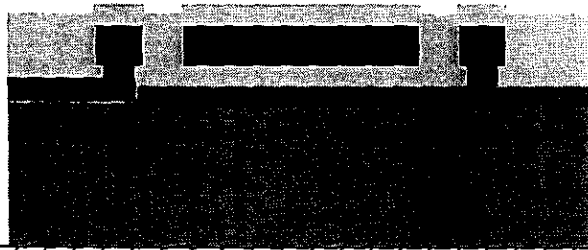


■ Silicon nitride ■ PSG ■ Polysilicon ■ Phosphorus ■ Metal

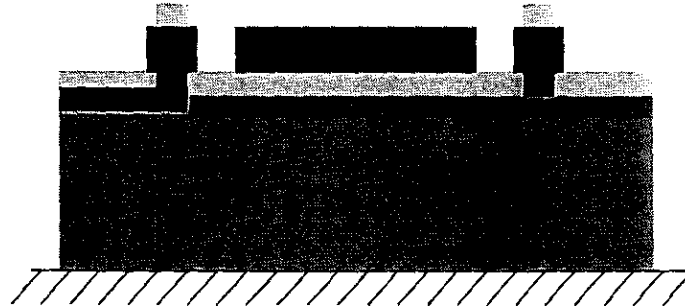
7. 將晶片做磷雜質擴散，以作為歐姆接觸區以即使梳狀結構部分的表面為導電層



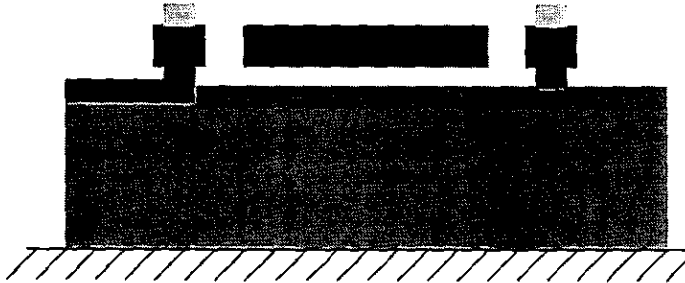
8. 沈積金屬作為之後的電極



9. 定義出 PAD 上的電極



10. 將 PSG 犧牲層 release 之後，整個質塊及梳狀部分懸浮起來成為可動結構



11. 經由以上製程最後完成的結構如下圖

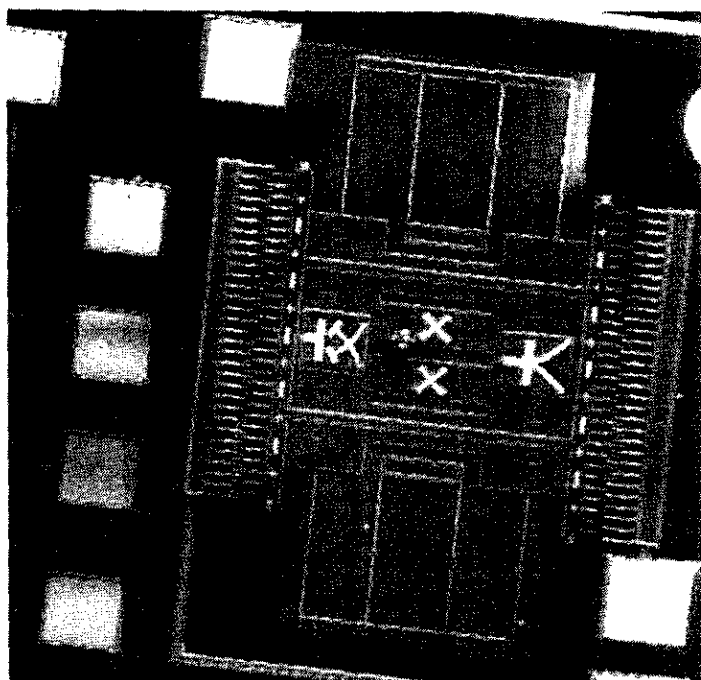


圖 4-1 整個加速度計結構部分上視圖

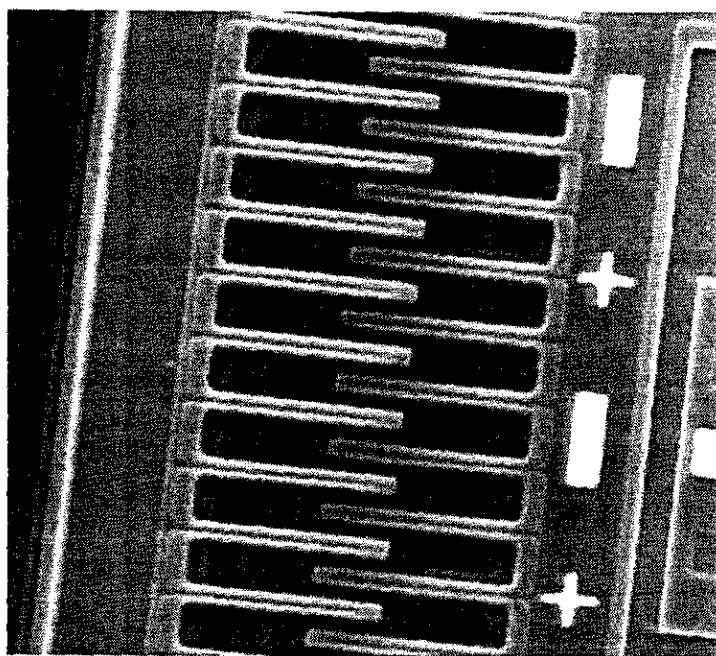
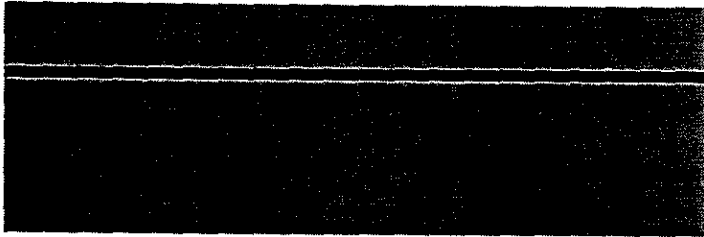


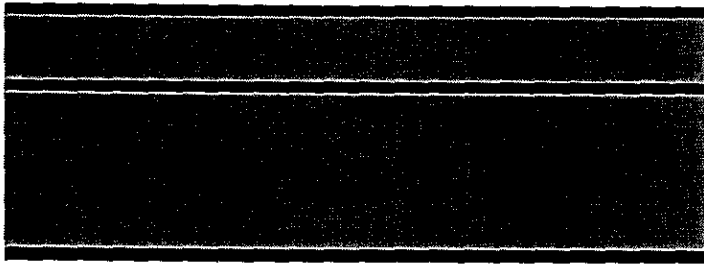
圖 4-2 梳狀結構之上視圖

4.2 以 SOI-wafer 搭配 ICP-RIE 製作加速規

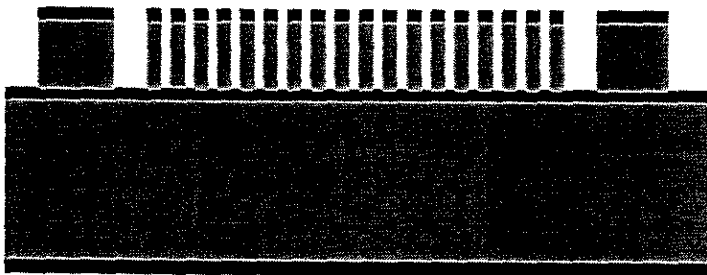
1. 取一 n-type SOI-wafer，此晶圓為上層 $30\ \mu\text{m}$ silicon，中間 $1\ \mu\text{m}$ buried oxide，下層 $350\ \mu\text{m}$ silicon



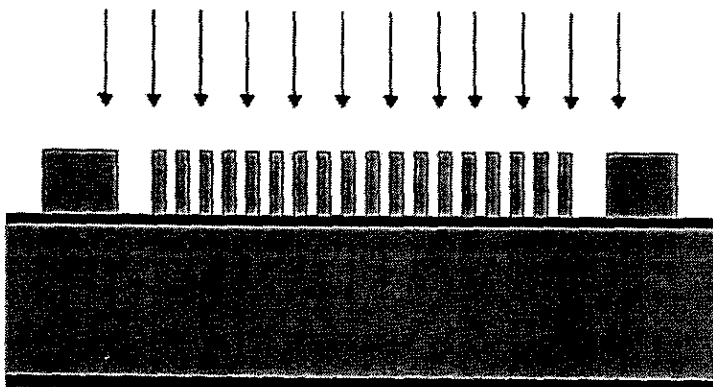
2. 長一層約 $0.5\ \mu\text{m}$ 的 oxide



3. 第一道光罩定義出整個結構層，然後利用 ICP-RIE，產生梳狀感測結構 (sensing comb) 和質量塊 (proof-mass)



4. 爐管沈積 Phosphorus 並進行擴散使得整個結構的表面為導電層



5. 第二道光罩定義背面蝕刻窗口



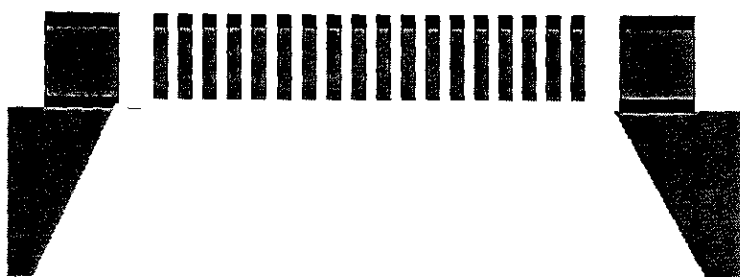
6. 保護正面並以濕蝕刻方式將基底的 Silicon 淘空



7. E-gun 沈積金屬作為的電極



8. Release 中間的 buried oxide, 使整個梳狀部分、質量塊懸浮為可動結構



4.3 新製程之光罩

以下之光罩僅顯示出決定結構的第一道光罩，共五種類型。

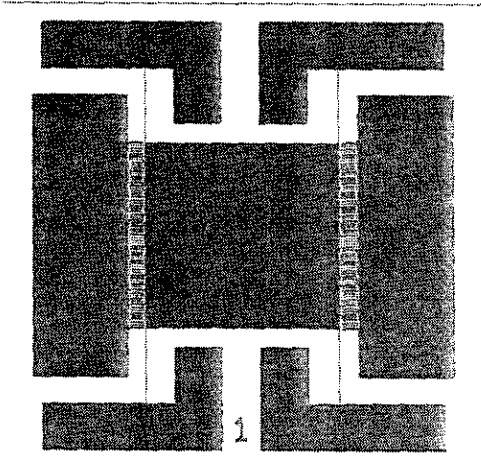


圖 4-3 光罩類型一

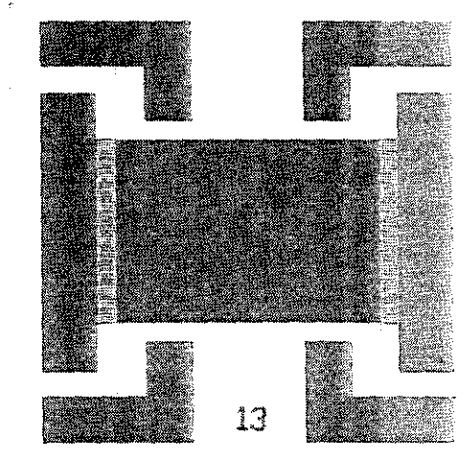


圖 4-4 光罩類型二

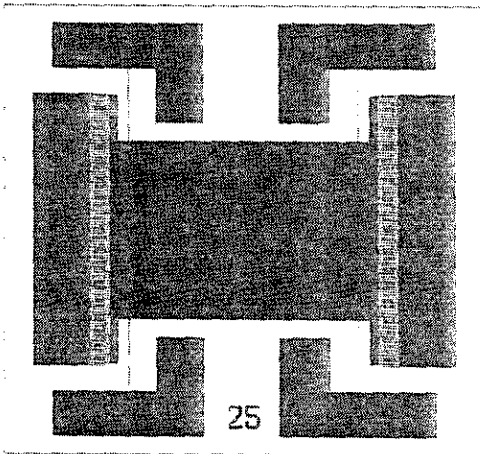


圖 4-5 光罩類型三

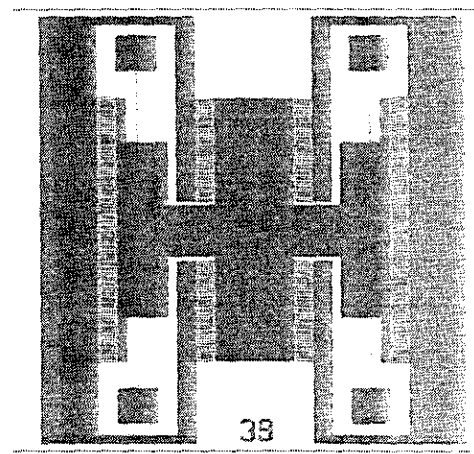


圖 4-6 光罩類型四

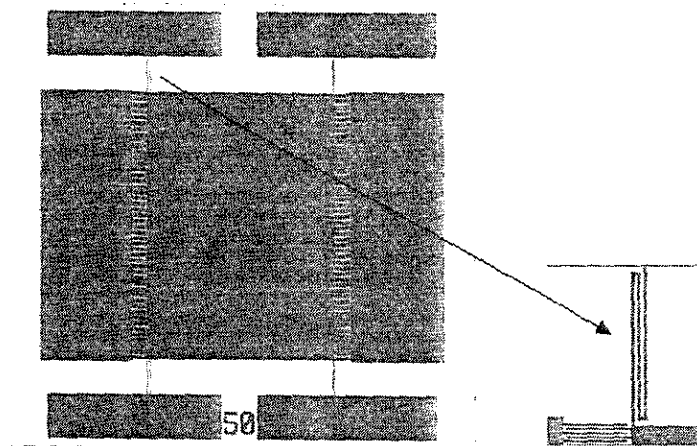


圖 4-7 光罩類型五

4.4 分析與模擬

藉由 Intellisuite 這套微機電模擬軟體，協助我們在機械方面的模擬，包括不同加速度輸入所造成的感測元件位移以及不同模態之頻率。

圖 4-8~圖 4-12 是我們針對其中一種結構所做的分析。由圖 4-8 與 4-9 可得到元件在加速度 $1g$ 、 $50g$ 分別會造成的位移 $0.152 \mu m$ 、 $7.604 \mu m$ 。而圖 4-10 與 4-11 則是我們用來估計當環境的外來訊號在元件的其他方向所造成的干擾訊號，分別為 $50g$ 加速度的情況下， Z 方向上會有 $0.106 \mu m$ 的位移，相較於 $30 \mu m$ 的結構它是可以忽略的。至於在 Y 方向上僅僅造成 $0.049 \mu m$ 的位移，因此也可以忽略。於圖 4-12 則是顯示出三種模態的頻率，第一個模態為 X 方向的移動， $1278.39Hz$ 的自然頻率符合我們當初的設計需要大於 $1kHz$ ，而第二和第三模態則分別為 Z 方向的振動與 Y 方向為軸的扭轉。

而這個設計的感測機械結構也可以符合我們電路的設計，它在 $1g$ 加速度的情形下可以有約 $5.92fF$ 的電容值改變量。估算的公式參考 3.3 節 (3-7) 式。梳狀結構間距的個數 $N = 440$ 、 $W = 30 \mu m$ 、 $Z = 3 \mu m$ 、 $\Delta X = 0.152 \mu m$ 。

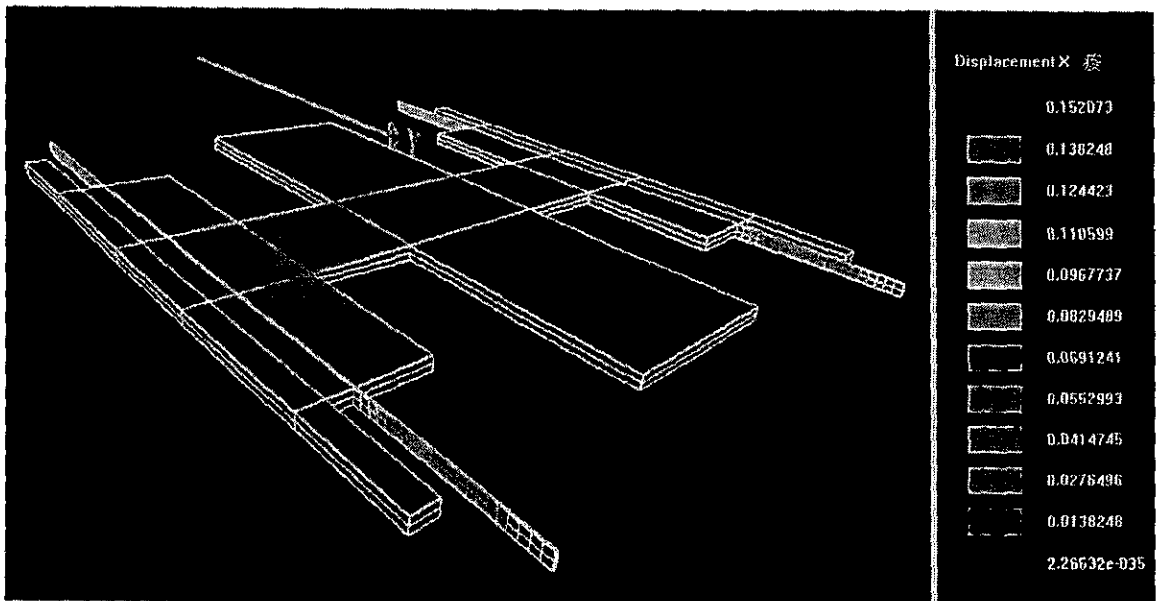


圖 4-8 加速度 $1g$ 所造成感測方向的位移

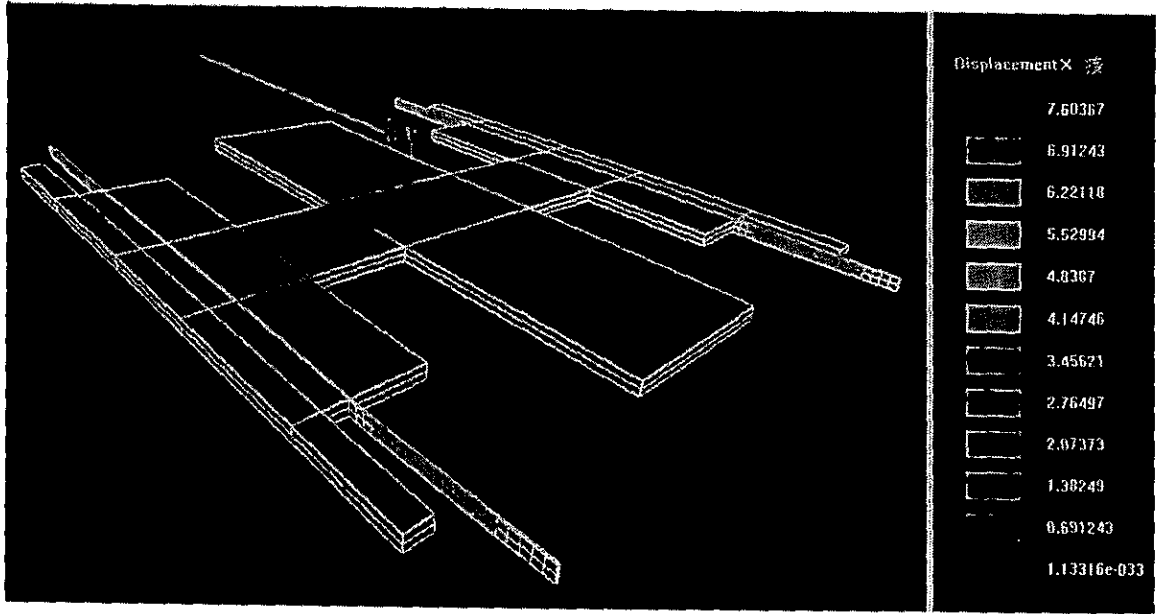


圖 4-9 加速度 50g 所造成感測方向的位移

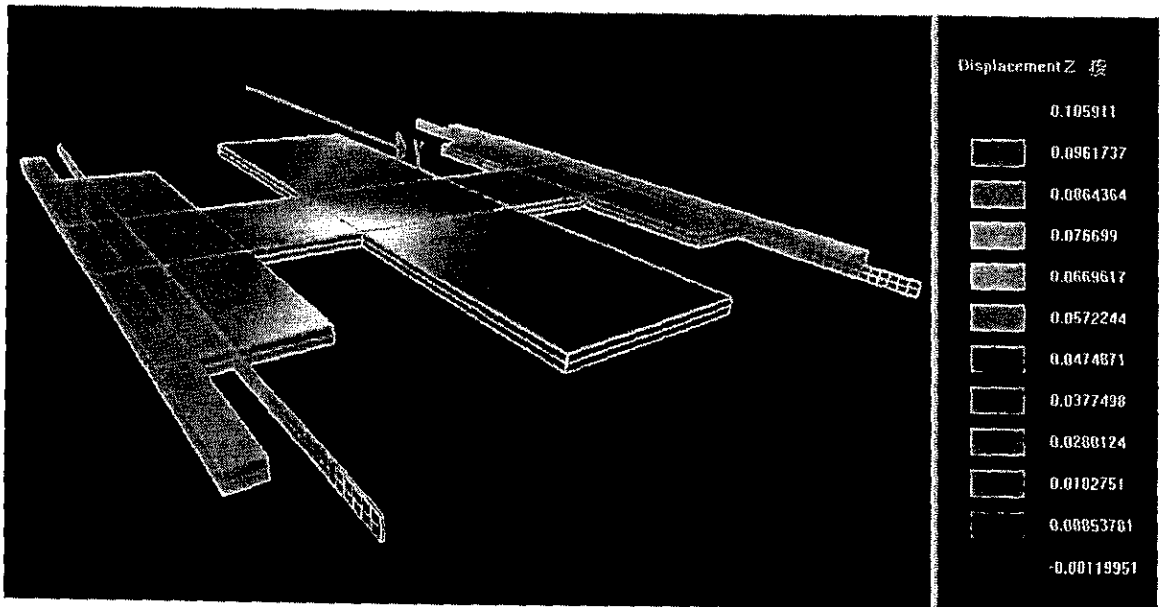


圖 4-10 加速度 50g 所造成 Z 方向上的位移

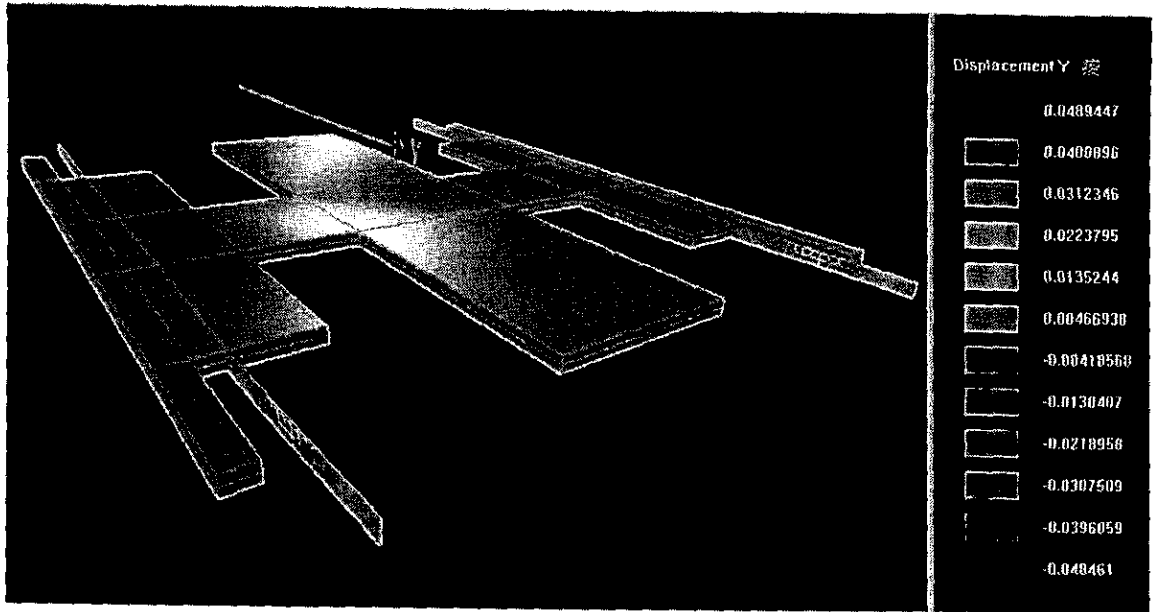


圖 4-11 加速度 50g 所造成 Y 方向上的位移

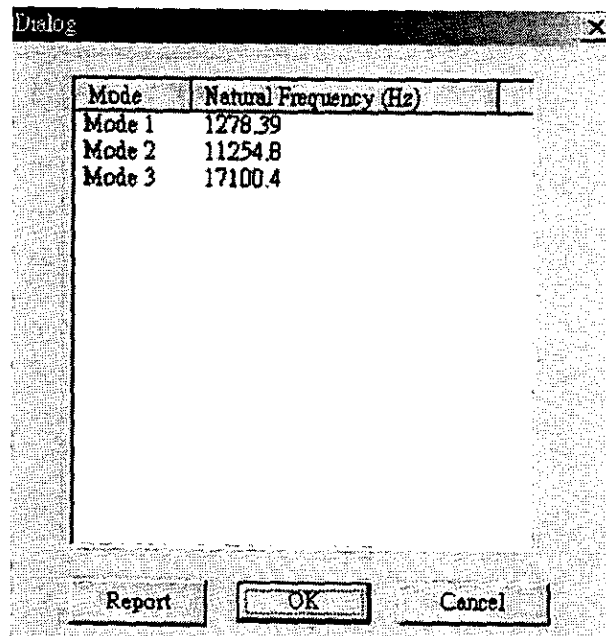


圖 4-12 三種模態的自然頻率

4.5 實驗驗證

由於我們所設計的微加速度計的製程必須使用到 ICP-RIE，這是在本製程中第一個不確定因素，最主要因素在於本機台雖能得到高深寬比，但由於我們所設計的結構有小線寬和大線寬的地方，而 ICP-RIE 在小線寬的地方蝕刻速率較慢一些，如梳狀結構的間距。而在大線寬的地方蝕刻速率較快些，所以蝕刻時間的掌握很重要。由圖 4-13 可以看出經 ICP 蝕刻的結構相當平整。圖 4-14 則為向右稍微傾斜一個角度，並從右方打光源過來。可以看出長樑是透光且有相當深度。

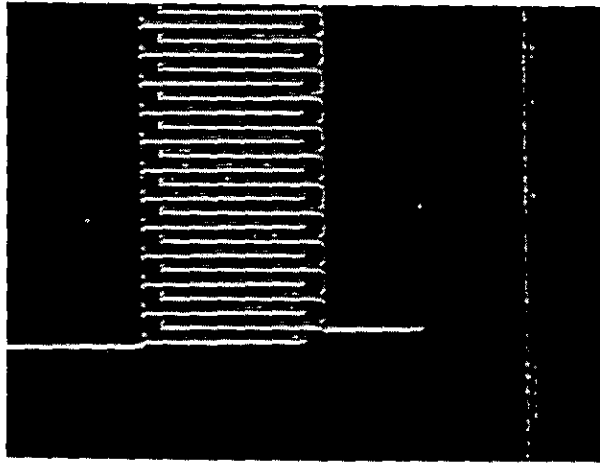


圖 4-13 ICP-RIE 蝕刻出的梳狀結構（上視圖）

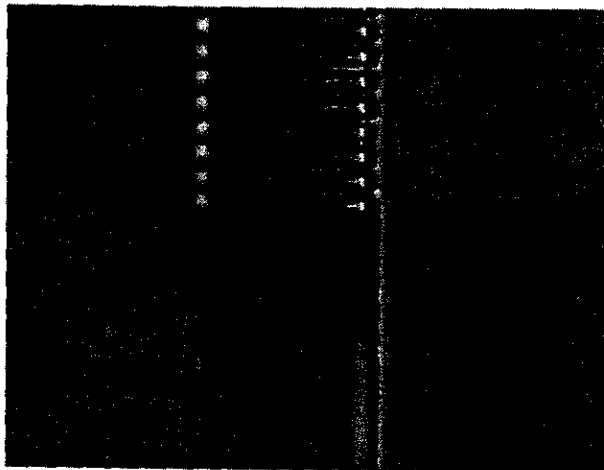


圖 4-14 ICP-RIE 蝕刻出的梳狀結構（向右傾斜圖）

下列圖 4-15 到 4-20 則列出了由 ICP 所蝕刻出不同形式結構的微加速度計之機械結構上視圖。

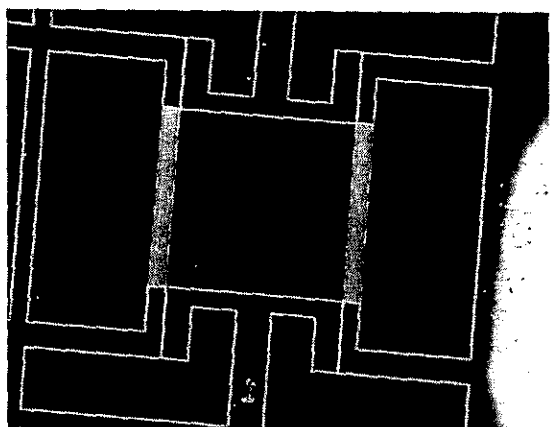


圖 4-15 結構一

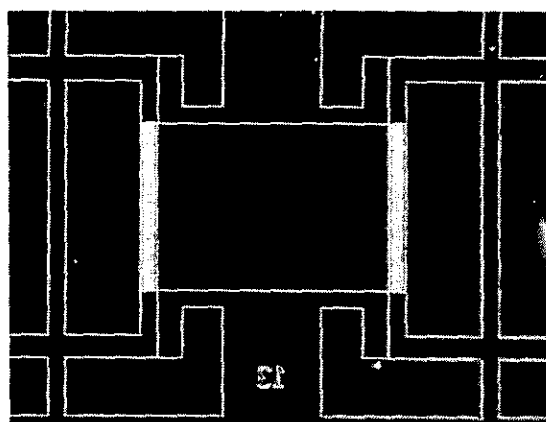


圖 4-16 結構二

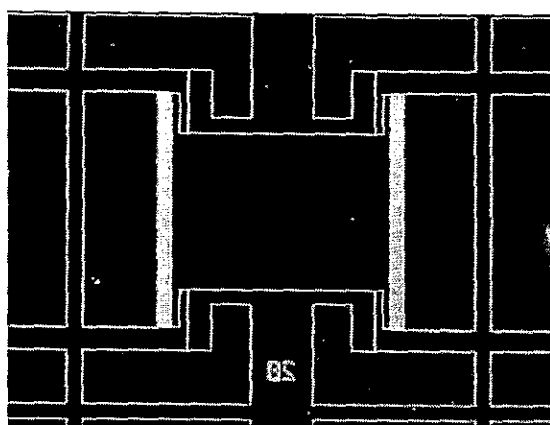


圖 4-17 結構三

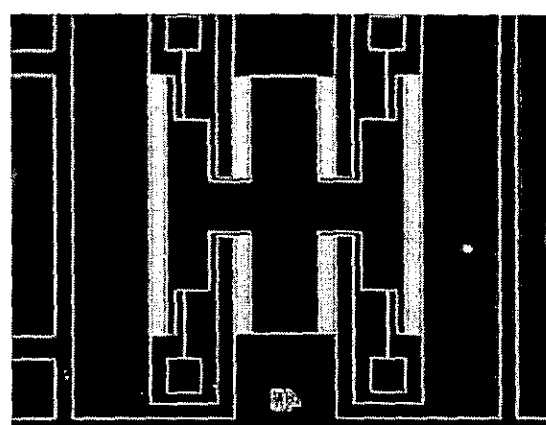


圖 4-18 結構四

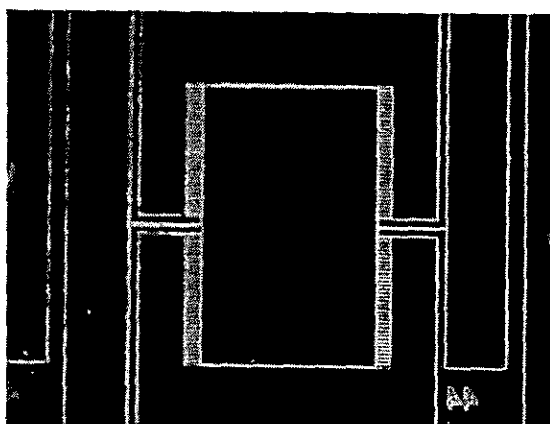


圖 4-19 結構五

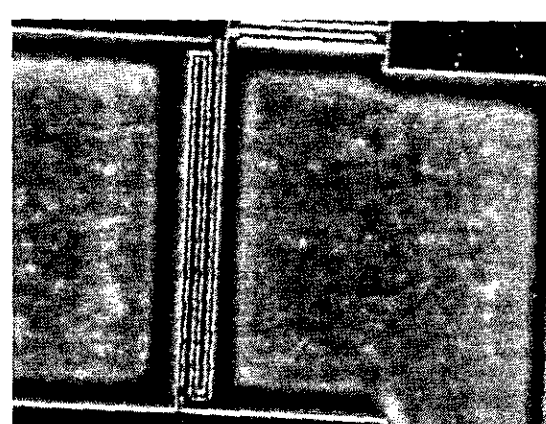


圖 4-20 結構六

我們所設計的機械結構可以符合不同規格的加速度範圍，調整的方式包括：

- (1) 改變中心質量塊的大小（比較圖 4-15 和 4-16）。
- (2) 改變四根支撐樑的寬度，或是以彎曲的設計方式（如圖 4-20）。
- (3) 增加感測電容值與迴授力的設計（如圖 4-17 和 4-18）。
- (4) 利用梳狀結構間隙的改變設計結構（如圖 4-19）。

然而 ICP-RIE 也不是所有的結構都能很順利的蝕刻來出，以蝕刻 30 為前提下，若線寬太小，則結構會被破壞而不完整，如圖 4-21。原則上小於 2μ 則無法確保結構的完整性， 1μ 則幾乎不可能產生完整結構。

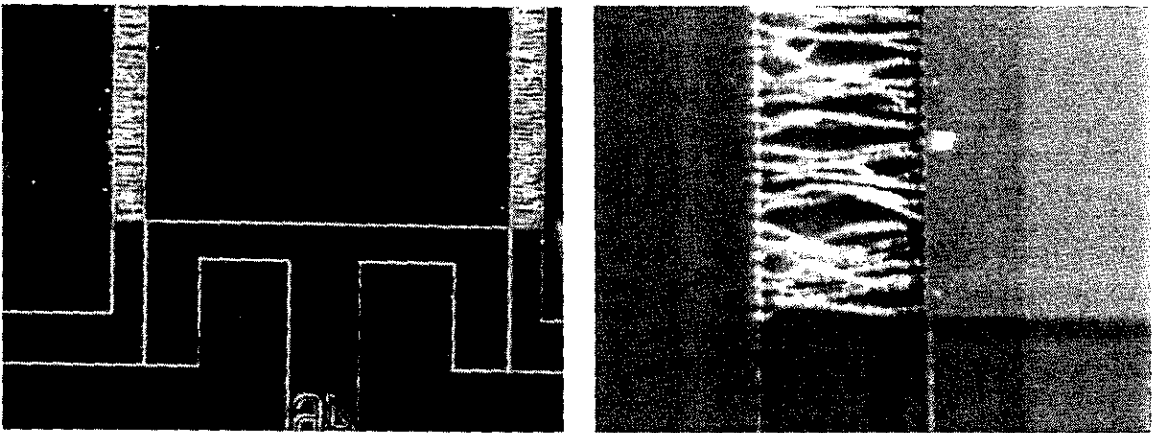


圖 4-21 小線寬處造成蝕刻後結構不完整

在 ICP 蝕刻出正確的結構之後，利用 75 度~85 度的硫酸去光阻，此處最好不要用丙酮，因為會產生黏稠的絲狀物附著於晶片上，造成污染。緊接著經由 POCl_3 爐管預置與擴散。

在第二道光罩時，我們必須使用到紅外線對準曝光機，原因在於藉由紅外線可穿透矽晶片的特性才能順利的做晶片背面的處理。經過曝光顯影後，利用 BOE 沒有光阻保護氧化矽蝕刻掉，則完成了晶片的背後開口，可以進行淘空基底。

濕蝕刻所用的溶液有三種選擇，KOH、 N_2H_4 、TMAH 等。此處我們以 N_2H_4 作為蝕刻液。經過 5.5 小時，平均約 92 度隔水加熱後，蝕刻的情形卻令我們失望，如圖 4-22-1~4-16-4 所示，保護用的氧化矽已經被蝕刻掉。由圖中可知已經蝕刻了相當的深度（約 2 百多 μm ），但是保護用的氧化矽幾乎也被蝕刻得幾乎不存在（如圖 4-22-3）。這種結果和我們當初所試出的參數有很大的差異，原本應該具有很強保護力的氧化矽居然被蝕刻，再者，表面的粗造度也很嚴重。

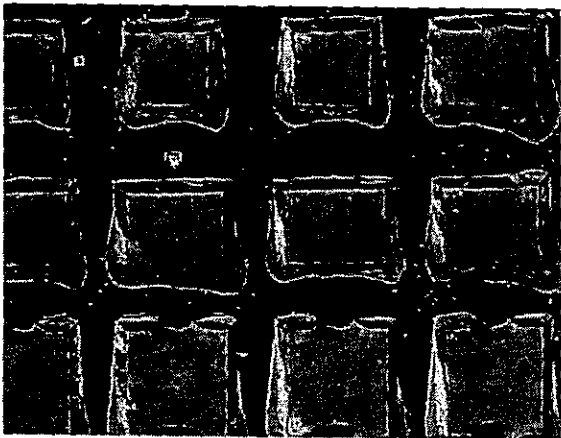


圖 4-22-1

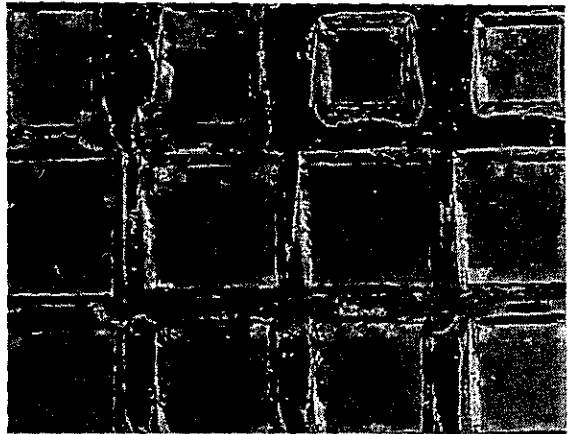


圖 4-22-2

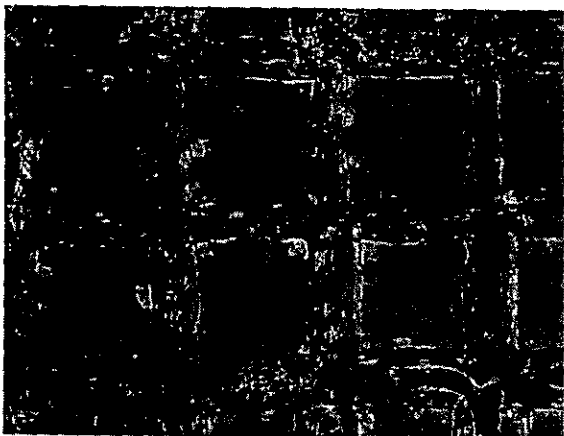


圖 4-22-3

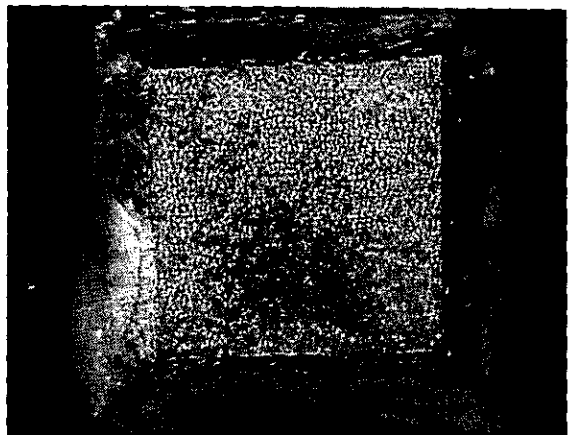


圖 4-22-4

經過思考我們懷疑有可能是以下四個原因：

1. 氧化矽的厚度不夠（第一次的實驗為 $0.27\ \mu\text{m}$ ，乾氧長出的 SiO_2 ）。
2. 蝕刻的溫度需要再做調整。
3. 由於 $\text{N}_2\text{H}_4:\text{H}_2\text{O} = 4:1$ 的濃度是最快的蝕刻速率，所以相對的蝕刻出的平整度就比較差，所以改變濃度可以改善粗糙度。
4. SOI 晶片的問題。

此外，採用 TMAH 代替 N_2H_4 也可以解決平整度的問題，同時，TMAH 對 Silicon 和 SiO_2 的選擇比差 4 個數量級，以氧化矽當保護層綽綽有餘。不過 TMAH 蝕刻速率在 10%、70 度的情形下每分鐘約 $30\ \mu\text{m}$ ，因此若要淘空基板，需要約 12 個小時的蝕刻。

4.6 結論

SOI 晶片的加速度計機械結構還有製程上的缺失，目前我們已經在進行改良製程後的製作，進度已經完成第一道光罩，相信改良過的製程，應該可以改善之前所碰到的一些問題。

前述的兩種製程，所用的製程光罩數都很少，而且皆是設計梳狀微加速度計，不同點在於，第二種製程用 SOI-wafer 可以得到厚度達 $30\ \mu\text{m}$ 之結構層，相較於第一種製程的 $4\ \mu\text{m}$ 結構層，質量塊大大的增加數倍之多。此外以第二種製程設計，支撐樑在方向上的 k 值相當大，再加上第二道光罩背後淘空，解決了第一種製程所會照成的黏著（stiction）的問題。最後，以單晶矽作為結構層的第二種方法，材料特性上比使用多晶矽要好。雖然，第一種方法若多加一到背面淘空的光罩，可以大大減低黏著的問題，不過太小的質量塊還是無法解決。

不過看似集一切優點於一身的第二種製程方法，其實還隱藏了兩個商業的缺

點。第一，SOI-wafer 的價錢相較於普通的 wafer 要快上好幾倍。第二，為了達到高深寬比所使用的 ICP-RIE 機台，由於並不普遍，相對的代工費用也相當高。若以商業上的考量此兩個缺點似乎不可不關心。不過若再加以考量製程的良率、元件的效能，則因為使用了 SOI-wafer 和 ICP-RIE，而大大的提升，似乎就可以解決成本上的問題。

第 5 章 系統與電路架構

本計劃之電容式微加速度計主要是藉由中心質塊的位移量改變電容值以量測加速度值，因此在後級訊號處理架構上，主要任務在於量測電容訊號的改變量，並將此電容變化量轉變為有效的電壓訊號輸出，期望建立加速度值與輸出電壓的線性關係。此量測電路主要是用切換式電容(switch-capacitor)電路，切換式電容電路最大的優點就是減少了大電阻的使用，因此可大幅的降低電路面積及寄生電容的問題，不過會造成電容感測精確度的減小，為了減少這部分的影響，必須有個良好的運算放大器，以及需要一個時鐘產生器來控制開關，最好能夠產生兩相位或三相位的時序(給 CDS 電路使用)。在接下來的小節中，本章將依序介紹感測電容的電路架構及其電路各部分功能與特性。

5.1 電容式微加速度計系統架構

5.1.1 前段微機電電容構造

梳狀感測結構主要是由於加速度造成中心質塊的位移，而造成電容值的改變(參考圖 5-1)，因此在後級感測電路的架構上主要任務在於量測電容訊號的改變量，並將此電容變化量轉變為電壓訊號的輸出。

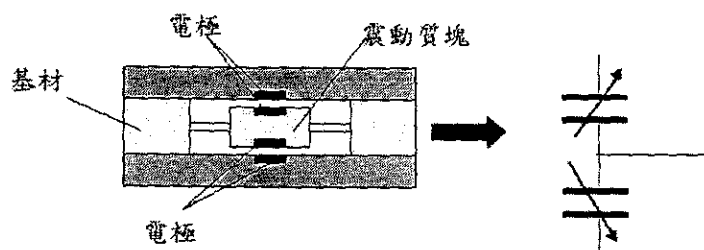


圖 5-1.電容式微加速度計示意圖

5.1.2 後段切換式電容感測電路架構

切換式電容電路是將大電阻以電容及開關來代替，減少電路面積。切換式電容電路並且提供更多系統整合的彈性，這是因為其能夠對不同的動作分配不同的相位來操作，如感測、驅動、比較等等。圖 5-2 為切換式電容電路的架構，此電路除了在輸入端是以電容變化取代電壓變化外，其餘的都和切換式電容的增益級一樣。在重置相位(reset phase)時，感測電容、積分電容以及放大器都會被接到地。在感測相位(sensing phase)時，感測電壓接到感測電容上，經由感測電路，在輸出端可以得到電壓輸出為

$$v_o = \frac{\Delta C}{C_I} \cdot V_S \quad (5-1)$$

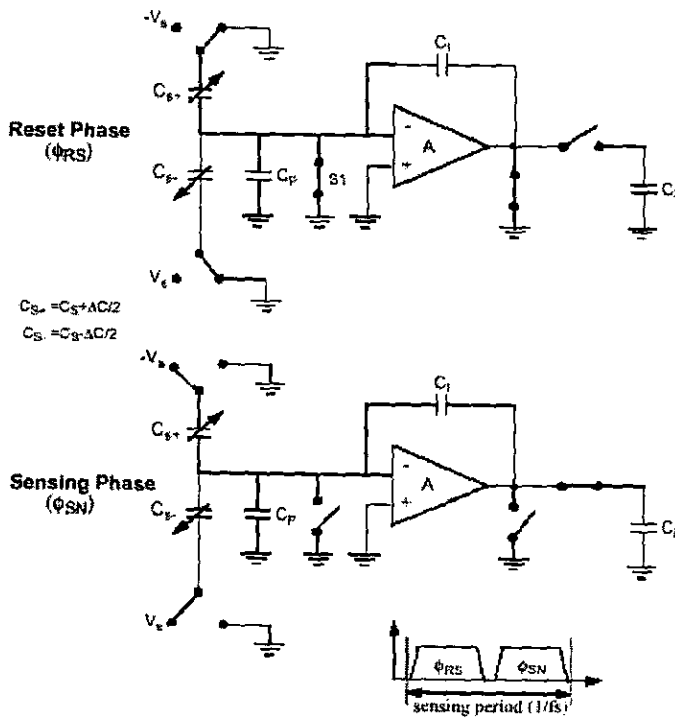


圖 5-2 切換式電容電路架構

有兩個雜訊與此電路有關，一個是由於開關 S_1 所產生的取樣雜訊，或稱作是 kT/C 雜訊，另一個是負載電容取樣放大器的雜訊。由 kT/C 雜訊所引起的輸出相關(output referred)頻譜密度為

$$\frac{\overline{v_{kT/C}^2}}{\Delta f} = \frac{1}{f_s} \cdot \left(\frac{C_T}{C_I} \right) \cdot \frac{kT}{C_T} \quad (5-2)$$

其中 $C_T=2C_S+C_I+C_P+C_{IP}$ 。由負載電容所取樣的放大器雜訊頻譜密度為

$$\frac{\overline{v_{opamp}^2}}{\Delta f} = \left(\frac{C_T}{C_I} \right)^2 \cdot \frac{\overline{v_n^2}}{\Delta f} \cdot \frac{f_u}{f_s} \cdot \frac{\pi}{2} \quad (5-3)$$

其中 $\overline{v_n^2}/\Delta f$ 為放大器熱雜訊的輸入相關頻譜密度， f_u 為放大器閉迴路的頻寬。

一般來說，電容式感測電路會被熱雜訊(Thermal noise)及布朗運動(Brownian motion)所限制，感測精確度定義如下式：

$$\sqrt{\overline{v_{no}^2}} = v_o = \frac{dv_o}{dC} \cdot \Delta C_{\min} \quad (5-4)$$

其中 $\sqrt{\overline{v_{no}^2}}$ 為感測電路的輸出雜訊電壓。可以將上式改寫成電容精確度

$$\Delta C_{\min} = \frac{\sqrt{\overline{v_{no}^2}}}{\frac{dv_o}{dC}} \quad (5-5)$$

在這裡因為是探討感測電路設計，所以假設不朗運動的影響比熱雜訊影響小很多，可以忽略。切換式電容感測電路來說，其精確度經由訊號與雜訊的轉移函數可以寫成

$$\sqrt{\frac{\Delta C_{\min}}{\Delta f}} = \frac{1}{V_s} \cdot \sqrt{\left(\frac{kTC_T}{f_s} \right) \frac{kT}{C} + \left(\frac{C_T^2 \overline{v_n^2} f_u \frac{\pi}{2}}{f_s} \right)_{opamp}} \quad (5-6)$$

其中第一項是由圖 5-2 中的開關 S1 所造成的 kT/C 雜訊，第二項是由放大器的熱雜訊所引起的，而 C_T 等於 $2C_S+C_I+C_P+C_{IP}$ 。在下一節將會介紹如何解決 kT/C 的雜訊，當此雜訊消除後，切換式電容電路的精確度可以寫成

$$\sqrt{\frac{\Delta C_{\min}}{\Delta f}} = \frac{1}{V_s} \cdot \sqrt{\left(\frac{C_T^2 \overline{v_n^2} f_u \frac{\pi}{2}}{f_s} \right)_{opamp}} \quad (5-7)$$

切換式電容電路可以避免使用大電阻，不過卻需要較複雜的 clock 電路來完成此架構。

5.2 電路的非理想特性

在微感測器設計上，電路的非理想特性常常會限制著感測精確度，並且在驅動電壓變小後會變得更重要。本節將說明切換式電容電路的非理想特性及改善方式，接著將說明切換式電容誤差的來源，包含放大器的抵補電壓(offset voltage)、 $1/f$ 雜訊、開關電荷的注入(switch charge injection)和 kT/C 雜訊。而後說明使用 correlated double sampling 來減少以上的四種誤差。當 kT/C 的雜訊消除後，放大器的熱雜訊成為整個雜訊源最重要的部分，因此必須被最佳化。

5.2.1 電容式電路的誤差

切換式電容電路有開關電荷注入(switch charge injection)與 kT/C 的雜訊，這些誤差再加上放大器抵補電壓及 $1/f$ 雜訊將使得感測的精確度減小，接著將說明以上四種誤差來源與改善。

5.2.1.1 放大器抵補電壓(Amplifier offset voltage)

對於 MOS 放大器來說，抵補電壓是由於輸入端元件尺寸及門檻電壓(threshold voltage)的不匹配，改善的方法可以將元件尺寸作大一點，或用 common-centroid 的佈局方式，一般來說，只要設計時很小心則抵補電壓將只有幾個毫特電壓(few millivolt)，不過經常會覆蓋感測的輸出電壓。舉例來說，當 $C_S=C_I=1\text{pF}$ ， $C_P+C_{IP}=5\text{pF}$ ，且 $V_S=1\text{V}$ ，則 10aF 的電容變化將會產生 10uV 的輸出電壓，同時 5mV 的抵補電壓將產生輸出相關(output-referred)抵補電壓 35mV ，比訊號大很多。消除抵補電壓可以用 chopper stabilization 或 correlated double sampling 的方法來解決。

5.2.1.2 放大器 1/f 雜訊

1/f 雜訊通常出現在低頻區，一般來說要消除 1/f 雜訊可以使用 PMOS 元件或較大尺寸元件，但是這個方法無法用在微元件的應用上，因為機械的訊號集中在低頻區，因此需要非常大的元件來抑制 1/f 雜訊。因為 1/f 本質上是一個緩慢變化的放大器抵補電壓，因此可以用抵補電壓消除法來消除部分的 1/f 雜訊。而 correlated double sampling 則是使用 shaping 函數在低頻區減少此雜訊。

5.2.1.3 開關電荷注入(switch charge injection)

Channel switch charge injection 和 clock feedthrough 是兩種當開關閉時所產生的誤差。這兩種通常都可歸咎於電荷注入(charge injection)效應。有好幾種用來改善的方式已經被研究出來，一個典型的方式是結合 bottom-plate 取樣和一個中央開關的差動電路。

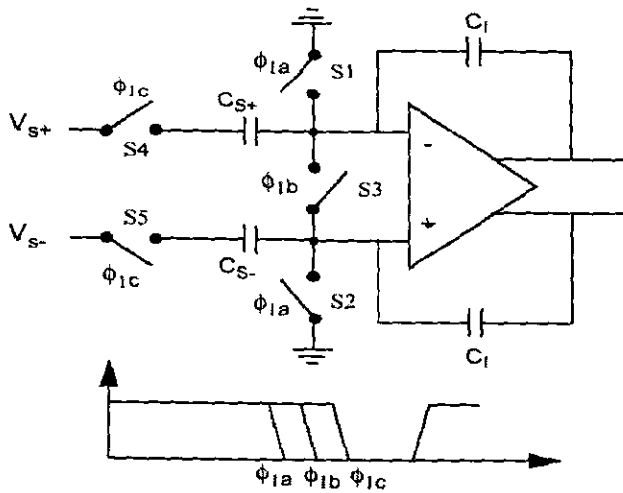


圖 5-3 bottom-plate 和 center switch 的差動電路

電路中的 $S3$ 開關將平衡在開關 $S1$ 和 $S2$ 所產生的電荷注入效應。這個架構可以改善得很好，不過並不適用在微感測電容電路上，由於 C_{S+} 和 C_{S-} 的不匹配造成從 $S3$ 的 source 端及 drain 端看出去的阻抗不一樣，這將會造成 $S3$ 不穩定的電荷注入，解決方式一樣是可以使用 chopper stabilization 或 correlated double sampling 來降低這

種效應。

5.2.1.4 kT/C 雜訊

在切換式電容感測電路裡，kT/C 雜訊通常比放大器的熱雜訊來得大。通常可藉由增加感測電容的尺寸來減少 kT/C 雜訊，不過在微元件設計上是不可行的，因為感測元件的尺寸通常會限制電容的範圍，此值大約是數百個 femtofarads。另外一個方式是提高取樣頻率，依據式 5-6 的 kT/C 雜訊函數，必須增加 10 倍的取樣頻率才能降低 10dB 的雜訊，如此提高取樣頻率是不值得的，因為會增加系統的複雜度和高功率損耗。使用 correlated double sampling 方法將可消除 kT/C 雜訊，不用提高取樣頻率。

5.2.2 Correlated Double Sampling

Correlated Double Sampling(CDS)一開始被提出時是用在 CCD 的應用方面。在傳統上，CDS 是用來消除放大器抵補電壓和 1/f 雜訊，而不是用在消除開關電荷注入與 kT/C 雜訊。這是主要是因為開關電荷注入可以用差動訊號路徑(differential signal path)和 bottom-plate 取樣來最小化，而 kT/C 雜訊經由增加電容尺寸來降低，但是在微機械(micro-machined)應用上感測電容的尺寸會受限於製程，並且通常只有幾百個 femto-farads。因此必須用 CDS 來消除通道電荷注入和 kT/C 雜訊。電荷注入和 kT/C 雜訊的發生是在取樣開關打開時，並會維持一個常數直到下一個週期，因此可以加入一個感測相位來取樣這些誤差。在 reset 相位 Φ_{RS} 時，所有電容及放大器將被接到地。在 Φ_{RS} 結束後，開關 S1 和 S2 打開，S1 會產生電荷注入和 kT/C 雜訊。在 Φ_{SN1} 相位時，放大器的抵補(offset)、1/f 雜訊、電荷注入和 kT/C 雜訊將被放大器放大並且儲存在電容 C_H 上，在 Φ_{SN1} 結束時，S3 打開。在 Φ_{SN2} 期間，感測電容重新接上調變電壓 V_s ，放大器的輸出端將會包含訊號以及誤差，並和前一個相位所產

生的誤差電壓相減，最後就可以得到真正訊號。對於一階系統，CDS 消除了抵補電壓、電荷注入和 kT/C 雜訊，而 $1/f$ 雜訊可以用雜訊整形函數(noise shaping function)使其變小，假設感測相位的 duty cycle 為 25%，雜訊整形函數可寫成 $H_{CDS}(z)=1-z^{-1/4}$ ，將此式由 z-domain 映射到 frequency domain，用 $e^{j\omega T}$ 取代 z ，重新計算可得

$$|H_{CDS}(e^{j\omega T})|^2 = 4 \sin^2\left(\frac{\omega T}{8}\right) \quad (5-8)$$

此函數可以在 DC, $4f_s$, $8f_s$, ... 等處抑制 $1/f$ 雜訊，其中 $f_s=1/T$ 。因為 $1/f$ 雜訊頻譜密度與頻率成反比，而雜訊整形函數與頻率成二次方正比，因此當 $1/f$ 的轉角頻率小於取樣頻率時， $1/f$ 雜訊可以被大量消除。然而使用 CDS 的缺點是會增加放大器的熱雜訊。在微機械的應用上，通常需要在前端電路後面加上一個前置放大器，這是因為輸出電壓通常是很小，大約只有幾個毫伏特，對於小訊號輸入，此前置放大器也需用 CDS 來降低誤差。

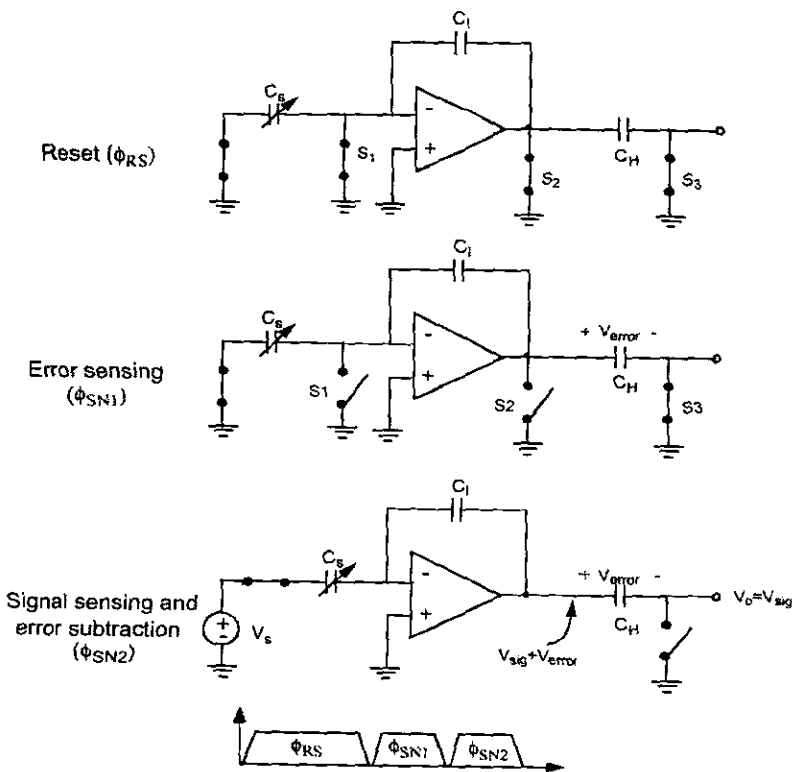


圖 5-4 Correlated Double Sampling 的運作過程

5.2.3 放大器熱雜訊最佳化

在前面一小節說明了用 CDS 來降低 $1/f$ 雜訊、抵補電壓以及 kT/C 雜訊，當這三個誤差來源減小後，放大器的熱雜訊就成為限制精確度的主要因素，因此必須要做最佳化。圖 5-5 為在感測相位時的電荷積分器，放大器的輸入相關(input-referred)熱雜訊可以寫成

$$\overline{v_n^2} = \frac{8kT}{3g_m} \cdot n_f \cdot \Delta f \quad (5-9)$$

其中 $8kT/3g_m$ 為輸入電晶體的熱雜訊， n_f 為放大器全部雜訊對輸入電晶體雜訊的比值。在實際的設計上，輸入端元件是雜訊的主要來源。而輸出相關(output-referred)雜訊頻譜密度為

$$\frac{\overline{v_{opamp}^2}}{\Delta f} = \left(\frac{C_S + C_I + C_P + C_{IP}}{C_I} \right)^2 \cdot \frac{\overline{v_n^2}}{\Delta f} \quad (5-10)$$

其中 C_{IP} 為放大器輸入電容，輸出雜訊為放大器輸入電容與輸入相關雜訊 $\overline{v_n^2}$ 的函數。熱雜訊 $\overline{v_n^2}$ 可以經由增加輸入元件的轉導(transconductance)來減少。

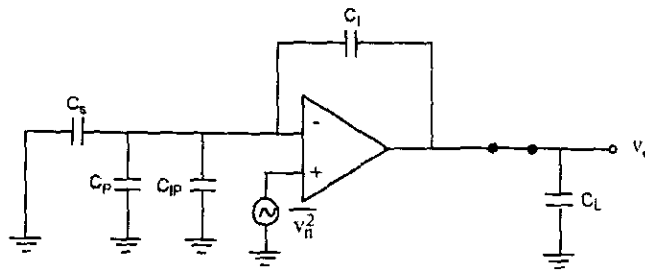


圖 5-5 感測相位時的積分電路

然而增加轉導會增輸入元件的飽和電壓(此電壓通常被電源電壓和輸出擺動(output swing)所限制)，或是增大輸入元件，而大的元件將會增大放大器的輸入電容，而造成迴授因子減少，較小的迴授因子意味著較高的雜訊放大。對於在飽和區的 MOS 來說，元件的轉導與截止頻率 f_T (cutoff frequency)有關，其關係為

$$g_m = 2\pi f_T C_{GS} \quad (5-11)$$

C_{GS} 為閘極(gate)的電容，其與放大器輸入電容 C_{IP} 相等。因此可以將輸出相關雜訊寫成

$$\frac{\overline{v_{opamp}^2}}{\Delta f} = \frac{(C_S + C_I + C_P + C_{IP})^2}{C_{IP} C_I^2} \cdot \frac{4kTn_f}{3\pi f_T} \quad (5-12)$$

為了找出最佳化的尺寸，將上式對 C_{IP} 做微分可以得到

$$\frac{dv_{ns}^2}{dC_{IP}} = 0 \quad \rightarrow \quad C_{IP,opt} = C_S + C_I + C_P \quad (5-13)$$

這表示放大器的輸入端元件的電容與其他電容的和相等。將最佳化的輸入元件尺寸與放大器雜訊代入前節的電容精確度公式可以得到

$$\frac{\Delta C_{min,opt}}{\sqrt{\Delta f}} = \frac{1}{V_S} \cdot \sqrt{\frac{16kTn_f(C_S + C_I + C_P)f_u}{3f_s f_T}} \quad (5-14)$$

其中放大器閉迴路頻寬 f_u 與取樣頻率、穩定準確度及 duty cycle 有關，關係為

$$f_u = \frac{1}{2\pi\tau} = \frac{1}{2\pi} \cdot \left(\frac{m}{n_r f_s} \right)^{-1} \quad (5-15)$$

其中 τ 為放大器時間常數， n_r 為穩定時間常數， m 為每一個感測相位的 duty cycle，此式代入電容精確度公式得到

$$\frac{\Delta C_{min,opt}}{\sqrt{\Delta f}} = \frac{1}{V_S} \cdot \sqrt{\frac{8kTn_f n_r (C_S + C_I + C_P)}{3\pi m f_T}} \quad (5-16)$$

由上式可得知減小寄生電容 C_P 和積分電容 C_I 以及有高 f_T 的窄通道將可改善感測電路的電容精確度。接著要決定適當的負載電容 C_L ，此電容為

$$C_L = \frac{C_I}{(C_S + C_I + C_P + C_{IP})} \left(\frac{g_m}{2\pi f_u} - (C_S + C_P + C_{IP}) \right) \quad (5-17)$$

上兩式化減後可得

$$C_{L,opt} \approx \frac{\pi m C_I f_T}{n_r f_s} \quad (5-18)$$

若實際負載電容比此值大，則必須使用較大的積分電容來重做雜訊最佳化，或是使用比最佳化大(large-than-optimal)的放大器，不過這只會提高非常少的電容精確度。使用較小的積分電容可以增加電容對電壓的增益，不過會減小電容感測精確度。雜訊的最佳化常會造成非常大的輸入元件，並且需要大的偏壓電流，為了改善這種問題，將使用比最佳化小(smaller-than-optimal)的輸入元件來設計(圖 5-6)。舉例來說，當 $C_S=1\text{p}$ ， $C_I=0.1\text{p}$ ， $C_P=5\text{p}$ ， $f_I=2\text{GHz}$ ， $f_S=1\text{MHz}$ ， $n_f=2$ ， $n_t=8$ ， $m=0.25$ ， $V_S=1\text{V}$ ，則可算出 $C_{IP,opt}=6.1\text{pF}$ ， $C_{L,opt}=9.8\text{pF}$ ， $\Delta C_{min}=2.62*10^{-20}\text{fF}/\sqrt{\text{Hz}}$ ， $\Delta C_{min}(\text{without CDS})=1.71*10^{-19}\text{fF}/\sqrt{\text{Hz}}$ ，Input device bias current $\approx 30\text{mA}$ ，當使用次佳化設計(最佳化條件時的 1/10)，使得 $C_{IP}=0.1C_{IP,opt}$ 且 $C_I=0.2\text{p}$ 時，可以得到 $C_{IP,opt}=0.62\text{pF}$ ， $C_{L,opt}=4\text{pF}$ ， $\Delta C_{min}=4.86*10^{-20}\text{fF}/\sqrt{\text{Hz}}$ ，Input device bias current $\approx 3\text{mA}$ 。通常在雜訊最佳化的條件下，是以犧牲面積及增加功率損耗來得到最佳的精確度，而最佳化放大器條件是 $C_{IP}=C_S+C_I+C_P$ ，不幸的，這將會造成放大器面積及功率太大的問題。因此退而求其次，使用次佳化的設計將 C_{IP} 設計為最佳值的十分之一，如此則可以得到一個合理面積與功率消耗，但會損失雜訊降低約兩倍。

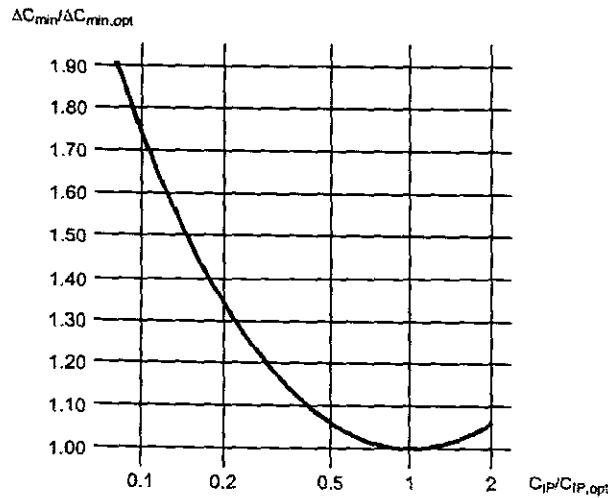


圖 5-6 感測精確度與輸入電容關係

假設 kT/C 的雜訊為沒有使用 CDS 時的主要雜訊來源，而使用 CDS 後的雜訊來源為

放大器的熱雜訊，改善雜訊本質上也就是對精確度的改善，定義雜訊改善後公式為

$$\text{Noise improvement} = \sqrt{\frac{2v_{kT/C}^2}{v_{opamp}^2}} = \frac{\sqrt{2} \cdot \Delta C_{\min, kT/C}}{\Delta C_{\min, opamp}} \quad (5-19)$$

其中 $\sqrt{2}$ 是因為使用差動訊號路徑的原因。將 $\Delta C_{\min, kT/C}$ 與 $\Delta C_{\min, opamp}$ 分別以式與式代入上式則可得到

$$\text{Noise improvement} \approx \sqrt{\frac{3\pi m f_T}{2n_f n_r f_s}} \propto \sqrt{\frac{f_T}{f_s}} \quad (5-20)$$

使用次佳化設計，則雜訊改善將減少 1.7 倍，其關係為

$$\text{Noise improvement} \approx \sqrt{\frac{\pi m f_T}{2n_f n_r f_s}} \quad (5-21)$$

以一般的電路來說，當 $m=25\%$ ， $n_f=2$ ， $n_r=8$ ， $f_T/f_s = 1000$ 則根據上面兩式可以得到雜訊改善分別為 8.5 和 4.9 倍。

第 6 章 電路設計

在本計畫之電容式微加速度計後級量測電路中，共包含了下面幾個元件：運算放大器(Opamp)，比較器(Comparator)，開關(Switch)及時鐘產生器(clock Generator)。為了減少誤差提高精確度，將可見到所有構成元件的 MOS 皆以對稱的方式來佈局。

6.1 運算放大器(Opamp)

運算放大器在本電路當中扮演相當重要的角色，除了當作 CV converter 以外，還要用在類比及數位的 output buffer。

6.1.1 運算放大器架構

本計畫設計的運算放大器為一個二級 CMOS 運算放大器，其架構如圖 6-1 所示，此運算放大器所指的兩級為增益級的數目，由圖 6-1 可看出實際上應為三級，即兩個增益級及一個單一增益的輸出級。運算放大器的第一個增益級為差動輸入單端輸出級，第二個增益級為增益級，當運算放大器使用迴授時，可用電容 C_{cmp} 來做穩定度補償。由於電容接在輸入與輸出高增益級之間，通常稱此種電容為米勒電容，因為其在第一級的等效電容負載會比實際設計的還大。

實際運算放大器電晶體電路如圖 6-2 所示。在此使用 n 型電晶體當差動輸入以及 p 型電晶體當主動負載，在此電晶體通道長度將以 1 微米(μm)來做設計，可避免窄通道效應(short channel effect)。

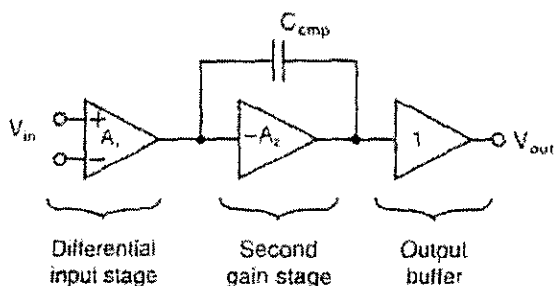


圖 6-1 二級運算放大器架構

6.1.2 運算放大器模擬與製作

我們的 Opamp 依照上面所說的架構，使用 UMC 0.5u 製程做設計，其佈局圖 (layout)與電路圖(schematic)如下圖。

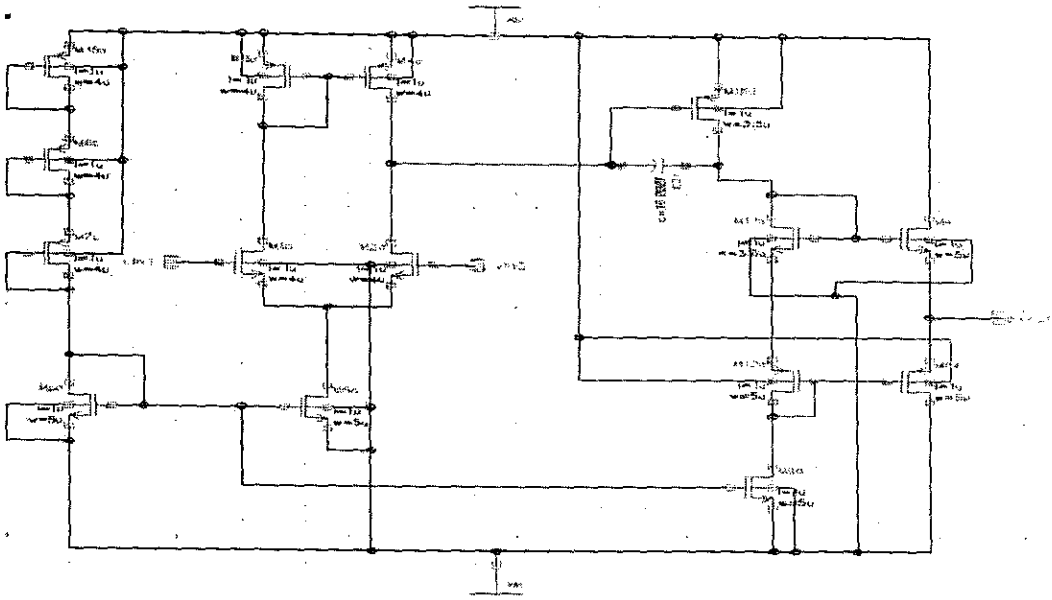


圖 6-2 二級運算放大器電路圖(簡化)

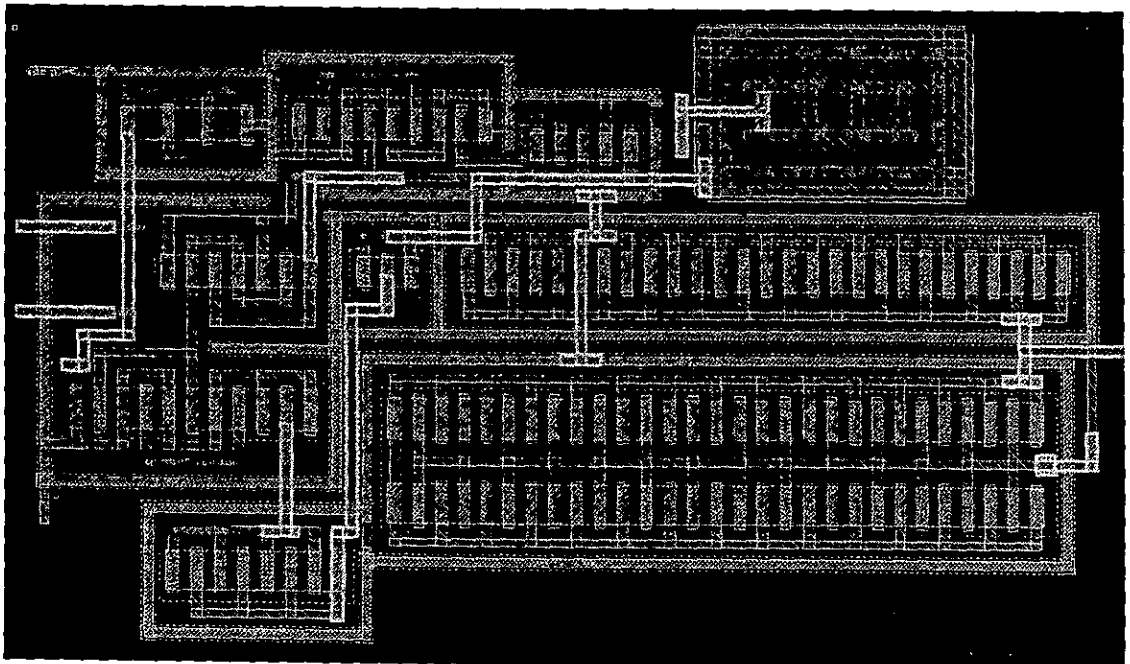


圖 6-3 二級運算放大器佈局圖

而其頻率響應圖如下：

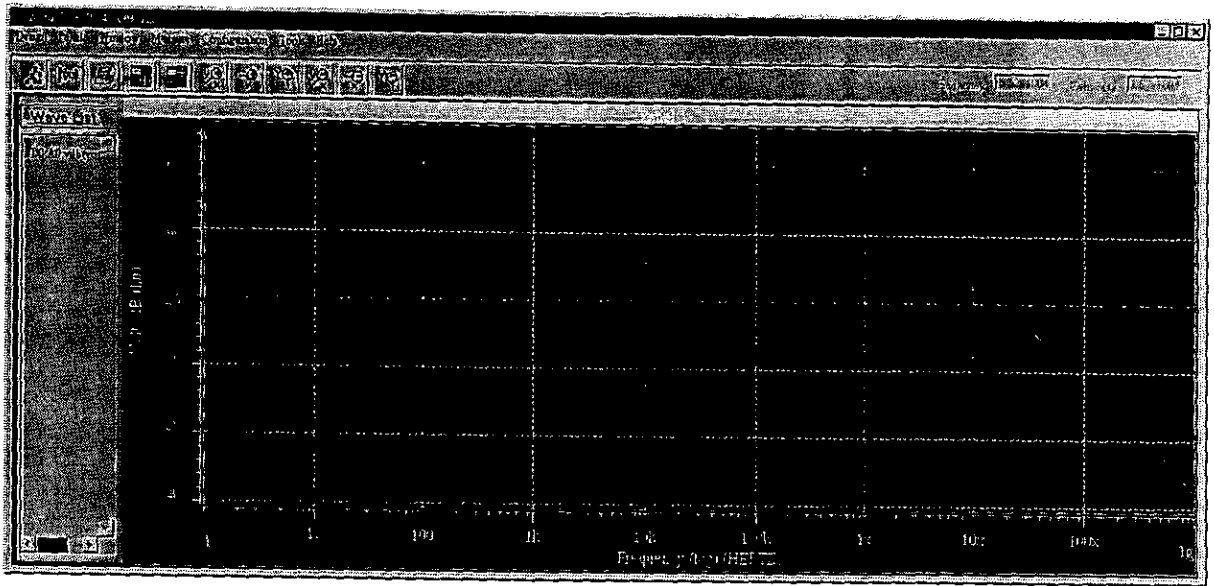


圖 6-4 二級運算放大器之頻率響應

6.2 比較器(Comparator)

由於此電容式微加速度計將以 sigma-delta 架構做為未來改進的目標，所以我們會在類比的輸出之後，加入一個 1 bit 的比較器，把類比的訊號轉成一連串的 bit stream，此 bit stream 之後不但會經過低通濾波器的處理轉成我們要的輸出，還會用來當作迴授電壓的依據。

6.2.1 比較器架構

本電路中所使用的比較器大致上是由三個部分所組成：第一級為增益級，作用為把輸入的訊號放大，可視為增加比較器的靈敏度；第二級為決定級，用來決定兩個輸入訊號中哪一個訊號比較大；最後一級為輸出級，把前一級所得出來的結果轉成數位的訊號輸出。

為了提升整個電路的實用性及穩定度，我們在這個比較器又增加了 latch 的功能，也就是當輸出是我們所要的訊號時，便鎖住輸出訊號，此時的輸出訊號不會隨

著輸入的變化而有所變動，而產生了穩定的數位輸出，提升了這個系統的穩定度及精確度。所以整體來看，比較器在這裡也當作是一個 S/H，把前級的訊號取樣後用 latch 鎖住，成為穩定的輸出訊號。

6.2.2 比較器模擬與製作

與 Opamp 用相同的製程，通道長度皆為 1 微米，電路圖及佈局圖如下：

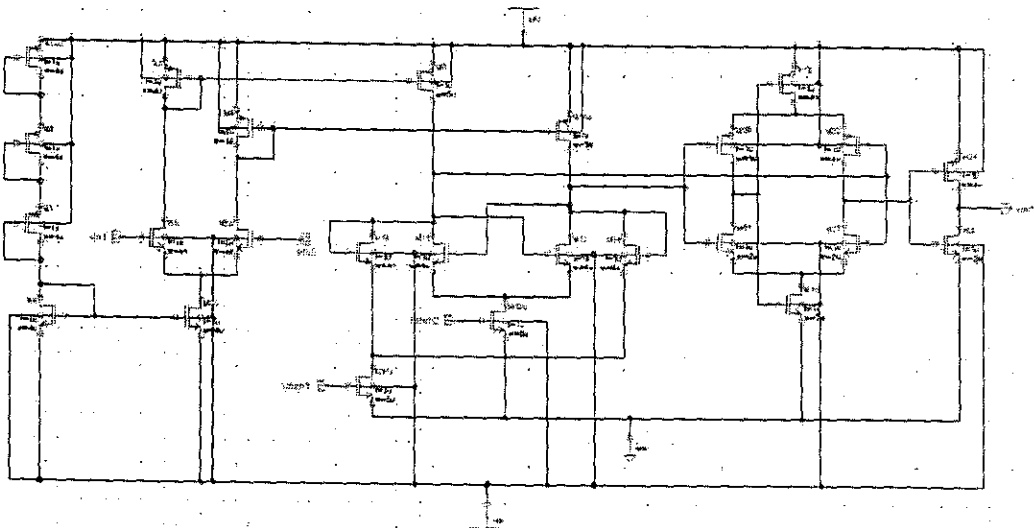


圖 6-5 比較器電路圖(簡化)

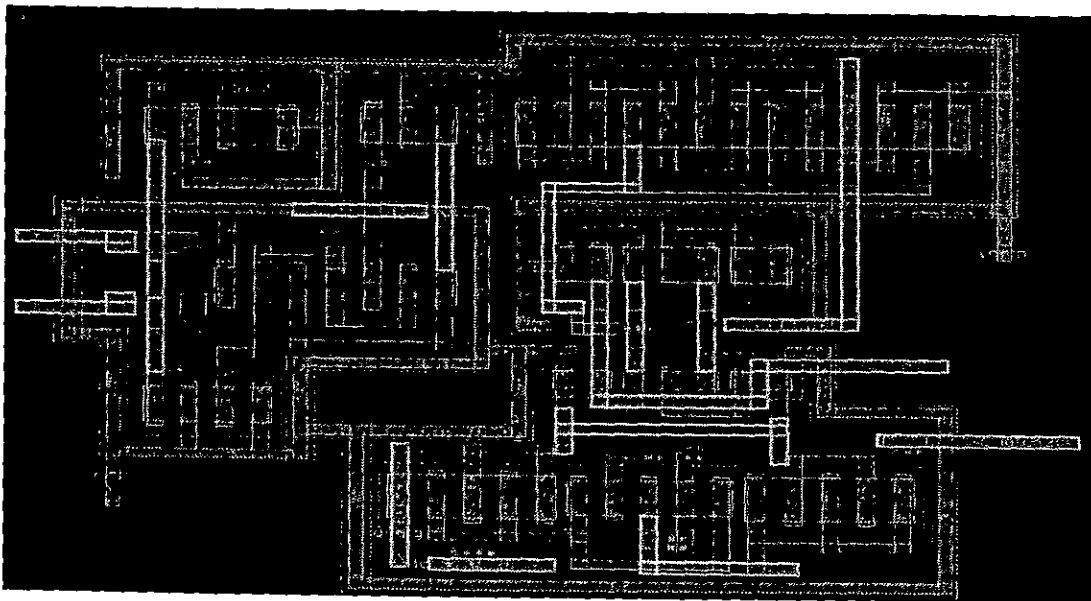


圖 6-6 比較器佈局圖

6.3 開關(Switch)

運用開關是切換式電容(switch-capacitor)電路的特色，其特性將會影響整個電路的精確度。開關是由 mos 串聯或並聯所組成，由於從汲極看進去可以等效成一個電容，開關的大小將會依他在電路中所扮演的角色而有所不同。

第一個開關是位在 CV converter 的 inverting 端，其從汲極看進去的電容大小必須遠小於前段用來感測的電容值，而且還必須有夠大的長寬比讓前段的感測電容及後段的積分電容迅速放電，因此，我們選擇此 MOS 的長寬比為 5/1。如圖 6-9 所示。

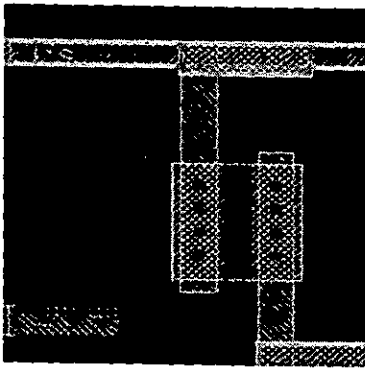


圖 6-7 第一個開關佈局圖

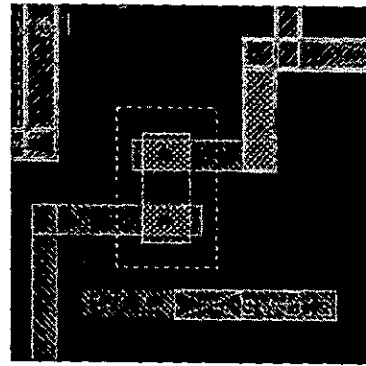


圖 6-8 第二與地三個開關佈局圖

第二與第三個開關分別位在 CH 的兩端，對輸出的電壓具有相當大的影響，所以我們把這兩個開關做的越小越好，降低其所產生的等效電容，減少對 CH 的分壓，也可減少誤差的產生，以提高電路的準確度。見圖 6-10，長寬比為 2/1。

6.4 電容

電容在整個電路裡面也扮演著相當重要的角色，會影響輸出的精確度與對稱性，所以電容必須設計得非常對稱，也必須具有大的抗雜訊的能力。如圖 6-11，積分電容(CI)，誤差感測電容(CH)及 Opamp 裡的迴授電容都以數個小電容對以對稱性的方式並聯，其電容質等於所有小電容的總和，並在外面加上 guard ring。

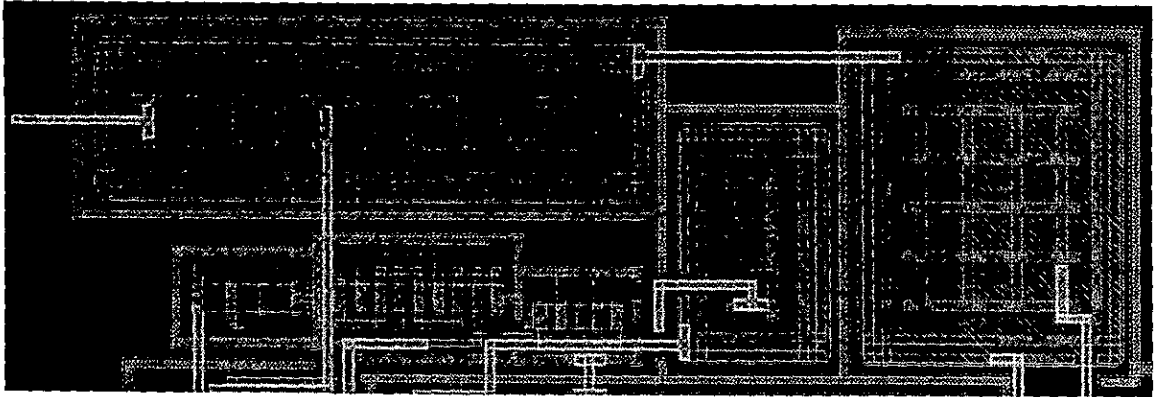


圖 6-9 積分電容(CI)，誤差感測電容(CH)及 Opamp 裡的迴授電容

6.5 時鐘產生器(Clock Generator)

當使用 correlated double sampling 時，開關的切換時間順序是一個很重要的部分。如圖 6-12 其中 ϕ_{RS} 為 50% 之 duty cycle， ϕ_{SN1} 與 ϕ_{SN2} 為 25% 之 duty cycle，在實際應用時，並非所有的開關都是同一個時間切換，而是互相有些許的 delay，這是因為要避免有多餘的雜訊沒有被 CH 抓到，以避免產生更多的誤差。

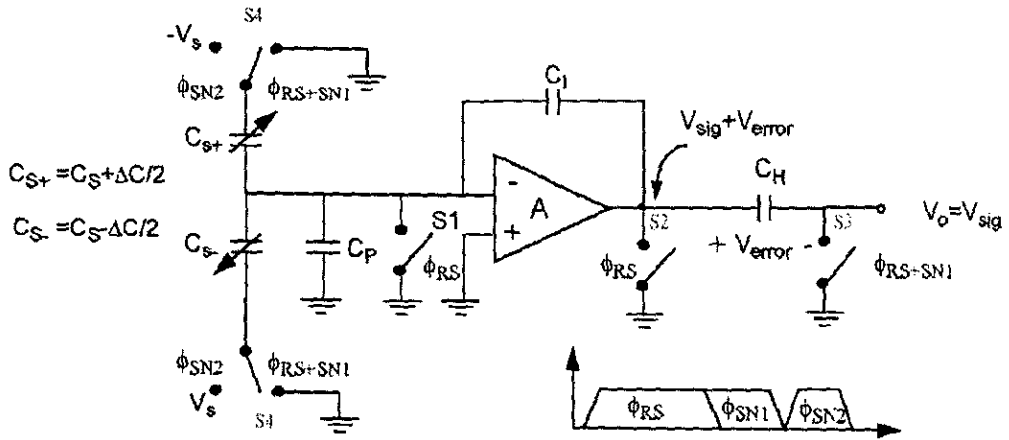


圖 6-10 correlated double sampling 電路

此三相電路之電路如圖 6-13，模擬結果如圖 6-14。

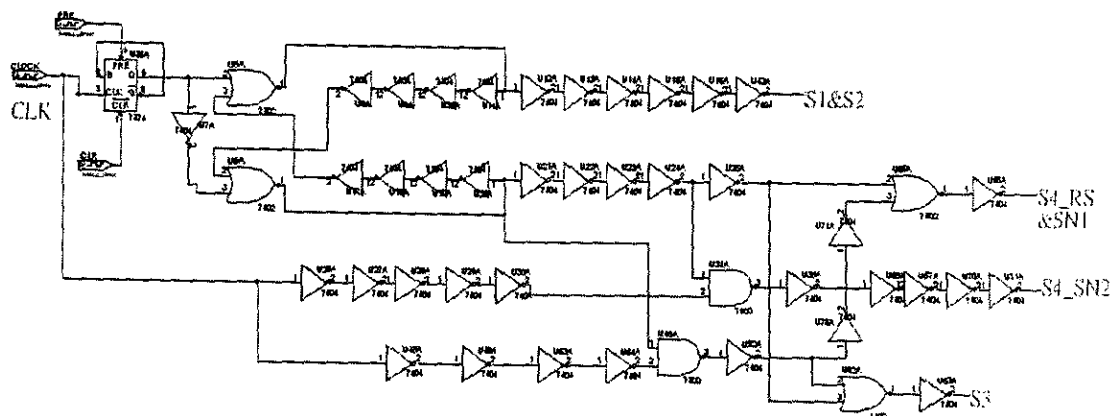


圖 6-11 三相電路之電路圖

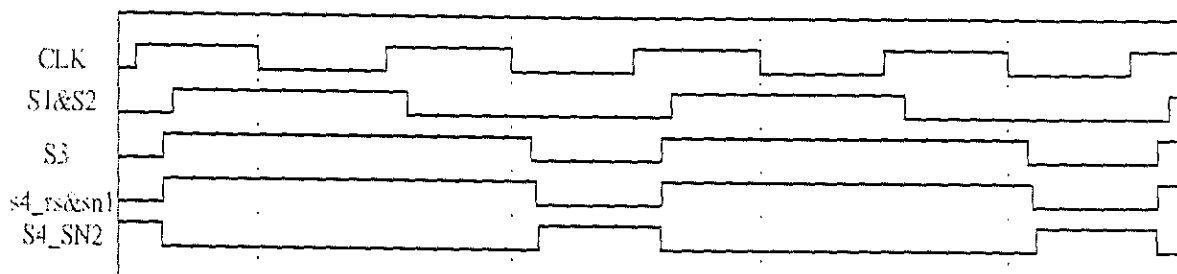


圖 6-12 三相電路模擬結果

第 7 章 電路的模擬

在這一章中，將展示整個電路在 post simulation 所得到的結果，並與理論值做比較；

在上一章討論了本電路所需的元件，如運算放大器，比較器等，接著用這些元件來實現整個電容式微加速度計。由於這個加速度器包含了前半部的純類比電路以及後半部的 CDS AD converter，所以先介紹類比的模擬結果。

7.1 CDS CV converter

圖 7-1 為 CDS CV converter 的電路，這裡面包含了一個 CV converter、一個輸出 buffer 及 CDS 架構所需要的開關，功用是要把感測到前段電容的變化轉成電壓輸出。CDS CV converter 的佈局圖如圖 7-2。

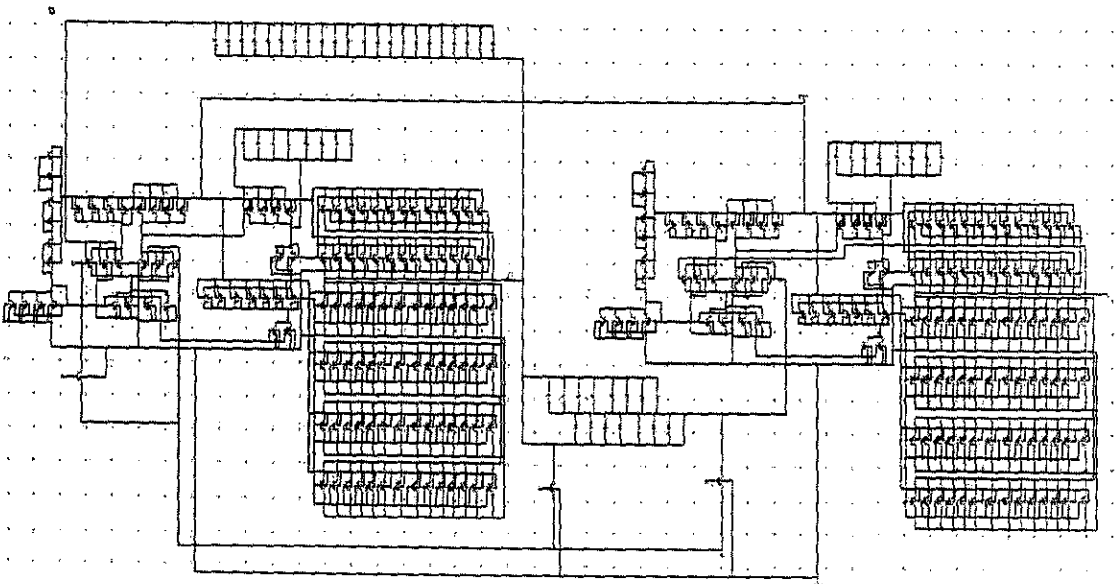


圖 7-1 CDS CV converter 的電路圖

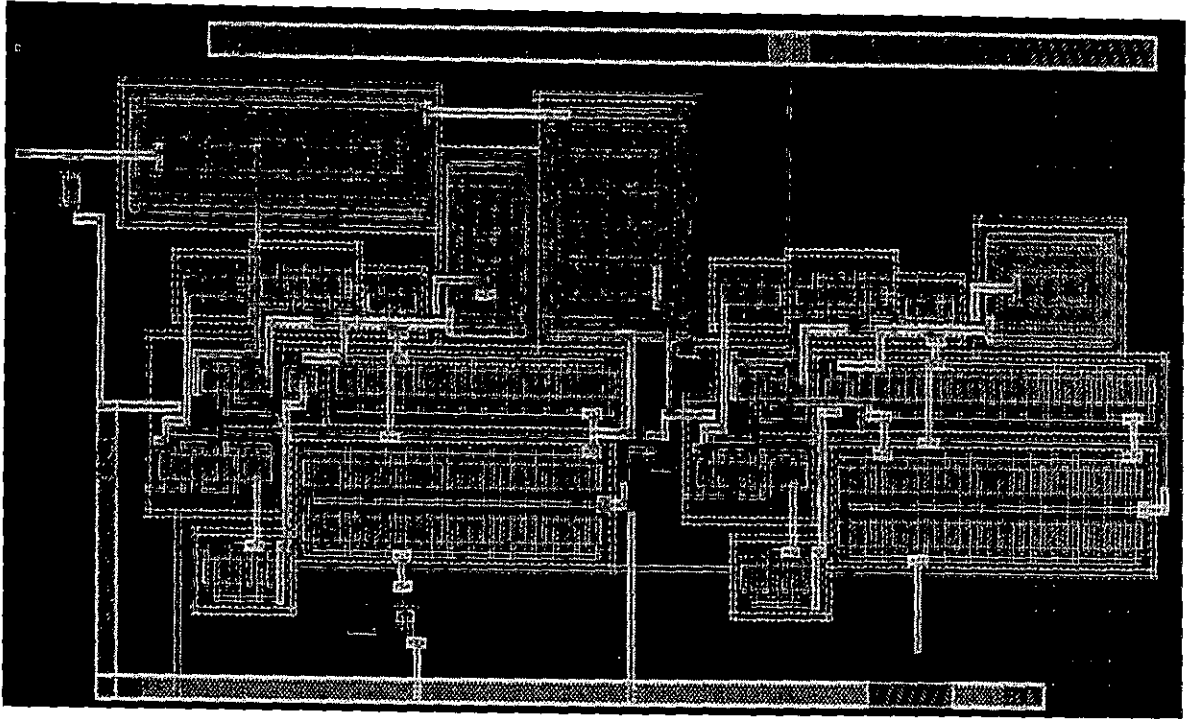


圖 7-2 CDS CV converter 的佈局圖

將此電路圖及佈局圖經過 Dracula drc、lvs、lpe 的驗證之後，把轉出來的 netlist 檔用 hspice 模擬，而模擬前段的電容變化從-10fF 到 10fF，如圖 7-3 ~ 7-6。

由式 4-1 可以得知，輸出電壓的大小與積分電容(CI)的變化及電容兩端的電壓成正比，在此電路中，電容兩端的電壓為正負 5V，而積分電容的大小為約 0.5pF，所以可以得到理想的輸出電壓約為 50mV；也就是說，當前段的微機電電容因加速度而產生電容變化，每變化 5fF 將會在輸出產生約為 50mV 的電壓變化。由下面的幾張圖可以得知，實際值(約為 61mV)與理想值(約為 50mV)相距不遠，除此之外，每變化 5fF 時所得到的電壓變化也相當的接近，在正向及負向皆具有相當好的線性度。而當電容變化為零的時候，在輸出的 offset voltage 相當的小，約為 6.2mV，相對於 5fF 產生的 50mV，這個 offset voltage 在可接受的範圍之內。

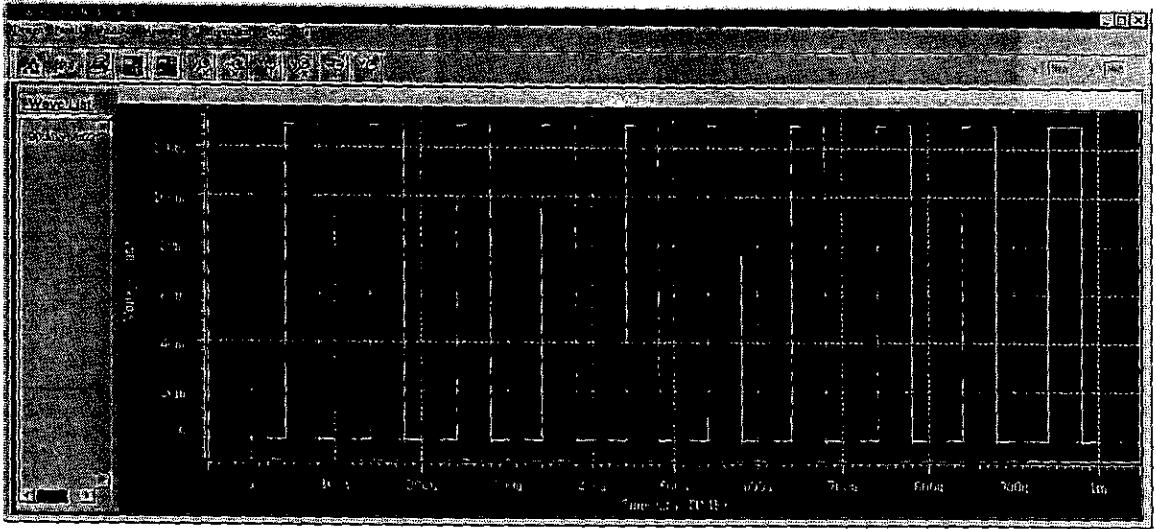


圖 7-3 ΔC 為 $-10fF$

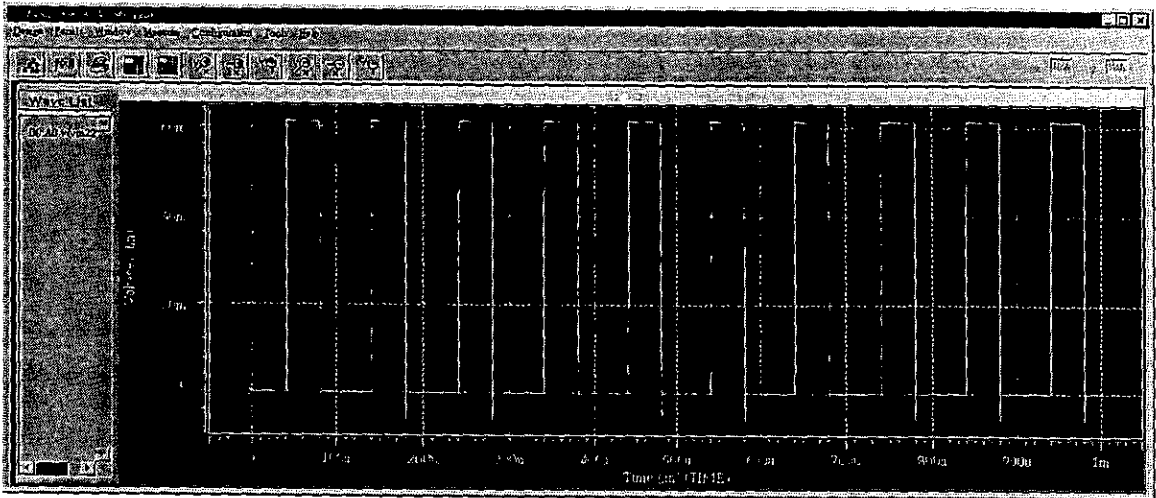


圖 7-4 ΔC 為 $-5fF$

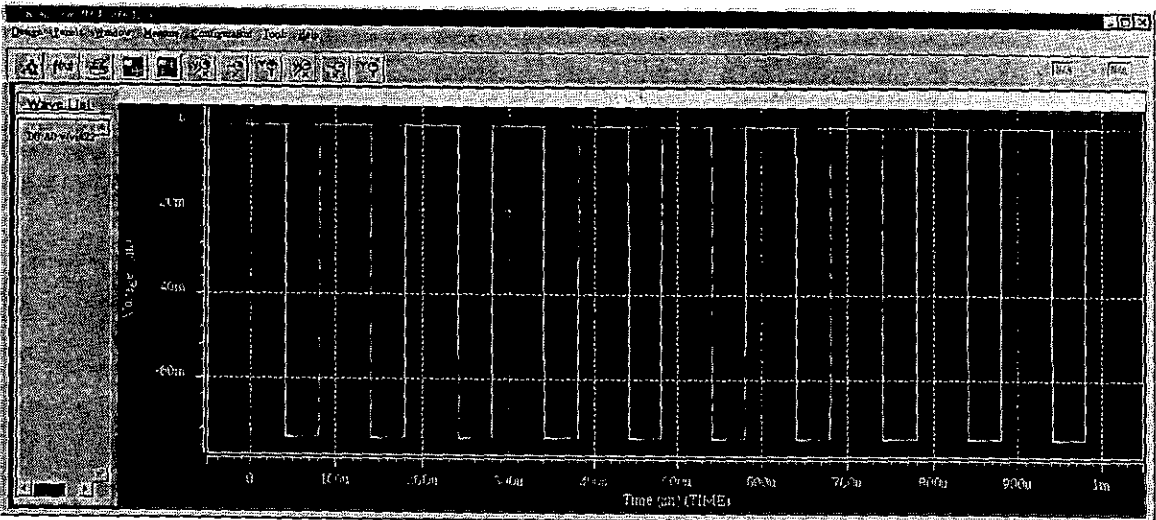


圖 7-5 ΔC 為 $5fF$

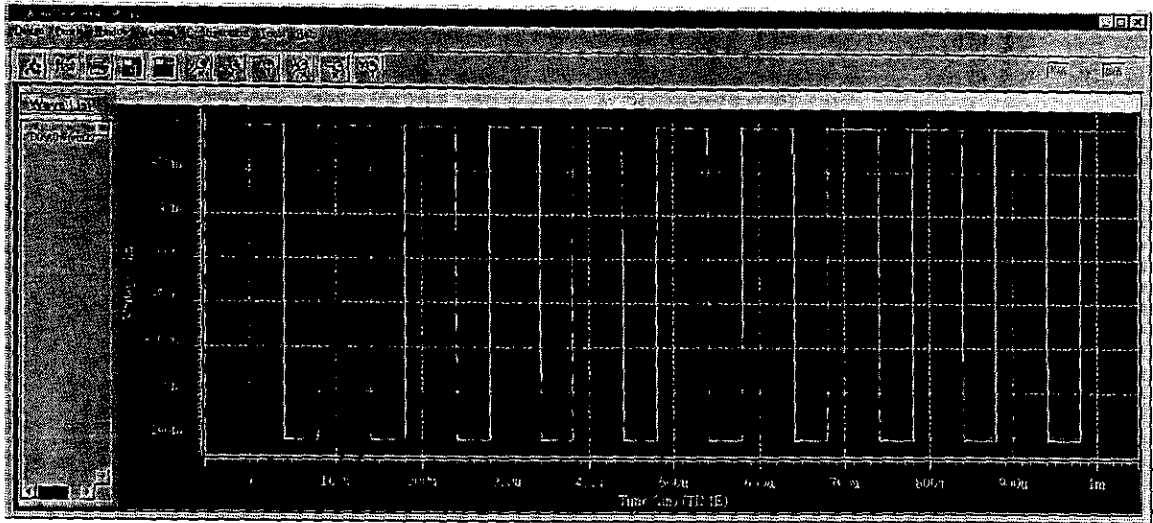


圖 7-6 ΔC 為 10fF

在圖 7-7 中可以看出本系統在電容變化為正負 100fF 之內都很線性，此範圍即電壓變化正負 1.2V 之內，因為前段的微機電電容與加速度的關係為：1g \rightarrow 5fF，所以本 CDS 電容式微加速度器的使用範圍可到正負 20g。又因為只要輸出大於 20mV，雜訊的大小相對於輸出電壓來講影響比較不大，所以精確度可到 0.3g。

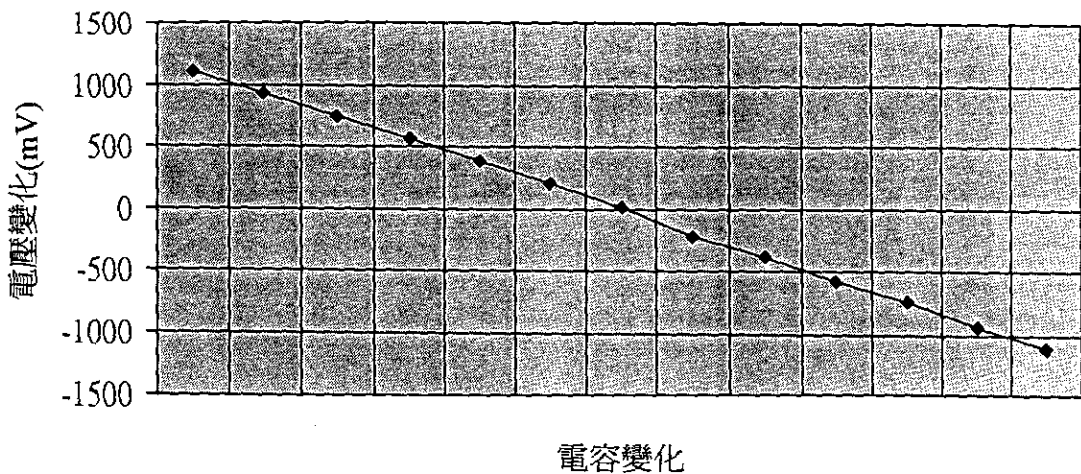


圖 7-7 電容變化與電壓變化關係圖(每一小格 ΔC 變化 15fF)

7.2 CDS 電容式微加速度器

接下來是整個 CDS 電容式為加速度器，其電路如圖 7-8，除了上一節所講的 CV

converter 以外，又加上了比較器，也就是 1-bit AD converter，可以用來當作 S/H。

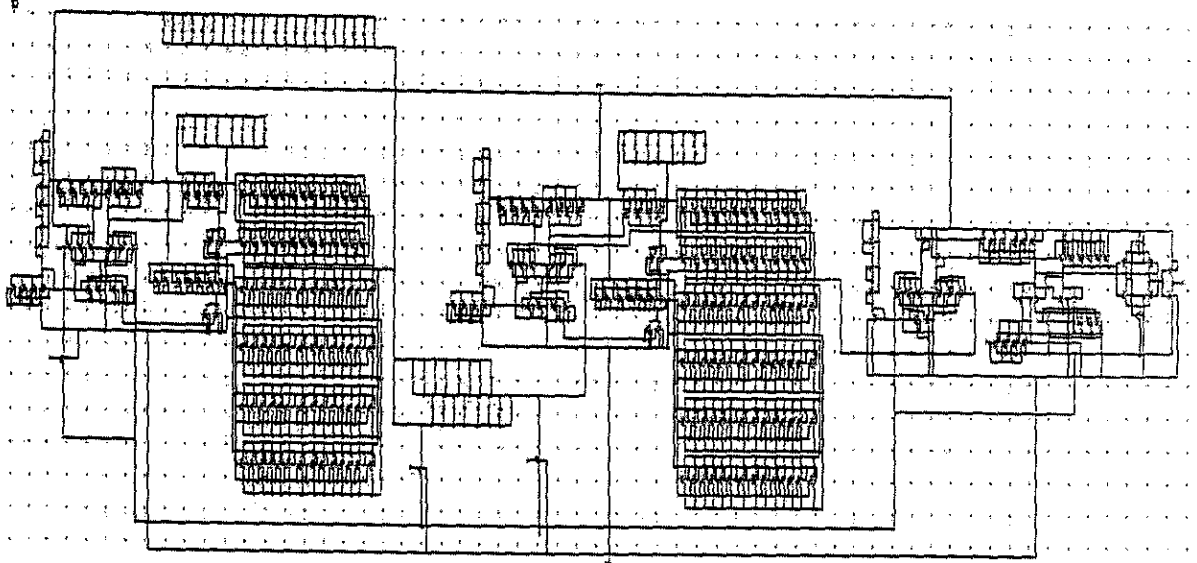


圖 7-8 CDS 電容式微加速度器的電路圖

佈局圖如下所示：

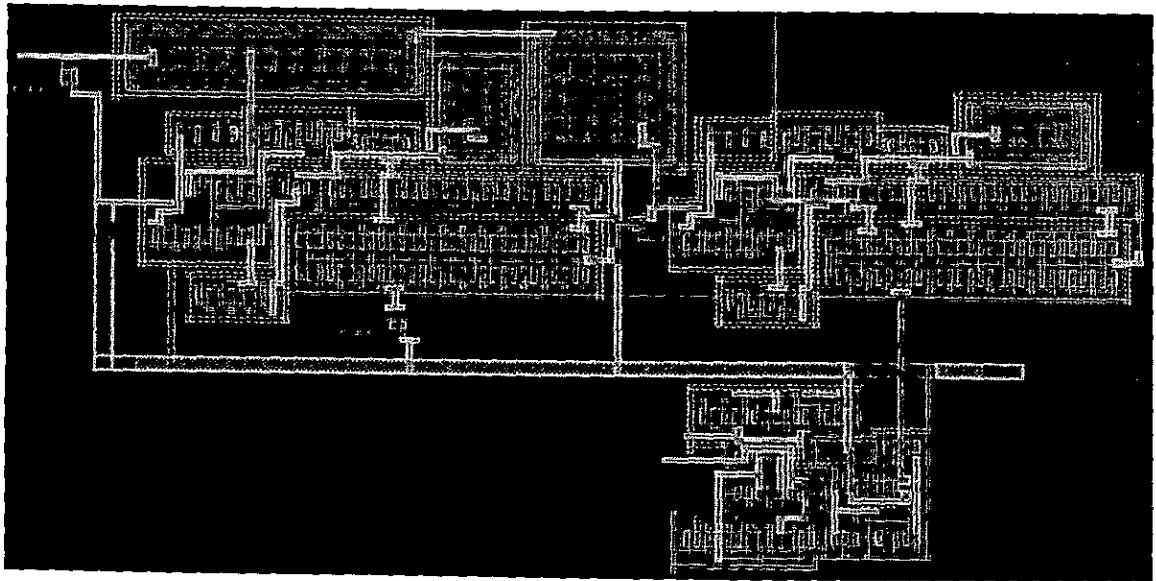


圖 7-9 CDS 電容式微加速度器的佈局圖

相同的，將此電路圖及佈局圖經過 Dracula drc、lvs、lpe 的驗證之後，把轉出來的 netlist 檔用 hspice 模擬，前段的電容變化也是從 -2fF 到 2fF，如圖 7-10 ~ 7-13。

我們所設計的比較器具有反相的功能，由下圖可以看到，當 CDS CV converter 的輸出電壓大於零時，也就是差動式電容中間極板受到向上的加速度往下移動時，會得到 logic 0 的數位輸出，如圖 7-10 及圖 7-11。

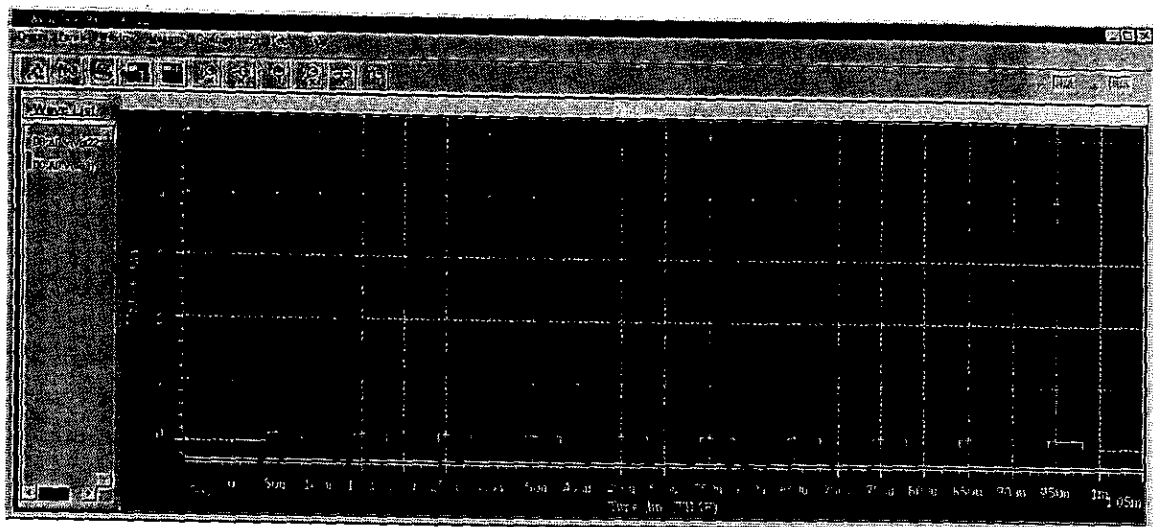


圖 7-10 ΔC 為 $-2fF$

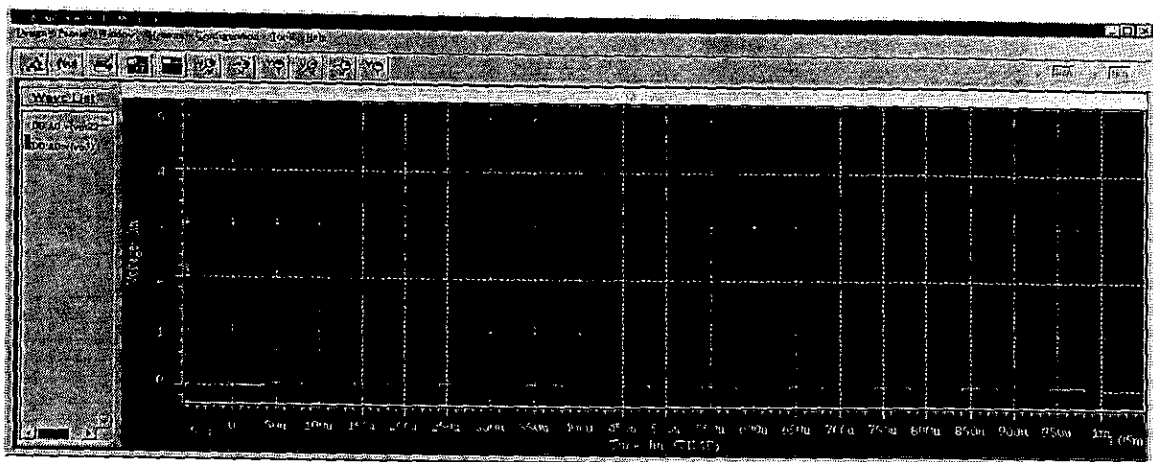


圖 7-11 ΔC 為 $-1fF$

而當加速度為向下時，會造成中間極板往上移動，而在 CDS CV converter 產生小於零的輸出電壓，此時比較器的輸出為 logic 1，如圖 7-12 及圖 7-13。

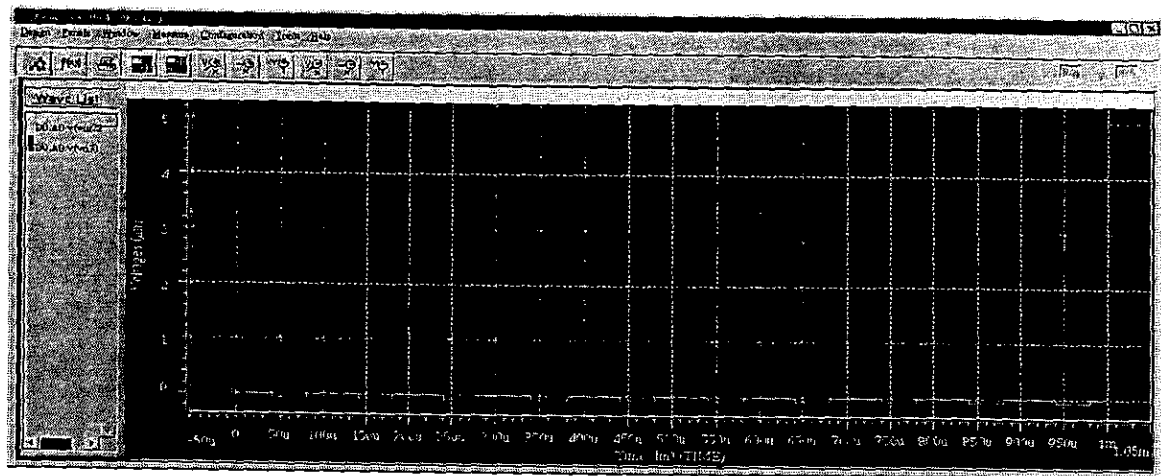


圖 7-12 ΔC 為 $1fF$

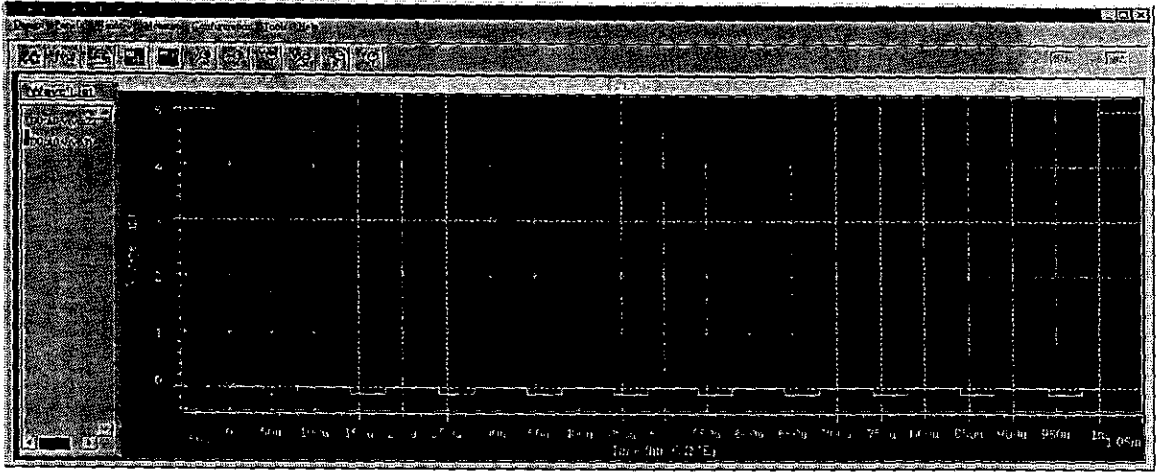


圖 7-13 ΔC 為 2fF

比較器的靈敏度也會影響整個系統的精確度，因為它必須決定類比輸出的電壓與 0V 的大小關係，在模擬中，測量得到此比較器可以分辨的最小電壓至少為 1mV，與類比輸出的最小有意義電壓 20mV 還有一段差距，所以當類比轉數位時並不會造成失真。類比輸入與數位輸出關係圖如下：

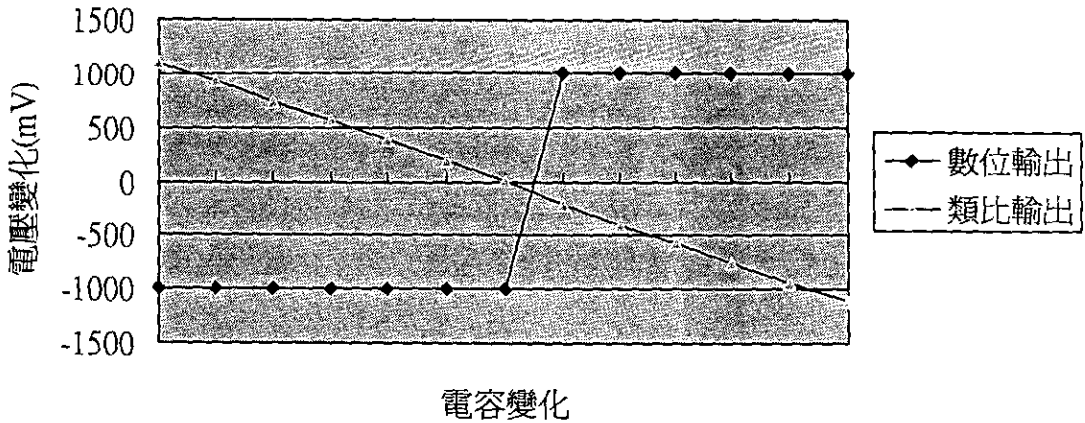


圖 7-15 比較器類比輸入與數位輸出關係圖(ΔC 間隔為 15fF)

第 8 章 系統量測結果

在上一章中可以看到模擬的結果與理論值相去不遠，皆在可以接受的範圍之內，所以我們此電路以 UMC 0.5um 的製程送去 CIC 製作成晶片，配合第 4 章裡所介紹的為加速度計，做整個系統的量測。

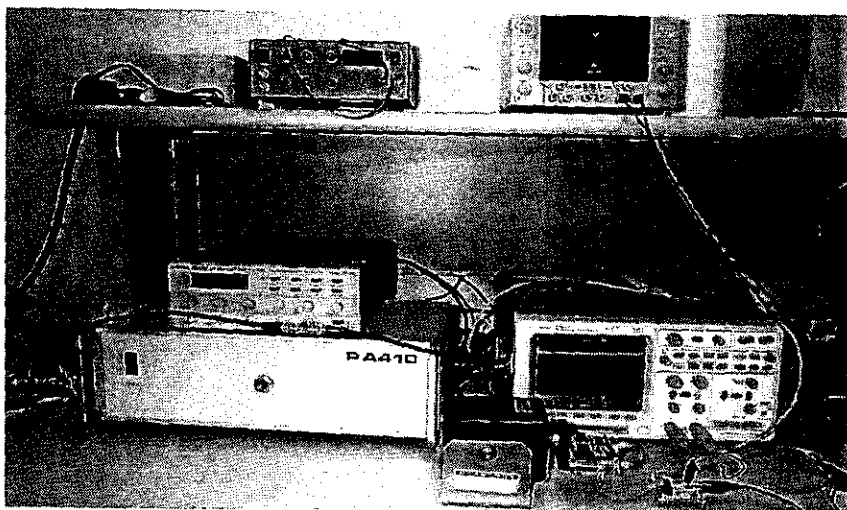


圖 8-1 測試平台(圖中黑色的物體即為震動器)

在測量之前，必須先克服市電的 60Hz 雜訊。因此設計了一個 60Hz 帶拒濾波器 (Notch Filter)。

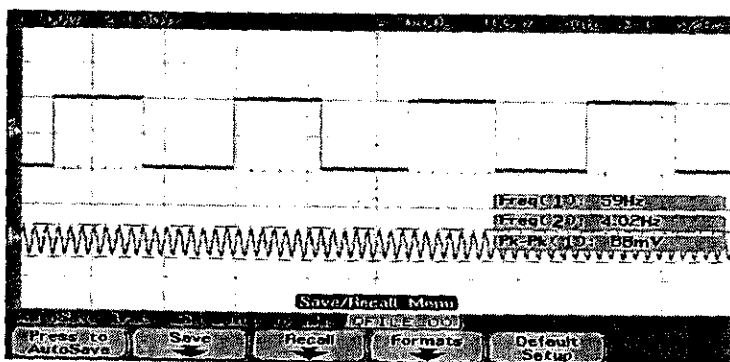


圖 8-2 60Hz 市電雜訊

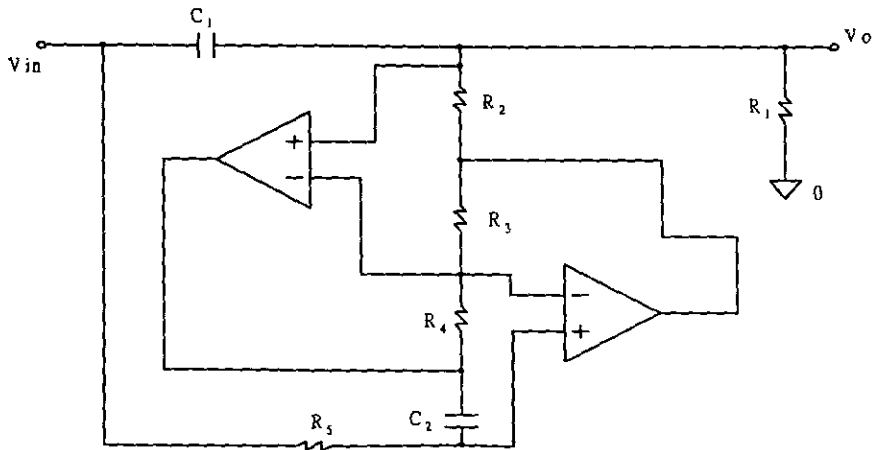


圖 8-3 60Hz 帶拒濾波器(電阻皆為 27k ohm，電容皆為 0.1uF)

圖 8-4 是輸入一個 4Hz 的方波進震動器(Shaker)，所量到的結果。可以看出輸出可以及時穩定下來。圖 8-5 相較於圖 8-4 為輸入 12Hz 方波，可以很清楚的看出穩定時間太長，無法及時穩定。加入回授路徑可以大為改善這個現象。

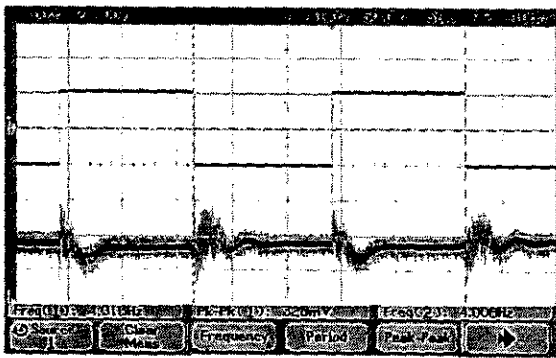


圖 8-4 4Hz 方波輸入輸出圖

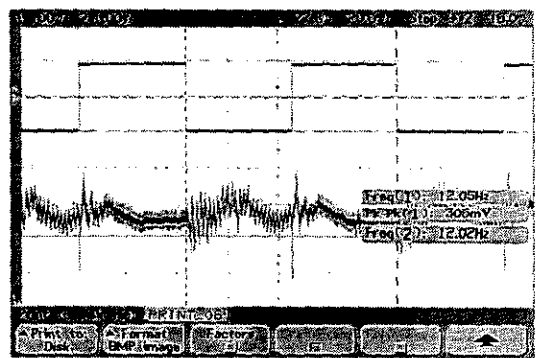


圖 8-5 12Hz 方波輸入輸出圖

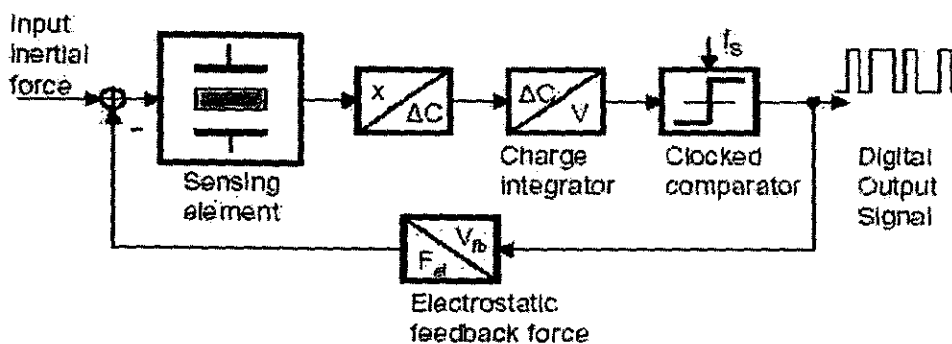


圖 8-6 加入了回授路徑之架構

第 9 章 結論

元件部分，經由第二章的理論推導與第三章的製程介紹與比較，對於加速度計的設計，質量塊越大、樑在運動的方向 k 值夠小，所能感測到的電容質就會越大，當然梳狀感測結構越多，對於所能量測到的電容質變化量也就越高，因此我們決定採用 SOI 晶片搭配 ICP 來製造高深寬比、大質量塊以及多梳狀結構的微加速度計元件。在實驗的過程中許多的問題不斷的出現，我們也不停的尋求解決的方法，目前 SOI 晶片的製程也經過了實做的測試並加以改良，雖然第二次的製程，最終的元件還為完成，但也已經進行到第二道光罩的部分，元件的問題到時候也可以獲得解決。

電路部分，經過了許多時間的努力，從研究電路的架構，一直到電路的模擬，從錯誤中學習，以致於現在終於完成了晶片的製作，並且由測量的結果證明整個電路是可行的，但是還是有相當大的改進空間，在這次的設計中，為了提高電路的精確度與工作範圍，我們使用了正負 5V 的電壓，表面上這樣雖然明顯的增加了電路的工作範圍，也提高了可測量到的最小電容變化，但是這將會帶來更多的雜訊，例如負電壓會影響到開關以及電容的工作，造成無法預期的結果，而且運用兩個電壓源也會使得雜訊更容易的進入到電路裡面，而影響電路的穩定度，反而使精確度降低。所以為了減少這些問題的發生，必須從運算放大器的電路開始著手，設計出更理想、更能抵抗雜訊的 Opamp；再來就是增進電路的對稱度，藉由 MOS 或電容的並聯及加上 dummy device 來達到目標。

改善了電路部分的問題以後，再來就是整個系統的改進，由於前段製成的限制，目前只能使用開迴路的架構，如果未來前段的微機電電容製程有所突破，將會以 sigma-delta 的架構來實現閉迴路，如此，不但整個系統的穩定度會增加，其可量測的加速度範圍也會大大的提升。