

先進低電壓低功率快閃式記憶體之研究(1/3)

Advanced Design for Low Voltage and Low Power Flash Memory

計劃編號：NSC90-2215-E009-093

執行時間：90年8月1日至91年7月31日

主持人：莊紹勳 國立交通大學電子工程學系

一、計劃摘要

在非揮發性記憶元件中，快閃式記憶體具有小面積、低功率消耗及長時間保存資料之特性，因此已成為最重要的記憶單元之一。由於受限於寫入方式主要採通道熱電子(CHE)注入與抹除方式主要採用 FN，長時間操作下仍有可靠性的問題存在，所以閘極穿隧氧化層始終無法微縮(scaling)，而操作偏壓也始終無法降低。

在本計劃的第一年，吾人已研究出一種用於低功率及高效能快閃記憶體的新式寫入方式，即是利用汲極累增崩潰熱電子注入(Drain Avalanche Hot-Electron Injection, DAHE)達成寫入操作，元件之供壓將可降至 $\pm 5V$ 以下，以符合低電壓操作之要求。與 CHE 寫入方式相比較，實驗結果顯示此 DAHE 寫入方法無論在元件效能或是可靠性方面都有較佳表現。另外，也進行調變不同偏壓的測試，找出此寫入模式之可靠性高又能維持高效能的操作偏壓，並比較此不同偏壓調變下所帶來可靠性的問題。並將操作模式 DAHE 寫入方式應用於 p-channel 快閃記憶體中，與 BBHE 操作模式作一完整比較。這將可提供吾人用於設計及規範低電壓操作之快閃式記憶元件。

關鍵詞：非揮發性記憶元件、快閃式記憶體、寫入方式、抹除方式、通道熱電子注入、汲極累增崩潰熱電子注入、低電壓操作。

Abstract

For nonvolatile memory cells, the flash memory has the characteristics of small area, low power dissipation, and long time retention, thus make it become the most important cell unit. In the past, due to the long term reliability problems existing in the conventional CHEI programming and the FN-erase methods, the gate

tunnel oxide can not be further scaled and the operation voltage can not be reduced lower.

In this project, we propose a new programming method that allows low voltage operation, called DAHE i.e., Drain Avalanche Hot-Electron Injection. The operating voltage is kept within $\pm 5V$. By comparing with conventional CHE (Channel Hot Electron) operation method, the new method exhibits not only high performance but also high reliability. These results provide us a way of designing flash memory cell that facilitates a low voltage programming with adequate tunnel oxide thickness.

Keywords: Nonvolatile memory、Flash memory、Write、Erase、Channel Hot-electron injection、Drain Avalanche Hot-Electron Injection、Low voltage operation

二、計劃緣由與目的

記憶體電路又可分為揮發性(volatile)記憶體及非揮發性(nonvolatile)記憶體兩大類。非揮發性記憶體種類甚多，目前又以快閃式記憶體(Flash EEPROM)為主流產品，主要用於用於電腦、週邊產品、攜帶式系統、行動通訊及消費性電子等，產品種類近年來逐漸變廣。然而在其生產技術及產品研發上，國內卻遠遠落後國外，這將是國內半導體業界的一個嚴重問題。

現在通行於市面之快閃式記憶體，寫入方式大多採行通道熱電子(CHE)注入的方式，而抹除方式大多採行 FN 穿隧效應。受限於上述之操作模式，且為了提昇快閃式記憶元件的效能，必須保持一定程度的電荷注入能力，所以造成元件操作偏壓無法降低、長時間操作下將造成嚴重的可靠性問題、且閘極穿隧氧化層自縮減至 70\AA 後，即無法再繼續縮減等缺點。

首先，來檢視一般最廣為使用之 ETOX 結構快閃式記憶元件之特性[1]。在該元件進

行寫入時，元件採用通道熱電子 (CHE) 注入方式- 利用注入的電子儲存於浮動閘極來提昇元件的臨界電壓，使通道變的不容易導通而成為“0”的狀態。此熱電子注入遠大於 FN 電流。所以相較於 FN 電流，採用 CHE 寫入方式的優點有(1)更快的寫入速度以及(2)有較低的偏壓條件。就其抹除方式來看，則是採用源極 FN 穿隧的方式，將電子由浮動閘極排到源極端，使得元件臨界電壓掉到較低的值，通道就會變成較容易導通的狀態“1”。採用此種抹除的方式，可以避免造成通道部分的氧化層傷害，進而使其對 V_{TH} 的退化影響達到最小。

本計劃的第一年係研究利用新型寫入方式與改變抹除區域之結構，來促使快閃式元件可以正常操作在低電壓下，使得元件可靠性得以提昇，而效能亦不受影響而甚至提高，為此研究之主要目的。另外，也進行調變不同偏壓的測試，找出此寫入模式之最適合操作偏壓，並比較此不同偏壓調變下所帶來可靠性的問題。並將操作模式 DAHE 寫入方式應用於 p-channel 快閃記憶體中，與 BBHE 操作模式作一完整比較。

三、結果與討論

A. DAHE 和 CHE 寫入方式應用於 N 通道快閃式記憶體元件的比較

本計劃的第一年，吾人研究提出一種利用汲極累增崩潰熱電子注入(Drain Avalanche Hot-Electron Injection, DAHE)來達成寫入動作。如 Fig. 1 所示，分別在汲極加上 4V 以及基極加上-4V 偏壓，造成汲極-基極間的累積崩潰發生，產生大量電子，最後再利用垂直電場加速，導入浮動閘極。

由 Fig. 2 可以發現 CHE 的汲極漏電流是 DAHE 的五倍，同時 DAHE 閘極電流是 CHE 的五倍。因此可推算在寫入時，DAHE 的速度將會遠大於 CHE 的速度。而從 Fig. 3 中可知，DAHE 的注入效應是 CHE 的十倍。如 Fig. 4 所示，在元件寫入時，DAHE 與 CHE 的偏壓如 Fig. 2 所示(當 $V_D = 4V$ 時)，DAHE 寫入速度為 CHE 寫入速度的十倍左

右。

在 Fig. 5 和 Fig. 7 中，可以由元件模擬發現在 DAHE 和 CHE 操作時，發生撞擊離子化在元件中的位置。因為界面缺陷(N_{it})的產生與撞擊離子化發生的位置是有極大的關聯性。可知 CHE 中撞擊離子化(impact ionization)發生的位置在於元件通道表面區域，DAHE 中撞擊離子化(impact ionization)發生的位置在較深的位置，亦即遠離元件通道表面區域。所以，相較於 CHE 引發的傷害，此 DAHE 寫入方式產生的 N_{it} 量較少。

在 Fig. 6 和 Fig. 8 中，乃是由元件模擬器所計算出之 DAHE 和 CHE 操作時，所會造成的電子注入機率 (Electron Injection Probability, EIP) 分佈圖。在 DAHE 的寫入方式，EIP 會出現兩個峰值(peak)，一個乃是由汲極崩潰時的熱電子所造成，另一乃是二次碰撞出現的熱電子所造成。而在 CHE 中，EIP 僅出現一個峰值，亦即熱電子在汲極端碰撞所造成。由 EIP 的數量級來看，DAHE 寫入時的電子注入機率，遠大於 CHE 寫入時的電子注入機率，約為 10^5 倍。此外，由 EIP 的峰值出現處亦可判定元件在寫入時，因為電子注入在閘極氧化層造成傷害的位置- DAHE 造成傷害的位置在於通道中心；而 CHE 造成傷害的位置在於汲極附近。

而在元件耐久性方面，如 Fig. 9，可以發現在多次 P/E 之後，DAHE 的寫入準位上升，而 CHE 的寫入準位卻下降。這是由於 CHE 寫入時，在表面產生大量的由電子佔據其中的 N_{it} ，所以在多次 cycling 之後，由於這些 N_{it} 的散射效應，讓加速的注入熱電子的能量不足，因此寫入準位下降。然而，DAHE 寫入時，產生的電子缺陷，有助於降低崩潰電壓，因此對於熱電子的加速有正面的幫助，所以 DAHE 多次寫入後，寫入準位是上升的。

在元件可靠性測試方面，如 Fig. 10 所示，從電荷幫浦法可看出 DAHE 有較少的 N_{it} 量。亦即，長時間操作下，DAHE 將有較長的生命週期(lifetime)。

B. DAHE 調變不同偏壓應用於 N 通道快閃式記憶體元件的比較

如 Table 1 所示，我們改變閘極的電壓，不同的閘極電壓將對元件的寫入速度、注入載子和載子注入位置有分別不同的影響。當閘極電壓為 10.5, 9.0 和 6.5 伏時，分別有不同的寫入速度 0.25, 4.0 和 100 微秒。由 Fig. 11 也可以發現不同的閘極電壓有不同的寫入特性，閘極電壓越高，寫入速度也越快。從圖中可知當閘極電壓從 6.5 伏提升到 10.5 伏時，寫入速度增加了兩個數量級以上。而且當寫入週期到達末端時也可防止電洞的注入，但是其缺點則是寫入時的閘極電壓過高，使得元件微縮困難以及外部電壓幫浦電路面積無法縮小。

而在元件耐久性方面，如 Fig. 12，可以發現在多次 P/E 之後，閘極電壓為 10.5 和 9.0 伏的寫入準位都還有不錯的特性，但是閘極電壓為 6.5 伏的寫入準位有縮小的現象，因此可知閘極電壓為 6.5 伏時，多次 P/E 之後，在閘極氧化層產生的傷害量較多。在元件抗擾動特性方面，由 Fig. 13 可証實閘極電壓 6.5 伏的臨界電壓漂移最大，而閘極電壓 10.5 和 9.0 伏則較小，因此當閘極電壓為 6.5 伏時，其元件抗擾動特性最差。另外，從電荷幫浦法可以了解不同的閘極電壓操作下，在二氧化矽與矽的界面處產生界面狀態(N_{it})的數量。從 Fig. 14 中可發現閘極電壓 6.5 伏的電荷幫浦電流值是最大的，其次是 9.0 伏，而閘極電壓 10.5 伏最小。因此當閘極電壓為 6.5 伏時，在二氧化矽與矽的界面處產生的界面狀態數量是最多的；相反的，閘極電壓 10.5 伏的界面狀態產生量是最少的。所以，從以上幾種分析方法可以知道，當閘極電壓為 6.5 伏時，無論是對閘極氧化層或是二氧化矽與矽的界面，傷害都是最大的，雖然它的操作偏壓較低。相反的，當閘極電壓為 10.5 伏時，閘極氧化層和二氧化矽與矽的界面產生的傷害量都是最小的，但是其缺點就是偏壓過高。因此，偏壓過低的話，元件可靠特性會變差；過高對元件的微縮以及週邊電路的面積又是一大難題。在這兩者之間是必須有所取捨的。

另外，我們可以從 Fig. 15，GIDL 電流量測實驗中得知，當浮動閘極電壓分別為 5 伏和 6 伏，有不一樣的載子注入情形。當浮動

閘極電壓為 5 伏時，我們可以看到 GIDL 電流曲線向右移，因此得知在此偏壓下是電洞注入；而當閘極電壓為 6 伏時，GIDL 電流曲線向左移，因此此時是電子注入。如果是電洞注入閘極氧化層，將會比電子注入所帶來的傷害嚴重。因此，選擇閘極電壓時須要考量適當的閘極電壓，以維持元件可靠特性。

C. DAHE 和 BBHE 寫入方式應用於 P 通道快閃式記憶體元件的比較

DAHE 和 BBHE 的偏壓如 Table 2 所示，從表中可知 DAHE 的閘極電壓較 BBHE 小，汲極電壓較 BBHE 大。在寫入時間比較方面，DAHE 寫入方式只須要 4.0 微秒，而 BBHE 寫入方式則須要 40.0 微秒，才能到達高寫入準位。兩者的寫入速度相差了一個數量級。BBHE 的寫入機置如 Fig. 16 所示，當 Table 2 所示 BBHE 的偏壓加於元件上時，在汲極和基極界面便發生能帶-能帶的穿隧行為，如此便有電子電洞對產生，當電子由汲極與基極界面的電場加速，便形成俱有能量的熱電子，熱電子再經由垂直電場加速，導入浮動閘極。在 Fig. 17 中比較兩者的注入效率，BBHE 的注入效率遠大於 DAHE。DAHE 的注入效率較小的原因可能是，當汲基界面發生崩潰時，有大量的崩潰熱電子電洞對產生，因此造成注入效率比 BBHE 低。然而，寫入時額外功率的消耗也可從短暫的寫入時間將之降低。而在元件耐久性方面，如 Fig. 18，我們發現在多次 P/E 之後，兩者的寫入準位皆下降。這是因為兩者皆有界面狀態(N_{it})的產生。但其寫入準位退化情形都不嚴重。在 SILC 的比較方面，如 Fig. 19 和 20 所示。在 Fig. 19 中，P/E 次數越多者，SILC 則越嚴重。而 Fig. 20 中，我們比較了 DAHE 和 BBHE 兩種寫入方式在多次 P/E 後的 SILC 特性，我們發現在暫態區兩者 SILC 量差不多，而在穩定區則是 BBHE 的 SILC 較 DAHE 小。因此我們可以推測在 P/E 多次後，因為崩潰熱電子俱有效高能量，當注入閘極氧化層時，DAHE 寫入方式會產生較多的氧化層傷害量。另外，在 Fig. 21 中，BBHE 在讀取擾動測試上，也得到較大的閘極電流限制，而 DAHE 在此特性方面則要差。最後，我們將

二者的特性作了一個綜合比較,如 Table 3 所示。

四、結論

- (1) **在 CHE 和 DAHE 應用於 N 通道快閃式記憶體比較方面:** DAHE 寫入方式,其寫入速度快及功率損耗降低,有良好的元件效能表現;而 CHE 寫入方式,寫入速度慢,較耗電,寫入表現較差。DAHE 寫入方式可以有效的減少對氧化層的傷害,尤其對抑制界面狀態(N_{it})的產生,有極好的成效。而 CHE 寫入方式,既產生界面缺陷(N_{it})又產生氧化層電荷(Q_{ot})。DAHE 寫入方式電子產生的位置遠離通道表面,電子注入位置主要發生在通道中心區域,所以造成傷害小;而 CHE 寫入方式,電子產生位置靠近汲極端,電子注入位置在汲極附近,所以會對汲極端造成嚴重的傷害。
- (2) **在 DAHE 調變不同偏壓應用於 N 通道快閃式記憶體元件的比較方面:**在寫入速度的比較上,當閘極電壓越大,寫入速度也跟著上升,而且可以得到較佳的可靠性。無論是閘極氧化層的傷害或是二氧化矽與矽界面處界面狀態(N_{it})的產生都比低閘極電壓少。而且在抗讀取擾動方面,高閘極電壓也有不錯的表現。但由於其高電壓操作,所以外部幫浦電路須要較大的面積。
- (3) **在 DAHE 和 BBHE 寫入方式應用於 P 通道快閃式記憶體元件的比較方面:**在寫入速度上,DAHE 擁有較快的寫入速度。DAHE 是在汲極端加一高電壓,而 BBHE 是在閘極加一高電壓。注入效率和 SILC 的特性是 BBHE 較好。另外,兩者的元件耐久性測試皆有不錯的表現。

五、未來工作

第一年研究成果以陸續整理發表中 [7] 預計至少可再發表一篇短文及長文在期刊上。在第二年度,吾人將會依據此低

電壓之 DAHE 寫入方式,設計製造新式結構,同時測試此新型寫入方式最佳化之成效,並利用本研究群開發之元件傷害分析技術,進行可靠性分析。

在第三年度,吾人將有以下幾個方向:
(1)針對全新之元件結構,設計合適的記憶體陣列(new cell array)。(2)結合快閃記憶體之外部週邊電路,將之與記憶體陣列整合。(3)結合測試結果,以及各項新元件結構,製作快閃式記憶電路。(4)測試新穎元件之低電壓低功率特性以及可靠性分析,以 chip level 對新操作模式,結構,陣列作驗證(verification)。以及,(5)建立新穎快閃記憶體元件之相關 SPICE model。

六、參考文獻

- [1] P. Pavan, R. Bez, P. Olivo, and E. Zanoni, "Flash memory cell – An overview," *Proc. of the IEEE*, vol. 85, no. 8, pp. 1246-1271, 1997.
- [2] S. Tam, S. Sachdev, M. Chi, G. Verma, J. Ziller, G. Tsau, S. Lai, and V. Dham, "A high density CMOS 1-T electrically erasable nonvolatile (Flash) memory technology," in *Symp. VLSI Tech.*, pp. 31-32, 1988.
- [3] S. S. Chung et al., "A new oxide damage characterization technique for evaluating hot carrier reliability of Flash memory cell after P/E cycles," in *Symposium on VLSI Technology*, pp. 111-112, 1997.
- [4] S. M. Cheng, C. M. Yih, J. C. Yeh, S. N. Kuo, and S. S. Chung, "A unified approach to profiling the lateral distributions of both oxide charge and interface states in n-MOSFET's under various bias stress conditions," in *IEEE Transaction on Electron Devices*, vol. ED-44, pp.1908-1914, 1997.
- [5] S. S. Chung et al., "A new technique for hot carrier reliability evaluations of Flash memory cell after long-term program/erase cycles," in *IEEE Transaction on Electron Devices*, vol. ED-46, pp. 1883-1889, 1999.
- [6] S. Shuto et al., "Read disturb degradation mechanism for source erase flash memories," in *Symposium on VLSI Technology*, pp. 242-243, 1996.
- [7] S. S. Chung et al., "AHE: A new low voltage/high speed programming scheme for both N- and P-Channel Flash EEPROM's," *Extended Abs. SSDM*, pp. 612-613, Sept. 17-19, 2002.

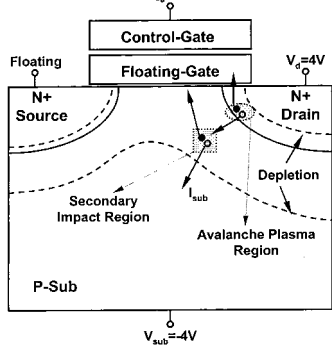


Fig. 1 The schematic illustration of the DAHE injection mechanism.

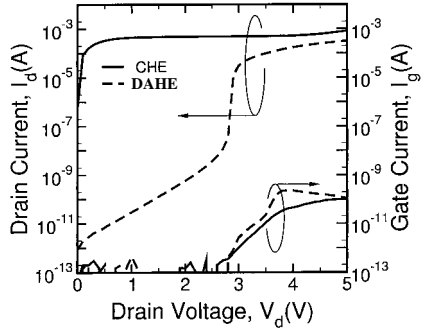


Fig. 2 The I_g and I_d with $V_g = 8V$, $V_s = V_{sub} = 0V$ for CHE, and with $V_g = 4V$, $V_{sub} = -4V$, and $V_s = \text{floating}$ for DAHE.

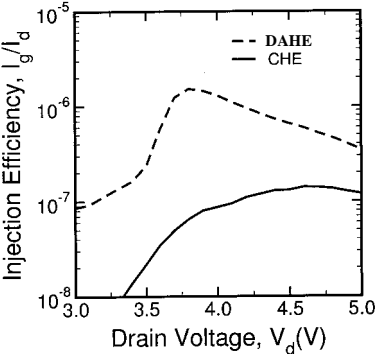


Fig. 3 The calculated injection efficiencies (I_g/I_d) for both CHE and DAHE injection schemes

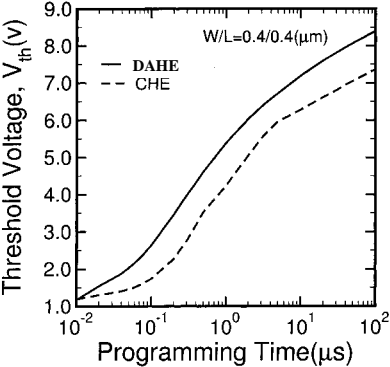


Fig. 4 The programming transient characteristics with different program schemes, CHE and DAHE.

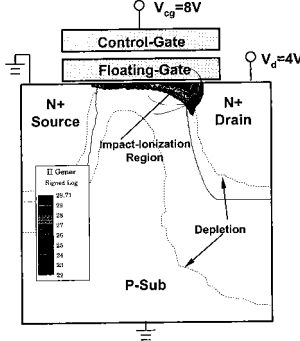


Fig. 5 Demonstration of the impact-ionization region from 2-D simulation for CHE injection scheme.

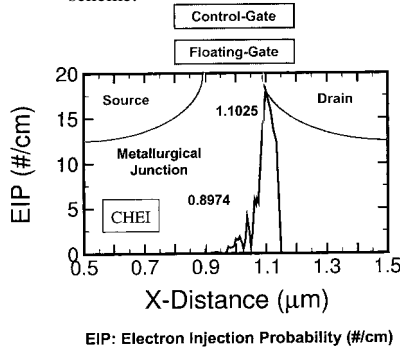


Fig. 6 Demonstration of the EIP from 2-D simulation for CHE injection, where the electron injection is shown.

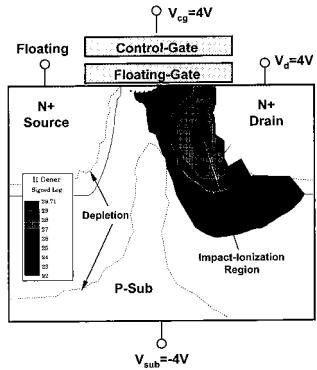


Fig. 7 Demonstration of the impact-ionization region from 2-D simulation for DAHE injection scheme

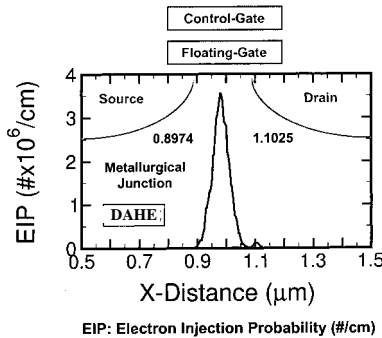


Fig. 8 Demonstration of the EIP from 2-D simulation for DAHE injection, where the electron injection region is shown.

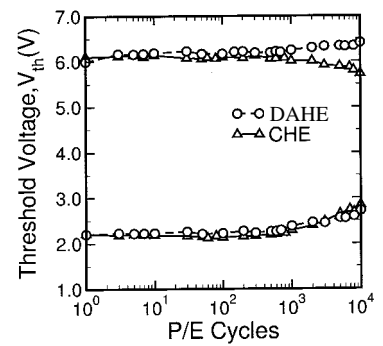


Fig. 9 The endurance characteristics for two different program schemes, CHE and DAHE. Both have the same erase operation.

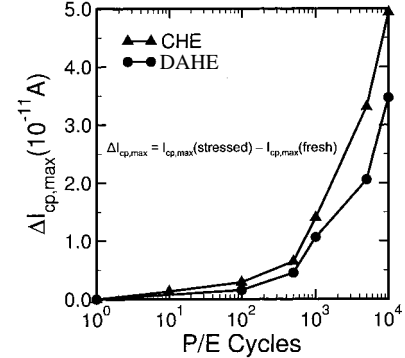


Fig. 10 The generated interface states (N_{it}) for different program schemes, CHE and DAHE after 10^4 P/E cycles.

	DAHE(I)	DAHE(II)	DAHE(III)
V_{CG}	10.5V	9.0V	6.5V
V_{FG}	8.2V~6.2V	7.5V~5.5V	5.5V~3.5V
V_D	8.0V	8.0V	8.0V
V_S	Float	Float	Float
V_B	GND	GND	GND
T_{prog}	0.25 μs	4.0 μs	100 μs

Table 1 The operating conditions for the DAHE programming scheme at for different control gate voltages.

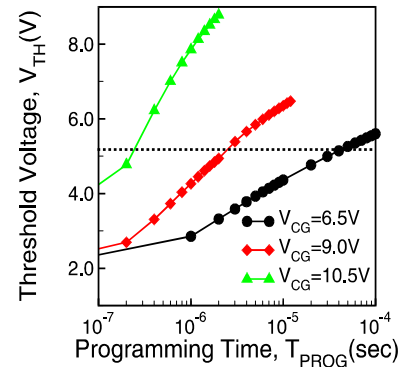


Fig. 11 The charging characteristics by the DAHE for different control gate voltages in N-channel flash cell.

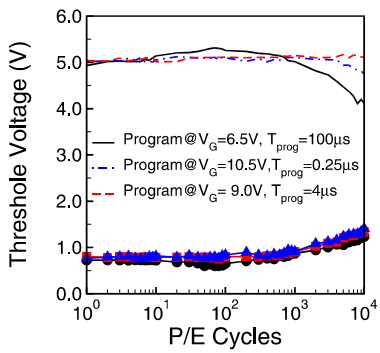


Fig. 12 The measured endurance characteristics for all different programming conditions by the DAHE scheme during program/erase cycle.

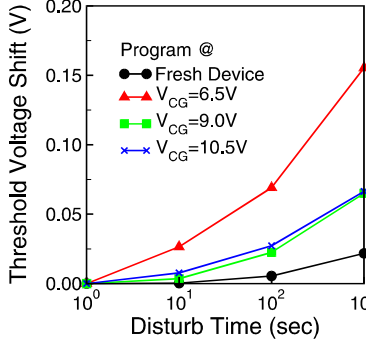


Fig. 13 The comparison of the read disturb characteristics for all programming conditions before and after 10^4 program/erase cycles.

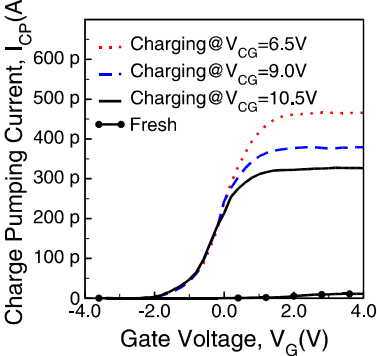


Fig. 14 The measured results of the charge pumping current before and after 10^4 times program/erase cycle for different conditions.

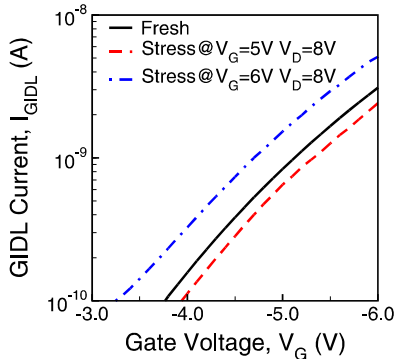


Fig. 15 The GIDL current measurement at $V_D=2V$. It is noted that the shift of GIDL current for post stressed MOSFET is due to the oxide trap charges.

	DAHE	BBHE
V_{CG}	-2.0V	10.0V
V_{FG}	-0.5V~-2.5V	8.7V~6.7V
V_D	-7.0V	-5.5V
V_S	Float	Float
V_B	GND	GND
T_{prog}	4.0 μ s	40.0 μ s

Table 2 The detailed operating conditions for DAHE or BBHE programming schemes and erasing by the Channel-FN tunneling.

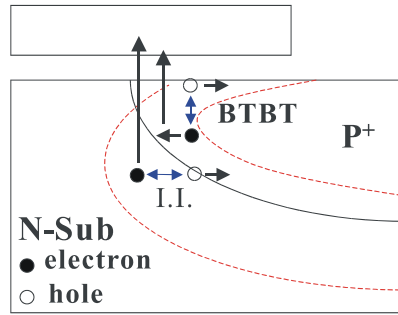


Fig. 16 The schematic illustration of the BBHE injection mechanism.

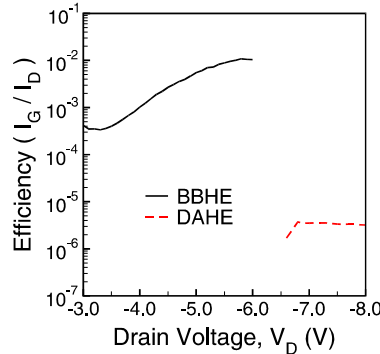


Fig. 17 The calculated injection efficiencies (I_G/I_D) for both DAHE and BBHE injection schemes.

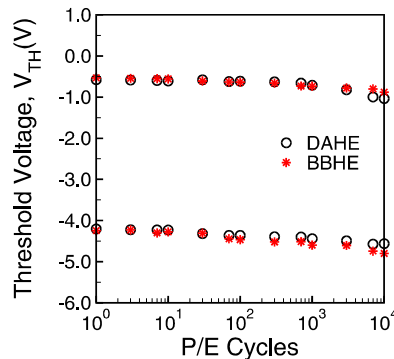


Fig. 18 The endurance characteristics for two different program schemes, the DAHE and BBHE. Both of them have the same erase operation by the channel FN tunneling.

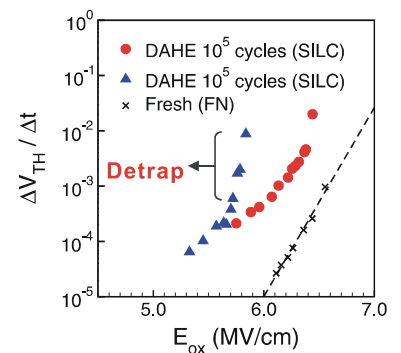


Fig. 19 The SILC after 10^5 cycles by the DAHE and the channel-FN. The vertical tail of extracted current is the transient component of SILC.

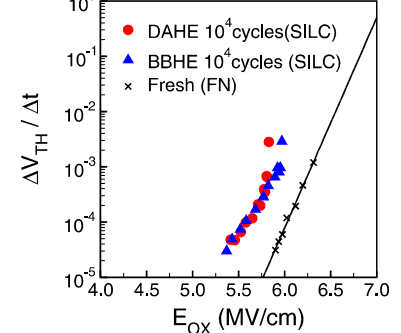


Fig. 20 The comparison of extracted SILC after P/E cycles by the DAHE and the BBHE. Both of two extracted SILC show similar characteristics at higher oxide field up to 5 to 6 MV/cm.

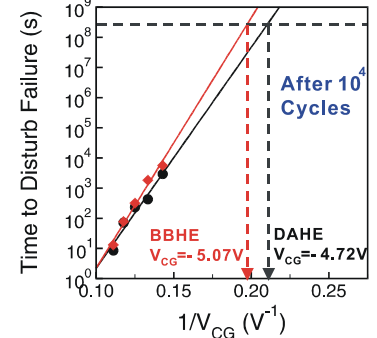


Fig. 21 The read retention characteristics for flash cell after P/E cycling by the DAHE and the BBHE.

	DAHE	BBHE
Bias Condition	High Drain Bias	High Gate Bias
Speed	Fast	Slow
Efficiency	10^5 - 10^6	10^2 - 10^4
Endurance	Good	Good
SILC	Worse	Better
Gate Disturb	No	Worse
Drain Disturb	Worst	Worse
Drain Disturb Mechanism	DAHE	BBHE
Array	Complicate	DINOR

Table 3 A summary of the comparison between DAHE and BBHE.